



등록특허 10-2189916



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월11일
(11) 등록번호 10-2189916
(24) 등록일자 2020년12월04일

- (51) 국제특허분류(Int. Cl.)
H03K 17/16 (2006.01) *H03K 17/687* (2006.01)
H04B 1/48 (2015.01)
- (52) CPC특허분류
H03K 17/16 (2013.01)
H03K 17/162 (2013.01)
- (21) 출원번호 10-2016-7003578
- (22) 출원일자(국제) 2014년07월03일
심사청구일자 2019년06월19일
- (85) 번역문제출일자 2016년02월11일
- (65) 공개번호 10-2016-0032162
- (43) 공개일자 2016년03월23일
- (86) 국제출원번호 PCT/US2014/045472
- (87) 국제공개번호 WO 2015/009462
국제공개일자 2015년01월22일
- (30) 우선권주장
13/944,709 2013년07월17일 미국(US)
- (56) 선행기술조사문현
JP2011015289 A*
JP2011040811 A*

*는 심사관에 의하여 인용된 문현

- (73) 특허권자
웰컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
디시코, 마크 제랄드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
창, 시양동
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남앤남

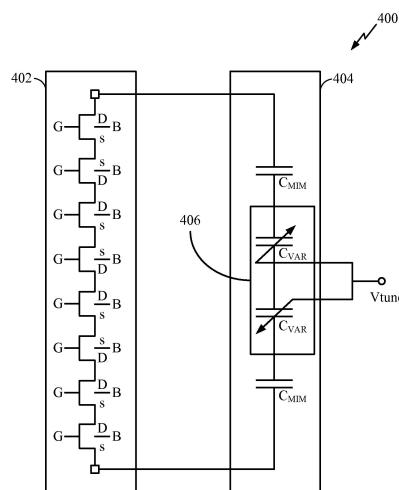
전체 청구항 수 : 총 17 항

심사관 : 최규돈

(54) 발명의 명칭 스위치 선형화장치

(57) 요 약

예시적인 실시예들은 선형화장치를 스위칭하는 것과 관련된다. 디바이스는 적어도 하나의 스위치를 포함할 수 있다. 디바이스는, 적어도 하나의 스위치에 결합되고 오프-상태에 있는 적어도 하나의 스위치에 의해 발생된 왜곡의 적어도 일 부분을 제거하도록 구성된 선형화장치를 더 포함할 수 있다.

대 표 도 - 도5

(52) CPC특허분류

H03K 17/6871 (2013.01)

H04B 1/48 (2013.01)

명세서

청구범위

청구항 1

디바이스로서,

디지털 가변 캐패시터(DVC)를 포함하는 안테나 튜닝 회로를 포함하고,

상기 DVC는:

제1 단자와 제2 단자 사이에 직렬로 커플링된 제1 복수의 스위치들;

상기 제1 단자에 그리고 상기 제2 단자에 커플링되고, 그리고 상기 제1 복수의 스위치들과 병렬로 커플링된 제1 선형화장치(linearizer) – 상기 선형화장치는 튜닝 전압에 응답하는 조정가능한 캐패시턴스를 갖는 적어도 하나의 제1 버랙터(varactor)를 포함함 –;

상기 제1 단자와 상기 제2 단자 사이에 직렬로 커플링된 제2 복수의 스위치들; 및

상기 제1 단자와 상기 제2 단자 사이에 커플링된 제2 선형화장치를 포함하고,

상기 제2 선형화장치는 상기 제2 복수의 스위치들과 병렬로 커플링되고 그리고 적어도 하나의 제2 버랙터를 포함하고, 상기 제1 선형화장치는 상기 제1 복수의 스위치들에 의해 발생되는 3차 왜곡을 보상하도록 구성되고, 그리고 상기 제2 선형화장치는 상기 제2 복수의 스위치들에 의해 발생되는 3차 왜곡을 보상하도록 구성되는, 디바이스.

청구항 2

제 1 항에 있어서,

상기 제1 복수의 스위치들은 복수의 적층형 트랜지스터들을 포함하는, 디바이스.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 제1 선형화장치는, 상기 적어도 하나의 버랙터와 직렬로 커플링된 복수의 MIM(metal-insulator-metal) 캐패시터들을 더 포함하는, 디바이스.

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 제1 선형화장치는, 상기 제1 복수의 스위치들에 의해 발생되는 3차 왜곡의 진폭과 동일한 진폭 및 상기 제1 복수의 스위치들에 의해 발생되는 상기 3차 왜곡의 위상과 반대 위상을 갖는 3차 왜곡을 발생시키도록 구성되는, 디바이스.

청구항 8

제 1 항에 있어서,

상기 제1 복수의 스위치들은 포지티브 3차 왜곡 항을 발생시키도록 구성되고 그리고 상기 제1 선형화장치는 네 거티브 3차 왜곡 항을 발생시키도록 구성되는, 디바이스.

청구항 9

제 1 항에 있어서,

상기 제1 선형화장치는, 상기 제1 복수의 스위치들에 의해 발생되는 3차 왜곡과 상쇄 간섭(destructively interfere)시키기 위해 3차 왜곡을 발생시키도록 구성되는, 디바이스.

청구항 10

삭제

청구항 11

제1 복수의 스위치들을 오프-상태로 구성하는 단계 – 상기 제1 복수의 스위치들은 제1 단자와 제2 단자 사이에 직렬로 커플링됨 –;

상기 제1 단자와 상기 제2 단자 사이에 그리고 상기 제1 복수의 스위치들과 병렬로 커플링된 제1 선형화장치에 포함되는 적어도 하나의 제1 베랙터에 의해 발생되는 왜곡을 이용하여 상기 오프-상태의 상기 제1 복수의 스위치들에 의해 발생되는 3차 왜곡의 적어도 일부를 제거하는 단계 – 상기 적어도 하나의 제1 베랙터는 튜닝 전압에 응답하는 조정가능한 캐패시턴스를 가짐 –;

상기 제1 단자와 상기 제2 단자 사이에 직렬로 커플링된 제2 복수의 스위치들을 구성하는 단계; 및

상기 제1 단자와 상기 제2 단자 사이에 그리고 상기 제2 복수의 스위치들과 병렬로 커플링된 제2 선형화장치에 포함되는 적어도 하나의 제2 베랙터에 의해 발생되는 왜곡을 이용하여 상기 제2 복수의 스위치들에 의해 발생되는 3차 왜곡의 적어도 일부를 제거하는 단계를 포함하는, 방법.

청구항 12

제 11 항에 있어서,

상기 제1 복수의 스위치들에 의해 발생되는 3차 왜곡의 적어도 일부를 제거하는 단계는, 상기 제1 복수의 스위치들에 의해 발생되는 3차 왜곡과 보강 간섭시키기 위해 상기 제1 베랙터의 3차 왜곡을 발생시키는 단계를 포함하는, 방법.

청구항 13

제 11 항에 있어서,

상기 제1 베랙터의 캐패시턴스의 3차 항의 크기를 조정하기 위해 상기 제1 베랙터에 전달되는 상기 튜닝 전압을 조정하는 단계를 더 포함하는, 방법.

청구항 14

디바이스로서,

디지털 가변 캐패시턴스를 제공하기 위한 수단을 포함하는, 안테나를 튜닝하기 위한 수단을 포함하고,

상기 디지털 가변 캐패시턴스를 제공하기 위한 수단은:

제1 복수의 스위치들을 오프-상태로 구성하기 위한 수단 – 상기 제1 복수의 스위치들은 제1 단자와 제2 단자 사이에 직렬로 커플링됨 –;

상기 오프-상태의 상기 제1 복수의 스위치들의 3차 왜곡의 적어도 일부를 제거하기 위한 수단 – 상기 제1 복수의 스위치들의 3차 왜곡의 적어도 일부를 제거하기 위한 수단은 상기 제1 단자와 상기 제2 단자 사이에 그리고 상기 제1 복수의 스위치들과 병렬로 커플링되고, 그리고 상기 제1 복수의 스위치들의 3차 왜곡의 적어도 일부를 제거하기 위한 수단은 튜닝 전압에 기초하는 제1 조정가능한 캐패시턴스를 가짐 –;

상기 제1 단자와 상기 제2 단자 사이에 직렬로 커플링된 제2 복수의 스위치들을 구성하기 위한 수단; 및

상기 제2 복수의 스위치들에 의해 발생되는 3차 왜곡의 적어도 일부를 제거하기 위한 수단을 포함하고,

상기 제2 복수의 스위치들의 3차 왜곡의 적어도 일부를 제거하기 위한 수단은 상기 제1 단자와 상기 제2 단자 사이에 그리고 상기 제2 복수의 스위치들과 병렬로 커플링되고, 그리고 상기 제2 복수의 스위치들의 3차 왜곡의 적어도 일부를 제거하기 위한 수단은 제2 조정가능한 캐패시턴스를 갖는, 디바이스.

청구항 15

제 14 항에 있어서,

상기 제1 복수의 스위치들의 3차 왜곡의 적어도 일부를 제거하기 위한 수단은 적어도 하나의 버랙터를 포함하는, 디바이스.

청구항 16

삭제

청구항 17

삭제

청구항 18

제 14 항에 있어서,

상기 제1 복수의 스위치들을 구성하기 위한 수단은 상기 제1 복수의 스위치들을 상기 오프-상태로 구성하기 위해 상기 제1 복수의 스위치들에 바이어스 전압을 전달하기 위한 수단을 포함하는, 디바이스.

청구항 19

삭제

청구항 20

삭제

청구항 21

제 1 항에 있어서,

상기 제1 단자와 상기 적어도 하나의 제1 버랙터 사이에 커플링된 제1 캐패시터를 더 포함하는, 디바이스.

청구항 22

제 21 항에 있어서,

상기 제2 단자와 상기 적어도 하나의 제1 버랙터 사이에 커플링된 제2 캐패시터를 더 포함하는, 디바이스.

청구항 23

제 21 항에 있어서,

상기 제1 캐패시터는 MIM(metal-insulator-metal) 캐패시터를 포함하는, 디바이스.

청구항 24

제 1 항에 있어서,

상기 적어도 하나의 제1 버랙터는 제2 가변 캐패시터와 직렬로 제1 가변 캐패시터를 포함하는, 디바이스.

청구항 25

제 1 항에 있어서,

상기 적어도 하나의 제1 버랙터와 직렬로 커플링된 제1 MIM(metal-insulator-metal) 캐패시터 – 상기 제1 MIM 캐패시터는 상기 제1 단자와 상기 적어도 하나의 제1 버랙터 사이에 커플링됨 –; 및
상기 제1 MIM 캐패시터 및 상기 적어도 하나의 제1 버랙터와 직렬로 커플링된 제2 MIM 캐패시터를 더 포함하고,
상기 제2 MIM 캐패시터는 상기 제2 단자와 상기 적어도 하나의 제1 버랙터 사이에 커플링되는, 디바이스.

발명의 설명

기술 분야

- [0001] 관련 출원들에 대한 상호 참조
 [0002] [0001]본 출원은, 2013년 7월 17일에 출원되고 공동 소유되는 미국 정규 특허 출원 제13/944,709호를 우선권으로 주장하며, 상기 출원의 내용은 그 전체가 인용에 의해 본원에 명시적으로 포함된다.
 [0003] [0002]본 발명은 일반적으로, 오프-상태의 트랜지스터 스위치의 선형성을 개선하는 것에 관한 것이다.

배경 기술

- [0004] [0003]MOSFET(Metal-Oxide Semiconductor Field Effect Transistor) 기술은 마이크로프로세서들, 마이크로컨트롤러들, 정적 RAM 및 다른 디지털 논리 회로들을 비롯한 많은 전자장치들에서 발견될 수 있다. 높은 노이즈 내성 및 낮은 정적 전력 소비로 인해, MOSFET들은 종종 복수의 신호들 중 하나 사이에서 스위치하도록 설계에 사용된다. MOSFET들을 이용한 대중적인 스위치들은 상보성 금속 산화물 반도체 (CMOS) 스위치들을 포함한다.
 [0005] [0004]CMOS 스위치들은, 종종 낮은 수신기 잡음/스퍼 플로어(spur floor)를 유지하고 또한 규제 방출 (regulatory emission) 마스크들을 만족시키면서 여러 동작 주파수들의 공존을 허용하는 고선형성(즉, 저왜곡)이 필요한 안테나 투닝 회로들에서 사용된다. "오프" 상태의 CMOS 스위치의 비선형 커패시턴스로 인해 한 가지 한계점이 발생한다. CMOS 스위치 선형성을 향상시키기 위한 종래의 방법들은 CMOS SOI(silicon on insulator)를 사용하는 것, 최저 왜곡을 위한 게이트 및 본체 전압들을 최적화하는 것 그리고/또는 개별 FET 전압 스윙들을 감소시키기 위해 더 많은 FET(field-effect transistor)들을 직렬로 적층하는 것을 포함한다. 그러나, 이러한 방법들은 제한된 결과들을 제공하며 네트워크에 추가 손실을 부가시킨다.
 [0006] [0005]오프-상태의 스위치의 선형성을 개선할 필요가 있다. 보다 구체적으로, 하나 이상의 스위치들을 포함하는 안테나 투닝 회로의 선형성을 개선하는 것과 관련된 실시예들이 필요하다.

도면의 간단한 설명

- [0007] [0006]도 1은 본 발명의 예시적인 실시예에 따른, 임피던스 매칭 회로를 포함하는 무선 디바이스를 도시한다.
 [0007]도 2a는 디지털 가변 캐패시터 회로를 도시한다.
 [0008]도 2b는 적층형 전계 효과 트랜지스터 스위치를 도시한다.
 [0009]도 3a는 게이트, 소스, 드레인, 및 본체를 포함하는 전계 효과 트랜지스터를 도시한다.
 [0010]도 3b는 오프-상태 스위치의 드레인-투-소스 캐패시턴스를 오프-상태 스위치 양단의 드레인-투-소스 전압과 관련하여 도시하는 플롯이다.
 [0011]도 4는 버랙터의 캐패시턴스를 투닝 전압과 관련하여 도시하는 플롯이다.
 [0012]도 5는 본 발명의 예시적인 실시예에 따른, 선형화장치에 결합된 스위치를 포함하는 디바이스를 도시한다.
 [0013]도 6은 본 발명의 예시적인 실시예에 따른, 복수의 스위치들과 복수의 선형화장치들을 포함하는 디바이스를 도시한다.
 [0014]도 7은 본 발명의 예시적인 실시예에 따른, 선형화장치에 결합된 디지털 가변 캐패시터 회로를 포함하는 디바이스를 도시한다.

[0015]도 8은 본 발명의 예시적인 실시예에 따른, 방법을 도시하는 흐름도이다.

[0016]도 9는 본 발명의 예시적인 실시예에 따른, 다른 방법을 도시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0008]

[0017]첨부된 도면들과 연결하여 이하에서 설명된 상세한 설명은 본 발명의 예시적인 실시예들의 설명으로서 의도되고, 본 발명이 실시될 수 있는 실시예들만을 나타내도록 의도되지 않는다. 본 설명 전체에 걸쳐 사용되는 단어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하고 다른 예시적인 실시예들에 비해 반드시 바람직하거나 또는 유리한 것으로서 해석될 필요는 없다. 상세한 설명은 본 발명의 예시적인 실시예들의 완전한 이해를 제공하기 위한 목적으로 특정 상세들을 포함한다. 본원의 예시적인 실시예들이 이러한 구체적인 상세들 없이도 실시될 수도 있다는 것은 당업자에게 명백할 것이다. 일부 경우에서, 잘 알려진 구조 및 디바이스들은 본원에 제시된 예시적인 실시예들의 신규성을 모호하게 하는 것을 방지하기 위해서 블록도 형태로 도시된다.

[0009]

[0018]당업자가 인식하는 바와 같이, 무선 디바이스의 안테나 튜너(예를 들어, 임피던스 매칭 회로)는, 낮은 수신기 잡음/스페 플로어를 유지하고 규제 방출 마스크들을 만족시키면서 여러 동작 주파수들의 공존을 허용하기 위해 고 선형성(즉, 저왜곡)을 요구할 수 있는 RF(radio-frequency) 매트릭스 스위치들을 포함할 수 있다.

[0010]

[0019]본원에 설명된 바와 같이, 예시적인 실시예들은 스위치의 "오프" 상태 응답을 개선하는 것과 관련된 디바이스들 및 방법들과 관련된다. 일 예시적인 실시예에 따르면, 디바이스는 적어도 하나의 스위치와 이 스위치에 결합된 선형화장치를 포함할 수 있다. 추가로, 선형화장치는 적어도 하나의 스위치에 의해 발생된 3차 왜곡의 적어도 일 부분을 제거하도록 구성될 수 있다. 다른 예시적인 실시예에 따르면, 디바이스는 온-상태와 오프-상태 중 하나에서 동작하도록 구성된 복수의 적층식 트랜지스터들을 포함하는 스위치를 포함할 수 있다. 디바이스는 또한, 스위치에 결합되고 오프-상태의 스위치에 의해 발생된 3차 왜곡을 실질적으로 제거하도록 구성된 버랙터를 포함할 수 있다.

[0011]

[0020]다른 예시적인 실시예에 따르면, 본 발명의 스위치의 "오프" 상태 응답을 개선하기 위한 방법들을 포함한다. 이러한 방법의 다양한 실시예들은 적어도 하나의 스위치를 오프-상태에서 구성하는 단계를 포함할 수 있다. 방법은 또한, 버랙터의 3차 왜곡에 의해 오프-상태에서 스위치의 3차 왜곡을 실질적으로 제거하는 단계를 포함할 수 있다. 또 다른 예시적인 실시예에 따르면, 방법은 오프-상태의 스위치에 의해 3차 왜곡을 발생시키는 단계 및 스위치에 결합된 버랙터를 이용하여 스위치에 의해 발생된 3차 왜곡을 실질적으로 제거하는 단계를 포함할 수 있다.

[0012]

[0021]본 발명의 다양한 양상들의 특징들 및 이점들뿐만 아니라 다른 양상들은 다음 설명, 첨부된 도면들 및 첨부된 청구범위를 고려함으로써 당업자에게 명백해질 것이다.

[0013]

[0022]도 1은 무선 디바이스(100)의 예시적인 설계의 블록도를 도시한다. 이 예시적인 설계에서, 무선 디바이스(100)는 데이터 프로세서/제어기(110), 트랜시버(120), 적응형 튜닝 회로(170), 및 안테나(152)를 포함한다. 트랜시버(120)는 양방향 무선 통신을 지원하는 송신기(130) 및 수신기(160)를 포함한다. 무선 디바이스(100)는 LTE(Long Term Evolution), CDMA(Code Division Multiple Access) 1X 또는 cdma2000, WCDMA(Wideband CDMA), GSM(Global System for Mobile Communications), IEEE 802.11 등을 지원할 수 있다.

[0014]

[0023]송신 경로에서, 데이터 프로세서(110)는 송신될 데이터를 프로세싱(예를 들어, 인코딩 및 변조)하고 아날로그 출력 신호를 송신기(130)로 제공한다. 송신기(130) 내부에서, 송신 회로들(132)은 아날로그 출력 신호를 기저대역으로부터 RF로 증폭하고, 필터링하고, 그리고 상향변환하고 변조된 신호를 제공한다. 송신 회로들(132)은 증폭기들, 필터들, 막서들, 발진기, 로컬 발진기(LO) 발생기, 위상 고정 루프(PLL) 등을 포함할 수 있다. 전력 증폭기(PA)(134)는 변조된 신호를 수신하고 증폭하며, 적절한 출력 전력 레벨을 갖는 증폭된 RF 신호를 제공한다. 송신 필터(136)는 증폭된 RF 신호를 필터링하여 신호 컴포넌트들을 송신 대역에서 통과시키고 신호 컴포넌트들을 수신 대역에서 감쇠시킨다. 송신 필터(136)는 출력 RF 신호를 제공하고, 이 출력 RF 신호는 스위치들(140) 및 임피던스 매칭 회로(150)를 통해 라우팅되고 안테나(152)를 통해 송신된다. 임피던스 매칭 회로(150)는 안테나(152)를 위한 임피던스 매칭을 수행하고, 이는 또한 안테나 튜닝 회로, 튜닝가능한 매칭 회로 등으로 지정된다.

[0015]

[0024]수신 경로에서, 안테나(152)는 기지국 및/또는 다른 송신기 스테이션들로부터 신호들을 수신하고 수신된 RF 신호를 제공하며, 수신된 RF 신호는 임피던스 매칭 회로(150) 및 스위치들(140)을 통해 라우팅되어 수신기(16

0)로 제공된다. 수신기(160) 내부에서, 수신 필터(162)는 수신된 RF 신호를 필터링하여 수신 대역에서 신호 컴포넌트들을 통과시키고 송신 대역에서 신호 컴포넌트들을 감쇠시킨다. LNA(164)는 수신 필터(162)로부터 필터링된 RF 신호를 증폭시키고 입력 RF 신호를 제공한다. 수신 회로들(166)은 입력 RF 신호를 RF로부터 기저대역으로 증폭, 필터링 및 하향변환하고 아날로그 입력 신호를 데이터 프로세서(110)로 제공한다. 수신 회로들(166)은 증폭기들, 필터들, 믹서들, 발진기, LO 발생기, PLL 등을 포함할 수 있다.

[0016] [0025] 적응 투닝 회로(170)는 임피던스 매칭 회로(150)를 투닝하거나 또는 조정하여, 데이터 송신 및 수신을 위한 양호한 성능이 달성될 수 있다. 임피던스 매칭 회로(150)는, 디지털 제어 신호에 따라 별개의 유닛들에서 변경될 수 있는 캐패시턴스를 갖는 디지털 가변 캐패시터(DVC)(도 1에 미도시)를 포함할 수 있다. 이외에도, 본 발명의 예시적인 실시예에 따른, 임피던스 매칭 회로(150)는 도 5와 관련하여 아래에 설명된 바와 같은 디바이스(400) 중 하나 이상의 디바이스, 도 6과 관련하여 아래에 설명된 바와 같은 디바이스(450) 중 하나 이상의 디바이스, 도 7과 관련하여 아래에 설명된 바와 같은 디바이스(500) 중 하나 이상의 디바이스, 또는 이들의 조합을 포함할 수 있다.

[0017] [0026] 트랜시버(120) 및 적응형 투닝 회로(170) 전체 또는 일 부분이 하나 이상의 아날로그 집적 회로들(IC들), RF IC들(RFIC들), 혼합-신호 IC들 등에서 구현될 수 있다. 전력 증폭기(134) 및 가능하게는 다른 회로들은 별개의 IC 또는 모듈 상에서 구현될 수 있다. 임피던스 매칭 회로(150) 및 가능하게는 다른 회로들은 또한 별개의 IC 또는 모듈 상에서 구현될 수 있다.

[0018] [0027] 데이터 프로세서/제어기(110)는 무선 디바이스(100)를 위한 다양한 기능들을 수행할 수 있다. 예를 들어, 데이터 프로세서(110)는 송신기(130)를 통해 송신되고 수신기(160)를 통해 수신되는 데이터의 프로세싱을 수행할 수 있다. 제어기(110)는 TX 회로들(132), RX 회로들(166), 스위치들(140), 및/또는 적응형 투닝 회로(170)의 동작을 제어할 수 있다. 메모리(112)는 데이터 프로세서/제어기(110)를 위한 프로그램 코드들 및 데이터를 저장할 수 있다. 메모리(112)는 (도 1에 미도시) 데이터 프로세서/제어기(110) 내부에 있을 수 있거나 또는 데이터 프로세스/제어기(110)(도 1에 미도시) 외부에 있을 수 있다. 데이터 프로세서/제어기(110)는 하나 이상의 ASIC(application specific integrated circuit)들 및/또는 다른 IC들 상에서 구현될 수 있다.

[0019] [0028] 도 2a는 복수의 스위치들(202_1-202_N) 및 캐패시터들(C1-CN)을 포함하는 디지털 가변 캐패시터(DVC) 회로(200)를 도시한다. 당업자가 이해하는 바와 같이, DVC 회로, 이를 테면, DVC 회로(200)의 동작 동안, 스위치들(202_1-202_N) 중 하나 이상의 스위치들이 온-상태(즉, 전도 상태)에서 동작할 수 있고, 하나 이상의 스위치들(202_1-202_N)이 오프 상태(즉, 비전도 상태)에서 동작할 수 있거나, 또는 이들의 임의의 조합에서 동작할 수 있다. 추가로 이해될 바와 같이, 스위치, DVC 회로의 스위치(예를 들어, 스위치(202_N))는 복수의 전계 효과 트랜지스터(FET)들을 적층 구성으로 포함할 수 있다.

[0020] [0029] 도 2b는 적층 FET 스위치(즉, 적층 구성에서 복수의 FET 트랜지스터들)를 포함하는 스위치(202)의 보다 상세한 도시이다. 도 2b에 도시된 바와 같이, 스위치(202)의 각각의 FET 트랜지스터는, 당업자가 이해하는 바와 같이, 게이트 G, 본체 B, 드레인 D, 및 소스 S를 포함할 수 있다.

[0021] [0030] 당업자가 인식하는 바와 같이, 적층형 FET들은 신뢰성을 위해 사용될 수 있는데, 적층형 FET들에 의해 접합 파괴 실패들을 방지한다. 추가로, 2차 비선형성이 대칭적 설계를 통해 실질적으로 제거될 수 있다. 그러나, 적층형 FET 스위치는 오프-상태에서 3차 비선형성을 나타낼 수 있다. 다른 방식으로 언급하자면, 오프-상태의 스위치(즉, 비전도 상태의 스위치)는 게이트에 대한 드레인/소스(D/S) 및 벌크 캐패시턴스에 대한 D/S의 용량성 비선형성에 의해 지배될 수 있다. 적층형 FET 스위치의 3차 비선형성은 적층형 FET에 있는 각각의 FET의 3차 비선형성의 총합을 포함할 수 있다.

[0022] [0031] 도 3a는 게이트 G, 드레인 D, 소스 S, 및 본체 B를 포함하는 트랜지스터(250)를 도시한다. 트랜지스터(250)는 적층형 FET 스위치의 복수의 트랜지스터들 중 하나, 이를 테면, 도 2b에 도시된 적층형 FET 스위치(202)일 수 있다. 단지 예시로서, 트랜지스터(250)의 오프-상태(즉, 비전도 상태) 동안, 트랜지스터(250)의 게이트 G 및 본체 B가 트랜지스터(250)의 부분적 턴-온을 방지하기 위해 네거티브 전압(예를 들어, -2.7volts)으로 바이어싱될 수 있다.

[0023] [0032] 도 3b는 오프-상태 스위치의 드레인-투-소스 캐패시턴스 대 오프-상태 스위치 양단에 걸친 D/S 전압을 나타내는 곡선(282)을 포함하는 플롯(280)이다. 이해되는 바와 같이, 곡선(282)은 오프-상태 스위치의 드레인-투-소스 캐패시턴스의 비선형 거동을 도시한다. 당업자에게 명백한 바와 같이, 매칭 회로 내의 스위치의 비선형성은, 수신기 성능에 불리한 영향을 미치고 그리고/또는 송신기에서 스펙트럼 방사 방해(violation)들을 유발할

수 있는 원치 않는 왜곡을 추가한다. 전압의 함수로서 오프-상태 스위치의 캐패시턴스는 다음 식으로 주어진다:

수학식 1

$$[0024] C(V) = C0 + C1 * V + C2 * V^2 + C3 * V^3$$

[0025] $C0$ 은 오프-상태 스위치의 베이스 캐패시턴스이고, $C1$ 은 오프-상태 스위치의 오프-상태 캐패시턴스의 선형 기울기이고, $C2$ 는 오프-상태 스위치의 2차 비선형 캐패시턴스에 대한 계수이고, $C3$ 은 오프-상태 스위치의 3차 비선형 캐패시턴스에 대한 계수이다.

[0026] [0033] D/S 캐패시턴스 거동의 본질에 의해 좌우되는 식 1의 3차 항(즉, $C3$)에 대한 계수는, 플롯(280)으로 도시되는 위로 오목한 곡선(즉, 곡선(282))을 발생시키는 포지티브 값이라는 것을 주목한다.

[0027] [0034] 일 예시적인 실시예에 따르면, 스위치의 오프-상태는 오프-상태 스위치와 실질적으로 크기가 동일하고 위상이 반대(즉, 180도 시프트됨)인 3차 왜곡을 도입시킴으로써 선형화될 수 있다. 도 4는 버랙터의 게이트 투드레인/소스(D/S) 캐패시턴스 대 버랙터의 튜닝 전압을 나타내는 곡선(302)을 포함하는 플롯(300)이다. 전압의 함수로서 버랙터의 캐패시턴스는 다음 식으로 주어진다.

수학식 2

$$[0028] C(V) = C0 + C1 * V + C2 * V^2 - C3 * V^3$$

[0029] $C0$ 은 버랙터의 베이스 캐패시턴스이고, $C1$ 은 버랙터의 캐패시턴스의 선형 기울기이고, $C2$ 는 버랙터의 2차 비선형 캐패시턴스에 대한 계수이고, $C3$ 은 버랙터 스위치의 3차 비선형 캐패시턴스에 대한 계수이다.

[0030] [0035] 버랙터 거동의 본질에 의해 좌우되는 식 2의 3차 항(즉, $C3$)에 대한 계수는, 플롯(300)으로 도시되는 아래로 오목한 곡선(즉, 곡선(302))을 발생시키는 네거티브 값이라는 것을 주목한다. 플롯(280)의 곡선(282)(도 2b 참고)과 플롯(300)의 곡선(302)(도 4 참고)은 실질적으로 반대 변곡점을 갖는다는 것을 추가로 주목한다. 따라서, 본 발명의 다양한 예시적인 실시예들에 따르면, 버랙터에 의해 발생된 왜곡은 스위치에 의해 발생된 왜곡을 실질적으로 제거하기 위해 사용될 수 있다. 다른 방법을 언급하자면, 스위치는, 스위치에 의해 발생된 왜곡과 크기가 동일하고 위상이 반대(즉, 180도 시프트됨)인 왜곡을 도입시킴으로써 선형화될 수 있다.

[0031] [0036] 도 5는 본 발명의 예시적인 실시예에 따른 디바이스(400)를 도시한다. 디바이스(400)는, 예를 들어, 적층형 FET 스위치(즉, 적층형 FET 스위치)의 복수의 트랜지스터들을 포함할 수 있는 스위치(402)를 포함한다. 추가로, 디바이스(400)는 스위치(402)와 병렬 결합된 선형화장치(404)를 포함한다. 일 예시적인 실시예에 따르면, 선형화장치(404)는, 스위치(402)에 의해 발생된 왜곡과 크기가 동일하고 위상이 반대인 왜곡을 도입시키도록 구성될 수 있다. 예를 들어, 선형화장치(404)는 전압 제어식 캐패시턴스(즉, 가변 캐패시터들(C_{VAR}))를 구비하고 튜닝 전압(V_{tune})을 수신하도록 구성되는 버랙터(406)(예를 들어, MOS(metal-oxide semiconductor) 버랙터)를 포함할 수 있다. 선형화장치(404)는 또한, 버랙터(406)에 직렬로 결합된 복수의 MIM(metal-insulator-metal) 캐패시터들(C_{MIM})을 포함할 수 있다.

[0032] [0037] 상기 언급된 바와 같이, 스위치(402)는 진폭과 위상을 갖는 3차 왜곡을 발생시킬 수 있다. 추가로, 선형화장치(404), 보다 구체적으로, 버랙터(406)는, 스위치(402)에 의해 발생된 3차 왜곡의 위상에 대하여 180도 이 위상인 3차 왜곡을 발생시킬 수 있다. 이외에도, 튜닝 전압(V_{tune})은 버랙터(406)에 의해 발생된 3차 왜곡의 진폭을 조정하기 위해 사용될 수 있다는 것을 주목한다. 이상적으로, 바이스(400)의 캐패시턴스는 전압의 함수로서 다음 식으로 주어질 수 있다.

수학식 3

$$C(V) = C0 + C1 * V + C2 * V^2$$

[0033]

[0034] C0은 디바이스(400)의 베이스 캐패시턴스이고, C1은 디바이스(400)의 캐패시턴스의 선형 기울기이고, C2는 디바이스(400)의 2차 비선형 캐패시턴스에 대한 계수이다. 디바이스(400)는, 일부 나머지 3차 비선형 캐패시턴스를 포함할 수 있다는 것을 주목한다.

[0035]

[0038]이와 같이, 일 예시적인 실시예에 따르면, 선형화장치(404)는, 스위치(402)에 의해 발생된 3차 왜곡을 상쇄 간섭하기 위해 사용될 수 있는 3차 왜곡을 발생시키기도록 구성될 수 있다. 보다 구체적으로, 적절한 튜닝 전압의 수신 시, 버랙터(406)는, 스위치(402)에 의해 발생된 3차 왜곡을 실질적으로 제거하기 위해 스위치(402)에 의해 발생된 3차 왜곡과 크기가 동일하고 위상이 반대(즉, 스위치(402)의 3차 왜곡에 대하여 180도 시프트됨)인 3차 왜곡을 발생시킬 수 있고, 따라서, 디바이스(400)의 전력 효율이 개선될 수 있다.

[0036]

[0039]추가로, 당업자가 인식하는 바와 같이, 직렬 MIM 캐패시터들(C_{MIM})은 스위치(402) 양단의 전압 강하를 "공유"하고, 따라서 버랙터(406)의 신뢰도를 개선하도록 구성된다. 다른 방식으로 언급하자면, 직렬 MIM 캐패시터들(C_{MIM})을 포함하는 버랙터(406)의 대칭적 구현은, 버랙터의 게이트 투 소스/드레인(G-S/D) 브레이크 다운 지역이 방지되는 것을 보장하기 위해 RF 전압 스윙을 분할한다. 추가로, 2차 인터셉트(IP2)에 관한 버랙터(406)의 영향은 작은 왜곡 및/또는 대칭적 설계로 인해 최소이고, 버랙터(406)는, 연관된 DVC의 사이즈에 영향이 (있다 하더라도) 거의 없고, 코너 조건들에 대해 민감하다. 스위치(402)의 "온" 상태(즉, 전도성 상태) 동안, 버랙터(406)는 "온" 스위치에 의해 발생된 가상 셀트와 병렬 상태에 있고, 따라서, "온" 상태 3차 인터셉트(IP3)에 실질적으로 영향을 미치지 않을 수 있다는 것을 주목한다.

[0037]

[0040]도 6은 본 발명의 다른 예시적인 실시예에 따른 디바이스(450)를 도시한다. DVC를 포함할 수 있는 디바이스(450)는 복수의 디바이스들(400-1-400-N)을 포함하고, 각각의 디바이스(400-1-400-N)는 스위치(402)를 포함하고 연관된 선형화장치(404)를 포함한다. 각각의 선형화장치(404)는 연관된 스위치(402)의 사이즈에 따라 스케일링될 수 있다는 것을 주목한다. 추가로, 선형화장치(404)가 주어진 스위치 사이즈에 대해 최적화된 후, MIM 캐패시터들(C_{MIM})(도 6에 미도시; 도 5 참고) 및 선형화장치(404)의 버랙터 컴포넌트들(예를 들어, 캐패시터들(C_{VAR}))은 다른 구현들에 대해 선형으로 스케일링될 수 있다. 스케일링된 컴포넌트들을 이용하여, 디바이스(450)의 각각의 스위치(402)/선형화장치(404) 쌍은 공통 튜닝 전압(즉, 튜닝 전압(Vtune); 도 5 참고)을 공유하여 프로세스, 전압 및 온도 효과들을 고려하여 3차 제거를 조정할 수 있고, 따라서 하드웨어를 지지하기 위한 다이 영역을 감소시킬 수 있다.

[0038]

[0041]도 7은 본 발명의 또 다른 예시적인 실시예에 따른 디바이스(500)를 도시한다. 디바이스(500)는 DVC 회로(502) 및 DVC 회로(502)와 병렬로 결합된 선성화장치(404)를 포함한다. 상술된 바와 같이, 선형화장치(404)는 버랙터(406) 및 버랙터(406)와 직렬로 결합된 MIM 캐패시터들(C_{MIM})을 포함한다. 본 예시적인 실시예에서, DVC 회로(502)는 복수의 스위치들(505-1-505-N)을 포함하며, 각각의 스위치(505-1-505-N)는 적층형 FET 스위치를 포함한다. 어느 때라도 오프-상태 스위치들의 수가 알려지면, 선형화장치(404)는 DVC 회로(502)의 비선형 거동을 제거하기 위해 사용되고 튜닝될 수 있다.

[0039]

[0042]도 8은 하나 이상의 예시적인 실시예들에 따른, 방법(600)을 도시하는 흐름도이다. 방법(600)은 적어도 하나의 스위치를 오프-상태로 구성하는 단계(도면 부호(602)로 표기됨)를 포함할 수 있다. 방법(600)은 또한, 버랙터에 의해 발생된 3차 왜곡에 의해 오프-상태의 스위치에 의해 발생된 3차 왜곡을 실질적으로 제거하는 단계(도면 부호(604)로 표기됨)를 포함할 수 있다.

[0040]

[0043]도 9는 하나 이상의 예시적인 실시예들에 따른 다른 방법(700)을 도시 하는 흐름도이다. 방법(700)은 오프 상태의 스위치에 의해 3차 왜곡을 발생시키는 단계(도면 부호(702)로 표기됨)를 포함할 수 있다. 방법(700)은 스위치에 결합된 버랙터를 이용하여 스위치에 의해 발생된 3차 왜곡을 실질적으로 제거하는 단계(도면 부호(704)로 표기됨)를 더 포함할 수 있다.

[0041]

[0044]정보 및 신호들은 다양한 상이한 기법들 및 기술들 중 임의의 기법 및 기술을 이용하여 표현될 수 있다는 것을 당업자는 이해할 것이다. 예를 들어, 상기 설명 전반에 걸쳐 언급될 수 있는 데이터, 명령들, 커맨드들,

정보, 신호들, 비트들, 심볼들 및 칩들은 전압들, 전류들, 전자기파들, 자계들 또는 자기 입자들, 광 필드 또는 광 입자들, 또는 이들의 임의의 조합에 의해 표현될 수 있다.

[0042] 당업자는 추가로, 본원에 개시된 예시적인 실시예들과 관련하여 기술된 여러 예시적인 로지컬 블록들, 모듈들, 회로들 및 알고리즘 단계들은 전자 하드웨어, 컴퓨터 소프트웨어, 또는 양자의 조합들로서 구현될 수도 있다는 것을 인식할 것이다. 하드웨어 및 소프트웨어의 이러한 상호교환가능성을 명확하게 설명하기 위해, 여러 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들은 일반적으로 그들의 기능성의 관점에서 상술되었다. 그러한 기능성이 하드웨어 또는 소프트웨어로서 구현되는지 여부는 전체 시스템에 부과된 설계 제약들 및 특정의 애플리케이션에 좌우된다. 당업자는 각각의 특정 애플리케이션에 대한 여러가지 방법들로 설명된 기능을 구현할 수 있지만, 이러한 구현 결정들은 본 발명의 예시적인 실시예들의 범위를 벗어나게 하는 것으로 해석되어서는 안 된다.

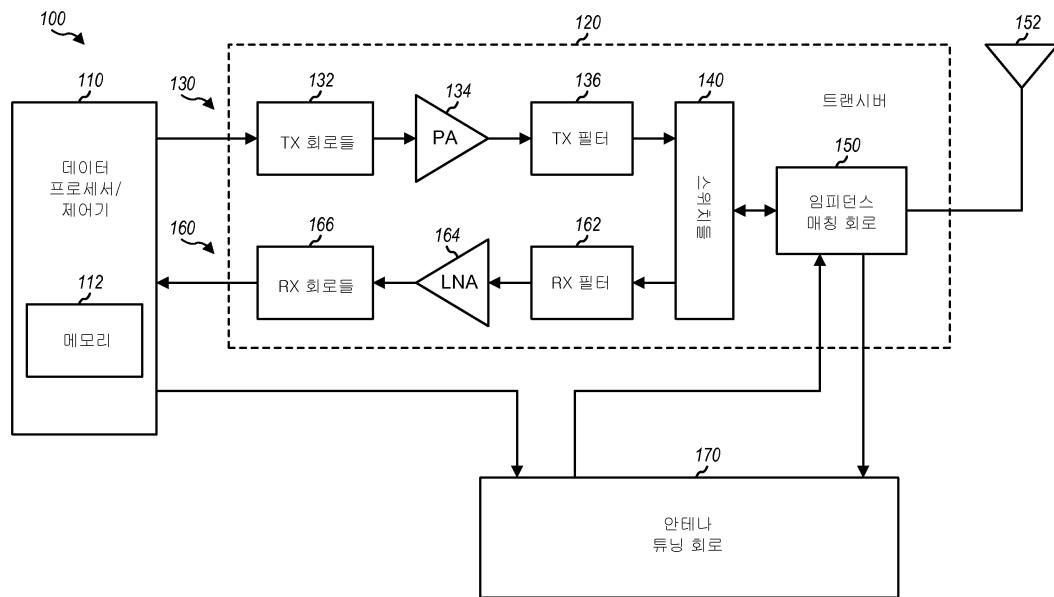
[0043] 본원에 개시된 예시적인 실시예들과 관련하여 설명된 다양한 예시적인 로직들, 로직 블록들, 모듈들 및 회로들은 범용 프로세서, 디지털 신호 프로세서(DSP: digital signal processor), 주문형 집적 회로(ASIC: application specific integrated circuit), 필드 프로그래밍 가능 게이트 어레이(FPGA: field programmable gate array) 또는 다른 프로그래밍 가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에서 설명된 기능들을 수행하도록 설계된 이들의 임의의 결합으로 구현되거나 또는 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안으로 프로세서는 임의의 종래 프로세서, 제어기, 마이크로컨트롤러 또는 상태 머신일 수도 있다. 프로세서는 또한 컴퓨팅 디바이스들의 결합, 예를 들어 DSP와 마이크로프로세서의 결합, 복수의 마이크로프로세서들, DSP 코어와 결합한 하나 또는 그보다 많은 마이크로프로세서들, 또는 임의의 다른 이러한 구성으로서 구현될 수 있다.

[0044] 하나 이상의 예시적인 실시형태에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어 또는 이들의 임의의 조합으로 구현될 수도 있다. 소프트웨어로 구현되면, 그 기능들은 컴퓨터 판독가능 매체 상에서 하나 이상의 명령들 또는 코드로 저장될 수도 있거나 또는 이를 통해 송신될 수도 있다. 컴퓨터 판독가능 매체는 일 장소로부터 다른 장소로 컴퓨터 프로그램의 전송을 용이하게 하는 임의의 매체를 포함하는 통신 매체 및 컴퓨터 저장 매체 양자 모두를 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수도 있다. 한정이 아닌 예시로서, 이러한 컴퓨터 판독가능 매체는 RAM, ROM, EEPROM, CD-ROM 또는 기타 광학 디스크 스토리지, 자기 디스크 스토리지 또는 기타 자기 저장 디바이스, 또는 원하는 프로그램 코드를 컴퓨터에 의해 액세스 가능한 명령들 또는 데이터 구조들의 형태로 반송하거나 저장하는데 이용될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속이 컴퓨터 판독가능 매체로 적절하게 지정된다. 예를 들어, 동축 케이블, 광섬유 케이블, 트위스트 쌍, 디지털 가입자 라인 (DSL), 또는 적외선, 무선 및 마이크로파와 같은 무선 기술을 이용하여 소프트웨어가 웹사이트, 서버 또는 기타 원격 소스로부터 송신되면, 그 동축 케이블, 광섬유 케이블, 트위스트 쌍, DSL, 또는 적외선, 무선 및 마이크로파와 같은 무선 기술이 매체의 정의에 포함된다. 본원에 사용되는 바와 같이, 디스크 (disk) 및 디스크 (disc)는 컴팩트 디스크 (CD), 레이저 디스크, 광 디스크, DVD(digital versatile disc), 플로피 디스크 및 블루 레이 디스크를 포함하며, 여기서 통상적으로 디스크 (disk)는 데이터를 자기적으로 재생하는 한편 디스크 (disc)는 레이저를 이용하여 데이터를 광학적으로 재생한다. 상기의 조합들이 또한 컴퓨터 판독가능 매체의 범주 내에 포함될 것이다.

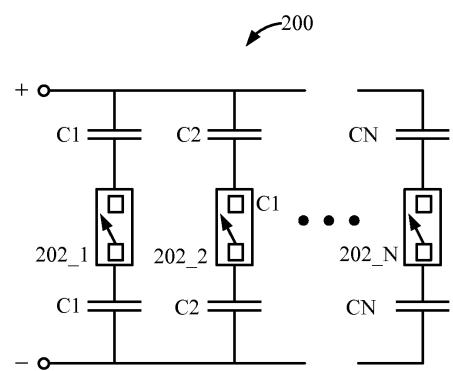
[0045] 본 개시된 예시적인 실시예들의 이전 설명은 당업자가 본 발명을 실시하거나 또는 이용하도록 제공된다. 이러한 예시적이 실시예들에 대한 각종 변형들이 당업자에게 자명할 것이고, 본원에 정의된 일반 원리들은 본 발명의 정신 또는 범위를 벗어나지 않고 다른 실시예들에 적용될 수도 있다. 따라서, 본 발명은 본원에 나타내 어진 예시적인 실시예들로 제한되지 않고 본원에 개시된 원리들 및 신규한 특성들과 일치하는 최광의 범위를 따르도록 의도된다.

도면

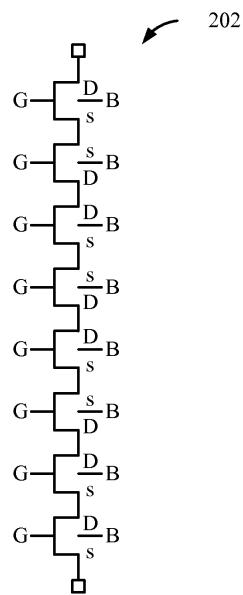
도면1



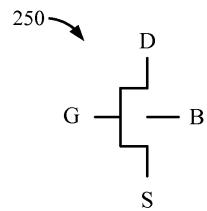
도면2a



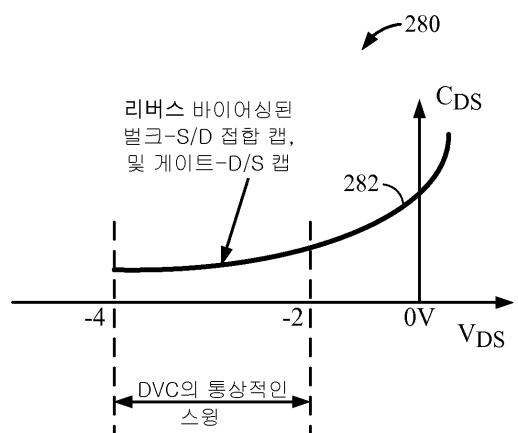
도면2b



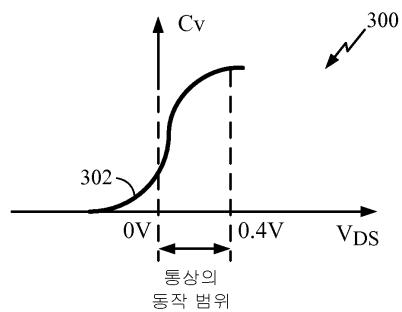
도면3a



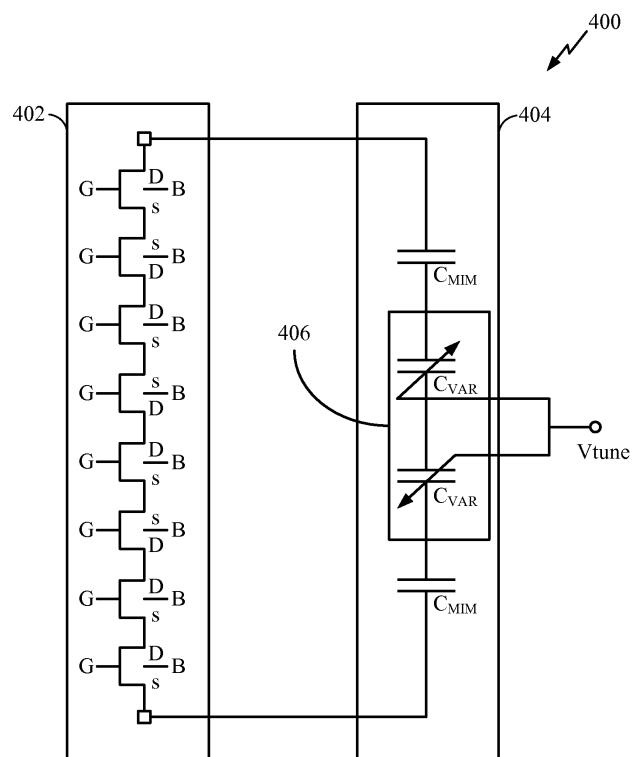
도면3b



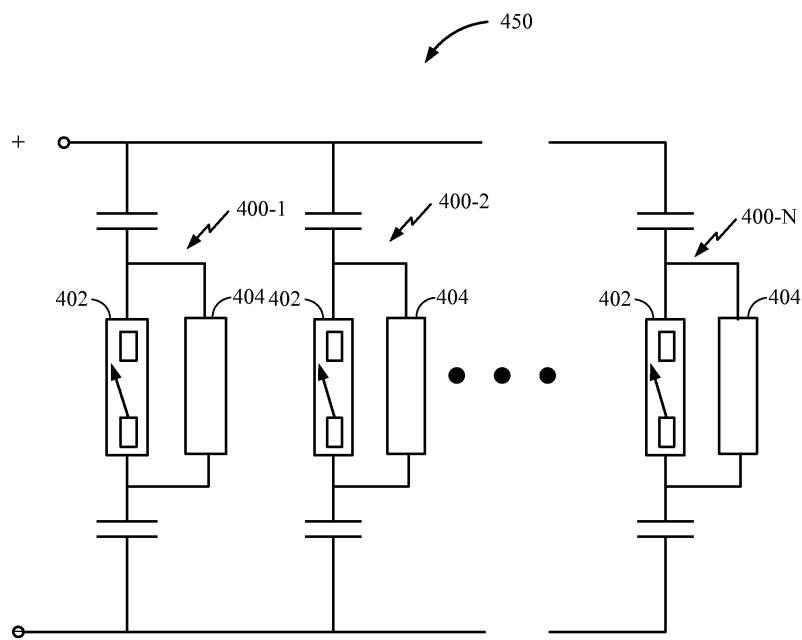
도면4



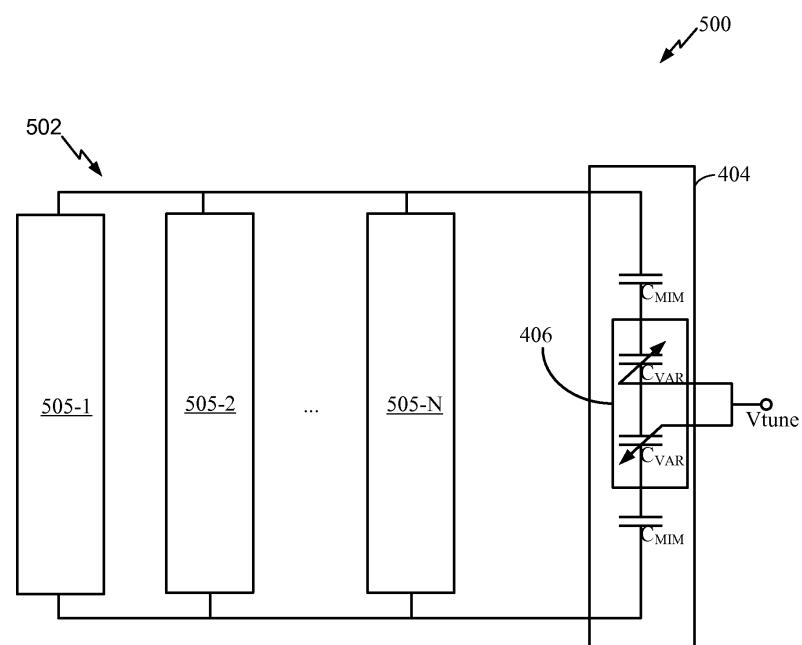
도면5



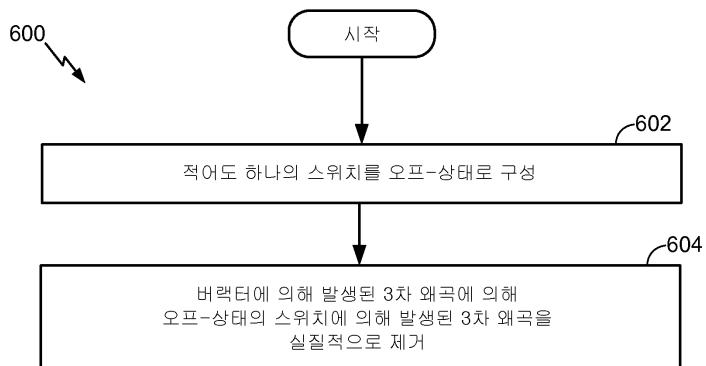
도면6



도면7



도면8



도면9

