



(12) 发明专利

(10) 授权公告号 CN 103366028 B

(45) 授权公告日 2016.03.16

(21) 申请号 201210093762.1

(22) 申请日 2012.03.31

(73) 专利权人 中国科学院微电子研究所  
地址 100029 北京市朝阳区北土城西路3号

(72) 发明人 李明 李艳 于芳

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 逯长明 王宝筠

(51) Int. Cl.

G06F 17/50(2006.01)

(56) 对比文件

CN 101771408 A, 2010.07.07,

US 2006129964 A1, 2006.06.15,

CN 1776693 A, 2006.05.24,

谢丁. FPGA 互连结构评估系统研究与实现. 《中国博士学位论文全文数据库 信息科技

辑》. 2011, (第12期), 第18页.

刘智斌. FPGA CAD 后端流程研究. 《中国优秀硕士学位论文全文数据库 信息科技辑》. 2012, (第1期), 第3-4, 13, 15, 17-18, 27, 30页.

审查员 孟驭旋

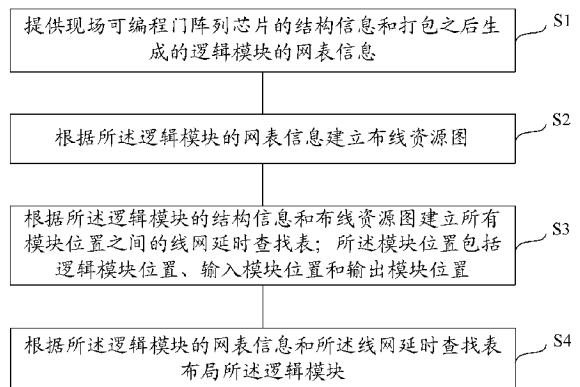
权利要求书2页 说明书6页 附图3页

(54) 发明名称

一种现场可编程门阵列芯片布局方法

(57) 摘要

本发明提供一种现场可编程门阵列芯片布局方法,包括步骤:提供现场可编程门阵列芯片的结构信息和打包之后生成的逻辑模块的网表信息;根据所述逻辑模块的网表信息建立布线资源图;根据所述逻辑模块的结构信息和布线资源图建立所有模块位置之间的线网延时查找表;所述模块位置包括逻辑模块位置、输入模块位置和输出模块位置;根据所述逻辑模块的网表信息和所述线网延时查找表布局所述逻辑模块。采用本发明的布局方法,在布局过程中,考虑了布局布线时使用逻辑模块的不同引脚方向对线网延时的影响,使得布局阶段的延时预测值更接近实际结果。本发明的布局方法有效结合了布局和布线过程,提高布线资源利用率,降低芯片电路的延时。



1. 一种现场可编程门阵列芯片布局方法,其特征在于,包括步骤:  
提供现场可编程门阵列芯片的结构信息和打包之后生成的逻辑模块的网表信息;  
根据所述逻辑模块的网表信息建立布线资源图;  
根据所述逻辑模块的结构信息和布线资源图建立所有模块位置之间的线网延时查找表;所述模块位置包括逻辑模块位置、输入模块位置和输出模块位置;  
根据所述逻辑模块的网表信息和所述线网延时查找表布局所述逻辑模块;  
其中,所述根据所述逻辑模块的结构信息和布线资源图建立所有模块位置之间的线网延时查找表步骤包括:  
建立数据结构,所述数据结构包括现场可编程门阵列芯片上输入模块到逻辑模块的延时的数组、逻辑模块到逻辑模块的延时的数组、逻辑模块到输出模块的延时的数组和输入模块到输出模块的延时的数组;  
所述数组为三维数组,其中数组的第一维为 X 方向上的模块之间的坐标差值,第二维为 Y 方向上模块之间的坐标差值,第三维为线网的漏端所经过的逻辑模块引脚的方向,所述三维数据指向的位置存储相应的延时。
2. 根据权利要求 1 所述的布局方法,其特征在于,所述建立数据结构步骤包括:  
设定所述现场可编程门阵列芯片的两个模块位置;  
第一模块位置设置包括源端的第一虚拟模块,第二模块位置设置包括至少一个漏端的第二虚拟模块;  
采用布线算法计算所述第一虚拟模块的源端至所述第二虚拟模块每个漏端的延时;  
将所述两个模块位置之间的坐标差值和使用的漏端以及相应的延时存储在所述数组中。
3. 根据权利要求 1 所述的布局方法,其特征在于,所述根据所述逻辑模块的网表信息和所述线网延时查找表布局所述逻辑模块步骤包括:  
进行所述逻辑模块的初始布局;  
根据所述线网延时查找表建立线网的时序图;  
根据所述线网的时序图计算布局成本;  
根据所述逻辑模块的网表信息移动或交换所述逻辑模块进行布局;  
更新所述逻辑模块移动或交换后线网的时序图;  
根据更新后线网的时序图确定布线时使用的所述逻辑模块的引脚方向,并计算布局成本变化;  
判断所述布局成本是否降低,如果否,执行根据所述逻辑模块的网表信息移动或交换所述逻辑模块进行布局步骤;如果是,结束布局。
4. 根据权利要求 3 所述的布局方法,其特征在于,计算布局成本采用模拟退火算法。
5. 根据权利要求 1-4 任一项所述的布局方法,其特征在于,所述提供现场可编程门阵列芯片的结构信息,包括:  
提供各种类型的逻辑模块的位置、引脚位置、逻辑的延时,通道宽度,互连线的长度及分布情况,互连线段的分布和延时,互连线的电阻电容值,布线开关类型,布线开关延时,通道与通道的连接方式,通道与逻辑模块的连接方式。
6. 根据权利要求 1-4 任一项所述的方法,其特征在于,所述提供现场可编程门阵列芯

片结构信息打包之后生成的逻辑模块的网表信息,包括:

提供所述逻辑单元打包之后生成的逻辑模块的名称和类型、使用到的逻辑单元块的引脚、以及所有线网的源端和漏端。

7. 根据权利要求 1-4 任一项所述的方法,其特征在于,所述根据所述逻辑模块的网表信息建立布线资源图,包括:

根据所述逻辑模块的结构信息建立逻辑单元源端与逻辑模块输出引脚的连接关系,逻辑单元漏端与逻辑模块输入引脚的连接关系,逻辑模块输入输出引脚与互连线的连接关系,互连线之间的连接关系,同一逻辑模块内部逻辑单元的连接关系,及其他模块与互连线的连接关系。

8. 根据权利要求 1-4 任一项所述的方法,其特征在于,所述逻辑模块包括四个引脚方向,所述四个引脚方向分布在所述逻辑模块的四个方向。

## 一种现场可编程门阵列芯片布局方法

### 技术领域

[0001] 本发明涉及集成电路设计和电子设计自动化领域,特别是涉及一种现场可编程门阵列芯片布局方法。

### 背景技术

[0002] FPGA(Field-Programmable Gate Array,现场可编程门阵列)芯片是目前市场上广泛使用的可编程器件,具有开发周期短和成本低等优点。通过逻辑模块的布局和逻辑模块之间互连线的布线,FPGA芯片可以实现各种各样的应用,因此,在进行FPGA设计的软件流程中,布局和布线是至关重要的步骤。

[0003] FPGA芯片的布局确定了实现电路功能需要的各逻辑模块在FPGA芯片中的位置,逻辑模块之间通过互连线的布线相连接,布局的优化目标是把相连的逻辑模块靠近放置以最大限度地减少所需要的布线资源,同时,还需要平衡FPGA芯片中的布线密度和电路延时。完成FPGA芯片的布局后,布线器就可打通合适的可编程开关以连接电路需要的所有逻辑模块的输入和输出引脚,完成FPGA芯片的布局和布线。

[0004] 在FPGA芯片中,布线的面积占芯片总面积的50%以上,布线后关键路径上布线通道的延时比逻辑模块的逻辑延时要大几倍到几十倍,这充分证明了在FPGA中布线的重要性。目前绝大多数的布局布线工具软件中,布局和布线之间的关系过于松散,通常布局时无法预测布线阶段所使用的互连线,以及逻辑模块使用的引脚方向,不考虑后续布线时所使用逻辑模块引脚方向的不同带来的延时差别,而逻辑模块有时在多个方向具有引脚,使用不同方向引脚时,互连线的延时是不同的,可能导致布局布线完成后FPGA芯片的电路延时较大。

### 发明内容

[0005] 本发明的目的是提供一种现场可编程门阵列芯片的布局方法,实现现场可编程门阵列芯片的布局并降低电路延时。

[0006] 本发明提供一种现场可编程门阵列芯片布局方法,包括步骤:

[0007] 提供现场可编程门阵列芯片的结构信息和打包之后生成的逻辑模块的网表信息;

[0008] 根据所述逻辑模块的网表信息建立布线资源图;

[0009] 根据所述逻辑模块的结构信息和布线资源图建立所有模块位置之间的线网延时查找表;所述模块位置包括逻辑模块位置、输入模块位置和输出模块位置;

[0010] 根据所述逻辑模块的网表信息和所述线网延时查找表布局所述逻辑模块。

[0011] 优选地,所述根据所述逻辑模块的结构信息和布线资源图建立所有模块位置之间的线网延时查找表步骤包括:

[0012] 建立数据结构,所述数据结构包括现场可编程门阵列芯片上输入模块到逻辑模块的延时的数组、逻辑模块到逻辑模块的延时的数组、逻辑模块到输出模块的延时的数组和

输入模块到输出模块的延时的数组；

[0013] 所述数组为三维数组，其中数组的第一维为 X 方向上的模块之间的坐标差值，第二维为 Y 方向上模块之间的坐标差值，第三维为线网的漏端所经过的逻辑模块引脚的方向，所述三维数据指向的位置存储相应的延时。

[0014] 优选地，所述建立数据结构步骤包括：

[0015] 设定所述现场可编程门阵列芯片的两个模块位置；

[0016] 第一模块位置设置包括源端的第一虚拟模块，第二模块位置设置包括至少一个漏端的第二虚拟模块；

[0017] 采用布线算法计算所述第一虚拟模块的源端至所述第二虚拟模块每个漏端的延时；

[0018] 将所述两个模块位置之间的坐标差值和使用的漏端以及相应的延时存储在所述数组中。

[0019] 优选地，所述根据所述逻辑模块的网表信息和所述线网延时查找表布局所述逻辑模块步骤包括：

[0020] 进行所述逻辑模块的初始布局；

[0021] 根据所述线网延时查找表建立线网的时序图；

[0022] 根据所述线网的时序图计算布局成本；

[0023] 根据所述逻辑模块的网表信息移动或交换所述逻辑模块进行布局；

[0024] 更新所述逻辑模块移动或交换后线网的时序图；

[0025] 根据更新后线网的时序图确定布线时使用的所述逻辑模块的引脚方向，并计算布局成本变化；

[0026] 判断所述布局成本是否降低，如果否，执行根据所述逻辑模块的网表信息移动或交换所述逻辑模块进行布局步骤；如果是，结束布局。

[0027] 优选地，计算布局成本采用模拟退火算法。

[0028] 优选地，所述提供现场可编程门阵列芯片的结构信息，包括：

[0029] 提供各种类型的逻辑模块的位置、引脚位置、逻辑的延时，通道宽度，互连线的长度及分布情况，互连线段的分布和延时，互连线的电阻电容值，布线开关类型，布线开关延时，通道与通道的连接方式，通道与逻辑模块的连接方式。

[0030] 优选地，所述提供现场可编程门阵列芯片结构信息打包之后生成的逻辑模块的网表信息，包括：

[0031] 提供所述逻辑单元打包之后生成的逻辑模块的名称和类型、使用到的逻辑单元块的引脚、以及所有线网的源端和漏端。

[0032] 优选地，所述根据所述逻辑模块的网表信息建立布线资源图，包括：

[0033] 根据所述逻辑模块的结构信息建立逻辑单元源端与逻辑模块输出引脚的连接关系，逻辑单元漏端与逻辑模块输入引脚的连接关系，逻辑模块输入输出引脚与互连线的连接关系，互连线之间的连接关系，同一逻辑模块内部逻辑单元的连接关系，及其他模块与互连线的连接关系。

[0034] 优选地，所述逻辑模块包括四个引脚方向，所述四个引脚方向分布在所述逻辑模块的四个方向。

[0035] 与现有技术相比,本发明现场可编程门阵列芯片布局方法具有下列优点:

[0036] 本发明的 FPGA 芯片布局方法,包括步骤:提供现场可编程门阵列芯片的结构信息和打包之后生成的逻辑模块的网表信息;根据所述逻辑模块的网表信息建立布线资源图;根据所述逻辑模块的结构信息和布线资源图建立所有模块位置之间的线网延时查找表;所述模块位置包括逻辑模块位置、输入模块位置和输出模块位置;根据所述逻辑模块的网表信息和所述线网延时查找表布局所述逻辑模块。采用本发明的布局方法,在布局过程中,考虑了布局布线时使用逻辑模块的不同方向引脚对线网延时的影响,使得布局阶段的延时预测值更接近实际结果。本发明的布局方法有效结合了布局和布线过程,提高布线资源利用率,降低芯片电路的延时。

### 附图说明

[0037] 通过附图所示,本发明的上述及其它目的、特征和优势将更加清晰。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图,重点在于示出本发明的主旨。

[0038] 图 1 为本发明的 FPGA 芯片布局方法流程图;

[0039] 图 2 为逻辑模块的结果示意图;

[0040] 图 3 为根据 FPGA 芯片结构信息建立的布线资源图的示意图;

[0041] 图 4 和图 5 为建立数据结构时模块位置和逻辑模块引脚方向的示意图;

[0042] 图 6 为根据所述逻辑模块的网表信息和所述线网延时查找表布局所述逻辑模块方法的流程图。

### 具体实施方式

[0043] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0044] 其次,本发明结合示意图进行详细描述,在详述本发明实施例时,为便于说明,所述示意图只是示例,其在此不应限制本发明保护的范围。

[0045] 正如背景技术所述,目前绝大多数布局布线工具软件中,布局和布线之间的关系过于松散,通常布局时无法预测布线阶段所使用的互连线,因此无法预测互连线带来的延时,最终造成 FPGA 芯片的延时增大。降低 FPGA 芯片延时的最好解决方法是将布局和布线同时进行,但是,布局和布线同时进行,布局布线工具软件运行时间会增加数十倍以上,严重影响 FPGA 芯片的布局布线时间。

[0046] 为了快速解决 FPGA 芯片布局布线延时问题,本发明提供了一种 FPGA 芯片布局方法,该方法在 FPGA 芯片布局时,考虑了布局布线时使用逻辑模块的不同方向引脚对线网延时的影响,使得布局阶段的延时预测值更接近实际结果。本发明的 FPGA 芯片布局方法将布局过程和布线过程紧密结合,有效减低了芯片电路的延时,提高了布线资源利用率。

[0047] 本发明的现场可编程门阵列芯片布局方法流程图参见图 1,包括步骤:

[0048] 步骤 S1,提供现场可编程门阵列芯片的结构信息和打包之后生成的逻辑模块的网

表信息。

[0049] FPGA 芯片的结构信息通常包括逻辑模块的位置, 引脚位置, 逻辑的延时, 通道宽度, 互连线的长度及分布情况, 互连线段的分布和延时, 互连线的电阻电容 (RC) 值, 布线开关类型, 布线开关延时, 通道与通道的连接方式, 通道与逻辑模块的连接方式等等。

[0050] 所述逻辑模块由数个逻辑单元和局部互连线组成, 逻辑单元的源端通过局部互连线与逻辑模块的输出引脚连接, 逻辑单元的漏端通过局部互连线与逻辑模块的输入引脚连接。逻辑模块的结构参见图 2, 逻辑单元 LC1 的源端 S 通过局部互连线与逻辑模块 LB1 的输出引脚 S' 连接, 逻辑单元 LC2 的漏端 D 通过局部互连线与逻辑模块 LB2 的输入引脚 D' 连接, 逻辑模块 LB1 和漏极模块 LB2 之间通过互连线或线网连接。

[0051] FPGA 芯片的结构信息经过工艺映射后打包生成逻辑模块的网表信息, 所述网表信息包括打包之后生成的逻辑模块的名称和类型、使用到的逻辑单元块的引脚、以及所有线网的源端和漏端。

[0052] 步骤 S2, 根据所述逻辑模块的网表信息建立布线资源图。

[0053] 为使布线器能够识别 FPGA 芯片中的逻辑模块、互连线的互连关系, 需要建立布线资源图, 布线资源包括逻辑模块的各个引脚、输入模块、输出模块、每条互连线的连接信息。布线器可以根据布线资源更快的确定逻辑模块、输入模块、输出模块、每条互连线之间的连接信息。本申请中, 将输入模块、输出模块统称为模块。布线资源连通 FPGA 芯片内部的所有逻辑模块以及 FPGA 芯片的输入 \ 输出模块, 而互连线的长度和工艺决定着信号在互连线上的驱动能力和传输速度。图 3 为布线资源图的示意图, 布线资源图包括: 逻辑单元源端与逻辑模块输出引脚的连接关系, 逻辑单元漏端与逻辑模块输入引脚的连接关系; 逻辑模块输入输出引脚与互连线的连接关系; 互连线之间的连接关系, 例如互连线 1、互连线 2 和互连线 3 之间的连接关系; 同一逻辑模块内部逻辑单元的连接关系, 及其他模块与互连线的连接关系。

[0054] 步骤 S3, 根据所述逻辑模块的结构信息和布线资源图建立所有模块位置之间的线网延时查找表; 所述模块位置包括逻辑模块位置、输入模块位置和输出模块位置。

[0055] 在布局过程, 移动的只是逻辑模块, 在本发明中建立数据结构来存储当模块间不同距离时的延时 timingCost。FPGA 芯片上除逻辑模块外, 还包括输入 \ 输出模块, 因此, 数据结构主要有输入模块到逻辑模块的延时的数组 delta\_inpad\_to\_lb、逻辑模块到逻辑模块的延时的数组 delta\_lb\_to\_lb、逻辑模块到输出模块的延时的数组 delta\_lb\_to\_outpad 和输入模块到输出模块的延时的数组 delta\_inpad\_to\_outpad 四个三维数组。将 FPGA 芯片表面置于平面二维坐标系中, 每个所述数组的第一维为 X 方向上的模块之间的坐标差值, 第二维为 Y 方向上模块之间的坐标差值, 第三维为线网的漏端所经过的逻辑模块引脚的方向, 该三维数据指向的位置存储相应的延时。这些数组分别存储了根据所述逻辑模块的结构信息中提供的互连线段的分布和延时、布线开关、延时等信息确定的输入模块到逻辑模块的延时、逻辑模块到逻辑模块的延时、逻辑模块到输出的延时及输入模块到输出模块的延时。

[0056] 建立所述数据结构步骤包括:

[0057] 设定所述现场可编程门阵列芯片的两个模块位置;

[0058] 第一模块位置设置包括源端的第一虚拟模块, 第二模块位置设置包括至少一个漏

端的第二虚拟模块；

[0059] 采用布线算法计算所述第一虚拟模块的源端至所述第二虚拟模块每个方向漏端的延时；

[0060] 将所述两个模块位置之间的坐标差值和使用的漏端以及相应的延时存储在所述数组中。

[0061] 下面以逻辑模块到逻辑模块延时的数据结构  $\Delta_{lb\_to\_lb}$  的确定过程详细什么延时查找表的确定方法,包括:

[0062] 如图 4 和图 5 所示:创建两个虚拟模块 block1 与 block2,类型都为逻辑模块,模块 block1 与 block2 之间有一条线网连接,线网有一个源端与一个漏端,假设线网的源端在模块 block1,漏端在模块 block2。将模块 block1 固定在 FPGA 芯片左下角位置 CLB0,模块 block2 选择一个其他位置,然后从源到漏进行布线,选择不同的漏端方向,使得布线时使用模块 block2 不同方向的引脚,采用布线算法计算使用模块 block2 不同方向的漏端引脚时的延时,将 block2 遍历其他所有可能的位置 CLB,计算出所有可能的延时值,并将计算结果记录在数据结构  $\Delta_{lb\_to\_lb}$  中。

[0063] 改变两个虚拟模块的类型,采用同样方法,计算数据结构  $\Delta_{inpad\_to\_lb}$ 、 $\Delta_{lb\_to\_outpad}$  和  $\Delta_{inpad\_to\_outpad}$ ,建立完整的互连线延时查找表。具体地,计算数据结构  $\Delta_{inpad\_to\_lb}$  时,虚拟模块 block1 为输入模块,虚拟模块 block2 为逻辑模块;计算数据结构  $\Delta_{lb\_to\_outpad}$  时,虚拟模块 block1 为输出模块,虚拟模块 block2 为逻辑模块;计算数据结构  $\Delta_{inpad\_to\_outpad}$  时,虚拟模块 block1 为输入模块,虚拟模块 block2 为输出模块。

[0064] 步骤 S4,根据所述逻辑模块的网表信息和所述线网延时查找表进行所述逻辑模块的布局。参见图 6,可以包括如下步骤:

[0065] 步骤 S41,进行所述逻辑模块的初始布局。

[0066] 将电路需要的逻辑模块随机放置在 FPGA 芯片的各个位置上,完成所述逻辑模块的初始布局。

[0067] 步骤 S42,根据所述线网延时查找表建立线网的时序图。

[0068] 提取所述线网延时查找表中存储的线网延时建立所述逻辑模块连接线网的时序图。所述时序图用于在逻辑模块布局阶段确定线网中的关键路径,时序图中可以包括:每条线网中源端到漏端的延时,源端与漏端之间的延时裕量等等。

[0069] 步骤 S43,根据所述线网的时序图计算布局成本。

[0070] 根据所述逻辑模块的网表信息布局时,需要移动或交换所述逻辑模块,因此逻辑模块有大量的移动位置,通过模拟退火算法的成本函数来确定所述逻辑模块怎样的位置摆放时是较优的,模拟退火算法的成本函数 Cost 为:

$$[0071] \quad Cost = (1 - w_t) * \frac{\Delta BB_{\cos t}}{BB_{\cos t}} + w_t * \frac{\Delta ti \min gCost}{ti \min gCost}, (0 \leq w_t \leq 1); \quad (1)$$

[0072] 其中,  $BB_{\cos t}$  为边界框增量值,在此不做详述。  $ti \min gCost$  为布线延时值,从所述线网的时序图中获得。

[0073] 步骤 S44,根据所述逻辑模块的网表信息移动或交换所述逻辑模块进行布局。

[0074] 步骤 S45,更新所述逻辑模块移动或交换后线网的时序图。



[0075] 使用排序算法将逻辑模块移动或交换后受到影响的线网按关键度从大到小进行排序,根据所述线网延时查找表重新建立线网的时序图。

[0076] 步骤 S46,根据更新后线网的时序图确定布线时使用的所述逻辑模块的引脚方向,并计算布局成本变化。

[0077] 在布局阶段逻辑模块在算法的约束下随机移动或者交换,每次移动或者交换过后,需要重新计算成本值 Cost, BB\_cost 在此不做详述,布线延时值 timingCost 为:

$$[0078] \quad t_{\text{miningCost}} = \sum_0^{\text{NumberofNets}} \text{net}(i)_{\text{criticality}} * \text{net}(i)_{\text{delay}}; \quad (2)$$

[0079] 其中  $\text{net}(i)_{\text{criticality}}$  代表线网 i 的关键度,  $\text{net}(i)_{\text{delay}}$  代表线网 i 的延时。

[0080] 在布局阶段不需要计算所有线网的成本值,只需要计算逻辑模块移动或交换后受到影响的线网成本值。

[0081] 在计算受到影响的线网成本值时,需要考虑到在布线阶段,漏端会经过逻辑模块的哪个方向输入引脚。如图 5 所示:位于位置 CLB0 和 CLB7 的逻辑模块通过线网连接,线网的漏端可能使用位置 CLB7 处逻辑模块的引脚有输入引脚 I1,输入引脚 I2,输入引脚 I3,输入引脚 I4 等四个引脚中的一个或多个,这与具体的 FPGA 芯片结构有关,四个引脚分布在逻辑模块的四个方向,但是它们各自连接到源端的延时值是不相同的,因此,布局阶段有必要考虑到布线阶段可能使用的是哪一个输入引脚。

[0082] 根据式 (2) 计算布线延时值,在步骤 S44 中更新的时序图中查找线网漏端所能使用的输入引脚中选择延时最小的值作为此线网的延时。如果线网处于关键路径 ( $\text{criticality} = 1$ ) 或次关键路径 ( $\text{criticality} > 0.9$ ),则标记此线网使用的输入引脚为占用状态,为布线时使用的引脚,其他线网则不能再使用这个引脚。

[0083] 根据式 (1) 和 (2) 计算移动或交换所述逻辑模块后的布局成本。如果步骤 S46 计算的布局成本低于步骤 S43 中计算的布局成本,即布局成本降低则此次布局成功。

[0084] 步骤 S47,判断所述布局成本是否降低,如果否,执行步骤 S44;如果是,结束布局。

[0085] 根据本发明的布局方法,将 FPGA 芯片上所有逻辑模块进行布局,完成 FPGA 芯片布局。

[0086] 采用本发明的 FPGA 芯片布局方法进行布局,在逻辑模块布局过程中,考虑了布局布线时使用逻辑模块的不同方向引脚对线网延时的影响,使得布局阶段的延时预测值更接近实际结果。本发明的方法有效结合了布局和布线过程,提高布线资源利用率,降低电路的延时。

[0087] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制。任何熟悉本领域的技术人员,在不脱离本发明技术方案范围情况下,都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰,或修改为等同变化的等效实施例。因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰,均仍属于本发明技术方案保护的范围。

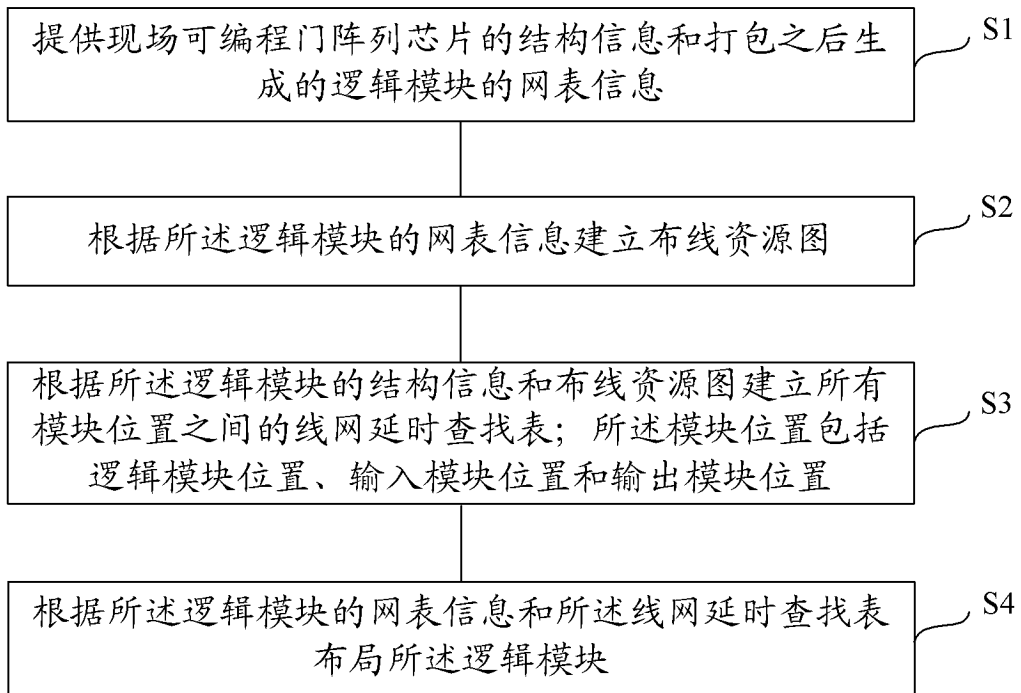


图 1



图 2

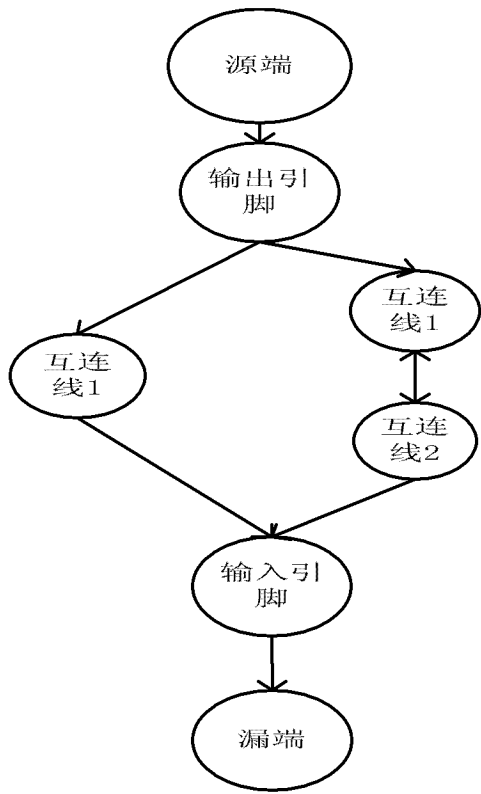


图 3

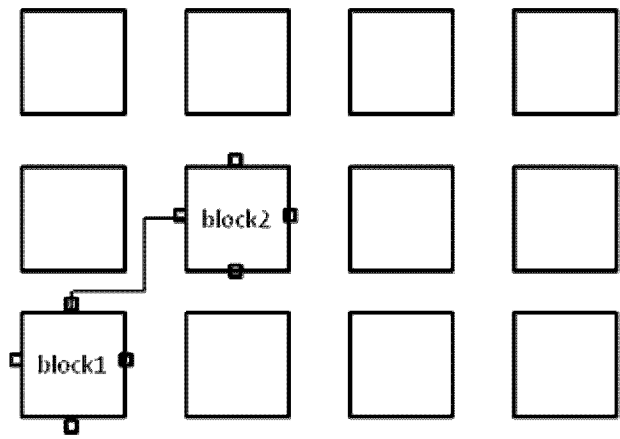


图 4

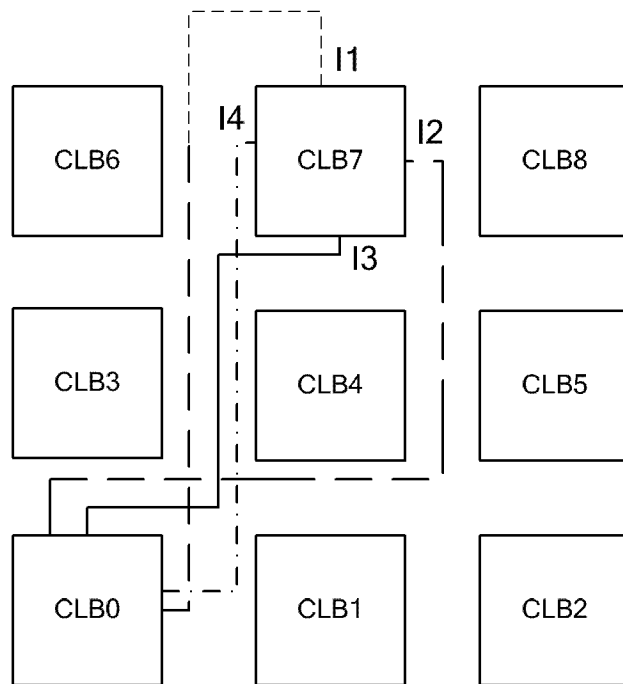


图 5

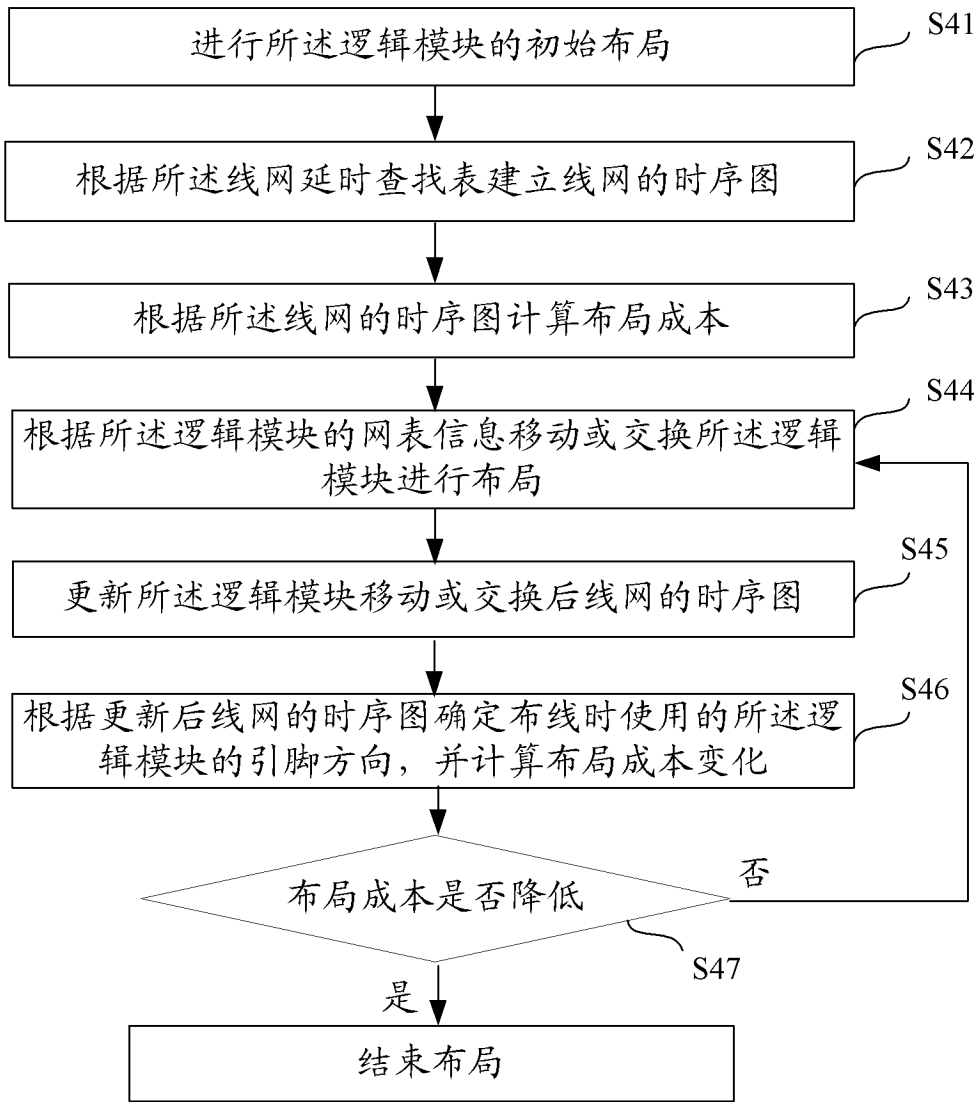


图 6