

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成26年10月16日(2014.10.16)

【公開番号】特開2014-142994(P2014-142994A)

【公開日】平成26年8月7日(2014.8.7)

【年通号数】公開・登録公報2014-042

【出願番号】特願2014-76257(P2014-76257)

【国際特許分類】

G 1 1 C 11/4094 (2006.01)

G 1 1 C 11/4097 (2006.01)

【F I】

G 1 1 C 11/34 3 5 3 C

G 1 1 C 11/34 3 5 3 F

G 1 1 C 11/34 3 6 2 B

【手続補正書】

【提出日】平成26年8月29日(2014.8.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ローカルビット線と、

グローバルビット線と、

前記ローカルビット線と前記グローバルビット線とを接続するシングルエンド型センスアンプと、を備え、

前記シングルエンド型センスアンプは、

ゲートに印加される制御電圧に応じて、前記ローカルビット線とセンスノードとの接続を制御する第 1 の MOS トランジスタと、

ゲートが前記センスノードに接続され、前記センスノードの信号を増幅する第 2 の MOS トランジスタと、

ゲートに印加される第 1 の制御信号に応じて、前記第 2 の MOS トランジスタのドレインと前記グローバルビット線との接続を制御する第 3 の MOS トランジスタと、

第 2 の制御信号に応じて、前記ローカルビット線を第 1 の電位に設定する第 1 の電位設定回路と、

第 3 の制御信号に応じて、前記センスノードを第 2 の電位に設定する第 2 の電位設定回路と、

を含むことを特徴とする半導体装置。

【請求項 2】

前記ローカルビット線を前記第 1 の電位に設定し、前記センスノードを前記第 2 の電位に設定した後、前記ローカルビット線を電荷分配モードで駆動することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の電位は接地電位であり、

前記第 2 の電位は電源の電位であること、

を特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 の電位設定回路は、ゲートに印加される前記第 2 の制御信号に応じて、前記ローカルビット線と前記接地電位との間を接続する第 4 の MOS トランジスタであり、

前記第 2 の電位設定回路は、ゲートに印加される前記第 3 の制御信号に応じて、前記センスノードを前記電源の電位に設定する第 5 の MOS トランジスタであること、
を特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記グローバルビット線に接続し、前記グローバルビット線の信号電位レベルを判定するグローバルセンスアンプを備えることを特徴とする請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 6】

前記第 2 の電位は、前記グローバルセンスアンプから前記グローバルビット線を経由して前記第 2 の電位設定回路に供給されることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

ゲートに印加される第 5 の制御信号に応じて、前記センスノードと前記グローバルビット線との接続を制御する第 6 の MOS トランジスタを備えることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

センス動作時において、前記第 2 の MOS トランジスタは、選択されたメモリセルが一方のデータに相当する電位を保持していたことにより、前記ローカルビット線が第 3 の電位になることに応じた前記センスノードの信号の電位によって導通状態になり、選択されたメモリセルがもう一方のデータに相当する電位を保持していたことにより、前記ローカルビット線が第 4 の電位になることに応じた前記センスノードの信号の電位によって非導通状態になることを特徴とする請求項 1 から 7 のいずれかに記載の半導体装置。

【請求項 9】

前記制御電圧は、センス動作時に前記接地電位と前記電源の電位との間の第 5 の電位をとることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記第 3 の電位は、前記第 5 の電位より前記第 1 の MOS トランジスタのしきい値電圧だけ低い電位より高いことを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記第 4 の電位は、前記第 5 の電位より前記第 1 の MOS トランジスタのしきい値電圧だけ低い電位より低いことを特徴とする請求項 9 に記載の半導体装置。

【請求項 12】

入力された基準電圧に対し、前記第 1 の MOS トランジスタ又は前記第 2 の MOS トランジスタのしきい値電圧の変動が補償された補償電圧を生成し、前記ローカルセンスアンプ又は前記グローバルセンスアンプに供給する補償電圧発生回路をさらに備えることを特徴とする請求項 5 から 7 のいずれかに記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

上記課題を解決するために、本発明の半導体装置は、ローカルビット線と、グローバルビット線と、前記ローカルビット線と前記グローバルビット線とを接続するシングルエンド型センスアンプと、を備え、前記シングルエンド型センスアンプは、ゲートに印加される制御電圧に応じて、前記ローカルビット線とセンスノードとの接続を制御する第 1 の MOS トランジスタと、ゲートが前記センスノードに接続され、前記センスノードの信号を増幅する第 2 の MOS トランジスタと、ゲートに印加される第 1 の制御信号に応じて、前記第 2 の MOS トランジスタのドレインと前記グローバルビット線との接続を制御する第

3のMOSトランジスタと、第2の制御信号に応じて、前記ローカルビット線を第1の電位に設定する第1の電位設定回路と、第3の制御信号に応じて、前記センスノードを第2の電位に設定する第2の電位設定回路とを含むことを特徴とする。