



(12) 发明专利

(10) 授权公告号 CN 111128997 B

(45) 授权公告日 2025. 02. 25

(21) 申请号 201911016254.1  
 (22) 申请日 2019.10.24  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 111128997 A  
 (43) 申请公布日 2020.05.08  
 (30) 优先权数据  
 62/753,427 2018.10.31 US  
 16/556,928 2019.08.30 US

(51) Int.Cl.  
 H10D 89/10 (2025.01)  
 H01L 23/49 (2006.01)  
 (56) 对比文件  
 US 2012223368 A1, 2012.09.06  
 US 2012241986 A1, 2012.09.27

审查员 冷丹

(73) 专利权人 台湾积体电路制造股份有限公司  
 地址 中国台湾新竹市新竹科学工业园区力行六路八号

(72) 发明人 萧锦涛 曾健庭

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

专利代理师 徐金国

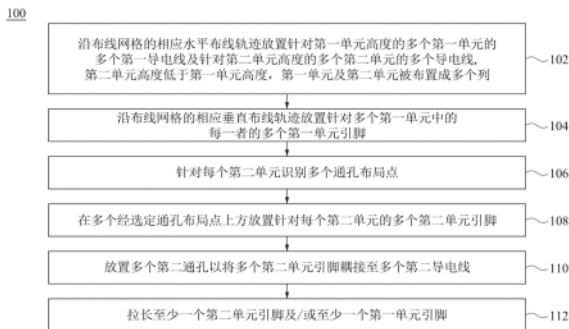
权利要求书4页 说明书17页 附图13页

(54) 发明名称

产生集成电路布局图的方法、系统及储存媒体

(57) 摘要

一种产生集成电路布局图的方法,包括在第一列中布置具有第一单元高度的第一单元及在邻接第一列的第二列中布置具有高度小于第一单元高度的第二单元高度的第二单元。第一列及第二列沿第一方向延伸及相对于布线网格布置,布线网格包括沿第一方向的第一布线轨迹及沿垂直于第一方向的第二方向的第二布线轨迹。在沿第二布线轨迹延伸的每个第一单元内放置第一单元引脚。在每个第二单元中的选定通孔布局点上方放置第二单元引脚。至少一个第二单元引脚沿相应第二布线轨迹延伸跨过相应第二单元的边界且延伸至邻接相应第二单元的相应第一单元中。此外,产生集成电路的布局图的系统及非暂时性计算机可读取储存媒体亦在此揭露。



1. 一种产生集成电路布局图的方法,其特征在于,该方法包含以下步骤:

在一第一列中布置具有一第一单元高度的多个第一单元;

在邻接该第一列的一第二列中布置具有一第二单元高度的多个第二单元,其中该第二单元高度小于该第一单元高度,且该第一列及该第二列沿一第一方向延伸并相对于一布线网格布置,该布线网格包含沿该第一方向延伸的多个第一布线轨迹及沿一第二方向延伸的多个第二布线轨迹,该第二方向垂直于该第一方向;

在所述多个第一单元的每个第一单元内放置多个第一单元引脚,其中所述多个第一单元引脚中的每一者沿所述多个第二布线轨迹的一相应第二布线轨迹延伸;以及

在所述多个第二单元的每个第二单元中的多个选定通孔布局点上方放置多个第二单元引脚,其中所述多个第二单元引脚中的至少一个第二单元引脚沿所述多个第二布线轨迹的一相应第二布线轨迹延伸跨过所述多个第二单元的一相应第二单元的一边界且延伸至邻接该相应第二单元的所述多个第一单元的一相应第一单元中。

2. 根据权利要求1所述的方法,其特征在于,进一步包括:

在所述多个第一布线轨迹与所述多个第二布线轨迹之间的相应多个交点处识别多个第二单元的每个第二单元中的多个通孔布局点,其中所述多个通孔布局点为用于放置所述多个第二单元引脚的多个可能位置。

3. 根据权利要求2所述的方法,其特征在于,进一步包括:

自针对所述多个第二单元的每个第二单元的所述多个通孔布局点识别所述多个选定通孔布局点,使得在所述多个选定通孔布局点上方放置所述多个第二单元引脚之后,一相同布线轨迹上的相邻第一单元引脚及第二单元引脚的面对端以一距离分开,该距离等于或大于根据一组设计规则的一最小端到端间隔。

4. 根据权利要求1所述的方法,其特征在于,放置所述多个第一单元引脚中的每一者,使得所述多个第一单元引脚中的每一者的相对端终止于所述多个第一单元的一相应第一单元的顶部及底部边界内。

5. 根据权利要求1所述的方法,其特征在于,放置所述多个第二单元引脚中的该至少一个第二单元引脚,使得所述多个第二单元引脚中的该至少一个第二单元引脚的一端终止于所述多个第二单元的该相应第二单元的顶部及底部边界内,且所述多个第二单元引脚中的该至少一个第二单元引脚的一相对端终止于所述多个第一单元的该相应第一单元内,所述多个第一单元的该相应第一单元邻接所述多个第二单元的该相应第二单元。

6. 根据权利要求1所述的方法,其特征在于,放置所述多个第二单元引脚中的至少另一第二单元引脚,使得所述多个第二单元引脚中的该至少另一第二单元引脚的相对端终止于所述多个第二单元的该相应第二单元的顶部及底部边界处。

7. 根据权利要求1所述的方法,其特征在于,进一步包括:

沿所述多个第二布线轨迹的一相应第二布线轨迹拉长所述多个第一单元引脚中的至少一个第一单元引脚以跨过该至少一个第一单元引脚所在的一相应第一单元的一边界。

8. 根据权利要求1所述的方法,其特征在于,进一步包括:

沿所述多个第二布线轨迹的一相应第二布线轨迹拉长所述多个第二单元引脚中的至少一个第二单元引脚,其中所述多个第二单元引脚中的该至少一个拉长第二单元引脚及与该至少一个拉长第二单元引脚相同的一第二布线轨迹上的一相邻第一单元引脚的面对端

之间的距离等于或大于根据一组设计规则的一最小端到端间隔。

9. 根据权利要求1所述的方法,其特征在於,进一步包括:

针对所述多个第一单元沿所述多个第一布线轨迹的第一布线轨迹的一第一集合放置多个第一导电线,且针对所述多个第二单元沿所述多个第一布线轨迹的第一布线轨迹的一第二集合放置多个第二导电线。

10. 根据权利要求9所述的方法,其特征在於,进一步包括:

放置多个第一通孔以将所述多个第一导电线与所述多个第一单元引脚耦接。

11. 根据权利要求9所述的方法,其特征在於,进一步包括:

放置多个第二通孔以将所述多个第二导电线与所述多个第二单元引脚耦接。

12. 一种产生一集成电路的一布局图的方法,其特征在於,包括:

在多个第一列中布置具有一第一单元高度的多个第一单元;

在多个第二列中布置具有一第二单元高度的多个第二单元,该第二单元高度小于该第一单元高度,其中根据一布线网格布置所述多个第一列及所述多个第二列,该布线网格包含在一第一方向上延伸的多个第一布线轨迹及在一第二方向上延伸的多个第二布线轨迹,该第二方向垂直于该第一方向;

在所述多个第一单元的每个第一单元中的多个选定第一通孔布局点上方放置多个第一单元引脚,其中所述多个第一单元引脚的每个第一单元引脚沿所述多个第二布线轨迹的一相应第二布线轨迹延伸且具有两端皆终止于所述多个第一单元的一相应第一单元的顶部及底部边界内;以及

在所述多个第二单元的每个第二单元中的多个选定第二通孔布局点上方放置多个第二单元引脚,其中所述多个第二单元引脚中的至少一个第二单元引脚沿所述多个第二布线轨迹的一相应第二布线轨迹延伸跨过所述多个第二单元的一相应第二单元的一边界且延伸至邻接该相应第二单元的所述多个第一单元的一相应第一单元中。

13. 根据权利要求12所述的方法,其特征在於,进一步包括:

识别所述多个第一单元的每个第一单元内的多个第一通孔布局点及所述多个第二单元的每个第二单元内的多个第二通孔布局点,所述多个第一通孔布局点及所述多个第二通孔布局点中的每一者处于所述多个第一布线轨迹的一相应第一布线轨迹与所述多个第二布线轨迹的一相应第二布线轨迹的一交点处。

14. 根据权利要求12所述的方法,其特征在於,进一步包括:

自多个第一通孔布局点识别所述多个选定第一通孔布局点及自多个第二通孔布局点识别所述多个选定第二通孔布局点,使得在所述多个选定第一通孔布局点上放置所述多个第一单元引脚及在所述多个选定第二通孔布局点上放置所述多个第二单元引脚之后,沿一相同第二布线轨迹放置的相邻第一单元引脚及第二单元引脚的面对端以一距离分开,该距离等于或大于根据一组设计规则的一最小端到端间隔。

15. 根据权利要求12所述的方法,其特征在於,放置所述多个第一单元引脚包括放置具有一长度的所述多个第一单元引脚,该长度等于或大于根据一组设计规则的一最小长度。

16. 根据权利要求12所述的方法,其特征在於,放置所述多个第二单元引脚包括放置具有一长度的所述多个第二单元引脚,该长度小于根据一组设计规则的最小长度。

17. 根据权利要求12所述的方法,其特征在於,进一步包括基于该布局图制造该集成电

路。

18. 一种用于处理一集成电路的一布局图的系统,其特征在于,包括:

至少一个处理器;以及

连接至该至少一个处理器的一计算机可读取储存媒体,其中该至少一个处理器用以执行储存在该计算机可读取储存媒体上的指令,以:

在多个第一列中布置具有一第一单元高度的多个第一单元;

在多个第二列中布置具有一第二单元高度的多个第二单元,其中该第二单元高度小于该第一单元高度,根据一布线网格布置所述多个第一列及所述多个第二列,该布线网格包含在一第一方向上延伸的多个第一布线轨迹及在一第二方向上延伸的多个第二布线轨迹,该第二方向垂直于该第一方向;

在所述多个第一单元的每个第一单元内放置多个第一单元引脚,所述多个第一单元引脚中的每一者沿所述多个第二布线轨迹的一相应第二布线轨迹延伸;

在所述多个第一布线轨迹与所述多个第二布线轨迹之间的多个交点的相应交点处识别所述多个第二单元的每个第二单元中的多个通孔布局点;

自所述多个通孔布局点选择一通孔布局点子集,其中该通孔布局点子集对应于所述多个第二布线轨迹中的一组第二布线轨迹,沿该组第二布线轨迹放置针对所述多个第二单元的每个第二单元的多个第二单元引脚,其中若所述多个第一单元的紧邻所述多个第二单元的一相应第二单元的相对边界的一对第一单元中没有一个或仅一个第一单元包括第一单元引脚,则可在与所述多个第一单元引脚的一相邻第一单元引脚的一相同第二布线轨迹上放置所述多个第二单元引脚的一第二单元引脚;以及

在该通孔布局点子集上方放置所述多个第二单元引脚。

19. 根据权利要求18所述的系统,其特征在于,所述多个第一单元引脚的每个第一单元引脚具有终止于所述多个第一单元的一相应第一单元的多个边界内的相对端。

20. 根据权利要求18所述的系统,其特征在于,所述多个第二单元引脚的至少一个第二单元引脚具有延伸跨过相应第一单元与第二单元之间的一相应共同边界的一端。

21. 一种产生集成电路布局图的方法,其特征在于,包含:

在一第一列中布置具有一第一单元高度的一第一单元;

在邻接该第一列的一第二列中布置具有一第二单元高度的一第二单元,其中该第二单元高度不同于该第一单元高度;

在该第一单元内放置多个第一单元引脚,其中所述多个第一单元引脚中的每一者沿一相应布线轨迹延伸;以及

在该第二单元中的多个选定通孔布局点上方放置多个第二单元引脚,其中所述多个第二单元引脚中的至少一第二单元引脚沿一第二布线轨迹延伸跨过该第二单元的一边界且延伸至该第一单元中。

22. 根据权利要求21所述的方法,其特征在于,在所述多个选定通孔布局点上方放置放置所述多个第二单元引脚包含决定所述多个第二单元引脚的一第二单元引脚是否违反一端到端间隔需求。

23. 根据权利要求22所述的方法,其特征在于,还包含回应于该端到端间隔需求被满足的一判定设定该第二单元引脚的一位置。

24. 根据权利要求22所述的方法,其特征在于,还包含回应于该端到端间隔需求不被满足的一判定移除该第二单元引脚。

25. 根据权利要求21所述的方法,其特征在于,还包含在所述多个第二单元引脚的该放置之后伸长所述多个第二单元引脚的至少一者。

26. 根据权利要求25所述的方法,其特征在于,伸长所述多个第二单元引脚的该至少一者包含延伸所述多个第二单元引脚的该至少一者跨过该边界。

27. 根据权利要求21所述的方法,其特征在于,还包含在所述多个第一单元引脚的该放置之后伸长所述多个第一单元引脚的至少一者。

28. 根据权利要求27所述的方法,其特征在于,伸长所述多个第一单元引脚的该至少一者包含延伸所述多个第一单元引脚的该至少一者跨过该边界。

29. 根据权利要求21所述的方法,其特征在于,还包含针对形成该第一单元或该第二单元制造至少一遮罩。

30. 一种产生集成电路布局图的方法,其特征在于,该方法包含:

在该布局图中布置多个单元;以及

在所述多个单元的一第一单元中的多个选定通孔布局点上放置多个单元引脚,其中所述多个单元引脚的至少一单元引脚沿着多个布线轨迹的一布线轨迹延伸越过该第一单元的一边界并且延伸至邻接该第一单元的所述多个单元的一第二单元中。

31. 根据权利要求30所述的方法,其特征在于,放置所述多个单元引脚包含基于一设计规则放置所述多个单元引脚。

32. 根据权利要求31所述的方法,其特征在于,该设计规则包含一最小端到端间隔设计规则。

33. 根据权利要求30所述的方法,其特征在于,还包含:

识别该第一单元内的多个通孔布局位置,其中放置所述多个单元引脚包含基于经识别的所述多个通孔布局位置放置所述多个单元引脚。

34. 根据权利要求30所述的方法,其特征在于,放置所述多个单元引脚包含使用一自动放置布线工具放置所述多个单元引脚。

35. 根据权利要求30所述的方法,其特征在于,放置所述多个单元引脚包含在该布局图的一金属二层中放置所述多个单元引脚。

36. 根据权利要求30所述的方法,其特征在于,还包含:

基于用于形成该集成电路的该布局图制造至少一遮罩。

37. 一种储存多个指令的一非暂时性计算机可读取储存媒体,其特征在于,当通过一处理器执行所述多个指令时,该处理器用以:

在一布局图中布置多个单元;以及

在所述多个单元的一第一单元中的多个选定通孔布局点上放置多个单元引脚,其中所述多个单元引脚的至少一单元引脚沿着多个布线轨迹的一布线轨迹延伸越过该第一单元的一边界并且延伸至邻接该第一单元的所述多个单元的一第二单元中。

38. 根据权利要求37所述的非暂时性计算机可读取储存媒体,其特征在于,当所述多个指令被该处理器执行时,导致该处理器指示一制造装置以基于所述多个单元引脚的该放置制造一遮罩。

## 产生集成电路布局图的方法、系统及储存媒体

### 技术领域

[0001] 本案是关于一种产生集成电路布局图的方法,特别是关于一种产生具有不同单元高度的引脚的集成电路布局图的方法、系统及储存媒体。

### 背景技术

[0002] 在过去的几十年中,半导体元件的缩放遵循莫耳定律。由于微影术及整合限制,制造制程中的进步无法独立地跟上恒定元件缩放趋势,因此布局设计技术亦帮助半导体元件的进一步缩放。

### 发明内容

[0003] 根据本案的一实施例是关于一种产生集成电路布局图的方法,其特征在于,方法包括在第一列中布置具有第一单元高度的多个第一单元;在邻接第一列的第二列中布置具有第二单元高度的多个第二单元,第二单元高度小于第一单元高度,且第一列及第二列沿第一方向延伸并相对于布线网格布置,布线网格包含沿第一方向延伸的多个第一布线轨迹及沿第二方向延伸的多个第二布线轨迹,第二方向垂直于第一方向;在多个第一单元的每个第一单元内放置多个第一单元引脚,多个第一单元引脚中的每一者沿多个第二布线轨迹的相应第二布线轨迹延伸;以及,在多个第二单元的每个第二单元中的多个选定通孔布局点上方放置多个第二单元引脚,多个第二单元引脚中的至少一个第二单元引脚沿多个第二布线轨迹的相应第二布线轨迹延伸跨过多个第二单元的相应第二单元的边界且延伸至邻接相应第二单元的多个第一单元的相应第一单元中。

[0004] 根据本案的一实施例是关于一种产生一集成电路的一布局图的方法,包括:在多个第一列中布置具有一第一单元高度的多个第一单元;在多个第二列中布置具有一第二单元高度的多个第二单元,第二单元高度小于第一单元高度,其中根据一布线网格布置多个第一列及多个第二列,布线网格包含在一第一方向上延伸的多个第一布线轨迹及在一第二方向上延伸的多个第二布线轨迹,第二方向垂直于第一方向;在多个第一单元的每个第一单元中的多个选定第一通孔布局点上方放置多个第一单元引脚,其中多个第一单元引脚的每个第一单元引脚沿多个第二布线轨迹的一相应第二布线轨迹延伸且具有两端皆终止于多个第一单元的一相应第一单元的顶部及底部边界内;以及在多个第二单元的每个第二单元中的多个选定通孔布局点上方放置多个第二单元引脚,其中多个第二单元引脚中的至少一个第二单元引脚沿多个第二布线轨迹的一相应第二布线轨迹延伸跨过多个第二单元的一相应第二单元的一边界且延伸至邻接相应第二单元的多个第一单元的一相应第一单元中。

[0005] 根据本案的一实施例是关于一种用于处理一集成电路的一布局图的系统,包括:至少一个处理器;以及连接至至少一个处理器的一计算机可读取储存媒体,其中至少一个处理器用以执行储存在计算机可读取储存媒体上的指令,以:在多个第一列中布置具有一第一单元高度的多个第一单元;在多个第二列中布置具有一第二单元高度的多个第二单

元,其中第二单元高度小于第一单元高度,根据一布线网格布置多个第一列及多个第二列,布线网格包含在一第一方向上延伸的多个第一布线轨迹及在一第二方向上延伸的多个第二布线轨迹,第二方向垂直于第一方向;在多个第一单元的每个第一单元内放置多个第一单元引脚,多个第一单元引脚中的每一者沿多个第二布线轨迹的一相应第二布线轨迹延伸;在多个第一布线轨迹与多个第二布线轨迹之间的多个交点的相应交点处识别多个第二单元的每个第二单元中的多个通孔布局点;自多个通孔布局点选择一通孔布局点子集,其中通孔布局点子集对应于多个第二布线轨迹中的一组第二布线轨迹,沿组第二布线轨迹放置针对多个第二单元的每个第二单元的多个第二单元引脚,其中若多个第一单元的紧邻多个第二单元的一相应第二单元的相对边界的一对第一单元中没有一个或仅一个第一单元包括第一单元引脚,则可在与多个第一单元引脚的一相邻第一单元引脚的一相同第二布线轨迹上放置多个第二单元引脚的一第二单元引脚;在通孔布局点子集上方放置多个第二单元引脚。

[0006] 根据本案的一实施例是关于一种产生集成电路布局图的方法,包含:在一第一列中布置具有一第一单元高度的一第一单元;在邻接第一列的一第二列中布置具有一第二单元高度的一第二单元,其中第二单元高度不同于第一单元高度;在第一单元内放置多个第一单元引脚,其中多个第一单元引脚中的每一者沿一相应布线轨迹延伸;以及在第二单元中的多个选定通孔布局点上方放置多个第二单元引脚,其中多个第二单元引脚中的至少一第二单元引脚沿一第二布线轨迹延伸跨过第二单元的一边界且延伸至第一单元中。

[0007] 根据本案的一实施例是关于一种产生集成电路布局图的方法,方法包含:在布局图中布置多个单元;以及在多个单元的一第一单元中的多个选定通孔布局点上放置多个单元引脚,其中多个单元引脚的至少一单元引脚沿着多个布线轨迹的一布线轨迹延伸越过第一单元的一边界并且延伸至邻接第一单元的多个单元的一第二单元中。

[0008] 根据本案的一实施例是关于一种储存多个指令的一非暂时性计算机可读取储存媒体,当通过一处理器执行多个指令时,处理器用以:在一布局图中布置多个单元;以及在多个单元的一第一单元中的多个选定通孔布局点上放置多个单元引脚,其中多个单元引脚的至少一单元引脚沿着多个布线轨迹的一布线轨迹延伸越过第一单元的一边界并且延伸至邻接第一单元的多个单元的一第二单元中。

## 附图说明

[0009] 当结合随附附图阅读时,将自下文的详细描述最佳地理解本案的一实施例的态样。应注意,根据工业中的标准实务,并未按比例绘制各特征。事实上,为了论述清楚,可任意增加或减小各特征的尺寸。

[0010] 图1是根据一实施例的产生集成电路(IC)的布局图的方法的流程图;

[0011] 图2A至图2F是根据一实施例的产生IC布局图的各阶段的布局图的描绘;

[0012] 图3是根据一实施例的产生IC的布局图的方法的流程图;

[0013] 图4A至图4C是根据一实施例的产生IC布局图的各阶段的布局图的描绘;

[0014] 图5是根据一实施例的电子设计自动化(electronic design automation;EDA)系统的方块图;以及

[0015] 图6是根据一实施例的IC制造系统及其相关联的IC制造流程的方块图。

- [0016] **【符号说明】**
- [0017] 100、300产生集成电路布局图方法
- [0018] 102、104、106、108、110、112、302、304、306、308、310步骤
- [0019] 200A、200B、200C、200D、200E、200F、400A、400B、400C布局图
- [0020] 202 第一单元
- [0021] 204 第二单元
- [0022] 206a ~ 206e电力轨
- [0023] 212A、214A顶部边界
- [0024] 212B、214B底部边界
- [0025] 212C、214C侧面边界
- [0026] 220第一导电线
- [0027] 222、224、226、228第一导电线
- [0028] 232、234、236第二导电线
- [0029] 240、240(1) ~ 240(5) 第一单元引脚
- [0030] 242第一通孔
- [0031] 250、250(1) ~ 250(6) 通孔布局点
- [0032] 260第二单元引脚
- [0033] 260' 单元引脚
- [0034] 260(1)、260(2) 第二单元引脚
- [0035] 262 第二通孔
- [0036] 270 第一通孔布局点
- [0037] 500电子设计自动化(EDA) 系统
- [0038] 502处理器
- [0039] 504非暂时性计算机可读取储存媒体
- [0040] 506计算机程序码(指令)
- [0041] 507 标准单元库
- [0042] 508 总线
- [0043] 510I/O接口
- [0044] 512 网络接口
- [0045] 514 网络
- [0046] 542 使用者界面
- [0047] 600 IC制造系统
- [0048] 620 设计室
- [0049] 622 IC设计布局图
- [0050] 630 遮罩室
- [0051] 632 数据准备
- [0052] 644 遮罩制造
- [0053] 645 遮罩
- [0054] 650IC制造商/制造者/fab/晶圆厂

- [0055] 652 晶圆制造
- [0056] 653 晶圆
- [0057] 660 装置

### 具体实施方式

[0058] 以下揭示内容提供许多不同实施例或实例,以便实施所提供的标的的不同特征。下文描述部件、材料、值、步骤、操作、材料、布置或类似者的特定实例以简化本案的一实施例。当然,此等仅为实例且不欲为限制性。涵盖其他部件、值、操作、材料、布置或类似者。举例而言,在下文的描述中,第一特征形成于第二特征上方或第二特征上可包括以直接接触形成第一特征与第二特征的实施例,且亦可包括可在第一特征与第二特征之间形成额外特征以使得第一特征与第二特征可不处于直接接触的实施例。另外,本案的一实施例可在各实例中重复元件符号及/或字母。此重复是出于简化与清楚目的,且本身并不指示所论述的各实施例及/或配置之间的关系。

[0059] 此外,为了便于描述,本文可使用空间相对性术语(诸如“之下”、“下方”、“下部”、“上方”、“上部”及类似者)来描述诸图中所图示一个元件或特征与另一元件(或多个元件)或特征(或多个特征)的关系。除了诸图所描绘的定向外,空间相对性术语意欲包含使用或操作中元件的不同定向。设备可经其他方式定向(旋转90度或处于其他定向上)且因此可类似解读本文所使用的空间相对性描述词。

[0060] 一些集成电路(integrated circuit, IC)设计是基于自库中选择的单元集合。布局包括为特定用途定制的至少一个逻辑区块。逻辑区块是放置在垂直与水平布线轨迹的布线网格中的单元的布置。将诸如金属线的导电结构放置在布线轨迹上以提供单元之间的连接。通过自动布局与布线(automatic placement and routing, APR)工具执行IC布局的设计,此APR工具包括布局器及布线器,通过自标准单元库选择标准单元及根据许多设计规则对单元放置及布线。布局器决定集成电路的每个标准单元的最佳位置,且布线器最佳化输入/输出线的布线及标准单元之间的连接使得IC布局不会因输入/输出及其他布线而变得过度拥挤。

[0061] 布局器及布线器使用许多设计规则来决定将单元放置在何处及如何产生导线来连接所有单元。设计规则例如包括线的最小长度、线之间的最小间隔及类似者。在一些情况下,不满足设计规则有时导致制程相关问题,诸如由于光学接近而导致金属线之间的短路。

[0062] 单元的高度由单元的最上边缘与最下边缘之间延伸的水平轨迹数量决定。具有较小单元高度的单元用于实现高整合度及低功耗,而具有较高单元高度的单元用于高速操作。在一些逻辑区块中,标准单元具有相同单元高度以便于单元布局与布线。

[0063] 随着对适用于携带型电子应用的高速及低功率集成电路的需求增加,逻辑区块经修改为包括不同单元高度的标准单元。在此类混合单元设计中,在多列中布置标准单元,且在一列中仅放置具有相同高度的标准单元。

[0064] 在一个逻辑区块中使用不同单元高度的标准单元的混合单元设计帮助在集成电路布局设计中实现高速与低功率两者。然而,在混合单元设计中,用于在单元之间传输信号的单元引脚,诸如输入与输出引脚,忍受端点到端点间的间隔及引脚存取区域的实质性减小。因此,使用额外切削遮罩来执行单元布线。使用额外切削遮罩通常会导致制造成本增

加。

[0065] 在一些实施例中,提供用于对不同单元高度的单元实施单元引脚布局与布线的布局设计方法。布局设计方法允许在相同逻辑区块中将高速单元及低功率单元的引脚放置及布线,而无需使用额外切削遮罩以便符合现有设计规则。因此,本案的一实施例的布局设计方法帮助在传统均匀单元高度设计变为混合单元高度设计时维持相同的制程成本。

[0066] 图1是根据一实施例的产生集成电路(IC)的布局图200F的方法100的流程图。在各个实施例中,以图1描绘的次序或者以除图1所描绘的次序之外的一或更多个次序执行方法100的操作。在一些实施例中,在执行方法100的一或更多个操作之前、之间、期间及/或之后执行一或更多个额外操作。下文结合图2A至图2F描述方法100,此等附图包括产生布局图200F的各个阶段的视图。

[0067] 方法100的操作中的一些或全部能够作为自动布局与布线(APR)工具的一部分来执行。在一些实施例中,通过计算机的处理器执行方法100中的一些或全部。在一些实施例中,通过下文关于图5论述的电子设计自动化(EDA)系统500的处理器502执行方法100中的一些或全部。在一些实施例中,方法100的操作中的一些或全部能够作为在设计室中执行的设计程序的一部分来执行,例如,下文关于图6论述的设计室620。

[0068] 请参照图1及图2A,方法100包括步骤102,其中沿多个水平布线轨迹HT1~HT21的相应水平布线轨迹放置针对多个第一单元202的多个第一导电线220~228及针对多个第二单元204的多个导电线232~236,第一单元202具有第一单元高度CH1且第二单元204具有第二单元高度CH2,第二单元高度CH2小于第一单元高度CH1;将第一单元202及第二单元204布置成多个列。图2A是根据一实施例的在沿多个水平布线轨迹HT1~HT21的相应水平布线轨迹放置多个第一导电线220~228及多个第二导电线232~236之后的IC的布局图200A。

[0069] 请参照图2A,布局图200A包括以分别列布置的不同单元高度的多个单元,例如第一单元高度CH1的第一单元202及第二单元高度CH2的第二单元204。为了简化说明,布局图200A包括四列,亦即第一列(列1)、第二列(列2)、第三列(列3)及第四列(列4)。在一些实施例中,布局图200A包括除了四之外的许多列。多个列列1至列4中的每一列沿X方向延伸。在一些实施例中,X方向为布局图200A的水平方向。在一些实施例中,X方向为除了水平之外的方向。多个列列1至列4中的列在Y方向上彼此邻接,Y方向垂直于X方向。在一些实施例中,Y方向为布局图200A的垂直方向。在一些实施例中,Y方向为除了垂直之外的方向。

[0070] 相对于由多个水平布线轨迹HT1~HT21及多个垂直布线轨迹VT1~VT20界定的布线网格布置多个列,例如列1至列4。沿X方向平行布置水平布线轨迹HT1~HT21。每个水平布线轨迹HT1~HT21表示IC沿X方向的潜在布线路径。在一些实施例中,水平布线轨迹HT1~HT21中的每一者与相邻水平布线轨迹HT1~HT21间隔相等的距离。沿Y方向平行布置垂直布线轨迹VT1~VT20。每个垂直布线轨迹VT1~VT20表示IC沿Y方向的潜在布线路径。在一些实施例中,垂直布线轨迹VT1~VT20中的每一者与相邻垂直布线轨迹VT1~VT20间隔相等的距离。在一些实施例中,多个垂直布线轨迹VT1~VT20的两个相邻垂直布线轨迹以标称最小距离分开,以在给定技术节点处利用单个光遮罩的单个曝光来形成清晰的图案(而不使用双重图案化技术)。因此,多个垂直布线轨迹VT1~VT20中的两个垂直第二布线轨迹经指定为具有相同颜色(未图示)。在一些实施例中,奇数垂直布线轨迹VT1、VT3、……、VT19彼此以最小距离间隔开,以在给定技术节点处利用单个光遮罩的单个曝光来形成清晰的图案(而不

使用双重图案化技术),而偶数垂直布线轨迹VT2、VT4、……、VT20彼此以最小距离间隔开,以在给定技术节点处利用单个光遮罩的单次曝光来形成清晰的图案(而不使用双重图案化技术)。因此,多个第二布线轨迹VT1~VT20的两个相邻垂直布线轨迹之间的距离(亦即,间距P)小于由单个图案化微影术所允许的最小距离。在图2A中,向垂直布线轨迹VT1~VT20中的每一者分配第一颜色,诸如颜色A,或第二颜色,诸如颜色B。从垂直布线轨迹VT1开始,每个垂直布线轨迹VT1~VT20经指定为颜色A或颜色B任一者,使得两个相邻垂直布线轨迹不具有相同颜色。在图2A中,每隔一个垂直布线轨迹VT1~VT20经指定为相同颜色。例如,奇数垂直布线轨迹VT1、VT3、……、VT19经指定为颜色A,且偶数第二布线轨迹VT2、VT4、……、VT20经指定为颜色B。颜色(例如,颜色A、颜色B)指示将在多个遮罩集合的相同遮罩上形成具有相同颜色的特征,及将在多个遮罩集合的不同遮罩上形成具有不同颜色的特征。

[0071] 在布局阶段期间,通过APR工具放置单元202及204以彼此邻接。在一些实施例中,单元202及204经布置以使得放置在相同列中的单元具有相同单元高度,但相同列中的单元202或204的宽度变化。在一些实施例中,将第一单元202及第二单元204交替地放置在多个列列1至列4中。在图2A中,将具有第一单元高度CH1的第一单元202放置在奇数列中,例如列1及列3,且将具有第二单元高度CH2的第二单元204放置在偶数列中,例如列2及列4。在一些实施例中,将第一单元高度CH1设定为大于第二单元高度CH2。单元(例如,单元202或204)的单元高度CH由环绕在单元202或204的最上边缘与最下边缘之间的水平布线轨迹HT1~HT21的数量来决定。在一些实施例中,每个第一单元202具有轨迹高度七(7)及每个第二单元204具有轨迹高度五(5)。具有相对较大单元高度CH1的第一单元202在较高速度下操作,且因此适用于高速应用。具有相对较小单元高度CH2的第二单元204在较小功率下操作,且因此可用于低功率应用。尽管图2A中的相邻列中的单元具有不同单元高度,但在本案的一实施例中涵盖具有相同高度的相邻列中的单元。在一些实施例中及在图2A中,用于放置第一单元202的多个列中的列数等于用于放置第二单元204的多个列(例如,列2及列4)中的列数(例如,列1及列3)。熟悉此项技术者应将理解,在一些实施例中,用于放置第一单元202的多个列中的列数与用于放置第二单元204的多个列中的列数不同(未图示)。

[0072] 在一些实施例中,单元202及204为标准单元。标准单元包括但不限于非(INV)、及(AND)、或(OR)、反及(NOR)、反或(XOR)、互斥或(AOI)、或及非(OAI)、多工器、缓冲器、加法器、填充器、正反器、锁存器、延迟、时脉单元或类似者。或者,单元202及204为定制单元。在布局阶段,通过APR工具放置单元202及204。

[0073] 第一单元202中的每一者具有实质矩形形状,包括顶部边界212A、底部边界212B及相对侧面边界212C。顶部边界212A及底部边界212B平行于X方向。侧面边界212C平行于Y方向。在顶部边界212A与底部边界212B之间界定每个第一单元202的高度,亦即单元高度CH1。同样,第二单元204中的每一者具有实质矩形形状,包括顶部边界214A、底部边界214B及相对侧面边界214C。顶部边界214A及底部边界214B平行于X方向。侧面边界214C平行于Y方向。在顶部边界214A与底部边界214B之间界定每个第二单元204的高度,亦即单元高度CH2。当一列(例如,列1或列3)中的第一单元202邻接相邻列(例如,列2或列4)中的第二单元204时,第二单元204的顶部及底部边界214A、214B与相邻列列1至列4中的第一单元202的相应顶部及底部边界212A、212B合并。例如,在图2A中,列2中的第二单元204的顶部边界214A与列1中的第一单元202的底部边界212B合并,列2中的第二单元204的底部边界214B与列3中的第一

单元202的顶部边界212A合并,且列4中的第二单元204的顶部边界214A与列3中的第一单元202的底部边界合并。

[0074] 布局图200A进一步包括多个电力轨,例如206a~206e,此等电力轨沿多个列列1至列4的边界延伸。在图2A中,电力轨206b存在于列1及列2的共同边界处,电力轨206c存在于列2及列3的共同边界处,且电力轨206d存在于列3及列4的共同边界处。电力轨206a~206e中的每一者用以向相应列1至列4中的单元202或204提供电源电压电位Vdd及接地电压电位Vss中的一者。电力轨206a~206e为矩形,具有与相应水平布线轨迹(例如,HT1、HT7、HT11、HT17及HT21)实质上对准的长轴。在一些实施例中,在相应电力轨206a或206c的中间界定每个第一单元202的顶部边界212A,且在相应电力轨206b或206b的中间界定每个第一单元202的底部边界212B。另外,在相应电力轨206b或206d的中间界定每个第二单元204的顶部边界214A,且在相应电力轨206c或206e的中间界定每个第二单元204的底部边界214B。

[0075] 第一单元202中的每一者包括多个第一导电线220、222、224、226及228在顶部及底部边界212A、212B内。将第一单元202中的每一者中的第一导电线220、222、224、226及228沿X方向实质上平行于彼此布置且对准相应水平布线轨迹(例如,HT2~HT6及HT12~HT16)。第二单元204中的每一者包括多个第二导电线232、234及236在顶部及底部边界214A、214B内。将第二单元204中的每一者中的第二导电线232、234及236沿X方向实质上平行于彼此布置且对准相应水平布线轨迹(例如,HT8~HT10及HT18~HT20)。

[0076] 在一些实施例中,在第一金属层(亦即,M1层)内形成电力轨206a~206e及导电线220~228及232~236,此第一金属层靠近基板,在基板中形成单元202及204的主动部件,例如电晶体或类似者。在布线阶段期间,通过APR工具相对于相应水平布线轨迹HT1~HT21布置电力轨206a~e及导电线220~228及232~236。

[0077] 请参照图1及图2B,方法100进行至步骤104,其中沿多个垂直布线轨迹VT1~VT20的相应垂直布线轨迹放置针对每个第一单元202的多个第一单元引脚240。图2B是根据一实施例的布局图200A在针对每个第一单元202沿多个垂直布线轨迹VT1~VT20的相应垂直布线轨迹放置多个第一单元引脚240之后的布局图200B。

[0078] 本文描述的单元引脚是指为单元承载输入或输出信号的导电线。在一些实施例中且在图2B中,每个第一单元202内的多个第一单元引脚240包含至少一个输入引脚或至少一个输出引脚,此至少一个输入引脚经调适成将输入信号接收到单元中,此至少一个输出引脚经调适成自单元传递输出信号。根据实际电路需求调整每个第一单元202内的输入引脚及输出引脚的数量。例如,列1中最左侧第一单元202包括三个第一单元引脚240(1)~240(3),其中将第一单元引脚240(1)及240(2)用作输入引脚及将第一单元引脚240(3)用作输出引脚;而列3中最左侧第一单元202包括两个第一单元引脚240(4)~240(5),其中将第一单元引脚240(4)用作输入引脚及将第一单元引脚240(5)用作输出引脚。

[0079] 每个第一单元引脚240在Y方向上延伸且与多个垂直布线轨迹VT1~VT20的相应垂直布线轨迹对准。每个第一单元引脚240为矩形且具有沿Y方向的长度及沿X方向的宽度。第一单元引脚240的长度等于或大于最小长度,此最小长度由特定制造制程的第一设计规则规定,且因此满足设计规则线长需求。如本文所使用,制造制程的最小长度为在可制造导电线同时仍满足相应设计规则以避免错误的电路功能的最小长度。在一些实施例中,第二设计规则在第一单元引脚240的末端与第一单元202的顶部及底部边界212A、212B之间强加最

小边界偏移。因此,第一单元引脚240位于顶部及底部边界212A、212B,使得无第一单元引脚240终止于第一单元202的顶部或底部边缘212A或212B处以满足最小边界偏移准则。在一些实施例中,第一单元引脚240延伸跨过第一单元202中封闭的第一导电线220~228的整个集合。

[0080] 每个第一单元引脚240分配有一颜色,此颜色与相应垂直布线轨迹VT1~VT20的颜色相同,第一单元引脚240沿此垂直布线轨迹延伸。在一些实施例中,向沿奇数垂直布线轨迹VT1、VT3、……、VT19延伸的第一单元引脚240的第一集合分配为第一颜色,例如颜色A,且向沿偶数垂直布线轨迹VT2、VT4、……、VT20延伸的第一单元引脚240的第二集合分配为第二颜色,例如颜色B,此指示使用第一遮罩形成第一单元引脚240的第一集合及使用第二遮罩形成第一单元引脚240的第二集合,第二遮罩与第一遮罩不同。

[0081] 在一些实施例中,第一单元引脚240位于覆盖M1层的第二金属层(亦即,M2层)内。经由布置在第一单元引脚240下方的多个第一通孔242将第一单元引脚240电耦接至相应第一导电线220~228。每个第一通孔242处于第一单元引脚240与相应第一导电线220~228之间的交叉点处。

[0082] 请参照图1及图2C,方法100进行至步骤106,其中针对第二单元204中的每一者识别多个通孔布局点250。图2C是根据一实施例的布局图200B在针对第二单元204中的每一者识别多个通孔布局点250之后的布局图200C。

[0083] 通孔布局点250对应于用于放置通孔262的可能位置(图2E),将M1层中的第二导电线232~236电连接至第二单元引脚260(图2D)以形成于上覆M2层中,从而赋能元件信号传输。通孔布局点250位于第二导电线232~236与垂直布线轨迹VT1~VT20中的相应垂直布线轨迹的交点处。例如,针对列2中最左侧第二单元204,将两个示例性通孔布局点250(1)及250(2)识别为用于在置于水平布线轨迹HT8上的第二导电线232上方放置通孔的可能位置,将两个示例性通孔布局点250(3)及250(4)识别为用于在置于水平布线轨迹HT9上的第二导电线234上方放置通孔的可能位置,及将两个示例性通孔布局点250(5)及250(6)识别为用于在置于水平布线轨迹HT9上的第二导电线236上方放置通孔的可能位置。

[0084] 请参照图1及图2D,方法100进行至步骤108,其中在多个选定通孔布局点250上方放置针对每个第二单元204的多个第二单元引脚260。图2D是根据一实施例的布局图200C在针对每个第二单元204在多个选定通孔布局点250上方放置多个第二单元引脚260之后的布局图200D。

[0085] 在一些实施例中,第三设计规则强加最小端到端间隔需求,此需求指定相同垂直布线轨迹上的相邻单元引脚的面对端必须相隔最小距离。最小端到端间隔为特定制程技术节点的参数。在步骤108中,检查在步骤106中识别的通孔布局点250,以判断是否存在足够的空间可用于将第二单元引脚260放置在通孔布局点250上方,使得第二单元引脚260与相邻第一单元引脚240以最小端到端间隔分开,相邻第一单元引脚240位于与第二单元引脚260相同的垂直布线轨迹VT1~VT20上。在检查之后,选择适用于针对第二单元204放置第二单元引脚260的通孔布局点250的子集。下文使用针对列2最左侧第二单元204识别的示例性第二单元引脚260(1)~260(3)及示例性通孔布局点250(1)~250(6)说明及描述用于选择通孔布局点250放置第二单元引脚260以满足最小端到端间隔需求的标准。可沿垂直布线轨迹VT2将第二单元引脚260(1)放置在通孔布局点250(3)上方或者通孔布局点250(6)上方,

而不引发最小端到端间隔冲突。这是因为在列中,亦即紧邻列2的列1及列3中,仅列3中最左侧第一单元202沿相同垂直布线轨迹VT2包含第一单元引脚240(4),而列1中垂直布线轨迹VT2的一部分未被占用。因此,第二单元引脚260(1)可延伸跨过第二单元204的顶部边界214A且延伸至列1的最左侧第一单元202中的垂直布线轨迹VT2的未占用部分上,以确保第二单元引脚260(1)的一端与第一单元引脚240(4)的相邻端间隔开一距离,此距离等于或大于最小端到端间隔。类似地,沿垂直布线轨迹VT5,可将第二单元引脚260(2)放置在通孔布局点250(2)上方而不引发最小端到端间隔冲突。这是因为列1及列3中最左侧第一单元202沿相同垂直布线轨迹VT5均不包含第一单元引脚240以触发最小端到端间隔冲突,以便防止将第二单元引脚260(2)放置在通孔布局点250(2)上方。在一些实施例中,可形成第二单元引脚260(2)以具有两端皆终止于列2中最左侧第二单元204的相对顶部及底部边界214A及214B处。在其他实施例中,可形成第二单元引脚260(2)以具有在列2中最左侧第二单元204内终止的一端及延伸跨过相应边界214A或214B且延伸至列1中的垂直布线轨迹VT5的一部分上或列3中的垂直布线轨迹VT5的一部分上的相对端,因为列1及列3中的垂直布线轨迹VT5的两个部分均未被占用。相反,如十字符号所指示的,通过最小端到端间隔需求禁止沿垂直布线轨迹VT4在通孔布局点250(1)上方放置单元引脚260',因为列1及列3中最左侧第一单元202中的每一者沿相同垂直布线轨迹VT4包含第一单元引脚240(2)或240(5),且无足够空间可用于在其之间容纳单元引脚而不引发最小端到端间隔冲突。沿相同垂直布线轨迹VT4在列1及列3中的两个第一单元引脚240(2)及240(5)之间放置单元引脚260'将触发最小端到端间隔冲突,因为列1中的单元引脚260'与第一单元引脚240(2)的面对端之间的距离D1或列3中的单元引脚260'与第一单元引脚240(5)的面对端之间的距离D2小于最小端到端间隔。若沿垂直布线轨迹VT4在通孔布局点250(1)上方放置单元引脚260',则增加自布局图200F(图2F)制造IC导致故障电路的风险。

[0086] 接着,将用以输入及输出信号至第二单元204的第二单元引脚260放置在选定通孔布局点250上方,从而沿选定通孔布局点250所在的相应垂直布线轨迹VT1~VT21延伸。因此,根据最小端到端间隔需求,在一些实施例中,可形成针对第二单元204的第二单元引脚260以具有终止于相应顶部或底部边界214A或214B内的一端及延伸跨过相应顶部或底部边界214A或214B至相邻第一单元202中的相对端,此相邻第一单元在相同垂直布线轨迹VT1~VT20上不包含第一单元引脚240。在此情况下,第二单元引脚260可由任何长度形成,使得在一些实施例中第二单元引脚260具有等于或大于最小线长的长度。在此情况下,第二单元引脚260具有小于最小线长的长度。在相邻垂直轨迹VT1~VT20分配有不同颜色的情况下,相邻垂直布线轨迹VT1~VT20上的第二单元引脚260亦分配有不同颜色,颜色A或颜色B,此指示相邻第二单元引脚260由不同遮罩制造。

[0087] 请参照图1及图2E,方法100进行至步骤110,其中多个第二通孔262经放置以将多个第二单元引脚260耦接至多个第二导电线232~236。图2E是根据一实施例的布局图200D在放置多个第二通孔262以将多个第二单元引脚260耦接至多个第二导电线232~236之后的布局图200E。

[0088] 经由第二通孔262将第二单元引脚260电耦接至相应下层第二导电线232~236。将第二通孔262放置在步骤108中选定的彼等通孔布局点250的位置处。

[0089] 请参照图1及图2F,方法100行进至步骤112,其中拉长至少一个第二单元引脚260

及/或至少一个第一单元引脚240。图2F是根据一实施例的布局图200F在拉长第一单元引脚240及第二单元引脚260之后的布局图200F。

[0090] 在步骤112中,沿Y方向拉长第二单元引脚260中的至少一个第二单元引脚260,使得所有第二单元引脚260具有等于或大于最小线长的长度。第二单元引脚260的拉长帮助改良引脚可存取性,从而帮助提供针对第二单元204的较佳布线效率及布线密度。同样,在一些实施例中,沿Y方向拉长第一单元引脚240中的至少一个第一单元引脚240,从而跨过至少一个第一单元引脚240所在的第一单元202的相应边界212A或212B。第一单元引脚240的拉长帮助改良引脚可存取性,从而帮助提供针对第一单元202的较佳布线效率及布线密度。可将第一单元引脚240及第二单元引脚260中的每一者拉长成任何长度,只要在引脚拉长之后在相同垂直布线轨迹VT1~VT30上的相邻第一单元引脚240与第二单元引脚260的面对端之间满足最小端到端间隔需求。

[0091] 图3是根据一实施例的产生布局图200F的方法300的流程图。在各个实施例中,以图3描绘的次序或者以除图3所描绘的次序之外的一或更多个次序执行方法300的步骤。在一些实施例中,在执行方法300的一或更多个步骤之前、之间、期间及/或之后执行一或更多个额外操作。下文结合图4A至图4C描述方法300,其中图示产生布局图200F的各个阶段。除非另有说明,否则图4A至图4C中的部件由图2A至图2F中所示的相同元件符号来表示,图4A至图4C中的部件与图2A至图2F中的相同部件基本上相同。

[0092] 类似于方法100,方法300的操作中的一些或全部能够作为APR工具的一部分来执行。在一些实施例中,通过计算机的处理器执行方法300中的一些或全部。在一些实施例中,通过下文关于图5论述的EDA系统500的处理器502执行方法300中的一些或全部。在一些实施例中,方法300的操作中的一些或全部能够作为在设计室中执行的设计程序的一部分来执行,例如,下文关于图6论述的设计室620。

[0093] 请参照图3,方法300包括操作302,其中沿布线网格的相应水平布线轨迹HT1~HT21放置针对第一单元高度的多个第一单元202的多个第一导电线220~228及针对第二单元高度CH2的多个第二单元204的多个导电线232~236,第二单元高度CH2小于第一单元高度CH1;将第一单元202及第二单元204布置成多个列。步骤302与步骤102基本上相同,且在步骤302之后产生布局图200A。

[0094] 请参照图3及图4A,方法300行进至操作304,其中针对第一单元202中的每一者识别多个第一通孔布局点270及针对第二单元204中的每一者识别多个第二通孔布局点250。图4A是根据一实施例的布局图200A在针对第一单元202中的每一者识别多个第一通孔布局点270及针对第二单元204中的每一者识别多个第二通孔布局点250之后的布局图400A。

[0095] 第一通孔布局点270对应于用于放置第一通孔242的可能位置(图4C),第一通孔242用以将M1层中的第一导电线220~228电连接至第一单元引脚240(图4B)以形成于上覆M2层中,从而致能第一单元202的信号传输。第一通孔布局点270位于第一导电线220~228与垂直布线轨迹VT1~VT20中的相应垂直布线轨迹的交点处。

[0096] 同样,第二通孔布局点250对应于用于放置第二通孔262的可能位置(图4C),第二通孔262用以将M1层中的第二导电线232~236电连接至第二单元引脚260(图4B)以形成于上覆M2层中,从而致能第二单元204的信号传输。第二通孔布局点250位于第二导电线232~236与垂直布线轨迹VT1~VT20中的相应垂直布线轨迹的交点处。

[0097] 请参照图3及图4B,方法300进行至步骤306,其中沿相应垂直布线轨迹VT1~VT20在选定第一通孔布局点270上方放置多个第一单元引脚240及沿相应垂直布线轨迹VT1~VT20在选定第二通孔布局点250上方放置多个第二单元引脚260。图4B是布局图400A在沿相应垂直布线轨迹VT1~VT20在选定第一通孔布局点270上方放置多个第一单元引脚240及沿相应垂直布线轨迹VT1~VT20在选定第二通孔布局点250上方放置多个第二单元引脚260之后的布局图400B。

[0098] 对所有通孔布局点270及250迭代执行一种演算法,以评估第一通孔布局点270及第二通孔布局点250周围可用的自由空间。基于可用自由空间,选择一些第一通孔布局点270及第二通孔布局点250,使得将第一单元引脚240及第二单元引脚270放置在相应选定通孔布局点270及250上不引发最小端到端间隔需求的任何冲突,因为将针对相邻第一单元202及第二单元204的第一单元引脚240及第二单元引脚260放置在相同垂直布线轨迹VT1~VT20上。

[0099] 基于应用于第一单元引脚240及第二单元引脚260的不同设计约束选择适于放置第一单元引脚240的彼等第一通孔布局点270及适于放置第二单元引脚260的彼等第二通孔布局点250。例如,由于第一单元202具有相对较大单元高度CH1,此单元高度CH1允许第一单元202容纳具有一长度的单元引脚,此长度等于或大于最小长度,第一单元引脚240能够经形成以符合最小长度需求及最小边界偏移需求两者。因此,形成每个第一单元引脚240以具有两端皆终止于第一单元202的顶部及底部边界212A及212B内。相反,由于第二单元204具有相对较小单元高度CH2,此单元高度CH2仅允许第二单元204容纳具有一长度的单元引脚,此长度小于最小长度,第二单元引脚260无法形成以符合最小长度需求及最小边界偏移需求。因此,每个第二单元引脚260用以在相邻列1及列3中的相同垂直布线轨迹VT1~VT20上不存在第一单元引脚240时具有两端皆终止于第二单元204的顶部及底部边界214A及214B处,或者用以在列1或列3中的相同垂直布线轨迹VT1~VT20上仅存在一个第一单元引脚240时具有终止于顶部及底部边界214A及214B内的一端及延伸跨过第二单元204的相应顶部或底部边界214A或214B至相邻列1或列3的另一端。通过将不同设计约束施加的第一单元引脚240及第二单元引脚260,可放置第一单元引脚240及第二单元引脚260,使得相同垂直布线轨迹VT1~VT20上的两个相邻第一单元引脚240及第二单元引脚260的面对端满足最小端到端间隔需求。

[0100] 接着,将用以输入及输出信号至第一单元202的第一单元引脚240放置在选定第一通孔布局点270上方以沿选定第一通孔布局点270所在的相应垂直布线轨迹VT1~VT21延伸。并且,将用以输入及输出信号至第二单元204的第二单元引脚260放置在选定第二通孔布局点250上方以沿选定第二通孔布局点250所在的相应垂直布线轨迹VT1~VT21延伸。

[0101] 请参照图3及图4C,方法300进行至步骤308,其中多个第一通孔242经放置以将多个第一单元引脚240耦接至多个第一导电线220~228及多个第二通孔262经放置以将多个第二单元引脚260耦接至多个第二导电线232~236。图4C是根据一实施例的布局图400B在放置多个第一通孔242以将多个第一单元引脚240耦接至多个第一导电线及放置多个第二通孔262以将多个第二单元引脚260耦接至多个第二导电线232~236之后的布局图400C。

[0102] 经由第一通孔242将第一单元引脚240电耦接至相应下层第一导电线220~228。将第一通孔242放置在步骤306中选定的彼等通孔布局点270的位置处。同样,经由第二通孔

262将第二单元引脚260电耦接至相应下层第二导电线232~236。将第二通孔262放置在步骤308中选定的彼等通孔布局点250的位置处。

[0103] 请参照图3及图2F,方法300进行至步骤310,其中拉长至少一个第二单元引脚260及/或至少一个第一单元引脚240。步骤310与步骤112基本上相同,且在步骤310之后产生布局图200F。

[0104] 在本案的一实施例中,通过在针对不同单元高度的单元放置单元引脚中使用不同设计约束,在混合单元设计中针对不同高度的单元的布线能够在相同设计区块下执行而不推挤现有设计规则。作为结果,引脚布线利用率实现10%的增加。

[0105] 图5是根据一实施例的电子设计自动化(EDA)系统500的方块图。

[0106] 在一些实施例中,EDA系统500包括APR工具。根据一些实施例,可例如使用EDA系统500实施根据一或多个实施例的本文描述的设计布局图的方法,此设计布局图表示电线布线布置。

[0107] 在一些实施例中,EDA系统500为通用计算装置,包括硬件处理器502及非暂时性计算机可读取储存媒体504。其中,用计算机程序码506对储存媒体504编码,亦即,储存媒体储存计算机程序码,其中计算机程序码506为一组计算机可执行指令。由处理器502执行计算机程序码506(至少部分地)表示APR工具,此APR工具实施例如根据一或多个者的本文描述的方法的一部分或全部(在下文中为所述制程及/或方法)。

[0108] 经由总线508将处理器502电耦接至计算机可读取储存媒体504。亦通过总线508将处理器502电耦接至I/O接口510。亦经由总线508将网络接口512电连接至处理器502。将网络接口512连接至网络514,使得处理器502及计算机可读取储存媒体504能够经由网络514连接至外部元件。处理器502用以执行在计算机可读取储存媒体504中编码的计算机程序码506以便引发EDA系统500可用于执行所述制程及/或方法中的一部分或全部。在一或多个实施例中,处理器502为中央处理单元(central processing unit,CPU)、多处理器、分布式处理系统、特殊应用集成电路(application specific integrated circuit,ASIC)及/或适宜处理单元。

[0109] 在一或多个实施例中,计算机可读取储存媒体504为电子、磁性、光学、电磁、红外及/或半导体系统(或设备或装置)。例如,计算机可读取储存媒体504包括半导体或固态记忆体、磁带、可移计算机盘片、随机存取记忆体(random access memory,RAM)、只读记忆体(read~only memory,ROM)、刚性磁盘及/或光盘。在使用光盘的一或多个实施例中,计算机可读取储存媒体504包括压缩光盘~只读记忆体(compact disk-read only memory,CD-ROM)、压缩光盘~读取/写入(compact disk-read/write,CD-R/W)及/或数字视频光盘(digital video disc,DVD)。

[0110] 在一或多个实施例中,储存媒体504储存计算机程序码506,计算机程序码用以引发EDA系统500(其中此类执行(至少部分地)表示APR工具)可用于执行所述制程及/或方法中的一部分或全部。在一或多个实施例中,储存媒体504亦储存信息,此信息促进执行所述制程及/或方法中的一部分或全部。在一或多个实施例中,储存媒体504储存标准单元库507,包括对应于本文揭示的单元的此类标准单元。

[0111] EDA系统500包括I/O接口510。将I/O接口510耦接至外部电路系统。在一或多个实施例中,I/O接口510包括键盘、键板、鼠标、追踪球、追踪板、屏幕及/或游标方向键,以便

传递信息及命令至处理器502。

[0112] EDA系统500亦包括耦接至处理器502的网络接口512。网络接口512允许EDA系统500与网络514通讯,一或多个其他计算机系统连接至此网络。网络接口512包括无线网络接口,诸如蓝芽、WIFI、WIMAX、GPRS或WCDMA;或有线网络接口,诸如以太网、USB或IEEE-1364。在一或多个实施例中,在两个或多个系统500中实施所述制程及/或方法中的一部分或全部。

[0113] EDA系统500用以经由I/O接口510接收信息。经由I/O接口510接收的信息包括以下中的一者或更多者:指令、数据、设计规则、标准单元库及/或由处理器502处理的其他参数。经由总线508将信息传输至处理器502。EDA系统500用以经由I/O接口510接收与UI相关的信息。在计算机可读取媒体504中将信息储存为使用者界面(user interface,UI)542。

[0114] 在一些实施例中,将所述制程及/或方法中的一部分或全部实现为由处理器执行的独立软件应用程序。在一些实施例中,将所述制程及/或方法中的一部分或全部实现为额外软件应用程序的一部分的软件应用程序。在一些实施例中,将所述制程及/或方法中的一部分或全部实现为软件应用程序中的插件。在一些实施例中,将所述制程及/或方法中的至少一者实现为APR工具的一部分的软件应用程序。在一些实施例中,将所述制程及/或方法中的一部分或全部实现为由EDA系统500使用的软件应用程序。在一些实施例中,使用诸如可购自CADENCE DESIGN SYSTEMS, Inc.的VIRTUOSO®的工具或另一适宜布局产生工具来产生包括标准单元的布局图。

[0115] 在一些实施例中,此等制程经实现为储存在非暂时性计算机可读取记录媒体中的程序的功能。非暂时性计算机可读取记录媒体的实例包括但不限于外部/可移除及/或内部/内置储存器或记忆体单元,例如以下中的一者或更多者:光盘,诸如DVD;磁盘,诸如硬盘;半导体记忆体,诸如ROM、RAM、记忆体卡及类似者。

[0116] 图6是根据一实施例的IC制造系统600及与其相关联的IC制造流程的方块图。

[0117] 在一些实施例中,基于布局图,使用IC制造系统600制造以下的至少一者:(A)一或多个半导体遮罩或(B)半导体集成电路的层中的至少一个部件。

[0118] 在图6中,IC制造系统600包括在设计、开发及制造循环及/或与制造IC装置660相关的服务中彼此互动的实体,诸如设计室620、遮罩室630及IC制造商/制造者("fab")650。系统600中的实体通过通讯网络连接。在一些实施例中,通讯网络为单个网络。在一些实施例中,通讯网络为多种不同的网络,诸如内部网络及网际网络。通讯网络包括有线及/或无线通讯通道。每个实体与其他实体中的一者或更多者互动并向其他实体中的一者或更多者提供服务及/或接收来自其他实体中的一者或更多者的服务。在一些实施例中,设计室620、遮罩室630及IC晶圆厂650中的两者或更多者由单个较大公司所有。在一些实施例中,设计室620、遮罩室630及IC晶圆厂650中的两者或更多者共存于共同设施中且使用共同资源。

[0119] 设计室(或设计团队)620产生IC设计布局图622。IC设计布局图622包括为IC装置660所设计的各个几何图案。几何图案对应于金属、氧化物或半导体层的图案,此等层构成待制造的IC装置660的各个部件。各个层组合以形成各个IC特征。例如,IC设计布局图622的一部分包括待形成于半导体基板(诸如硅晶圆)中的各个IC特征,诸如主动区域、闸电极、源极与汲极、层间互连的导电线或通孔及用于粘结衬垫的开口,以及安置在半导体基板上的各个材料层。设计室620实施适宜设计程序以形成IC设计布局图622。设计程序包括逻辑设

计、实体设计或布局与布线中的一者或更多者。在具有几何图案的信息的一或多个数据文件中呈现IC设计布局图622。例如,IC设计布局图622可以GDSII文件格式或DFII文件格式表示。

[0120] 遮罩室630包括数据准备632及遮罩制造644。遮罩室630使用IC设计布局图622来制造一或多个遮罩645以用于根据IC设计布局图622制造IC装置660的各个层。遮罩室630执行遮罩数据准备632,其中将IC设计布局图622转换为代表性数据文件(representative data file,RDF)。遮罩数据准备632将RDF提供给遮罩制造644。遮罩制造644包括遮罩写入器。遮罩写入器将RDF转换为基板上的影像,诸如遮罩(主光罩)645或半导体晶圆653。设计布局图622由遮罩数据准备632操纵,以符合遮罩写入器的特定特性及/或IC晶圆厂650的需求。在图6中,将遮罩数据准备632及遮罩制造644图示为单独元件。在一些实施例中,遮罩数据准备632及遮罩制造644可统称为遮罩数据准备。

[0121] 在一些实施例中,遮罩数据准备632包括光学邻近校正(optical proximity correction,OPC),此OPC使用微影增强技术来补偿影像误差,诸如可由绕射、干扰、其他制程效应及类似者引起的影像误差。OPC调整IC设计布局图862。在一些实施例中,遮罩数据准备632包括进一步的解析度增强技术(resolution enhancement techniques,RET),诸如轴外照射、子解析度辅助特征、相移遮罩、其他适宜技术及类似者或上述的组合。在一些实施例中,亦使用反向微影技术(inverse lithography technology,ILT),此技术将OPC处理为反向成像问题。

[0122] 在一些实施例中,遮罩数据准备632包括遮罩规则检查器(mask rule checker,MRC),此MRC利用一组遮罩产生规则检查在OPC中经历制程的IC设计布局图622,此组遮罩产生规则包含某些几何及/或连接限制以确保足够的边限,以便考虑到半导体制造制程中的可变性及类似者。在一些实施例中,MRC改良IC设计布局图622以补偿遮罩制造644期间的限制,此举可使由OPC执行的改良的一部分失效以便满足遮罩产生规则。

[0123] 在一些实施例中,遮罩数据准备632包括微影制程检查(lithography process checking,LPC),此LPC模拟将由IC晶圆厂650实施以制造IC装置660的处理。LPC基于IC设计布局图622模拟此处理以产生模拟制造元件,诸如IC装置660。LPC模拟中的处理参数可包括与IC制造循环的各个制程相关联的参数,与用于制造IC的工具相关联的参数,及/或制造制程的其他态样。LPC考虑各个因数,诸如空间影像对比度、焦点深度(depth of focus,DOF)、遮罩误差增强因数(mask error enhancement factor,MEEF)、其他适宜因数及类似者或上述的组合。在一些实施例中,在LPC已产生模拟制造元件之后,若模拟元件在形状上不够接近于满足设计规则,则重复OPC及/或MRC以进一步细化IC设计布局图622。

[0124] 应理解,出于清楚目的,已简化遮罩数据准备632的上文描述。在一些实施例中,数据准备632包括额外特征,诸如逻辑运算(logic operation,LOP)以根据制造规则改良IC设计布局图622。另外,可以各种不同次序执行在数据准备632期间应用于IC设计布局图622的制程。

[0125] 在遮罩数据准备632之后且在遮罩制造644期间,基于经改良的IC设计布局图622制造遮罩645或一组遮罩645。在一些实施例中,遮罩制造644包括基于IC设计布局图622执行一或更多次微影曝光。在一些实施例中,使用电子束(电子束)或多个电子束的机构以基于经改良的IC设计布局图622在遮罩(光罩或主光罩)645上形成图案。可以各个技术形成遮

罩645。在一些实施例中,使用二元技术形成遮罩645。在一些实施例中,遮罩图案包括不透明区域及透明区域。用于暴露已涂覆于晶圆上的影像敏感材料层(例如,光阻剂)的辐射束(诸如紫外线(ultraviolet,UV)束)被不透明区域阻挡及透射穿过透明区域。在一个实例中,遮罩645的二元遮罩版本包括透明基板(例如,熔融石英)及涂覆于二元遮罩的不透明区域中的不透明材料(例如,铬)。在另一实例中,使用相移技术形成遮罩645。在遮罩645的相移遮罩(phase shift mask,PSM)版本中,在相移遮罩上形成的图案中的各个特征用以具有适宜的相位差来增强解析度与成像品质。在各个实例中,相移遮罩可为衰减的PSM或交替的PSM。在各种制程中使用由遮罩制造644产生的遮罩。例如,在离子布植制程中使用此类遮罩以在半导体晶圆653中形成各个掺杂区域,在蚀刻制程中使用以在半导体晶圆653中形成各个蚀刻区域,及/或在其他适宜制程中使用。

[0126] IC晶圆厂650包括晶圆制造652。IC晶圆厂650为IC制造业务,包括用于制造各种不同IC产品的一或更多个制造设施。在一些实施例中,IC晶圆厂650为半导体工厂。例如,可能存在用于多个IC产品的前段制造的制造设施(前段制程(front-end-of-line,FEOL)制造),而第二制造设施可提供用于IC产品的互连及封装的后段制造(后段制程(back-end-of-line,BEOL)制造),以及第三制造设施可提供针对工厂业务的其他服务。

[0127] IC晶圆厂650使用由遮罩室630制造的遮罩645来制造IC装置660。因此,IC晶圆厂650至少间接地使用IC设计布局图622来制造IC装置660。在一些实施例中,半导体晶圆653由IC晶圆厂650使用遮罩645来制造以形成IC装置660。在一些实施例中,IC制造包括至少间接地基于IC设计布局图622执行一或更多次微影曝光。半导体晶圆653包括硅基板或其上形成有材料层的其他适宜基板。半导体晶圆653进一步包括(在后续制造步骤中形成的)各个掺杂区域、介电特征、多位准互连及类似者中的一者或更多者。

[0128] 关于集成电路(IC)制造系统(例如,图6的系统600)及与其相关联的IC制造流程的细节可例如在2016年2月9日授权的美国专利案第9,256,709号、2015年10月1日公开的美国授权前公开案第20150278429号、2014年2月6日公开的美国授权前公开案第20140040838号及2007年8月21日授权的美国专利案第7,260,442号中找到,此等申请案的每一者以引用的方式全部并入本文。

[0129] 根据本案的一实施例是关于一种产生集成电路布局图的方法,方法包括在第一列中布置具有第一单元高度的多个第一单元;在邻接第一列的第二列中布置具有第二单元高度的多个第二单元,第二单元高度小于第一单元高度,且第一列及第二列沿第一方向延伸并相对于布线网格布置,布线网格包含沿第一方向延伸的多个第一布线轨迹及沿第二方向延伸的多个第二布线轨迹,第二方向垂直于第一方向;在多个第一单元的每个第一单元内放置多个第一单元引脚,多个第一单元引脚中的每一者沿多个第二布线轨迹的相应第二布线轨迹延伸;以及,在多个第二单元的每个第二单元中的多个选定通孔布局点上方放置多个第二单元引脚,多个第二单元引脚中的至少一个第二单元引脚沿多个第二布线轨迹的相应第二布线轨迹延伸跨过多个第二单元的相应第二单元的边界且延伸至邻接相应第二单元的多个第一单元的相应第一单元中。在一些实施例中,方法进一步包括在多个第一布线轨迹与多个第二布线轨迹之间的相应交点处识别多个第二单元的每个第二单元中的多个通孔布局点。多个通孔布局点为用于放置多个第二单元引脚的可能位置。在一些实施例中,方法进一步包括自针对多个第二单元的每个第二单元自多个通孔布局点识别多个选定通

孔布局点,使得在多个选定通孔布局点上方放置多个第二单元引脚之后,相同布线轨迹上的相邻第一单元引脚及第二单元引脚的面对端以一距离分开,此距离等于或大于根据一组设计规则的最小端到端间隔。在一些实施例中,放置多个第一单元引脚中的每一者,使得多个第一单元引脚中的每一者的相对端终止于多个第一单元的相应第一单元的顶部及底部边界内。在一些实施例中,放置多个第二单元引脚中的至少一个第二单元引脚,使得多个第二单元引脚中的至少一个第二单元引脚的一端终止于多个第二单元的相应第二单元的顶部及底部边界内,且多个第二单元引脚中的至少一个第二单元引脚的相对端终止于多个第一单元的相应第一单元内,此多个第一单元的相应第一单元邻接多个第二单元的相应第二单元。在一些实施例中,放置多个第二单元引脚中的至少另一第二单元引脚,使得多个第二单元引脚中的至少另一第二单元引脚的相对端终止于多个第二单元的相应第二单元的顶部及底部边界处。在一些实施例中,方法进一步包括沿多个第二布线轨迹的相应第二布线轨迹拉长多个第一单元引脚中的至少一个第一单元引脚以跨过至少一个第一单元引脚所在的相应第一单元的边界。在一些实施例中,方法进一步包括沿多个第二布线轨迹的相应第二布线轨迹拉长多个第二单元引脚中的至少一个第二单元引脚。多个第二单元引脚中的至少一个拉长第二单元引脚及与至少一个拉长第二单元引脚相同的第二布线轨迹上的相邻第一单元引脚的面对端之间的距离等于或大于根据一组设计规则的最小端到端间隔。在一些实施例中,方法进一步包括针对多个第一单元沿多个第一布线轨迹的第一布线轨迹的第一集合放置多个第一导电线,且针对多个第二单元沿多个第一布线轨迹的第一布线轨迹的第二集合放置多个第二导电线。在一些实施例中,方法进一步包括放置多个第一通孔以将多个第一导电线与多个第一单元引脚耦接。在一些实施例中,方法进一步包括放置多个第二通孔以将多个第二导电线与多个第二单元引脚耦接。

[0130] 根据本案的另一实施例是关于一种产生集成电路布局图的方法,包括在多个第一列中布置具有第一单元高度的多个第一单元;在多个第二列中布置具有第二单元高度的多个第二单元,第二单元高度小于第一单元高度。根据布线网格布置多个第一列及多个第二列,布线网格包含在第一方向上延伸的多个第一布线轨迹及在第二方向上延伸的多个第二布线轨迹,第二方向垂直于第一方向;在多个第一单元的每个第一单元中的多个选定第一通孔布局点上方放置多个第一单元引脚,多个第一单元引脚的每个第一单元引脚沿多个第二布线轨迹的相应第二布线轨迹延伸且具有两端皆终止于多个第一单元的相应第一单元的顶部及底部边界内;以及,在多个第二单元的每个第二单元中的多个选定通孔布局点上方放置多个第二单元引脚,多个第二单元引脚中的至少一个第二单元引脚沿多个第二布线轨迹的相应第二布线轨迹延伸跨过多个第二单元的相应第二单元的边界且延伸至邻接相应第二单元的多个第一单元的相应第一单元中。在一些实施例中,方法进一步包括识别多个第一单元的每个第一单元内的多个第一通孔布局点及多个第二单元的每个第二单元内的多个第二通孔布局点,多个第一通孔布局点及多个第二通孔布局点中的每一者处于多个第一布线轨迹的相应第一布线轨迹与多个第二布线轨迹的相应第二布线轨迹的交点处。在一些实施例中,方法进一步包括自多个第一通孔布局点识别多个选定第一通孔布局点及自多个第二通孔布局点识别多个选定第二通孔布局点,使得在多个选定第一通孔布局点上放置多个第一单元引脚及在多个选定第二通孔布局点上放置多个第二单元引脚之后,沿相同第二布线轨迹放置的相邻第一单元引脚及第二单元引脚的面对端以一距离分开,此距离等

于或大于根据一组设计规则的最小端对端间隔。在一些实施例中,放置多个第一单元引脚包括放置具有一长度的多个第一单元引脚,此长度等于或大于根据一组设计规则的最小长度。在一些实施例中,放置多个第二单元引脚包括放置具有一长度的多个第二单元引脚,此长度小于根据一组设计规则的最小长度。在一些实施例中,方法进一步包括基于布局图制造集成电路。

[0131] 根据本案的另一实施例是关于一种用于处理集成电路布局图的系统。系统包括至少一个处理器及连接至至少一个处理器的计算机可读取储存媒体。至少一个处理器用以执行储存在计算机可读取储存媒体上的指令,以在多个第一列中布置具有第一单元高度的多个第一单元;至少一个处理器用以执行储存在计算机可读取储存媒体上的指令,以在多个第二列中进一步布置具有第二单元高度的多个第二单元,第二单元高度小于第一单元高度,根据布线网格布置多个第一列及多个第二列,布线网格包含在第一方向上延伸的多个第一布线轨迹及在第二方向上延伸的多个第二布线轨迹,第二方向垂直于第一方向;至少一个处理器用以执行储存在计算机可读取储存媒体上的指令,以在多个第一单元的每个第一单元内放置多个第一单元引脚,多个第一单元引脚中的每一者沿多个第二布线轨迹的相应第二布线轨迹延伸;至少一个处理器用以执行储存在计算机可读取储存媒体上的指令,以在多个第一布线轨迹与多个第二布线轨迹之间的多个交点的相应交点处进一步识别多个第二单元的每个第二单元中的多个通孔布局点;至少一个处理器用以执行储存在计算机可读取储存媒体上的指令,以自多个通孔布局点进一步选择通孔布局点子集,其中通孔布局点子集对应于多个第二布线轨迹中的一组第二布线轨迹,沿此组第二布线轨迹放置针对多个第二单元的每个第二单元的多个第二单元引脚,若多个第一单元的一对第一单元中没有有一个或仅一个第一单元包括第一单元引脚,此等第一单元紧邻多个第二单元的相应第二单元的相对边界,则可在与多个第一单元引脚的相邻第一单元引脚相同的第二布线轨迹上放置多个第二单元引脚的第二单元引脚;至少一个处理器用以执行储存在计算机可读取储存媒体上的指令,以在通孔布局点子集上方放置多个第二单元引脚。在一些实施例中,多个第一单元引脚的每个第一单元引脚具有终止于多个第一单元的相应第一单元的边界内的相对端。在一些实施例中,多个第二单元引脚的至少一个第二单元引脚具有延伸跨过相应第一单元与第二单元之间的相应共同边界的一端。

[0132] 前文概述了数个实施例的特征,使得熟悉此项技术者可更好地理解本案的一实施例的态样。熟悉此项技术者应了解,可易于使用本案的一实施例作为设计或修改其他制程及结构的基础以便实施本文所介绍的实施例的相同目的及/或实现相同优势。熟悉此项技术者亦应认识到,此类等效结构并未脱离本案的一实施例的精神及范畴,并且可在不脱离本案的一实施例的精神及范畴的情况下在本文中实施各种变化、取代及修改。

100

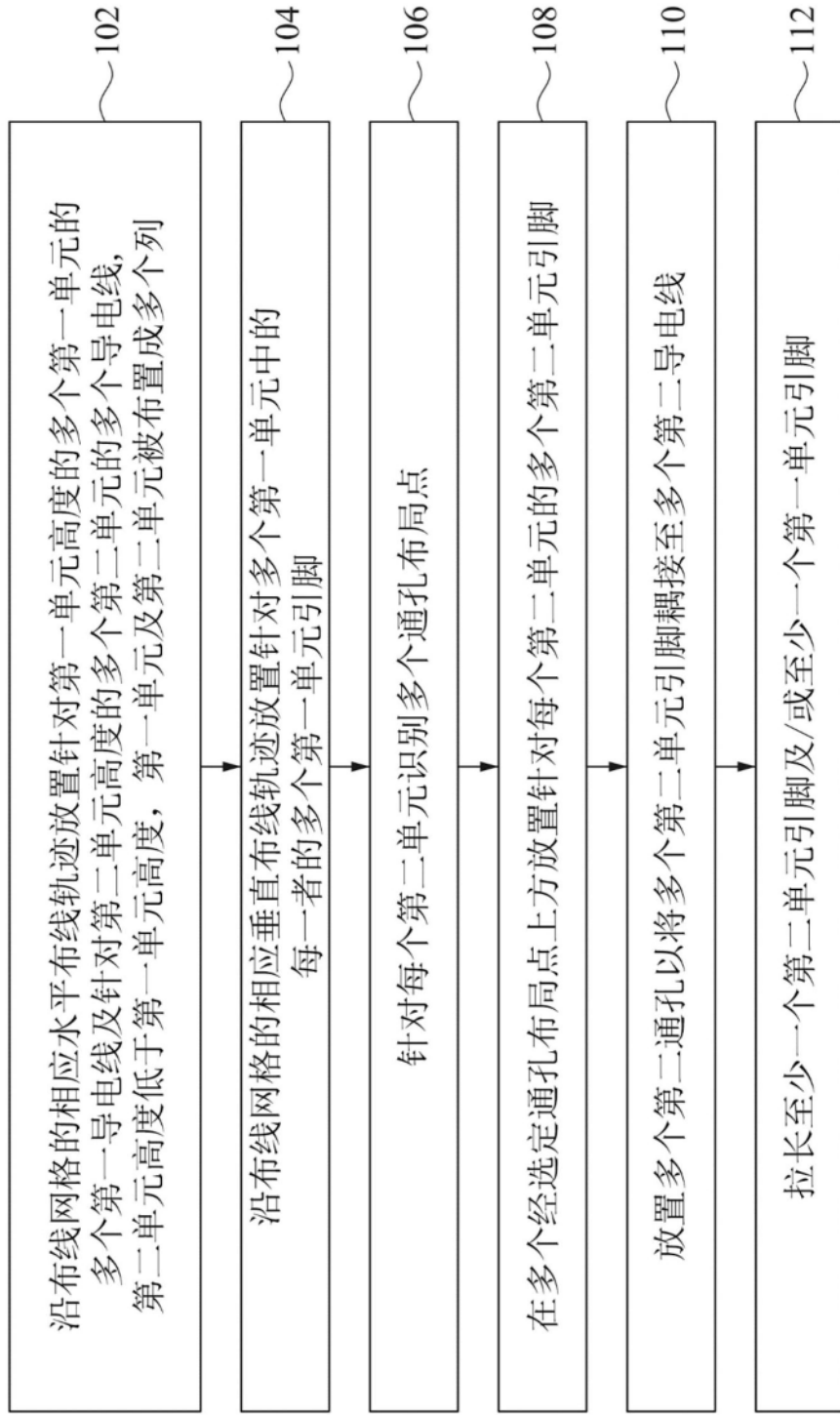


图1

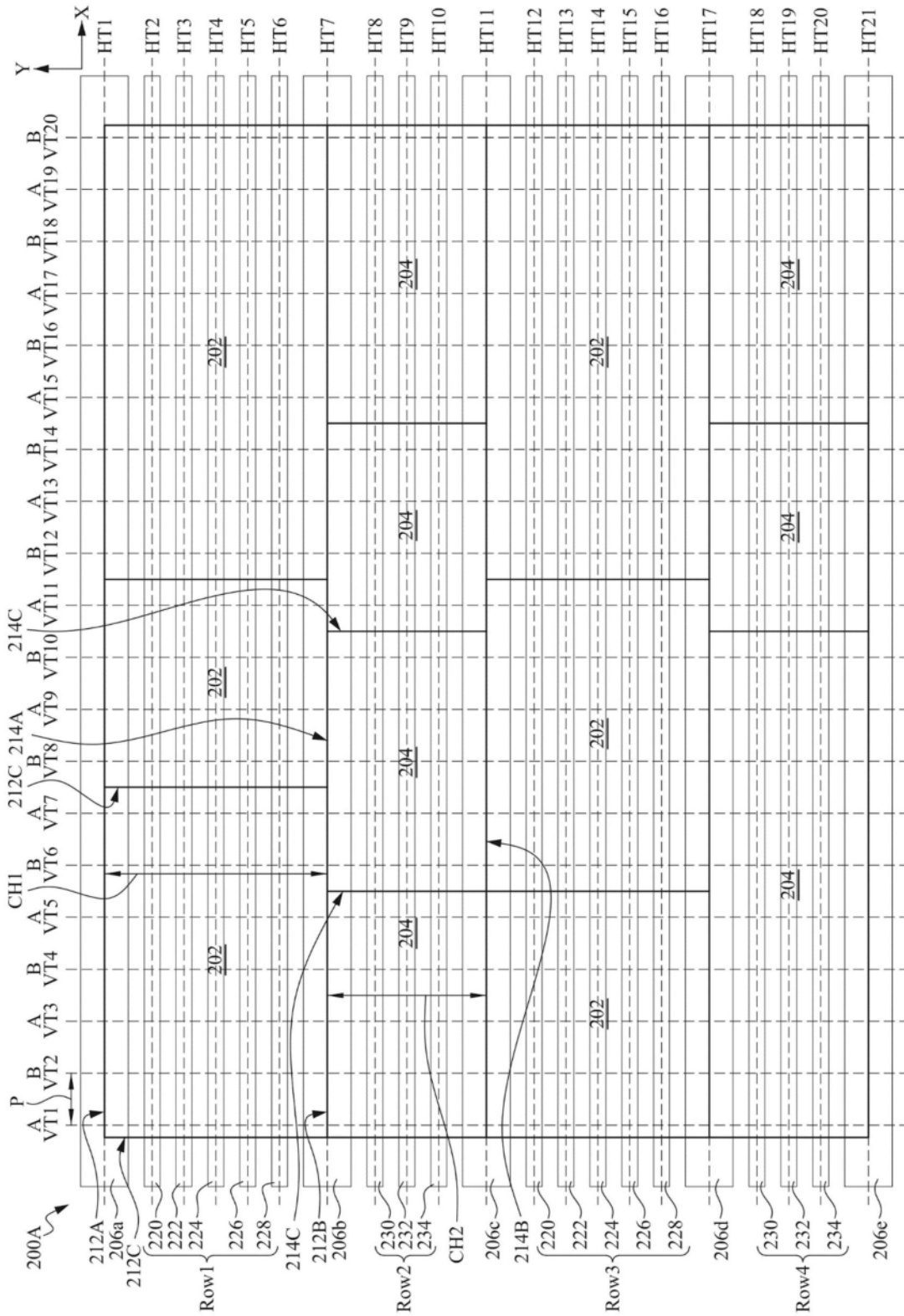


图2A

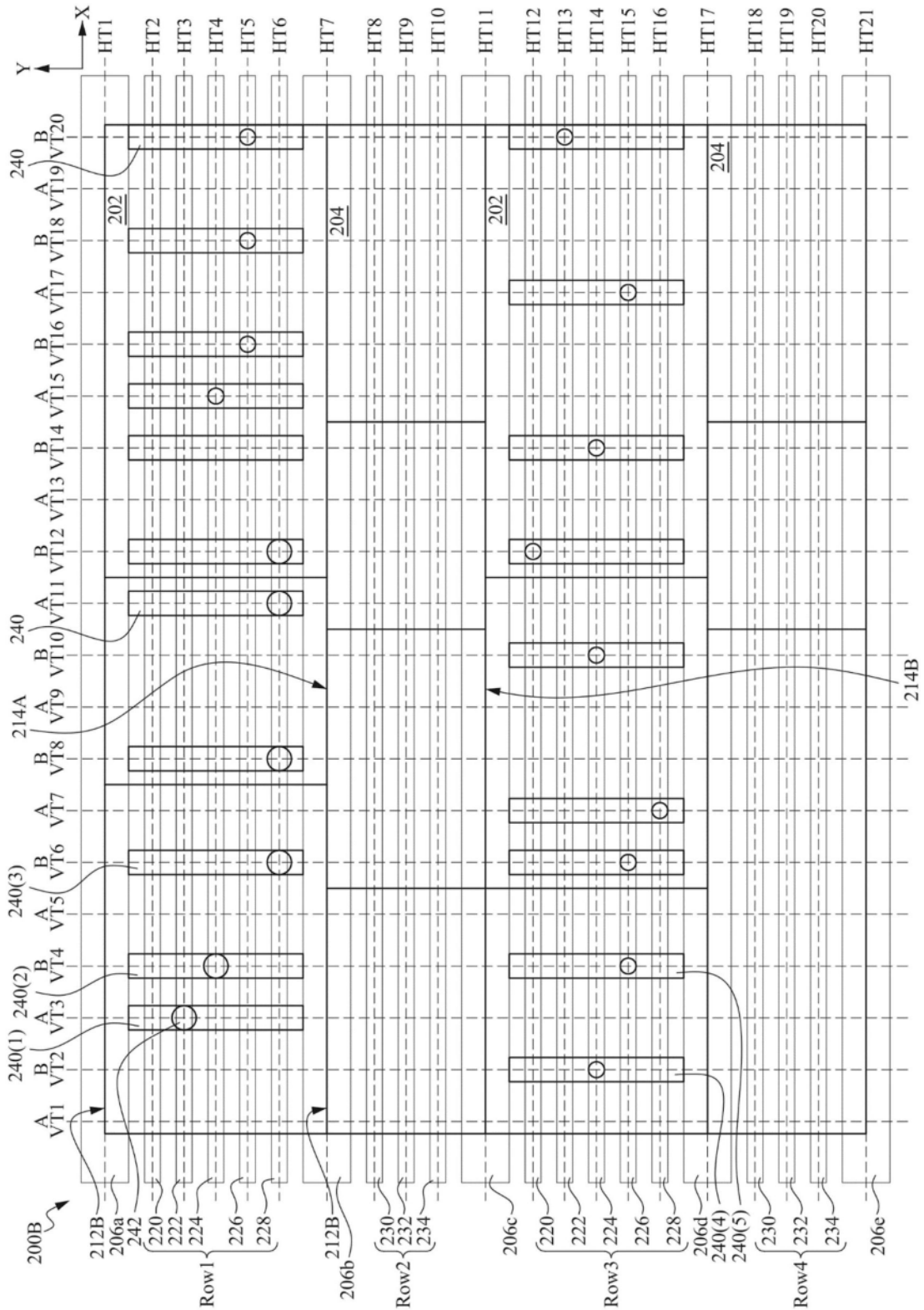


图2B

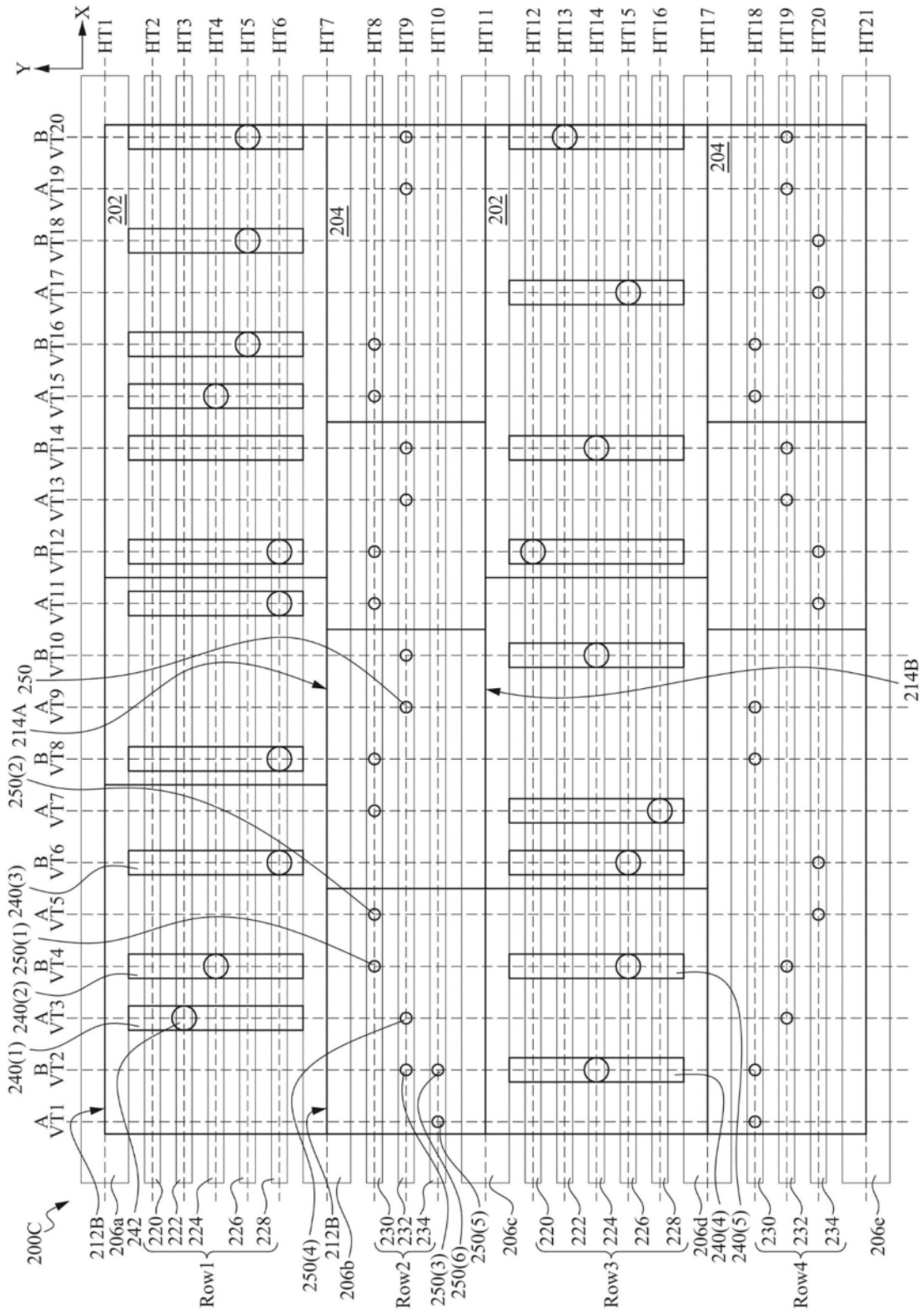


图2C



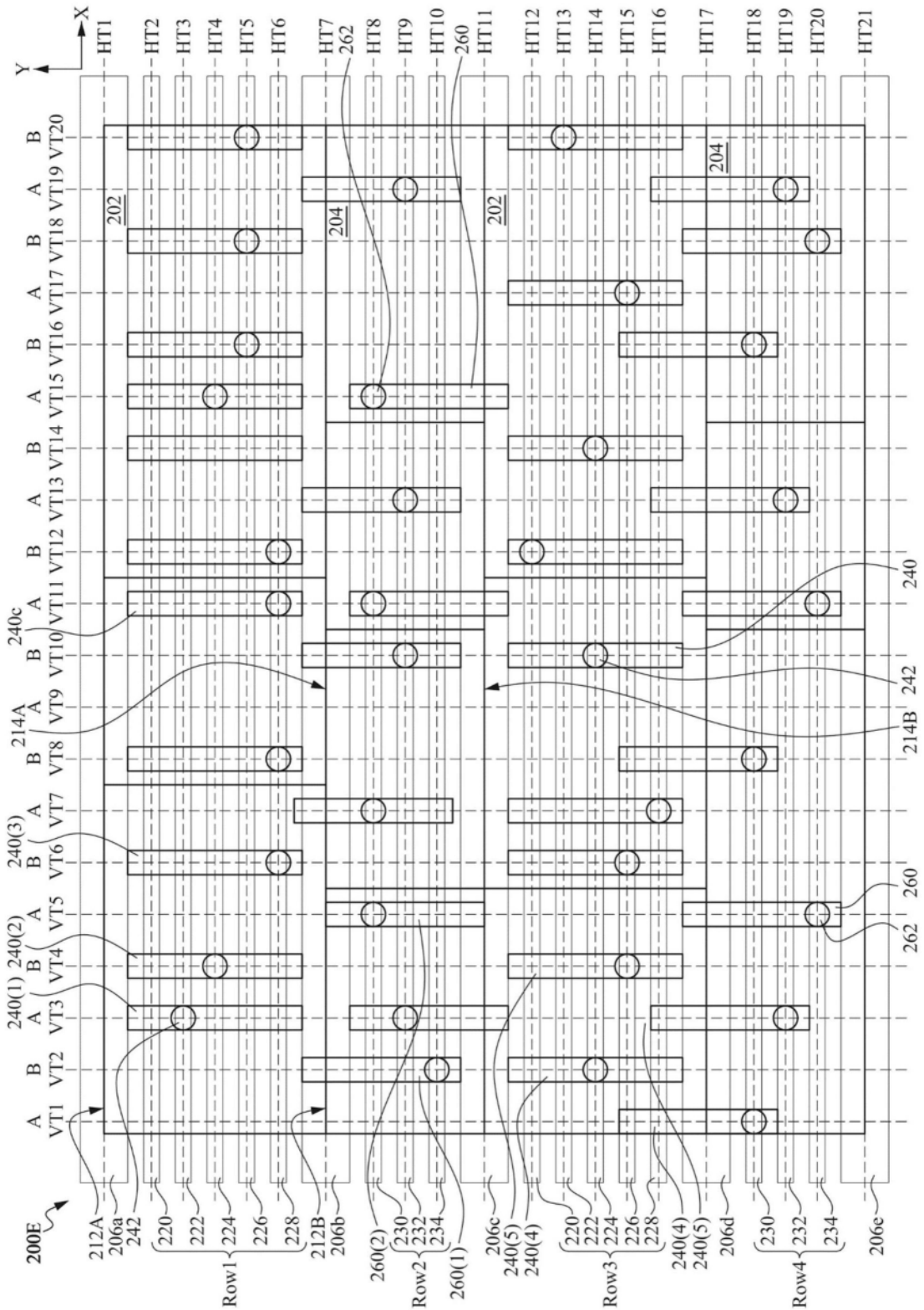


图2E

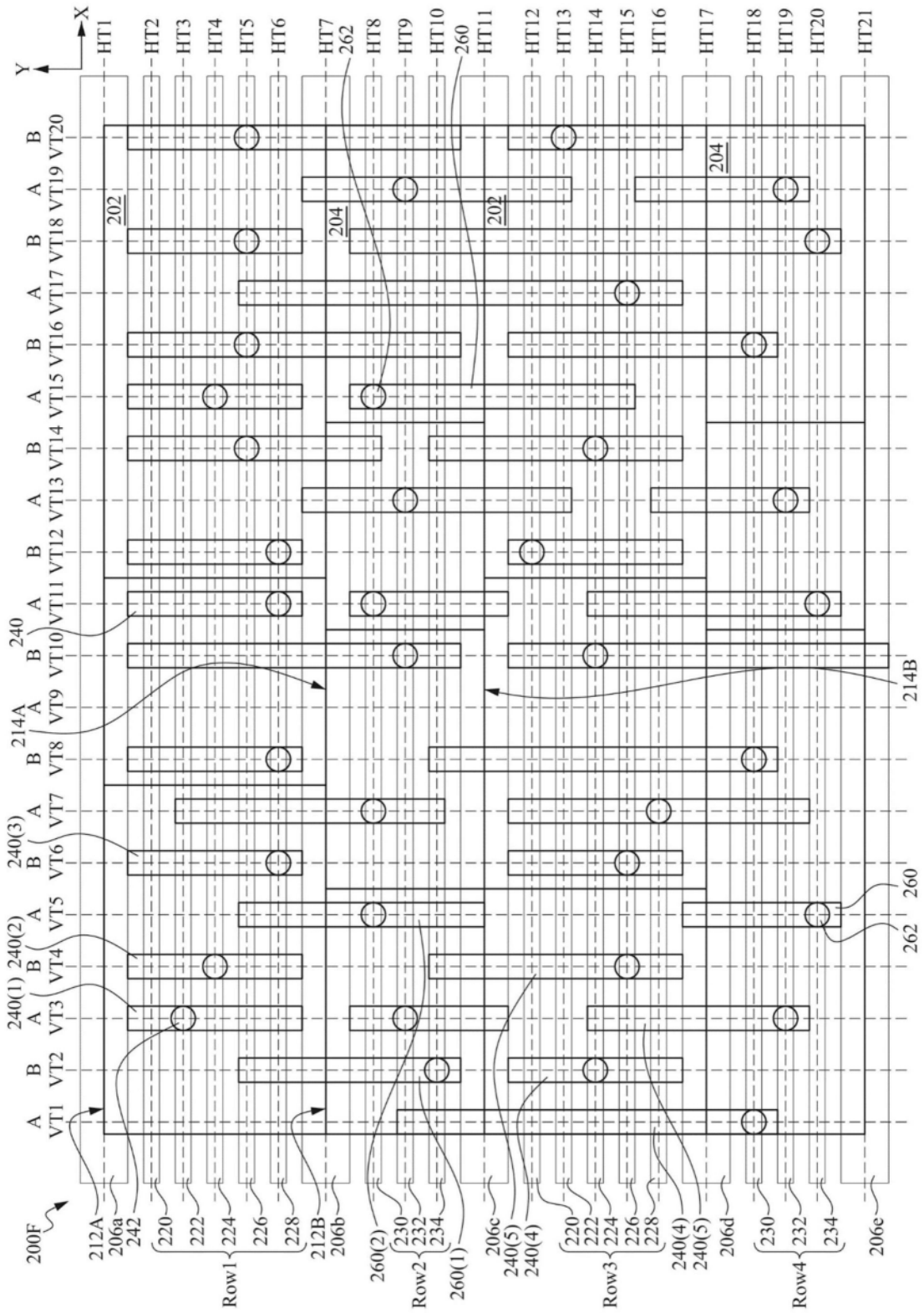


图2F

300

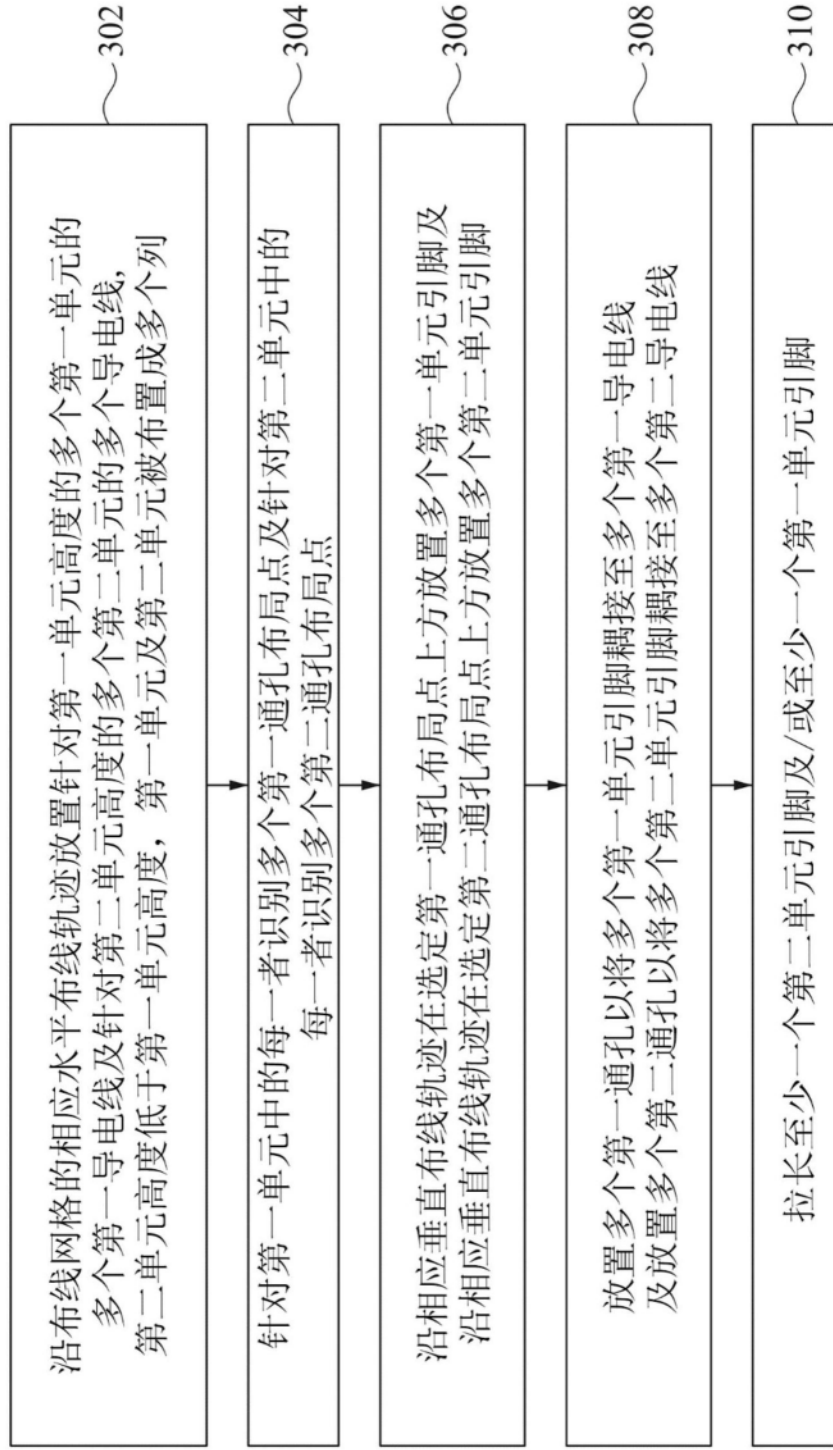


图3

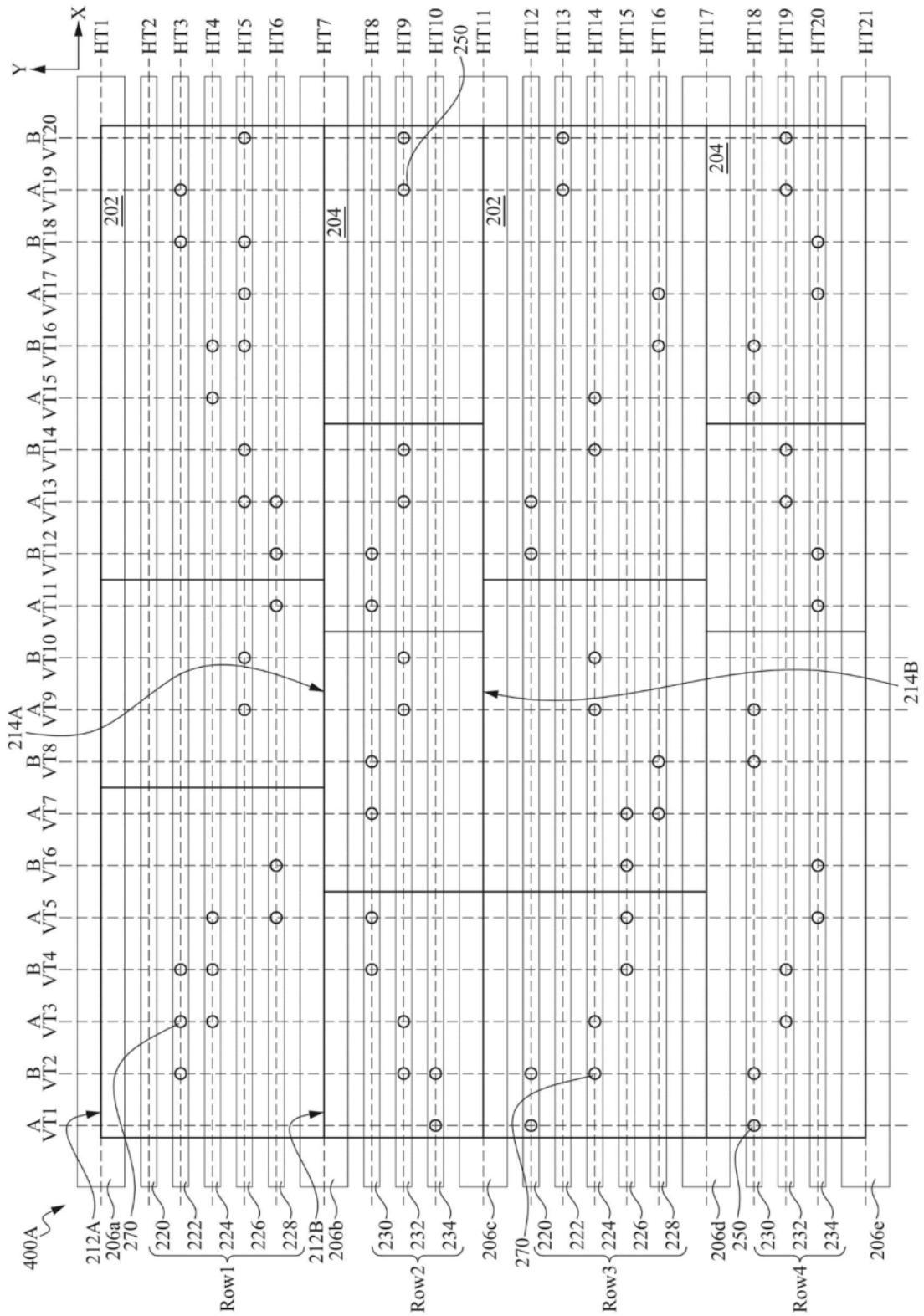


图4A



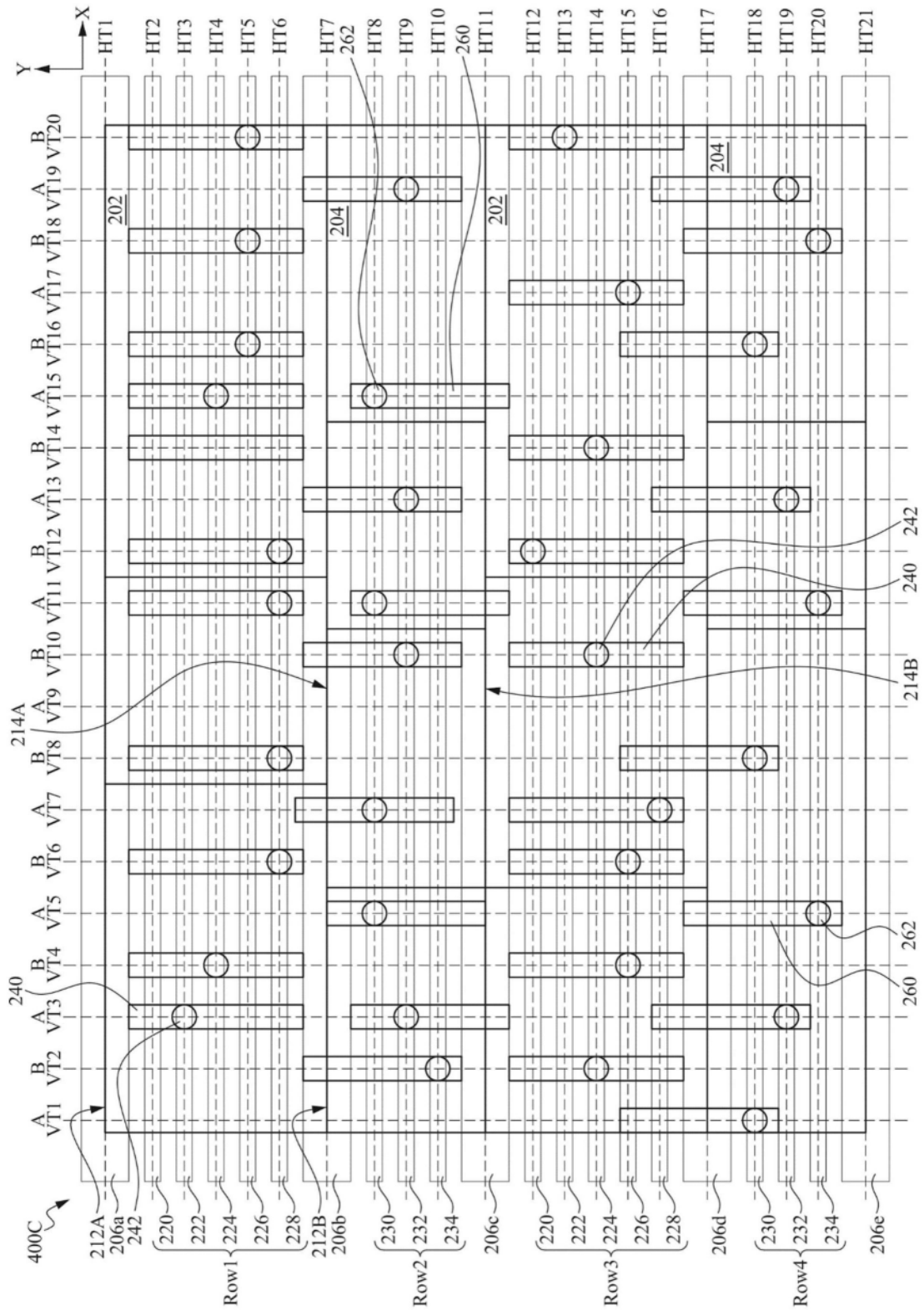


图4C

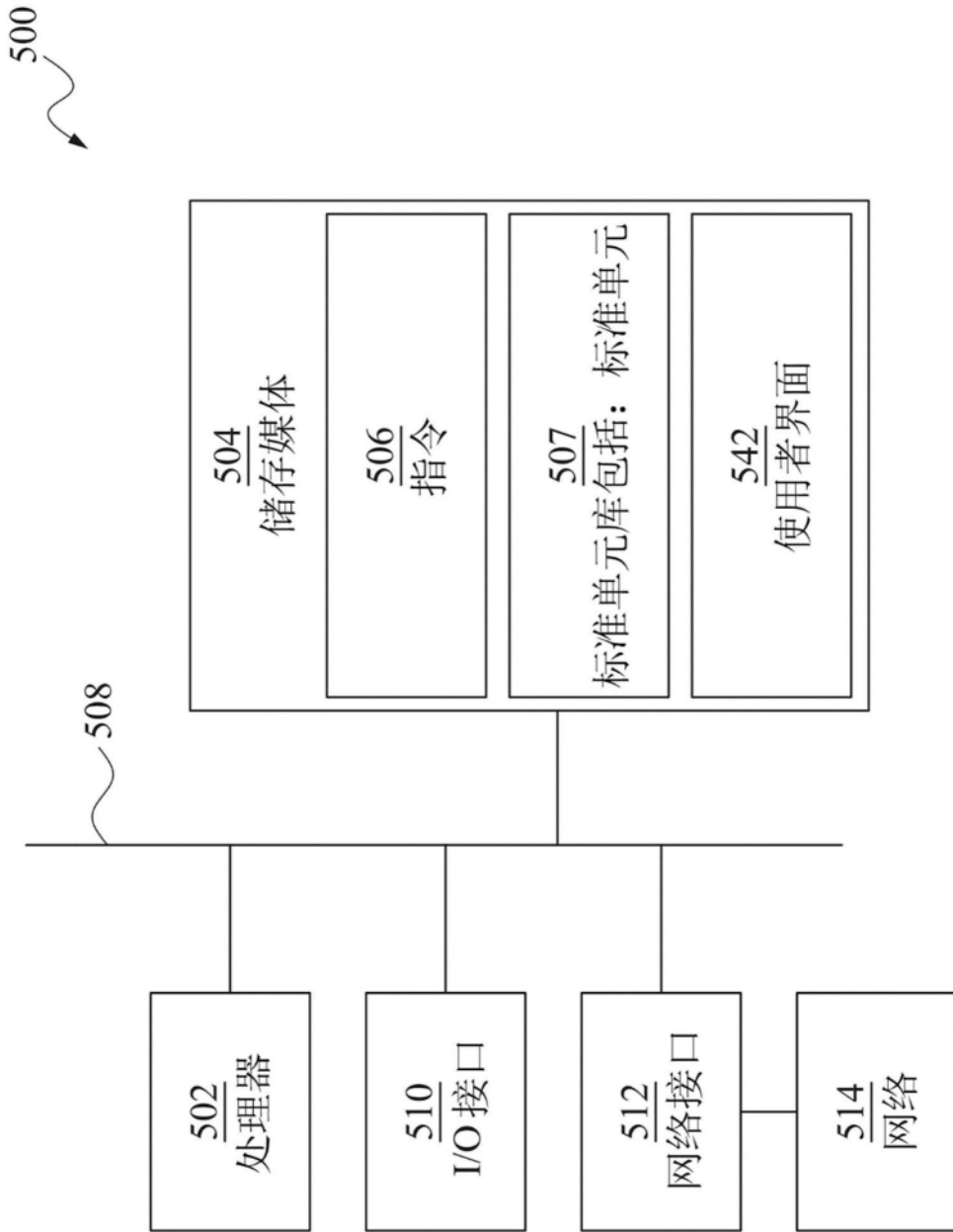


图5

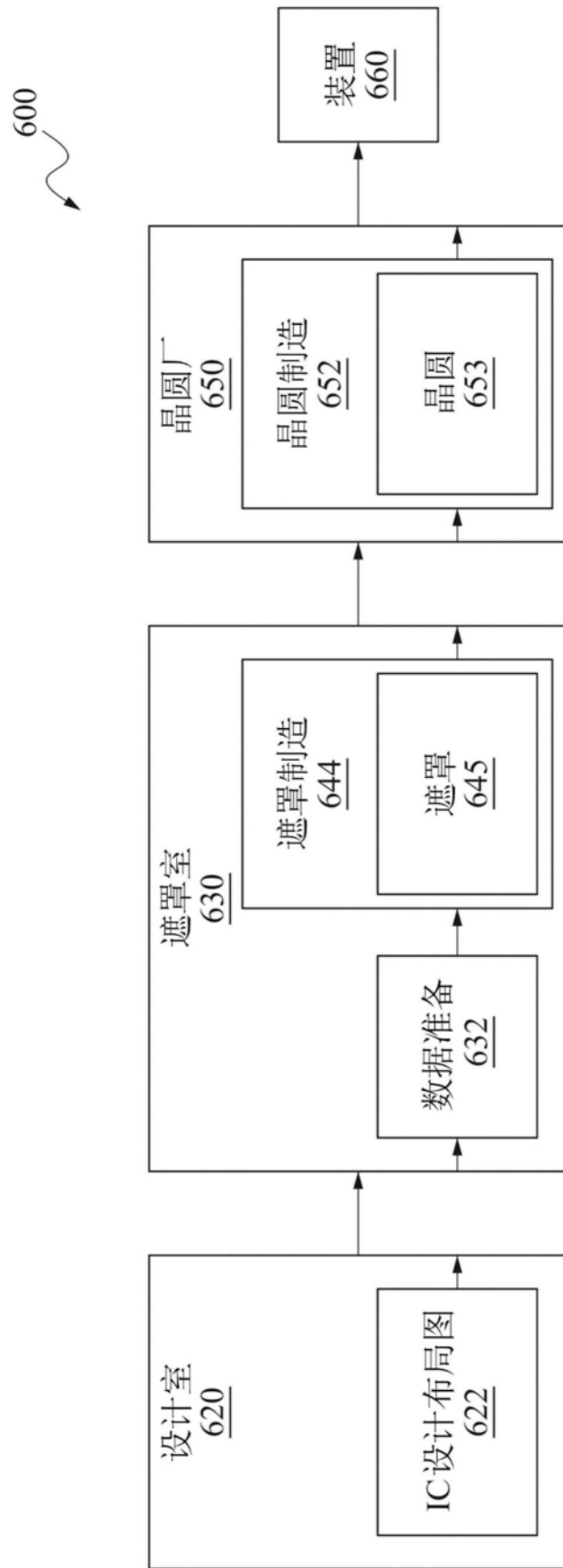


图6