



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0098263
(43) 공개일자 2025년07월01일

(51) 국제특허분류(Int. Cl.)
H03M 1/10 (2006.01) H03M 1/06 (2006.01)
H03M 1/46 (2006.01)
(52) CPC특허분류
H03M 1/1023 (2013.01)
H03M 1/0607 (2013.01)
(21) 출원번호 10-2023-0189370
(22) 출원일자 2023년12월22일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
고동민
경기도 수원시 영통구 삼성로 129 (매탄동)
김철우
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

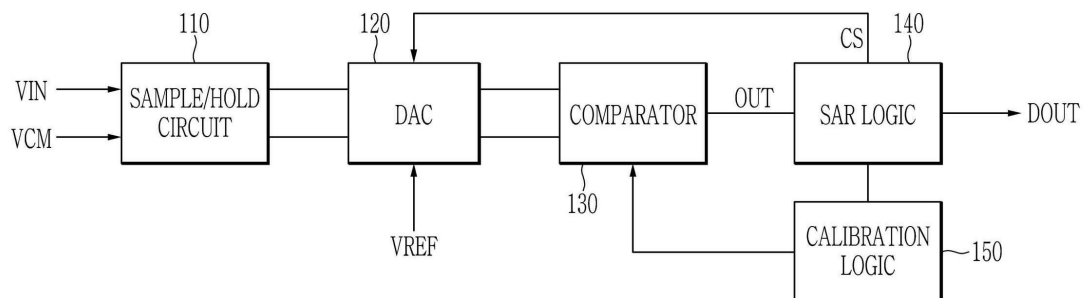
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 아날로그 디지털 변환 장치 및 이의 동작 방법

(57) 요약

일 실시예에 따른 아날로그 디지털 변환 장치는 제1 입력 신호를 디지털 신호로 변환하는 제1 기간 동안 복수의 제1 비교 신호를 출력하고, 제2 입력 신호를 디지털 신호로 변환하는 제2 기간 동안 복수의 제2 비교 신호를 출력하는 복수의 비교기, 그리고 복수의 비교기 중 제1 비교기의 제1 비교 신호와 복수의 비교기 중 제2 비교기의 제1 비교 신호에 기초하여 제2 비교기의 오프셋을 교정하고, 제2 비교기의 제2 비교 신호와 복수의 비교기 중 제3 비교기의 제2 비교 신호에 기초하여 제3 비교기의 오프셋을 교정하는 교정 로직 회로를 포함한다.

대표도



(52) CPC특허분류

H03M 1/46 (2013.01)

(72) 발명자

박수호

서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)

김창주

서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)

최영돈

경기도 수원시 영통구 삼성로 129 (매탄동)

명세서

청구범위

청구항 1

제1 입력 신호를 디지털 신호로 변환하는 제1 기간 동안 복수의 제1 비교 신호를 출력하고, 제2 입력 신호를 디지털 신호로 변환하는 제2 기간 동안 복수의 제2 비교 신호를 출력하는 복수의 비교기, 그리고

상기 복수의 비교기 중 제1 비교기의 제1 비교 신호와 상기 복수의 비교기 중 제2 비교기의 제1 비교 신호에 기초하여 상기 제2 비교기의 오프셋을 교정하고, 상기 제2 비교기의 제2 비교 신호와 상기 복수의 비교기 중 제3 비교기의 제2 비교 신호에 기초하여 상기 제3 비교기의 오프셋을 교정하는 교정 로직 회로

를 포함하는 아날로그 디지털 변환 장치.

청구항 2

제1항에 있어서,

상기 제1 기간 동안, 상기 제1 비교기 및 상기 제2 비교기에 제1 기준 신호를 인가하고, 상기 제2 기간 동안, 상기 제2 비교기 및 상기 제3 비교기에 상기 제1 기준 신호와 상이한 제2 기준 신호를 인가하는 디지털 아날로그 변환기(DAC: digital to analog converter)

를 더 포함하는 아날로그 디지털 변환 장치.

청구항 3

제2항에 있어서,

상기 DAC는 상기 제1 기간 동안 상기 제3 비교기에, 상기 제2 입력 신호를 인가하는,

아날로그 디지털 변환 장치.

청구항 4

제2항에 있어서,

상기 DAC는 상기 제2 기간 동안 상기 제1 비교기에, 상기 제1 입력 신호를 인가하는,

아날로그 디지털 변환 장치.

청구항 5

제1항에 있어서,

상기 제1 기간과 상기 제2 기간은 연속적인,

아날로그 디지털 변환 장치.

청구항 6

제1항에 있어서,

상기 제1 입력 신호 및 상기 제2 입력 신호를 샘플링하는 샘플/홀드 회로를 더 포함하고,

상기 교정 로직 회로는 상기 제2 기간 동안 상기 샘플/홀드 회로가 상기 제2 입력 신호를 샘플링하는 기간에 상기 제2 비교기의 오프셋을 교정하는,

아날로그 디지털 변환 장치.

청구항 7

제1항에 있어서,

상기 복수의 비교기는 상기 제1 기간 내의 복수의 사이클 동안 상기 제1 입력 신호를 복수의 비트로 분해하고,
상기 교정 로직 회로는 상기 복수의 사이클 중 하나의 사이클 동안 출력된 상기 제1 비교기의 제1 비교 신호와
상기 제2 비교기의 제1 비교 신호에 기초하여 상기 제2 비교기의 오프셋을 교정하는,
아날로그 디지털 변환 장치.

청구항 8

제1항에 있어서,
상기 복수의 비교기는 제3 입력 신호를 디지털 신호로 변환하는 제3 기간 동안 복수의 제3 비교 신호를 출력하
고,
상기 교정 로직 회로는 상기 제3 비교기의 제3 비교 신호와 상기 복수의 비교기 중 제4 비교기의 제3 비교 신호
에 기초하여 상기 제4 비교기의 오프셋을 교정하는,
아날로그 디지털 변환 장치.

청구항 9

제8항에 있어서,
상기 제2 기간과 상기 제3 기간은 연속적인,
아날로그 디지털 변환 장치.

청구항 10

제1 입력 신호를 디지털 신호로 변환하는 제1 기간 동안 복수의 비교기 중 제1 비교기의 제1 비교 신호와 상기
복수의 비교기 중 제2 비교기의 제1 비교 신호를 수신하는 단계,
제2 입력 신호를 디지털 신호로 변환하는 제2 기간 동안 상기 제1 비교기의 제1 비교 신호와 상기 제2 비교기의
제1 비교 신호에 기초하여 상기 제2 비교기의 오프셋을 교정하는 단계,
상기 제2 기간 동안 상기 제2 비교기의 제2 비교 신호와 상기 복수의 비교기 중 제3 비교기의 제2 비교 신호를
수신하는 단계, 그리고
제3 입력 신호를 디지털 신호로 변환하는 제3 기간 동안 상기 제2 비교기의 제2 비교 신호와 상기 제3 비교기의
제2 비교 신호에 기초하여 상기 제3 비교기의 오프셋을 교정하는 단계,
아날로그 디지털 변환 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 개시 내용은 아날로그 디지털 변환 장치 및 이의 동작 방법에 관한 것이다.

배경 기술

[0002] 아날로그 디지털 변환기(ADC: analog to digital converter)는 아날로그 신호의 각 신호 레벨들을 나타내는 디
지탈 코드들의 시퀀스를 발생하는 데 사용될 수 있다. 이러한 아날로그 디지털 변환기의 한 종류로, 반복적으로
아날로그 디지털 변환을 수행하여 데이터를 비교하고 디지털 코드의 비트들을 결정하는 SAR(successive
approximation register) ADC가 있다.

[0003] SAR ADC는 입력된 아날로그 신호를 변환한 신호와 이에 상응하는 기준 신호 간의 비교 결과를 출력하는 비교기
를 포함하고, 비교기의 비교 결과의 신뢰도는 SAR ADC의 성능에 큰 영향을 미친다.

발명의 내용

해결하려는 과제

- [0004] 일 실시예는 비교기의 오프셋을 교정할 수 있는 아날로그 디지털 변환 장치 및 이의 동작 방법을 제공하고자 한다.
- [0005] 일 실시예는 1비트를 초과하는 비트 분해와 동시에 비교기의 오프셋을 교정할 수 있는 아날로그 디지털 변환 장치 및 이의 동작 방법을 제공하고자 한다.

과제의 해결 수단

- [0006] 이러한 기술적 과제를 해결하기 위한 일 실시예에 따른 아날로그 디지털 변환 장치는 제1 입력 신호를 디지털 신호로 변환하는 제1 기간 동안 복수의 제1 비교 신호를 출력하고, 제2 입력 신호를 디지털 신호로 변환하는 제2 기간 동안 복수의 제2 비교 신호를 출력하는 복수의 비교기, 그리고 복수의 비교기 중 제1 비교기의 제1 비교 신호와 복수의 비교기 중 제2 비교기의 제1 비교 신호에 기초하여 제2 비교기의 오프셋을 교정하고, 제2 비교기의 제2 비교 신호와 복수의 비교기 중 제3 비교기의 제2 비교 신호에 기초하여 제3 비교기의 오프셋을 교정 로직 회로를 포함한다.
- [0007] 일 실시예에 따른 아날로그 디지털 변환 장치의 동작 방법은 제1 입력 신호를 디지털 신호로 변환하는 제1 기간 동안 복수의 비교기 중 제1 비교기의 제1 비교 신호와 복수의 비교기 중 제2 비교기의 제1 비교 신호를 수신하는 단계, 제2 입력 신호를 디지털 신호로 변환하는 제2 기간 동안 제1 비교기의 제1 비교 신호와 제2 비교기의 제1 비교 신호에 기초하여 제2 비교기의 오프셋을 교정하는 단계, 제2 기간 동안 제2 비교기의 제2 비교 신호와 복수의 비교기 중 제3 비교기의 제2 비교 신호를 수신하는 단계, 그리고 제3 입력 신호를 디지털 신호로 변환하는 제3 기간 동안 제2 비교기의 제2 비교 신호와 제3 비교기의 제2 비교 신호에 기초하여 제3 비교기의 오프셋을 교정하는 단계를 포함한다.

도면의 간단한 설명

- [0008] 도 1은 일 실시예에 따른 아날로그 디지털 변환 장치를 나타낸 블록도이다.
- 도 2는 일 실시예에 따른 아날로그 디지털 변환 장치를 구체적으로 나타낸 블록도이다.
- 도 3은 일 실시예에 따른 아날로그 디지털 변환 장치의 동작을 설명하기 위한 타이밍도이다.
- 도 4는 일 실시예에 따른 아날로그 디지털 변환 장치의 비교기들을 나타낸 도면이다.
- 도 5는 일 실시예에 따른 기준 전압과 입력 신호의 전압 레벨의 비교에 따라 생성된 디지털 신호의 데이터를 나타낸 도면이다.
- 도 6 및 도 7은 오프셋 교정 사이클에서의 아날로그 디지털 변환 장치의 비교기들을 나타낸 도면이다.
- 도 8은 일 실시예에 따른 아날로그 디지털 변환 장치의 동작을 설명하기 위한 타이밍도이다.
- 도 9는 일 실시예에 따른 기준 전압과 입력 신호의 전압 레벨의 비교에 따라 생성된 디지털 신호의 데이터를 나타낸 도면이다.
- 도 10, 도 11, 및 도 12는 오프셋 교정 사이클에서의 아날로그 디지털 변환 장치의 비교기들을 나타낸 도면이다.
- 도 13은 일 실시예에 따른 통신 장치를 나타내는 블록도이다.
- 도 13은 일 실시예에 따른 이미징 장치를 나타내는 블록도이다.
- 도 15는 일 실시예에 따른 시스템들을 나타내는 블록도이다.
- 도 16은 일 실시예에 따른 시스템-온-칩을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

- [0010] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다. 도면을 참고하여 설명한 흐름도에서, 동작 순서는 변경될 수 있고, 여러 동작들이 병합되거나, 어느 동작이 분할될 수 있고, 특정 동작은 수행되지 않을 수 있다.
- [0011] 또한, 단수로 기재된 표현은 "하나" 또는 "단일" 등의 명시적인 표현을 사용하지 않은 이상, 단수 또는 복수로 해석될 수 있다. 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소를 설명하는데 사용될 수 있지만, 구성요소는 이러한 용어에 의해 한정되지는 않는다. 이들 용어는 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다.
- [0012] 도 1은 일 실시예에 따른 아날로그 디지털 변환 장치를 나타낸 블록도이다.
- [0013] 도 1을 참조하면, 아날로그 디지털 변환 장치(100)는 샘플/홀드 회로(110), 디지털 아날로그 변환기(120), 비교기(130), SAR 로직 회로(140), 및 교정 로직 회로(150)를 포함할 수 있다.
- [0014] 샘플/홀드 회로(110)는 아날로그 신호인 입력 신호들(VIN, VCM)을 수신하고, 입력 신호들(VIN, VCM)에 대한 샘플링 및 홀드(sampling and hold)할 수 있다. 예를 들어, 샘플/홀드 회로(110)는 소정의 저장 소자를 이용하여 입력 신호들(VIN, VCM)을 저장할 수 있다. 샘플/홀드 회로(110)는 입력 신호들(VIN, VCM)로부터 샘플링된 신호를 생성하여 DAC(120)에 출력할 수 있다. 이하에서, 입력 신호(VIN)가 차동(differential) 방식으로 전송되는 경우를 가정하여 설명한다. 즉, 입력 신호(VIN)는 제1 차동 입력 신호(예를 들어, VIN1)와 제2 차동 입력 신호(예를 들어, VIN2)의 차이(즉, $VIN = VIN1 - VIN2$)로써 전송될 수 있다.
- [0015] DAC(120)는 샘플/홀드 회로(110)로부터 변환된 신호들을 수신하고, SAR 로직 회로(140)로부터 제어 신호(CS)를 수신할 수 있다. 여기서, 제어 신호(CS)는 n비트 디지털 신호일 수 있다. 또한, DAC(120)는 기준 신호(VREF)를 수신할 수 있다. DAC(120)는 샘플/홀드 회로(110)로부터 변환된 신호와 기준 신호(VREF)에 기초하여, 제어 신호(CS)를 아날로그 신호로 변환할 수 있다. DAC(120)는 샘플링된 신호들의 전압 레벨에, 기준 신호(VREF)의 전압 레벨 또는 기준 신호(VREF)로부터 제어 신호(CS)에 기초하여 생성된 전압들(예를 들어, $VREF/8$, $VREF/16$ 등)의 전압 레벨을 가감할 수 있다.
- [0016] 비교기(130)는 DAC(120)에서 생성된 신호들을 비교하고, 비교 결과에 기초한 출력 신호(OUT)를 생성할 수 있다. 비교기(130)는 복수의 비교기를 포함할 수 있다. 비교기(130)는 입력 신호(VIN)의 전압 레벨과 기준 신호(VREF)로부터 생성된 복수의 전압의 전압 레벨들을 서로 비교하고, 비교 결과에 따라 출력 신호(OUT)를 출력할 수 있다. 예를 들어, DAC(120)는 공통 신호(VCM)에 $VREF/8$ 전압을 가감한 차동 신호들($VCM+VREF/8$, $VCM-VREF/8$)을 생성하고, 이를 비교기(130)에 전달하고, 비교기(130)는 차동 신호들($VCM+VREF/8$, $VCM-VREF/8$)과 제1 및 제2 차동 입력 신호들(VIN1, VIN2)에 기초하여, 기준 전압들($+VREF/4$ 및 $-VREF/4$)과 입력 신호(VIN)를 비교할 수 있다. 비교기(130) 내의 복수의 비교기는 기준 신호(VREF)로부터 생성된 복수의 전압 및 입력 신호(VIN)를 수신할 수 있다. 복수의 비교기는 입력된 두 전압을 비교한 결과를 출력할 수 있다. 출력 신호(OUT)는 복수의 비교기 각각의 비교 신호를 포함할 수 있다.
- [0017] SAR 로직 회로(140)는 DAC(120)에 제어 신호(CS)를 공급할 수 있고, DAC(120)는 제어 신호(CS)에 응답하여 아날로그 신호를 생성할 수 있다. SAR 로직 회로(140)는 비교기(130)로부터 출력 신호(OUT)를 제공받고, 이에 기초하여 입력 신호(VIN)에 대응하는 디지털 신호의 비트 값을 결정하고, 출력 데이터(DOUT)를 출력할 수 있다. 또한, SAR 로직 회로(140)는 출력 신호(OUT)를 교정 로직 회로(150)에 제공할 수 있다.
- [0018] 교정 로직 회로(150)는 출력 신호(OUT)에 기초하여, 비교기(130)의 오프셋을 교정할 수 있다. 어떤 실시예에서, 아날로그 디지털 변환 장치(100)는 제1 기간 동안 제1 입력 신호를 디지털 신호로 변환하고, 제2 기간 동안 제2 입력 신호를 디지털 신호로 변환할 수 있다. 비교기(130)는 제1 기간 및 제2 기간 동안 복수의 비교 신호를 출력 신호(OUT)로서 출력할 수 있다. 교정 로직 회로(150)는 제1 기간에서의 출력 신호(OUT) 중 비교기(130) 내의 제1 비교기의 비교 신호와 제2 비교기의 비교 신호에 기초하여, 제2 비교기의 오프셋을 교정하고, 제2 기간에서의 출력 신호(OUT) 중 비교기(130) 내의 제2 비교기의 비교 신호와 제3 비교기의 비교 신호에 기초하여, 제3 비교기의 오프셋을 교정할 수 있다. 여기서, 제1 기간과 제2 기간은 연속된 기간일 수 있다.
- [0019] 어떤 실시예에 따르면, 아날로그 디지털 변환 장치(100)는 복수의 비교기가 입력 신호(VIN)에 대해 복수의 비트 분해를 수행함과 동시에 복수의 비교기에 대한 오프셋 교정을 수행할 수 있다.
- [0020] 도 2는 일 실시예에 따른 아날로그 디지털 변환 장치를 구체적으로 나타낸 블록도이다.
- [0021] 도 2를 참조하면, 아날로그 디지털 변환 장치(200)는 복수의 샘플/홀드 회로(210a, ..., 201d), 복수의

CDAC(capacitive digital to analog converter)(220a, ..., 220d), 클록 생성기(230), 비교기(240), SAR 로직 회로(250), 인코더(260), 및 교정 로직 회로(270)를 포함할 수 있다.

- [0022] 복수의 샘플/홀드 회로(210a, ..., 201d)는 입력되는 클록 신호(SCK 또는 RCK)에 동기하여 입력 신호들(VIN, VCM)을 샘플링할 수 있다. 복수의 샘플/홀드 회로(210a, ..., 201d)는 샘플링한 신호를 복수의 CDAC(220a, ..., 220d)에 제공할 수 있다. 복수의 샘플/홀드 회로(210a, ..., 201d)는 부트스트랩 스위치(bootstrap switch)로 기능할 수 있다. 이 경우, 입력 신호들(VIN, VCM)에 종속적으로 바뀌는 샘플/홀드 회로(210a, ..., 201d)의 온 저항 변화를 일정하게 할 수 있다.
- [0023] 복수의 CDAC(220a, ..., 220d)는 제어 신호(CS1, ..., CS4)에 기초하여, 입력 신호들(VIN, VCM)을 샘플링한 신호들과 기준 신호(VREF)의 차이에 대응하는 복수의 차동 신호(VIN', VREF1, ..., VREF3)를 출력할 수 있다. 복수의 CDAC(220a, ..., 220d) 각각은 복수의 커패시터(미도시) 및 복수의 스위치(미도시)를 포함할 수 있다. 복수의 스위치가 제어 신호(CS1, ..., CS4)에 의해 스위칭되고 복수의 커패시터에 저장된 샘플링한 신호들과 기준 신호(VREF)가 분압되어, 차동 신호(VIN', VREF1, ..., VREF3)로서 출력될 수 있다.
- [0024] 클록 생성기(230)는 외부 클록 신호(ECK)를 수신하고, 복수의 클록 신호(SCK, RCK, CCK)를 생성할 수 있다. 클록 신호(SCK)는 입력 신호(VIN)를 샘플링하는 샘플/홀드 회로(210a)에 제공되고, 클록 신호(RCK)는 샘플/홀드 회로들(210b, 210c, 210d)에 제공되고, 클록 신호(CCK)는 비교기(240)에 제공될 수 있다. 어떤 실시예에서, 클록 신호(RCK)의 라이징 에지는 클록 신호(SCK)의 라이징 에지에 앞설 수 있다. 즉, 입력 신호(VIN)의 샘플링 전에 공통 신호(VCM)의 샘플링이 수행될 수 있다.
- [0025] 비교기(240)는 클록 신호(CCK)에 동기하여 비교 신호를 생성할 수 있다. 비교기(240)는 복수의 비교기(CMP1, ..., CMP7)를 포함할 수 있다. 복수의 비교기(CMP1, ..., CMP7)의 제1 입력단에는 차동 신호(VIN')가 입력되고, 제2 입력단에는 차동 신호(VREF1, ..., VREF3, -VREF1, ..., -VREF3, GND)가 입력될 수 있다. 복수의 비교기(CMP1, ..., CMP7)는 제1 및 제2 입력단으로 입력되는 차동 신호들(VIN'과 VREF1, ..., VREF3)의 비교 신호를 출력할 수 있다. 예를 들어, 비교기(CMP1)는 클록 신호(CCK)의 라이징(rising) 에지에서 차동 신호(VIN')와 차동 신호(VREF3)의 비교 신호를 출력할 수 있다. 어떤 실시예에서, 복수의 비교기(CMP1, ..., CMP7)는 교정 신호(CAL)를 수신하고, 오프셋 교정 동작을 수행할 수 있다.
- [0026] SAR 로직 회로(250)는 비교 신호들을 수신하고, 비교 신호들을 포함하는 출력 신호들(OUTA, OUTB)을 생성할 수 있다. 출력 신호들(OUTA, OUTB)은 각각 인코더(260)와 교정 로직 회로(270)에 제공될 수 있다. SAR 로직 회로(250)는 비교 신호들에 기초하여, 제어 신호들(CS1, ..., CS4)을 생성할 수 있다. 예를 들어, SAR 로직 회로(250)는 비교 신호들의 레벨에 기초하여, 차동 신호들(VREF1, ..., VREF3, -VREF1, ..., -VREF3)의 값을 변경하는 제어 신호들(CS1, ..., CS4)을 생성할 수 있다.
- [0027] 어떤 실시예에서, SAR 로직 회로(250)는 오프셋 교정을 수행하는 비교기들에 동일한 차동 신호들이 인가되도록 제어 신호들(CS1, ..., CS4)을 생성할 수 있다. 예를 들어, SAR 로직 회로(250)는 제1 기간 동안 비교기들(CMP3, ..., CMP5)에 동일한 차동 신호들이 인가되도록, 제어 신호들(CS1, ..., CS4)을 생성할 수 있다. SAR 로직 회로(250)는 제1 기간 다음의 제2 기간 동안 비교기들(CMP1, ..., CMP3)에 동일한 차동 신호들이 인가되고 비교기들(CMP5, ..., CMP7)에 동일한 차동 신호들이 인가되도록, 제어 신호들(CS1, ..., CS4)을 생성할 수 있다.
- [0028] 인코더(260)는 출력 신호(OUTA)를 인코딩하여 출력 데이터(DOUT)를 생성할 수 있다. 인코더(260)는 미리 결정된 비트수를 갖는 출력 데이터(DOUT)를 생성할 수 있다. 인코더(260)는 출력 신호(OUTA)를 누적하고, 누적한 출력 신호(OUTA)의 값에 기초하여 출력 데이터(DOUT)를 생성할 수 있다. 예를 들어, 인코더(260)는 복수의 사이클 동안 출력된 출력 신호(OUTA)를 누적하고, 누적한 출력 신호(OUTA)에 기초하여 출력 데이터(DOUT)를 인코딩할 수 있다.
- [0029] 교정 로직 회로(270)는 출력 신호(OUTB)에 기초하여 교정 신호(CAL)를 생성할 수 있다. 교정 로직 회로(270)는 출력 신호(OUTB)에 기초하여, 복수의 비교기 중 적어도 하나의 비교기의 오프셋을 교정하는 교정 신호(CAL)를 생성할 수 있다. 출력 신호(OUTB)는 동일한 차동 신호들이 입력되는 복수의 비교기로부터 출력된 비교 신호들을 포함할 수 있다. 교정 로직 회로(270)는 제1 기간 동안 동일한 차동 신호들이 인가된 비교기들(CMP3, ..., CMP5) 중 적어도 하나의 비교기(CMP3, CMP4)의 오프셋 교정을 수행하고, 제2 기간 동안 동일한 차동 신호들이 인가된 비교기들(CMP1, ..., CMP3) 중 적어도 하나의 비교기(CMP1, CMP2)의 오프셋 교정을 수행할 수 있다. 교정 로직 회로(270)는 제1 기간 동안 오프셋 교정이 수행된 비교기를 기준으로 제2 기간 동안 오프셋 교정을 수행할 수 있다.

- [0030] 도 3은 일 실시예에 따른 아날로그 디지털 변환 장치의 동작을 설명하기 위한 타이밍도이고, 도 4는 일 실시예에 따른 아날로그 디지털 변환 장치의 비교기들을 나타낸 도면이다.
- [0031] 도 2 내지 도 4를 참조하면, 아날로그 디지털 변환 장치(200)는 제1 기간(P01) 동안 제1 입력 신호(VIN)를 디지털 데이터(DOUT)로 변환하고, 제2 기간(P02) 동안 제2 입력 신호(VIN)를 디지털 데이터(DOUT)로 변환할 수 있다.
- [0032] 제1 기간(P01)의 t01 시점에서, 클럭 신호(SCK)가 로우 레벨에서 하이 레벨로 천이(rising)될 수 있다. 샘플/홀드 회로(210a)는 클럭 신호(SCK)의 라이징 에지에서 제1 입력 신호(VIN)를 샘플링할 수 있다. 복수의 비교기(CMP1, ..., CMP7)의 제1 입력단에는 차동 신호(VIN')가 입력되고, 제2 입력단에는 차동 신호(VREF1, ..., VREF3, -VREF1, ..., -VREF3, GND)가 인가될 수 있다.
- [0033] t02 시점에서 클럭 신호(CCK)가 라이징 에지를 가질 수 있다. 클럭 신호(CCK)의 라이징 에지에 동기하여, 복수의 비교기(CMP1, ..., CMP7)는 복수의 비교 신호(OUT1, ..., OUT7)를 출력할 수 있다. 복수의 비교기(CMP1, ..., CMP7)는 차동 신호(VIN')와 차동 신호(VREF1, ..., VREF3, -VREF1, ..., -VREF3, GND)를 비교한 복수의 비교 신호(OUT1, ..., OUT7)를 출력할 수 있다. 7개의 비교기(CMP1, ..., CMP7)에 의해 3비트의 비교 신호(OUT1, ..., OUT7)가 출력될 수 있다.
- [0034] 도 5는 일 실시예에 따른 기준 전압과 입력 신호의 전압 레벨의 비교에 따라 생성된 디지털 신호의 데이터를 나타낸 도면이다.
- [0035] 도 5를 참조하면, 차동 신호(VIN')와 차동 신호(VREF1, ..., VREF3, -VREF1, ..., -VREF3, GND)의 비교에 의해, 복수의 기준 신호(VREF, ..., -VREF)의 전압 레벨로 구분되는 복수의 전압 범위 중 제1 입력 신호(VIN)가 포함되는 전압 범위가 결정될 수 있다. 7개의 비교기(CMP1, ..., CMP7)에는 7개의 차동 신호(VREF1, ..., VREF3, -VREF1, ..., -VREF3, GND)가 입력되므로, 복수의 전압 범위는 7개의 차동 신호(VREF1, ..., VREF3, -VREF1, ..., -VREF3, GND)에 의한 7개의 기준 전압(VREF, 3VREF/4, 2VREF/4, VREF/4, -VREF/4, -2VREF/4, -3VREF/4, -VREF, 0)으로 구분된 $8(=2^3)$ 개의 전압 범위를 가질 수 있다. 따라서, 7개의 비교기(CMP1, ..., CMP7)에 의해 출력 데이터(DOUT)의 3비트가 결정될 수 있다.
- [0036] 도 3의 t02 시점에서의 1번 사이클에서 제1 입력 신호(VIN)가 3비트로 분해될 수 있다. 즉, 제1 입력 신호(VIN)가 포함되는 전압 범위에 따라 출력 데이터(DOUT)의 3비트가 000 내지 111로 결정될 수 있다. 2번 사이클과 3번 사이클에서도, 복수의 전압 범위는 각각 7개의 기준 전압($4VREF/32$, $3VREF/32$, $2VREF/32$, $VREF/32$, $-VREF/32$, $-2VREF/32$, $-3VREF/32$, $-4VREF/32$, 0)과 7개의 기준 전압($4VREF/256$, $3VREF/256$, $2VREF/256$, $VREF/256$, $-VREF/256$, $-2VREF/256$, $-3VREF/256$, $-4VREF/256$, 0)으로 구분된 $8(=2^3)$ 개의 전압 범위를 가질 수 있다. 그러므로, 2번 사이클과 3번 사이클에서도, 제1 입력 신호(VIN)가 각각 3비트로 분해될 수 있다. 따라서, 3번 사이클까지 제1 입력 신호(VIN)의 출력 데이터(DOUT)의 9비트가 결정될 수 있다.
- [0037] 어떤 실시예에서, 2번 사이클의 복수의 전압 범위는 1번 사이클의 하나의 전압 범위에 대응되고, 3번 사이클의 복수의 전압 범위는 2번 사이클의 하나의 전압 범위에 대응될 수 있다.
- [0038] 4번 사이클에서, 제1 입력 신호(VIN)가 2비트로 분해될 수 있다. 즉, 제1 입력 신호(VIN)가 포함되는 전압 범위에 따라 출력 데이터(DOUT)의 2비트가 00 내지 11로 결정될 수 있다. 4번 사이클에서 복수의 전압 범위는 3개의 기준 전압($VREF/1024$, 0, $-VREF/1024$)으로 구분된 $4(=2^2)$ 개의 전압 범위를 가질 수 있다. 2비트 분해를 위한 비교 신호는 오프셋 교정을 수행하는 데 사용될 수 있다. 비교 신호에 의해, 출력 데이터(DOUT)의 2비트가 결정될 수 있다. 4번 사이클의 복수의 전압 범위는 3번 사이클의 하나의 전압 범위에 대응될 수 있다. 상기에서, 4번 사이클에서 오프셋 교정을 수행하기 위한 비교 신호가 출력되는 것으로 설명하였으나, 1번 내지 3번 사이클에서 오프셋 교정을 수행하기 위한 비교 신호가 출력될 수 있다. 제1 기간(P01)의 4번 사이클과 관련하여, 도 6을 함께 참조하여 설명한다.
- [0039] 도 6은 오프셋 교정 사이클에서의 아날로그 디지털 변환 장치의 비교기들을 나타낸 도면이다.
- [0040] 도 2 및 도 6을 참조하면, CDAC(220b)는 7개의 비교기(CMP1, ..., CMP7) 중 복수의 비교기(CMP3, CMP4, CMP5)에 동일한 차동 신호(GND)를 입력할 수 있다. 따라서, 복수의 비교기(CMP3, CMP4, CMP5)는 차동 신호(VIN')와 차동 신호(GND)를 비교하여 복수의 비교 신호(OUT3, OUT4, OUT5)를 출력할 수 있다. 복수의 비교 신호(OUT3, OUT4, OUT5)는 서로 동일하거나 또는 상이한 값을 가질 수 있다.

- [0041] 교정 로직 회로(270)는 복수의 비교기(CMP3, CMP4, CMP5) 중 기준 비교기(CMP4)를 기준으로, 나머지 비교기(CMP3, CMP5)의 오프셋 교정을 수행할 수 있다. 즉, 교정 로직 회로(270)는 비교기(CMP4)의 비교 신호(OUT4)와 동일한 값의 비교 신호를 출력하는 비교기의 오프셋과 비교 신호(OUT4)와 상이한 값의 비교 신호를 출력하는 비교기의 오프셋을 교정할 수 있다. 교정 로직 회로(270)는 비교기들(CMP3, CMP5)의 오프셋을 교정하는 교정 신호(CAL)를 생성하고, 다음 기간(P02)의 샘플링 기간(t_{03} 내지 t_{04}) 동안 비교기들(CMP3, CMP5)에 교정 신호(CAL)를 출력할 수 있다.
- [0042] CDAC들(220c, 220d)은 7개의 비교기(CMP1, ..., CMP7) 중 나머지 제1 비교기들(CMP1, CMP2)에 동일한 차동 신호($V_{REF}/1024$)를 인가하고, 나머지 제2 비교기들(CMP6, CMP7)에 동일한 차동 신호($-V_{REF}/1024$)를 인가할 수 있다.
- [0043] 도 5에 도시된 바와 같이, 7개의 비교기(CMP1, ..., CMP7)에는 3개의 차동 신호($V_{REF}/1024$, $-V_{REF}/1024$, GND)가 입력되므로, 복수의 전압 범위는 $4(=2^2)$ 개의 전압 범위를 가질 수 있다. 따라서, 7개의 비교기(CMP1, ..., CMP7)에 의해 출력 데이터(DOUT)의 2비트가 결정될 수 있다.
- [0044] 제2 기간(P02)의 t_{03} 시점에서, 클록 신호(SCK)가 로우 레벨에서 하이 레벨로 천이(rising)될 수 있다. 샘플/홀드 회로(210a)는 클록 신호(SCK)의 라이징 에지에서 제2 입력 신호(VIN)를 샘플링할 수 있다. 복수의 비교기(CMP1, ..., CMP7)의 제1 입력단에는 차동 신호(VIN')가 입력되고, 제2 입력단에는 차동 신호(V_{REF1} , ..., V_{REF3} , $-V_{REF1}$, ..., V_{REF3} , GND)가 인가될 수 있다.
- [0045] 제1 기간(P01)과 마찬가지로, 제2 기간(P02)에도 4개의 사이클이 포함될 수 있다. 1번 사이클에서 제2 입력 신호(VIN)가 3비트로 분해될 수 있다. 즉, 제2 입력 신호(VIN)가 포함되는 전압 범위에 따라 출력 데이터(DOUT)의 3비트가 000 내지 111로 결정될 수 있다. 2번 사이클과 3번 사이클에서도, 제2 입력 신호(VIN)가 각각 3비트로 분해될 수 있다. 따라서, 3번 사이클까지 제2 입력 신호(VIN)의 출력 데이터(DOUT)의 9비트가 결정될 수 있다.
- [0046] 4번 사이클에서, 오프셋 교정을 수행하기 위한 비교 신호가 출력될 수 있다. 비교 신호에 의해, 출력 데이터(DOUT)의 2비트가 결정될 수 있다. 제2 기간(P02)의 4번 사이클과 관련하여, 도 7을 함께 참조하여 설명한다.
- [0047] 도 7은 오프셋 교정 사이클에서의 아날로그 디지털 변환 장치의 비교기들을 나타낸 도면이다.
- [0048] 도 2 및 도 7을 참조하면, CDAC(220b)는 7개의 비교기(CMP1, ..., CMP7) 중 복수의 비교기(CMP1, CMP2, CMP3)에 동일한 차동 신호($V_{REF}/1024$)를 입력하고, 복수의 비교기(CMP5, CMP6, CMP7)에 동일한 차동 신호($-V_{REF}/1024$)를 입력할 수 있다. 따라서, 복수의 비교기(CMP1, CMP2, CMP3)는 차동 신호(VIN')와 차동 신호($V_{REF}/1024$)를 비교하여 복수의 비교 신호(OUT1, OUT2, OUT3)를 출력할 수 있다. 복수의 비교 신호(OUT1, OUT2, OUT3)는 서로 동일하거나 또는 상이한 값을 가질 수 있다. 복수의 비교기(CMP5, CMP6, CMP7)는 차동 신호(VIN')와 차동 신호($-V_{REF}/1024$)를 비교하여 복수의 비교 신호(OUT5, OUT6, OUT7)를 출력할 수 있다. 복수의 비교 신호(OUT5, OUT6, OUT7)는 서로 동일하거나 또는 상이한 값을 가질 수 있다.
- [0049] 교정 로직 회로(270)는 복수의 비교기(CMP1, CMP2, CMP3) 중 기준 비교기(CMP3)를 기준으로, 나머지 비교기(CMP1, CMP2)의 오프셋 교정을 수행하고, 복수의 비교기(CMP5, CMP6, CMP7) 중 기준 비교기(CMP5)를 기준으로, 나머지 비교기(CMP6, CMP7)의 오프셋 교정을 수행할 수 있다. 즉, 교정 로직 회로(270)는 이전 기간(P01)에서 오프셋 교정이 수행된 비교기들(CMP3, CMP5)을 기준으로 나머지 비교기들(CMP1, CMP2, CMP6, CMP7)의 오프셋 교정을 수행할 수 있다. 교정 로직 회로(270)는 비교기들(CMP1, CMP2, CMP6, CMP7)의 오프셋을 교정하는 교정 신호(CAL)를 생성하고, 다음 기간(P03)의 샘플링 기간(t_{05} 내지 t_{06}) 동안 비교기들(CMP1, CMP2, CMP6, CMP7)에 교정 신호(CAL)를 출력할 수 있다.
- [0050] 7개의 비교기(CMP1, ..., CMP7) 중 비교기(CMP4)에는 차동 신호(GND)가 인가될 수 있다.
- [0051] 도 5에 도시된 바와 같이, 7개의 비교기(CMP1, ..., CMP7)에는 3개의 차동 신호($V_{REF}/1024$, $-V_{REF}/1024$, GND)가 입력되므로, 복수의 전압 범위는 $4(=2^2)$ 개의 전압 범위를 가질 수 있다. 따라서, 7개의 비교기(CMP1, ..., CMP7)에 의해 출력 데이터(DOUT)의 2비트가 결정될 수 있다.
- [0052] 일 실시예에 따르면, 복수의 비교기(CMP1, ..., CMP7)의 오프셋 교정이 수행됨과 동시에 복수의 비트 분해가 수행될 수 있다.
- [0053] 도 8은 일 실시예에 따른 아날로그 디지털 변환 장치의 동작을 설명하기 위한 타이밍도이다.

- [0054] 도 2, 도 4, 및 도 8을 참조하면, 아날로그 디지털 변환 장치(200)는 제1 기간(P11) 동안 제1 입력 신호(VIN)를 디지털 데이터(DOUT)로 변환하고, 제2 기간(P12) 동안 제2 입력 신호(VIN)를 디지털 데이터(DOUT)로 변환하고, 제3 기간(P13) 동안 제3 입력 신호(VIN)를 디지털 데이터(DOUT)로 변환할 수 있다.
- [0055] 제1 기간(P11)의 t11 시점에서, 클록 신호(SCK)가 로우 레벨에서 하이 레벨로 천이(rising)될 수 있다. 샘플/홀드 회로(210a)는 클록 신호(SCK)의 라이징 에지에서 제1 입력 신호(VIN)를 샘플링할 수 있다. 복수의 비교기(CMP1, ..., CMP7)의 제1 입력단에는 차동 신호(VIN')가 입력되고, 제2 입력단에는 차동 신호(VREF1, ..., VREF3, -VREF1, ..., VREF3, GND)가 인가될 수 있다.
- [0056] t12 시점에서 클록 신호(CCK)가 라이징 에지를 가질 수 있다. 클록 신호(CCK)의 라이징 에지에 동기하여, 복수의 비교기(CMP1, ..., CMP7)는 복수의 비교 신호(OUT1, ..., OUT7)를 출력할 수 있다. 복수의 비교기(CMP1, ..., CMP7)는 차동 신호(VIN')와 차동 신호(VREF1, ..., VREF3, -VREF1, ..., VREF3, GND)를 비교한 복수의 비교 신호(OUT1, ..., OUT7)를 출력할 수 있다. 7개의 비교기(CMP1, ..., CMP7)에 의해 3비트의 비교 신호(OUT1, ..., OUT7)가 출력될 수 있다.
- [0057] 도 9는 일 실시예에 따른 기준 전압과 입력 신호의 전압 레벨의 비교에 따라 생성된 디지털 신호의 데이터를 나타낸 도면이다.
- [0058] 도 9를 참조하면, 차동 신호(VIN')와 차동 신호(VREF1, ..., VREF3, -VREF1, ..., VREF3, GND)의 비교에 의해, 복수의 기준 신호(VREF, ..., -VREF)의 전압 레벨로 구분되는 복수의 전압 범위 중 제1 입력 신호(VIN)가 포함되는 전압 범위가 결정될 수 있다. 7개의 비교기(CMP1, ..., CMP7)에는 7개의 차동 신호(VREF1, ..., VREF3, -VREF1, ..., VREF3, GND)가 입력되므로, 복수의 전압 범위는 7개의 차동 신호(VREF1, ..., VREF3, -VREF1, ..., VREF3, GND)에 의한 7개의 기준 전압(VREF, 3VREF/4, 2VREF/4, VREF/4, -VREF/4, -2VREF/4, -3VREF/4, -VREF, 0)으로 구분된 $8(=2^3)$ 개의 전압 범위를 가질 수 있다. 따라서, 7개의 비교기(CMP1, ..., CMP7)에 의해 출력 데이터(DOUT)의 3비트가 결정될 수 있다. 도 9의 1번 사이클 내지 3번 사이클에 대한 설명은 도 5에서의 설명과 유사하므로, 설명을 생략한다.
- [0059] 4번 사이클에서, 제1 입력 신호(VIN)가 약 2.45비트로 분해될 수 있다. 즉, 제1 입력 신호(VIN)가 포함되는 전압 범위에 따라 출력 데이터(DOUT)의 2비트가 101 내지 000으로 결정될 수 있다. 4번 사이클에서 복수의 전압 범위는 5개의 기준 전압(2VREF/1536, VREF/1536, 0, -VREF/1536, -2VREF/1536)으로 구분된 $6(=2^{2.45})$ 개의 전압 범위를 가질 수 있다. 3비트 분해를 위한 비교 신호는 오프셋 교정을 수행하는 데 사용될 수 있다. 비교 신호에 의해, 출력 데이터(DOUT)의 2.45비트가 결정될 수 있다. 4번 사이클의 복수의 전압 범위는 3번 사이클의 하나의 전압 범위 보다 더 큰 전압 범위(점선으로 표시된 전압 범위)에 대응될 수 있다. 상기에서, 4번 사이클에서 오프셋 교정을 수행하기 위한 비교 신호가 출력되는 것으로 설명하였으나, 1번 내지 3번 사이클에서 오프셋 교정을 수행하기 위한 비교 신호가 출력될 수 있다. 제1 기간(P11)의 4번 사이클과 관련하여, 도 10을 함께 참조하여 설명한다.
- [0060] 도 10은 오프셋 교정 사이클에서의 아날로그 디지털 변환 장치의 비교기들을 나타낸 도면이다.
- [0061] 도 2 및 도 10을 참조하면, CDAC(220b)는 7개의 비교기(CMP1, ..., CMP7) 중 복수의 비교기(CMP3, CMP4, CMP5)에 동일한 차동 신호(GND)를 입력할 수 있다. 따라서, 복수의 비교기(CMP3, CMP4, CMP5)는 차동 신호(VIN')와 차동 신호(GND)를 비교하여 복수의 비교 신호(OUT3, OUT4, OUT5)를 출력할 수 있다. 복수의 비교 신호(OUT3, OUT4, OUT5)는 서로 동일하거나 또는 상이한 값을 가질 수 있다.
- [0062] 교정 로직 회로(270)는 복수의 비교기(CMP3, CMP4, CMP5) 중 기준 비교기(CMP4)를 기준으로, 나머지 비교기(CMP3, CMP5)의 오프셋 교정을 수행할 수 있다. 즉, 교정 로직 회로(270)는 비교기(CMP4)의 비교 신호(OUT4)와 동일한 값의 비교 신호를 출력하는 비교기의 오프셋과 비교 신호(OUT4)와 상이한 값의 비교 신호를 출력하는 비교기의 오프셋을 교정할 수 있다. 교정 로직 회로(270)는 비교기들(CMP3, CMP5)의 오프셋을 교정하는 교정 신호(CAL)를 생성하고, 다음 기간(P12)의 샘플링 기간(t13 내지 t14) 동안 비교기들(CMP3, CMP5)에 교정 신호(CAL)를 출력할 수 있다.
- [0063] CDAC들(220c, 220d)은 7개의 비교기(CMP1, ..., CMP7) 중 비교기(CMP1)에는 차동 신호(2VREF/1536)를 인가하고, 비교기(CMP2)에 차동 신호(VREF/1536)를 인가하고, 비교기(CMP6)에는 차동 신호(-VREF/1536)를 인가하고, 비교기(CMP7)에는 차동 신호(-2VREF/1536)를 인가할 수 있다.
- [0064] 도 10에 도시된 바와 같이, 7개의 비교기(CMP1, ..., CMP7)에는 5개의 차동 신호(2VREF/1536, VREF/1536,

-VREF/1536, -2VREF/1536, GND)가 입력되므로, 복수의 전압 범위는 $6(=2^{2.45})$ 개의 전압 범위를 가질 수 있다. 따라서, 7개의 비교기(CMP1, ..., CMP7)에 의해 출력 데이터(DOUT)의 2.45비트가 결정될 수 있다.

[0065] 제2 기간(P12)의 t13 시점에서, 클록 신호(SCK)가 로우 레벨에서 하이 레벨로 천이(rising)될 수 있다. 샘플/홀드 회로(210a)는 클록 신호(SCK)의 라이징 에지에서 제2 입력 신호(VIN)를 샘플링할 수 있다. 복수의 비교기(CMP1, ..., CMP7)의 제1 입력단에는 차동 신호(VIN')가 입력되고, 제2 입력단에는 차동 신호(VREF1, ..., VREF3, -VREF1, ..., VREF3, GND)가 인가될 수 있다.

[0066] 제1 기간(P11)과 마찬가지로, 제2 기간(P12)에도 4개의 사이클이 포함될 수 있다. 1번 사이클에서 제2 입력 신호(VIN)가 3비트로 분해될 수 있다. 즉, 제2 입력 신호(VIN)가 포함되는 전압 범위에 따라 출력 데이터(DOUT)의 3비트가 000 내지 111로 결정될 수 있다. 2번 사이클과 3번 사이클에서도, 제2 입력 신호(VIN)가 각각 3비트로 분해될 수 있다. 따라서, 3번 사이클까지 제2 입력 신호(VIN)의 출력 데이터(DOUT)의 9비트가 결정될 수 있다.

[0067] 4번 사이클에서, 오프셋 교정을 수행하기 위한 비교 신호가 출력될 수 있다. 비교 신호에 의해, 출력 데이터(DOUT)의 2.45비트가 결정될 수 있다. 제2 기간(P12)의 4번 사이클과 관련하여, 도 11을 함께 참조하여 설명한다.

[0068] 도 11은 오프셋 교정 사이클에서의 아날로그 디지털 변환 장치의 비교기들을 나타낸 도면이다.

[0069] 도 2 및 도 11을 참조하면, CDAC(220b)는 7개의 비교기(CMP1, ..., CMP7) 중 복수의 비교기(CMP2, CMP3)에 동일한 차동 신호(VREF/1536)를 입력하고, 복수의 비교기(CMP5, CMP6)에 동일한 차동 신호(-VREF/1536)를 입력할 수 있다. 따라서, 복수의 비교기(CMP2, CMP3)는 차동 신호(VIN')와 차동 신호(VREF/1536)를 비교하여 복수의 비교 신호(OUT2, OUT3)를 출력할 수 있다. 복수의 비교 신호(OUT2, OUT3)는 서로 동일하거나 또는 상이한 값을 가질 수 있다. 복수의 비교기(CMP5, CMP6)는 차동 신호(VIN')와 차동 신호(-VREF/1536)를 비교하여 복수의 비교 신호(OUT5, OUT6)를 출력할 수 있다. 복수의 비교 신호(OUT5, OUT6)는 서로 동일하거나 또는 상이한 값을 가질 수 있다.

[0070] 교정 로직 회로(270)는 복수의 비교기(CMP1, CMP2) 중 기준 비교기(CMP2)를 기준으로, 나머지 비교기(CMP1)의 오프셋 교정을 수행하고, 복수의 비교기(CMP6, CMP7) 중 기준 비교기(CMP6)를 기준으로, 나머지 비교기(CMP7)의 오프셋 교정을 수행할 수 있다. 즉, 교정 로직 회로(270)는 이전 기간(P12)에서 오프셋 교정이 수행된 비교기들(CMP2, CMP6)을 기준으로 나머지 비교기들(CMP1, CMP7)의 오프셋 교정을 수행할 수 있다. 교정 로직 회로(270)는 비교기들(CMP1, CMP7)의 오프셋을 교정하는 교정 신호(CAL)를 생성하고, 다음 기간(P13)의 샘플링 시간(t17 내지 t18) 동안 비교기들(CMP1, CMP7)에 교정 신호(CAL)를 출력할 수 있다.

[0071] 7개의 비교기(CMP1, ..., CMP7) 중 비교기(CMP4)에는 차동 신호(GND)가 인가될 수 있다. CDAC(220c)은 7개의 비교기(CMP1, ..., CMP7) 중 비교기(CMP3)에는 차동 신호(VREF/1536)를 인가하고, 비교기(CMP5)에는 차동 신호(-VREF/1536)를 인가할 수 있다.

[0072] 도 11에 도시된 바와 같이, 7개의 비교기(CMP1, ..., CMP7)에는 5개의 차동 신호(2VREF/1536, VREF/1536, GND, -VREF/1536, -2VREF/1536)가 입력되므로, 복수의 전압 범위는 $6(=2^{2.45})$ 개의 전압 범위를 가질 수 있다. 따라서, 7개의 비교기(CMP1, ..., CMP7)에 의해 출력 데이터(DOUT)의 2.45비트가 결정될 수 있다.

[0073] 제3 기간(P13)의 t15 시점에서, 클록 신호(SCK)가 로우 레벨에서 하이 레벨로 천이(rising)될 수 있다. 샘플/홀드 회로(210a)는 클록 신호(SCK)의 라이징 에지에서 제2 입력 신호(VIN)를 샘플링할 수 있다. 복수의 비교기(CMP1, ..., CMP7)의 제1 입력단에는 차동 신호(VIN')가 입력되고, 제2 입력단에는 차동 신호(VREF1, ..., VREF3, -VREF1, ..., VREF3, GND)가 인가될 수 있다.

[0074] 제1 기간(P11) 및 제2 기간(P12)과 마찬가지로, 제3 기간(P13)에도 4개의 사이클이 포함될 수 있다. 1번 사이클에서 제2 입력 신호(VIN)가 3비트로 분해될 수 있다. 즉, 제2 입력 신호(VIN)가 포함되는 전압 범위에 따라 출력 데이터(DOUT)의 3비트가 000 내지 111로 결정될 수 있다. 2번 사이클과 3번 사이클에서도, 제2 입력 신호(VIN)가 각각 3비트로 분해될 수 있다. 따라서, 3번 사이클까지 제2 입력 신호(VIN)의 출력 데이터(DOUT)의 9비트가 결정될 수 있다.

[0075] 4번 사이클에서, 오프셋 교정을 수행하기 위한 비교 신호가 출력될 수 있다. 비교 신호에 의해, 출력 데이터(DOUT)의 2.45비트가 결정될 수 있다. 제3 기간(P13)의 4번 사이클과 관련하여, 도 12를 함께 참조하여 설명한다.

- [0076] 도 12는 오프셋 교정 사이클에서의 아날로그 디지털 변환 장치의 비교기들을 나타낸 도면이다.
- [0077] 도 2 및 도 12를 참조하면, CDAC(220b)는 7개의 비교기(CMP1, ..., CMP7) 중 복수의 비교기(CMP1, CMP2)에 동일한 차동 신호(2VREF/1536)를 입력하고, 복수의 비교기(CMP6, CMP7)에 동일한 차동 신호(-2VREF/1536)를 입력할 수 있다. 따라서, 복수의 비교기(CMP1, CMP2)는 차동 신호(VIN')와 차동 신호(VREF/1536)를 비교하여 복수의 비교 신호(OUT1, OUT2)를 출력할 수 있다. 복수의 비교기(CMP6, CMP7)는 차동 신호(VIN')와 차동 신호(-2VREF/1536)를 비교하여 복수의 비교 신호(OUT6, OUT7)를 출력할 수 있다. 복수의 비교 신호(OUT6, OUT7)는 서로 동일하거나 또는 상이한 값을 가질 수 있다.
- [0078] 교정 로직 회로(270)는 복수의 비교기(CMP2, CMP3) 중 기준 비교기(CMP3)를 기준으로, 나머지 비교기(CMP2)의 오프셋 교정을 수행하고, 복수의 비교기(CMP5, CMP6) 중 기준 비교기(CMP5)를 기준으로, 나머지 비교기(CMP6)의 오프셋 교정을 수행할 수 있다. 즉, 교정 로직 회로(270)는 이전 기간(P11)에서 오프셋 교정이 수행된 비교기들(CMP3, CMP5)을 기준으로 나머지 비교기들(CMP2, CMP6)의 오프셋 교정을 수행할 수 있다. 교정 로직 회로(270)는 비교기들(CMP2, CMP6)의 오프셋을 교정하는 교정 신호(CAL)를 생성하고, 다음 기간(P13)의 샘플링 시간(t15 내지 t16) 동안 비교기들(CMP2, CMP6)에 교정 신호(CAL)를 출력할 수 있다.
- [0079] 7개의 비교기(CMP1, ..., CMP7) 중 비교기(CMP4)에는 차동 신호(GND)가 인가될 수 있다. CDAC(220d)은 7개의 비교기(CMP1, ..., CMP7) 중 비교기(CMP1)에는 차동 신호(2VREF/1536)를 인가하고, 비교기(CMP7)에는 차동 신호(-2VREF/1536)를 인가할 수 있다.
- [0080] 도 12에 도시된 바와 같이, 7개의 비교기(CMP1, ..., CMP7)에는 5개의 차동 신호(2VREF/1536, VREF/1536, GND, -VREF/1536, -2VREF/1536)가 입력되므로, 복수의 전압 범위는 $6(=2^{2.45})$ 개의 전압 범위를 가질 수 있다. 따라서, 7개의 비교기(CMP1, ..., CMP7)에 의해 출력 데이터(DOUT)의 2.45비트가 결정될 수 있다.
- [0081] 일 실시예에 따르면, 복수의 비교기(CMP1, ..., CMP7)의 오프셋 교정이 수행됨과 동시에 복수의 비트 분해가 수행될 수 있다.
- [0082] 도 13은 일 실시예에 따른 통신 장치를 나타내는 블록도이다.
- [0083] 도 13을 참조하면, 통신 장치(1000)는 안테나(1302), 수신기(1310), 송신기(1320), 통신 모듈(1330), 입출력 장치(1340), 및 기준 발진기(1350)를 포함할 수 있다. 수신기(1310)는 도 1 내지 도 12에서 서술된 실시예들에 따라 아날로그 디지털 변환 동작을 수행하는 아날로그 디지털 변환 장치를 포함할 수 있다. 수신기(1310)는 외부로부터 안테나(1302)를 통해 수신한 아날로그 신호를 아날로그 디지털 변환 장치를 이용하여 디지털 신호로 변환한 후, 통신 모듈(1330)에 제공할 수 있다. 수신기(1310)의 아날로그 디지털 변환 장치는 복수의 비트 분해와 동시에 비교기의 오프셋 교정을 수행할 수 있다. 송신기(1320)는 통신 모듈(1330)로부터 수신한 디지털 신호를 아날로그 신호로 변환한 후, 안테나(1302)를 통해 외부로 출력할 수 있다.
- [0084] 통신 모듈(1330)은 모뎀 프로세서(1331), 제어기/프로세서(1332), 메모리(1333), RISC/DSP(1334), 입출력 장치(1335), 및 위상 고정 루프(1336)를 포함할 수 있다.
- [0085] 모뎀 프로세서(1331)는 데이터 전송 및 데이터 수신을 위한 인코딩, 변조, 복조, 디코딩 등의 프로세싱 동작을 수행할 수 있다. 제어기/프로세서(1332)는 통신 모듈(1330) 내의 블록들을 제어할 수 있다. 메모리(1333)는 데이터 및 다양한 명령 코드들을 저장할 수 있다. RISC/DSP(1334)는 통신 장치(1000)에서 일반적이거나, 특화된 프로세싱 동작을 수행할 수 있다. 입출력 장치(1335)는 외부 입출력 장치(1340)와 통신할 수 있다. 입출력 장치(1335)는 도 1 내지 도 12에서 서술된 실시예들에 따라 아날로그 디지털 변환 동작을 수행하는 아날로그 디지털 변환 장치를 포함할 수 있다. 입출력 장치(1335)는 외부 입출력 장치(1340)로부터 수신된 데이터 신호를 아날로그 디지털 변환 장치를 이용하여 디지털 신호로 변환할 수 있다. 입출력 장치(1335)의 아날로그 디지털 변환 장치는 복수의 비트 분해와 동시에 비교기의 오프셋 교정을 수행할 수 있다. 위상 고정 루프(1336)는 기준 발진기(1350)로부터 수신된 주파수 신호를 이용하여 주파수 변조 동작을 수행할 수 있다. 기준 발진기(1350)는 XO(crystal oscillator), VCXO(voltage controlled crystal oscillator), TCXO(temperature compensated crystal oscillator) 등으로 구현될 수 있다. 통신 모듈(1330)은 위상 고정 루프(1336)에서 생성된 출력 신호를 이용하여 통신에 필요한 프로세싱 동작을 수행할 수 있다.
- [0086] 도 13은 일 실시예에 따른 이미징 장치를 나타내는 블록도이다.
- [0087] 도 13을 참조하면, 이미징 장치는 픽셀 어레이(1410), 로우 드라이버(1420), ADC(1430), 버퍼(1440), 제어 모

들(1450), 및 이미지 프로세서(1460)를 포함할 수 있다.

- [0088] 픽셀 어레이(1410)는 복수의 픽셀을 포함할 수 있다. 구체적으로, 픽셀 어레이(1410)의 로우에 위치한 픽셀들은 로우 선택 라인에 의해 동시에 켜지고, 각 컬럼의 픽셀 시그널들은 컬럼 선택 라인에 의해 출력 라인으로 선택적으로 제공될 수 있다. 복수의 로우/컬럼 선택 라인은 전체 픽셀 어레이(1410)를 위해 제공될 수 있다.
- [0089] 로우 드라이버(1420)는 로우 라인들을 선택적으로 및/또는 순차적으로 활성화시킬 수 있다.
- [0090] ADC(1430)는 픽셀 어레이(1410)의 픽셀들로부터 출력되는 신호를 디지털 신호로 변환할 수 있다. ADC(1430)는 도 1 내지 도 12에서 서술된 실시예들에 따라 아날로그 디지털 변환 동작을 수행하는 아날로그 디지털 변환 장치를 포함할 수 있다. ADC(1430)의 아날로그 디지털 변환 장치는 복수의 비트 분해와 동시에 비교기의 오프셋 교정을 수행할 수 있다.
- [0091] 버퍼(1440)는 ADC(1430)로부터 변환된 디지털 신호를 버퍼링하고, 이미지 프로세서(1460)에 출력할 수 있다.
- [0092] 이미지 프로세서(1460)는 디지털 신호를 처리하여, 픽셀 어레이(1410)의 복수의 픽셀들에 의해 캡처된 이미지의 출력 이미지 컬러 리프로덕션(output image color reproduction)을 제공한다. 구체적으로, 이미지 프로세서(1460)는 다양한 동작을 수행하고, 이러한 다양한 동작은 예를 들어, 위치상 이득 조절(positional gain adjustment), 결합 수정, 노이즈 감소, 옵티컬 크로스톡 감소(optical crosstalk reduction), 디모자이크(demosaicing), 리사이징(resizing), 샤프닝(sharpening) 등을 포함할 수 있으나, 본 발명의 실시예들이 이에 제한되는 것은 아니다.
- [0093] 도 15는 일 실시예에 따른 시스템들을 나타내는 블록도이다.
- [0094] 도 15에 도시된 바와 같이, 호스트 시스템(1510) 및 메모리 시스템(1520)은 인터페이스(1530)를 통해서 통신할 수 있고, 메모리 시스템(1520)은 메모리 제어기(1521) 및 메모리 장치들(1522)을 포함할 수 있다.
- [0095] 인터페이스(1530)는 전기적 신호 및/또는 광신호를 사용할 수 있고, 비제한적인 예시로서, SATA(serial advanced technology attachment) 인터페이스, SATAe(SATA express) 인터페이스, SAS(serial attached small computer system interface; serial attached SCSI), USB(Universal Serial Bus) 인터페이스 또는 이들의 조합으로 구현될 수 있다. 호스트 시스템(1510) 및 메모리 제어기(1521)는 직렬 통신을 위하여 SerDes를 포함할 수 있다.
- [0096] 일부 실시예들에서, 메모리 시스템(1520)은 호스트 시스템(1510)과 제거 가능하게(removable) 결합됨으로써 호스트 시스템(1510)과 통신할 수 있다. 메모리 장치(2200)는 휘발성 메모리 또는 불휘발성 메모리일 수 있고, 메모리 시스템(1520)은 스토리지 시스템으로서 지칭될 수도 있다. 예를 들면, 메모리 시스템(1520)은 비제한적인 예시로서 SSD(solid-state drive or solid-state disk), 임베디드 SSD(embedded SSD; eSSD), 멀티미디어 카드(multimedia card; MMC), 임베디드 멀티미디어 카드(embedded multimedia card; eMMC) 등으로 구현될 수 있다. 메모리 제어기(1521)는 인터페이스(1530)를 통해서 호스트 시스템(1510)으로부터 수신된 요청에 응답하여 메모리 장치들(1522)을 제어할 수 있다.
- [0097] 한편, 본 개시의 예시적 실시예들이 적용된 아날로그 디지털 변환 장치는 메모리 제어기(1521), 메모리 장치들(1522) 및 호스트 시스템(1510)에 각각 포함되도록 구현될 수 있다. 구체적으로, 메모리 제어기(1521), 메모리 장치들(1522), 호스트 시스템(1510)은 PAMn에 기반된 데이터 신호를 수신하고, 데이터 신호를 디지털 데이터로 변환할 수 있다. 메모리 제어기(1521), 메모리 장치들(1522) 및 호스트 시스템(1510) 각각의 아날로그 디지털 변환 장치는 복수의 비트 분해와 동시에 비교기의 오프셋 교정을 수행할 수 있다.
- [0098] 도 16은 일 실시예에 따른 시스템-온-칩을 나타내는 블록도이다.
- [0099] 시스템-온-칩(SoC: system on chip)(1600)은 컴퓨팅 시스템이나 다른 전자 시스템의 부품들을 집적한 집적 회로를 지칭할 수 있다. 예를 들면, 시스템-온-칩(1600) 중 하나로서 어플리케이션 프로세서(AP: application processor)는 프로세서 및 다른 기능들을 위한 부품들을 포함할 수 있다.
- [0100] 도 16을 참조하면, 시스템-온-칩(1600)은 코어(1610), DSP(Digital Signal Processor)(1620), GPU(Graphic Processing Unit)(1630), 내장 메모리(1640), 통신 인터페이스(1650), 및 메모리 인터페이스(1660)를 포함할 수 있다. 시스템-온-칩(1600)의 구성요소들은 버스(1670)를 통해서 상호 통신할 수 있다.
- [0101] 코어(1610)는 명령어들을 처리할 수 있고, 시스템-온-칩(1600)에 포함된 구성요소들의 동작을 제어할 수 있다. 예를 들면, 코어(1600)는 일련의 명령어들을 처리함으로써, 운영체제를 구동할 수 있고, 운영체제 상의 어플리

케이션들을 실행할 수 있다. DSP(1620)는 디지털 신호, 예컨대 통신 인터페이스(1650)로부터 제공되는 디지털 신호를 처리함으로써 유용한 데이터를 생성할 수 있다. GPU(1630)는 내장 메모리(1640) 또는 메모리 인터페이스(1660)로부터 제공되는 이미지 데이터로부터 디스플레이 장치를 통해서 출력되는 영상을 위한 데이터를 생성할 수도 있고, 이미지 데이터를 인코딩할 수도 있다. 내장 메모리(1640)는 코어(1610), DSP(1620) 및 GPU(1630)가 동작하는데 필요한 데이터를 저장할 수 있다. 메모리 인터페이스(1660)는 시스템-온-칩(1600)의 외부 메모리, 예컨대 DRAM(Dynamic Random Access Memory), 플래시 메모리 등에 대한 인터페이스를 제공할 수 있다.

[0102] 통신 인터페이스(1650)는 시스템-온-칩(1600) 외부와의 직렬 통신을 제공할 수 있다. 예를 들면, 통신 인터페이스(1650)는 이더넷(Ethernet)에 접속할 수 있고, 직렬 통신을 위하여 SerDes를 포함할 수 있다.

[0103] 한편, 일 실시예에 따른 아날로그 디지털 변환 장치는 통신 인터페이스(1650)와 메모리 인터페이스(1660)에 적용될 수 있다. 구체적으로, 통신 인터페이스(1650) 또는 메모리 인터페이스(1660)는 데이터 신호를 수신하고, 데이터 신호를 디지털 데이터로 변환할 수 있다. 통신 인터페이스(1650)와 메모리 인터페이스(1660) 각각의 아날로그 디지털 변환 장치는 복수의 비트 분해와 동시에 비교기의 오프셋 교정을 수행할 수 있다.

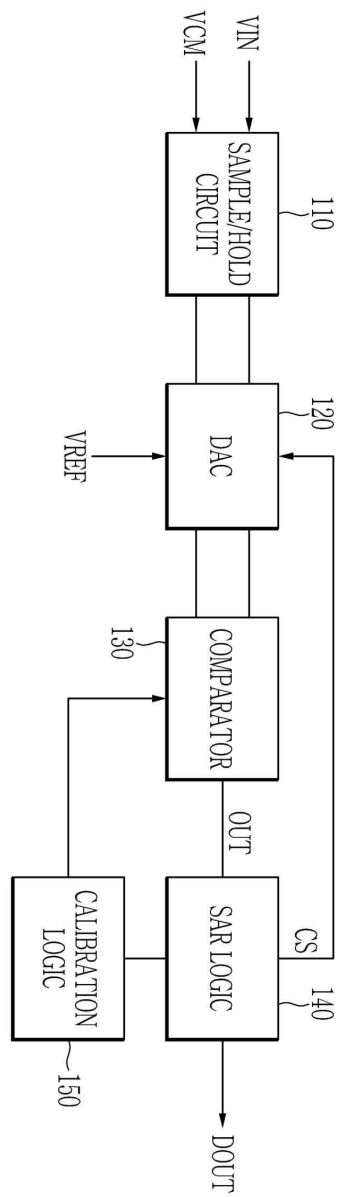
[0104] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

[0105] 어떤 실시예에서, 도 1 내지 도 16을 참고로 하여 설명한 각 구성요소 또는 둘 이상의 구성요소의 조합은 디지털 회로, 프로그램 가능한 또는 프로그램할 수 없는 로직 장치 또는 어레이, 응용 주문형 집적 회로(application specific integrated circuit, ASIC) 등으로 구현될 수 있다.

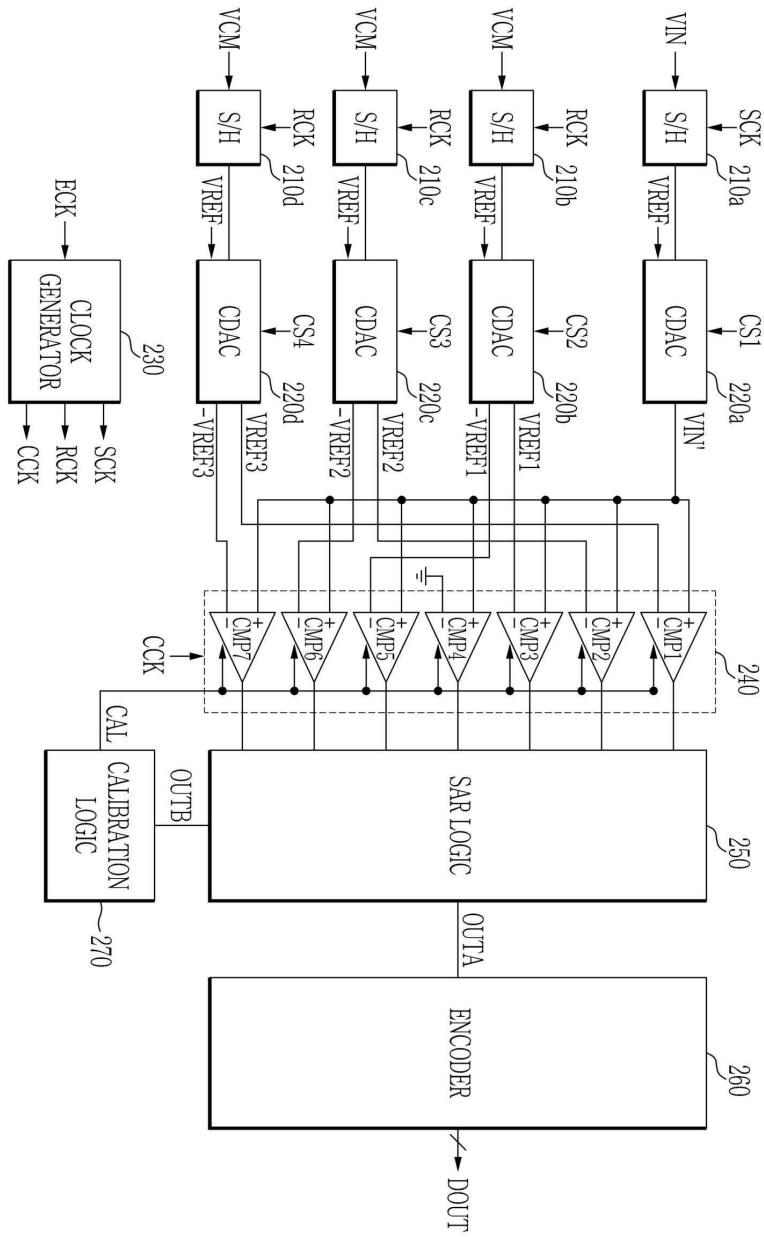
[0106] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

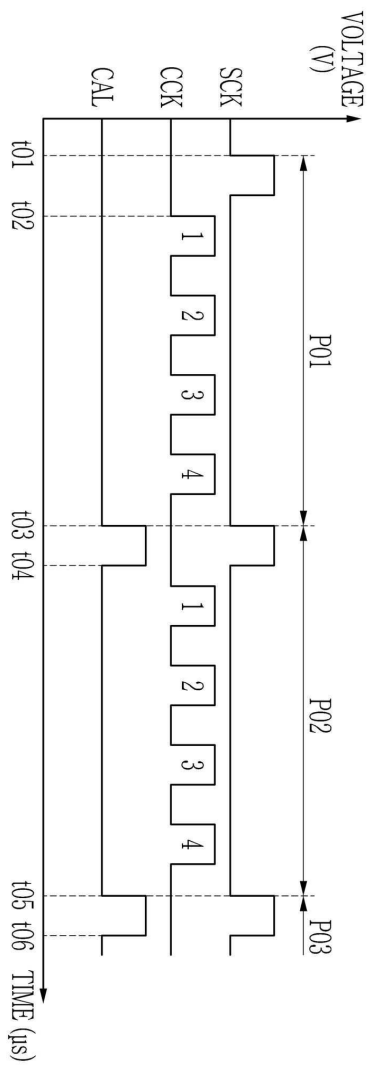
도면1



도면2

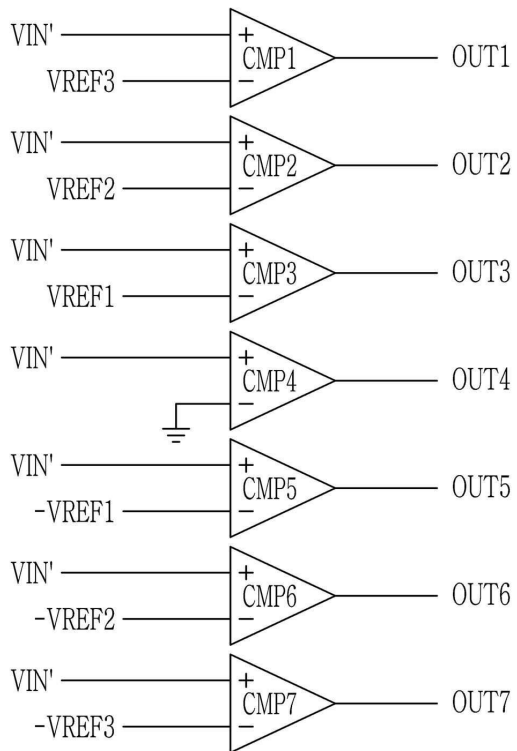


도면3

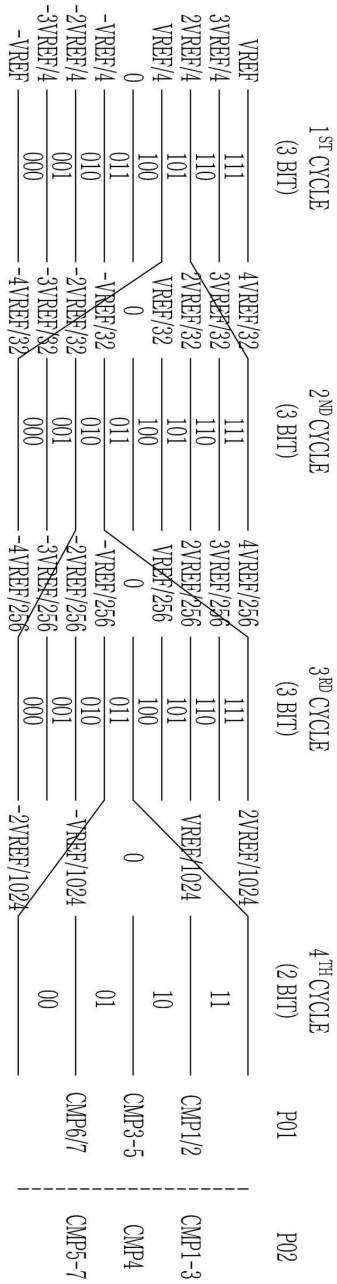


도면4

400

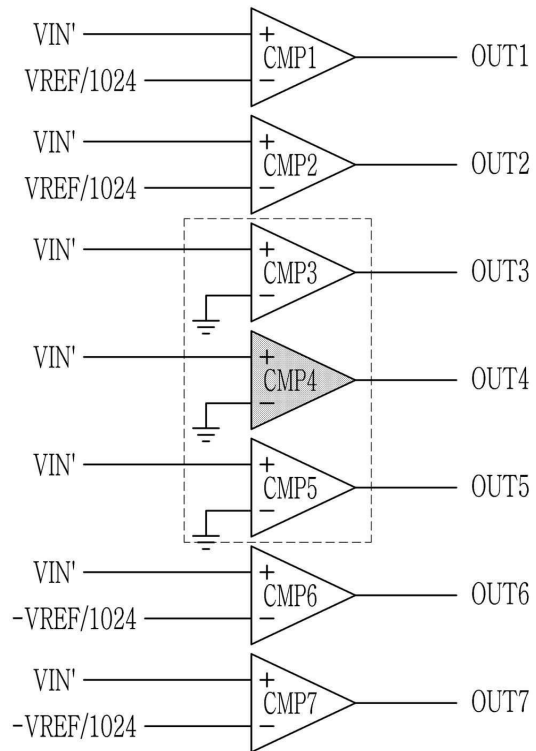


도면5



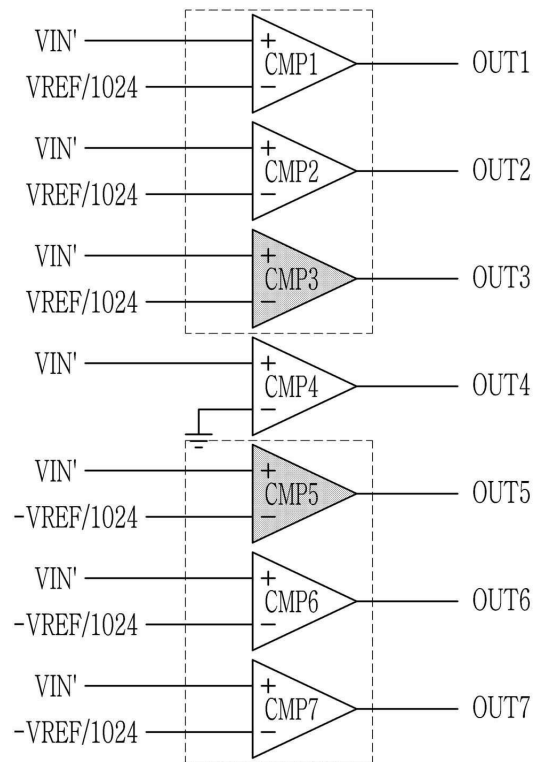
도면6

600

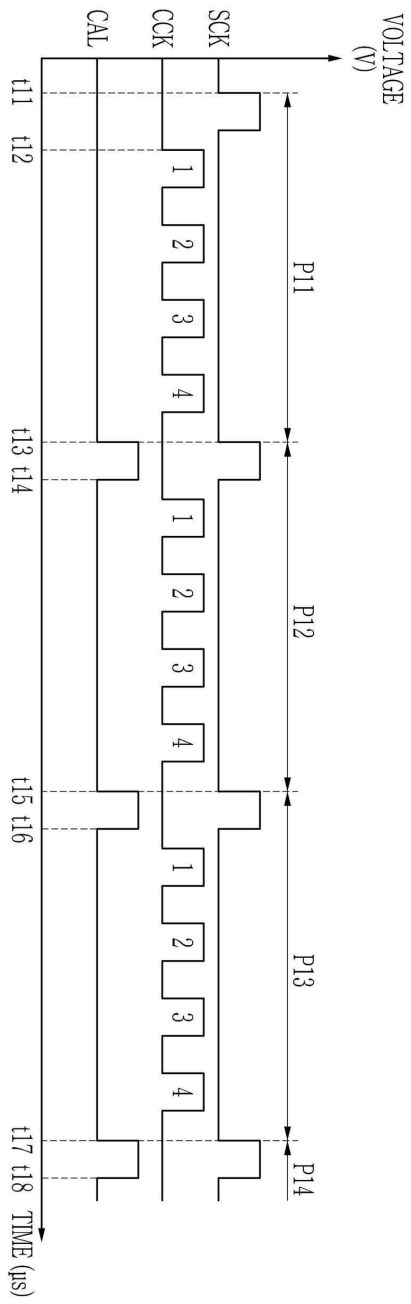


도면7

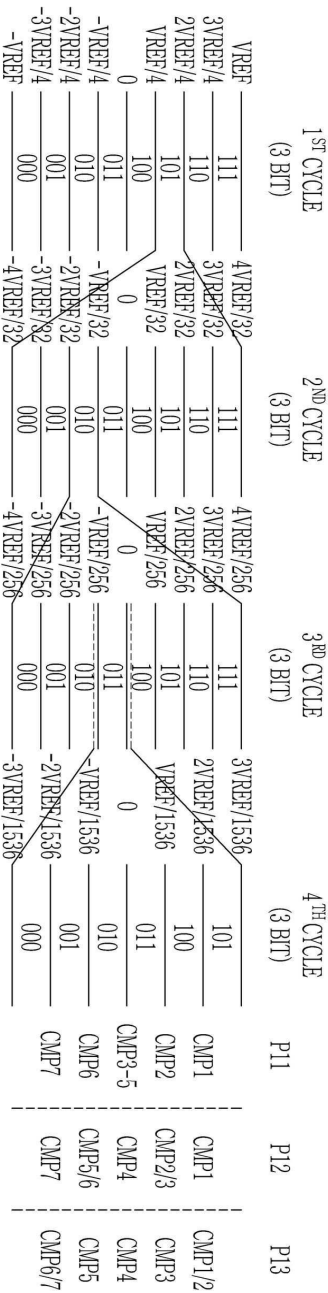
700



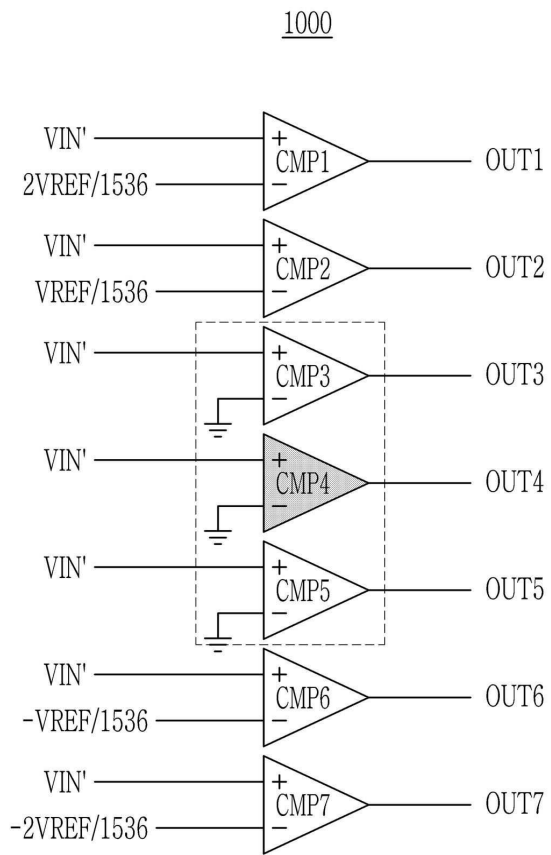
도면8



도면9

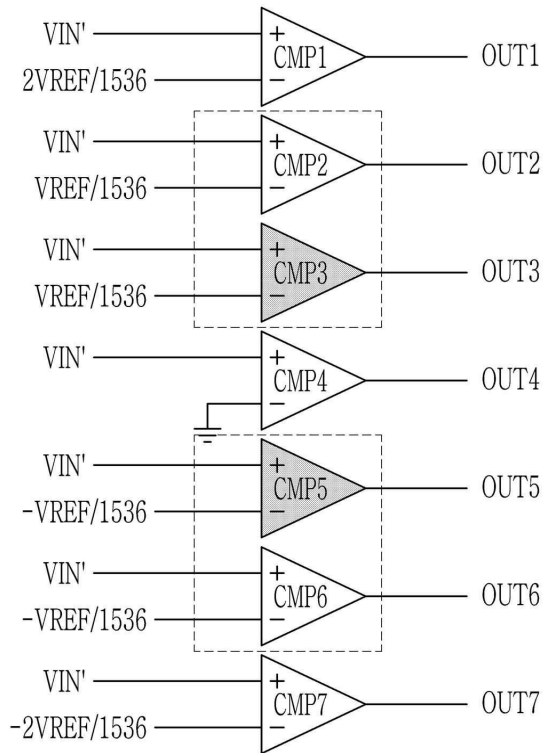


도면10



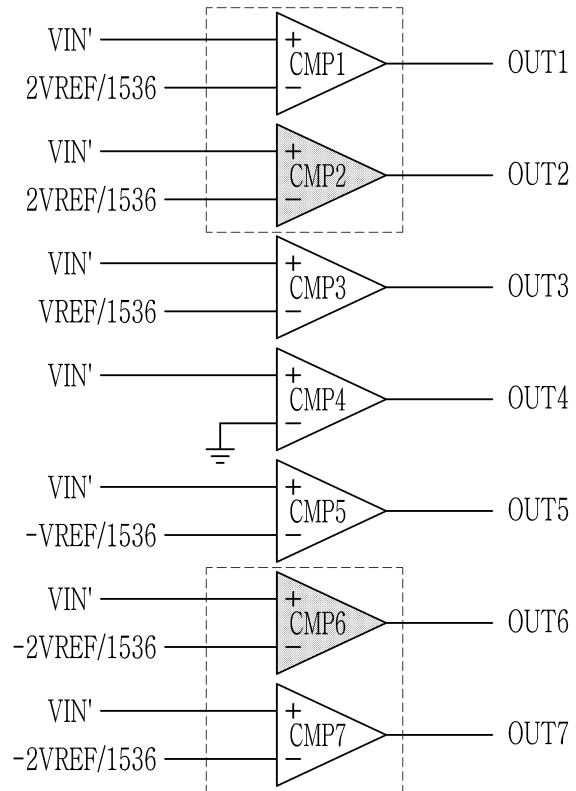
도면11

1100

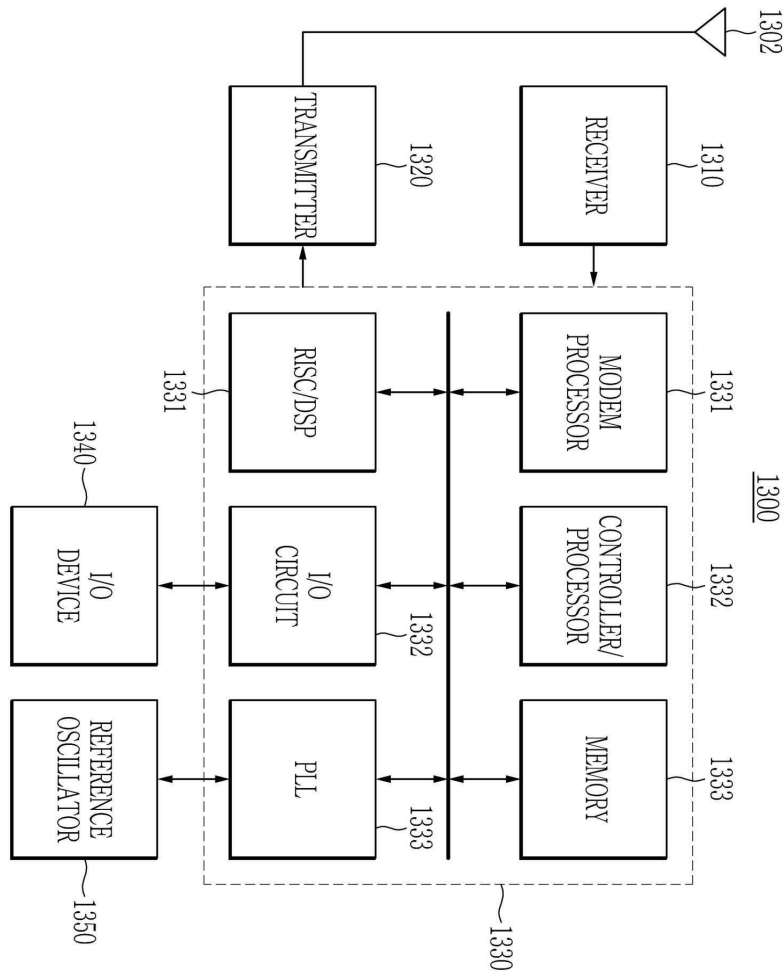


도면12

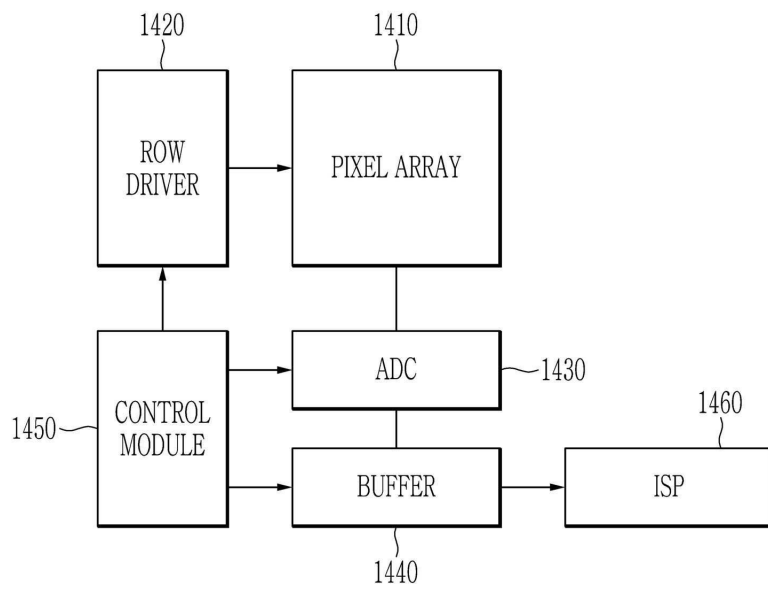
1200



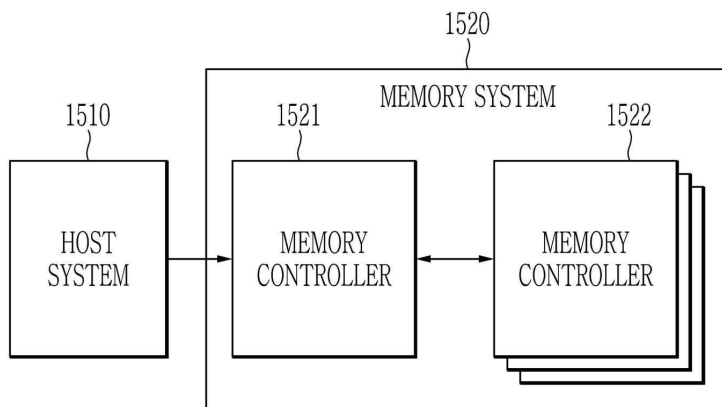
도면13



도면14



도면15



도면16

