

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁶ H01L 29/78 H01L 29/80		(45) 공고일자 (11) 공고번호 (24) 등록일자	1997년04월04일 특1997-0004845 1997년04월04일
(21) 출원번호	특1993-0010841	(65) 공개번호	특1995-0002064
(22) 출원일자	1993년06월15일	(43) 공개일자	1995년01월04일
(30) 우선권주장	7/981,032 1992년11월24일 미국(US)		
(73) 특허권자	휴우즈 에어크라프트 캄파니 완다 케이. 덴스-로우		
(72) 발명자	미합중국 90045-0066 캘리포니아주 로스엔젤리스 휴우즈 테라스 7200 조셉 이. 파브 미합중국 92503 캘리포니아주 리버사이드 톰린슨 애비뉴 4579 쿠안 와이. 리아오 미합중국 92656 캘리포니아주 라구나 니구엘 란초 그란데 28272 모롱 친 미합중국 92646 캘리포니아주 헌팅톤 비치 홈스테드 레인 19172		
(74) 대리인	주성민, 김성택		

심사관 : 홍성표 (특허공보 제4929호)

(54) 자기 정합된 정전 유도 트랜지스터 제조 방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

자기 정합된 정전 유도 트랜지스터 제조 방법

[도면의 간단한 설명]

제1도는 본 발명에 따라 제조된 정전 유도 트랜지스터의 노출된 평면도.

제2도 내지 제11도는 본 발명에 따른 공정의 해당 단계 및 각 단계에서 제조된 자기 정합된 정전유도 트랜지스터의 단면을 도시하는 도면.

제12도는 본 발명에 따른 방법의 단계들을 요약한 흐름도.

[발명의 상세한 설명]

본 발명은 반도체 트랜지스터에 관한 것으로서, 특히 자기 정합된 정전 유도 트랜지스터(self aligned static induction transistor)를 제조하는 방법에 관한 것이다.

정전 유도 트랜지스터에 관한 종래의 기술은 예를들어, 1985년 7월 IEEE Transaction on Electron Devices, 제ED-32권, 제7도에 게재된 이자크 벤쿠야(Izak Bencuya)등의 고전압 작동 및 높은 마이크로파 출력에 최적화된 정전 유도 트랜지스터, 및 1992년 7월 IEEE Transaction on Electron Devices, 제ED-39권, 제5도에 게재된 고지 야노(Koji Yano) 등의 고순도 채널 영역을 가진 SIT의 온(on) 상태 저항에 대한 차폐 게이트 구조의 영향등에 기술되었다. 이러한 참고 문헌에서 기술된 종래의 정전 유도 트랜지스터는 자기 정합이 되어있지 않고, 따라서 소정의 출력 및/ 또는 전압 레벨에서 작동이 느리다.

따라서 본 발명의 목적은 자기 정합된 정전 유도 트랜지스터를 제공하는 것이다.

상술한 목적 및 기타의 목적을 위하여, 본 발명은 자기 정합된 정전 유도 트랜지스터의 제조 방법을 제공한다. 그 제조 방법은 다음과 같은 단계들을 포함한다 : N⁻ 실리콘 기판 상에 N⁻ 실리콘층을 제작하는 단계 ; 기판상에 활성 영역을 형성하는 단계 ; 활성 영역을 둘러싸는 보호환(guard ring)을 형성하는 단계 ; 트랜지스터의 소스 및 게이트 영역을 포함하는 기판에 인접한 N⁺층을 가지는 N⁺ 폴리실리콘층을 형성하는 단계 ; N⁺ 폴리실리콘층 최상에 산화물층을 형성하는 단계 ; 산화물층 최상부에 제2폴리실리콘층을 형성하는 단계 ; 제2산화물층 최상부 산화물층을 형성하는 단계 ; 제2산화물층 상에 자기 정합 마스크를 형성하는 단계 ; 자기 정합 마스크를 이용하여 기판내에 트렌치를 형성하는 단계 ; 트렌치의 바닥에 게이트 영역을 형성하는 단계 ; 게이트 영역과 접촉을 이루도록 제1금속층을 피착시키는 단계 ; 트랜지스터의 표면상에

포도레지스트층을 피착시키고 평탄화하는 단계 ; 제1금속층을 트렌치의 상부 표면 아래로 예정된 깊이까지 과도 에칭(overetching)시키는 단계 ; 트렌지스터의 표면 상에 플라즈마 질화물층을 피착시키고 평탄화하는 단계 ; 평탄화된 플라즈마 질화물층 상에 폴리실리콘 마스크를 형성하는 단계 ; 게이트 영역내에 제1금속층이 노출되게끔 질화물 및 폴리실리콘의 상부 표면을 에칭하는 단계 ; 소스 및 게이트 영역과 접촉을 이루도록 트렌지스터 최상부에 제2금속층을 피착시키는 단계 ; 트렌지스터의 최상부에 안정화층(passivation layer)을 피착시키는 단계 ; 제1 및 제2금속층을 연결하는 상호 접속 패드를 형성한 단계.

본 방법은 단지 하나의 최소한의 기하학적 마스크, 즉 트렌치 마스크만을 사용한다. 본 발명에 따른 트렌지스터의 모든 중요한 특징은 트렌치 마스크 및 이와 연관된 공정 변수들에 의하여 정해진다. 본 방법에 의하여 달성되는 자기 정합에 의하여, 단위 면적당 채널의 수가 많아져 보다 높은 상호 컨덕턴스(transconductance)가 얻어진다. 또한, 정전 유도 트렌지스터에서 통상 발견되는 기생 정전용량(parasitic capacitance)도 본 발명에 의하여 제거된다. 본 발명에 의하여 제조되는 정전 유도 트렌지스터는 비 자기정합형 정전 유도 트렌지스터에 비하여 빠르고 보다 큰 출력을 처리할 수 있다.

본 발명의 중요한 특징 중 하나는 측벽 트렌치 산화물 두께를 변화시킬 수 있는 점이다. 측벽 트렌치 산화물의 두께를 선택함에 따라 보다 높거나 낮은 파고 전압을 가진 정전 유도 트렌지스터를 제조할 수 있다. 산화물이 두꺼우면 더욱 경사진(graded)게이트 접합이 가능해진다. 또한 상대적으로 두꺼운 N^+ 폴리실리콘층을 제공함에 의하여 제1금속층을 과도 에칭시킬 수 있어서 트렌지스터의 기생 정전용량 및 저항 특성을 제어할 수 있다.

본 발명의 다양한 특징 및 장점은 첨부한 도면을 이하의 상세한 설명으로부터 보다 명료해질 것이다.

제1도는 본 발명에 따른 방법(40; 제2도)에 의하여 제조된 자기 정합된 유도 트렌지스터의 노출평면도이다. 제2도 내지 제11도는 자기 정합된 정전 유도 트렌지스터(10)을 제조하는 방법(40)의 해당 단계들을 도시하는 도면이다.

제1도를 참조하면, N^+ 실리콘 기판(11)이 그 상부 표면에 N 실리콘(12)의 에피택셜층을 가지는 것이 도시되었다. 트렌지스터(10)의 활성 영역(14a ; 정묘된 영역)을 보호환(15)이 둘러싼다. 활성 영역(14a)는 에칭 과정 중에 그 크기가 축소되는 보다 큰 활성 영역(14)를 에칭하여 만들어진다. P^+ 트렌치(21)은 트렌지스터(10)의 소스 및 게이트 영역인 N^+ 폴리실리콘층(16)을 포함하는 상대적으로 길고 폭이 좁은 띠(strip)들을 가진다. 또한 본 발명에 따른 제조 방법(40)의 공정 단계에 관련하여 후술될 폴리실리콘 마스크(32) 및 프리패드 마스크(prepad mask ; 33)이 도시되었다.

제2도 내지 제11도를 참조하면, 제조 방법(40)의 공정 흐름은 다음과 같다. 제2도 내지 제11도는 제조공정(40)중의 트렌지스터의 제1도 상의 활성 영역(14a)내의 2A-2A 선 및 파일드 영역(14b)내의 2B-2B선을 따른 단면을 도시한다. 제2도에서, N^+ 실리콘 기판(11)이 그 상부 표면에 N 실리콘(12)의 에피택셜층을 성장시키도록 처리된다. N^+ 실리콘 기판(11)은 트렌지스터(10)의 드레인(또는 드레인 영역)을 포함한다. 그 때, N 실리콘(12)의 에피택셜층의 상부 패드 산화물(도시되지 않음)을 포함하는 열 산화물층이 성장되고, 열 산화물층 위에 실리콘 질화물층(13)이 피착된다. 그후에 실리콘 질화물층(13)의 상부에 활성 영역 마스크(도시되지 않음)가 피착된다. 활성 영역(14)는 활성 영역 마스크를 사용하여 질화물층(31)을 통과하여 에칭된다. 그후에 활성 영역 마스크가 제거된다.

그리고나서 트렌지스터(10)의 상부 표면 상에 보호환 마스크(도시되지 않음)가 형성된다. 보호환(15)은 보호환 마스크를 통하여 트렌지스터(10)의 활성영역 주위에 주입된다. 그후 파일드 영역(14b)의 상부 표면에 파일드 산화물층(29)가 성장되어, 활성 영역(14)를(제1도의 정묘된 부분인) 활성 영역(14a)도 표시된 바와 같이 축소시킨다. 그후에 질화물층(13)이 벗겨내어진다. 상술한 처리 단계는 종래의 자기 정합된 정전유도 트렌지스터(10)을 제조하기 위하여 통상 수행된다.

본 발명에 따르면, 질화물층(13) 및 패드 산화물층이 벗겨내어진 후에 도우프되지 않은 폴리실리콘층이 트렌지스터(10)의 상부에 피착된다. 도우프되지 않은 폴리실리콘층은 1미크론 또는 그 이상의 두께로 피착된다. 도우프되지 않은 폴리실리콘층에는 N^+ 폴리실리콘층(16) 및 기판(11)에 인접한 N^+ 질화물층(13)을 형성하기 위하여 N^+ 도펀트 이온이 주입된다. 그후에 N^+ 폴리실리콘층(16)은 트렌지스터(10)의 소스 및 게이트 영역이 된다. 상대적으로 두꺼운 N^+ 폴리실리콘층(16)이 제공되어, 후술하는 바와 같이, 게이트 금속을 과도 에칭시키는 것을 가능하게 한다. 그 결과 트렌지스터(10)의 기생 정전용량 및 저항 특성이 제어된다.

그후에 N^+ 폴리실리콘층(16)상에서 열 산화물이 500Å 정도의 두께로 성장되고, 추가의 산화물이 열 산화물의 상부에 약 4000Å의 두께로 피착되어 상대적으로 두꺼운 산화물층(17)을 형성한다. 저온 피착 공정을 사용하여 열 산화물층(17)의 상부에 제2폴리실리콘층(18)이 피착된다. 제2폴리실리콘층(18)은 전형적으로 3000Å 정도의 두께를 가진다. 그리고나서 고온 건조 산화 처리법을 사용하여 제2폴리실리콘층(18)의 상부에 제2산화물층(19)을 형성시킨다. 제2산화물층(19)는 전형적으로 600Å 정도의 두께를 가진다. 웨이퍼의 배면을 처리하기 이전에 백에칭 처리법을 사용하여 제2폴리실리콘층(18) 및 상대적으로 두꺼운 산화물층(17)을 제거한다. 백에칭 처리법은 예를들어 플라즈마 또는 습식 에칭을 사용할 수 있다.

제3도를 참조하면 트렌지스터(10)의 표면에 트렌치 마스크(20)이 형성되고, 트렌치(21)들이 N 실리콘의 에피택셜층(12)내에 형성된다. 트렌치(21)은 제2산화물층(19), 제2폴리실리콘층(18), 및 두꺼운 산화물층(17)을 통과하여 N^+ 폴리실리콘층(16)의 표면까지 비등방성 에칭법(anisotropic etching procedure)에 의하여 에칭된다. 그리고 N^+ 폴리실리콘층(16) 및 N 실리콘의 에피택셜층(12)내로 트렌치를 형성하기 위하여 트렌처(trencher)가 사용된다. 비등방성 에칭법은 트렌치(21)내에 수직 측벽을 형성시킨다. 트렌치(21)을 에칭한 후에, 트렌치(21)의 측벽 상의 산화물을 제거하기 위하여 피막제거법(stripping procedure)이 사용된다. 이 피막제거법은 예를들어 묽은 불화수소산을 사용할 수 있다.

제4도를 참조하면, N 실리콘의 에피택셜층(12)내로 트렌치(21)을 에칭한 후에, 트렌치(21)내에서 트렌치(21)의 측벽을 따라 상대적으로 두꺼운 산화물층(17)의 상부에서 제2열산화물층(22)가 성장되어, 제2폴리실리콘층(18)을 완전히 산화시킨다. 산화된 제2폴리실리콘층(18)은 제2열산화물층(22)내로 융합된다. 제2열산화물층(22)는 전형적으로 6000 Å 정도의 두께를 가진다.

제5도를 참조하면, 제2열산화물층(22)가 예를들어 비등방성 건식 에칭법을 사용하여 에칭된다. 이 에칭법은 트렌치(21)의 측벽을 따라 제2열산화물층(22)의 측벽을 테이퍼시킨다. 제2열산화물층(22)의 최상단부가 제거되고, 트렌치 측벽이 테이퍼되고, N 실리콘의 에피택셜층(12)가 트렌치(21)의 바닥에서 노출된다.

제6도를 참조하면, 실리콘의 노출된 층(12)의 상부에 게이트 산화물층(23)이 성장된다. 게이트 산화물층(23)은 전형적으로 약 210 Å의 두께를 가진다. 그리고 나서 P-경사층(25)을 형성하기 위하여 P-경사주입 및 어닐링(annealing)처리가 수행된다. 어닐링 처리는 약 1050°C 온도에서 약 30분간 이루어진다. P⁺도펀트 이온은 트랜지스터(10)의 게이트 영역(26)을 형성하기 위하여 P-경사층(25)내로 주입되고 속성 열 어닐링 처리법을 사용하여 트랜지스터 구조가 어닐링된다. 속성 열 어닐링은 약 1100°C 온도에서 약 10분간 이루어진다. 트랜지스터(10)의 게이트 영역(26)으로부터 게이트 산화물층(23)을 벗겨내기 위하여 습식 산화물 제거처리가 행하여진다.

본 발명의 중요한 특징은 제2열산화물층(22)에 의하여 제공되는 측벽 트렌치 산화물의 두께를 변화시킬 수 있는 점이다. 측벽 트렌치 산화물이 두께를 변화시킴에 의하여 선택된 트렌치 산화물의 두께에 따라 파괴 전압이 높거나 낮은 정전 유도 트랜지스터를 제조할 수 있다. 측벽을 따른 열 산화물층(22)의 두께가 두꺼우면 더욱 경사진 P⁺ 게이트 접합이 가능해진다.

제7도를 참조하면, 제1금속층(27)이 게이트 영역(26)과 접촉을 이루도록 트랜지스터(10)의 상부 및 트렌치(21)내로 피착된다. 제1금속층(27)은 약 5000 Å의 두께로 피착된다. 제8도를 참조하면 트랜지스터(10)의 상부 표면에 포토레지스트(28)이 피착되고, 평탄화된다. 그 결과 포토레지스트(28)의 평탄층을 따라 금속층(27)이 평탄화되어 제8도상의 구조를 형성한다.

제9도를 참조하면, 제1금속층(27)이 예를들어 건식 또는 습식 에칭법을 사용하여 트렌치(21)의 상부표면 아래로 예정된 깊이까지 에칭된다. 이 경우 금속이 제거되는 깊이는 중요하지 않다. 이 에칭처리로 제9도와 같은 구조가 형성된다. 제10도를 참조하면, 포토레지스트(28)은, 예를들어, 산소 플라즈마를 사용하여 트랜지스터(10)으로부터 제거된다. 그때 트랜지스터(10)의 상부 표면에 플라즈마 질화물층(31)이 피착된다. 플라즈마 질화물층(31)은 평탄화된다. 그리고 나서 트랜지스터(10)의 상부 표면에 폴리실리콘 마스크(32; 제1도)가 피착되고, 플라즈마 질화물층(31) 및 폴리실리콘 마스크(32)는 피일드 산화물 상에 피착된 게이트 금속이 노출되게끔 에칭된다. 그 결과 제10도의 트랜지스터 구조가 형성된다.

트랜지스터(10)의 상부 표면에 도우프되지 않은 산화물층(도시되지 않음)이 약 1000 Å 두께로 피착되고, 도우프되지 않은 산화물층 상에 프래패드 마스크(33 ; 제1도)가 형성되고, 산화물이 에칭된 후 마스크가 제거된다.

제11도를 참조하면, 트랜지스터(10)의 상부 표면에 제2금속층(34)이 피착된다. 제2금속층(34)은 트랜지스터(10)의 해당 소스 및 게이트 영역에 연결된다. 제2금속층(34)이 금속 패드를 형성하기 위하여 금속 마스크(도시되지 않음)를 사용하여 마스크된다. 다음으로, 안정화층(도시되지 않음)이 마스크된 제2금속층(34)의 상부에 피착된다. 안정화층이 안정화 마스크(도시되지 않음)를 사용하여 마스크되고, 안정화층을 통과하여 에칭을 함으로써 상호접속 패드가 형성된다. 그리하여 트랜지스터(10)이 제조가 완료된다.

제12도를 참조하면, 본 발명에 따른 방법(40)의 단계들을 요약하는 흐름도이다. 이 공정 단계는 다음과 같다. 단계 41은, N⁻실리콘 기판(11)상에 N⁻실리콘층을 제작하는 단계를 나타낸다. 단계 42는 기판(11)상에 활성 영역(41)을 형성하는 단계이며, 단계 43은 활성 영역(14)를 둘러싸는 보호층(15)을 형성하는 단계이다. 단계 44는 트랜지스터(10)의 소스 및 드레인 영역을 포함하는 기판(11)상에 N⁺폴리실리콘층(16)을 형성하는 단계이고, 단계 45는 N⁺폴리실리콘층(16)상에 N⁺층(13)을 형성하는 단계이다. 단계 46은 N⁺폴리실리콘층(16)의 상부에 산화물층(17)을 형성하는 단계이며 단계 48은 제2폴리실리콘층(18)의 상부에 제2산화물층(9)을 형성하는 단계이다. 단계 49는 제2산화물층(19)상에 자기 정합 마스크(20)를 형성하는 단계이고, 단계 50은 자기 정합 마스크(20)를 통과하여 기판내로 트렌치(21)을 에칭하는 단계이다. 단계 51은 트렌치의 바닥에 게이트 영역을 형성하는 단계이고, 단계 52는 게이트 영역(26)과 접촉을 이루도록 제1금속층(17)을 피착시키는 단계이다. 단계 53은 트랜지스터(10)의 표면에 포토레지스트(28)층을 피착시키고 평탄화하는 단계이고, 단계 54는 제1금속층(27)을 트렌치(21)의 상부 표면 아래로 예정된 깊이까지 에칭하는 단계이다. 단계 55는 트랜지스터(10)의 표면 상에 플라즈마 질화물층(31)을 피착시키고 평탄화하는 단계이며, 단계 56은 평탄화된 플라즈마 질화물층(31)상에 폴리실리콘 마스크(32)를 형성하는 단계이다. 단계 57은 피일드 영역내에 제1금속층(27)이 노출되도록 플라즈마 질화물(31) 및 폴리실리콘층(17)의 상부 표면을 에칭하는 단계이며, 단계 58은 소스 및 게이트 영역과 접촉을 이루도록 트랜지스터(10)의 상부에 제2금속층(34)을 피착시키는 단계이다. 단계 59는 트랜지스터(10)의 상부에 안정화층을 피착시키는 단계이며, 단계 60은 제1 및 제2금속층(27,34)에 연결되는 상호 접속 패드를 형성하는 단계이다.

이상에서 설명하는 바와 같이, 본 발명이 따른 방법(40)에 의하여 자기 정합된 정전 유도 트랜지스터가 제조될 수 있고, 트랜지스터(10)은 하나의 최소한의 기하학적 마스크(트렌치 마스크)를 사용하여 제조될 수 있다. 본 발명은 제조된 정전 유도 트랜지스터(10)에 높은 상호 콘덕턴스 및 f_t 를 부여한다. 또한 제조된 정전 유도 트랜지스터(10)의 단위 이득 주파수, 또는 차단 주파수(f_c)가 증가하여, 작동속도가 수 기가헤르쯔 단위까지 빨라지게 된다. 본 발명은 또한 트렌치(21)의 측벽 두께를 제어함으로써 작동 전압을 변경시킬 수 있다.

이상에서 자기 정합된 정전 유도 트랜지스터를 제조하는 새롭고 개선된 방법이 설명되었다. 상술한 실시예는 본 발명의 원리에 속하는 많은 특정 실시예중 몇을 예시함에 불과하다는 것을 이해하여야 한다. 본 발명에 속하는 분야의 기술자들은 본 발명의 범위를 벗어나지 아니하고 다양한 기타 실시예를 고안할 수

있다.

(57) 청구의 범위

청구항 1

N⁻실리콘 기판 상에 N 실리콘층을 제작하는 단계 ; 상기 기판 상에 활성 영역을 형성하는 단계 ; 상기 활성 영역을 둘러싸는 보호환을 형성하는 단계 ; 상기 트랜지스터의 소스 및 게이트 영역을 포함하는 기판 상에 N⁺폴리실리콘층을 형성하는 단계 ; 상기 기판에 인접한 N⁺층을 형성하는 단계 ; 상기 N⁺폴리실리콘층 최상부에 산화물층을 형성하는 단계 ; 상기 산화물층 상에 제2폴리실리콘층을 형성하는 단계 ; 상기 제2폴리실리콘층 최상부에 제2산화물층을 형성하는 단계 ; 상기 제2산화물층 최상부에 자기 정합마스크를 형성하는 단계 ; 상기 자기 정합 마스크를 사용하여 기판내로 트렌치들을 에칭하는 단계 ; 상기 트렌치들의 바닥에 게이트 영역을 형성하는 단계 ; 상기 게이트 영역과 접촉을 이루도록 트랜지스터의 최상부에 제1금속층을 피착시키는 단계 ; 상기 트랜지스터의 표면에 포토레지스트층을 피착시키고 평탄화하는 단계 ; 상기 트렌치의 최상부 표면 아래로 제1금속층을 예정된 깊이까지 과도 에칭하는 단계 ; 상기 포토레지스트층을 제거하는 단계 ; 상기 트랜지스터의 표면 상에 플라즈마 질화물층을 피착시키고 평탄화하는 단계 ; 상기 평탄화된 플라즈마 질화물층 상에 폴리실리콘 마스크를 형성하는 단계 ; 상기 트랜지스터의 피일드 영역상에 배치된 제1금속층이 노출되도록 트랜지스터의 최상부 표면을 에칭하는 단계 ; 상기 소스 및 게이트 영역과 접촉을 이루도록 트랜지스터 최상부에 제2금속층을 피착시키는 단계 ; 상기 트랜지스터의 최상부에 안정화층을 피착시키는 단계 ; 및 상기 제1 및 제2금속층을 연결하는 상호 접속 패드를 형성하는 단계를 포함하는 것을 특징으로 하는 자기 정합된 정전유도 트랜지스터 제조 방법.

청구항 2

제1항에 있어서, 상기 트렌치를 에칭하는 단계가 트렌치의 수직 벽면을 형성하기 위하여 트렌치를 기판내로 비등방적으로 에칭하는 단계를 포함하는 것을 특징으로 하는 자기 정합된 정전 유도 트랜지스터 제조 방법.

청구항 3

제1항에 있어서, 상기 기판에 인접한 N⁺층을 형성하는 단계가, N⁺폴리실리콘층 상에 실리콘 질화물층을 피착시키는 단계 ; 및 N⁺폴리실리콘층을 통하여 기판내로 N⁺도펀트 이온을 환산시키는 단계를 포함하는 것을 특징으로 하는 자기 정합된 정전 유도 트랜지스터 제조 방법.

청구항 4

제1항에 있어서, 상기 트렌치의 바닥에 게이트 영역을 형성시키는 단계가, 트렌치내에 게이트 산화물을 성장시키는 단계 ; 트렌치의 바닥에 인접한 P-경사층을 형성하는 단계 ; 및 게이트 영역을 형성하기 위하여 P-경사층 내로 P⁺도펀트 이온을 주입하는 단계를 포함하는 것을 특징으로 하는 자기 정합된 정전유도 트랜지스터 제조 방법.

청구항 5

제4항에 있어서, 상기 P⁺도펀트 이온을 피착시키는 단계가, P-경사층 내로 P⁺도펀트이온을 주입하는 단계, 및 주입된 P-경사층을 어닐링하는 단계를 포함하는 것을 특징으로 하는 자기 정합된 정전 유도 트랜지스터 제조 방법.

청구항 6

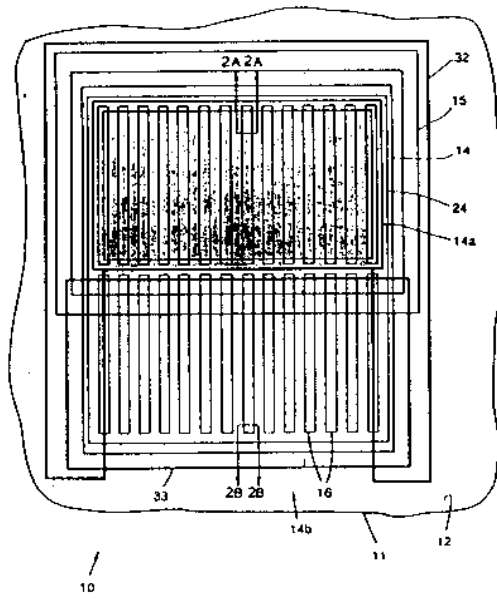
제1항에 있어서, 상기 트렌치를 에칭하는 단계가 측벽 트렌치 산화물의 두께에 따라 파괴 전압을 높이거나 낮추기 위하여 측벽 트렌치 산화물의 두께를 변화시킬 수 있고, 측벽을 따른 열산화물의 더욱 두꺼운 층이 더욱 경사진 P⁺게이트 접합을 가능하게 하는 것을 특징으로 하는 자기 정합된 정전 유도 트랜지스터 제조 방법.

청구항 7

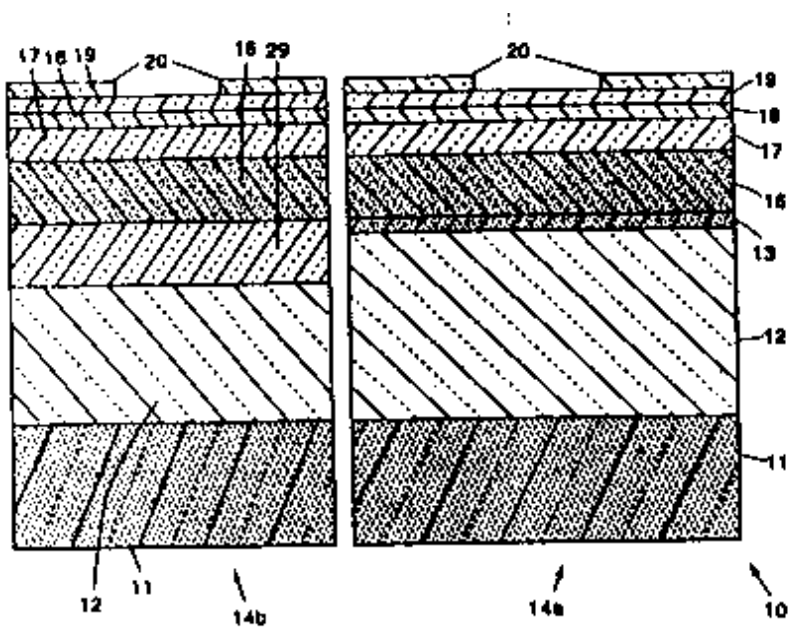
제1항에 있어서, 상기 제1금속층을 과도 에칭시키는 단계가 제1금속층을 100 내지 300퍼센트의 비율로 과도 에칭시키는 것을 특징으로 하는 자기 정합된 정전 유도 트랜지스터 제조 방법.

도면

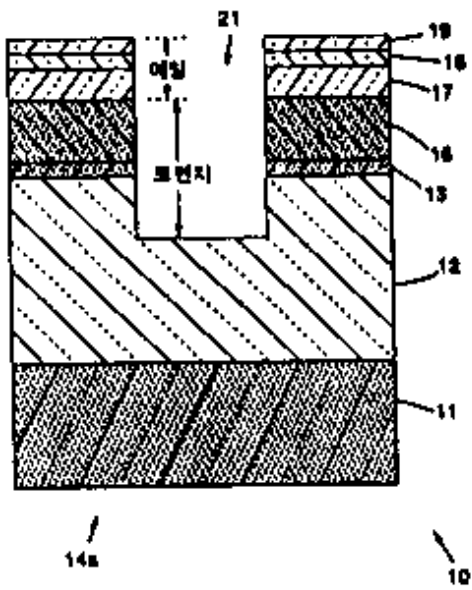
도면1



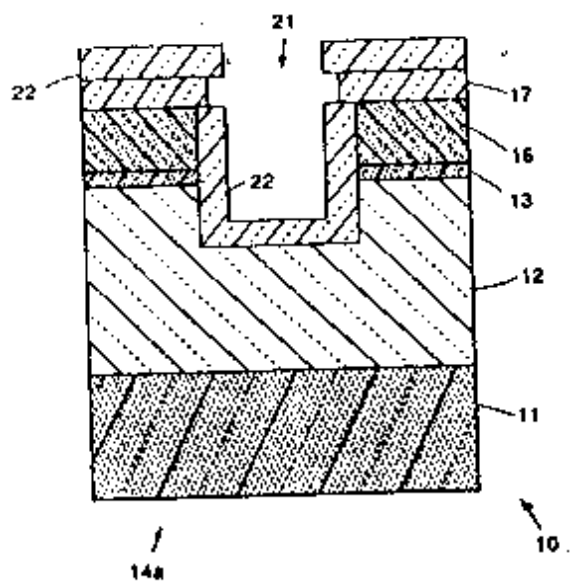
도면2



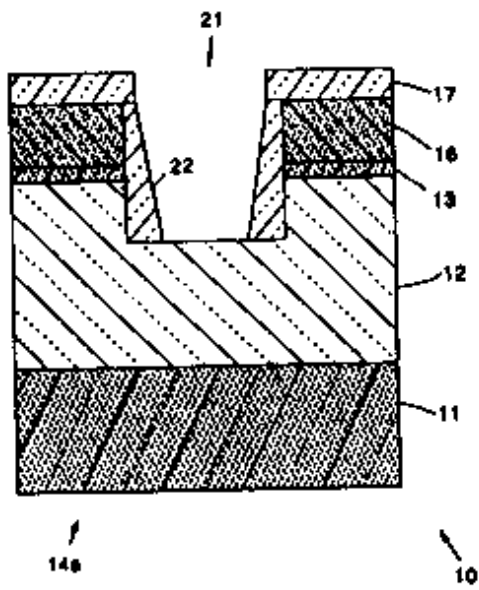
도면3



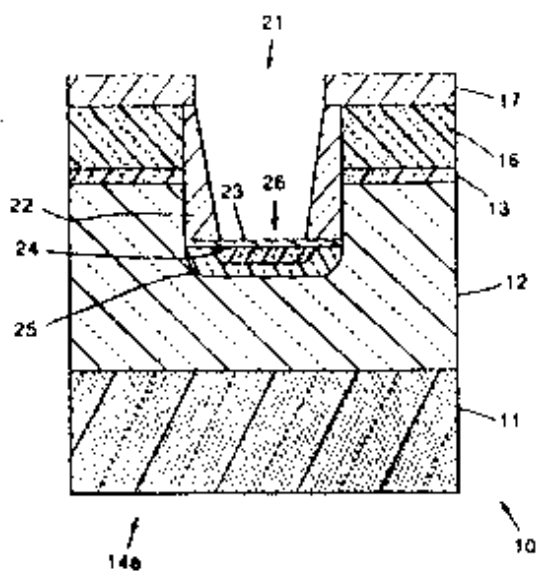
도면4



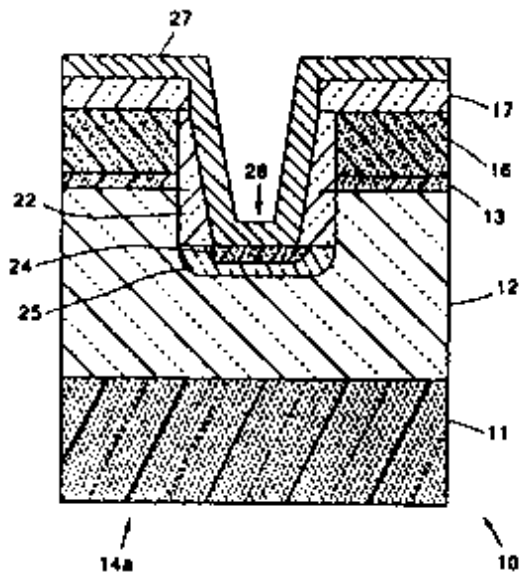
도면5



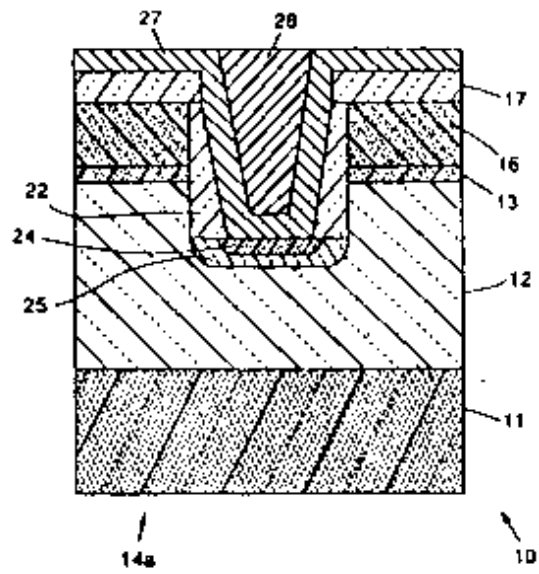
도면6



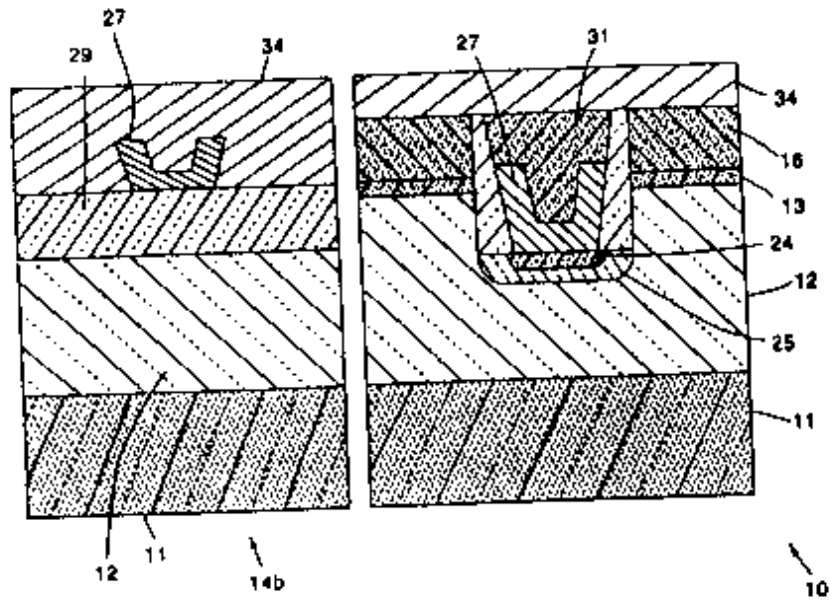
도면7



도면8



도면11



도면12

