

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구

국제사무국

(43) 국제공개일

2022년 10월 27일 (27.10.2022) WIPO PCT



(10) 국제공개번호

WO 2022/225253 A1

(51) 국제특허분류:

G09G 3/32 (2006.01)

(21) 국제출원번호:

PCT/KR2022/005366

(22) 국제출원일:

2022년 4월 13일 (13.04.2022)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2021-0053216 2021년 4월 23일 (23.04.2021) KR

(71) 출원인: 삼성전자 주식회사 (SAMSUNG ELECTRONICS CO., LTD.) [KR/KR]; 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 성균관대학교 산학협력단 (RESEARCH BUSINESS FOUNDATION SUNGKYUNKWAN UNIVERSITY) [KR/KR]; 16419 경기도 수원시 장안구 서부로 2066, Gyeonggi-do (KR).

(72) 발명자: 허용구 (HER, Yongkoo); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 김용상 (KIM, Yongsang); 16822 경기도 용인시 수지구 동천로135번길 21, 한빛마을 래미안 이스트팰리스 3단지 1311-501, Gyeonggi-do (KR). 김기우 (KIM, Kiwoo); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 박승용 (PARK, Seoungyong); 16677 경기도 수원시 영통구

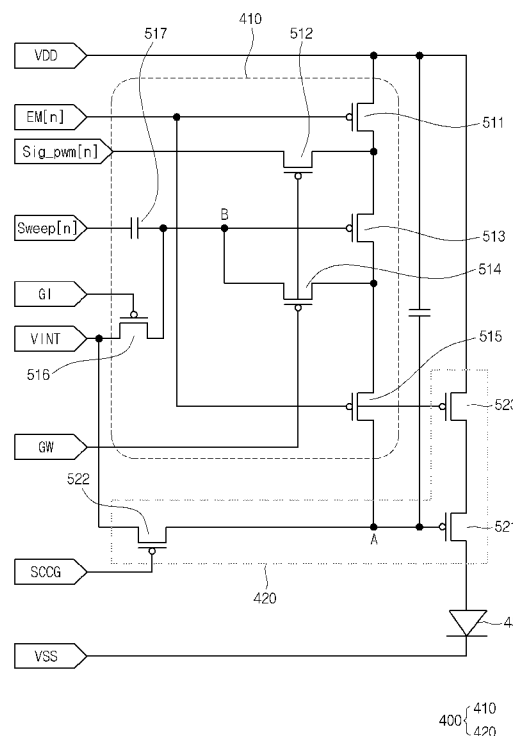
삼성로 129, Gyeonggi-do (KR). 양병덕 (YANG, Byungduk); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 이정우 (LEE, Jungwoo); 13580 경기도 성남시 분당구 서현로 471, 장안타운건영빌라 302-103, Gyeonggi-do (KR). 이홍국 (LEE, Hongkook); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 장은택 (JANG, Euntack); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 홍용후 (HONG, Yonghoo); 16418 경기도 수원시 장안구 화산로141번길 9-1, 오메가 201, Gyeonggi-do (KR).

(74) 대리인: 특허법인 태평양 (BAE, KIM & LEE IP); 04521 서울시 중구 청계천로 30, 5층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: ELECTRONIC DEVICE COMPRISING DISPLAY, AND OPERATION METHOD THEREFOR

(54) 발명의 명칭: 디스플레이를 포함하는 전자 장치 및 그의 동작 방법



(57) Abstract: An electronic device comprises: a sub-pixel including a first circuit block, a second circuit block, and a light-emitting element; a display panel; a display driving circuit; and a processor, wherein the display driving circuit can store gradation data in a first gate terminal of a first output transistor in the first circuit block, input into the first gate terminal, a control signal of which the potential varies with time, allow the voltage of a second gate terminal of a second output transistor in the second circuit block to vary in response to the input of the control signal, control a light-emitting time by adjusting an on-state time of the second output transistor, and use a second initialization transistor connected to the second gate terminal to apply an initialization voltage to the second gate terminal two or more times for one frame, and thus perform initialization two or more times.

(57) 요약서: 전자 장치는 제1 회로 블록, 제2 회로 블록 및 발광 소자를 포함하는 서브 픽셀, 디스플레이 패널, 디스플레이 구동 회로, 및 프로세서를 포함하며, 디스플레이 구동 회로는 게조 데이터를 제1 회로 블록의 제1 출력 트랜지스터의 제1 게이트 단자에 저장하고, 제1 게이트 단자에 시간에 따라 전위가 변경되는 제어 신호를 입력하며, 제어 신호를 입력 받음에 따라 제2 회로 블록의 제2 출력 트랜지스터의 제2 게이트 단자의 전압이 변경되고, 제2 출력 트랜지스터가 온(on) 상태인 시간을 조절하여 발광 시간을 제어하며, 제2 게이트 단자에 연결된 제2 초기화 트랜지스터를 이용하여 제2 게이트 단자에 하나의 프레임 동안 2회 이상의 초기화 전압을 인가함으로써 2회 이상 초기화할 수 있다.

[다음 쪽 계속]



(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 디스플레이를 포함하는 전자 장치 및 그의 동작 방법 기술분야

- [1] 본 문서에서 개시되는 실시 예들은, PWM 구동 방식의 화소 회로를 갖는 디스플레이를 포함하는 전자 장치 및 그의 동작 방법에 관한 것이다.

배경기술

- [2] 디스플레이를 포함하는 전자 장치는 디스플레이와 이를 제어하는 프로세서를 포함하여, 디스플레이를 픽셀 또는 서브 픽셀 단위로 동작시키면서 다양한 색을 표현하는 출력 장치로서, 기술 발전에 따라 디스플레이의 고휘도, 고해상도의 기술적 요구가 지속되어 왔다.
- [3] 현재 양산 중인 LCD (Liquid Crystal Display), LED (Light Emitting Diode), OLED (Organic LED) 디스플레이는 제조 데이터의 전압 크기에 따라 디스플레이의 휘도의 높낮이를 조절하는 PAM(Pulse Amplitude Modulation) 방식으로 구현을 하고 있다.

발명의 상세한 설명

기술적 과제

- [4] PAM 구동의 경우, 특히 Micro LED 디스플레이 소자는, 소자에 흐르는 전류 양에 휘도가 비례함에 따라 파장 쉬프트(wavelength shift) 현상이 발생하여 제조에 따라 색감이 변경되는 화질 특성을 가질 수 있다.
- [5] 이러한 화질 특성을 개선하기 위해 제조를 발광 시간으로 조절하는 PWM(Pulse Width Modulation) 구동 방식을 사용할 수 있으나, 기존의 PWM 구동 회로는 13개 이상의 트랜지스터 및 캐패시터를 사용하게 되어 고해상도 제품 적용에 제약이 있으며, 회로가 복잡하고 사이즈가 커서 스마트 폰이나 태블릿 PC 등과 같은 중소형 디스플레이에 적용이 어려운 문제가 있다.
- [6] 본 개시의 다양한 실시예는 기존의 화소 회로보다 간소화된 PWM 구동 방식의 신규 디스플레이 화소 회로를 제안하여 제조 및 휘도에 따른 색감 변경 문제를 개선한 디스플레이를 포함하는 전자 장치 및 그의 동작 방법을 제공하고자 한다.

과제 해결 수단

- [7] 본 개시의 일 실시예에 따른 디스플레이를 포함하는 전자 장치의 디스플레이 구동 방법은, 상기 전자 장치의 디스플레이 구동 회로를 통하여, 하나의 프레임(frame)에 대한 제조 데이터를 상기 디스플레이의 서브 픽셀에 포함된 제1 회로 블록의 제1 출력 트랜지스터의 제1 게이트 단자에 저장하고, 상기 제1 출력 트랜지스터의 상기 제1 게이트 단자에 시간에 따라 전위가 변경되는 제어 신호를 입력하며, 상기 제1 출력 트랜지스터가 상기 제어 신호를 입력 받음에 따라 상기 서브 픽셀에 포함된 제2 회로 블록의 제2 출력 트랜지스터의 제2 게이트 단자의 전압이 변경되고, 상기 제2 출력 트랜지스터가 온(on) 상태인

시간을 조절하여 상기 서브 픽셀에 포함된 발광 소자의 발광 시간을 제어하며, 상기 제2 게이트 단자에 연결된 제2 초기화 트랜지스터를 이용하여 상기 제2 게이트 단자에 상기 하나의 프레임 동안 2회 이상의 초기화 전압을 인가함으로써 상기 제2 게이트 단자를 2회 이상 초기화하도록 제어할 수 있다.

발명의 효과

- [8] 본 개시의 다양한 실시예에 따르면, 기존의 화소 회로보다 간소화된 PWM 구동 방식의 디스플레이 화소 회로를 제안하여 고해상도 제품 및/또는 중소형 디스플레이 제품에 적용하는데 제약이 없고, 제조 및 휘도에 따른 색감 변경 문제를 개선한 디스플레이를 포함하는 전자 장치 및 그의 동작 방법을 제공하고자 한다.
- [9] 이 외에, 본 문서를 통해 직접적 또는 간접적으로 파악되는 다양한 효과들이 제공될 수 있다.

도면의 간단한 설명

- [10] 도 1은, 다양한 실시 예들에 따른, 네트워크 환경 내의 전자 장치의 블록도이다.
- [11] 도 2는 다양한 실시예들에 따른, 디스플레이 모듈의 블록도이다.
- [12] 도 3은 일 실시예에 따른 전자 장치의 디스플레이의 복수의 픽셀들을 블록도로 나타낸 도면이다.
- [13] 도 4는 일 실시예에 따른 전자 장치의 하나의 서브 픽셀의 구성을 나타낸 블록도이다.
- [14] 도 5는, 일 실시예에 따른 전자 장치의 디스플레이에 포함된 하나의 서브 픽셀에 해당하는 회로도이다.
- [15] 도 6은 일 실시예에 따른 전자 장치가 도 5의 회로를 구동하기 위한 각종 신호를 시간에 따라 나타낸 도면이다.
- [16] 도 7는, 일 실시예에 따른 전자 장치의 디스플레이에 포함된 하나의 서브 픽셀에 해당하는 회로도이다.
- [17] 도 8은 일 실시예에 따른 전자 장치가 도 7의 회로를 구동하기 위한 각종 신호를 시간에 따라 나타낸 도면이다.
- [18] 도 9는, 일 실시예에 따른 전자 장치의 디스플레이에 포함된 하나의 서브 픽셀에 해당하는 회로도이다.
- [19] 도 10은 일 실시예에 따른 전자 장치의 디스플레이 화소 회로 구조에 따른 발광 시간 차이를 나타낸 도면이다.
- [20] 도면의 설명과 관련하여, 동일 또는 유사한 구성요소에 대해서는 동일 또는 유사한 참조 부호가 사용될 수 있다.

발명의 실시를 위한 형태

- [21] 이하, 본 발명의 다양한 실시 예가 첨부된 도면을 참조하여 기재된다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 실시 예의 다양한 변경(modification), 균등물(equivalent), 및/또는

대체물(alternative)을 포함하는 것으로 이해되어야 한다.

[22]

[23] 도 1은, 다양한 실시예들에 따른, 네트워크 환경(100) 내의 전자 장치(101)의 블록도이다. 도 1을 참조하면, 네트워크 환경(100)에서 전자 장치(101)는 제 1 네트워크(198)(예: 근거리 무선 통신 네트워크)를 통하여 전자 장치(102)와 통신하거나, 또는 제 2 네트워크(199)(예: 원거리 무선 통신 네트워크)를 통하여 전자 장치(104) 또는 서버(108)와 통신할 수 있다. 일실시예에 따르면, 전자 장치(101)는 서버(108)를 통하여 전자 장치(104)와 통신할 수 있다. 일실시예에 따르면, 전자 장치(101)는 프로세서(120), 메모리(130), 입력 모듈(150), 음향 출력 모듈(155), 디스플레이 모듈(160), 오디오 모듈(170), 센서 모듈(176), 인터페이스(177), 연결 단자(178), 햅틱 모듈(179), 카메라 모듈(180), 전력 관리 모듈(188), 배터리(189), 통신 모듈(190), 가입자 식별 모듈(196), 또는 안테나 모듈(197)을 포함할 수 있다. 어떤 실시예에서는, 전자 장치(101)에는, 이 구성요소들 중 적어도 하나(예: 연결 단자(178))가 생략되거나, 하나 이상의 다른 구성요소가 추가될 수 있다. 어떤 실시예에서는, 이 구성요소들 중 일부들(예: 센서 모듈(176), 카메라 모듈(180), 또는 안테나 모듈(197))은 하나의 구성요소(예: 디스플레이 모듈(160))로 통합될 수 있다.

[24]

프로세서(120)는, 예를 들면, 소프트웨어(예: 프로그램(140))를 실행하여 프로세서(120)에 연결된 전자 장치(101)의 적어도 하나의 다른 구성요소(예: 하드웨어 또는 소프트웨어 구성요소)를 제어할 수 있고, 다양한 데이터 처리 또는 연산을 수행할 수 있다. 일실시예에 따르면, 데이터 처리 또는 연산의 적어도 일부로서, 프로세서(120)는 다른 구성요소(예: 센서 모듈(176) 또는 통신 모듈(190))로부터 수신된 명령 또는 데이터를 휘발성 메모리(132)에 저장하고, 휘발성 메모리(132)에 저장된 명령 또는 데이터를 처리하고, 결과 데이터를 비휘발성 메모리(134)에 저장할 수 있다. 일실시예에 따르면, 프로세서(120)는 메인 프로세서(121)(예: 중앙 처리 장치 또는 어플리케이션 프로세서) 또는 이와는 독립적으로 또는 함께 운영 가능한 보조 프로세서(123)(예: 그래픽 처리 장치, 신경망 처리 장치(NPU: neural processing unit), 이미지 시그널 프로세서, 센서 허브 프로세서, 또는 커뮤니케이션 프로세서)를 포함할 수 있다. 예를 들어, 전자 장치(101)가 메인 프로세서(121) 및 보조 프로세서(123)를 포함하는 경우, 보조 프로세서(123)는 메인 프로세서(121)보다 저전력을 사용하거나, 지정된 기능에 특화되도록 설정될 수 있다. 보조 프로세서(123)는 메인 프로세서(121)와 별개로, 또는 그 일부로서 구현될 수 있다.

[25]

보조 프로세서(123)는, 예를 들면, 메인 프로세서(121)가 인액티브(예: 슬립) 상태에 있는 동안 메인 프로세서(121)를 대신하여, 또는 메인 프로세서(121)가 액티브(예: 어플리케이션 실행) 상태에 있는 동안 메인 프로세서(121)와 함께, 전자 장치(101)의 구성요소들 중 적어도 하나의 구성요소(예: 디스플레이 모듈(160), 센서 모듈(176), 또는 통신 모듈(190))와 관련된 기능 또는 상태들의

적어도 일부를 제어할 수 있다. 일실시예에 따르면, 보조 프로세서(123)(예: 이미지 시그널 프로세서 또는 커뮤니케이션 프로세서)는 기능적으로 관련 있는 다른 구성요소(예: 카메라 모듈(180) 또는 통신 모듈(190))의 일부로서 구현될 수 있다. 일실시예에 따르면, 보조 프로세서(123)(예: 신경망 처리 장치)는 인공지능 모델의 처리에 특화된 하드웨어 구조를 포함할 수 있다. 인공지능 모델은 기계 학습을 통해 생성될 수 있다. 이러한 학습은, 예를 들어, 인공지능이 수행되는 전자 장치(101) 자체에서 수행될 수 있고, 별도의 서버(예: 서버(108))를 통해 수행될 수도 있다. 학습 알고리즘은, 예를 들어, 지도형 학습(supervised learning), 비지도형 학습(unsupervised learning), 준지도형 학습(semi-supervised learning) 또는 강화 학습(reinforcement learning)을 포함할 수 있으나, 전술한 예에 한정되지 않는다. 인공지능 모델은, 복수의 인공 신경망 레이어들을 포함할 수 있다. 인공 신경망은 심층 신경망(DNN: deep neural network), CNN(convolutional neural network), RNN(recurrent neural network), RBM(restricted boltzmann machine), DBN(deep belief network), BRDNN(bidirectional recurrent deep neural network), 심층 Q-네트워크(deep Q-networks) 또는 상기 중 둘 이상의 조합 중 하나일 수 있으나, 전술한 예에 한정되지 않는다. 인공지능 모델은 하드웨어 구조 이외에, 추가적으로 또는 대체적으로, 소프트웨어 구조를 포함할 수 있다.

- [26] 메모리(130)는, 전자 장치(101)의 적어도 하나의 구성요소(예: 프로세서(120) 또는 센서 모듈(176))에 의해 사용되는 다양한 데이터를 저장할 수 있다.

데이터는, 예를 들어, 소프트웨어(예: 프로그램(140)) 및, 이와 관련된 명령에 대한 입력 데이터 또는 출력 데이터를 포함할 수 있다. 메모리(130)는, 휘발성 메모리(132) 또는 비휘발성 메모리(134)를 포함할 수 있다.

- [27] 프로그램(140)은 메모리(130)에 소프트웨어로서 저장될 수 있으며, 예를 들면, 운영 체제(142), 미들 웨어(144) 또는 어플리케이션(146)을 포함할 수 있다.

- [28] 입력 모듈(150)은, 전자 장치(101)의 구성요소(예: 프로세서(120))에 사용될 명령 또는 데이터를 전자 장치(101)의 외부(예: 사용자)로부터 수신할 수 있다. 입력 모듈(150)은, 예를 들면, 마이크, 마우스, 키보드, 키(예: 버튼), 또는 디지털 펜(예: 스타일러스 펜)을 포함할 수 있다.

- [29] 음향 출력 모듈(155)은 음향 신호를 전자 장치(101)의 외부로 출력할 수 있다. 음향 출력 모듈(155)은, 예를 들면, 스피커 또는 리시버를 포함할 수 있다. 스피커는 멀티미디어 재생 또는 녹음 재생과 같이 일반적인 용도로 사용될 수 있다. 리시버는 착신 전화를 수신하기 위해 사용될 수 있다. 일실시예에 따르면, 리시버는 스피커와 별개로, 또는 그 일부로서 구현될 수 있다.

- [30] 디스플레이 모듈(160)은 전자 장치(101)의 외부(예: 사용자)로 정보를 시각적으로 제공할 수 있다. 디스플레이 모듈(160)은, 예를 들면, 디스플레이, 홀로그램 장치, 또는 프로젝터 및 해당 장치를 제어하기 위한 제어 회로를 포함할 수 있다. 일실시예에 따르면, 디스플레이 모듈(160)은 터치를 감지하도록 설정된 터치 센서, 또는 상기 터치에 의해 발생하는 힘의 세기를 측정하도록

설정된 압력 센서를 포함할 수 있다.

- [31] 오디오 모듈(170)은 소리를 전기 신호로 변환시키거나, 반대로 전기 신호를 소리로 변환시킬 수 있다. 일실시예에 따르면, 오디오 모듈(170)은, 입력 모듈(150)을 통해 소리를 획득하거나, 음향 출력 모듈(155), 또는 전자 장치(101)와 직접 또는 무선으로 연결된 외부 전자 장치(예: 전자 장치(102))(예: 스피커 또는 헤드폰)를 통해 소리를 출력할 수 있다.
- [32] 센서 모듈(176)은 전자 장치(101)의 작동 상태(예: 전력 또는 온도), 또는 외부의 환경 상태(예: 사용자 상태)를 감지하고, 감지된 상태에 대응하는 전기 신호 또는 데이터 값을 생성할 수 있다. 일실시예에 따르면, 센서 모듈(176)은, 예를 들면, 제스처 센서, 자이로 센서, 기압 센서, 마그네틱 센서, 가속도 센서, 그립 센서, 근접 센서, 컬러 센서, IR(infrared) 센서, 생체 센서, 온도 센서, 습도 센서, 또는 조도 센서를 포함할 수 있다.
- [33] 인터페이스(177)는 전자 장치(101)가 외부 전자 장치(예: 전자 장치(102))와 직접 또는 무선으로 연결되기 위해 사용될 수 있는 하나 이상의 지정된 프로토콜들을 지원할 수 있다. 일실시예에 따르면, 인터페이스(177)는, 예를 들면, HDMI(high definition multimedia interface), USB(universal serial bus) 인터페이스, SD카드 인터페이스, 또는 오디오 인터페이스를 포함할 수 있다.
- [34] 연결 단자(178)는, 그를 통해서 전자 장치(101)가 외부 전자 장치(예: 전자 장치(102))와 물리적으로 연결될 수 있는 커넥터를 포함할 수 있다. 일실시예에 따르면, 연결 단자(178)는, 예를 들면, HDMI 커넥터, USB 커넥터, SD 카드 커넥터, 또는 오디오 커넥터(예: 헤드폰 커넥터)를 포함할 수 있다.
- [35] 햅틱 모듈(179)은 전기적 신호를 사용자가 촉각 또는 운동 감각을 통해서 인지할 수 있는 기계적인 자극(예: 진동 또는 움직임) 또는 전기적인 자극으로 변환할 수 있다. 일실시예에 따르면, 햅틱 모듈(179)은, 예를 들면, 모터, 압전 소자, 또는 전기 자극 장치를 포함할 수 있다.
- [36] 카메라 모듈(180)은 정지 영상 및 동영상을 촬영할 수 있다. 일실시예에 따르면, 카메라 모듈(180)은 하나 이상의 렌즈들, 이미지 센서들, 이미지 시그널 프로세서들, 또는 플래시들을 포함할 수 있다.
- [37] 전력 관리 모듈(188)은 전자 장치(101)에 공급되는 전력을 관리할 수 있다. 일실시예에 따르면, 전력 관리 모듈(188)은, 예를 들면, PMIC(power management integrated circuit)의 적어도 일부로서 구현될 수 있다.
- [38] 배터리(189)는 전자 장치(101)의 적어도 하나의 구성요소에 전력을 공급할 수 있다. 일실시예에 따르면, 배터리(189)는, 예를 들면, 재충전 불가능한 1차 전지, 재충전 가능한 2차 전지 또는 연료 전지를 포함할 수 있다.
- [39] 통신 모듈(190)은 전자 장치(101)와 외부 전자 장치(예: 전자 장치(102), 전자 장치(104), 또는 서버(108)) 간의 직접(예: 유선) 통신 채널 또는 무선 통신 채널의 수립, 및 수립된 통신 채널을 통한 통신 수행을 지원할 수 있다. 통신 모듈(190)은 프로세서(120)(예: 어플리케이션 프로세서)와 독립적으로 운영되고, 직접(예:

유선) 통신 또는 무선 통신을 지원하는 하나 이상의 커뮤니케이션 프로세서를 포함할 수 있다. 일실시예에 따르면, 통신 모듈(190)은 무선 통신 모듈(192)(예: 셀룰러 통신 모듈, 근거리 무선 통신 모듈, 또는 GNSS(global navigation satellite system) 통신 모듈) 또는 유선 통신 모듈(194)(예: LAN(local area network) 통신 모듈, 또는 전력선 통신 모듈)을 포함할 수 있다. 이들 통신 모듈 중 해당하는 통신 모듈은 제 1 네트워크(198)(예: 블루투스, WiFi(wireless fidelity) direct 또는 IrDA(infrared data association)와 같은 근거리 통신 네트워크) 또는 제 2 네트워크(199)(예: 레거시 셀룰러 네트워크, 5G 네트워크, 차세대 통신 네트워크, 인터넷, 또는 컴퓨터 네트워크(예: LAN 또는 WAN)와 같은 원거리 통신 네트워크)를 통하여 외부의 전자 장치(104)와 통신할 수 있다. 이런 여러 종류의 통신 모듈들은 하나의 구성요소(예: 단일 칩)로 통합되거나, 또는 서로 별도의 복수의 구성요소들(예: 복수 칩들)로 구현될 수 있다. 무선 통신 모듈(192)은 가입자 식별 모듈(196)에 저장된 가입자 정보(예: 국제 모바일 가입자 식별자(IMSII))를 이용하여 제 1 네트워크(198) 또는 제 2 네트워크(199)와 같은 통신 네트워크 내에서 전자 장치(101)를 확인 또는 인증할 수 있다.

- [40] 무선 통신 모듈(192)은 4G 네트워크 이후의 5G 네트워크 및 차세대 통신 기술, 예를 들어, NR 접속 기술(new radio access technology)을 지원할 수 있다. NR 접속 기술은 고용량 데이터의 고속 전송(eMBB(enhanced mobile broadband)), 단말 전력 최소화 및 다수 단말의 접속(mMTC(massive machine type communications)), 또는 고신뢰도와 저지연(URLLC(ultra-reliable and low-latency communications))을 지원할 수 있다. 무선 통신 모듈(192)은, 예를 들어, 높은 데이터 전송률 달성을 위해, 고주파 대역(예: mmWave 대역)을 지원할 수 있다. 무선 통신 모듈(192)은 고주파 대역에서의 성능 확보를 위한 다양한 기술들, 예를 들어, 빔포밍(beamforming), 거대 배열 다중 입출력(massive MIMO(multiple-input and multiple-output)), 전차원 다중입출력(FD-MIMO: full dimensional MIMO), 어레이 안테나(array antenna), 아날로그 빔형성(analog beam-forming), 또는 대규모 안테나(large scale antenna)와 같은 기술들을 지원할 수 있다. 무선 통신 모듈(192)은 전자 장치(101), 외부 전자 장치(예: 전자 장치(104)) 또는 네트워크 시스템(예: 제 2 네트워크(199))에 규정되는 다양한 요구사항을 지원할 수 있다. 일실시예에 따르면, 무선 통신 모듈(192)은 eMBB 실현을 위한 Peak data rate(예: 20Gbps 이상), mMTC 실현을 위한 손실 Coverage(예: 164dB 이하), 또는 URLLC 실현을 위한 U-plane latency(예: 다운로드(DL) 및 업링크(UL) 각각 0.5ms 이하, 또는 라운드 트립 1ms 이하)를 지원할 수 있다.

- [41] 안테나 모듈(197)은 신호 또는 전력을 외부(예: 외부의 전자 장치)로 송신하거나 외부로부터 수신할 수 있다. 일실시예에 따르면, 안테나 모듈(197)은 서브스트레이트(예: PCB) 위에 형성된 도전체 또는 도전성 패턴으로 이루어진 방사체를 포함하는 안테나를 포함할 수 있다. 일실시예에 따르면, 안테나 모듈(197)은 복수의 안테나들(예: 어레이 안테나)을 포함할 수 있다. 이런 경우,

제 1 네트워크(198) 또는 제 2 네트워크(199)와 같은 통신 네트워크에서 사용되는 통신 방식에 적합한 적어도 하나의 안테나가, 예를 들면, 통신 모듈(190)에 의하여 상기 복수의 안테나들로부터 선택될 수 있다. 신호 또는 전력은 상기 선택된 적어도 하나의 안테나를 통하여 통신 모듈(190)과 외부의 전자 장치 간에 송신되거나 수신될 수 있다. 어떤 실시예에 따르면, 방사체 이외에 다른 부품(예: RFIC(radio frequency integrated circuit))이 추가로 안테나 모듈(197)의 일부로 형성될 수 있다.

[42] 다양한 실시예에 따르면, 안테나 모듈(197)은 mmWave 안테나 모듈을 형성할 수 있다. 일실시예에 따르면, mmWave 안테나 모듈은 인쇄 회로 기판, 상기 인쇄 회로 기판의 제 1 면(예: 아래 면)에 또는 그에 인접하여 배치되고 지정된 고주파 대역(예: mmWave 대역)을 지원할 수 있는 RFIC, 및 상기 인쇄 회로 기판의 제 2 면(예: 윗 면 또는 측 면)에 또는 그에 인접하여 배치되고 상기 지정된 고주파 대역의 신호를 송신 또는 수신할 수 있는 복수의 안테나들(예: 어레이 안테나)을 포함할 수 있다.

[43] 상기 구성요소들 중 적어도 일부는 주변 기기들간 통신 방식(예: 버스, GPIO(general purpose input and output), SPI(serial peripheral interface), 또는 MIPI(mobile industry processor interface))을 통해 서로 연결되고 신호(예: 명령 또는 데이터)를 상호간에 교환할 수 있다.

[44] 일실시예에 따르면, 명령 또는 데이터는 제 2 네트워크(199)에 연결된 서버(108)를 통해서 전자 장치(101)와 외부의 전자 장치(104)간에 송신 또는 수신될 수 있다. 외부의 전자 장치(102, 또는 104) 각각은 전자 장치(101)와 동일한 또는 다른 종류의 장치일 수 있다. 일실시예에 따르면, 전자 장치(101)에서 실행되는 동작들의 전부 또는 일부는 외부의 전자 장치들(102, 104, 또는 108) 중 하나 이상의 외부의 전자 장치들에서 실행될 수 있다. 예를 들면, 전자 장치(101)가 어떤 기능이나 서비스를 자동으로, 또는 사용자 또는 다른 장치로부터의 요청에 반응하여 수행해야 할 경우에, 전자 장치(101)는 기능 또는 서비스를 자체적으로 실행시키는 대신에 또는 추가적으로, 하나 이상의 외부의 전자 장치들에게 그 기능 또는 그 서비스의 적어도 일부를 수행하라고 요청할 수 있다. 상기 요청을 수신한 하나 이상의 외부의 전자 장치들은 요청된 기능 또는 서비스의 적어도 일부, 또는 상기 요청과 관련된 추가 기능 또는 서비스를 실행하고, 그 실행의 결과를 전자 장치(101)로 전달할 수 있다. 전자 장치(101)는 상기 결과를, 그대로 또는 추가적으로 처리하여, 상기 요청에 대한 응답의 적어도 일부로서 제공할 수 있다. 이를 위하여, 예를 들면, 클라우드 컴퓨팅, 분산 컴퓨팅, 모바일 에지 컴퓨팅(MEC: mobile edge computing), 또는 클라이언트-서버 컴퓨팅 기술이 이용될 수 있다. 전자 장치(101)는, 예를 들어, 분산 컴퓨팅 또는 모바일 에지 컴퓨팅을 이용하여 초저지연 서비스를 제공할 수 있다. 다른 실시예에 있어서, 외부의 전자 장치(104)는 IoT(internet of things) 기기를 포함할 수 있다. 서버(108)는 기계 학습 및/또는 신경망을 이용한 지능형

서버일 수 있다. 일실시에에 따르면, 외부의 전자 장치(104) 또는 서버(108)는 제 2 네트워크(199) 내에 포함될 수 있다. 전자 장치(101)는 5G 통신 기술 및 IoT 관련 기술을 기반으로 지능형 서비스(예: 스마트 홈, 스마트 시티, 스마트 카, 또는 헬스케어)에 적용될 수 있다.

[45] 본 문서에 개시된 다양한 실시예들에 따른 전자 장치는 다양한 형태의 장치가 될 수 있다. 전자 장치는, 예를 들면, 휴대용 통신 장치(예: 스마트폰), 컴퓨터 장치, 휴대용 멀티미디어 장치, 휴대용 의료 기기, 카메라, 웨어러블 장치, 또는 가전 장치를 포함할 수 있다. 본 문서의 실시예에 따른 전자 장치는 전술한 기기들에 한정되지 않는다.

[46] 본 문서의 다양한 실시예들 및 이에 사용된 용어들은 본 문서에 기재된 기술적 특징들을 특정한 실시예들로 한정하려는 것이 아니며, 해당 실시예의 다양한 변경, 균등물, 또는 대체물을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 또는 관련된 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다. 아이템에 대응하는 명사의 단수 형은 관련된 문맥상 명백하게 다르게 지시하지 않는 한, 상기 아이템 한 개 또는 복수 개를 포함할 수 있다. 본 문서에서, "A 또는 B", "A 및 B 중 적어도 하나", "A 또는 B 중 적어도 하나", "A, B 또는 C", "A, B 및 C 중 적어도 하나", 및 "A, B, 또는 C 중 적어도 하나"와 같은 문구들 각각은 그 문구들 중 해당하는 문구에 함께 나열된 항목들 중 어느 하나, 또는 그들의 모든 가능한 조합을 포함할 수 있다. "제 1", "제 2", 또는 "첫째" 또는 "둘째"와 같은 용어들은 단순히 해당 구성요소를 다른 해당 구성요소와 구분하기 위해 사용될 수 있으며, 해당 구성요소들을 다른 측면(예: 중요성 또는 순서)에서 한정하지 않는다. 어떤(예: 제 1) 구성요소가 다른(예: 제 2) 구성요소에, "기능적으로" 또는 "통신적으로"라는 용어와 함께 또는 이런 용어 없이, "커플드" 또는 "커넥티드"라고 언급된 경우, 그것은 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로(예: 유선으로), 무선으로, 또는 제 3 구성요소를 통하여 연결될 수 있다는 것을 의미한다.

[47] 본 문서의 다양한 실시예들에서 사용된 용어 "모듈"은 하드웨어, 소프트웨어 또는 펌웨어로 구현된 유닛을 포함할 수 있으며, 예를 들면, 로직, 논리 블록, 부품, 또는 회로와 같은 용어와 상호 호환적으로 사용될 수 있다. 모듈은, 일체로 구성된 부품 또는 하나 또는 그 이상의 기능을 수행하는, 상기 부품의 최소 단위 또는 그 일부가 될 수 있다. 예를 들면, 일실시에에 따르면, 모듈은 ASIC(application-specific integrated circuit)의 형태로 구현될 수 있다.

[48] 본 문서의 다양한 실시예들은 기기(machine)(예: 전자 장치(101)) 의해 읽을 수 있는 저장 매체(storage medium)(예: 내장 메모리(136) 또는 외장 메모리(138))에 저장된 하나 이상의 명령어들을 포함하는 소프트웨어(예: 프로그램(140))로서 구현될 수 있다. 예를 들면, 기기(예: 전자 장치(101))의 프로세서(예: 프로세서(120))는, 저장 매체로부터 저장된 하나 이상의 명령어들 중 적어도 하나의 명령을 호출하고, 그것을 실행할 수 있다. 이것은 기기가 상기 호출된

적어도 하나의 명령어에 따라 적어도 하나의 기능을 수행하도록 운영되는 것을 가능하게 한다. 상기 하나 이상의 명령어들은 컴파일러에 의해 생성된 코드 또는 인터프리터에 의해 실행될 수 있는 코드를 포함할 수 있다. 기기로 읽을 수 있는 저장 매체는, 비일시적(non-transitory) 저장 매체의 형태로 제공될 수 있다.

여기서, '비일시적'은 저장 매체가 실재(tangible)하는 장치이고, 신호(signal)(예: 전자기파)를 포함하지 않는다는 것을 의미할 뿐이며, 이 용어는 데이터가 저장 매체에 반영구적으로 저장되는 경우와 임시적으로 저장되는 경우를 구분하지 않는다.

[49] 일실시에 따르면, 본 문서에 개시된 다양한 실시예들에 따른 방법은 컴퓨터 프로그램 제품(computer program product)에 포함되어 제공될 수 있다. 컴퓨터 프로그램 제품은 상품으로서 판매자 및 구매자 간에 거래될 수 있다. 컴퓨터 프로그램 제품은 기기로 읽을 수 있는 저장 매체(예: compact disc read only memory(CD-ROM))의 형태로 배포되거나, 또는 어플리케이션 스토어(예: 플레이 스토어™)를 통해 또는 두 개의 사용자 장치들(예: 스마트폰들) 간에 직접, 온라인으로 배포(예: 다운로드 또는 업로드)될 수 있다. 온라인 배포의 경우에, 컴퓨터 프로그램 제품의 적어도 일부는 제조사의 서버, 어플리케이션 스토어의 서버, 또는 중계 서버의 메모리와 같은 기기로 읽을 수 있는 저장 매체에 적어도 일시 저장되거나, 임시적으로 생성될 수 있다.

[50] 다양한 실시예들에 따르면, 상기 기술한 구성요소들의 각각의 구성요소(예: 모듈 또는 프로그램)는 단수 또는 복수의 개체를 포함할 수 있으며, 복수의 개체 중 일부는 다른 구성요소에 분리 배치될 수도 있다. 다양한 실시예들에 따르면, 전술한 해당 구성요소들 중 하나 이상의 구성요소들 또는 동작들이 생략되거나, 또는 하나 이상의 다른 구성요소들 또는 동작들이 추가될 수 있다. 대체적으로 또는 추가적으로, 복수의 구성요소들(예: 모듈 또는 프로그램)은 하나의 구성요소로 통합될 수 있다. 이런 경우, 통합된 구성요소는 상기 복수의 구성요소들 각각의 구성요소의 하나 이상의 기능들을 상기 통합 이전에 상기 복수의 구성요소들 중 해당 구성요소에 의해 수행되는 것과 동일 또는 유사하게 수행할 수 있다. 다양한 실시예들에 따르면, 모듈, 프로그램 또는 다른 구성요소에 의해 수행되는 동작들은 순차적으로, 병렬적으로, 반복적으로, 또는 휴리스틱하게 실행되거나, 상기 동작들 중 하나 이상이 다른 순서로 실행되거나, 생략되거나, 또는 하나 이상의 다른 동작들이 추가될 수 있다.

[51]

[52] 도 2는 다양한 실시예들에 따른, 디스플레이 모듈(160)의 블록도(200)이다. 도 2를 참조하면, 디스플레이 모듈(160)은 디스플레이(210), 및 이를 제어하기 위한 디스플레이 드라이버 IC(DDI)(230)를 포함할 수 있다. DDI(230)는 인터페이스 모듈(231), 메모리(233)(예: 버퍼 메모리), 이미지 처리 모듈(235), 또는 맵핑 모듈(237)을 포함할 수 있다. DDI(230)은, 예를 들면, 영상 데이터, 또는 상기 영상 데이터를 제어하기 위한 명령에 대응하는 영상 제어 신호를 포함하는 영상

정보를 인터페이스 모듈(231)을 통해 전자 장치 101의 다른 구성요소로부터 수신할 수 있다. 예를 들면, 일실시예에 따르면, 영상 정보는 프로세서(120)(예: 메인 프로세서(121)(예: 어플리케이션 프로세서) 또는 메인 프로세서(121)의 기능과 독립적으로 운영되는 보조 프로세서(123)(예: 그래픽 처리 장치)로부터 수신될 수 있다. DDI(230)는 터치 회로(250) 또는 센서 모듈(176) 등과 상기 인터페이스 모듈(231)을 통하여 커뮤니케이션할 수 있다. 또한, DDI(230)는 상기 수신된 영상 정보 중 적어도 일부를 메모리(233)에, 예를 들면, 프레임 단위로 저장할 수 있다. 이미지 처리 모듈(235)은, 예를 들면, 상기 영상 데이터의 적어도 일부를 상기 영상 데이터의 특성 또는 디스플레이(210)의 특성에 적어도 기반하여 전처리 또는 후처리(예: 해상도, 밝기, 또는 크기 조정)를 수행할 수 있다. 맵핑 모듈(237)은 이미지 처리 모듈(135)를 통해 전처리 또는 후처리된 상기 영상 데이터에 대응하는 전압 값 또는 전류 값을 생성할 수 있다. 일실시예에 따르면, 전압 값 또는 전류 값의 생성은 예를 들면, 디스플레이(210)의 픽셀들의 속성(예: 픽셀들의 배열(RGB stripe 또는 pentile 구조), 또는 서브 픽셀들 각각의 크기)에 적어도 일부 기반하여 수행될 수 있다. 디스플레이(210)의 적어도 일부 픽셀들은, 예를 들면, 상기 전압 값 또는 전류 값에 적어도 일부 기반하여 구동됨으로써 상기 영상 데이터에 대응하는 시각적 정보(예: 텍스트, 이미지, 또는 아이콘)가 디스플레이(210)를 통해 표시될 수 있다.

[53] 일실시예에 따르면, 디스플레이 모듈(160)은 터치 회로(250)를 더 포함할 수 있다. 터치 회로(250)는 터치 센서(251) 및 이를 제어하기 위한 터치 센서 IC(253)를 포함할 수 있다. 터치 센서 IC(253)는, 예를 들면, 디스플레이(210)의 특정 위치에 대한 터치 입력 또는 호버링 입력을 감지하기 위해 터치 센서(251)를 제어할 수 있다. 예를 들면, 터치 센서 IC(253)는 디스플레이(210)의 특정 위치에 대한 신호(예: 전압, 광량, 저항, 또는 전하량)의 변화를 측정함으로써 터치 입력 또는 호버링 입력을 감지할 수 있다. 터치 센서 IC(253)는 감지된 터치 입력 또는 호버링 입력에 관한 정보(예: 위치, 면적, 압력, 또는 시간)를 프로세서(120)에 제공할 수 있다. 일실시예에 따르면, 터치 회로(250)의 적어도 일부(예: 터치 센서 IC(253))는 디스플레이 드라이버 IC(230), 또는 디스플레이(210)의 일부로, 또는 디스플레이 모듈(160)의 외부에 배치된 다른 구성요소(예: 보조 프로세서(123))의 일부로 포함될 수 있다.

[54] 일실시예에 따르면, 디스플레이 모듈(160)은 센서 모듈(176)의 적어도 하나의 센서(예: 지문 센서, 홍채 센서, 압력 센서 또는 조도 센서), 또는 이에 대한 제어 회로를 더 포함할 수 있다. 이 경우, 상기 적어도 하나의 센서 또는 이에 대한 제어 회로는 디스플레이 모듈(160)의 일부(예: 디스플레이(210) 또는 DDI(230)) 또는 터치 회로(250)의 일부에 임베디드될 수 있다. 예를 들면, 디스플레이 모듈(160)에 임베디드된 센서 모듈(176)이 생체 센서(예: 지문 센서)를 포함할 경우, 상기 생체 센서는 디스플레이(210)의 일부 영역을 통해 터치 입력과 연관된

생체 정보(예: 지문 이미지)를 획득할 수 있다. 다른 예를 들면, 디스플레이 모듈(160)에 임베디드된 센서 모듈(176)이 압력 센서를 포함할 경우, 상기 압력 센서는 디스플레이(210)의 일부 또는 전체 영역을 통해 터치 입력과 연관된 압력 정보를 획득할 수 있다. 일 실시예에 따르면, 터치 센서(251) 또는 센서 모듈(176)은 디스플레이(210)의 픽셀 레이어의 픽셀들 사이에, 또는 상기 픽셀 레이어의 위에 또는 아래에 배치될 수 있다.

[55]

[56] 이하, 도 3 및 도 4를 참고하여, 일 실시예에 따른 전자 장치에 대하여 설명한다.

[57] 도 3은 일 실시예에 따른 전자 장치의 디스플레이의 복수의 픽셀들을 블록도로 나타낸 도면이다. 도 4는 일 실시예에 따른 전자 장치의 하나의 서브 픽셀의 구성을 나타낸 블록도이다. 앞서 설명한 실시예와 동일한 구성은 동일한 참조 번호로 참조될 수 있다.

[58] 도 3을 참조하면, 전자 장치(예: 도 1의 전자 장치(101))은 프로세서(120), 디스플레이 구동 회로(230)(예: 도 2의 디스플레이 드라이버 IC(230)) 및 디스플레이(210)를 포함할 수 있다.

[59] 일 실시예에 따라 디스플레이(210)는 매트릭스 형태로 배열된 복수의 픽셀들(340)을 포함할 수 있다. 이때, 각 픽셀(340)은 복수의 서브 픽셀(341, 342, 342)을 포함할 수 있다. 예를 들어, 디스플레이(210)에 포함된 하나의 픽셀(340)은 적색(R) 서브 픽셀(341), 녹색(G) 서브 픽셀(342) 및 청색(B) 서브 픽셀(343)과 같은 3종류의 서브 픽셀을 포함할 수 있다. 즉, R, G, B 서브 픽셀 한 세트가 디스플레이(210)의 하나의 단위 픽셀(340)을 구성할 수 있다.

[60] 도 3의 서브 픽셀들(341, 342, 343)의 배치 형태는 일 예일 뿐이며, 복수의 서브 픽셀들(341, 342, 343)은 각 픽셀(340) 내에서 실시 예에 따라 다양한 형태로 배치될 수 있다. 또한 도 3의 도시와 달리 실시예에 따라 하나의 픽셀(340)은 R, G, B, W(white)와 같이 4종류의 서브 픽셀로 구현될 수도 있고, 실시 예에 따라 다른 개수의 서브 픽셀이 하나의 픽셀을 구성할 수도 있다.

[61] 일 실시예에 따라 R 서브 픽셀(341)은 R 발광 소자 및 R 발광 소자를 구동하기 위한 구동 회로를, G 서브 픽셀(342)은 G 발광 소자 및 G 발광 소자를 구동하기 위한 구동 회로를, 그리고, B 서브 픽셀(343)은 B 발광 소자 및 B 발광 소자를 구동하기 위한 구동 회로를 각각 포함할 수 있다.

[62] 이하, 도 4를 참조하여, 하나의 서브 픽셀의 구성에 대하여 설명한다. 도 4는 R 서브 픽셀(341)을 예로 들어 도시하였으나, G 서브 픽셀(342) 및 B 서브 픽셀(343)의 구성도 이와 동일할 수 있다.

[63] 도 4를 참조하면, R 서브 픽셀(341)은 발광 소자(430)와 발광 소자(430)를 구동하기 위한 구동 회로(400)를 포함할 수 있다.

[64] 일 실시예에 따라 발광 소자(430)는 제1 회로 블록(410) 및 제2 회로 블록(420)과 전기적으로 연결되고, 제1 회로 블록(410) 및 제2 회로 블록(420)으로부터 제공되는 구동 전류에 기초하여 빛을 발광할 수 있다. 발광 소자(430)는

- 디스플레이(210)의 R 서브 픽셀(341)을 구성하며, 적색 색상의 빛을 발광하는 적색(R) 발광 소자일 수 있다.
- [65] 일 실시예에 따라 G 서브 픽셀(342)를 구성하는 발광 소자는 녹색 빛을 발광하는 녹색(G) 발광 소자일 수 있으며, B 서브 픽셀(343)을 구성하는 발광 소자는 청색(B) 빛을 발광하는 청색(B) 발광 소자일 수 있다. 즉, 서브 픽셀의 종류는 발광 소자의 종류에 따라 결정될 수 있다. 각 발광 소자를 구동하기 위한 구동 회로(400)은 각 서브 픽셀마다 존재할 수 있다.
- [66] 일 실시예에 따라, 발광 소자(430)는, 유기 재료를 이용하여 제작되는 OLED(Organic Light Emitting Diode)와는 다른, 무기 재료를 이용하여 제작되는 무기 발광 소자일 수 있으며, 마이크로 LED(Light Emitting Diode)(u-LED)일 수 있다. 마이크로 LED는 백라이트나 컬러 필터 없이 스스로 빛을 내는 100 마이크로미터(μm) 이하 크기의 초소형 무기 발광 소자를 의미할 수 있다. 그러나 발광 소자(430)가 마이크로 LED에 한정되는 것은 아니다.
- [67] 일 실시예에 따라 발광 소자(430)는 제1 회로 블록(410) 및 제2 회로 블록(420)이 제공하는 구동 전류에 따라 발광할 수 있다. 구체적으로, 발광 소자(430)는 제1 회로 블록(410) 및 제2 회로 블록(420)이 제공하는 구동 전류의 진폭(Amplitude) 또는 펄스 폭(Pulse Width)에 따라 상이한 휘도로 발광할 수 있다. 여기서, 구동 전류의 펄스 폭은 구동 전류의 듀티비(Duty Ratio) 또는 구동 전류의 구동 시간(Duration)으로 표현될 수도 있다.
- [68] 예를 들어, 발광 소자(430)는 구동 전류의 진폭이 클수록 높은 휘도로 발광할 수 있고, 펄스 폭이 길수록(즉, 듀티비가 높을수록 또는 구동 시간이 길수록) 높은 휘도로 발광할 수 있다.
- [69] 일 실시예에 따라 제1 회로 블록(410) 및 제2 회로 블록(420)을 포함하는 구동 회로(400)은 발광 소자(430)를 구동할 수 있다. 제1 회로 블록(410)은 PWM(Pulse Width Modulation) 블록일 수 있으며, 제2 회로 블록(420)은 CCG(Constant Current Generator) 블록일 수 있다. 제1 회로 블록(410)은 데이터 구동부(320)로부터 PWM 데이터 전압을 인가 받아 발광 소자(430)를 구동하는 구동 전류의 펄스 폭을 제어할 수 있고, 제2 회로 블록(420)은 구동 전류의 진폭을 제어할 수 있다.
- [70] 일 실시예에 따라 구동 회로(400)은 발광 소자(430)를 구동하는 구동 전류의 펄스 폭과 진폭을 제어하여 서브 픽셀 단위로 다양한 계조를 표현할 수 있다. 디스플레이(210)는 발광 소자(430) 단위로 서브 픽셀이 구성되므로, 구동 회로(400)은 발광 소자(430)를 구동하여 서브 픽셀 단위로 계조를 다르게 표현할 수 있다. 발광 소자(430)를 구동하는 방법에 대하여는 추후 자세하게 서술한다.
- [71] 다시 도 3을 참조하면, 디스플레이 구동 회로(230)는 매트릭스 형태로 배치된 디스플레이(210)의 복수의 픽셀들(340)을 가로 라인 단위(또는 행 단위)로 구동하기 위한 적어도 하나의 게이트 구동부(330), 각각의 픽셀(340) 또는 각각의 서브 픽셀(341, 342, 343)에 데이터 전압(예를 들어, PWM 데이터 전압 등)을 제공하기 위한 데이터 구동부(320)를 포함할 수 있다.

- [72] 일 실시예에 따라, 디스플레이(210)은 게이트 라인들(G1 내지 Gn)과 데이터 라인들(D1 내지 Dm)이 상호 교차하도록 형성되고, 그 교차로 마련되는 영역에 게이트 라인과 데이터 라인에 연결되도록 제1 회로 블록(410) 및 제2 회로 블록(420)이 위치할 수 있다.
- [73] 디스플레이 구동 회로(230)는 프로세서(120)의 제어에 따라 디스플레이(210) (보다 구체적으로는, 복수의 구동 회로(400)들)을 구동하며, 타이밍 컨트롤러(310), 데이터 구동부(320) 및 게이트 구동부(330)를 포함할 수 있다.
- [74] 타이밍 컨트롤러(310)는 외부로부터 입력 신호(IS), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 메인 클럭 신호(MCLK)를 입력받아 영상 데이터 신호, 주사 제어 신호, 데이터 제어 신호, 및/또는 발광 제어 신호를 생성하여 디스플레이(210), 데이터 구동부(320), 및/또는 게이트 구동부(330)에 제공할 수 있다.
- [75] 일 실시예에 따라 타이밍 컨트롤러(310)는 각종 신호(예: EM, Sweep, SCCG 등) 중 적어도 하나를 제1 회로 블록(410) 및/또는 제2 회로 블록(420)에 인가할 수 있다. 또한, 실시 예에 따라, R, G, B 서브 픽셀(341, 342, 343) 중 하나의 서브 픽셀을 선택하기 위한 제어 신호를 제1 회로 블록(410) 및/또는 제2 회로 블록(420)에 인가할 수도 있다.
- [76] 데이터 구동부(320)(또는 소스 드라이버, 데이터 드라이버)는, 데이터 신호를 생성하는 수단으로, 프로세서(120)로부터 R/G/B 성분의 영상 데이터를 전달받아 데이터 전압(예를 들어, PWM 데이터 전압)을 생성할 수 있다. 또한, 데이터 구동부(320)는 생성된 데이터 신호를 디스플레이 (210)에 인가할 수 있다.
- [77] 게이트 구동부(330)(또는, 게이트 드라이버)는 각종 제어 신호(예: EM, Sweep, SCCG)를 생성하는 수단으로, 생성된 각종 제어 신호를 디스플레이(210)의 특정한 행(또는, 특정한 가로 라인)에 전달하거나, 전체 라인에 전달할 수 있다. 또한, 게이트 구동부(330)는, 실시 예에 따라 구동 회로(400)의 구동 전압 단자에 구동 전압(VDD)을 인가할 수 있다.
- [78] 일 실시예에 따라 프로세서(120)는 디스플레이 모듈의 전반적인 동작을 제어할 수 있다. 프로세서(120)는 디스플레이 구동 회로(230)를 제어하여 디스플레이(210)을 구동할 수 있다. 이를 위해, 프로세서(120)는 중앙처리장치(central processing unit(CPU)), micro-controller, 어플리케이션 프로세서(application processor(AP)), 또는 커뮤니케이션 프로세서(communication processor(CP)), ARM 프로세서 중 하나 이상으로 구현될 수 있다.
- [79]
- [80] 이하, 도 5 및 도 6을 참조하여, 일 실시예에 따른 전자 장치의 디스플레이에 포함된 하나의 서브 픽셀의 구성 및 구동에 대하여 자세히 설명한다.
- [81] 도 5는, 일 실시예에 따른 전자 장치의 디스플레이에 포함된 하나의 서브 픽셀에 해당하는 회로도이다. 도 6은 일 실시예에 따른 전자 장치가 도 5의 회로를 구동하기 위한 각종 신호를 시간에 따라 나타낸 도면이다. 앞서 설명한

실시예와 동일한 구성은 동일한 참조 번호로 참조될 수 있으며, 이에 대한 설명은 생략될 수 있다.

- [82] 먼저 도 5를 참조하여 하나의 서브 픽셀을 구성하는 소자들 및 그 소자들의 연결 관계에 대하여 설명한다. 도 5를 참조하면, 하나의 서브 픽셀은 하나의 발광 소자(430)와 발광 소자(430)을 구동하기 위한 구동 회로(400)를 포함할 수 있다. 디스플레이(210)에는 도 5와 같은 발광 소자(430) 및 발광 소자(430)의 구동 회로(400)가 서브 픽셀 별로 마련될 수 있다. 발광 소자(430)는 R, G, B 중 어느 한 색상의 발광 소자일 수 있다.
- [83] 일 실시예에 따라 제1 회로 블록(410)은 PWM 블록일 수 있다. 제1 회로 블록(410)은, 소스 단자가 구동 전압(VDD) 단자에 연결되고 드레인 단자가 제2 트랜지스터(512)의 드레인 단자 및 제3 트랜지스터(513)의 소스 단자에 공통 연결되는 제1 트랜지스터(511), 소스 단자를 통해 데이터 신호(Sig_pwm[n])가 인가되고 드레인 단자가 제1 트랜지스터(511)의 드레인 단자 및 제3 트랜지스터(513)의 소스 단자에 연결된 제2 트랜지스터(512), 소스 단자가 제1 트랜지스터(511)의 드레인 단자 및 제2 트랜지스터(512)의 드레인 단자에 공통 연결되고 드레인 단자가 제4 트랜지스터(514)의 드레인 단자와 제5 트랜지스터(515)의 소스 단자에 공통 연결된 제3 트랜지스터(513), 제3 트랜지스터(513)의 게이트 단자와 드레인 단자 사이에 연결된 제4 트랜지스터(514), 일 단으로 제어 신호(Sweep[n])가 인가되고 타 단이 제6 트랜지스터(516)의 소스 단자와 제3 트랜지스터(513)의 게이트 단자와 공통 연결된 제1 캐패시터(517)를 포함할 수 있다.
- [84] 일 실시예에 따라 제2 회로 블록(420)은 CCG 블록일 수 있다. 제2 회로 블록(420)은 소스 단자가 제9 트랜지스터(523)의 드레인 단자와 연결되고 드레인 단자가 발광 소자(430)과 연결된 제7 트랜지스터(521), 게이트 단자로 제어 신호(SCCG)가 인가되고 드레인 단자가 제5 트랜지스터(515)의 드레인 단자와 제7 트랜지스터(521)의 게이트 단자에 공통 연결된 제8 트랜지스터(522), 소스 단자가 구동 전압(VDD) 단자와 연결되고 드레인 단자가 제7 트랜지스터(521)의 소스 단자와 연결되는 제9 트랜지스터(523)를 포함할 수 있다.
- [85] 한편, 이상에서는, 서브 픽셀의 구동 회로에 포함된 트랜지스터들(511, 512, 513, 514, 515, 516, 521, 522, 523)이 모두 PMOSFET(P-channel Metal Oxide Semiconductor Field Effect Transistor)으로 구현된 것을 예로들었다. 그러나, 실시예가 이에 한정되는 것은 아니며, 일 실시 예에 따르면, 포함된 트랜지스터들이 모두 NMOSFET(N-channel Metal Oxide Semiconductor Field Effect Transistor)으로 구성된 구동 회로도 상술한 구동 회로와 동일한 동작을 하도록 구현될 수 있다. 또는 일 실시 예에 따라, 포함된 트랜지스터들이 PMOSFET과 NMOSFET을 혼용하여 구성된 구동 회로도 상술한 구동 회로와 동일한 동작을 하도록 구현될 수 있다.
- [86] 이때, NMOSFET으로 이루어진 구동 회로의 경우, 트랜지스터의 종류 차이로

인한 차이점(예를 들어, 소자들 간의 연결 관계 차이 및 인가되는 각종 신호의 극성 차이)을 제외하고는, 도 5의 구동 회로와 동일한 동작을 수행할 수 있다. 당업자라면 PMOSFET을 기준으로 기술한 설명을 통해 NMOSFET으로 구현된 구동 회로의 동작을 용이하게 이해할 수 있으므로, 이에 대한 불필요한 중복 설명은 생략한다.

- [87] 이하, 도 5 및 도 6을 참조하여 구동 회로(400)의 동작을 보다 자세히 설명한다. 도 6은 도 5의 구동 회로(400)에 인가되는 각종 신호를 시간에 따라 나타낸 도면일 수 있다. 일 실시예에 따라 도 6의 각종 신호들은 프로세서(예: 도 4의 프로세서(120))의 제어에 따라 디스플레이 구동 회로(예: 도 3의 디스플레이 구동 회로(230))에 인가될 수 있다.
- [88] 도 5 및 도 6을 참조하면, 하나의 서브 픽셀의 구동 회로(400)은 하나의 프레임을 디스플레이 하기 위해 제1 초기화 기간인 제1 기간(610), 제2 초기화 기간인 제2 기간(620), 보상 기간이자 데이터 전압 입력 기간인 제3 기간(630), 발광 기간인 제4 기간(640), 제 초기화 기간인 제5 기간(650), 제 발광 기간인 제6 기간(660)의 순으로 구동될 수 있다.
- [89] 일 실시예에 따라 제1 기간(610)은 제7 트랜지스터(521)의 게이트 노드(A)를 초기화하는 기간일 수 있다. 제1 기간(610)에는 제어 신호(EM[n])가 하이 전압을 가질 수 있다. 따라서 제어 신호(EM[n])을 게이트 단자로 인가받는 제1 트랜지스터(511), 제5 트랜지스터(515) 및 제9 트랜지스터(523)는 오프(off)될 수 있고 구동 전압(VDD) 단자에서 제7 트랜지스터(521)로 흐르는 전류는 차단될 수 있다.
- [90] 프로세서(120)는 제1 기간(610)에서 제7 트랜지스터(521)의 이전 프레임의 바이어스(bias) 조건에 의한 화질 열화를 개선하기 위하여 제어 신호(SCCG)를 로우 전압으로 하여 제8 트랜지스터(522)를 온(on)하고 제7 트랜지스터(521)에 일정시간 동안 바이어스(bias)를 인가 할 수 있다. 프로세서(120)는 제어 신호(SCCG)이 로우 전압을 갖는 시간을 조절하여 바이어스 인가 시간을 조절할 수 있다. 프로세서(120)은 제7 트랜지스터(521)에 바이어스를 인가함으로써 이전 프레임의 구동에 의해 발생할 수 있는 제7 트랜지스터(521)의 문턱 전압 쉬프트(shift) 편차를 감소시킬 수 있다.
- [91] 프로세서(120)는 제1 기간(610) 동안 제어 신호(EM[n])을 하이 전압으로 유지하여 발광 경로를 차단한 상태에서 제어 신호(SCCG)를 로우 전압으로 유지하여 제8 트랜지스터(522)를 온(on) 함으로써 제7 트랜지스터(521)의 게이트 단자(A)를 초기화시키고 제7 트랜지스터(521)를 턴 온(turn-on)상태로 만들 수 있다. 제7 트랜지스터(521)의 게이트 단자(A)의 초기화 전압은 제어 신호(VINT)에 의해 결정될 수 있다.
- [92] 제어 신호(EM[n])가 하이 전압을 유지하고 제어 신호(SCCG)가 로우 전압을 유지하는 동안에는 제7 트랜지스터(521)의 게이트 노드(A)은 초기화 상태를 유지할 수 있다. 일 실시예에 따라 제어 신호(EM[n])의 하이 전압 및 제어

신호(SCCG)의 로우 전압은 제1 기간(610), 제2 기간(620) 및 제3 기간(630)까지 유지될 수 있다.

- [93] 일 실시예에 따라 제2 기간(620)은 제3 트랜지스터(513)의 게이트 단자(B)를 초기화하는 기간일 수 있다. 프로세서(120)는 제2 기간(620)에는 제어 신호(GI)를 로우(low) 전압으로 변경할 수 있다. 따라서 제어 신호(GI)을 게이트 단자로 인가받는 제6 트랜지스터(516)은 온(on)될 수 있고 제3 트랜지스터(513)의 게이트 전압(B)는 초기화되며, 제3 트랜지스터(513)은 온(on) 상태로 변경될 수 있다. 제3 트랜지스터(513)의 게이트 단자(B)의 초기화 전압은 제어 신호(VINT)에 의해 결정될 수 있다. 제2 기간(620) 동안 제어 신호(EM[n])가 하이 전압으로 유지되므로 구동 전압(VDD) 단자로부터 제3 트랜지스터(513)로의 전류 흐름은 제1 트랜지스터(511)에 의해 차단될 수 있다.
- [94] 일 실시예에 따라 제3 기간(630)은 제3 트랜지스터(513)의 문턱 전압 보상 기간이자 데이터 전압을 입력하는 기간일 수 있다. 프로세서(120)는 제3 기간(630)에는 제어 신호(GW)를 로우 전압으로 변경할 수 있다. 따라서 제어 신호 (GW)를 게이트 단자로 인가받는 제2 트랜지스터(512)와 제4 트랜지스터(514)가 온(on) 상태로 변경될 수 있다. 일 실시예에 따라 제어 신호(GW)는 게이트 라인 별로 데이터 신호를 선택하기 위한 신호이므로 출력할 이미지에 따라 라인 별로 제어 신호(GW) 로우 전압 변경 여부가 상이할 수 있다.
- [95] 이에 따라 발광 소자(430)의 발광 시간을 조절하는 계조 데이터를 포함하는 데이터 신호(Sig_pmw[n])는 제2 트랜지스터(512)의 소스 단자로 입력되어 제3 트랜지스터(513) 및 제4 트랜지스터(514)를 거쳐 제3 트랜지스터(513)의 게이트 단자(B)에 일단이 연결된 제1 캐패시터(517)에 저장될 수 있다. 제1 캐패시터(517)는 하나의 프레임 동안 제3 트랜지스터(513)의 게이트 단자(B)의 전압을 저장할 수 있다. 데이터 신호(Sig_pmw[n])가 문턱 전압 산포(distribution) 보상 회로인 제2 트랜지스터(512), 제3 트랜지스터(513) 및 제4 트랜지스터(514)를 거치고 제3 트랜지스터(513)의 게이트 단자(B)에 저장됨으로써 제3 트랜지스터(513)의 문턱 전압 산포가 보상될 수 있다.
- [96] 이때 데이터 신호(Sig_pwm[n])은 광학 보상으로 형성된 제7 트랜지스터(521)의 문턱 전압 산포 및 LED 휘도 산포를 보상한 보상값을 포함할 수 있다. 제2 회로 블록(420)의 출력 트랜지스터인 제7 트랜지스터(521)의 소자 특성에 대한 보상 값은 데이터 신호(Sig_pmw[n])에 반영되므로 디스플레이 패널의 데이터 라인마다 같은 데이터를 입력하더라도 보상 값에 따라 데이터 라인 마다 다른 전압 값이 입력될 수 있다.
- [97] 일 실시예에 따라 제4 기간(640)은 발광 기간일 수 있다. 프로세서(120)는 제4 기간(640)에 제어 신호(EM)를 로우 전압으로 변경할 수 있고, 이에 따라 제1 트랜지스터(511), 제5 트랜지스터(515) 및 제9 트랜지스터(523)는 턴 온(turn-on)될 수 있다. 이에 따라 구동 전압(VDD)단자에서부터 제9 트랜지스터(523), 제7 트랜지스터(521), 발광 소자(430), 그라운드 전압(VSS)

단자로 전류가 흘러 발광 소자(430)를 발광시킬 수 있다. 일 실시예에 따라 제어 신호(EM)은 발광 경로를 온/오프하여 구동 회로(400)의 발광/비발광을 제어하는 역할을 할 수 있다.

- [98] 제4 기간(640) 동안, 프로세서(120)는 기울기를 가지는 파형의 제어 신호(Sweep)를 제1 캐패시터(517)의 일단으로 입력할 수 있다. 제1 캐패시터(517)에 저장되어 있는 계조 데이터와 입력되는 제어 신호(Sweep)의 변화에 따라 제3 트랜지스터(513)의 게이트 단자(B)의 전압이 커플링되어 변경됨으로 제어 신호(Sweep)의 전위에 따라 제3 트랜지스터(513)이 점점 턴 온(turn-on) 상태로 변경될 수 있다.
- [99] 제3 트랜지스터(513)가 턴 온 상태로 변경됨에 따라, 제3 트랜지스터(513)을 통하여 흐르는 전류가 점점 많아져 제7 트랜지스터(521)의 게이트 단자(A)가 로우 전압에서 하이 전압으로 변경될 수 있다. 이에 따라 일정 시간이 지나면 온(on)상태의 제7 트랜지스터(521)가 오프(off) 상태로 변경될 수 있고, 제7 트랜지스터(521)가 오프 상태가 되면 발광 소자(430)의 발광이 중지될 수 있다.
- [100] 즉, 제3 트랜지스터(513)의 게이트 단자(B)에 저장되는 데이터 신호(Sig_pwm[n])에 따라 제7 트랜지스터(521)가 오프 상태로 전환되는 시간을 조절할 수 있고, 제7 트랜지스터(521)에 전류가 흐르는 시간(펄스 폭)을 조절함에 따라 계조를 조절하는 PWM 구동을 할 수 있다.
- [101] 일 실시예에 따라 제5 기간(650)은 제7 트랜지스터(521)의 재초기화 기간일 수 있다. 프로세서(120)는 제5 기간(650) 동안 제어 신호(EM)과 제어 신호(Sweep)를 하이 전압으로 변경하여 제1 트랜지스터(511), 제3 트랜지스터(513), 제5 트랜지스터(515) 및 제9 트랜지스터(523)을 오프 상태로 변경할 수 있다. 또한 프로세서(120)는 제5 기간(650) 동안 제어 신호(SCCG)를 로우 전압으로 변경하여 제8 트랜지스터(522)를 턴 온 상태로 변경하고 제7 트랜지스터(521)를 재초기화하여 제7 트랜지스터(521)도 턴 온 상태로 변경할 수 있다.
- [102] 일 실시예에 따라 제6 기간(660)은 발광 소자(430)의 재발광 기간일 수 있다. 프로세서(120)는 제어 신호(SCCG)는 하이 전압으로 변경하여 제8 트랜지스터(522)는 오프 상태로 변경할 수 있고, 제어 신호(EM)를 로우 전압으로 변경하여 제1 트랜지스터(511), 제5 트랜지스터(515) 및 제9 트랜지스터(523)을 턴 온(turn-on)하여 발광 소자(430)을 발광시킬 수 있다.
- [103] 프로세서(120)는 제6 기간(660) 동안 제어(Sweep) 신호를 하이 전압에서 로우 전압으로 다시 한번 변경함으로써 제3 트랜지스터(513)를 온 상태로 변경할 수 있고, 제1 캐패시터(517)에 저장되어 있는 계조 데이터 전압을 이용하여 온 상태의 제7 트랜지스터(521)를 오프 상태로 변경함으로써 제7 트랜지스터(521)에 전류가 흐르는 시간을 다시 한번 제어할 수 있다.
- [104] 프로세서(120)는 하나의 프레임 동안 제7 트랜지스터(521)의 초기화 및 PWM 구동을 반복함으로써 듀티(duty) 구동을 할 수 있다. 도 6에서는 하나의 프레임 당 제7 트랜지스터(521)를 두 번 초기화하는 것으로 도시하였으나 실시예에 따라

3번 이상 초기화할 수 있으며, 다양한 듀티 사이클(duty cycle)로 구동할 수 있다.

[105] 본 개시의 일 실시예에 따른 화소 회로 구조는 CCG 회로 블록의 출력 트랜지스터(예: 도 5의 제7 트랜지스터(521))에 바이어스를 인가하는 별도의 트랜지스터(예: 도 5의 제8 트랜지스터(522)) 및 SCCG 배선을 포함함으로써, CCG 회로 블록의 출력 트랜지스터를 1 프레임 당 2회 이상 초기화할 수 있고, 한번의 계조 데이터 입력으로 캐패시터에 저장되어 있는 계조 데이터를 이용하여 1 프레임 안에서 발광, 비발광을 여러 번 반복하는 듀티 구동을 제공할 수 있다. 또한 별도의 트랜지스터 및 SCCG 배선으로 제어 신호(SCCG)의 로우 전압 인가 시간을 조절하여 CCG 회로 블록의 출력 트랜지스터의 바이어스 인가 시간을 조절할 수 있으며, 히스테리시스(hysteresis)에 의한 화질 열화를 개선할 수 있다.

[106] 본 개시의 일 실시예에 따른 화소 회로 구조는 CCG 회로 블록의 출력 트랜지스터(예: 도 5의 제7 트랜지스터(521))가 내부 보상 회로를 갖지 않으며, 디스플레이 동작시, 디스플레이 구동 회로의 내부 메모리 또는 외부 메모리에 저장된 CCG 회로 블록의 출력 트랜지스터의 특성 산포 보상 데이터를 기반으로 디스플레이 구동 회로 또는 프로세서가 연산을 통하여 데이터 신호(Sig_pwm)에 보상 값을 반영하여 인가할 수 있다. 이에 따라 화소 회로 구조가 간소화되었으며, 고해상도 디스플레이 및/또는 중소형 디스플레이에 적용 가능한 화소 회로 구조를 제공할 수 있다.

[107]

[108] 이하, 도 7 및 도 8을 참조하여, 일 실시예에 따른 전자 장치의 디스플레이에 포함된 하나의 서브 픽셀의 구성 및 구동에 대하여 자세히 설명한다.

[109] 도 7는, 일 실시예에 따른 전자 장치의 디스플레이에 포함된 하나의 서브 픽셀에 해당하는 회로도이다. 도 8은 일 실시예에 따른 전자 장치가 도 7의 회로를 구동하기 위한 각종 신호를 시간에 따라 나타낸 도면이다. 앞서 설명한 실시예와 동일한 구성은 동일한 참조 번호로 참조될 수 있으며, 이에 대한 설명은 생략될 수 있다.

[110] 먼저 도 7을 참조하여 하나의 서브 픽셀을 구성하는 소자들 및 그 소자들의 연결 관계에 대하여 설명한다. 도 7를 참조하면, 하나의 서브 픽셀은 제1 회로 블록(410), 제2 회로 블록(710) 및 발광 소자(430)로 구성될 수 있으며, 제1 회로 블록(410) 및 발광 소자(430)에 대한 설명은 도 5의 실시예와 동일할 수 있다. 이하에서는 도 5의 일 실시예에 따른 회로 구조와 차이가 있는 제2 회로 블록(710)을 중심으로 설명한다.

[111] 제2 회로 블록(710)은 CCG 회로 블록일 수 있다. 제2 회로 블록(710)이 출력 트랜지스터인 제7 트랜지스터(711)와, 제7 트랜지스터(711)의 게이트 단자에 연결된 제8 트랜지스터(712), 제7 트랜지스터(711)의 소스 단자에 연결된 제9 트랜지스터(713)을 포함하는 것은 도 5의 실시예와 동일하나, 제8 트랜지스터(712)의 소스 단자는 도 5의 실시예와 달리 제어 신호(VINT) 입력

단자가 아닌 보상 신호(Sig_ccg[n])를 입력하는 별도의 입력 단자와 연결될 수 있다. 일 실시예에 따라 보상 신호(Sig_ccg[n])를 입력하는 배선(미도시)은 데이터 라인과 같이 세로 방향으로 형성될 수 있다.

[112] 이하, 도 7 및 도 8을 참조하여 구동 회로(400)의 동작을 보다 자세히 설명한다. 도 8은 도 7의 구동 회로(400)에 인가되는 각종 신호를 시간에 따라 나타낸 도면일 수 있다. 일 실시예에 따라 도 8의 각종 신호들은 프로세서(예: 도 4의 프로세서(120))의 제어에 따라 디스플레이 구동 회로(예: 도 3의 디스플레이 구동 회로(230))에 의해 구동 회로(400)에 인가될 수 있다.

[113] 도 8의 제1 초기화 기간인 제1 기간(610), 제2 초기화 기간인 제2 기간(620), 데이터 전압 입력 기간인 제3 기간(630), 발광 기간인 제4 기간(640), 제 초기화 기간인 제5 기간(650), 제 발광 기간인 제6 기간(660)에 대한 설명은 도 6을 참조하여 설명한 실시예와 동일할 수 있다. 다만, 도 8의 실시예에서는 발광 기간(640) 및 제 발광 기간(660)의 전에 제7 트랜지스터(711)의 소자 특성을 보상하는 보상 기간(670, 680)이 추가될 수 있다.

[114] 일 실시예에 따르면, 보상 기간(670, 680)에 프로세서(120)는 제8 트랜지스터(712)의 소스 단자로 보상 신호(Sig_ccg[n])를 입력할 수 있다. 전자 장치(101)는 디스플레이 구동 회로(230)의 내부 메모리 또는 외부 메모리에 제7 트랜지스터(711)의 특성 산포에 대한 보상 데이터를 저장하고 있을 수 있다. 프로세서(120)는 보상 기간(670, 680)에 메모리에 저장된 데이터를 기반으로 제7 트랜지스터(711)의 특성 산포에 대한 보상 값을 반영한 보상 신호(Sig_ccg[n])를 제8 트랜지스터(712)의 소스 단자로 입력할 수 있다.

[115] 보상 기간(670, 680)에 제어 신호(SCCG)는 로우 전압 상태이므로 제8 트랜지스터(712)는 온(on) 상태이고, 보상 신호(Sig_ccg[n])는 제8 트랜지스터(712)를 통하여 제7 트랜지스터(711)의 게이트 단자로 입력될 수 있다. 보상 기간(670, 680)에 제7 트랜지스터(711)의 보상 값을 반영하는 경우, 데이터 신호(Sig_pwm)는 제7 트랜지스터(711)의 보상 값을 반영하지 않을 수 있다.

[116] 본 개시의 일 실시예에 따른 디스플레이 화소 회로는 CCG회로 블록의 출력 트랜지스터인 제7 트랜지스터(711)의 소자 특성을 보상할 수 있는 별도의 보상 신호(Sig_ccg)의 입력 배선을 추가하여 발광시 마다 제7 트랜지스터(711)의 게이트 단자에 보상 값을 반영할 수 있는 구조를 가지며, 이에 따라 보상 값 반영을 고도화할 수 있고, 파장 쉬프트(wavelength shift) 문제를 개선할 수 있다. 또한, 프로세서(120)는 보상 신호(Sig_ccg) 배선을 통하여 각 픽셀 별로 다른 전압을 인가할 수 있고, 보상 신호(Sig_ccg)의 전압을 조절함으로써 각 픽셀 별로 제7 트랜지스터(711)에 흐르는 전류의 펄스 크기(높낮이)를 조절할 수 있다.

[117]

[118] 이하, 도 9 및 도 10을 참조하여, 일 실시예에 따른 전자 장치의 디스플레이에 포함된 하나의 서브 픽셀의 구성 및 구동에 대하여 자세히 설명한다.

- [119] 도 9는, 일 실시예에 따른 전자 장치의 디스플레이에 포함된 하나의 서브 픽셀에 해당하는 회로도이다. 도 10은 일 실시예에 따른 전자 장치의 디스플레이 화소 회로 구조에 따른 발광 시간 차이를 나타낸 도면이다. 앞서 설명한 실시예와 동일한 구성은 동일한 참조 번호로 참조될 수 있으며, 이에 대한 설명은 생략될 수 있다.
- [120] 먼저 도 9를 참조하여 하나의 서브 픽셀을 구성하는 소자들 및 그 소자들의 연결 관계에 대하여 설명한다. 도 9를 참조하면, 하나의 서브 픽셀은 제1 회로 블록(410), 제2 회로 블록(910) 및 발광 소자(430)로 구성될 수 있으며, 제1 회로 블록(410) 및 발광 소자(430)에 대한 설명은 도 5의 실시예와 동일할 수 있다. 이하에서는 도 5의 일 실시예에 따른 회로 구조와 차이가 있는 제2 회로 블록(910)을 중심으로 설명한다.
- [121] 제2 회로 블록(910)은 CCG 회로 블록일 수 있다. 앞서 도 5 및 도 7을 참조하여 설명한 화소 회로 구조에서 CCG 회로 블록의 출력 트랜지스터는 모두 PMOSFET이었다. 반면에 도 9의 디스플레이 화소 회로 구조에서 제2 회로 블록(910)이 출력 트랜지스터인 제7 트랜지스터(911)는 NMOSFET일 수 있다.
- [122] 제2 회로 블록(910)이 제7 트랜지스터(911)의 게이트 단자에 연결된 제8 트랜지스터(912), 제7 트랜지스터(911)의 소스 단자에 연결된 제9 트랜지스터(913)를 포함하는 것은 도 5의 실시예와 동일하나, 제8 트랜지스터(912)의 소스 단자는 도 5의 실시예와 달리 제어 신호(VINT) 입력 단자가 아닌 데이터 신호(Sig_pwm)의 입력 단자와 연결될 수 있다. 또한, 발광 소자(430)은 제7 트랜지스터(911)의 드레인 단자가 아닌 제9 트랜지스터(913)의 소스 단자와 연결되어 있을 수 있다.
- [123] 이하, 도 5, 도 9 및 도 10을 참조하여 구동 회로(400)의 동작을 보다 자세히 설명한다. 도 10에서 제1 도면(1010)은 CCG 블록의 출력 트랜지스터가 PMOSFET인 도 5의 회로 구조일 때의 각종 입력 신호 및 발광 소자의 발광 시간을 나타낸 도면일 수 있다. 도 10에서 제2 도면(1020)은 CCG 블록의 출력 트랜지스터가 NMOSFET인 도 9의 회로 구조일 때의 각종 입력 신호 및 발광 소자의 발광 시간을 나타낸 도면일 수 있다. 이하, CCG 블록의 출력 트랜지스터의 타입에 따른 차이점을 중심으로 설명한다.
- [124] 도 5 및 도 10의 제1 도면(1010)을 참조하면, 제8 트랜지스터(522)의 소스 단자가 제어 신호(VINT)의 입력 단자와 연결되어 있으므로, 제어 신호(SCCG[n])이 로우 전압으로 변경되어 제8 트랜지스터(522)가 온(on)상태로 되면, 제7 트랜지스터(521)의 게이트 단자로 로우 전압이 인가되어 제7 트랜지스터(521)가 온(on) 상태로 변경될 수 있다.
- [125] 따라서 제어 신호(EM[n])이 로우 전압으로 변경되어 제1 트랜지스터(511), 제5 트랜지스터(515) 및 제9 트랜지스터(523)이 온(on)상태가 되고 발광 경로가 형성되면 발광 소자(430)이 발광할 수 있다.
- [126] 제어 신호(Sweep)의 전위 변화에 따라 제3 트랜지스터(513)의 게이트

단자(B)의 전압이 커플링되어 제3 트랜지스터(513)이 점점 턴 온(turn-on) 상태로 변경될 수 있고, 제3 트랜지스터(513)가 턴 온 상태로 변경됨에 따라 제7 트랜지스터(521)의 게이트 단자(A)가 로우 전압에서 하이 전압으로 변경되어 온(on)상태의 제7 트랜지스터(521)가 오프(off) 상태로 변경될 수 있다.

[127] 발광 소자(430)은 제7 트랜지스터(521)가 오프 상태로 변경되기 전까지 발광을 유지할 수 있고, 제7 트랜지스터(521)가 오프 상태로 변경되면 발광이 중지될 수 있다.

[128] 도 9 및 도 10의 제2 도면(1020)을 참조하면, 제7 트랜지스터(911)는 턴 오프(turn-off) 전압으로 초기화될 수 있다. 따라서 제어 신호(EM[n])이 로우 전압으로 변경되어 제1 트랜지스터(511), 제5 트랜지스터(515) 및 제9 트랜지스터(913)이 온(on)상태가 되어도 처음에는 제7 트랜지스터(911)가 오프 상태이므로 발광 소자(430)는 발광하지 않을 수 있다. 그러나 제어 신호(Sweep)의 전위 변화에 따라 제3 트랜지스터(513)의 게이트 단자(B)의 전압이 커플링되어 제3 트랜지스터(513)이 점점 턴 온(turn-on) 상태로 변경되면 오프 상태의 제7 트랜지스터(911)가 온 상태로 변경될 수 있다.

[129] 발광 소자(430)은 제7 트랜지스터(911)가 온 상태로 변경되면 발광을 시작할 수 있고, 제어 신호(EM[n])가 하이 전압으로 변경되고 제7 트랜지스터(911)의 제 초기화 기간이 시작됨에 따라 발광이 중지될 수 있다.

[130] PMOFET의 출력 트랜지스터는 온(on)상태로 초기화하고 제어 신호(Sweep)의 전위 변경에 따라 오프(off) 상태로 점차 변경되므로 블랙과 저계조 표현에 어려움이 있을 수 있다. 반면에 CCG 회로 블록의 출력 트랜지스터를 NMOSFET으로 구성하면 출력 트랜지스터를 오프(off) 상태로 초기화하고 제어 신호(Sweep)의 전위 변경에 따라 온(on) 상태로 점차 변경되므로 저계조 및 저휘도 구현에 유리할 수 있다.

[131]

[132] 본 개시의 일 실시예에 따른 전자 장치에 있어서, 제1 회로 블록, 제2 회로 블록 및 상기 제1 회로 블록과 상기 제2 회로 블록으로부터 제공되는 구동 전류에 기초하여 빛을 발광하는 발광 소자를 포함하는 서브 픽셀, 상기 서브 픽셀을 포함하는 복수의 픽셀을 포함하는 디스플레이 패널, 상기 디스플레이 패널에 전기적으로 연결된 디스플레이 구동 회로, 및 상기 디스플레이 구동 회로에 전기적으로 연결된 프로세서를 포함하며, 상기 디스플레이 구동 회로는: 하나의 프레임(frame)에 대한 계조 데이터를 상기 제1 회로 블록의 제1 출력 트랜지스터의 제1 게이트 단자에 저장하고, 상기 제1 출력 트랜지스터의 상기 제1 게이트 단자에 시간에 따라 전위가 변경되는 제어 신호를 입력하며, 상기 제1 출력 트랜지스터가 상기 제어 신호를 입력 받음에 따라 상기 제2 회로 블록의 제2 출력 트랜지스터의 제2 게이트 단자의 전압이 변경되고, 상기 제2 출력 트랜지스터가 온(on) 상태인 시간을 조절하여 상기 발광 소자의 발광 시간을 제어하며, 상기 제2 게이트 단자에 연결된 제2 초기화 트랜지스터를

- 이용하여 상기 제2 게이트 단자에 상기 하나의 프레임 동안 2회 이상의 초기화 전압을 인가함으로써 상기 제2 게이트 단자를 2회 이상 초기화하도록 제어할 수 있다.
- [133] 본 개시의 일 실시예에 따르면, 상기 디스플레이 구동 회로는, 상기 하나의 프레임에 대한 상기 계조 데이터를 기반으로 상기 하나의 프레임 동안 상기 발광 소자를 2회 이상 발광하도록 제어할 수 있다.
- [134] 본 개시의 일 실시예에 따르면, 상기 디스플레이 구동 회로는, 상기 제2 초기화 트랜지스터가 온(on) 상태인 시간을 조절하여 상기 제2 출력 트랜지스터의 바이어스(bias) 인가 시간을 제어할 수 있다.
- [135] 본 개시의 일 실시예에 따르면, 상기 디스플레이 구동 회로는, 상기 계조 데이터에 상기 제2 출력 트랜지스터의 소자 특성에 대한 보상 값을 반영할 수 있다.
- [136] 본 개시의 일 실시예에 따르면, 상기 제2 출력 트랜지스터의 상기 소자 특성에 대한 정보는 상기 전자 장치의 메모리에 저장되어 있을 수 있다.
- [137] 본 개시의 일 실시예에 따르면, 상기 하나의 프레임에서 상기 제1 출력 트랜지스터의 초기화 기간과 상기 제2 출력 트랜지스터의 초기화 기간은 동일하지 않을 수 있다.
- [138] 본 개시의 일 실시예에 따르면, 상기 디스플레이 구동 회로는, 상기 제2 초기화 트랜지스터의 게이트 단자에 입력하는 제2 초기화 신호와 별도로 상기 제1 출력 트랜지스터를 초기화하는 제1 초기화 트랜지스터의 게이트 단자에 제1 초기화 신호를 입력할 수 있다.
- [139] 본 개시의 일 실시예에 따르면, 상기 디스플레이 구동 회로는, 상기 제1 출력 트랜지스터의 상기 제1 게이트 단자와 드레인 단자 사이에 연결된 보상 트랜지스터를 이용하여 상기 제1 출력 트랜지스터의 소자 특성을 보상할 수 있다.
- [140] 본 개시의 일 실시예에 따르면, 상기 제2 출력 트랜지스터는 PMOSFET(P-channel Metal Oxide Semiconductor Field Effect Transistor)이며, 상기 디스플레이 구동 회로는, 상기 발광 소자의 발광 전에 상기 제2 출력 트랜지스터를 온(on)상태로 초기화할 수 있다.
- [141] 본 개시의 일 실시예에 따르면, 상기 제2 출력 트랜지스터는 NMOSFET(N-channel Metal Oxide Semiconductor Field Effect Transistor)이며, 상기 디스플레이 구동 회로는, 상기 발광 소자의 발광 전에 상기 제2 출력 트랜지스터를 오프(off)상태로 초기화할 수 있다.
- [142] 본 개시의 일 실시예에 따른 디스플레이를 포함하는 전자 장치의 디스플레이 구동 방법은, 상기 전자 장치의 디스플레이 구동 회로를 통하여, 하나의 프레임(frame)에 대한 계조 데이터를 상기 디스플레이의 서브 픽셀에 포함된 제1 회로 블록의 제1 출력 트랜지스터의 제1 게이트 단자에 저장하고, 상기 제1 출력 트랜지스터의 상기 제1 게이트 단자에 시간에 따라 전위가 변경되는 제어

신호를 입력하며, 상기 제1 출력 트랜지스터가 상기 제어 신호를 입력 받음에 따라 상기 서브 픽셀에 포함된 제2 회로 블록의 제2 출력 트랜지스터의 제2 게이트 단자의 전압이 변경되고, 상기 제2 출력 트랜지스터가 온(on) 상태인 시간을 조절하여 상기 서브 픽셀에 포함된 발광 소자의 발광 시간을 제어하며, 상기 제2 게이트 단자에 연결된 제2 초기화 트랜지스터를 이용하여 상기 제2 게이트 단자에 상기 하나의 프레임 동안 2회 이상의 초기화 전압을 인가함으로써 상기 제2 게이트 단자를 2회 이상 초기화하도록 제어할 수 있다.

[143] 본 개시의 일 실시예에 따르면, 상기 디스플레이 구동 회로를 통하여, 상기 하나의 프레임에 대한 상기 계조 데이터를 기반으로 상기 하나의 프레임 동안 상기 발광 소자를 2회 이상 발광하도록 제어할 수 있다.

[144] 본 개시의 일 실시예에 따르면, 상기 디스플레이 구동 회로를 통하여, 상기 제2 초기화 트랜지스터가 온(on) 상태인 시간을 조절하여 상기 제2 출력 트랜지스터의 바이어스(bias) 인가 시간을 제어할 수 있다.

[145] 본 개시의 일 실시예에 따르면, 상기 디스플레이 구동 회로를 통하여, 상기 계조 데이터에 상기 제2 출력 트랜지스터의 소자 특성에 대한 보상 값을 반영할 수 있다.

[146] 본 개시의 일 실시예에 따르면, 상기 제2 출력 트랜지스터의 상기 소자 특성에 대한 정보는 상기 전자 장치의 메모리에 저장되어 있을 수 있다.

[147] 본 개시의 일 실시예에 따르면, 상기 하나의 프레임에서 상기 제1 출력 트랜지스터의 초기화 기간과 상기 제2 출력 트랜지스터의 초기화 기간은 동일하지 않을 수 있다.

[148] 본 개시의 일 실시예에 따르면, 상기 디스플레이 구동 회로를 통하여, 상기 제2 초기화 트랜지스터의 게이트 단자에 입력하는 제2 초기화 신호와 별도로 상기 제1 출력 트랜지스터를 초기화하는 제1 초기화 트랜지스터의 게이트 단자에 제1 초기화 신호를 입력할 수 있다.

[149] 본 개시의 일 실시예에 따르면, 상기 디스플레이 구동 회로를 통하여, 상기 제1 출력 트랜지스터의 상기 제1 게이트 단자와 드레인 단자 사이에 연결된 보상 트랜지스터를 이용하여 상기 제1 출력 트랜지스터의 소자 특성을 보상할 수 있다.

[150] 본 개시의 일 실시예에 따르면, 상기 제2 출력 트랜지스터는 PMOSFET(P-channel Metal Oxide Semiconductor Field Effect Transistor)이며, 상기 디스플레이 구동 회로를 통하여, 상기 발광 소자의 발광 전에 상기 제2 출력 트랜지스터를 온(on)상태로 초기화할 수 있다.

[151] 본 개시의 일 실시예에 따르면, 상기 제2 출력 트랜지스터는 NMOSFET(N-channel Metal Oxide Semiconductor Field Effect Transistor)이며, 상기 디스플레이 구동 회로를 통하여, 상기 발광 소자의 발광 전에 상기 제2 출력 트랜지스터를 오프(off)상태로 초기화할 수 있다.

청구범위

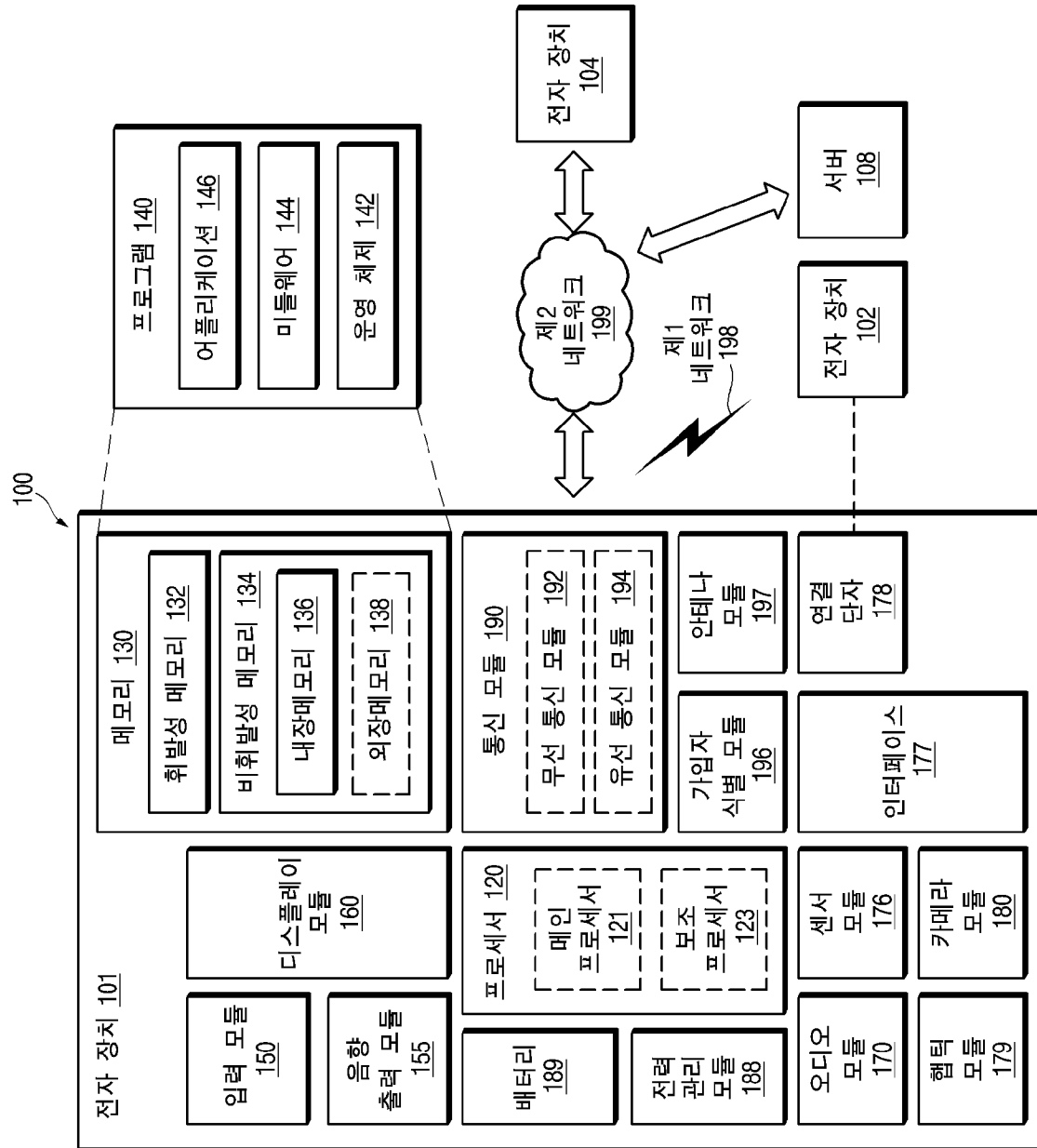
- [청구항 1] 전자 장치에 있어서,
제1 회로 블록, 제2 회로 블록 및 상기 제1 회로 블록과 상기 제2 회로 블록으로부터 제공되는 구동 전류에 기초하여 빛을 발광하는 발광 소자를 포함하는 서브 픽셀;
상기 서브 픽셀을 포함하는 복수의 픽셀을 포함하는 디스플레이 패널;
상기 디스플레이 패널에 전기적으로 연결된 디스플레이 구동 회로; 및
상기 디스플레이 구동 회로에 전기적으로 연결된 프로세서;를 포함하며,
상기 디스플레이 구동 회로는:
하나의 프레임(frame)에 대한 계조 데이터를 상기 제1 회로 블록의 제1 출력 트랜지스터의 제1 게이트 단자에 저장하고,
상기 제1 출력 트랜지스터의 상기 제1 게이트 단자에 시간에 따라 전위가 변경되는 제어 신호를 입력하며,
상기 제1 출력 트랜지스터가 상기 제어 신호를 입력 받음에 따라 상기 제2 회로 블록의 제2 출력 트랜지스터의 제2 게이트 단자의 전압이 변경되고,
상기 제2 출력 트랜지스터가 온(on) 상태인 시간을 조절하여 상기 발광 소자의 발광 시간을 제어하며,
상기 제2 게이트 단자에 연결된 제2 초기화 트랜지스터를 이용하여 상기 제2 게이트 단자에 상기 하나의 프레임 동안 2회 이상의 초기화 전압을 인가함으로써 상기 제2 게이트 단자를 2회 이상 초기화하도록 제어하는, 전자 장치.
- [청구항 2] 청구항 1에 있어서,
상기 디스플레이 구동 회로는, 상기 하나의 프레임에 대한 상기 계조 데이터를 기반으로 상기 하나의 프레임 동안 상기 발광 소자를 2회 이상 발광하도록 제어하는, 전자 장치.
- [청구항 3] 청구항 1에 있어서,
상기 디스플레이 구동 회로는, 상기 제2 초기화 트랜지스터가 온(on) 상태인 시간을 조절하여 상기 제2 출력 트랜지스터의 바이어스(bias) 인가 시간을 제어하는, 전자 장치.
- [청구항 4] 청구항 1에 있어서,
상기 디스플레이 구동 회로는, 상기 계조 데이터에 상기 제2 출력 트랜지스터의 소자 특성에 대한 보상 값을 반영하는, 전자 장치.
- [청구항 5] 청구항 4에 있어서,
상기 제2 출력 트랜지스터의 상기 소자 특성에 대한 정보는 상기 전자 장치의 메모리에 저장되어 있는, 전자 장치.
- [청구항 6] 청구항 1에 있어서,
상기 하나의 프레임에서 상기 제1 출력 트랜지스터의 초기화 기간과 상기

- 제2 출력 트랜지스터의 초기화 기간은 동일하지 않은, 전자 장치.
- [청구항 7] 청구항 1에 있어서,
상기 디스플레이 구동 회로는, 상기 제2 초기화 트랜지스터의 게이트 단자에 입력하는 제2 초기화 신호와 별도로 상기 제1 출력 트랜지스터를 초기화하는 제1 초기화 트랜지스터의 게이트 단자에 제1 초기화 신호를 입력하는, 전자 장치.
- [청구항 8] 청구항 1에 있어서,
상기 디스플레이 구동 회로는, 상기 제1 출력 트랜지스터의 상기 제1 게이트 단자와 드레인 단자 사이에 연결된 보상 트랜지스터를 이용하여 상기 제1 출력 트랜지스터의 소자 특성을 보상하는, 전자 장치.
- [청구항 9] 청구항 1에 있어서,
상기 제2 출력 트랜지스터는 PMOSFET(P-channel Metal Oxide Semiconductor Field Effect Transistor)이며,
상기 디스플레이 구동 회로는, 상기 발광 소자의 발광 전에 상기 제2 출력 트랜지스터를 온(on)상태로 초기화하는, 전자 장치.
- [청구항 10] 청구항 1에 있어서,
상기 제2 출력 트랜지스터는 NMOSFET(N-channel Metal Oxide Semiconductor Field Effect Transistor)이며,
상기 디스플레이 구동 회로는, 상기 발광 소자의 발광 전에 상기 제2 출력 트랜지스터를 오프(off)상태로 초기화하는, 전자 장치.
- [청구항 11] 디스플레이를 포함하는 전자 장치의 디스플레이 구동 방법에 있어서,
상기 전자 장치의 디스플레이 구동 회로를 통하여, 하나의 프레임(frame)에 대한 계조 데이터를 상기 디스플레이의 서브 픽셀에 포함된 제1 회로 블록의 제1 출력 트랜지스터의 제1 게이트 단자에 저장하고,
상기 제1 출력 트랜지스터의 상기 제1 게이트 단자에 시간에 따라 전위가 변경되는 제어 신호를 입력하며,
상기 제1 출력 트랜지스터가 상기 제어 신호를 입력 받음에 따라 상기 서브 픽셀에 포함된 제2 회로 블록의 제2 출력 트랜지스터의 제2 게이트 단자의 전압이 변경되고,
상기 제2 출력 트랜지스터가 온(on) 상태인 시간을 조절하여 상기 서브 픽셀에 포함된 발광 소자의 발광 시간을 제어하며,
상기 제2 게이트 단자에 연결된 제2 초기화 트랜지스터를 이용하여 상기 제2 게이트 단자에 상기 하나의 프레임 동안 2회 이상의 초기화 전압을 인가함으로써 상기 제2 게이트 단자를 2회 이상 초기화하도록 제어하는, 디스플레이 구동 방법.
- [청구항 12] 청구항 11에 있어서,
상기 디스플레이 구동 회로를 통하여, 상기 하나의 프레임에 대한 상기

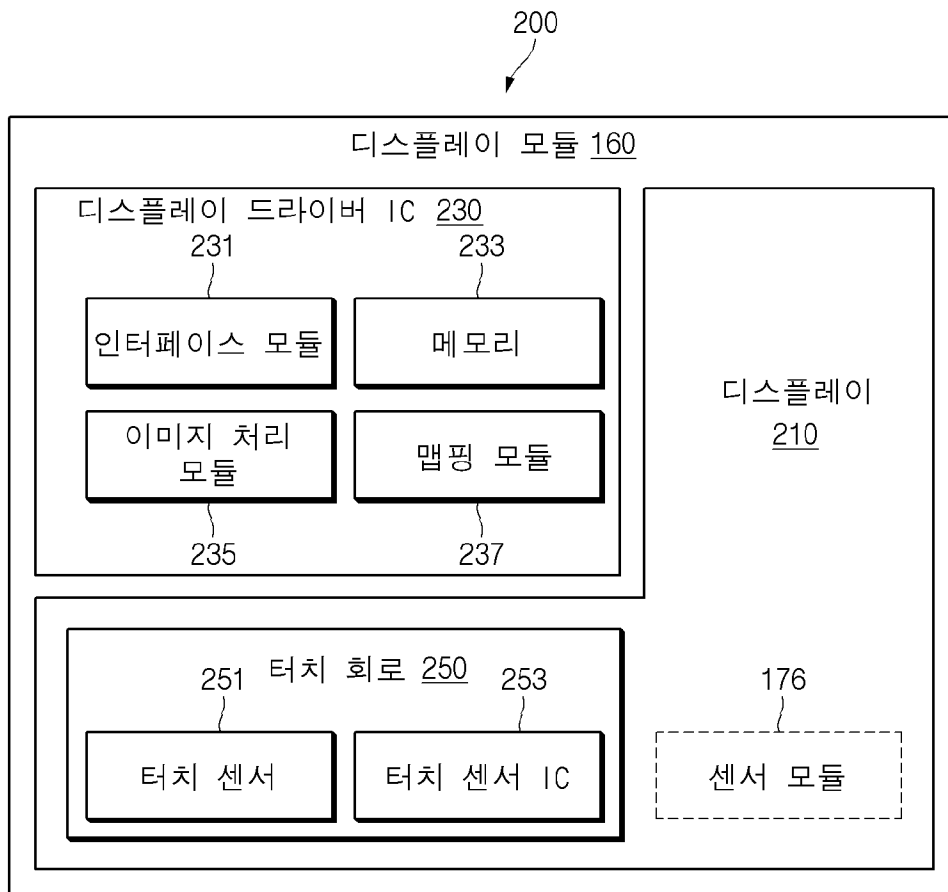
계조 데이터를 기반으로 상기 하나의 프레임 동안 상기 발광 소자를 2회 이상 발광하도록 제어하는, 디스플레이 구동 방법.

- [청구항 13] 청구항 11에 있어서,
상기 디스플레이 구동 회로를 통하여, 상기 제2 초기화 트랜지스터가 온(on) 상태인 시간을 조절하여 상기 제2 출력 트랜지스터의 바이어스(bias) 인가 시간을 제어하는, 디스플레이 구동 방법.
- [청구항 14] 청구항 11에 있어서,
상기 디스플레이 구동 회로를 통하여, 상기 계조 데이터에 상기 제2 출력 트랜지스터의 소자 특성에 대한 보상 값을 반영하는, 디스플레이 구동 방법.
- [청구항 15] 청구항 14에 있어서,
상기 제2 출력 트랜지스터의 상기 소자 특성에 대한 정보는 상기 전자 장치의 메모리에 저장되어 있는, 디스플레이 구동 방법.

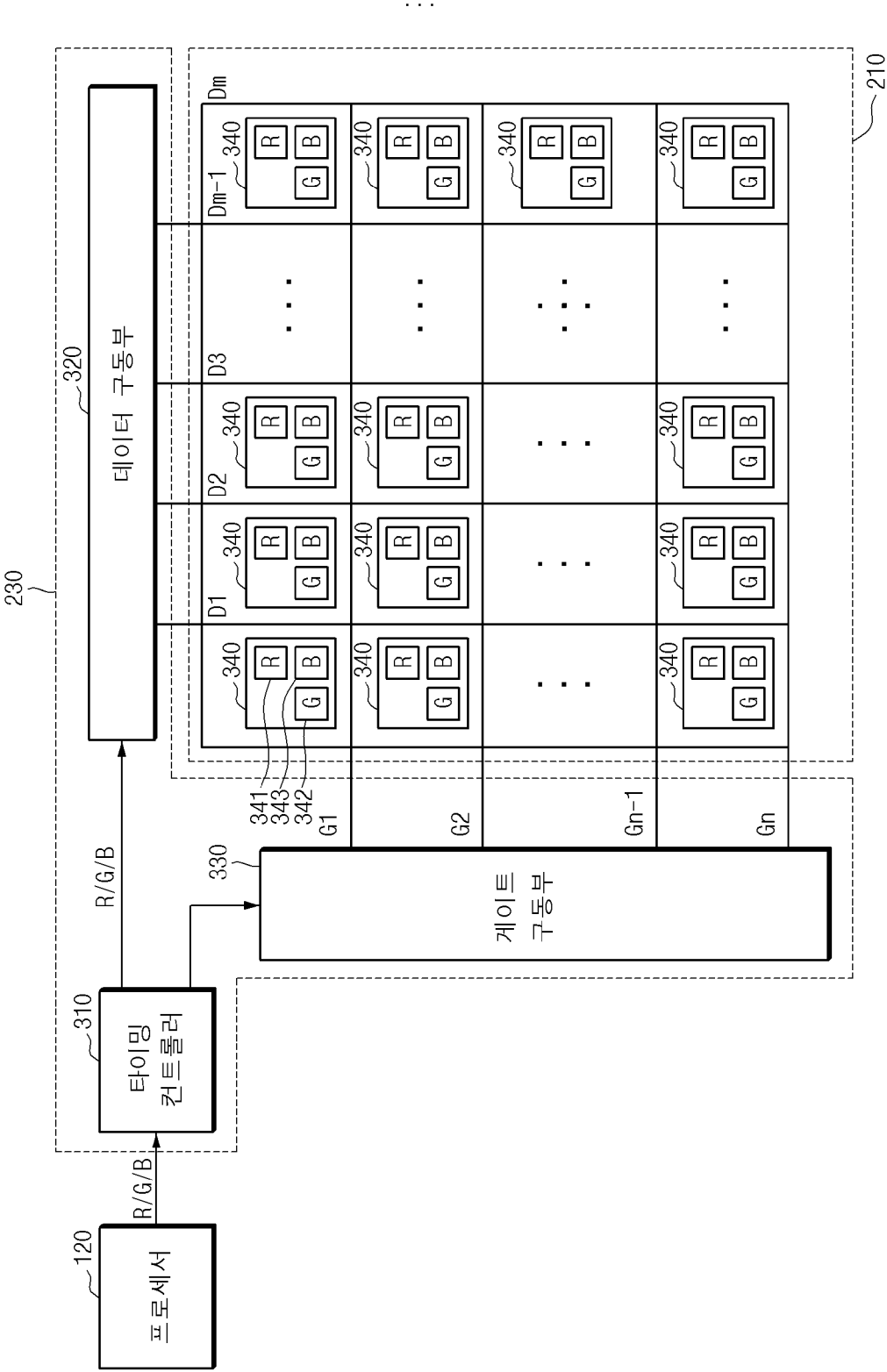
[도 1]



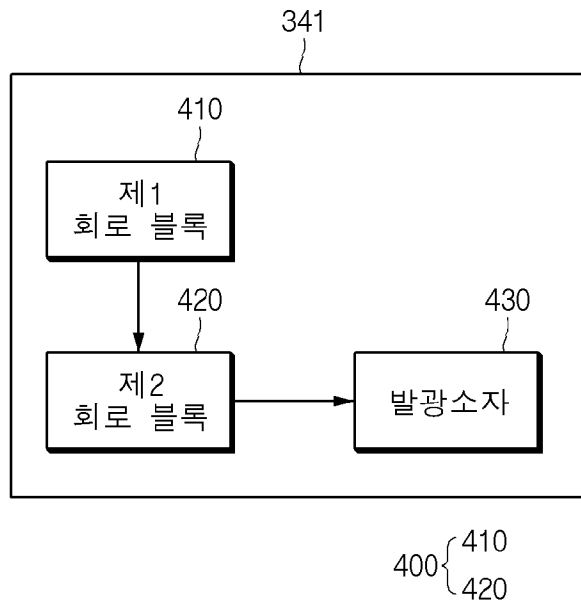
[도2]



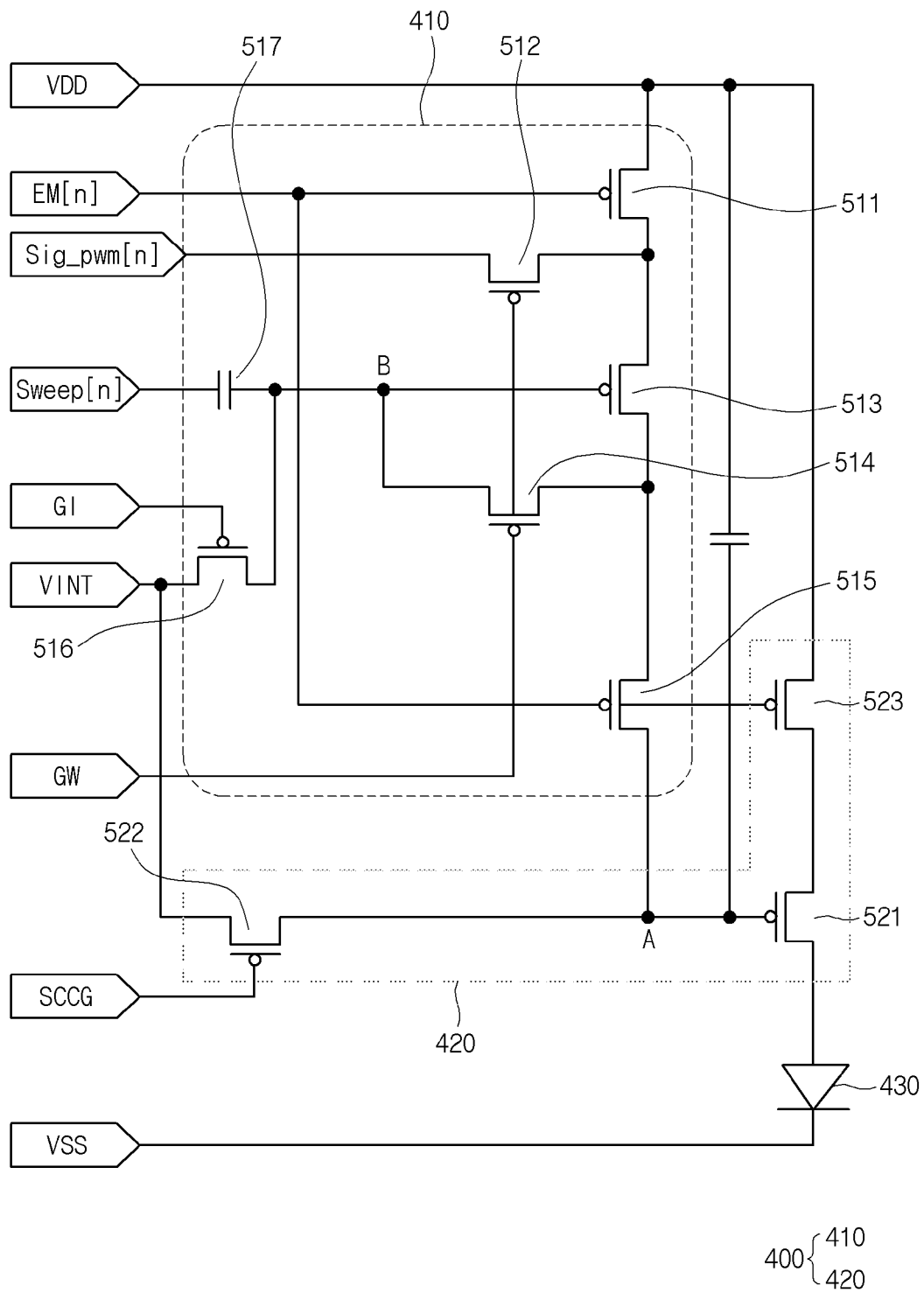
[도3]



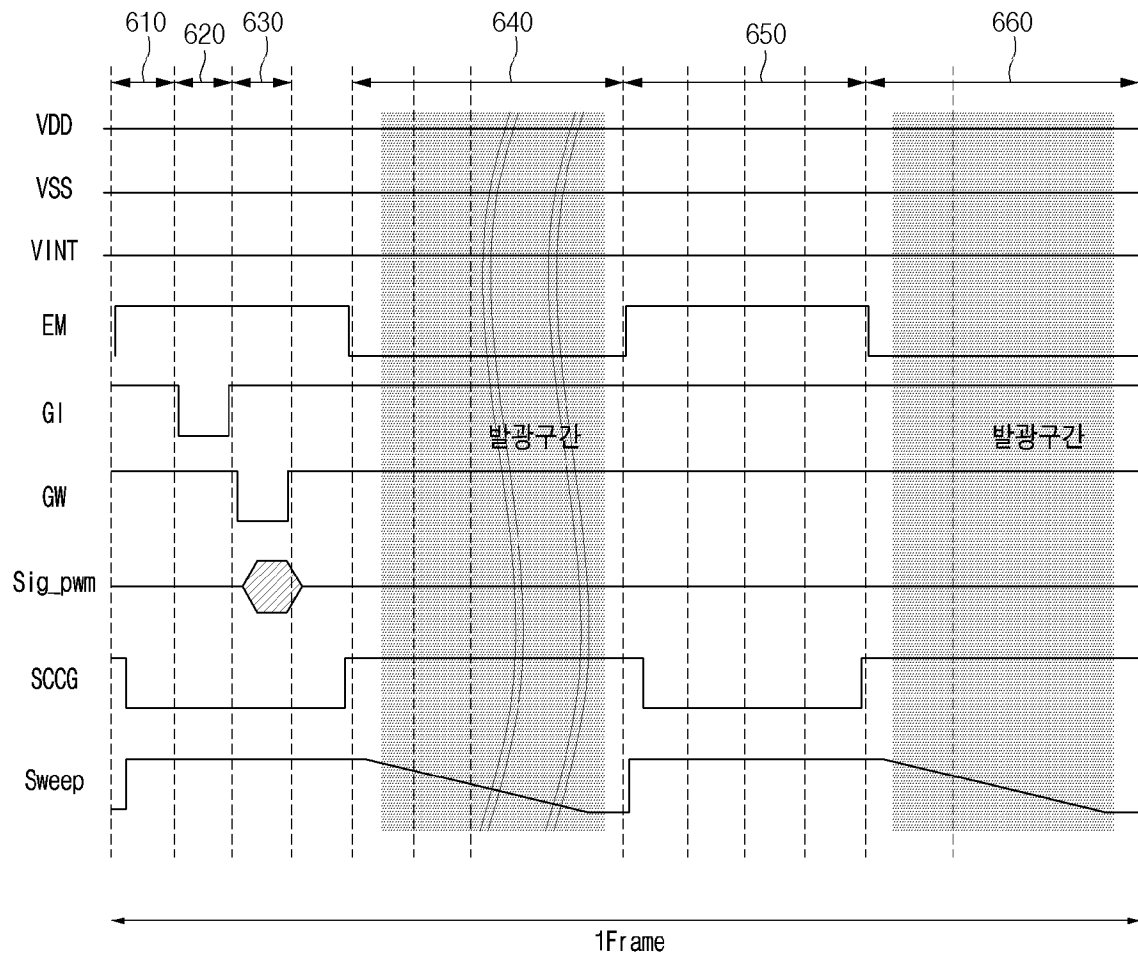
[도4]



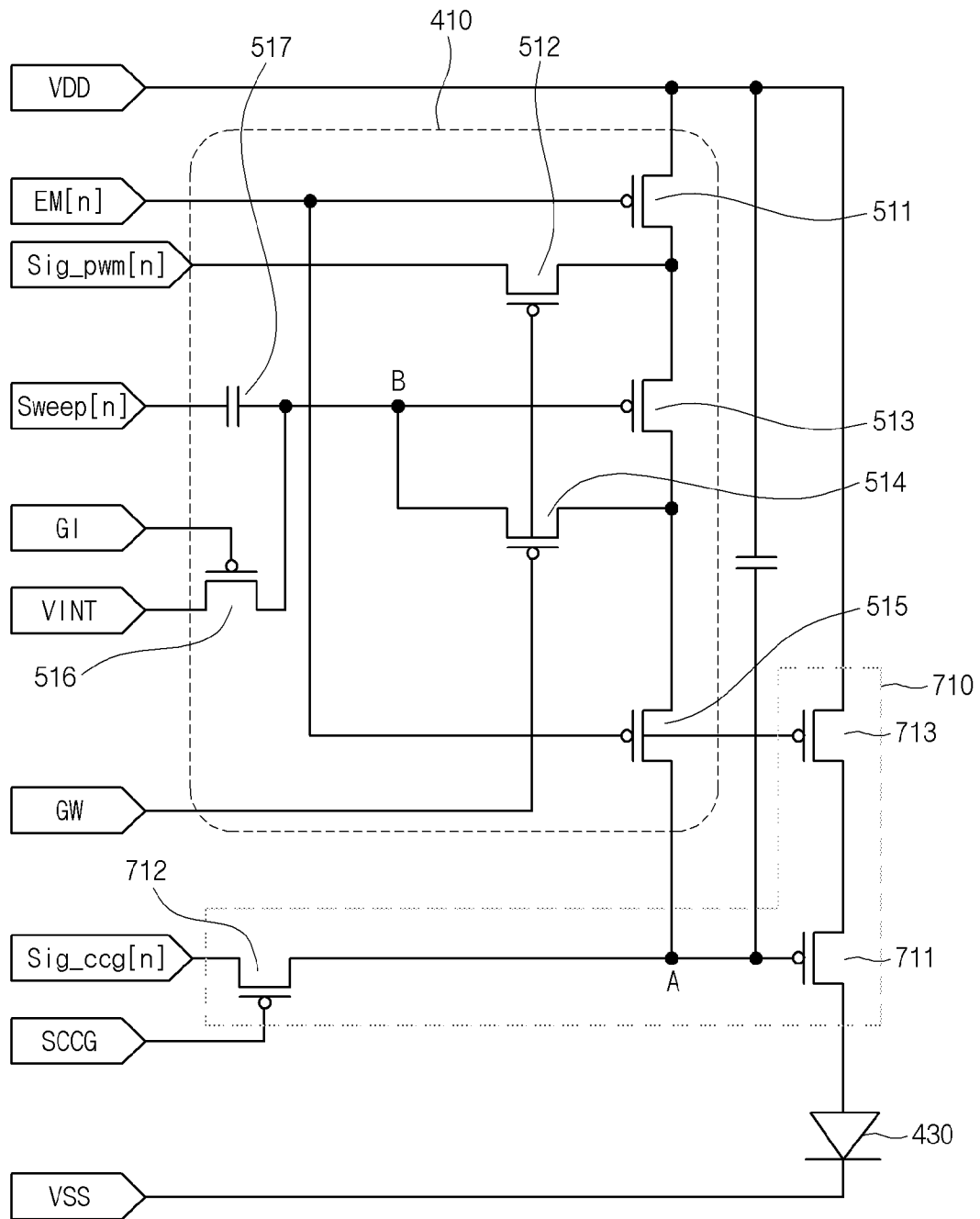
[도5]



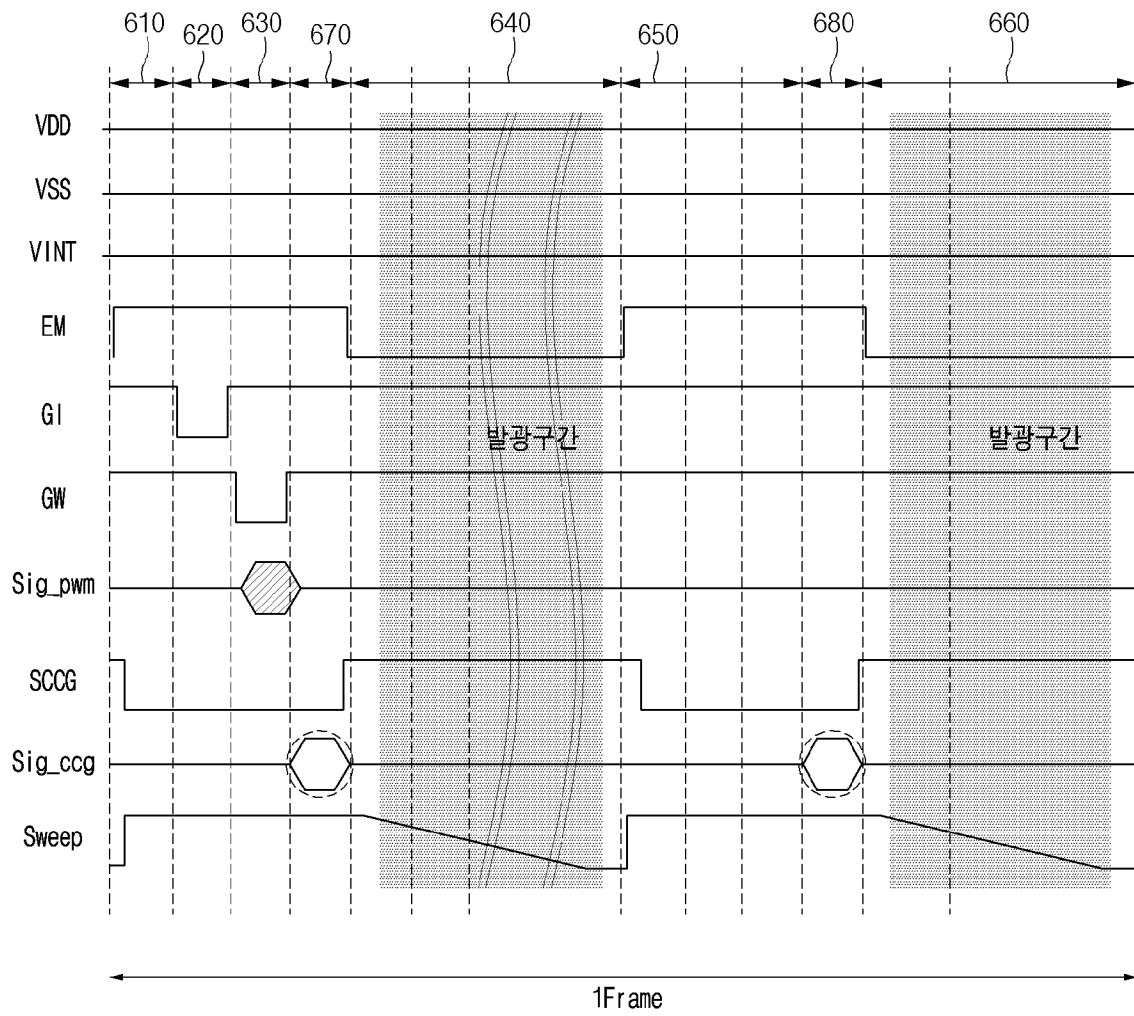
[도6]



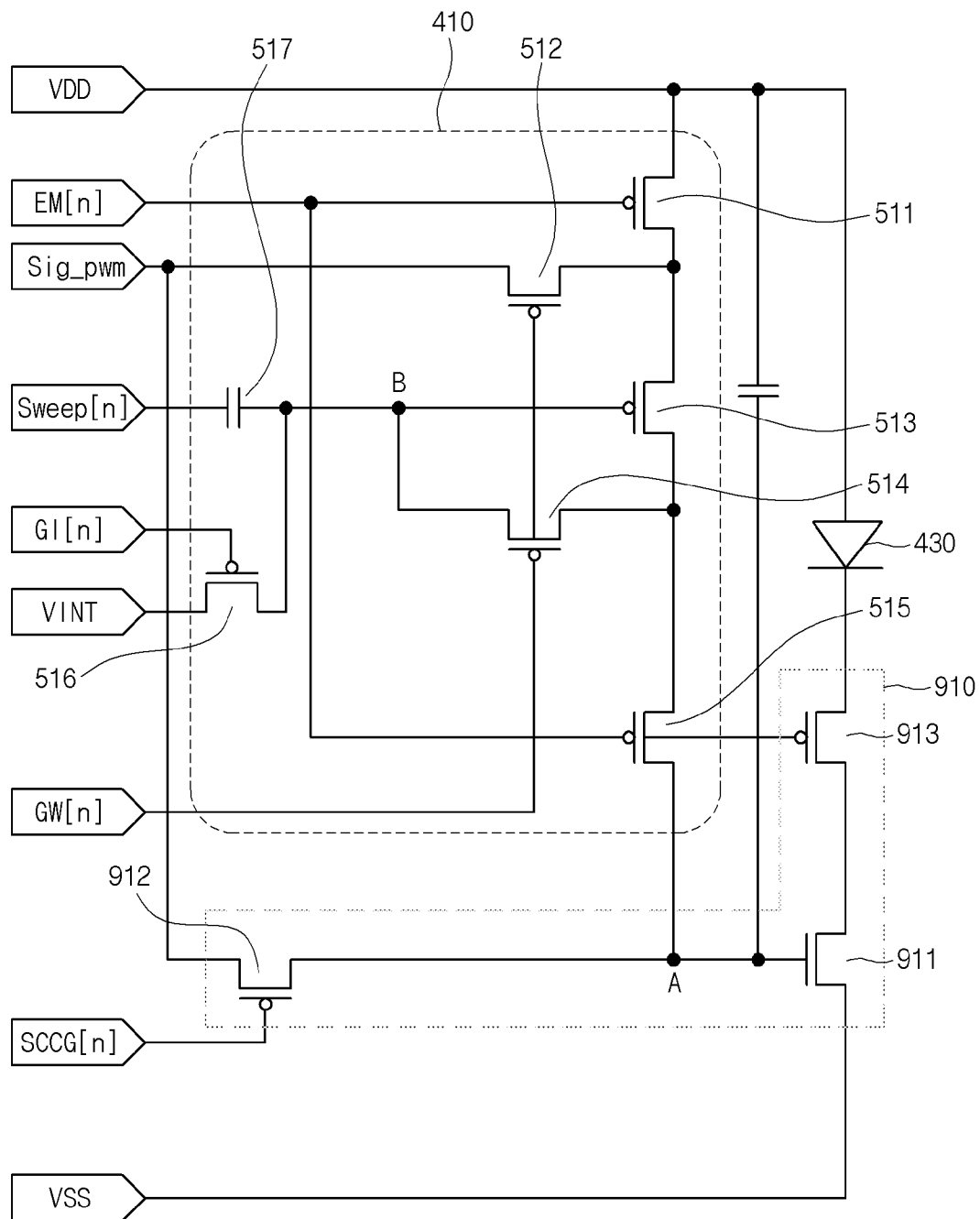
[도7]



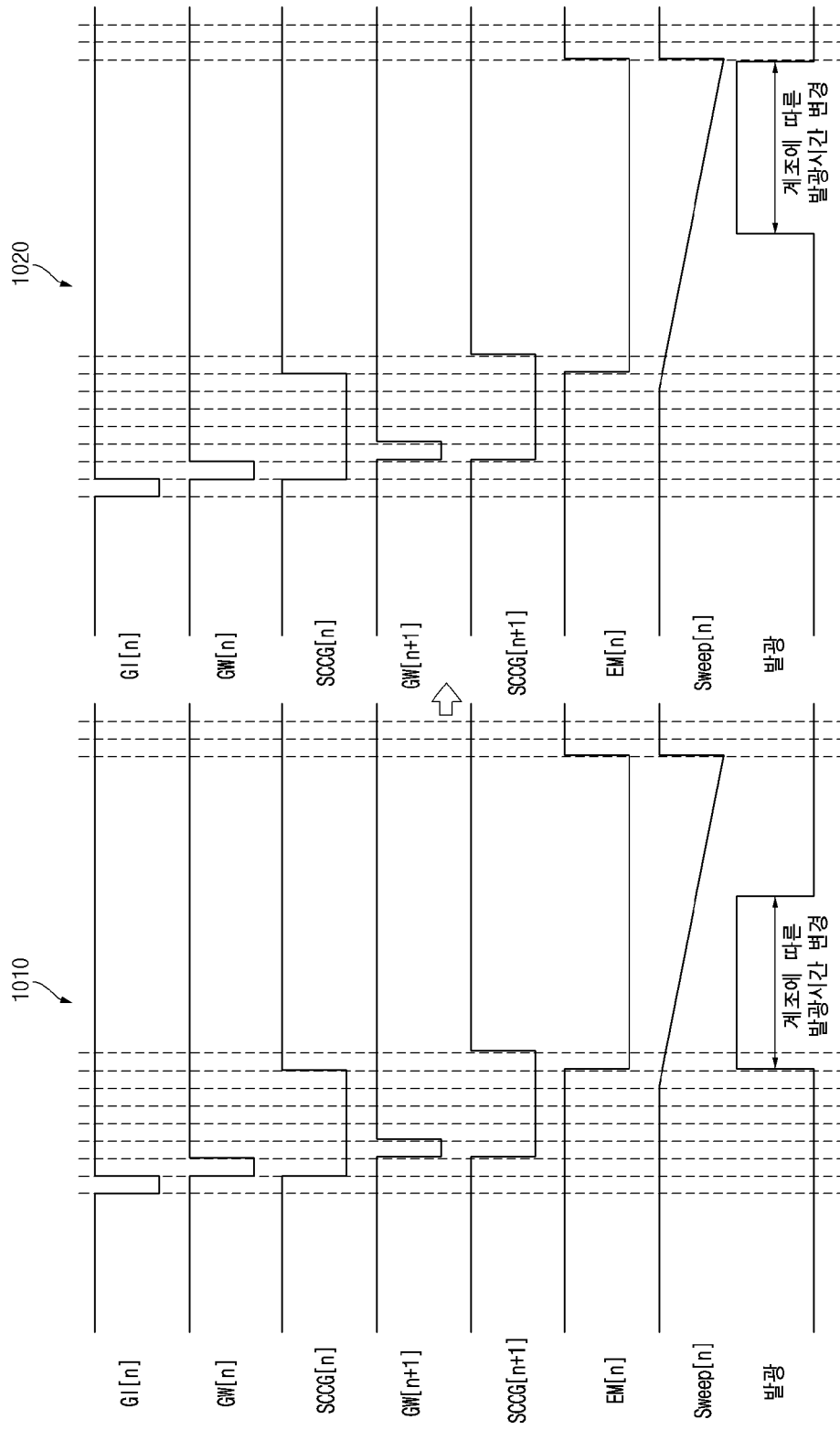
[도8]



[도9]



[도10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2022/005366

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/32(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G 3/32(2006.01); G09G 3/36(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 제1 회로 블록(first circuit block), 제2 회로 블록(second circuit block), 발광 소자(light emitting element), 구동 전류(driving current), 제1 출력 트랜지스터(first output transistor), 제2 출력 트랜지스터(second output transistor), 초기 화(initialization)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2020-0144050 A (SAMSUNG ELECTRONICS CO., LTD.) 28 December 2020 (2020-12-28) See paragraphs [0042]-[0155] and [0314]; and figures 3-7c.	1-15
Y	KR 10-2020-0085249 A (SAPIEN SEMICONDUCTORS INC.) 14 July 2020 (2020-07-14) See paragraphs [0083]-[0090]; claim 1; and figure 10.	1-15
A	KR 10-2020-0038735 A (SAMSUNG ELECTRONICS CO., LTD. et al.) 14 April 2020 (2020-04-14) See paragraphs [0122]-[0187]; and figures 9-10.	1-15
A	KR 10-2017-0035058 A (LG DISPLAY CO., LTD.) 30 March 2017 (2017-03-30) See paragraphs [0055]-[0090]; and figures 10-18.	1-15
A	US 2015-0002558 A1 (SAMSUNG DISPLAY CO., LTD.) 01 January 2015 (2015-01-01) See paragraphs [0046]-[0086]; and figures 1-7.	1-15
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 22 July 2022		Date of mailing of the international search report 25 July 2022
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2022/005366

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2020-0144050	A	28 December 2020	CN	112102772	A	18 December 2020
				EP	3754639	A1	23 December 2020
				KR	10-2020-0144039	A	28 December 2020
				KR	10-2020-0144041	A	28 December 2020
				US	2020-0394953	A1	17 December 2020
				WO	2020-256385	A1	24 December 2020
KR	10-2020-0085249	A	14 July 2020	CN	111602191	A	28 August 2020
				KR	10-1942466	B1	17 April 2019
				KR	10-2020-0055593	A	21 May 2020
				KR	10-2021-0066764	A	07 June 2021
				KR	10-2131266	B1	07 July 2020
				KR	10-2256737	B1	31 May 2021
				US	11238783	B2	01 February 2022
				US	2021-0049957	A1	18 February 2021
				US	2021-0118358	A1	22 April 2021
				US	2022-0101784	A1	31 March 2022
				WO	2020-004705	A1	02 January 2020
				WO	2020-004743	A1	02 January 2020
KR	10-2020-0038735	A	14 April 2020	CN	111009210	A	14 April 2020
				TW	202015020	A	16 April 2020
				US	10706766	B2	07 July 2020
				US	2020-0111404	A1	09 April 2020
				WO	2020-071594	A1	09 April 2020
KR	10-2017-0035058	A	30 March 2017	None			
US	2015-0002558	A1	01 January 2015	JP	2015-011274	A	19 January 2015
				KR	10-2015-0003667	A	09 January 2015
				KR	10-2198874	B1	06 January 2021
				US	10068527	B2	04 September 2018
				US	2017-0004774	A1	05 January 2017
				US	9437136	B2	06 September 2016

A. 발명이 속하는 기술분류(국제특허분류(IPC)) G09G 3/32(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) G09G 3/32(2006.01); G09G 3/36(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 제1 회로 블록(first circuit block), 제2 회로 블록(second circuit block), 발광 소자(light emitting element), 구동 전류(driving current), 제1 출력 트랜지스터(first output transistor), 제2 출력 트랜지스터(second output transistor), 초기화(initialization)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2020-0144050 A (삼성전자주식회사) 2020.12.28 단락 [0042]-[0155], [0314]; 및 도면 3-7c	1-15
Y	KR 10-2020-0085249 A (주식회사 사피엔반도체) 2020.07.14 단락 [0083]-[0090]; 청구항 1; 및 도면 10	1-15
A	KR 10-2020-0038735 A (삼성전자주식회사 등) 2020.04.14 단락 [0122]-[0187]; 및 도면 9-10	1-15
A	KR 10-2017-0035058 A (엔지디스플레이 주식회사) 2017.03.30 단락 [0055]-[0090]; 및 도면 10-18	1-15
A	US 2015-0002558 A1 (SAMSUNG DISPLAY CO., LTD.) 2015.01.01 단락 [0046]-[0086]; 및 도면 1-7	1-15
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2022년07월22일(22.07.2022)		국제조사보고서 발송일 2022년07월25일(25.07.2022)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 양정록 전화번호 +82-42-481-5709

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2020-0144050 A	2020/12/28	CN 112102772 A	2020/12/18
		EP 3754639 A1	2020/12/23
		KR 10-2020-0144039 A	2020/12/28
		KR 10-2020-0144041 A	2020/12/28
		US 2020-0394953 A1	2020/12/17
		WO 2020-256385 A1	2020/12/24
KR 10-2020-0085249 A	2020/07/14	CN 111602191 A	2020/08/28
		KR 10-1942466 B1	2019/04/17
		KR 10-2020-0055593 A	2020/05/21
		KR 10-2021-0066764 A	2021/06/07
		KR 10-2131266 B1	2020/07/07
		KR 10-2256737 B1	2021/05/31
		US 11238783 B2	2022/02/01
		US 2021-0049957 A1	2021/02/18
		US 2021-0118358 A1	2021/04/22
		US 2022-0101784 A1	2022/03/31
		WO 2020-004705 A1	2020/01/02
		WO 2020-004743 A1	2020/01/02
KR 10-2020-0038735 A	2020/04/14	CN 111009210 A	2020/04/14
		TW 202015020 A	2020/04/16
		US 10706766 B2	2020/07/07
		US 2020-0111404 A1	2020/04/09
		WO 2020-071594 A1	2020/04/09
KR 10-2017-0035058 A	2017/03/30	없음	
US 2015-0002558 A1	2015/01/01	JP 2015-011274 A	2015/01/19
		KR 10-2015-0003667 A	2015/01/09
		KR 10-2198874 B1	2021/01/06
		US 10068527 B2	2018/09/04
		US 2017-0004774 A1	2017/01/05
		US 9437136 B2	2016/09/06