



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0006962
(43) 공개일자 2009년01월16일

(51) Int. Cl.

H01M 10/04 (2006.01) H01M 16/00 (2006.01)

(21) 출원번호 10-2007-0070465

(22) 출원일자 2007년07월13일

심사청구일자 2007년07월13일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

윤우영

서울 성북구 안암동5가 1번지

김영근

서울 성북구 안암동5가 1번지

(74) 대리인

특허법인아주

전체 청구항 수 : 총 17 항

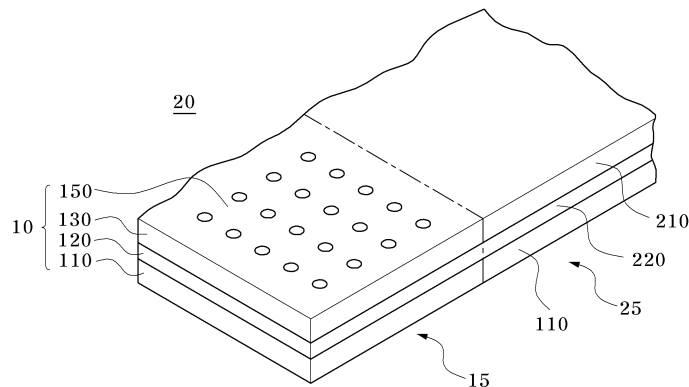
(54) 2차전지 및 이를 구비한 반도체

(57) 요약

본 발명에 따른 2차전지는 소자를 지지하는 기판; 상기 기판 상에 형성되는 전도성 금속층; 상기 전도성 금속층 상에 형성되며, 상기 전도성 금속층을 일부 노출시키는 영역과 상기 전도성 금속층을 커버하는 영역을 갖는 고분자층; 상기 전도성 금속층을 노출시킨 상기 고분자층에 채워지는 리튬과우더층을 포함한다.

따라서 본 발명에 따른 2차전지 및 이를 구비한 반도체는 기판에 반도체 소자층이 형성된 기판에 2차전지를 형성함으로써 인시츄로 메모리/비메모리 반도체를 형성할 수 있는 효과가 있다.

대표도 - 도2



특허청구의 범위

청구항 1

소자를 지지하는 기판;

상기 기판 상에 형성되는 전도성 금속층;

상기 전도성 금속층 상에 형성되며, 상기 전도성 금속층을 일부 노출시키는 영역과 상기 전도성 금속층을 커버하는 영역을 갖는 고분자층;

상기 전도성 금속층을 노출시킨 상기 고분자층에 채워지는 리튬파우더층을 포함하는 2차전지.

청구항 2

제 1항에 있어서,

상기 고분자층은 비전도성이면서, 감광특성이 있는 감광성제인 것을 특징으로 하는 2차전지.

청구항 3

제 1항에 있어서,

상기 기판은 전원제공영역과 소자영역을 갖는 실리콘 웨이퍼인 것을 특징으로 하는 2차전지.

청구항 4

제 1항에 있어서,

상기 전도성 금속층은 금, 구리, 니켈을 포함하는 전도성을 갖는 금속 중 어느 하나 또는 이들의 혼합물인 것을 특징으로 하는 2차전지.

청구항 5

제 1항에 있어서,

상기 전도성 금속층은 상기 소자가 형성된 상기 기판 면의 배면에 형성되는 것을 특징으로 하는 2차전지.

청구항 6

제 1항 내지 제 5항 중 어느 한 항으로 형성되는 2차전지를 구비하는 것을 특징으로 하는 메모리/비메모리 반도체 소자.

청구항 7

소자를 구비하는 기판의 일면 상에 전도성 금속을 증착하여 전도성 금속층을 형성하는 단계;

상기 전도성 금속층 상에 형성되는 고분자층을 적층하는 단계;

상기 고분자층에 마스크 공정을 실시하여 상기 전도성 금속층의 일부를 노출시키는 단계; 및

상기 전도성 금속층을 노출시킨 상기 고분자층에 리튬파우더를 채워넣어 리튬파우더층을 형성하는 단계를 포함하는 2차전지의 제조방법.

청구항 8

제 7항에 있어서,

상기 고분자층은 비전도성이면서, 감광특성이 있는 감광성제로 형성되는 것을 특징으로 하는 2차전지 제조방법.

청구항 9

제 7항에 있어서,

상기 기판은 전원제공영역과 소자영역을 구비하는 실리콘 웨이퍼로 형성되는 것을 특징으로 하는 2차전지 제조 방법.

청구항 10

제 7항에 있어서,

상기 전도성 금속층은 금, 구리, 니켈을 포함하는 전도성을 갖는 금속 중 어느 하나 또는 이들의 혼합물로 형성되는 것을 특징으로 하는 2차전지 제조방법.

청구항 11

제 7항에 있어서,

상기 전도성 금속층은 상기 소자가 형성된 상기 기판 면의 배면에 형성되는 것을 특징으로 하는 2차전지 제조 방법.

청구항 12

기판의 일면 상에 전도성 금속을 증착하여 전도성 금속층을 형성하는 단계, 상기 전도성 금속층 상에 형성되는 고분자층을 적층하는 단계, 상기 고분자층에 마스크 공정을 실시하여 상기 전도성 금속층의 일부를 노출시키는 단계, 및 상기 전도성 금속층을 노출시킨 상기 고분자층에 리튬파우더를 채워넣어 리튬파우더층을 형성하여 2차 전지를 형성하는 단계;

상기 2차전지가 형성된 상기 기판에 반도체소자층을 형성하는 단계를 포함하는 메모리/비메모리 반도체소자 제조 방법.

청구항 13

제 12항에 있어서,

상기 고분자층은 비전도성이면서, 감광특성이 있는 감광성제로 형성되는 것을 특징으로 하는 메모리/비메모리 반도체 제조방법.

청구항 14

제 12항에 있어서,

상기 기판은 상기 2차전지가 다수 또는 단일로 형성되는 전원제공영역과 상기 반도체 소자층이 형성되는 소자영역을 구비하는 실리콘 웨이퍼로 형성되는 것을 특징으로 하는 메모리/비메모리 반도체 제조방법.

청구항 15

제 12항에 있어서,

상기 전도성 금속층은 금, 구리, 니켈을 포함하는 전도성을 갖는 금속 중 어느 하나 또는 이들의 혼합물로 형성되는 것을 특징으로 하는 메모리/비메모리 반도체 제조방법.

청구항 16

제 12항에 있어서,

상기 전도성 금속층은 상기 반도체소자층이 형성된 상기 기판 면의 배면에 형성되는 것을 특징으로 하는 메모리/비메모리 반도체 제조방법.

청구항 17

제 12항에 있어서,

상기 2차전지가 형성된 상기 기판의 동일면에 반도체 소자층이 형성되는 것을 특징으로 하는 메모리/비메모리 반도체소자 제조방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 이차전지 및 이를 인시츄(In-Situ)로 형성된 반도체에 관한 것으로, 보다 상세하게는 리튬을 이용한 2차전지를 메모리/비메모리 반도체에, 자세히는 반도체의 기판에 형성하여 반도체칩 자체에 전원을 갖을 수 있게 하여 2차전지를 반도체칩의 전력원으로 사용하여 전원공급이 반도체 디바이스 내에서 이루어질 수 있도록 한 2차전지 및 이를 구비한 반도체에 관한 것이다.

배경 기술

- <2> 현재의 반도체칩의 전원은 외부의 전지나 AC전원에 의존하여 작동한다. 반도체칩에 외부전원을 받아들여 사용하는 장치가 있지만, 반도체칩이 필요한 전원은 전적으로 외부에서 의존하며, 자체적인 전원공급원은 없다. 만약에 자체 전원이 있으면, 메모리, 비메모리의 모든 반도체칩의 표준전원, 백업전원, 대기전원으로 사용가능할 것이다.
- <3> 특히, 자체전원을 필요로 하는 능동형 RFID, SOC(System on a chip), LOC(Lab on a chip), 태양전지 등에 활용될 수 있다.
- <4> 종래의 반도체 디바이스는 실리콘 웨이퍼 기판을 주로 사용하는데 상기 웨이퍼의 일면에는 각종의 박막트랜지스터, 저항, 캐패시터를 제조하여 사용하고 있으나, 자체적인 전원공급원이 없고, 필요한 전원을 전적으로 외부에서 의존하고 있는 실정이다.

발명의 내용

해결 하고자하는 과제

- <5> 본 발명이 이루고자 하는 기술적 과제는 소자가 형성된 기판의 면에 특히, 실리콘 웨이퍼 기판의 동일면에 인시츄(in-Situ)로 2차전지를 형성하여 반도체 칩 자체에 전원을 갖을 수 있도록 하여 전원공급이 반도체 디바이스 내에서 이루어질 수 있도록 하는 2차전지 및 이를 인시츄로 구비한 반도체를 제공하는데 그 목적이 있다.
- <6> 또한, 본 발명은 기판의 동일면에 종래의 메탈을 증착하는 방법, 감광성제를 이용한 포토마스크 방법으로 패터닝을 하는 방법을 사용함으로써 제조공정이 용이하고 생산성을 향상시킬 수 있는 2차전지 및 이를 구비한 반도체 제조방법을 제공하는데 다른 목적이 있다.

과제 해결수단

- <7> 상기 기술적 과제를 해결하기 위한 본 발명 따른 2차전지는 소자를 지지하는 기판; 상기 기판 상에 형성되는 전도성 금속층; 상기 전도성 금속층 상에 형성되며, 상기 전도성 금속층을 일부 노출시키는 영역과 상기 전도성 금속층을 커버하는 영역을 갖는 고분자층; 상기 전도성 금속층을 노출시킨 상기 고분자층에 채워지는 리튬과우더층을 포함한다.
- <8> 상기 고분자층은 비전도성이면서, 감광특성이 있는 감광성체인 것을 특징으로 한다.
- <9> 상기 기판은 전원제공영역과 소자영역을 갖는 실리콘 웨이퍼인 것을 특징으로 한다.
- <10> 상기 전도성 금속층은 금, 구리, 니켈을 포함하는 전도성을 갖는 금속 중 어느 하나 또는 이들의 혼합물인 것을 특징으로 한다.
- <11> 상기 전도성 금속층은 상기 소자가 형성된 상기 기판 면의 배면에 형성되는 것을 특징으로 한다.
- <12> 한편, 상기 기술적 과제를 해결하기 위한 본 발명 따른 메모리/비메모리 반도체소자는 상기 2차전지를 구비하는 것을 특징으로 한다.
- <13> 상기 기술적 과제를 해결하기 위한 수단으로 본 발명 따른 2차전지 제조방법은 소자를 구비하는 기판의 일면 상에 전도성 금속을 증착하여 전도성 금속층을 형성하는 단계; 상기 전도성 금속층 상에 형성되는 고분자층을 적층하는 단계; 상기 고분자층에 마스크 공정을 실시하여 상기 전도성 금속층의 일부를 노출시키는 단계; 및 상기

전도성 금속층을 노출시킨 상기 고분자층에 리튬파우더를 채워넣어 리튬파우더층을 형성하는 단계를 포함한다.

- <14> 상기 고분자층은 비전도성이면서, 감광특성이 있는 감광성체로 형성되는 것을 특징으로 한다.
- <15> 상기 기판은 전원제공영역과 소자영역을 구비하는 실리콘 웨이퍼로 형성되는 것을 특징으로 한다.
- <16> 상기 전도성 금속층은 금, 구리, 니켈을 포함하는 전도성을 갖는 금속 중 어느 하나 또는 이들의 혼합물로 형성되는 것을 특징으로 한다.
- <17> 상기 전도성 금속층은 상기 소자가 형성된 상기 기판 면의 배면에 형성되는 것을 특징으로 한다.
- <18> 상기 기술적 과제를 해결하기 위한 수단으로 본 발명 따른 메모리/비메모리 반도체소자 제조방법은 기판의 일면 상에 전도성 금속을 증착하여 전도성 금속층을 형성하는 단계, 상기 전도성 금속층 상에 형성되는 고분자층을 적층하는 단계, 상기 고분자층에 마스크 공정을 실시하여 상기 전도성 금속층의 일부를 노출시키는 단계, 및 상기 전도성 금속층을 노출시킨 상기 고분자층에 리튬파우더를 채워넣어 리튬파우더층을 형성하여 2차전지를 형성하는 단계; 상기 2차전지가 형성된 상기 기판에 반도체소자층을 형성하는 단계를 포함한다.
- <19> 상기 고분자층은 비전도성이면서, 감광특성이 있는 감광성체로 형성되는 것을 특징으로 한다.
- <20> 상기 기판은 상기 2차전지가 다수 또는 단일로 형성되는 전원제공영역과 상기 반도체 소자층이 형성되는 소자영역을 구비하는 실리콘 웨이퍼로 형성되는 것을 특징으로 한다.
- <21> 상기 전도성 금속층은 금, 구리, 니켈을 포함하는 전도성을 갖는 금속 중 어느 하나 또는 이들의 혼합물로 형성되는 것을 특징으로 한다.
- <22> 상기 전도성 금속층은 상기 반도체소자층이 형성된 상기 기판 면의 배면에 형성되는 것을 특징으로 한다.
- <23> 상기 2차전지가 형성된 상기 기판의 동일면에 반도체 소자층이 형성되는 것을 특징으로 한다.

효 과

- <24> 본 발명에 따른 2차전지 및 이를 구비한 반도체는 기판에 반도체 소자층이 형성된 기판에 2차전지를 형성함으로써 인시츄로 메모리/비메모리 반도체를 형성할 수 있는 효과가 있다.
- <25> 그리고, 본 발명에 따른 2차전지 및 이를 구비한 반도체는 전원을 공급하는 별도의 전원공급장치가 필요 없게 되어 반도체의 부피를 저감시킬 수 있는 효과가 있다.
- <26> 본 발명에 따른 2차전지 및 이를 구비한 반도체 제조방법은 기존의 제조방법으로 형성 가능함으로써 제공공정이 용이하고, 생산성을 향상시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <27> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.
- <28> 또한, 도면에서 층과 막 또는 영역들의 크기 두께는 명세서의 명확성을 위하여 과장되어 기술된 것이며, 어떤 막 또는 층이 다른 막 또는 층의 "상에" 형성된다고 기재된 경우, 상기 어떤 막 또는 층이 상기 다른 막 또는 층의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막 또는 층이 개재될 수도 있다.
- <29> 리튬 전지란 음극에 리튬 금속 또는 리튬 화합물을 사용한 전지를 총칭하는 것으로서, 다양한 물질들을 음극으로 채용하는 리튬 전지들은 고전압과 고에너지 밀도 특성을 갖는 관계로 많은 연구가 이루어져 있다. 그 중에서도 리튬 금속은 전지용량이 매우 탁월하여 상용화되어 있는 리튬전지의 음극을 리튬 금속으로 대체할 경우, 음극 기준으로 10배 이상 전기 용량이 증가하는 것으로 알려져 있다.
- <30> 도 1은 본 발명에 따른 2차전지를 도시한 도면이고, 도 2는 본 발명에 따른 2차전지를 구비한 반도체를 도시한 도면이다.
- <31> 도 1 및 도 2를 참조하면, 상기 2차전지(10) 및 이를 구비한 반도체(20)는 기판(110)의 일면에 전도성 금속층

(120)이 형성된다. 상기 기관(110)은 실리콘 웨이퍼를 사용할 수 있다.

- <32> 상기 전도성 금속층(120)은 상기 기관(110)이 집전체 역할을 하기 위하여 금(Au), 은(Ag), 구리(Cu), 니켈(Ni) 등의 전기전도도가 상기 기관(110)보다 우수한 것을 사용하는 것이 바람직하다.
- <33> 상기 전도성 금속층(120) 상에는 감광성제를 포함하는 고분자로 형성되는 고분자층(130)이 형성된다. 상기 고분자층(130)은 비전도성 물질로 형성되는 것이 바람직하다.
- <34> 그리고 상기 고분자층(130)에는 다양한 형상을 갖는 패턴이 형성되어 있다. 상기 패턴은 상기 고분자층(130)에서 상기 전도성 금속층(120)이 일부가 노출되도록 형성할 수 있다.
- <35> 게다가 상기 고분자층(130)은 감광성제 등으로 사용하여 상기 감광성제에 노광/현상 등의 공정으로 다수의 형상을 갖는 패턴을 용이하게 형성할 수 있다.
- <36> 상기 패턴은 상기 전도성 금속층(120)을 일부 노출시키는데 상기 전도성 금속층(120)이 노출되는 영역에 리튬과 우더를 채워넣어 리튬과우더층(150)을 형성하여 2차전지(10)를 형성할 수 있다.
- <37> 이때, 상기 패턴에 채워지는 리튬과우더는 분말형태로 채워지기 때문에 수지상 성장을 억제시켜 상기 2차전지(10)의 성능을 향상시킬 수 있다.
- <38> 도 2는 본 발명에 따른 2차전지를 구비하는 메모리/비메모리 반도체를 도시하며, 도 2를 참조하여 설명하면, 실리콘 웨이퍼 기관의 단위 셀 내에 상기 기관(110)의 동일면에는 2차전지(10)가 형성되는 전원제공영역(15)과 반도체 소자층(20)이 형성되는 소자영역(25)이 형성되어 있다.
- <39> 상세히 설명하면, 상기 전원제공영역(15)의 형상은 상기 도 1을 인용하며, 상기 소자영역(25)은 상기 기관(110)의 소정영역에 상기 2차전지(10)와 기관(110)의 동일면에 형성될 수 있다.
- <40> 여기서 상기 기관(110)의 소정의 영역에는 다수의 2차전지(10)가 형성될 수 있으며, 상기 2차전지(10)와 동일면에 상기 전원제공영역(15)을 형성할 수 있다. 또한, 하나의 상기 2차전지(10)로 전원제공영역(15)을 형성할 수도 있다.
- <41> 즉, 상기 전원제공장치(15)는 상기 소자영역(25)에 주변에 형성될 수 있으며, 상기 소자영역(25)의 소정영역에 다수가 형성될 수도 있다.
- <42> 한편, 상기 전원제공장치(15)에서는 전도성 금속층(120)이 상기 소자영역(25)의 반도체 소자층(210)에까지 형성되며, 상기 전도성 금속층(120)에 연결되는 전원공급선(220)을 형성하게 된다.
- <43> 상기 전원공급선(220)은 상기 전원제공영역(15)에서 형성되는 전원을 상기 반도체 소자층(210)에 공급하게 된다.
- <44> 따라서 상기 전원공급선(220)을 상기 전도성 금속층(120)으로 동시에 형성가능함으로서 별도의 플러그 등의 연결선을 형성할 필요가 없게 된다. 즉, 공정 상 반도체소자층(210)과 상기 2차전지(10)를 동시에 형성함으로 2차전지를 구비한 반도체를 용이하게 형성할 수 있는 장점이 있게 된다.
- <45> 게다가, 상기 2차전지(10)를 구비한 반도체(20)를 형성함으로써 상기 반도체 작동을 위한 별도의 외부전원공급장치가 필요 없게 되고, 상기 반도체(20)를 구비하는 장치의 전체적인 부피를 줄일 수 있는 효과가 있다.
- <46> 도 3a 내지 도 3e는 본 발명에 따른 2차전지 및 이를 구비한 반도체 제조방법을 설명하기 위한 공정도이다.
- <47> 도 3a에 도시된 바와 같이, 기관(110)을 마련한다. 상기 기관(110)은 실리콘 웨이퍼 등을 마련할 수 있다.
- <48> 여기서 상기 기관은 2차전지가 형성되는 전원제공영역(15)과 반도체 소자가 형성되는 소자영역(25)으로 나눌 수 있다.
- <49> 도 3b에 도시된 바와 같이, 상기 기관 전면에 전도성 금속을 증착시킨다. 상기 전도성 금속층(120)은 스퍼터, 화학기상증착장치 등을 이용하여 상기 기관(110)에 증착시킬 수 있다.
- <50> 상기 전원제공영역(15)에는 전도성 금속을 증착시켜 전도성 금속층(120)을 형성할 수 있다.
- <51> 한편, 상기 소자영역(25)에는 추후에 상기 전도성 금속을 패터닝 공정 등을 실시하여 전원공급선(220)을 형성할 수 있다. 상기 전원공급선의 형성은 추후 도 3d에서 설명한다.
- <52> 도 3c에 도시된 바와 같이, 상기 전도성 금속층(120) 상에 고분자를 도포하여 고분자층(130)을 형성할 수 있다.

상기 고분자층(130)은 스핀코팅법 등으로 형성할 수 있으며, 상기 고분자층(130)을 이루는 고분자는 빛에 감광하는 감광성 재료를 사용하는 것이 바람직하다.

<53> 도 3d에 도시된 바와 같이, 상기 고분자층(130)을 포토마스크 공정을 실시하여 상기 전원제공영역(15)에는 상기 고분자층(130)에 패턴을 형성한다.

<54> 한편, 상기 소자영역(25)에는 상기 고분자층(130)을 패터닝하여 전원공급선(220) 및 반도체 소자 등의 금속배선 등을 형성 가능할 것이다.

<55> 상기 패턴은 상기 전도성금속층(120)을 일부분 노출되도록 형성할 수 있다. 여기서 상기 전도성 금속층(120)이 일부분 노출되는 영역을 노출영역(140)으로 표시한다.

<56> 그리고, 상기 전원공급선(220)은 패터닝 등의 공정을 통해서 상기 반도체 소자 내부에 전원이 공급되도록 금속 배선 등에 연결할 수 있을 것이다.

<57> 도 3e에 도시된 바와 같이, 상기 고분자층(130)에 형성되어 있는 노출영역(140)에 분말형상으로 형성된 리튬과 우테를 채워 넣어 리튬과우테층(150)을 형성한다.

<58> 이와 같이, 상기 리튬과우더층(150)을 상기 기판(110) 상에 형성함으로써 2차전지(10)를 형성할 수 있다.

<59> 여기서 상기 리튬파우더를 분말 형상으로 상기 노출영역(140)에 채워 넣음으로써 용해(dissolution)된 리튬이온이 전기가 통하는 실리콘 웨이퍼 표면에만 즉, 기판(110)의 표면에만 증착되어 상기 리튬의 수지상의 형성을 억제할 수 있다.

<60> 이와 같이, 상기 전도성 금속층(120)을 종래의 증착방법 및 상기 노출영역(140)을 종래의 포토마스크 방법으로 형성 가능함으로써 반도체소자층(210)과 상기 2차전지(10)를 동시에 형성 가능함으로써 상기 2차전지(10)의 제조공정이 용이하고, 생산성을 향상시킬 수 있다.

<61> 또한, 상기 2차전지 및 이를 구비한 반도체는 전원을 공급하는 별도의 전원공급장치가 필요 없게 되어 반도체의 부피를 저감할 수 있는 효과가 있다.

<62> 따라서, 상기 2차전지(10)의 기판(110)의 동일면에 반도체 소자층(210)을 형성하여 인시츄(in-situ)로 메모리/비메모리 반도체 구현이 가능할 것이다.

도면의 간단한 설명

<63> 도 1은 본 발명에 따른 2차전지를 도시한 도면.

<64> 도 2는 본 발명에 따른 2차전지를 구비한 반도체를 도시한 도면.

<65> 도 3a 내지 도 3e는 본 발명에 따른 2차전지 및 이를 구비한 반도체 제조방법을 설명하기 위한 공정도.

<66> * 도면의 주요 부분에 관한 부호의 설명 *

<67> 10 : 2차전지 110 : 기관

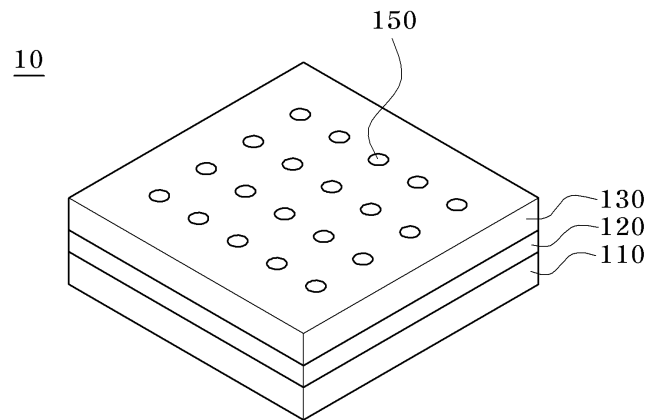
<68> 120 : 전도성 금속층 130 : 고분자층

<69> 140 : 노출영역 150 : 리튬파우더층

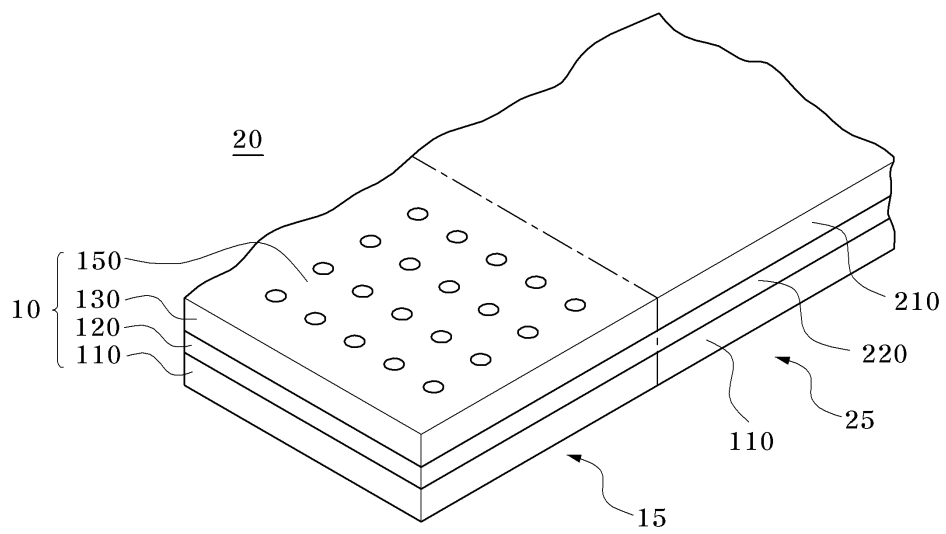
<70> 200 : 반도체소자 210 : 반도체소자층

도면

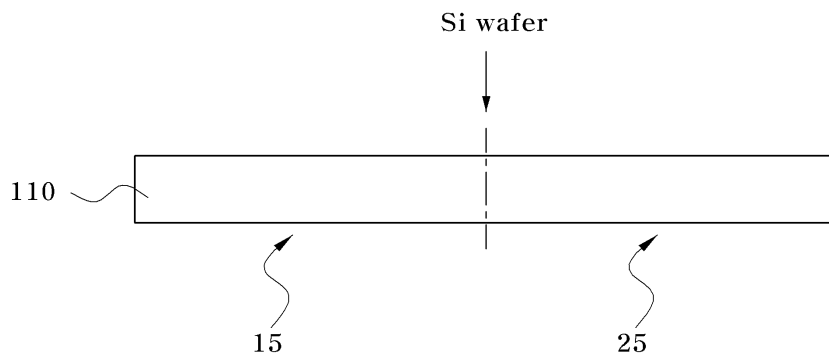
도면1



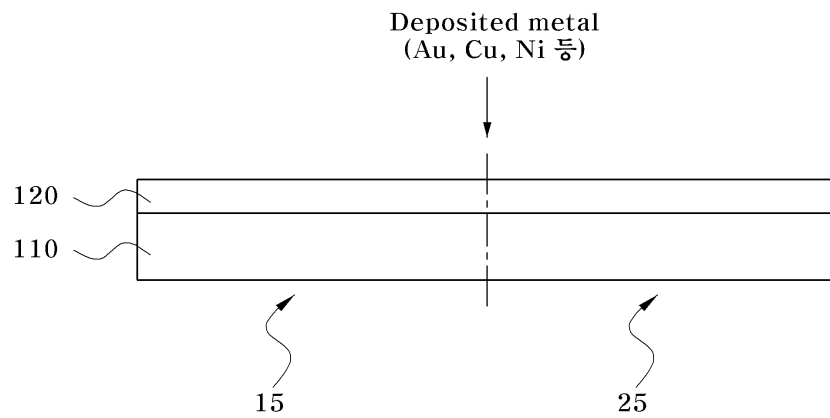
도면2



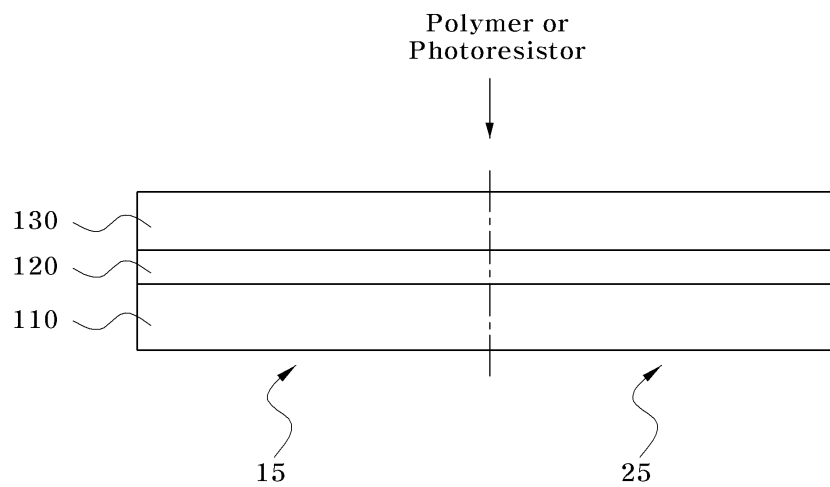
도면3a



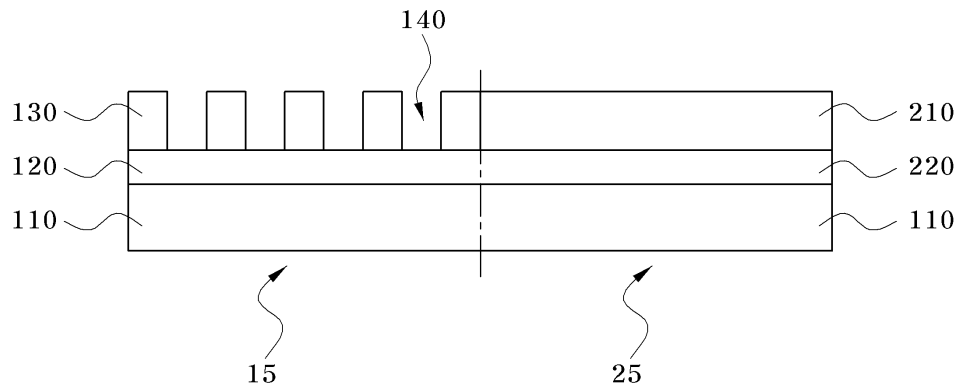
도면3b



도면3c



도면3d



도면3e

