

A1

**DEMANDE
DE BREVET D'INVENTION**

⑫

N° 81 10281

⑭ Circuit de protection d'entrée pour dispositif semi-conducteur.

⑮ Classification internationale (Int. Cl.³). H 01 L 23/56.

⑯ Date de dépôt..... 22 mai 1981.

⑰ ⑱ ⑲ Priorité revendiquée : Japon, 30 juin 1980, n° 90117/1980.

⑳ Date de la mise à la disposition du
public de la demande B.O.P.I. — « Listes » n° 53 du 31-12-1981.

㉑ Déposant : MITSUBISHI DENKI KABUSHIKI KAISHA, société de droit japonais, résidant au Japon.

㉒ Invention de : Hideyuki Ozaki et Kazuyasu Fujishima.

㉓ Titulaire : *Idem* ㉑

㉔ Mandataire : Cabinet Malémont,
42, av. du Président-Wilson, 75116 Paris.

La présente invention concerne un circuit de protection d'entrée d'un dispositif semi-conducteur. Il a trait notamment à un circuit de protection d'entrée destiné à éviter le claquage de la couche isolante d'un dispositif ayant une structure de type MIS (terme anglais qui désigne un semi-conducteur métal-isolant) tel qu'un transistor à effet de champ MIS, une diode MIS, un condensateur MIS, etc. ainsi qu'à un circuit intégré comprenant un tel dispositif.

Lors de l'élaboration et de la manipulation d'un dispositif classique de type MIS et d'un circuit intégré comprenant un tel dispositif, une tension de bruit d'une valeur de crête élevée est parfois appliquée depuis l'extérieur sur la borne d'entrée, par exemple la grille du dispositif, ce qui peut entraîner le claquage de la couche isolante de grille. Les circuits intégrés sont conçus pour être de plus en plus compacts et pour fonctionner de plus en plus rapidement et, de ce fait, l'épaisseur de la couche isolante de la grille du dispositif est de plus en plus faible. Par exemple, la tension de crête qu'une couche de dioxyde de silicium d'une épaisseur comprise entre 400 Å et 500 Å peut supporter est comprise sensiblement entre 40 et 50 V. Par conséquent, il faut prévoir un circuit de protection d'entrée destinée à assurer le fonctionnement normal, même lorsque la tension de crête appliquée est plus faible, et la caractéristique de fonctionnement du dispositif.

La figure 1 montre un exemple d'un circuit de protection d'entrée de type à canal N.

Sur cette figure, la référence 1 désigne un transistor MIS, 2 désigne un circuit intégré comprenant le transistor MIS 1, 3 désigne une borne d'entrée externe, 4 désigne une résistance constituée par exemple par une région diffusée à conduction de type N, 5 désigne une diode de redressement réalisée entre la région de type N et un substrat semi-conducteur de type P, 6 désigne une capacitance électrostatique entre un noeud de potentiel 7 et la masse dans un circuit équivalent. Le noeud 7 sert également de borne d'entrée du transistor MIS 1 et du circuit intégré 2.

On va décrire maintenant le fonctionnement du circuit de protection. Lorsqu'une tension positive de crête est appliquée à la borne d'entrée externe 3, le courant de crête est réduit par la résistance 4 et le noeud 7 se trouve au potentiel de la tension inverse de claquage V_{BD} de la diode 5.

Par contre, lorsqu'une tension négative de crête est appliquée à la borne d'entrée externe 3, le noeud 7 se trouve au potentiel de la tension

négative (normalement - 0,6 à - 0,7 V) qui est inférieure au potentiel de la masse pour la chute de tension en sens direct de la diode 5.

Un circuit classique de protection d'entrée ayant cette structure présente l'inconvénient suivant. La borne d'entrée externe 3 présente ordinairement une impédance d'entrée élevée, c'est-à-dire que la diode est normalement à l'état non conducteur. Par conséquent, lorsqu'une tension positive de crête est appliquée à la borne d'entrée externe, le potentiel au niveau du noeud 7 augmente jusqu'à la valeur de la tension inverse de claquage de la diode 5. La tension inverse de claquage de la diode 5 est une tension relativement élevée, de plusieurs dizaines de volts par exemple, lorsqu'il s'agit d'un substrat semi-conducteur, sur lequel est réalisé un circuit intégré, présentant une concentration normale en impureté. Il est difficile de contrôler la tension de claquage. Il est, par conséquent, difficile d'éviter le claquage de la couche isolante du circuit intégré, pour lequel l'épaisseur de la couche isolante de grille du circuit interne est comprise entre 400 Å et 500 Å.

Un but de la présente invention est de remédier à cet inconvénient d'un circuit de protection classique et de réaliser un circuit de protection d'entrée qui permet d'éviter le claquage de la couche isolante de la grille d'un dispositif de type MIS ou d'un circuit intégré comprenant un tel dispositif de type MIS lors de leur élaboration et de leur manipulation, circuit qui ne porte nullement atteinte à la caractéristique de fonctionnement du dispositif de type MIS ou du circuit intégré lorsqu'il fonctionne.

Pour atteindre ce but et d'autres, la présente invention a pour objet un circuit de protection d'entrée destiné à protéger la couche isolante d'un dispositif de type MIS ou d'un circuit intégré comprenant un tel dispositif de type MIS, circuit de protection dans lequel la borne d'entrée est mise à la masse lors de l'élaboration ou de la manipulation du dispositif ou du circuit intégré tandis qu'elle est isolée par rapport à la masse lors du fonctionnement normal du dispositif, le dispositif de type MIS ou le circuit intégré ne nécessitant aucune borne de commande supplémentaire.

La présente invention peut servir notamment de circuit de protection d'entrée d'un dispositif de type MIS, pour le fonctionnement duquel une tension de polarisation inverse est appliquée sur un substrat semi-conducteur. Conformément à la présente invention, un élément à conductivité variable est relié entre la borne d'entrée du dispositif de type MIS et la masse pour que

la borne d'entrée soit mise à la masse lorsqu'aucune tension de polarisation inverse n'est appliquée sur le substrat semi-conducteur et isolée par rapport à la masse lorsqu'une tension de polarisation inverse est appliquée sur le substrat semi-conducteur.

5 Une forme d'exécution de la présente invention est décrite ci-après à titre d'exemple, en référence aux dessins annexés dans lesquels :

- la figure 1 est un schéma d'un circuit de protection d'entrée classique, et
- la figure 2 est un schéma d'un mode de réalisation du circuit de

10 protection d'entrée conforme à la présente invention.

On va décrire un mode de réalisation de la présente invention en se référant à la figure 2. Cette figure représente un circuit de protection d'entrée de type N conforme à la présente invention.

Sur cette figure, la référence 101 désigne un transistor MIS, 102
15 désigne un circuit intégré comprenant le transistor MIS 101, 103 désigne une borne d'entrée externe, 104 désigne une résistance constituée, par exemple, par une région à diffusion conductrice de type N ou du polysilicium, 106 désigne une capacitance électrostatique, telle que la capacitance de grille du transistor MIS, qui se situe entre un noeud 107 et la masse dans un circuit
20 équivalent et 108 désigne un transistor MIS constituant un élément à conductivité variable conforme à l'invention, dans lequel une électrode de source et une électrode de grille sont reliées toutes les deux à la masse tandis qu'une électrode de drain est reliée au noeud 107, lequel sert de borne d'entrée commune au transistor MIS 101 et au circuit intégré 102. Le circuit de protec-
25 tion d'entrée est réalisé sur le même substrat semi-conducteur que le circuit intégré 102.

Dans le dispositif MIS de type à canal N et dans le circuit intégré réalisé sous forme monolithique sur le substrat semi-conducteur de type P, une tension négative de polarisation est normalement appliquée sur le substrat
30 semi-conducteur. La raison en est comme suit. Tout d'abord, lorsque le circuit est en fonctionnement, il arrive parfois qu'une région de type N formée sur le substrat semi-conducteur se trouve à un potentiel négatif ce qui se traduit par l'injection d'électrons dans le substrat, si celui-ci n'est pas polarisé pour le maintenir à un potentiel négatif, et le mauvais fonctionnement du circuit.

35 En deuxième lieu, il est nécessaire d'assurer un fonctionnement rapide en diminuant la capacitance de jonction entre le substrat de type P et la région de type N formée sur le substrat par l'application d'une polarisation inverse.

La présente invention a été réalisée après la constatation que les substrats semi-conducteurs n'ont pas été polarisés lors de l'élaboration et de la manipulation de dispositifs de type MIS et de circuits intégrés comprenant de tels dispositifs de type MIS, alors qu'une tension de polarisation est souvent appliquée lors de leur fonctionnement.

On va décrire le fonctionnement du circuit de protection d'entrée conforme à la présente invention.

Le circuit de protection d'entrée conforme à la présente invention fait appel à un transistor à effet de champ de type MIS qui fonctionne comme un dispositif de type à déplétion lorsqu'aucune tension de polarisation inverse n'est appliquée et comme dispositif de type à enrichissement lors de l'application d'une tension de polarisation inverse, en vue du fonctionnement du circuit.

La tension de seuil V_{TH} du transistor MIS est exprimée de manière générale par l'équation suivante 1 :

$$V_{TH} = V_{THO} + B_K (\sqrt{|V_{BB}| + 2\phi_F} - \sqrt{2\phi_F}) \quad (1)$$

dans laquelle, V_{THO} représente la tension de seuil pour un intervalle de polarisation nulle, V_{BB} représente une tension de polarisation inverse, ϕ_F représente le potentiel de Fermi d'une couche de type P et B_K représente une constante d'effet de corps. B_K peut être exprimé par l'équation 2 :

$$B_K = \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2q\epsilon_{si}N} \quad (2)$$

dans laquelle, t_{ox} représente l'épaisseur d'une couche isolante de grille, ϵ_{ox} représente la constante diélectrique d'une couche isolante de grille, ϵ_{si} représente la constante diélectrique du substrat de silicium et N représente la concentration en impureté du substrat.

Un transistor MIS qui fonctionne comme dispositif de type à déplétion en l'absence d'une tension de polarisation inverse et comme dispositif de type à enrichissement lors de l'application d'une tension de polarisation inverse, peut être conçu et élaboré en donnant au terme V_{THO} de l'équation (1) une certaine valeur négative et en déterminant ensuite la constante d'effet de corps B_K qui rend la valeur de V_{TH} positive relativement à celle de V_{BB} obtenue en fonctionnement.

Par contre la constante d'effet de corps B_K peut avoir n'importe quelle valeur désirée en fonction de l'épaisseur de la couche isolante de grille, de la concentration du substrat semi-conducteur, ou de l'implantation

d'ions pour réaliser le transistor MIS 108 sur le substrat semi-conducteur.

En pratique, des ions d'impureté de type N, par exemple des ions d'arsenic, présentant une faible constante de diffusion, peuvent être implantés dans une région pour réaliser un transistor MIS 108 sur le substrat semi-conducteur de type P présentant une plus grande concentration d'impuretés, ce qui permet d'obtenir un transistor MIS comprenant une partie de surface fonctionnant comme transistor de type à déplétion et une couche à déplétion qui peut s'étendre jusqu'à un emplacement d'un niveau de concentration en impuretés plus élevée dans la couche de type P du substrat lors de l'application d'une tension de polarisation inverse, ce qui permet de commander la constante d'effet de corps.

Le dispositif de protection d'entrée utilisant le transistor MIS 108 fonctionne comme suit.

Lors de l'élaboration et de la manipulation d'un circuit intégré, le transistor MIS 108 constitue un dispositif de type à déplétion en l'absence d'une tension de polarisation inverse appliquée et reste à l'état conducteur parce que son électrode de grille est mise à la masse. Il en résulte que l'électrode de grille du transistor MIS 101 du circuit intégré est également mise à la masse à travers le transistor MIS 108 pour assurer une faible impédance.

Dans ces conditions, même si une tension de crête est appliquée sur la borne d'entrée externe 103, la charge électrique peut être mise en dérivation à travers la résistance 104 et le transistor MIS 108 de sorte qu'il n'y a sensiblement pas de tension appliquée sur l'électrode de grille du transistor MIS 101.

Par contre, une tension négative étant appliquée en fonctionnement sur le substrat semi-conducteur sur lequel est réalisé un circuit intégré, le transistor MIS 108 joue le rôle d'un dispositif de type à enrichissement et se trouve à l'état non-conducteur parce que son électrode de grille est mise à la masse. Dans ces conditions, un signal d'entrée appliqué sur la borne d'entrée externe ne passe pas à la masse.

Dans ce mode de réalisation, la description fait état d'un transistor MIS à effet de champ de type à canal N. Mais il est évident que cette description s'applique également à un dispositif de type à canal P. Il est également évident que la tension de polarisation inverse peut être appliquée soit depuis l'extérieur soit à l'aide d'un circuit d'élaboration de la tension de polarisation inverse prévu sur le substrat semi-conducteur. On peut utiliser

en outre tout élément à conductivité variable à la place du transistor MIS 108.

5 Conformément à la présente invention, on prévoit un élément à conductivité variable qui assure une faible impédance entre la borne d'entrée d'un dispositif de type MIS et la masse en l'absence d'une tension de polarisation inverse appliquée sur le substrat semi-conducteur et une impédance élevée lorsqu'une telle tension est appliquée, ce qui permet d'obtenir un circuit de protection d'entrée remarquablement efficace pour un dispositif MIS comprenant une couche isolante mince de grille et pour un circuit intégré 10 comprenant un tel dispositif MIS.

Le circuit de protection d'entrée apporte les avantages d'assurer la protection d'un dispositif semi-conducteur lors de son fonctionnement sans y porter atteinte et d'éliminer la nécessité d'une borne de commande particulière.

REVENDEICATIONS

1. Circuit de protection d'entrée pour dispositif semi-conducteur caractérisé en ce qu'il comprend un élément à conductivité variable (108) qui est relié entre la masse et la borne d'entrée (107) d'un dispositif de type MIS (101) dans lequel une tension de polarisation inverse est appliquée sur le substrat semi-conducteur, la borne d'entrée (107) étant mise à la masse en l'absence d'une tension de polarisation inverse appliquée sur le substrat semi-conducteur et isolée par rapport à la masse lors de l'application d'une tension de polarisation inverse sur le substrat semi-conducteur.
2. Circuit de protection d'entrée selon la revendication 1, caractérisé en ce que l'élément à conductivité variable (108) est un transistor à effet de champ MIS qui joue le rôle d'un dispositif de type à déplétion en l'absence d'une tension de polarisation inverse appliquée sur le substrat semi-conducteur et d'un dispositif de type à enrichissement lors de l'application d'une tension de polarisation inverse sur le substrat semi-conducteur.
3. Circuit de protection d'entrée selon la revendication 2, caractérisé en ce que la borne d'entrée (107) est reliée à la borne externe (103) par une résistance (104) réalisée sur le substrat semi-conducteur par du polysilicium ou par une région à diffusion d'impuretés d'un type de conductivité opposée à celle du substrat semi-conducteur ; et en ce que l'électrode de drain du transistor à effet de champ MIS (108) est reliée à la borne d'entrée du dispositif de type MIS (101) et en ce que l'électrode de source et l'électrode de grille du transistor à effet de champ MIS sont mises à la masse.

PL. UNIQUE

FIG. 1

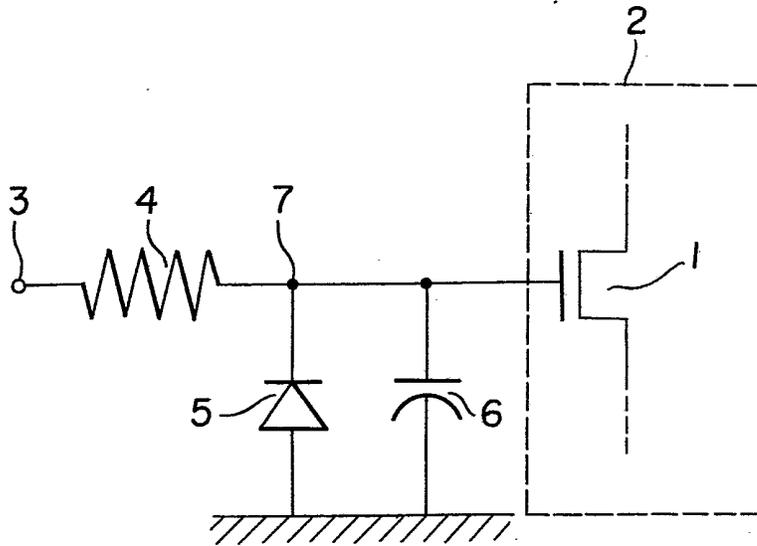


FIG. 2

