

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第4080892号  
(P4080892)

(45) 発行日 平成20年4月23日(2008.4.23)

(24) 登録日 平成20年2月15日(2008.2.15)

(51) Int.Cl.

F 1

G 11 C 11/4093 (2006.01)  
G 11 C 11/407 (2006.01)G 11 C 11/34 354 Q  
G 11 C 11/34 362 T

請求項の数 13 (全 23 頁)

(21) 出願番号	特願2002-586351 (P2002-586351)
(86) (22) 出願日	平成14年3月8日 (2002.3.8)
(65) 公表番号	特表2004-523056 (P2004-523056A)
(43) 公表日	平成16年7月29日 (2004.7.29)
(86) 國際出願番号	PCT/US2002/007668
(87) 國際公開番号	W02002/089141
(87) 國際公開日	平成14年11月7日 (2002.11.7)
審査請求日	平成16年4月7日 (2004.4.7)
(31) 優先権主張番号	09/808,506
(32) 優先日	平成13年3月14日 (2001.3.14)
(33) 優先権主張国	米国(US)

前置審査

(73) 特許権者	500014068 マイクロン テクノロジー, インコーポレ イテッド MICRON TECHNOLOGY, INC. アメリカ合衆国 83706-9632 アイダホ州 ボイシ サウス フェデラル ウェイ 8000
(74) 代理人	100088454 弁理士 加藤 純一郎
(72) 発明者	モーザノ, クリストファー, ケイ アメリカ合衆国 アイダホ州 83706 ボイズ ハーモニー・ストリート 26 24

最終頁に続く

(54) 【発明の名称】マルチビットプリフェッチ出力データバス

## (57) 【特許請求の範囲】

## 【請求項 1】

各々が第1、第2、第3及び第4のデータビットをパラレルに受ける複数の出力バスと、  
出力バスに接続されて、該出力バスからデータビットを受ける出力セレクトと、  
出力セレクトから転送されるデータビットを受けて、該データビットをデータパッドへ  
クロック信号の2サイクル以内にシリアルに出力する出力段とより成り、  
シリアルな第1及び第3のデータビットは第1のイネーブル信号の互い違いの相で出力  
され、シリアルの第2及び第4のデータビットは第2のイネーブル信号の互い違いの相で  
出力され、第1及び第2のイネーブル信号は同期されていない集積回路。

10

## 【請求項 2】

各出力バスは、  
データビットを受ける複数の入力ノードと、  
入力ノードに接続されて、データビットから選択された所定のデータビットを発生する  
入力セレクトと、  
入力セレクトに接続されて、選択されたデータビットを受ける第1のラッチと、  
第1のラッチに接続されて、第1のラッチから選択されたデータビットを受ける第2の  
ラッチとより成り、  
1つの出力バスからの選択されたデータビットは別の出力バスから選択されたデータビ  
ットとは異なる請求項1の集積回路。

20

**【請求項 3】**

出力バスの第 1 のラッチは第 1 の伝播制御信号により制御され、出力バスの一方の半部の第 2 のラッチは第 2 の伝播制御信号により制御され、出力バスのもう一方の半部の第 2 のラッチは第 3 の伝播制御信号により制御され、これらの伝播制御信号が作動されるとデータビットがラッチから出力セレクトへ送られる請求項 2 の集積回路。

**【請求項 4】**

出力セレクトから出力段へ転送されるデータビットは複数のタイミング信号により制御され、タイミング信号が順次作動されるとデータビットの群が出力セレクトから出力段へシリアルに転送される請求項 1 の集積回路。

**【請求項 5】**

クロック信号は、66メガヘルツ乃至300メガヘルツの範囲内の周波数を有する請求項 1 の集積回路。

10

**【請求項 6】**

各々が第 1、第 2、第 3 及び第 4 のデータビットをパラレルに受ける複数の出力バスと、  
出力バスに接続されて、各出力バスから選択されたデータビットを受ける出力セレクトと、

出力セレクトに接続されて、該出力セレクトから選択されたデータビットをシリアルに受け、選択されたデータビットをデータパッドへクロック信号の2サイクル以内にシリアルに出力する出力段とより成り、

20

各出力バスは、

第 1、第 2、第 3 及び第 4 のデータビットを受ける複数の入力ノードと、  
第 1、第 2、第 3 及び第 4 のデータビットから選択されたデータビットを与える入力セレクトと、

入力セレクトに接続されて、選択されたデータビットを受ける第 1 のラッチと、  
 第 1 のラッチに接続されて、第 1 のラッチから選択されたデータビットを受ける第 2 のラッチとより成り、シリアルな第 1 及び第 3 のデータビットは第 1 のイネーブル信号の互い違いの相で出力され、シリアルの第 2 及び第 4 のデータビットは第 2 のイネーブル信号の互い違いの相で出力され、第 1 及び第 2 のイネーブル信号は同期されていない集積回路。

30

**【請求項 7】**

2より大きいM個のデータビットを複数の出力バスへパラレルに読み出し、  
 それぞれ異なるM個のデータビットを出力バスから出力セレクトへ転送し、  
 第 1 及び第 2 のイネーブル信号を作動し、  
 複数のタイミング信号を第 1 のイネーブル信号の異なる相及び第 2 のイネーブル信号の異なる相に基づきシリアルに作動し、

タイミング信号の変化後にM個のデータビットを出力段へシリアルに転送し、

クロック信号の2サイクル以内にM個のデータビットをデータパッドへ出力するステップより成るデータ転送方法。

**【請求項 8】**

M個のデータビットの読み出しきステップは、複数のメモリセルにアクセスするステップを含む請求項 7 の方法。

40

**【請求項 9】**

出力バスからのM個のデータビットの転送ステップは、各出力バス上のM個のデータビットから異なるデータビットを選択するステップを含む請求項 7 の方法。

**【請求項 10】**

複数のタイミング信号を作動するステップは、

第 1 のイネーブル信号の第 1 の相に基づき第 1 のタイミング信号を作動し、

第 2 のイネーブル信号の第 1 の相に基づき第 2 のタイミング信号を作動し、

第 1 のイネーブル信号の第 2 の相に基づき第 3 のタイミング信号を作動し、

50

第2のイネーブル信号の第2の相に基づき第4のタイミング信号を作動するステップを含む請求項7の方法。

**【請求項11】**

複数のタイミング信号を作動するステップは、

第1のイネーブル信号の変化後に第1のタイミング信号を作動し、

第2のイネーブル信号の変化後に第2のタイミング信号を作動し、

第1のイネーブル信号の異なる変化後に第3のタイミング信号を作動し、

第2のイネーブル信号の異なる変化後に第4のタイミング信号を作動するステップを含み、第1のイネーブル信号の変化は第2のイネーブル信号の変化の間にある請求項7の方法。

10

**【請求項12】**

複数のタイミング信号を作動するステップは、

第1のイネーブル信号の下降エッジの後に第1のタイミング信号を作動し、

第2のイネーブル信号の下降エッジの後に第2のタイミング信号を作動し、

第1のイネーブル信号の上昇エッジの後に第3のタイミング信号を作動し、

第2のイネーブル信号の上昇エッジの後に第4のタイミング信号を作動するステップを含み、第1のイネーブル信号の下降エッジは第2のイネーブル信号の下降エッジと上昇エッジとの間にある請求項7の方法。

**【請求項13】**

M個のデータビットを出力するステップは、

20

第1のタイミング信号の作動後に第1のデータビットを出力し、

第2のタイミング信号の作動後に第2のデータビットを出力し、

第3のタイミング信号の作動後に第3のデータビットを出力し、

第4のタイミング信号の作動後に第4のデータビットを出力するステップを含む請求項7の方法。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は一般的に集積回路に関し、さらに詳細には、メモリデバイスのデータパスに関する。

30

**【背景技術】**

**【0002】**

同期ダイナミックRAM(SDRAM)デバイスのような半導体メモリデバイスは、コンピュータ及び電子製品に広く使用されている。SDRAMデバイスは通常、データを記憶するためのメモリセルを多数備えている。データを読み出すには、メモリ読み出し動作を実行させる。読み出し動作時に、メモリセルのデータにアクセスし、処理を行うためにデータパッドへ出力する。SDRAMの動作は、普通のクロック信号に基づいている。

**【0003】**

SDRAMデバイスには幾つかのタイプがある。1つのタイプでは、メモリセルのデータにアクセスし、クロックサイクル毎に1ビットのデータをデータパッドへ出力する。別のタイプのSDRAMデバイスでは、クロックサイクル毎に2ビットのデータにアクセスしてデータパッドへ出力するため、このタイプのSDRAMデバイスは通常、ダブルデータレート(DDR)SDRAMデバイスとは呼ばれている。

40

**【0004】**

現在、新しいタイプのSDRAMデバイスが、メモリデバイスを含む集積回路デバイスの規格を設定する国際組織であるジェデック(JEDEC)により提案されている。JEDECにより提案されたSDRAMデバイスの仕様の原案を本明細書の一部として引用する。提案されたSDRAMデバイス、即ち、DDR II SDRAMデバイスは、読み出しサイクルの間、メモリデバイス内の4ビットのデータにアクセスしてデータパッドへ出力する。従って、DDR II SDRAMデバイスは従来のデバイスよりもデータ出力を

50

高速で行える。

**【0005】**

DDR II SDRAMデバイスを作動させるための課題の1つは、メモリセルから4ビットのデータがデータパッドへ適正に出力されるようにデバイスを構成することである。DDR SDRAMデバイスは、一度に2ビットのデータ群にアクセスするため、1クロックサイクルに1つの群から2ビットのデータをデータパッドへ出力することができる。次のクロックサイクルでは、前の群と同じ様で2ビットの次の群のデータをデータパッドへ出力することが可能である。かくして、2クロックサイクル毎に4ビットのデータをデータパッドへ出力するが、これら4ビットのデータは2つの異なる群のものである。DDR II SDRAMデバイスは、一度に4ビットのデータ群にアクセスし、2クロックサイクルで(サイクル毎に2ビットずつ)データパッドへ出力する。しかしながら、DDR SDRAMデバイスとは異なり、DDR II SDRAMデバイスでは、4ビットのデータが同じ群のものであるため、2クロックサイクルのうちの何れのサイクルで4ビットデータのうち何れの2ビットデータを出力するか識別する必要がある。さらに、4ビットがそれぞれ正しい順序でデータパッドへ出力されるように適正なビット順位を決定しなければならない。10

**【0006】**

読み出し動作時にデータがメモリセルからデータパッドへ適正に出力されるDDR II SDRAMデバイスを実現することが求められている。

**【発明の概要】**

**【0007】**

本発明は、メモリデバイスのメモリセルとデータパッドとの間のデータ転送を行う出力回路を備えたDDR II SDRAMデバイスを提供する。

**【0008】**

1つの局面において、このメモリデバイスは、メモリセルからMビットのデータ群をパラレルに受ける複数の入力ノードを有する。N個の出力バスが、入力ノードとデータパッドとの間に接続されており、M及びNは2より大きい。各出力バスはM個のデータビットの群のそれぞれ異なるビットを転送する。M個のデータビットは、複数のタイミング信号の作動によりシリアルにデータパッドへ転送される。タイミング信号は、第1及び第2のイネーブル信号によりそれぞれ異なる時点で作動される。これらのイネーブル信号は同期されていない。30

**【0009】**

別の局面において、データ転送方法が提供される。この方法は、2より大きいM個のデータビットを複数の出力バスへパラレルに読み出すステップを含む。さらに、M個のデータビットを出力バスから出力セレクトへ転送するステップを含む。各出力バスはそれぞれ異なるデータビットを転送する。この方法はさらに、第1及び第2のイネーブル信号と、複数のタイミング信号を作動するステップを含む。タイミング信号はイネーブル信号に基づいてシリアルに作動される。この方法はさらに、タイミング信号の変化後にM個のデータビットを出力段へシリアルに転送し、クロック信号の2サイクル以内にM個のデータビットをデータパッドへ出力するステップを含む。40

**【実施例】**

**【0010】**

以下の詳細な説明において、本発明の特定の実施例を例示し、本願の一部を構成する添付図面を参照する。これらの実施例は、当業者が本発明を実施できるように十分に詳しく記載されている。他の実施例も利用可能であり、本発明の思想及び範囲から逸脱しないで論理的、機械的及び電気的な変形を行えることを理解されたい。従って、以下の詳細な説明は限定の意味で捉えるべきではなく、本発明の範囲は、頭書の特許請求の範囲のみにより規定される。

**【0011】**

図1は、本発明の一実施例によるメモリデバイス100の単純化ブロック図である。—50

実施例において、メモリデバイス 100 は主メモリ 102 を有する。主メモリ 102 は通常、バンク 1 - N で示す 1 またはそれ以上のメモリバンクを有するダイナミックランダムアクセスメモリ (DRAM) デバイスより成る。各メモリバンク 1 - N は、複数のメモリセルが行列状に配置されたものである。行デコーダ 104 及び列デコーダ 106 は、アドレスバスまたはアドレスライン 110\_0 - X 上に与えられるアドレスに応答して行列状のメモリセルにアクセスする。アドレスライン 110\_0 - X は複数のアドレス信号 A0 - AX を受ける。複数の入力回路 111\_0 - N 及び複数の出力回路 112\_0 - N は、主メモリ 102 との双方向データ通信を行うためにデータバスまたはデータライン 114\_0 - N に接続されている。各データライン 114\_0 - N は、複数のデータ信号または複数のデータビット D0 - DN を与える。出力コントローラ 117 は、主メモリ 102 からデータパッド 114\_0 - N へ出力されるデータのタイミングを制御する。メモリコントローラ 116 は、制御ライン 111 上に与えられる制御信号に応答してメモリ 100 を制御する。制御信号は、外部クロック信号 (CLK)、チップセレクト (CS\*)、行アクセスストローブ (RAS\*)、列アクセスストローブ (CAS\*) 及び書き込みイネーブル (WE\*) を含むが、これらに限定されない。メモリデバイス 100 は、その動作の種々の設定を記憶するようにプログラム可能なモードレジスタ 119 も備えている。  
10

#### 【0012】

当業者であればわかるように、図 1 のメモリデバイス 100 はさらに別の回路及び制御信号を有することが可能であり、図 1 のメモリデバイスは本発明に焦点を当てるために単純化されている。DRAM の上記説明はそのメモリの一般的な理解に資するためであって DRAM デバイスの全ての構成要素及び特徴を網羅したものでないことがわかるであろう。  
20

#### 【0013】

本発明の説明中、データ、ビット、データビットのような用語は、主メモリ 102 から読み出される、または書き込まれる情報または信号である同じ対象を指すものとして互換的に使用する。さらに、ライン及びノードのような用語は同じ要素を指すように互換的に使用する。

#### 【0014】

図 2 は、レイテンシーを種々の値に設定した場合におけるメモリ動作時の図 1 のデバイスのタイミング図を示す。図 2 において、CLK は図 1 のメモリデバイス 100 の制御ライン 118 の 1 つに加えられる外部クロック信号を表す。一実施例において、メモリデバイス 100 は、66 メガヘルツ (66 MHz) 乃至 300 メガヘルツ (300 MHz) の周波数レンジを有する CLK 信号で動作できる。COMMAND は、読み出し動作のようなある特定のメモリ動作を実行するためにメモリデバイス 100 に加えられる命令を表す。OUTPUT DATA 210\_0 - 3 は、図 1 のライン 114\_0 - L の 1 つに与えられる出力データを表す。各出力データ OUTPUT DATA 210\_0 - 3 は、種々のレイテンシー設定値における出力データを表す。レイテンシー設定値は、図 1 のモードレジスタ 119 をプログラムすることにより設定される。レイテンシー設定値が異なると、読み出し命令が出された後、データライン 114\_0 - N の 1 つに第 1 のデータビットが得られるタイミングが異なるものとなる。例えば、レイテンシーが 2 に設定されると、読み出し命令 READ の 2 クロックサイクル後に第 1 のデータビット D1 が得られる。図 2 において、読み出し命令 READ が時間 T0 に発生すると、OUTPUT DATA 210\_0 の第 1 のデータビット D1 は時間 T2 で得られるが、これは読み出し命令の 2 クロックサイクル後である。同様に、OUTPUT DATA 210\_1 - 3 は、レイテンシーの設定が 3、4 または 5 であれば、第 1 のデータビットは T3、T4 または T5 で得られるが、これらはそれぞれ読み出し命令の 3、4 または 5 クロックサイクル後であることを示す。レイテンシーの設定は、メモリデバイス 100 の外部の変数に応じて選択される。  
30  
40

#### 【0015】

図 1 のメモリデバイス 100 は、読み出し動作の各読み出しバーストで 4 ビットのデータ列を出力できる。読み出し動作において、メモリコントローラ 116 は、RAS\*、CAS\* 及び WE\* のようなある特定の組み合わせの命令信号についてチェックする。その組  
50

み合わせが読み出し動作にとって有効であれば、読み出し命令が発せられる。例えば、図2において、読み出し動作のための組み合わせが有効になった後、時間T0において、読み出し命令が発せられる。主メモリ102(図1)の4つのデータビットを読み出して、出力回路1120-Nの1つへ出力する。主メモリ102の4つのデータビットの読み出しは、従来の任意の読み出し方法で行うことが可能である。出力回路1120-Nの1つに4ビットのデータが読み出されると、これらのビットはデータライン1140-Nの1つへシリアルに出力される。ライン1140-Nに出力される4ビットのデータのタイミングは、レイテンシーの設定に基づき出力コントローラ117により制御される。図2に示すように、各OUTPUT DATA2100-3の4ビットのデータD0-D3は、異なるレイテンシー設定に応じて、読み出し命令後の異なるクロックサイクル時に出力される。出力回路1120-N及び出力コントローラ117並びにそれらの動作については、後続の図面を参照して詳述する。

#### 【0016】

図3は、図1の出力回路1120-Nの1つのブロック図である。図3は出力回路1120を示す。他の出力回路の構成は図3に示す出力回路1120の構成と同一である。出力回路1120は複数の出力バス3100-3を有する。出力セレクト350は、ラインまたはノード3420-3を介して出力バス3100-3に接続されている。出力段360は、ライン356を介して出力セレクト350に接続されている。出力段360は、ライン1140に接続されて複数のデータビットD0-DNを与える。

#### 【0017】

出力バス3100-3は、複数の入力セレクト3200-3を有する。複数の第1のラッチ3300-3は、ライン3220-3を介して入力セレクト3200-3に接続されている。複数の第2のラッチ3400-3は、ライン3320-3を介して第1のラッチ3300-3に接続され、ライン3420-3を介して出力セレクト350に接続されている。出力バス3100-3の構成は同一であるため、各出力バス3100-3は同一構成要素より成る。例えば、出力バス3100の入力セレクト3200-0は、ライン3220-0を介して第1のラッチ3300-0に接続されている。第2のラッチ3400-0は、ライン3320-0を介して第1のラッチ3300-0に接続され、ライン3420-0を介して出力セレクト350に接続されている。他の出力バス3101-3は出力バス3100-0と同じ構成である。

#### 【0018】

各入力セレクト3200-3は、複数の入力ノード326に接続されて複数のデータ信号またはデータビットD0-D3を受ける。これらのデータビットは補数データである。別の表現をすると、これらのデータビットはそれぞれ主メモリ102からの真のデータビットとは反対である。データビットD0-D3は、パラレルでノード326において受ける。換言すれば、データビットD0-D3は主メモリ102からノード326に同時に到達する。各入力セレクト3200-3も、複数のセレクトライン328に接続されて複数のセレクト信号CA0-CA3を受ける。第1のラッチ3300-3はそれぞれ制御ライン334に接続されている。第2のラッチ3400-3はそれぞれ制御ライン344に接続されている。制御ライン334、344は複数の伝播制御信号Q0-Q2を受ける。全ての制御ライン334は信号Q2を受ける。第2のラッチ3400-1の制御ライン344は信号Q0を受ける。第2のラッチ3402-3の制御ライン344は信号Q1を受ける。

#### 【0019】

出力セレクト350は、複数のマルチプレクサ3520-3を有する。各マルチプレクサ3520-3の入力はノード3420-3の1つに接続され、出力はライン356を介して出力段360に接続されている。マルチプレクサ3520-3はまた、複数の制御ライン354に接続されて複数のタイミング信号DLLO-3を受ける。

#### 【0020】

図3において、各入力セレクト3200-3は、ライン326上の4つのデータビッ

10

20

30

40

50

ト D 0 - D 3 のうち 1 つを選択し、選択したビットを対応するライン 3 2 2 0 - 3 のうちの 1 つへ送る。データビット D 0 - D 3 の間の 1 つのデータビットの選択は、ライン 1 1 0 0 - X (図 1) 上で受ける 2 つのアドレス信号またはアドレスビットに基づく。ライン 1 1 0 - X 上で受けるアドレスビットは A 0、A 1、A 3、...、A X である。ビット A 1 及び A 0 の論理値 (論理 1 または 0) は、入力セレクト 3 2 0 0 - 3 によるデータビットの選択を決定する。A 1 及び A 0 の論理値が 0 と 0 (二進 0 0) であれば、入力セレクト 3 2 0 0 - 3 によるデータビットの選択はそれぞれ D 0、D 1、D 2、D 3 である。換言すれば、A 1 A 0 の組み合わせが 0 0 であれば入力セレクト 3 2 0 - 0 はビット D 0 を選択し、入力セレクト 3 2 0 - 1 はビット D 1 を選択し、入力セレクト 3 2 0 - 2 はビット D 2 を選択し、入力セレクト 3 2 0 - 3 はビット D 3 を選択する。A 1 A 0 の組み合わせが 0 1 であれば、入力セレクト 3 2 0 0 - 3 により選択されるデータの順序はそれぞれ D 1、D 2、D 3、D 0 である。A 1 A 0 の組み合わせが 1 0 であれば、入力セレクト 3 2 0 0 - 3 により選択されるデータの順序は D 2、D 3、D 0、D 1 である。A 1 A 0 の組み合わせが 1 1 であれば、入力セレクト 3 2 0 0 - 3 により選択されるデータの順序は D 3、D 0、D 1、D 2 である。例えば、A 1 A 0 の組み合わせが 0 0 であれば、図 3において、入力セレクト 3 2 0 0 - 3 により選択されてライン 3 2 2 0 - 3 へ送られる 4 つの異なるデータビットはそれぞれ D 0、D 1、D 2、D 3 である。  
10

#### 【0 0 2 1】

ラッチ 3 3 0 0 - 3 及び 3 4 0 0 - 3 は、信号 Q L 0 - Q L 2 により制御される。ラッチ 3 3 0 0 - 3 又は 3 4 0 0 - 3 は、信号 Q L 0 - Q L 2 が作動されるとデータ信号またはデータビットを 1 つのノードから別のノードへ通過させる。Q L 2 が作動されると、即ち、低い信号レベル (LOW) から高い信号レベル (HIGH) へ変化すると、第 1 のラッチ 3 3 0 0 - 3 はデータをノード 3 2 2 0 - 3 からノード 3 3 2 0 - 3 へ送る。Q L 0 が作動されると、第 2 のラッチ 3 4 0 0 - 1 はデータをノード 3 3 2 0 - 1 からノード 3 4 2 0 - 1 へ送る。Q L 1 が作動されると、第 2 のラッチ 3 4 0 2 - 3 はデータをノード 3 3 2 2 - 3 からノード 3 4 2 2 - 3 へ送る。上記の例では、Q L 0 - Q L 3 が作動された後、データビット D 0 - D 3 はライン 3 2 2 0 - 3 からノード 3 3 2 0 - 3 へ送られ、最後にノード 3 4 2 0 - 3 へ送られる。  
20

#### 【0 0 2 2】

出力セレクト 3 5 0 は、ノード 3 4 2 0 - 3 上のデータビットを選択してそれらを出力段 3 6 0 へ順次供給する。タイミング信号 D L L 0 - D L L 3 は、順次作動されてノード 3 4 2 0 - 3 上のデータビットをライン 3 5 6 を介して出力段 3 6 0 へ送る。かくして、出力セレクト 3 5 0 はデータビットをシリアルに出力段 3 6 0 へ送る。出力段 3 6 0 へ送られるシリアルなデータビットのうち第 1 のデータビットは、出力バス 3 1 0 - 0 のライン 3 4 2 - 0 上のデータビットである。出力段 3 6 0 へ送られる第 2 のデータビットは、出力バス 3 1 0 - 2 からのライン 3 4 2 - 1 のデータビットである。このパターンで、出力段 3 6 0 へ送られる第 3 及び第 4 のデータビットは、ライン 3 4 2 - 2 及び 3 4 2 - 3 からのものである。上記の例では、出力段 3 6 0 へ送られる第 1 のデータビットは D 0 である。出力段 3 6 0 へ送られる第 2、第 3 及び第 4 のデータビットは D 1、D 2、D 3 である。  
30

#### 【0 0 2 3】

出力段 3 6 0 は、ライン 3 5 6 上のデータビットを受けてそれらをライン 1 1 4 - 0 へシリアルに出力する。上記と同じ例を用いると、ライン 1 1 4 - 0 上に出力されるデータビットは D 0、D 1、D 2、D 3 である。出力段 3 6 0 は、出力ライン 1 1 4 - 0 上のデータビット D 0 - D 3 を真の形で出力する。換言すれば、ライン 1 1 4 - 0 上に出力されるデータはライン 3 2 6 上のデータとは反対の電位を有する。この説明の例に用いるデータビットの順序は D 0、D 1、D 2、D 3 である。しかしながら、データビットの順序は上述したアドレスビット A 1、A 0 の論理値に応じた任意の順序でよい。例えば、ライン 3 4 2 0 - 3 上のデータがそれぞれ D 1、D 2、D 3、D 0 であれば、データビットは同じ順序で出力段 3 6 0 へ送られる。この場合、出力段 3 6 0 は同じ順序で、即ち、D 1  
40

、D2、D3、D0の順序でデータビットをライン114-0へ出力する。要約すると、A1A0のアドレスビットの組み合わせが00であれば、ライン114-0におけるデータビットの出力順序はD0、D1、D2、D3であり、A1A0が01であれば、出力データはD1、D2、D3、D0であり、A1A0が10であれば、出力データはD2、D3、D0、D1、さらにA1A0が11であれば、出力データはD3、D0、D1、D2である。

#### 【0024】

図4は、レイテンシーを2に設定した図3の出力回路112-0の動作を示すタイミング図である。図4において、CA信号はライン328上で受けるCA0-CA3信号の1つを表す。QL0、QL1、QL2信号は、図3の第1及び第2のラッチ330、340で受けるのと同じ信号を表す。DLL0、DLL1、DLL2、DLL3は、出力セレクト350のライン354上で受けるのと同じ信号を表す。出力データD0、D1、D2、D3は、ライン114-0上の出力データD0-D3を表す。

10

#### 【0025】

図4を参照して、図3のデバイスの動作を説明する。図4において、時間TAでREAD命令が発せられる。メモリセル102(図1)の4つのデータビットにアクセスする。4つのデータビットは、図3の出力回路112-0のデータバス3100-3へ順次転送される。データバス3100-3の入力セレクト3200-3は、ライン326上において4つのデータビットD0-D3を受ける。ライン326において、4つのデータビットはそれらの補数の形で表わされている。図4の時間TAにおいて、信号CAがHIGHに切換ると、各入力セレクト3200-3はライン326上の4つのビットD0-D3の中から1つのデータビットを選択することができる。選択されたデータビットはライン3220-3へ送られる。本発明を説明する目的で、A1A0は00であると仮定する。従って、ライン3220-3へ送られる4つのデータビットはそれぞれD0、D1、D2、D3である。換言すれば、ライン3220はデータビットD0を運び、ライン322-1はデータビットD1を、ライン322-2はデータビットD2を、またライン322-3はデータビットD3を運ぶ。

20

#### 【0026】

レイテンシーが2では、信号QL2は常にHIGHである。図4に示すように、QL2信号はREAD命令の開始時から全てのクロックサイクルについてHIGHである。QL2がHIGHであれば、ライン3220-3上のD0-D3はラッチ3300-3を通じてノード3320-3へ送られる。時間TAにおいて、QL0信号はHIGHに切換わる。これにより、データビットD0及びD1はノード3320-1から第2のラッチ3400-1を介してノード3420-1へ通過することができる。時間TBにおいて、QL1はHIGHに切換わる。これにより、データビットD2及びD3はノード3222-3から第2のラッチ3402-3を通じて3422-3へ通過することができる。

30

#### 【0027】

出力セレクト350では、マルチプレクサ3520-3がタイミング信号DLL0-DLL3により制御される。DLL0-DLL3信号は、ノード3420-3上のビットD0-D3がレイテンシーの設定に応じてライン114-0へ適正に出力できるように順次作動される。レイテンシーの設定が2であるため、ライン114-0上に出力される第1のデータビットはREAD命令の2クロックサイクル後に現れる。この場合、第1のデータビットは時間T2に現れる。ノード3420-0上の第1のビットを通過させるには、DLL0信号を作動させる。これにより、データビットD0はノード3420-0からノード356へ、そしてライン114-0へ通過することができる。ノード3420-0からノード114-0へ伝播遅延が存在するため、データビットD0がライン114-0に現れる時、時間T2においてそれがクロック信号CLKの上昇エッジに一致するように、信号DLL0は時間T2の直前に作動される。図4において、DLL0は時間T2の前に作動され、HIGHに切換わる。これにより、時間T2でデータビットD0(真)はCLK

40

50

信号の上昇エッジに並ぶことができる。同様に、D L L 2 は時間 T 3 の前に H I G H に作動されるため、データビット D 2 は時間 T 2 において C L K 信号の上昇エッジに並ぶことができる。同様に、信号 D L L 1 及び D L L 3 はそれぞれ時間 T 2 . 5 及び T 3 . 5 の前に H I G H に作動されるため、データビット D 1 及び D 3 は時間 T 2 . 5 及び T 3 . 5 において C L K 信号の下降エッジに並ぶことができる。

#### 【0028】

図 5 は、レイテンシーの設定が 3 である図 3 の出力回路 112-0 の動作を示すタイミング図である。レイテンシーが 3 であれば、出力データの第 1 のビットは R E A D 命令が発せられた 3 クロックサイクル後にライン 114-0 上に現れる。図 5 において、D 0 は時間 T 3 に現れるが、これは時間 T 0 の R E A D 命令の 3 クロックサイクル後である。  
10 レイテンシーが 3 では、ライン 326 上のデータビット D 0 - D 3 はレイテンシー 2 の場合と同様にライン 114A へ出力される。レイテンシー 2 と 3 の相違点は、信号 C A 、 Q L 0 、 Q L 1 及び D L L 0 - D L L 3 のタイミングにある。レイテンシー 3 の出力データはレイテンシー 2 の出力データより 1 クロックサイクル遅れてライン 114-0 に現れるため、信号 C A はほとんど 1 クロックサイクル後に作動される。図 5 において、C A 信号は、図 4 の時間 T A のほとんど 1 クロックサイクル後である時間 T A において H I G H に作動される。Q L 2 は、レイテンシー 2 の場合と同様に、読み出しサイクルの間中 H I G H を維持する。しかしながら、他の信号は、図 5 に示すようにほとんど 1 クロックサイクル後に作動される。

#### 【0029】

図 6 は、レイテンシーの設定が 4 である図 3 の出力回路 112-0 の動作を示すタイミング図である。レイテンシー設定が 4 だと、出力データの第 1 のビットは R E A D 命令が発せられた 4 クロックサイクル後にライン 114-0 上に現れる。図 6 において、D 0 は時間 T 0 の R E A D 命令から 4 クロックサイクル後の時間 T 4 に現れる。レイテンシー 4 では、ライン 326 上に受けるデータビット D 0 - D 3 はレイテンシー 2 と同様にライン 114-0 へ出力される。しかしながら、4 ビット 1 つの群の最後のビット及び 4 ビットの次の群の最初のビットを適正に出力できるようにするため異なるタイミング方式が提供される。従って、Q L 2 信号は、レイテンシー 2 及び 3 の場合と同様に常に H I G H というわけではない。

#### 【0030】

図 6 において、Q L 0 及び Q L 1 の点線部分は前の読み出しサイクルからの信号を示す。600 及び 601 において点線で示す信号は、Q L 0 及び Q L 1 信号の前の変化を示す。604 及び 605 における信号は、現在の読み出しサイクルにおける Q L 0 及び Q L 1 の現在の変化である。602 における信号は Q L 2 信号の現在の変化である。図 3 において、現在の読み出しサイクルの現在のビット D 0 - D 3 が前の読み出しサイクルの前のビット D 0 - D 3 と混同されないようにするために、ノード 332\_0 - 3 上の前のビット D 0 - D 3 を現在のビット D 0 - D 3 がノード 332\_0 - 3 に到達する前にノード 342\_0 - 3 へ送る必要がある。従って、Q L 2 は、Q L 0 信号の変化と Q L 1 信号の変化との間で作動させなければならない。換言すれば、Q L 2 は、前の読み出しサイクルの Q L 0 の変化の後で現在の読み出しサイクルの Q L 0 の変化の前に作動する必要がある。

#### 【0031】

図 6 に示すように、Q L 2 は 602 において変化するが、これは、600 における Q L 0 の変化の後で 604 における Q L 0 の変化の前である。同様に、602 における Q L 2 の変化も、601 における Q L 1 の変化の後で 605 における Q L 1 の変化の前である。従って、Q L 2 が 602 において変化すると、ライン 322\_0 - 3 上の現在のビット D 0 - D 3 はノード 332\_0 - 3 へ送られる。この時 (602) までに、前のビット D 0 - D 3 は、600 及び 601 における Q L 0 及び Q L 1 の変化により既にノード 342\_0 - 3 へ送られている。従って、レイテンシー 4 において信号 Q L 0 - Q L 3 を適正に作動することにより、出力回路 112-0 は全ての読み出しサイクルにおいてビット D 0 - D 3 を正しく処理する。

10

20

30

40

50

## 【0032】

図7は、レイテンシーの設定が5である図3の出力回路112-0の動作を示すタイミング図である。レイテンシーが5では、出力データの最初のビットはREAD命令が発せられた5クロックサイクル後にライン114-0上に現れる。図7において、D0は、時間T0でのREAD命令から5クロックサイクル後の時間T5で現れる。レイテンシー5では、326上で受けるデータビットD0-D3は、レイテンシー2の場合と同様にライン114-0へ出力される。レイテンシーが5である場合の出力パス112-0の動作タイミングは、レイテンシー4の時のタイミングと同じである。図6と同様に、図7の点線で示す信号は前の読み出しサイクルからの信号である。図7において、信号QL2は702において作動またはHIGHに変化する。この変化は、704及び705におけるQL0及びQL1の変化の前であって、700及び701におけるQL0及びQL1の変化の後である。この時(702)までに、前のビットD0-D3は、700及び701におけるQL0及びQL1の変化により既にノード3420-3へ送られている。従って、レイテンシー5では、信号QL0-QL3を適正に作動することにより、出力回路112-0は全ての読み出しサイクルにおいてビットD0-D3を正しく処理する。

## 【0033】

図8A-Dは、図3の入力セレクト3200-3の概略図である。図8A-Dの各入力セレクト3200-3は、複数のマルチプレクサ8100-3を有する。簡略を期するために、異なる入力セレクト3200-3間のマルチプレクサの参照番号は同じである。図8Aにおいて、各マルチプレクサ8100-3の入力は、データD0-D3のビットの1つを受ける対応の入力ライン326のうちの1つに接続されている。マルチプレクサ8100-3はまた、ノード812に接続された複数の出力を有する。記憶素子814は、第1の記憶ノードがノード812においてマルチプレクサ8100-3の出力に接続され、第2の記憶ノードがノード3220-3の1つに接続されている。各マルチプレクサ8100-3は、ライン328上で受信される信号CA0-CA3の1つにより制御される。

## 【0034】

図8B-Dにおいて、入力セレクト3101-3は図8Aの入力セレクト3100と同じ構成である。しかしながら、入力セレクト3101-3の入力326はデータビットD0-D3を異なる順序で受ける。図8Aにおいて、入力326-0、326-1、326-2、326-3はそれぞれD0、D1、D2、D3をこの順序で受ける。図8Bにおいて、入力326-0、326-1、326-2、326-3において受信されるD0-D3の順序はそれぞれD1、D2、D3、D0である。図8Cにおいて、入力326-0、326-1、326-2、326-3により受信される信号D0-D3の順序はD2、D3、D0、D1である。図8Dにおいて、入力326-0、326-1、326-2、326-3において受信されるD0-D3の順序はそれぞれD3、D0、D1、D2である。

## 【0035】

図8A-Dの入力セレクト3200-3の動作は同じである。CA0-3信号の1つが作動されると、その作動されたCA信号により制御される対応のマルチプレクサは、ビットD0-D3の1つをノード326の1つからノード812へ、そしてノード3220-3の1つへ送る。例えば、図8Aにおいて、CA0が作動またはHIGHに変化すると、マルチプレクサ8100-0はノード326からノード812へ、そしてノード3220-0へビットD0を送る。CA1が作動されると、ビットD1がノード3220-0へ送られる。同様に、CA2またはCA3が作動されると、ビットD2またはD3がノード3220-0へ送られる。

## 【0036】

信号CA0-3のただ1つが一度に作動される。信号CA0-3の作動の順序は、アドレスビットA1及びA0の論理値に基づく。A1A0が00であれば、CA0が作動され、A1A0が01であれば、CA1が作動され、A1A0が10であれば、CA2が作

動され、そして A 1 A 0 が 1 1 であれば、 C A 3 が作動される。これらの順序は、図 3 のデータビット D 0 - D 3 が選択される順序と一致している。例えば、 A 1 A 0 が 1 0 であれば、 C A 2 が作動される。図 8 A において、信号 C A により制御されるマルチプレクサ 8 1 0 - 2 は D 2 をノード 3 2 2 - 0 へ送る。データビット D 2 はそのシリアルデータの第 1 のビットである。図 8 B において、信号 C A 2 により制御されるマルチプレクサ 8 1 0 - 2 は D 3 をノード 3 2 2 - 1 へ送る。ビット D 3 はそのシリアルデータの第 2 のビットである。同様に、図 8 C 及び 8 D のマルチプレクサ 8 1 0 - 2 はそれぞれビット D 0 及び D 1 をノード 3 2 2 - 2 及び 3 2 2 - 3 へ送る。従って、 A 1 A 0 が 1 0 であれば、信号 C A 2 が作動され、これにより入力セレクト 3 2 0 0 - 3 がビット D 2 、 D 3 、 D 1 及び D 0 を選択する。これは、図 3 の入力セレクト 3 2 0 0 - 3 の選択とマッチする

10

。

### 【 0 0 3 7 】

図 9 は、図 3 の出力パス 3 1 0 - 0 の第 1 のラッチ 3 3 0 - 0 を示す概略図である。ラッチ 3 3 0 - 0 は、ライン 9 1 6 により記憶素子 9 1 4 に接続されたマルチプレクサ 9 1 2 を有する。マルチプレクサ 9 1 2 は、入力 D がノード 3 2 2 - 0 に接続され、出力がノード 9 1 6 に接続されている。マルチプレクサ 9 1 2 は、そのクロックまたは C L K 端子がライン 3 3 4 に接続されて Q L 2 信号を受ける。マルチプレクサ 9 1 2 はまたライン 9 1 5 に接続されるが、このラインはインバータ 9 1 7 の出力に接続されている。インバータ 9 1 7 は、ライン 3 3 4 上の Q L 2 信号を受け、ライン 9 1 5 上に補数信号 Q L 2 \* を発生する。記憶素子 9 1 4 は、第 1 の記憶ノード Q がノード 9 1 6 に接続され、第 2 の記憶ノード Q \* がライン 3 3 2 - 0 に接続されている。図 9 は出力パス 3 1 0 - 0 の第 1 のラッチ 3 3 0 - 0 だけを示すが、他の出力パス 3 1 0 1 - 3 の第 1 のラッチ 3 3 0 1 - 3 及び第 2 のラッチ 3 4 0 0 - 3 は図 9 のラッチ 3 3 0 - 0 と同じである。従って、図 3 の他の第 1 及び第 2 のラッチの動作は図 9 のラッチ 3 3 0 - 0 の動作と同じである。

20

### 【 0 0 3 8 】

図 9 を参照して、信号 Q L 2 が作動されない場合、マルチプレクサ 9 1 2 は閉じており、ライン 3 2 2 上のデータまたは信号がマルチプレクサ 9 1 2 を通過するのを阻止する。信号 Q L 2 が作動されると、マルチプレクサ 9 1 2 が開いて、ライン 3 2 2 - 0 上のデータまたは信号がマルチプレクサを介してライン 9 1 6 及び 3 3 2 - 0 に送られるようになる。信号は、1つの信号レベルから別の信号レベルへ変化すると、作動される。この場合、信号 Q L 2 は、低い信号レベル ( L O W ) から高い信号レベル ( H I G H ) へ変化すると作動される。従って、図 9 において、 Q L 2 が L O W から H I G H へ切換わると、ライン 3 2 2 - 0 上のデータがライン 3 2 2 - 0 へ送られる。同様に、図 3 では、 Q L 0 及び Q L 1 が作動されると、ライン 3 3 2 0 - 3 上のデータがラッチ 3 4 0 0 - 3 を介してライン 3 4 2 0 - 3 へ送られる。

30

### 【 0 0 3 9 】

図 10 は、図 3 の出力段 3 6 0 の概略図である。出力段 3 6 0 は、ノード 3 5 6 に接続されて出力セレクト 3 5 6 からデータビット D 0 - D 3 を受ける記憶素子 1 0 0 2 を有する。記憶素子 1 0 0 2 はまた、ノード 1 0 0 8 において N O R ゲート 1 0 0 4 の第 1 の入力と N A N D ゲート 1 0 0 6 の第 1 の入力に接続されている。N O R ゲート 1 0 0 4 の第 2 の入力は、ノード 1 0 1 0 において記憶素子 1 0 1 4 に接続されている。N A N D ゲートの第 2 の入力は、ノード 1 0 1 2 において記憶素子 1 0 1 4 に接続されている。N O R ゲート 1 0 0 4 の出力は、インバータ 1 0 1 6 を介して p チャンネルトランジスタ 1 0 2 0 のゲートに接続されている。N A N D 1 0 0 6 の出力は、インバータ 1 0 1 8 を介して n チャンネルトランジスタ 1 0 2 2 のゲートに接続されている。トランジスタ 1 0 2 0 のソースは電源に接続され、ドレインはアースに接続され、ソースはデータパッド 1 1 4 - 0 に接続されている。トランジスター 1 0 2 2 のドレインはアースに接続され、ソースはデータパッド 1 1 4 に接続されている。信号 D L L 0 がノード 1 0 2 6 に与えられるが、このノードはマルチプレクサ 1 0 2 4 に接続されている。マルチプレクサ 1 0 2 4 は、信号 Q E D を受けるために入力がノード 1 0 2 8 に接続され、出力がノード 1 0 1 0 に接続されている。

40

50

## 【0040】

動作について説明すると、記憶素子1002は、シリアルなデータビットD0-D3を受けて、それらのビットをNORゲート1004とNANDゲート1006の第1の入力であるノード1008へ送る。ある特定の時間、例えば、図4に示す時間TBにおいて、DLL0はHIGHに変化する。これにより、マルチプレクサ1024は信号QEDをノード1010及び1012に送る。NORゲート1004及びNANDゲート1006はノード1010及び1012におけるQED信号とノード1008における信号との組み合わせに基づきトランジスタ1020またはトランジスタ1022の何れかをONにする。トランジスタ1020がONになると、ノード114-0が電源(HIGH)に引き寄せられる。トランジスタ1022がONになると、ノード114-0がアース(LOW)へ引き寄せられる。ノード114-0におけるHIGHまたはLOWはデータD0-D3の1つを表すが、これはライン316から受ける対応の補数データビットD0-D3の1つとは反対である。

## 【0041】

図11は、図1の出力コントローラ117のブロック図である。出力コントローラ117は、ライン1112-1115上の複数のレイテンシー信号LATE2-LATE5と、ライン1116上の読み出し信号RDWと、ライン1118上の遅延ロックループクロック信号CLKDQを受けるレイテンシー入力回路1110を備えている。レイテンシー入力回路1110は、ライン1120-1123において複数の出力を有し、複数の信号QED、QSP2、QSP3、QSP1\*を与える。出力タイミングイネーブル回路1130は、ライン1118及び1123を介してレイテンシー入力回路1110に接続され、CLKDQ及びQSP1\*信号を受ける。出力タイミングイネーブル回路1130は、ライン1132上に第1のイネーブル信号CLKLを、またライン1334上に第2のイネーブルCLKHを発生する。出力タイミング発生器1150は、ライン1132及び1134を介して出力タイミングイネーブル回路1130に接続され、信号CLKL及びCLKHを受ける。信号CLKL及びCLKHにより、出力タイミング発生器1150はライン1552-1155上にタイミング信号DLL0-DLL3を発生することができる。DLL0-DLL3信号は、図3において説明したように出力セレクト350を制御するために使用される。伝播制御信号発生器1170は、ライン1121-1123を介してレイテンシー入力回路1110に接続され、またライン1152-1155を介して出力タイミング回路1150に接続されて、QSP2、QSP3、QSP1\*及びDLL0-DLL3信号を受ける。伝播制御信号発生器1170は、ライン1172-1174上にQL0-QL2信号を発生する。QL0-QL2信号は、図3の第1及び第2のラッチ330-0-3及び340-0-3を作動するために使用する。

## 【0042】

以下の説明において、「フリップフロップ」は当業者によって広く理解されている常用の回路コンポーネントを指す。以下の説明におけるフリップフロップは、正のエッジでトリガーされるフリップフロップである。しかしながら、本発明の説明を読むと、当業者は、負のエッジでトリガーされるフリップフロップまたは他のタイプの同様なコンポーネントにより同じ結果が得られる。さらに、以下の説明において、「ラッチ」または「バススルーラッチ」は普通の回路コンポーネントの意味である。ラッチは入力から出力へデータ又は信号を通過させるために使用する。以下の説明で言及するラッチは、図9のラッチ330-0-0と同じものでよい。

## 【0043】

図12は、図11のレイテンシー入力回路1110の概略図である。レイテンシー入力回路1110は、バススルーラッチ(LAT)1210と、複数のフリップフロップ(FF)1212-1214とを有する。ラッチ1210及びフリップフロップ1212-1214は、ライン1118上においてCLKDQを受ける。ラッチ1210及びFF1212は、ライン1116上において信号RDWを受ける。複数のマルチプレクサ1216-1219は、ライン1212-1115上でLATE2-LATE5を受けてRDW信

10

20

30

40

50

号をノード1230へ通過させる。フリップフロップ1232は、入力がインバータ1235を介してノード1230に接続されている。フリップフロップ1232の出力は、ノード1123においてラッチ1234の入力に接続されて、信号QSP1\*を与える。ラッチ1234の出力は、ノード1122においてラッチ1236の入力に接続され、信号QSP2を与える。ノード1122はまた、直列接続のインバータ1242、1244を介してQED信号を与える。ラッチ1236の出力は、インバータ1240を介してノード1121に接続され、信号QSP3を与える。フリップフロップ1232、1234及び1236のクロック入力もCLKDQを受ける。

#### 【0044】

RDWは、入力信号CS\*、RAS\*及びWE\*の組み合わせが有効である時メモリコントロール116により発生される信号である。LATE2-LATE5信号も、メモリデバイス100にプログラムされたレイテンシーに基づき制御回路116により発生される。CLKDQ信号は、メモリデバイス100の遅延ロックループにより与えられる。遅延ロックループは、普通の回路であって、当該技術分野で広く知られた遅延ロックループのうちの1つでよいため図示しない。10

#### 【0045】

図12において、信号QSP1\*、QSP2及びQSP3は、信号RDWがラッチ1210またはフリップフロップ1212-1214のうちの1つを伝播することにより発生される。レイテンシーの設定が2であれば、RDWはラッチ1216を通過してノード1230へ至る。レイテンシーの設定が3、4または5であれば、RDW信号はフリップフロップ1212-1214のうちの1つ、2つまたは3つへ送られる。信号LATE2-LATE5は、マルチプレクサ1216-1219を介してノード1230へ送られるREW信号への通過を制御する。20

#### 【0046】

図12のレイテンシー入力回路1110の動作を、図16のタイミング図を参照して説明する。本発明を説明する目的で、メモリデバイス100はレイテンシーが4にプログラムまたは設定されているため、信号LATE4だけが作動されると仮定する。この場合、データパッド114-0では読み出し命令が有効になった4クロックサイクル後に第1のデータビットが生じる。図16において、CLKDQ及びCLK信号は読み出し動作を予想してA及びBにおいてHIGHに変化する。時間T0では、読み出し命令READはCにおいてHIGHに変化し、新しい読み出し動作の開始を示す。Dにおいて、信号RDWはHIGHに切換わる。図12において、信号RDWがフリップフロップ1212及び1213を伝播すると、LATE4信号はマルチプレクサ1218を作動して信号RDWを図12のノード1230へ送る。RDW信号がHIGHであるため、ノード1230のところの信号もHIGHである。図16において、ノード1230はEにおいてHIGHに切換わる。ノード1230がHIGHになると、インバータ1235の出力は強制的にLOWにされる。インバータ1235の出力の信号はまた、フリップフロップ1232の入力信号である。CLKDQはHIGHであるから、フリップフロップ1232はノード1123上のその出力の信号をLOWにするが、これはQSP1\*信号を表す。図16において、QSP1\*はFにおいてLOWに切換わる。その後、ノード1123の信号はラッチ1234を介してノード1122へ、さらにラッチ1236を介してノード1121へ伝播する。ノード1122における信号を信号QSP2として表し、ノード1121における信号をQSP3として表す。図16において、ノード1123における信号QSP1\*がLOWになると、信号QSP2がGにおいてHIGHに切換わり、信号QSP3がHにおいてHIGHに切換わる。さらに、ノード1120における信号QEDはインバータ1242及び1244により信号QSP2に追従する。信号QSP1\*、QSP2及びQSP3は他の回路の入力信号として使用する。信号QEDは、図10に示すようにデータを出力するためのストローブ信号として使用する。30

#### 【0047】

図13は、図11の出力タイミングイネーブル回路1130を示す概略図である。出力40

タイミングイネーブル回路 1130 は、ライン 1123 に接続され、信号 QSP1\* を受けてノード 1317 にラッチリセット信号 L R S T を発生するパルス回路 (PULSE) 1315 を有する。フリップフロップ 1320 は、リセット R S 入力、クロック C L K 入力、データ入力 D 及び相補出力 Q 及び Q\* を有する。R S 入力は、L R S T 信号を受けるためにノード 1317 に接続されている。C L K 入力はノード 1312 により遅延回路 1314 に接続され、遅延された C L K D Q 信号を受ける。入力 D 及び出力 Q\* は互いに接続されている。出力 Q は、インバータ 1316 及び 1318 を介してライン 1132 上に信号 C L K L を与える。直列接続のラッチ 1322 及び 1324 は、ライン 1312 上の遅延された C L K D Q 信号を受けて、ライン 1134 上に信号 C L K H を与える。ノード 1134 は、インバータ 1332 よりなるフィードバックループを介して入力 D に接続されている。トランジスタ 1328 のゲートは遅延された L R S T 信号を受けるために遅延回路 1330 に接続されている。トランジスタ 1326 のソースはアースに接続され、ドレインはラッチ 1324 のリセット R S 端子に接続されている。L R S T 信号が作動 (HIGH) されると、トランジスタ 1328 はオンになり、ラッチ 1324 をリセットする。ラッチ 1324 がリセットされると、ノード 1134 の信号 C L K H が LOW になる。L R S T 信号はまた、ラッチ 1320 を同じようにリセットする。L R S T 信号が作動されると、ノード 1132 上の信号 C L K L が強制的に LOW にされる。

#### 【0048】

図 13において、C L K H 及び C L K L 信号は信号 C L K D Q 信号に基づき発生される。イネーブル信号 C L K L 及び C L K H は、信号 D L L 0 - D L L 3 を作動するために使用され、これらの信号により読み出し動作時にデータをデータパッド 1140 - N へ転送することができる。データが各読み出し動作時に適正に転送されるようにするために、L R S T 信号は新しい読み出しコマンドを受ける度に作動される。L R S T は、信号 C L K H 及び C L K L をリセットしてデータが適正に転送されるようとする。

#### 【0049】

再び図 16 を参照して、QSP1\* が F において LOW に切換わると、R DW が D において HIGH になる新しい読み出し動作の結果、パルス回路が I においてパルス L R S T を発生する。信号 L R S T が作動されると、J 及び K に示すように C L K H 及び C L K L 信号が LOW にリセットされる。J 及び K において LOW にリセットされた後、C L K H 予及び C L K L 信号は別のリセットがなされるまで C L K D Q 信号だけの影響を受ける。例えば、C L K H は L、M 及び N においてその通常の変化に戻り、C L K L 信号は O、P 及び Q においてその通常の変化に戻る。図 16 に示すように、C L K H 及び C L K L は異なる相を有する。換言すれば、C L K H 及び C L K L は同期状態がない。C L K H 及び C L K L 信号は、図 14 の出力タイミング発生器 1150 をイネーブルするために使用する。

#### 【0050】

図 14 は、図 11 の出力タイミング発生器 1150 の概略図である。出力タイミング発生器 1150 は、第 1 及び第 2 のタイミング回路 1410、1420 を有する。両方の回路 1410 及び 1420 は同一構成であり、ライン 1118 において同じ C L K D Q 信号を受ける。回路 1410 は、インバータ 1411 を介して C L K D Q の反転信号を受けるパルス発生器 1416 を有する。パルス発生器 1416 は、ノード 1413 において出力信号を発生する。ノード 1413 の信号は、ライン 1153 または 1155 へ送られて信号 D L L 1 または D L L 3 となる。ノード 1413 からライン 1153 または 1155 への信号の通過は、マルチブレクサ 1415 または 1418 により制御される。マルチブレクサ 1415 及び 1418 は、ノード 1232 における C L K L により制御される。

#### 【0051】

回路 1420 は、ノード 1429 においてその入力にインバータ 1411 を介して C L K D Q を受けるパルス発生器 1426 を有する。パルス発生器 1426 はノード 1423 に出力信号を発生する。ノード 1423 の信号は、ライン 1152 または 1154 へ送られて信号 D L L 0 または D L L 2 になる。ノード 1423 からライン 1154 または 11

10

20

30

40

50

52への信号の通過は、マルチプレクサ1425または1428により制御される。マルチプレクサ1425及び1428は、ノード1134における信号CLKHにより制御される。

#### 【0052】

一般的に、パルス発生器1416及び1426は、CLKDQ信号を受けてノード1413及び1423上に出力信号を発生する。ノード1413上の信号は、マルチプレクサ1415または1418を通過して信号DLL1またはDLL3となる。従って、CLKL信号が何れの相にあるかにより、DLL1またはDLL3が発生する。換言すれば、DLL1及びDLL3はCLKL信号の互い違いの相で作動される。同様に、ノード1423上の信号は、マルチプレクサ1425または1428を通過して信号DLL0またはDLL2となる。従って、CLKH信号が何れの相にあるかにより、DLL0またはDLL2の何れかが発生する。換言すれば、DLL0及びDLL2はCLKH信号の互い違いの相で作動される。CLKH及びCLKL信号は同じ相を有さない。このため、それらは、正しい順序のデータビットD0-D3がデータパッド114-0へ出力されるように、DLL0-DLL3を正しく作動することができる。10

#### 【0053】

図17は、図14の動作を示すタイミング図である。図17において、ノード1423及び1413の信号は、図14のノード1423及び1413におけるパルス発生器1416及び1426の出力信号を表す。信号CLK、READ、LRST、CKLH及びCKLKは図16の信号と同じである。CLKH信号は、JにおいてLOWになると、マルチプレクサ1428を作動して、ノード1423の信号がインバータ1429を通過できるようになる。この時ノード1423の信号はLOWであるため、インバータ1429の出力信号、即ちDLL0信号はHIGHである。図17において、DLL0はS0においてHIGHに作動される。信号CLKHがLにおいてHIGHになると、マルチプレクサ1425が作動されて、ノード1423の信号がインバータ1427を通過できるようになる。ノード1413の信号はこの時LOWであるため、インバータ1427の出力信号、即ちDLL2信号はHIGHである。図17において、DLL2はS2においてHIGHに作動される。要約すると、CLKHが変化するとタイミング信号DLL0を作動し、CLKHが別の変化をするとタイミング信号DLL2を作動する。例えば、図17において、タイミング信号DLL0及びDLL2は、イネーブル信号CLKHの異なる相の時に作動される。DLL0は信号CLKHが1つの相（CLKHがLOW）の時に作動され、DLL2は信号CLKHが別の相（信号CLKHがHIGH）の時に作動される。換言すれば、タイミングDLL0及びDLL2は、イネーブル信号CLKHの下降エッジ及び上昇エッジの後に作動される。20

#### 【0054】

同様に、CLKL信号がKにおいてLOWになると、マルチプレクサ1418を作動して、ノード1413の信号がインバータ1419へ通過できるようになる。ノード1413の信号はこの時LOWであるため、インバータ1419の出力信号、即ち、DLL1信号はHIGHである。図17において、DLL1はS1においてHIGHに作動される。信号CLKLがOにおいてHIGHになると、マルチプレクサ1415を作動して、ノード1413の信号がインバータ1417へ通過できるようになる。ノード1413の信号はこの時LOWであるため、インバータ1417の出力信号、即ちDLL3信号はHIGHである。図17において、DLL3はS3においてHIGHに作動される。要約すると、CLKLが変化すると、タイミング信号DLL1が作動され、信号CLKLが別の変化をすると、タイミング信号DLL3が作動される。タイミング信号DLL1及びDLL3は、イネーブル信号CLKLの異なる相の時に作動される。例えば、図17において、DLL1は信号CLKLの1つの相（信号CLKLがHIGH）の時に作動され、DLL3は信号CLKLが別の相（信号CLKLがLOW）の時に作動される。換言すれば、信号DLL1及びDLL3は、イネーブル信号CLKLの下降エッジ及び上昇エッジの後に作動される。30

**【0055】**

図17において、OUTPUT DATAはデータパッド114-0において出力されるデータビットを示す。レイテンシーが4では、第1のデータビットは時間T4で現れる。本発明を説明する目的で、データパッド114-0におけるデータ出力はD0、D1、D2、D3の転送順序に従うと仮定する。従って、D0及びD2は偶数データビットと呼び、D1及びD3は奇数データビットと呼ぶ。一般的に、データパッド114-0において出力される一連の4つのデータビットでは、偶数データビットは第1及び第3のビットである。奇数データビットは第2及び第4のデータビットである。この場合、偶数データビットD0及びD2は、タイミング信号DLL0及びDLL2がイネーブル信号CLKHの異なる相において作動またはHIGHに変化すると出力される。換言すれば、ビットD0及びD2は、イネーブル信号CLKHの互い違いの相で出力される。同様に、D1及びD3は、タイミング信号DLL1及びDLL3がイネーブル信号CLKLの異なる相で作動されてHIGHになった後出力される。換言すれば、D3はイネーブル信号CLKLの互い違いの相で出力される。  
10

**【0056】**

図15は、図11の伝播制御信号発生器1170の概略図である。伝播制御信号発生器1170は、ノード1155及び1122上でDLL3及びQSP2信号を受けるNORゲート1502を有する。NANDゲート1502の出力はインバータ1504に接続され、このインバータの出力はノード1172に接続されてQL0信号を与える。同様な構成において、NANDゲート1512は、ノード1153及び1121においてDLL1及びQSP3信号を受ける。NANDゲート1512の出力はインバータ1514に接続され、このインバータの出力はノード1173に接続されてQL1信号を与える。伝播制御信号発生器1170はまた、上述した他の回路により発生されるLATE2、LATE3、QED、QSP1\*、DLL0及びDLL3のような他の信号も受ける。LATE2及びLATE3信号はNORゲート1532において結合される。DLL0及びDLL2信号はNORゲート1534により結合される。NORゲート1534の出力は、NORゲート1536において信号QED及びQSP1\*と結合される。NORゲート1532の出力信号は、マルチプレクサ1544及びトランジスタ1546のゲートを制御する。トランジスタ1546は、作動されると、ノード1174を電源電圧に引き寄せる。マルチプレクサ1544は、作動されると、NORゲート1536の出力信号をノード1174へ通過させる。ノード1174の信号はQL2信号を表す。  
20

**【0057】**

図15において、QL0は、DLL3信号及びQSP2信号が共にHIGHになるとHIGHに作動される。同様に、QL1信号は、DLL1信号及びQSP3信号が共にHIGHになった時に限りHIGHに作動される。上述したように、QL2信号は、レイテンシーの設定が2または3であれば常にHIGHに作動されている。図15において、ノード1112または1113のLATE2またはLATE3信号がHIGHであり、レイテンシーの設定が2または3の何れかであることを示す場合、ノード1540におけるNORゲート1532の出力は強制的にLOWとなる。これによりトランジスタ1546がオンになり、ノード1174を電源電圧(HIGH)に接続する。かくして、ノード1174の信号QL2は、LATE2またはLATE3の何れかがHIGHであれば常にHIGHである。LATE2及びLATE3が共にLOWであり、レイテンシーの設定が4または5の何れかがあることを示す場合、ノード1540におけるNORゲート1532の出力は強制的にHIGHになる。これにより、トランジスタ1546はオフになる。かくして、ノード1174の信号QL2は、信号QED、QSP1\*、DLL0及びDLL2に依存する。  
40

**【0058】**

図17は、図15の動作のタイミングを示す。図17において、信号QL0-QL2は図15に示すように他の信号と関連で適当な時に作動またはHIGHに変化する。信号QL2の変化は信号QL0の変化の間に起こる。信号QL2の変化も信号QL1の変化の間  
50

に起こる。図6及び7を参照して説明したように、QL2信号の変化のタイミングにより、信号QL0及びQL1を適正に作動することができる。これにより、読み出し動作時ににおけるデータの正確な処理が可能となる。

#### 【0059】

図18は、本発明によるシステムを示す。この図において、システム1800は、プロセッサ1802がメモリデバイス100に接続されたものである。本発明のメモリデバイス100については、図1を参照して上述した。本発明によると、プロセッサ1802は、制御ライン(CONTROL)を介してメモリデバイス100に制御信号を与える。プロセッサとメモリとの間のデータ通信はデータラインまたはデータバス(DATA)を介して行われ、アドレスはアドレスラインまたはアドレスバス(ADDRESS)を介してメモリへ与えられる。1つの実施例において、プロセッサ1802及びメモリデバイス100は単一のチップ上に作製される。10

#### 【結論】

#### 【0060】

特定の実施例につき図示説明したが、当業者は、同一目的を達成するように構成された任意の構成を図示説明した特定の構成に置き換えることがわかる。本願は、本発明の任意の変形例及び設計変更を包含するように意図されている。従って、本発明は、頭書の特許請求の範囲及びその均等物によってのみ限定されると意図されている。

#### 【図面の簡単な説明】

#### 【0061】

20

【図1】本発明の一実施例によるメモリデバイスのブロック図である。

【図2】レイテンシーを種々の値に設定した場合のメモリ動作時における図1のデバイスのタイミング図を示す。

【図3】図1の出力回路のブロック図である。

【図4】レイテンシーを種々の値に設定した場合の図3の出力回路の動作を示すタイミング図である。

【図5】レイテンシーを種々の値に設定した場合の図3の出力回路の動作を示すタイミング図である。

【図6】レイテンシーを種々の値に設定した場合の図3の出力回路の動作を示すタイミング図である。30

【図7】レイテンシーを種々の値に設定した場合の図3の出力回路の動作を示すタイミング図である。

【図8A】図3の入力セレクト回路の概略図である。

【図8B】図3の入力セレクト回路の概略図である。

【図8C】図3の入力セレクト回路の概略図である。

【図8D】図3の入力セレクト回路の概略図である。

【図9】図3の出力回路のラッチを示す概略図である。

【図10】図3の出力段の概略図である。

【図11】図1の出力コントローラのブロック図である。

【図12】図11のレイテンシー入力回路の概略図である。40

【図13】図11の出力タイミングイネーブル回路の概略図である。

【図14】図11の出力タイミング発生器の概略図である。

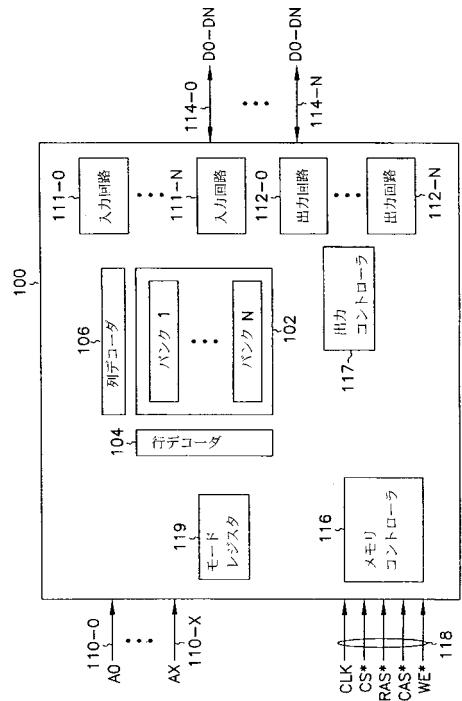
【図15】図11の伝播制御信号発生器の概略図である。

【図16】図12-13の回路の動作を示すタイミング図である。

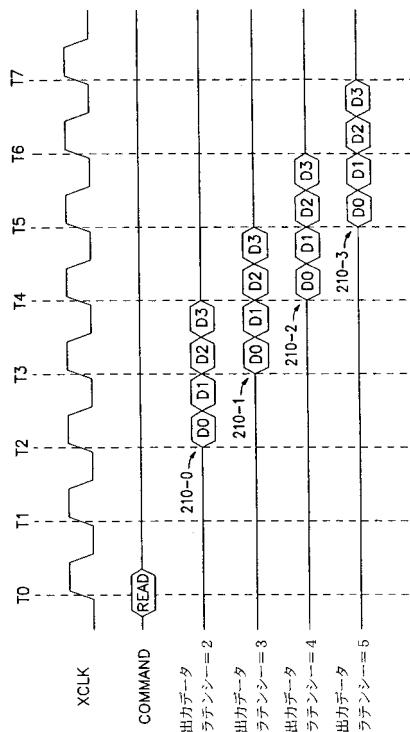
【図17】図14-15の回路の動作を示すタイミング図である。

【図18】本発明の一実施例によるシステムのブロック図である。

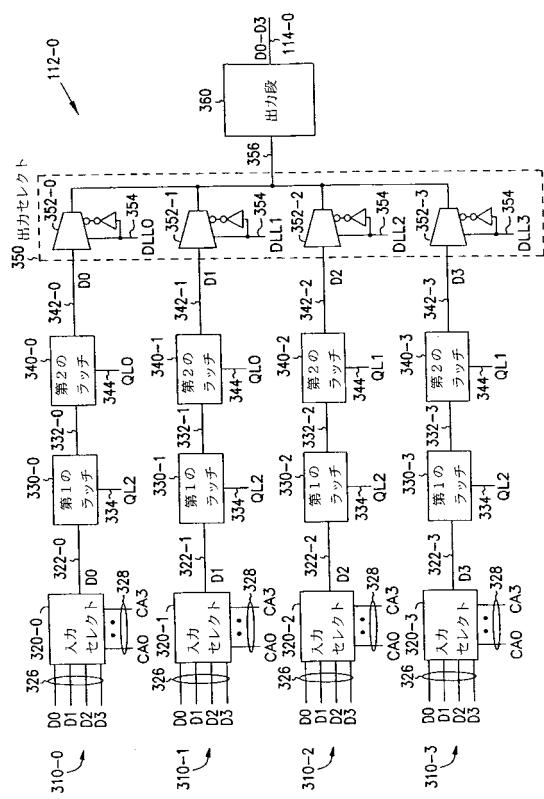
【図1】



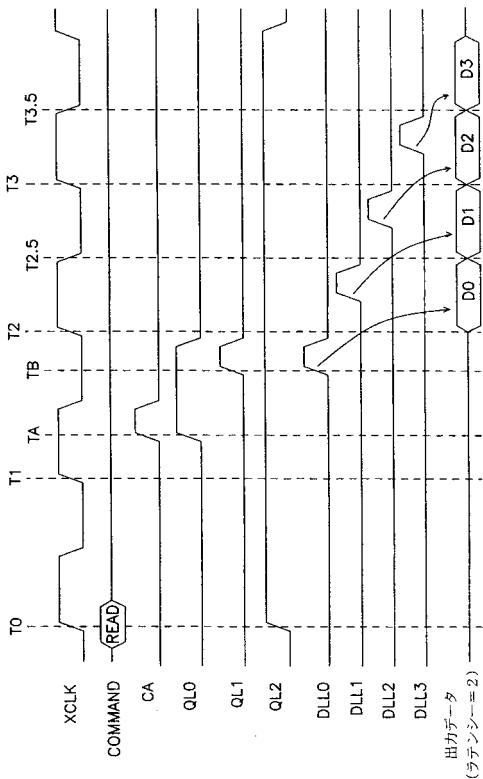
【図2】



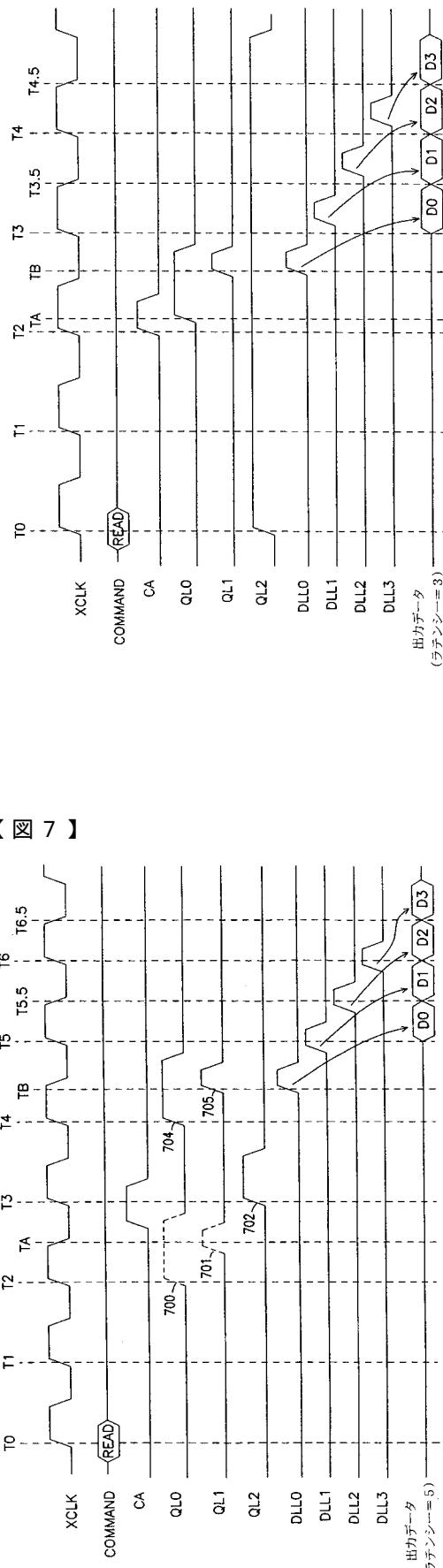
【図3】



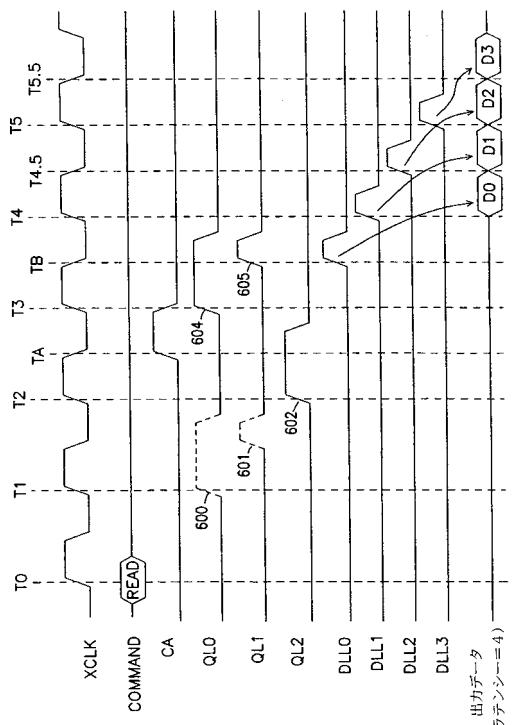
【図4】



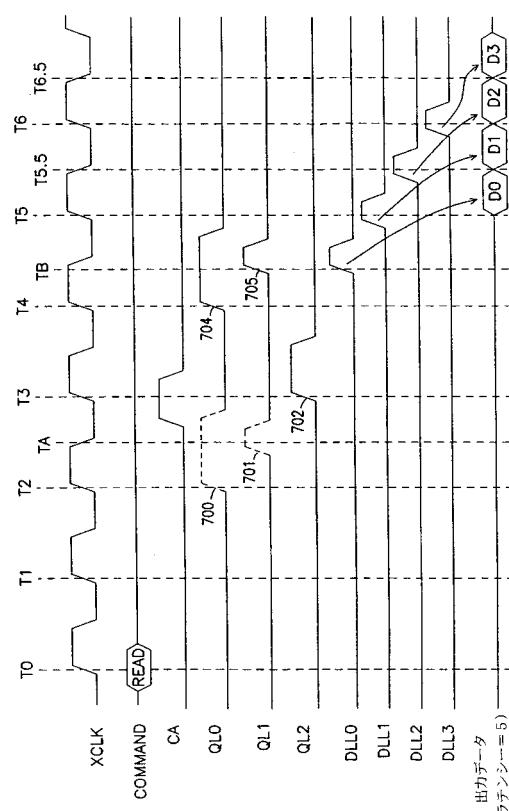
【図5】



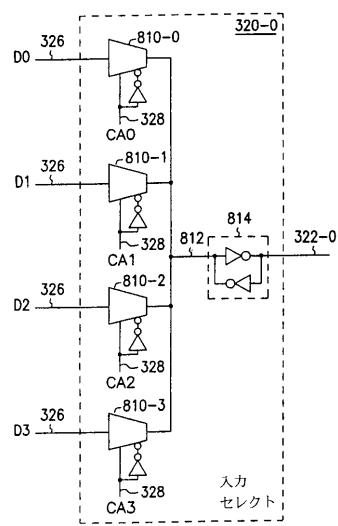
【図6】



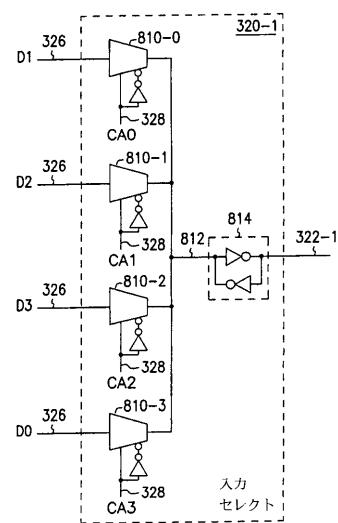
【図7】



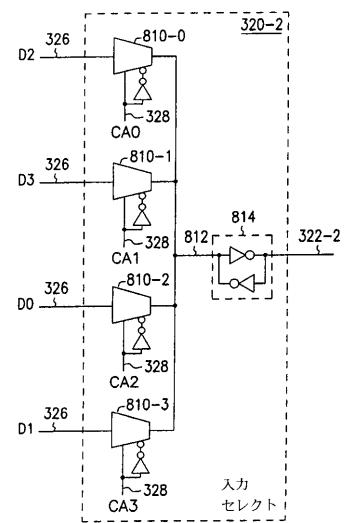
【図8 A】



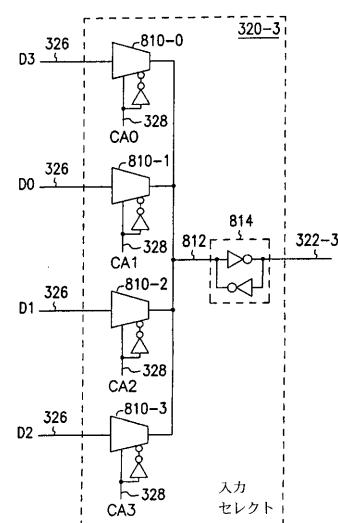
【図 8 B】



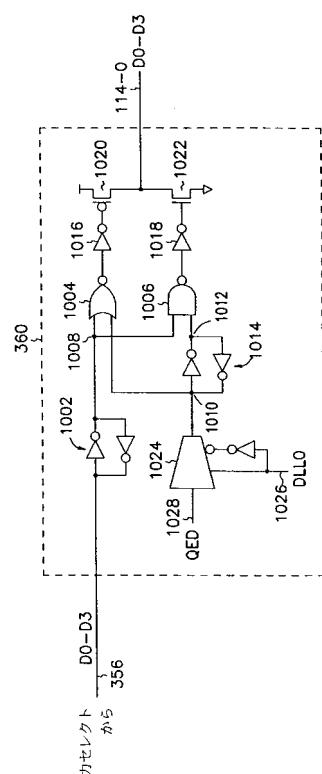
【図 8 C】



【図 8 D】



【図 10】



【図 9】

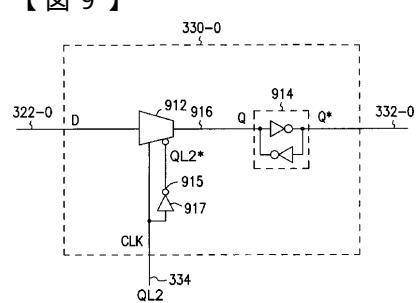
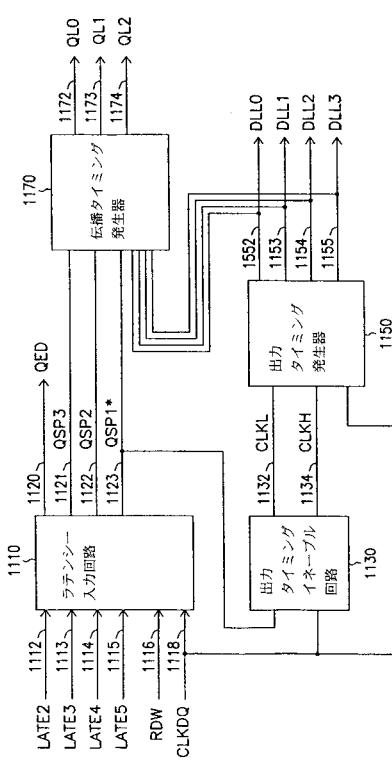
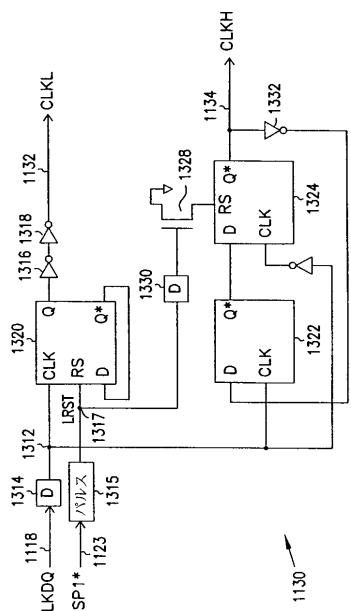


FIG. 9

【 図 1 1 】



【図13】



【図12】

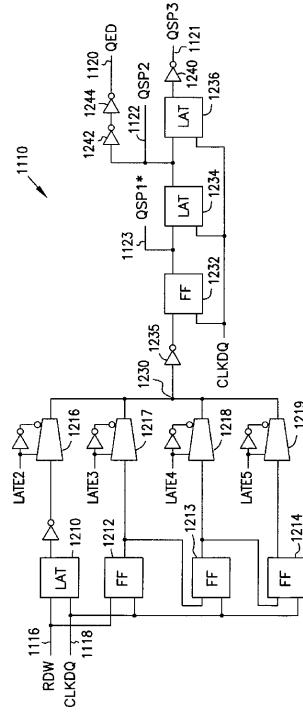


FIG. 12

【 図 1 4 】

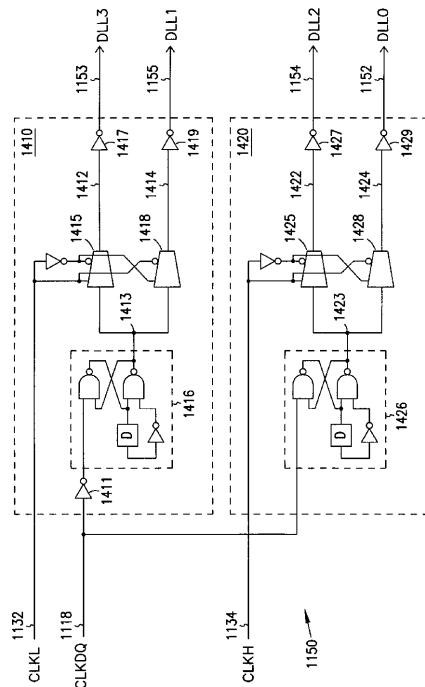


FIG. 14

【図 15】

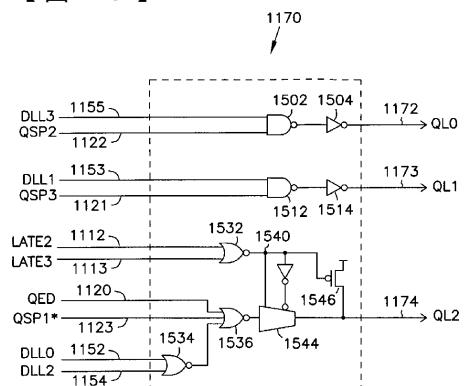


FIG. 15

【図 16】

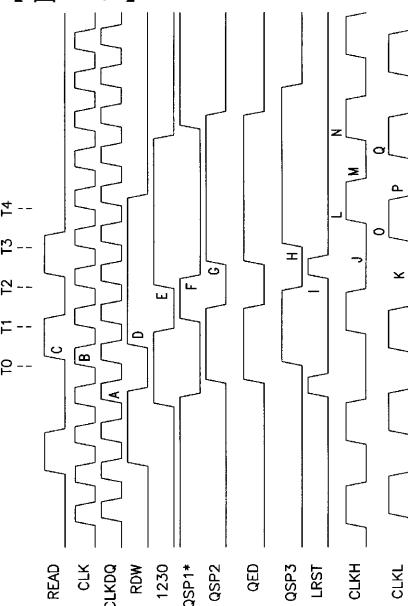
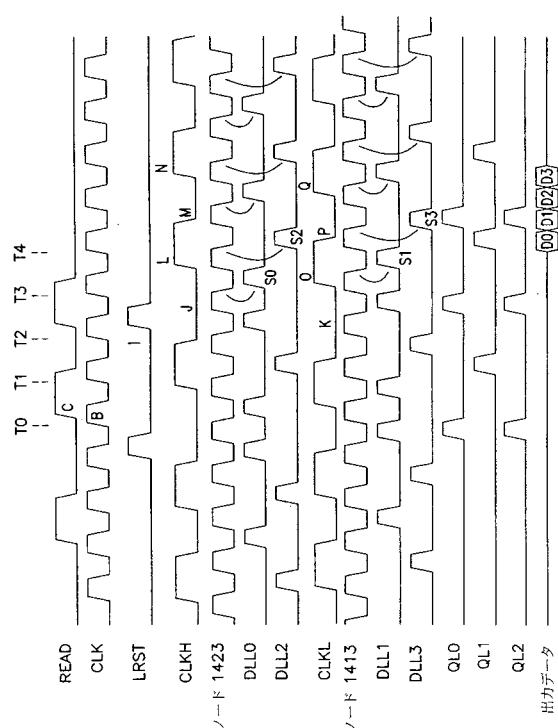
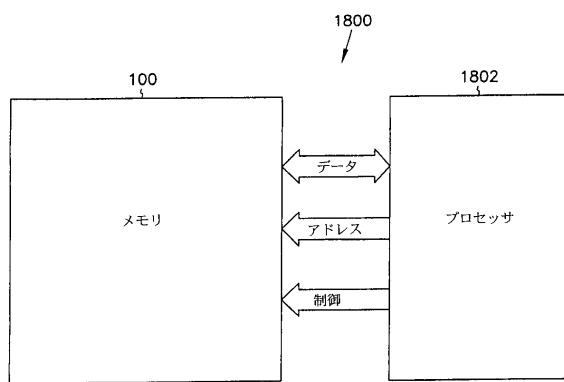


FIG. 16

【図 17】



【図 18】



---

フロントページの続き

(72)発明者 リー, ウェン  
アメリカ合衆国 アイダホ州 83706 ボイズ グロセスター・ストリート 2427 イー

審査官 須原 宏光

(56)参考文献 特開2000-076853(JP,A)  
特開平11-176158(JP,A)  
特開2001-035168(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 11/40-11/409