

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4080892号
(P4080892)

(45) 発行日 平成20年4月23日(2008.4.23)

(24) 登録日 平成20年2月15日(2008.2.15)

(51) Int.Cl.

F I

G 1 1 C 11/4093 (2006.01)

G 1 1 C 11/34 3 5 4 Q

G 1 1 C 11/407 (2006.01)

G 1 1 C 11/34 3 6 2 T

請求項の数 13 (全 23 頁)

(21) 出願番号	特願2002-586351 (P2002-586351)	(73) 特許権者	500014068
(86) (22) 出願日	平成14年3月8日(2002.3.8)		マイクロン テクノロジー, インコーポレ
(65) 公表番号	特表2004-523056 (P2004-523056A)		イテッド
(43) 公表日	平成16年7月29日(2004.7.29)		MICRON TECHNOLOGY,
(86) 国際出願番号	PCT/US2002/007668		INC.
(87) 国際公開番号	W02002/089141		アメリカ合衆国 83706-9632
(87) 国際公開日	平成14年11月7日(2002.11.7)		アイダホ州 ボイシ サウス フェデラル
審査請求日	平成16年4月7日(2004.4.7)		ウェイ 8000
(31) 優先権主張番号	09/808,506	(74) 代理人	100088454
(32) 優先日	平成13年3月14日(2001.3.14)		弁理士 加藤 紘一郎
(33) 優先権主張国	米国 (US)	(72) 発明者	モーザノ, クリストファー, ケイ
前置審査			アメリカ合衆国 アイダホ州 83706
			ボイズ ハーモニー・ストリート 26
			24
			最終頁に続く

(54) 【発明の名称】 マルチビットブリフエッチ出力データパス

(57) 【特許請求の範囲】

【請求項 1】

各々が第1、第2、第3及び第4のデータビットをパラレルに受ける複数の出力パスと

出力パスに接続されて、該出力パスからデータビットを受ける出力セレクトと、

出力セレクトから転送されるデータビットを受けて、該データビットをデータパッドへクロック信号の2サイクル以内にシリアルに出力する出力段とより成り、

シリアルな第1及び第3のデータビットは第1のイネーブル信号の互い違いの相で出力され、シリアルな第2及び第4のデータビットは第2のイネーブル信号の互い違いの相で出力され、第1及び第2のイネーブル信号は同期されていない集積回路。

【請求項 2】

各出力パスは、

データビットを受ける複数の入力ノードと、

入力ノードに接続されて、データビットから選択された所定のデータビットを発生する入力セレクトと、

入力セレクトに接続されて、選択されたデータビットを受ける第1のラッチと、

第1のラッチに接続されて、第1のラッチから選択されたデータビットを受ける第2のラッチとより成り、

1つの出力パスからの選択されたデータビットは別の出力パスから選択されたデータビットとは異なる請求項1の集積回路。

10

20

【請求項 3】

出力パスの第 1 のラッチは第 1 の伝播制御信号により制御され、出力パスの一方の半部の第 2 のラッチは第 2 の伝播制御信号により制御され、出力パスのもう一方の半部の第 2 のラッチは第 3 の伝播制御信号により制御され、これらの伝播制御信号が作動されるとデータビットがラッチから出力セレクトへ送られる請求項 2 の集積回路。

【請求項 4】

出力セレクトから出力段へ転送されるデータビットは複数のタイミング信号により制御され、タイミング信号が順次作動されるとデータビットの群が出力セレクトから出力段へシリアルに転送される請求項 1 の集積回路。

【請求項 5】

クロック信号は、66メガヘルツ乃至300メガヘルツの範囲内の周波数を有する請求項 1 の集積回路。

【請求項 6】

各々が第 1、第 2、第 3 及び第 4 のデータビットをパラレルに受ける複数の出力パスと、
出力パスに接続されて、各出力パスから選択されたデータビットを受ける出力セレクトと、

出力セレクトに接続されて、該出力セレクトから選択されたデータビットをシリアルに受け、選択されたデータビットをデータパッドへクロック信号の 2 サイクル以内にシリアルに出力する出力段とより成り、

各出力パスは、
第 1、第 2、第 3 及び第 4 のデータビットを受ける複数の入力ノードと、
第 1、第 2、第 3 及び第 4 のデータビットから選択されたデータビットを与える入力セレクトと、

入力セレクトに接続されて、選択されたデータビットを受ける第 1 のラッチと、
第 1 のラッチに接続されて、第 1 のラッチから選択されたデータビットを受ける第 2 のラッチとより成り、
シリアルな第 1 及び第 3 のデータビットは第 1 のイネーブル信号の互い違いの相で出力され、シリアルな第 2 及び第 4 のデータビットは第 2 のイネーブル信号の互い違いの相で出力され、第 1 及び第 2 のイネーブル信号は同期されていない集積回路。

【請求項 7】

2 より大きい M 個のデータビットを複数の出力パスへパラレルに読み出し、
それぞれ異なる M 個のデータビットを出力パスから出力セレクトへ転送し、
第 1 及び第 2 のイネーブル信号を作動し、
複数のタイミング信号を第 1 のイネーブル信号の異なる相及び第 2 のイネーブル信号の異なる相に基づきシリアルに作動し、
タイミング信号の変化後に M 個のデータビットを出力段へシリアルに転送し、
クロック信号の 2 サイクル以内に M 個のデータビットをデータパッドへ出力するステップより成るデータ転送方法。

【請求項 8】

M 個のデータビットの読み出しステップは、複数のメモリセルにアクセスするステップを含む請求項 7 の方法。

【請求項 9】

出力パスからの M 個のデータビットの転送ステップは、各出力パス上の M 個のデータビットから異なるデータビットを選択するステップを含む請求項 7 の方法。

【請求項 10】

複数のタイミング信号を作動するステップは、
第 1 のイネーブル信号の第 1 の相に基づき第 1 のタイミング信号を作動し、
第 2 のイネーブル信号の第 1 の相に基づき第 2 のタイミング信号を作動し、
第 1 のイネーブル信号の第 2 の相に基づき第 3 のタイミング信号を作動し、

第2のイネーブル信号の第2の相に基づき第4のタイミング信号を作動するステップを含む請求項7の方法。

【請求項11】

複数のタイミング信号を作動するステップは、

第1のイネーブル信号の変化後に第1のタイミング信号を作動し、

第2のイネーブル信号の変化後に第2のタイミング信号を作動し、

第1のイネーブル信号の異なる変化後に第3のタイミング信号を作動し、

第2のイネーブル信号の異なる変化後に第4のタイミング信号を作動するステップを含み、第1のイネーブル信号の変化は第2のイネーブル信号の変化の間にある請求項7の方法。

10

【請求項12】

複数のタイミング信号を作動するステップは、

第1のイネーブル信号の下降エッジの後に第1のタイミング信号を作動し、

第2のイネーブル信号の下降エッジの後に第2のタイミング信号を作動し、

第1のイネーブル信号の上昇エッジの後に第3のタイミング信号を作動し、

第2のイネーブル信号の上昇エッジの後に第4のタイミング信号を作動するステップを含み、第1のイネーブル信号の下降エッジは第2のイネーブル信号の下降エッジと上昇エッジとの間にある請求項7の方法。

【請求項13】

M個のデータビットを出力するステップは、

第1のタイミング信号の作動後に第1のデータビットを出力し、

第2のタイミング信号の作動後に第2のデータビットを出力し、

第3のタイミング信号の作動後に第3のデータビットを出力し、

第4のタイミング信号の作動後に第4のデータビットを出力するステップを含む請求項7の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般的に集積回路に関し、さらに詳細には、メモリデバイスのデータパスに関する。

30

【背景技術】

【0002】

同期ダイナミックRAM(SDRAM)デバイスのような半導体メモリデバイスは、コンピュータ及び電子製品に広く使用されている。SDRAMデバイスは通常、データを記憶するためのメモリセルを多数備えている。データを読み出すには、メモリ読み出し動作を実行させる。読み出し動作時に、メモリセルのデータにアクセスし、処理を行うためにデータパッドへ出力する。SDRAMの動作は、普通のクロック信号に基づいている。

【0003】

SDRAMデバイスには幾つかのタイプがある。1つのタイプでは、メモリセルのデータにアクセスし、クロックサイクル毎に1ビットのデータをデータパッドへ出力する。別のタイプのSDRAMデバイスでは、クロックサイクル毎に2ビットのデータにアクセスしてデータパッドへ出力するため、このタイプのSDRAMデバイスは通常、ダブルデータレート(DDR)SDRAMデバイスと呼ばれている。

40

【0004】

現在、新しいタイプのSDRAMデバイスが、メモリデバイスを含む集積回路デバイスの規格を設定する国際組織であるジェデック(JEDEC)により提案されている。JEDECにより提案されたSDRAMデバイスの仕様の原案を本明細書の一部として引用する。提案されたSDRAMデバイス、即ち、DDR I I SDRAMデバイスは、読み出しサイクルの間、メモリデバイス内の4ビットのデータにアクセスしてデータパッドへ出力する。従って、DDR I I SDRAMデバイスは従来のデバイスよりもデータ出力を

50

高速で行える。

【0005】

DDR II SDRAMデバイスを作動させるための課題の1つは、メモリセルから4ビットのデータがデータパッドへ適正に出力されるようにデバイスを構成することである。DDR SDRAMデバイスは、一度に2ビットのデータ群にアクセスするため、1クロックサイクルに1つの群から2ビットのデータをデータパッドへ出力することができる。次のクロックサイクルでは、前の群と同じ態様で2ビットの次の群のデータをデータパッドへ出力することが可能である。かくして、2クロックサイクル毎に4ビットのデータをデータパッドへ出力するが、これら4ビットのデータは2つの異なる群のものである。DDR II SDRAMデバイスは、一度に4ビットのデータ群にアクセスし、2クロックサイクルで(サイクル毎に2ビットずつ)データパッドへ出力する。しかしながら、DDR SDRAMデバイスとは異なり、DDR II SDRAMデバイスでは、4ビットのデータが同じ群のものであるため、2クロックサイクルのうちの何れのサイクルで4ビットデータのうちの何れの2ビットデータを出力するか識別する必要がある。さらに、4ビットがそれぞれ正しい順序でデータパッドへ出力されるように適正なビット順位を決定しなければならない。

10

【0006】

読み出し動作時にデータがメモリセルからデータパッドへ適正に出力されるDDR II SDRAMデバイスを実現することが求められている。

20

【発明の概要】

【0007】

本発明は、メモリデバイスのメモリセルとデータパッドとの間のデータ転送を行う出力回路を備えたDDR II SDRAMデバイスを提供する。

【0008】

1つの局面において、このメモリデバイスは、メモリセルからMビットのデータ群をパラレルに受ける複数の入力ノードを有する。N個の出力パスが、入力ノードとデータパッドとの間に接続されており、M及びNは2より大きい。各出力パスはM個のデータビットの群のそれぞれ異なるビットを転送する。M個のデータビットは、複数のタイミング信号の作動によりシリアルにデータパッドへ転送される。タイミング信号は、第1及び第2のイネーブル信号によりそれぞれ異なる時点で作動される。これらのイネーブル信号は同期されていない。

30

【0009】

別の局面において、データ転送方法が提供される。この方法は、2より大きいM個のデータビットを複数の出力パスへパラレルに読み出すステップを含む。さらに、M個のデータビットを出力パスから出力セレクトへ転送するステップを含む。各出力パスはそれぞれ異なるデータビットを転送する。この方法はさらに、第1及び第2のイネーブル信号と、複数のタイミング信号を作動するステップを含む。タイミング信号はイネーブル信号に基づいてシリアルに作動される。この方法はさらに、タイミング信号の変化後にM個のデータビットを出力段へシリアルに転送し、クロック信号の2サイクル以内にM個のデータビットをデータパッドへ出力するステップを含む。

40

【実施例】

【0010】

以下の詳細な説明において、本発明の特定の実施例を例示し、本願の一部を構成する添付図面を参照する。これらの実施例は、当業者が本発明を実施できるように十分に詳しく記載されている。他の実施例も利用可能であり、本発明の思想及び範囲から逸脱しないで論理的、機械的及び電氣的な変形を行えることを理解されたい。従って、以下の詳細な説明は限定の意味で捉えるべきではなく、本発明の範囲は、頭書の特許請求の範囲のみにより規定される。

【0011】

図1は、本発明の一実施例によるメモリデバイス100の単純化ブロック図である。一

50

実施例において、メモリデバイス100は主メモリ102を有する。主メモリ102は通常、バンク1 - Nで示す1またはそれ以上のメモリバンクを有するダイナミックランダムアクセスメモリ(DRAM)デバイスより成る。各メモリバンク1 - Nは、複数のメモリセルが行列状に配置されたものである。行デコーダ104及び列デコーダ106は、アドレスバスまたはアドレスライン110 0 - X上に与えられるアドレスにตอบสนองして行列状のメモリセルにアクセスする。アドレスライン110 0 - Xは複数のアドレス信号A0 - AXを受ける。複数の入力回路111 0 - N及び複数の出力回路112 0 - Nは、主メモリ102との双方向データ通信を行うためにデータバスまたはデータライン114 0 - Nに接続されている。各データライン114 0 - Nは、複数のデータ信号または複数のデータビットD0 - DNを与える。出力コントローラ117は、主メモリ102からデータパッド114 0 - Nへ出力されるデータのタイミングを制御する。メモリコントローラ116は、制御ライン111上に与えられる制御信号にตอบสนองしてメモリ100を制御する。制御信号は、外部クロック信号(CLK)、チップセレクト(CS*)、行アクセスストロブ(RAS*)、列アクセスストロブ(CAS*)及び書き込みイネーブル(WE*)を含むが、これらに限定されない。メモリデバイス100は、その動作の種々の設定を記憶するようにプログラム可能なモードレジスタ119も備えている。

【0012】

当業者であればわかるように、図1のメモリデバイス100はさらに別の回路及び制御信号を有することが可能であり、図1のメモリデバイスは本発明に焦点を当てるために単純化されている。DRAMの上記説明はそのメモリの一般的理解に資するためであってDRAMデバイスの全ての構成要素及び特徴を網羅したものでないことがわかるであろう。

【0013】

本発明の説明中、データ、ビット、データビットのような用語は、主メモリ102から読み出される、または書き込まれる情報または信号である同じ対象を指すものとして互換的に使用する。さらに、ライン及びノードのような用語は同じ要素を指すように互換的に使用する。

【0014】

図2は、レイテンシーを種々の値に設定した場合におけるメモリ動作時の図1のデバイスのタイミング図を示す。図2において、CLKは図1のメモリデバイス100の制御ライン118の1つに加えられる外部クロック信号を表す。一実施例において、メモリデバイス100は、66メガヘルツ(66MHz)乃至300メガヘルツ(300MHz)の周波数レンジを有するCLK信号で動作できる。COMMANDは、読み出し動作のようなある特定のメモリ動作を実行するためにメモリデバイス100に加えられる命令を表す。OUTPUT DATA 210 0 - 3は、図1のライン114 0 - Lの1つに与えられる出力データを表す。各出力データOUTPUT DATA 210 0 - 3は、種々のレイテンシー設定値における出力データを表す。レイテンシー設定値は、図1のモードレジスタ119をプログラムすることにより設定される。レイテンシー設定値が異なると、読み出し命令が出された後、データライン114 0 - Nの1つに第1のデータビットが得られるタイミングが異なるものとなる。例えば、レイテンシーが2に設定されると、読み出し命令READの2クロックサイクル後に第1のデータビットD1が得られる。図2において、読み出し命令READが時間T0に発生すると、OUTPUT DATA 210 0 - 0の第1のデータビットD1は時間T2で得られるが、これは読み出し命令の2クロックサイクル後である。同様に、OUTPUT DATA 210 1 - 3は、レイテンシーの設定が3、4または5であれば、第1のデータビットはT3、T4またはT5で得られるが、これらはそれぞれ読み出し命令の3、4または5クロックサイクル後であることを示す。レイテンシーの設定は、メモリデバイス100の外部の変数に応じて選択される。

【0015】

図1のメモリデバイス100は、読み出し動作の各読み出しバーストで4ビットのデータ列を出力できる。読み出し動作において、メモリコントローラ116は、RAS*、CAS*及びWE*のようなある特定の組み合わせの命令信号についてチェックする。その組

み合わせが読み出し動作にとって有効であれば、読み出し命令が発せられる。例えば、図2において、読み出し動作のための組み合わせが有効になった後、時間T0において、読み出し命令が発せられる。主メモリ102(図1)の4つのデータビットを読み出して、出力回路112 0 - Nの1つへ出力する。主メモリ102の4つのデータビットの読み出しは、従来の任意の読み出し方法で行うことが可能である。出力回路112 0 - Nの1つに4ビットのデータが読み出されると、これらのビットはデータライン114 0 - Nの1つへシリアルに出力される。ライン114 0 - Nに出力される4ビットのデータのタイミングは、レイテンシーの設定に基づき出力コントローラ117により制御される。図2に示すように、各OUTPUT DATA 210 0 - 3の4ビットのデータD0 - D3は、異なるレイテンシー設定に応じて、読み出し命令後の異なるクロックサイクル時に出力される。出力回路112 0 - N及び出力コントローラ117並びにそれらの動作については、後続の図面を参照して詳述する。

10

【0016】

図3は、図1の出力回路112 0 - Nの1つのブロック図である。図3は出力回路112 - 0を示す。他の出力回路の構成は図3に示す出力回路112 - 0の構成と同一である。出力回路112 - 0は複数の出力パス310 0 - 3を有する。出力セレクト350は、ラインまたはノード342 0 - 3を介して出力パス310 0 - 3に接続されている。出力段360は、ライン356を介して出力セレクト350に接続されている。出力段360は、ライン114 - 0に接続されて複数のデータビットD0 - DNを与える。

【0017】

20

出力パス310 0 - 3は、複数の入力セレクト320 0 - 3を有する。複数の第1のラッチ330 0 - 3は、ライン322 0 - 3を介して入力セレクト320 0 - 3に接続されている。複数の第2のラッチ340 0 - 3は、ライン332 0 - 3を介して第1のラッチ330 0 - 3に接続され、ライン342 0 - 3を介して出力セレクト350に接続されている。出力パス310 0 - 3の構成は同一であるため、各出力パス310 0 - 3は同一構成要素より成る。例えば、出力パス310 - 0の入力セレクト320 - 0は、ライン322 - 0を介して第1のラッチ330 - 0に接続されている。第2のラッチ340 - 0は、ライン332 - 0を介して第1のラッチ330 - 0に接続され、ライン342 - 0を介して出力セレクト350に接続されている。他の出力パス310 1 - 3は出力パス310 - 0と同じ構成である。

30

【0018】

各入力セレクト320 0 - 3は、複数の入力ノード326に接続されて複数のデータ信号またはデータビットD0 - D3を受ける。これらのデータビットは補数データである。別の表現をすると、これらのデータビットはそれぞれ主メモリ102からの真のデータビットとは反対である。データビットD0 - D3は、パラレルでノード326において受ける。換言すれば、データビットD0 - D3は主メモリ102からノード326に同時に到達する。各入力セレクト320 0 - 3も、複数のセレクトライン328に接続されて複数のセレクト信号CA0 - CA3を受ける。第1のラッチ330 0 - 3はそれぞれ制御ライン334に接続されている。第2のラッチ340 0 - 3はそれぞれ制御ライン344に接続されている。制御ライン334、344は複数の伝播制御信号Q0 - Q2を受ける。全ての制御ライン334は信号Q2を受ける。第2のラッチ340 0 - 1の制御ライン344は信号Q0を受ける。第2のラッチ340 2 - 3の制御ライン344は信号Q1を受ける。

40

【0019】

出力セレクト350は、複数のマルチプレクサ352 0 - 3を有する。各マルチプレクサ352 0 - 3の入力はノード342 0 - 3の1つに接続され、出力はライン356を介して出力段360に接続されている。マルチプレクサ352 0 - 3はまた、複数の制御ライン354に接続されて複数のタイミング信号DLL 0 - 3を受ける。

【0020】

図3において、各入力セレクト320 0 - 3は、ライン326上の4つのデータビッ

50

ト D 0 - D 3 のうち 1 つを選択し、選択したビットを対応するライン 3 2 2 0 - 3 のうちの 1 つへ送る。データビット D 0 - D 3 の間の 1 つのデータビットの選択は、ライン 1 1 0 0 - X (図 1) 上で受ける 2 つのアドレス信号またはアドレスビットに基づく。ライン 1 1 0 - X 上で受けるアドレスビットは A 0、A 1、A 3、...、A X である。ビット A 1 及び A 0 の論理値 (論理 1 または 0) は、入力セレクト 3 2 0 0 - 3 によるデータビットの選択を決定する。A 1 及び A 0 の論理値が 0 と 0 (二進 0 0) であれば、入力セレクト 3 2 0 0 - 3 によるデータビットの選択はそれぞれ D 0、D 1、D 2、D 3 である。換言すれば、A 1 A 0 の組み合わせが 0 0 であれば入力セレクト 3 2 0 - 0 はビット D 0 を選択し、入力セレクト 3 2 0 - 1 はビット D 1 を選択し、入力セレクト 3 2 0 - 2 はビット D 2 を選択し、入力セレクト 3 2 0 - 3 はビット D 3 を選択する。A 1 A 0 の組み合わせが 0 1 であれば、入力セレクト 3 2 0 0 - 3 により選択されるデータの順序はそれぞれ D 1、D 2、D 3、D 0 である。A 1 A 0 の組み合わせが 1 0 であれば、入力セレクト 3 2 0 0 - 3 により選択されるデータの順序は D 2、D 3、D 0、D 1 である。A 1 A 0 の組み合わせが 1 1 であれば、入力セレクト 3 2 0 0 - 3 により選択されるデータの順序は D 3、D 0、D 1、D 2 である。例えば、A 1 A 0 の組み合わせが 0 0 であれば、図 3 において、入力セレクト 3 2 0 0 - 3 により選択されてライン 3 2 2 0 - 3 へ送られる 4 つの異なるデータビットはそれぞれ D 0、D 1、D 2、D 3 である。

【 0 0 2 1 】

ラッチ 3 3 0 0 - 3 及び 3 4 0 0 - 3 は、信号 Q L 0 - Q L 2 により制御される。ラッチ 3 3 0 0 - 3 又は 3 4 0 0 - 3 は、信号 Q L 0 - Q L 2 が作動されるとデータ信号またはデータビットを 1 つのノードから別のノードへ通過させる。Q L 2 が作動されると、即ち、低い信号レベル (L O W) から高い信号レベル (H I G H) へ変化すると、第 1 のラッチ 3 3 0 0 - 3 はデータをノード 3 2 2 0 - 3 からノード 3 3 2 0 - 3 へ送る。Q L 0 が作動されると、第 2 のラッチ 3 4 0 0 - 1 はデータをノード 3 3 2 0 - 1 からノード 3 4 2 0 - 1 へ送る。Q L 1 が作動されると、第 2 のラッチ 3 4 0 2 - 3 はデータをノード 3 3 2 2 - 3 からノード 3 4 2 2 - 3 へ送る。上記の例では、Q L 0 - Q L 3 が作動された後、データビット D 0 - D 3 はライン 3 2 2 0 - 3 からノード 3 3 2 0 - 3 へ送られ、最後にノード 3 4 2 0 - 3 へ送られる。

【 0 0 2 2 】

出力セレクト 3 5 0 は、ノード 3 4 2 0 - 3 上のデータビットを選択してそれらを出力段 3 6 0 へ順次供給する。タイミング信号 D L L 0 - D L L 3 は、順次作動されてノード 3 4 2 0 - 3 上のデータビットをライン 3 5 6 を介して出力段 3 6 0 へ送る。かくして、出力セレクト 3 5 0 はデータビットをシリアルに出力段 3 6 0 へ送る。出力段 3 6 0 へ送られるシリアルなデータビットのうち第 1 のデータビットは、出力パス 3 1 0 - 0 のライン 3 4 2 - 0 上のデータビットである。出力段 3 6 0 へ送られる第 2 のデータビットは、出力パス 3 1 0 - 2 からのライン 3 4 2 - 1 のデータビットである。このパターンで、出力段 3 6 0 へ送られる第 3 及び第 4 のデータビットは、ライン 3 4 2 - 2 及び 3 4 2 - 3 からのものである。上記の例では、出力段 3 6 0 へ送られる第 1 のデータビットは D 0 である。出力段 3 6 0 へ送られる第 2、第 3 及び第 4 のデータビットは D 1、D 2、D 3 である。

【 0 0 2 3 】

出力段 3 6 0 は、ライン 3 5 6 上のデータビットを受けてそれらをライン 1 1 4 - 0 へシリアルに出力する。上記と同じ例を用いると、ライン 1 1 4 - 0 上に出力されるデータビットは D 0、D 1、D 2、D 3 である。出力段 3 6 0 は、出力ライン 1 1 4 - 0 上のデータビット D 0 - D 3 を真の形で出力する。換言すれば、ライン 1 1 4 - 0 上に出力されるデータはライン 3 2 6 上のデータとは反対の電位を有する。この説明の例に用いるデータビットの順序は D 0、D 1、D 2、D 3 である。しかしながら、データビットの順序は上述したアドレスビット A 1、A 0 の論理値に応じた任意の順序でよい。例えば、ライン 3 4 2 0 - 3 上のデータがそれぞれ D 1、D 2、D 3、D 0 であれば、データビットは同じ順序で出力段 3 6 0 へ送られる。この場合、出力段 3 6 0 は同じ順序で、即ち、D 1

10

20

30

40

50

、D 2、D 3、D 0の順序でデータビットをライン114 - 0へ出力する。要約すると、A 1 A 0のアドレスビットの組み合わせが00であれば、ライン114 - 0におけるデータビットの出力順序はD 0、D 1、D 2、D 3であり、A 1 A 0が01であれば、出力データはD 1、D 2、D 3、D 0であり、A 1 A 0が10であれば、出力データはD 2、D 3、D 0、D 1、さらにA 1 A 0が11であれば、出力データはD 3、D 0、D 1、D 2である。

【0024】

図4は、レイテンシーを2に設定した図3の出力回路112 - 0の動作を示すタイミング図である。図4において、CA信号はライン328上で受けるCA0 - CA3信号の1つを表す。QL0、QL1、QL2信号は、図3の第1及び第2のラッチ330、340で受けるのと同じ信号を表す。DLL0、DLL1、DLL2、DLL3は、出力セレクト350のライン354上で受けるのと同じ信号を表す。出力データD 0、D 1、D 2、D 3は、ライン114 - 0上の出力データD 0 - D 3を表す。

【0025】

図4を参照して、図3のデバイスの動作を説明する。図4において、時間T0でREAD命令が発せられる。メモリセル102(図1)の4つのデータビットにアクセスする。4つのデータビットは、図3の出力回路112 - 0のデータバス310 0 - 3へ順次転送される。データバス310 0 - 3の入力セレクト320 0 - 3は、ライン326上において4つのデータビットD 0 - D 3を受ける。ライン326において、4つのデータビットはそれらの補数の形で表わされている。図4の時間TAにおいて、信号CAがHIGHに切換ると、各入力セレクト320 0 - 3はライン326上の4つのビットD 0 - D 3の中から1つのデータビットを選択することができる。選択されたデータビットはライン322 0 - 3へ送られる。本発明を説明する目的で、A 1 A 0は00であると仮定する。従って、ライン322 0 - 3へ送られる4つのデータビットはそれぞれD 0、D 1、D 2、D 3である。換言すれば、ライン322 - 0はデータビットD 0を運び、ライン322 - 1はデータビットD 1を、ライン322 - 2はデータビットD 2を、またライン322 - 3はデータビットD 3を運ぶ。

【0026】

レイテンシーが2では、信号QL2は常にHIGHである。図4に示すように、QL2信号はREAD命令の開始時から全てのクロックサイクルについてHIGHである。QL2がHIGHであれば、ライン322 0 - 3上のD 0 - D 3はラッチ330 0 - 3を通過してノード332 0 - 3へ送られる。時間TAにおいて、QL0信号はHIGHに切換わる。これにより、データビットD 0及びD 1はノード332 0 - 1から第2のラッチ340 0 - 1を介してノード342 0 - 1へ通過することができる。時間TBにおいて、QL1はHIGHに切換わる。これにより、データビットD 2及びD 3はノード322 2 - 3から第2のラッチ340 2 - 3を通過して342 2 - 3へ通過することができる。

【0027】

出力セレクト350では、マルチプレクサ352 0 - 3がタイミング信号DLL0 - DLL3により制御される。DLL0 - DLL3信号は、ノード342 0 - 3上のビットD 0 - D 3がレイテンシーの設定に応じてライン114 - 0へ適正に出力できるように順次作動される。レイテンシーの設定が2であるため、ライン114 - 0上に出力される第1のデータビットはREAD命令の2クロックサイクル後に現れる。この場合、第1のデータビットは時間T2に現れる。ノード342 - 0上の第1のビットを通過させるには、DLL0信号を作動させる。これにより、データビットD 0はノード342 - 0からノード356へ、そしてライン114 - 0へ通過することができる。ノード342 - 0からノード114 - 0へ伝播遅延が存在するため、データビットD 0がライン114 - 0に現れる時、時間T2においてそれがクロック信号CLKの上昇エッジに一致するように、信号DLL0は時間T2の直前に作動される。図4において、DLL0は時間T2の前に作動され、HIGHに切換わる。これにより、時間T2でデータビットD 0(真)はCLK

10

20

30

40

50

信号の上昇エッジに並ぶことができる。同様に、D L L 2 は時間 T 3 の前に H I G H に作動されるため、データビット D 2 は時間 T 2 において C L K 信号の上昇エッジに並ぶことができる。同様に、信号 D L L 1 及び D L L 3 はそれぞれ時間 T 2 . 5 及び T 3 . 5 の前に H I G H に作動されるため、データビット D 1 及び D 3 は時間 T 2 . 5 及び T 3 . 5 において C L K 信号の下降エッジに並ぶことができる。

【 0 0 2 8 】

図 5 は、レイテンシーの設定が 3 である図 3 の出力回路 1 1 2 - 0 の動作を示すタイミング図である。レイテンシーが 3 であれば、出力データの第 1 のビットは R E A D 命令が発せられた 3 クロックサイクル後にライン 1 1 4 - 0 上に現れる。図 5 において、D 0 は時間 T 3 に現れるが、これは時間 T 0 の R E A D 命令の 3 クロックサイクル後である。レイテンシーが 3 では、ライン 3 2 6 上のデータビット D 0 - D 3 はレイテンシー 2 の場合と同様にライン 1 1 4 A へ出力される。レイテンシー 2 と 3 の相違点は、信号 C A、Q L 0、Q L 1 及び D L L 0 - D L L 3 のタイミングにある。レイテンシー 3 の出力データはレイテンシー 2 の出力データより 1 クロックサイクル遅れてライン 1 1 4 - 0 に現れるため、信号 C A はほとんど 1 クロックサイクル後に作動される。図 5 において、C A 信号は、図 4 の時間 T A のほとんど 1 クロックサイクル後である時間 T A において H I G H に作動される。Q L 2 は、レイテンシー 2 の場合と同様に、読み出しサイクルの間中 H I G H を維持する。しかしながら、他の信号は、図 5 に示すようにほとんど 1 クロックサイクル後に作動される。

【 0 0 2 9 】

図 6 は、レイテンシーの設定が 4 である図 3 の出力回路 1 1 2 - 0 の動作を示すタイミング図である。レイテンシー設定が 4 だと、出力データの第 1 のビットは R E A D 命令が発せられた 4 クロックサイクル後にライン 1 1 4 - 0 上に現れる。図 6 において、D 0 は時間 T 0 の R E A D 命令から 4 クロックサイクル後の時間 T 4 に現れる。レイテンシー 4 では、ライン 3 2 6 上に受けるデータビット D 0 - D 3 はレイテンシー 2 と同様にライン 1 1 4 - 0 へ出力される。しかしながら、4 ビット 1 つの群の最後のビット及び 4 ビットの次の群の最初のビットを適正に出力できるようにするため異なるタイミング方式が提供される。従って、Q L 2 信号は、レイテンシー 2 及び 3 の場合と同様に常に H I G H というわけではない。

【 0 0 3 0 】

図 6 において、Q L 0 及び Q L 1 の点線部分は前の読み出しサイクルからの信号を示す。6 0 0 及び 6 0 1 において点線で示す信号は、Q L 0 及び Q L 1 信号の前の変化を示す。6 0 4 及び 6 0 5 における信号は、現在の読み出しサイクルにおける Q L 0 及び Q L 1 の現在の变化である。6 0 2 における信号は Q L 2 信号の現在の变化である。図 3 において、現在の読み出しサイクルの現在のビット D 0 - D 3 が前の読み出しサイクルの前のビット D 0 - D 3 と混同されないようにするため、ノード 3 3 2 0 - 3 上の前のビット D 0 - D 3 を現在のビット D 0 - D 3 がノード 3 3 2 0 - 3 に到達する前にノード 3 4 2 0 - 3 へ送る必要がある。従って、Q L 2 は、Q L 0 信号の変化と Q L 1 信号の変化との間で作動させなければならない。換言すれば、Q L 2 は、前の読み出しサイクルの Q L 0 の変化の後で現在の読み出しサイクルの Q L 0 の変化の前に作動する必要がある。

【 0 0 3 1 】

図 6 に示すように、Q L 2 は 6 0 2 において変化するが、これは、6 0 0 における Q L 0 の変化の後で 6 0 4 における Q L 0 の変化の前である。同様に、6 0 2 における Q L 2 の変化も、6 0 1 における Q L 1 の変化の後で 6 0 5 における Q L 1 の変化の前である。従って、Q L 2 が 6 0 2 において変化すると、ライン 3 2 2 0 - 3 上の現在のビット D 0 - D 3 はノード 3 3 2 0 - 3 へ送られる。この時 (6 0 2) までに、前のビット D 0 - D 3 は、6 0 0 及び 6 0 1 における Q L 0 及び Q L 1 の変化により既にノード 3 4 2 0 - 3 へ送られている。従って、レイテンシー 4 において信号 Q L 0 - Q L 3 を適正に作動することにより、出力回路 1 1 2 - 0 は全ての読み出しサイクルにおいてビット D 0 - D 3 を正しく処理する。

【 0 0 3 2 】

図 7 は、レイテンシーの設定が 5 である図 3 の出力回路 1 1 2 - 0 の動作を示すタイミング図である。レイテンシーが 5 では、出力データの最初のビットは R E A D 命令が発せられた 5 クロックサイクル後にライン 1 1 4 - 0 上に現れる。図 7 において、D 0 は、時間 T 0 での R E A D 命令から 5 クロックサイクル後の時間 T 5 で現れる。レイテンシー 5 では、3 2 6 上で受けるデータビット D 0 - D 3 は、レイテンシー 2 の場合と同様にライン 1 1 4 - 0 へ出力される。レイテンシーが 5 である場合の出力バス 1 1 2 - 0 の動作タイミングは、レイテンシー 4 の時のタイミングと同じである。図 6 と同様に、図 7 の点線で示す信号は前の読み出しサイクルからの信号である。図 7 において、信号 Q L 2 は 7 0 2 において作動または H I G H に変化する。この変化は、7 0 4 及び 7 0 5 における Q L 0 及び Q L 1 の変化の前であって、7 0 0 及び 7 0 1 における Q L 0 及び Q L 1 の変化の後である。この時 (7 0 2) までに、前のビット D 0 - D 3 は、7 0 0 及び 7 0 1 における Q L 0 及び Q L 1 の変化により既にノード 3 4 2 0 - 3 へ送られている。従って、レイテンシー 5 では、信号 Q L 0 - Q L 3 を適正に作動することにより、出力回路 1 1 2 - 0 は全ての読み出しサイクルにおいてビット D 0 - D 3 を正しく処理する。

【 0 0 3 3 】

図 8 A - D は、図 3 の入力セレクト 3 2 0 0 - 3 の概略図である。図 8 A - D の各入力セレクト 3 2 0 0 - 3 は、複数のマルチプレクサ 8 1 0 0 - 3 を有する。簡略を期するために、異なる入力セレクト 3 2 0 0 - 3 間のマルチプレクサの参照番号は同じである。図 8 A において、各マルチプレクサ 8 1 0 0 - 3 の入力は、データ D 0 - D 3 のビットの 1 つを受ける対応の入力ライン 3 2 6 のうちの 1 つに接続されている。マルチプレクサ 8 1 0 0 - 3 はまた、ノード 8 1 2 に接続された複数の出力を有する。記憶素子 8 1 4 は、第 1 の記憶ノードがノード 8 1 2 においてマルチプレクサ 8 1 0 0 - 3 の出力に接続され、第 2 の記憶ノードがノード 3 2 2 0 - 3 の 1 つに接続されている。各マルチプレクサ 8 1 0 0 - 3 は、ライン 3 2 8 上で受信される信号 C A 0 - C A 3 の 1 つにより制御される。

【 0 0 3 4 】

図 8 B - D において、入力セレクト 3 1 0 1 - 3 は図 8 A の入力セレクト 3 1 0 - 0 と同じ構成である。しかしながら、入力セレクト 3 1 0 1 - 3 の入力 3 2 6 はデータビット D 0 - D 3 を異なる順序で受ける。図 8 A において、入力 3 2 6 - 0、3 2 6 - 1、3 2 6 - 2、3 2 6 - 3 はそれぞれ D 0、D 1、D 2、D 3 をこの順序で受ける。図 8 B において、入力 3 2 6 - 0、3 2 6 - 1、3 2 6 - 2、3 2 6 - 3 において受信される D 0 - D 3 の順序はそれぞれ D 1、D 2、D 3、D 0 である。図 8 C において、入力 3 2 6 - 0、3 2 6 - 1、3 2 6 - 2、3 2 6 - 3 により受信される信号 D 0 - D 3 の順序は D 2、D 3、D 0、D 1 である。図 8 D において、入力 3 2 6 - 0、3 2 6 - 1、3 2 6 - 2、3 2 6 - 3 において受信される D 0 - D 3 の順序はそれぞれ D 3、D 0、D 1、D 2 である。

【 0 0 3 5 】

図 8 A - D の入力セレクト 3 2 0 0 - 3 の動作は同じである。C A 0 - 3 信号の 1 つが作動されると、その作動された C A 信号により制御される対応のマルチプレクサは、ビット D 0 - D 3 の 1 つをノード 3 2 6 の 1 つからノード 8 1 2 へ、そしてノード 3 2 2 0 - 3 の 1 つへ送る。例えば、図 8 A において、C A 0 が作動または H I G H に変化する、マルチプレクサ 8 1 0 - 0 はノード 3 2 6 からノード 8 1 2 へ、そしてノード 3 2 2 - 0 へビット D 0 を送る。C A 1 が作動されると、ビット D 1 がノード 3 2 2 - 0 へ送られる。同様に、C A 2 または C A 3 が作動されると、ビット D 2 または D 3 がノード 3 2 2 - 0 へ送られる。

【 0 0 3 6 】

信号 C A 0 - 3 のただ 1 つが一度に作動される。信号 C A 0 - 3 の作動の順序は、アドレスビット A 1 及び A 0 の論理値に基づく。A 1 A 0 が 0 0 であれば、C A 0 が作動され、A 1 A 0 が 0 1 であれば、C A 1 が作動され、A 1 A 0 が 1 0 であれば、C A 2 が作

10

20

30

40

50

動され、そしてA 1 A 0が1 1であれば、C A 3が作動される。これらの順序は、図3のデータビットD 0 - D 3が選択される順序と一致している。例えば、A 1 A 0が1 0であれば、C A 2が作動される。図8 Aにおいて、信号C Aにより制御されるマルチプレクサ8 1 0 - 2はD 2をノード3 2 2 - 0へ送る。データビットD 2はそのシリアルデータの第1のビットである。図8 Bにおいて、信号C A 2により制御されるマルチプレクサ8 1 0 - 2はD 3をノード3 2 2 - 1へ送る。ビットD 3はそのシリアルデータの第2のビットである。同様に、図8 C及び8 Dのマルチプレクサ8 1 0 - 2はそれぞれビットD 0及びD 1をノード3 2 2 - 2及び3 2 2 - 3へ送る。従って、A 1 A 0が1 0であれば、信号C A 2が作動され、これにより入力セレクト3 2 0 0 - 3がビットD 2、D 3、D 1及びD 0を選択する。これは、図3の入力セレクト3 2 0 0 - 3の選択とマッチする。

10

【0037】

図9は、図3の出力パス3 1 0 - 0の第1のラッチ3 3 0 - 0を示す概略図である。ラッチ3 3 0 - 0は、ライン9 1 6により記憶素子9 1 4に接続されたマルチプレクサ9 1 2を有する。マルチプレクサ9 1 2は、入力Dがノード3 2 2 - 0に接続され、出力がノード9 1 6に接続されている。マルチプレクサ9 1 2は、そのクロックまたはCLK端子がライン3 3 4に接続されてQL 2信号を受ける。マルチプレクサ9 1 2はまたライン9 1 5に接続されるが、このラインはインバータ9 1 7の出力に接続されている。インバータ9 1 7は、ライン3 3 4上のQL 2信号を受け、ライン9 1 5上に補数信号QL 2*を発生する。記憶素子9 1 4は、第1の記憶ノードQがノード9 1 6に接続され、第2の記憶ノードQ*がライン3 3 2 - 0に接続されている。図9は出力パス3 1 0 - 0の第1のラッチ3 3 0 - 0だけを示すが、他の出力パス3 1 0 1 - 3の第1のラッチ3 3 0 1 - 3及び第2のラッチ3 4 0 0 - 3は図9のラッチ3 3 0 - 0と同じである。従って、図3の他の第1及び第2のラッチの動作は図9のラッチ3 3 0 - 0の動作と同じである。

20

【0038】

図9を参照して、信号QL 2が作動されない場合、マルチプレクサ9 1 2は閉じており、ライン3 2 2上のデータまたは信号がマルチプレクサ9 1 2を通過するのを阻止する。信号QL 2が作動されると、マルチプレクサ9 1 2が開いて、ライン3 2 2 - 0上のデータまたは信号がマルチプレクサを介してライン9 1 6及び3 3 2 - 0に送られるようになる。信号は、1つの信号レベルから別の信号レベルへ変化すると、作動される。この場合、信号QL 2は、低い信号レベル(L O W)から高い信号レベル(H I G H)へ変化すると作動される。従って、図9において、QL 2がL O WからH I G Hへ切換わると、ライン3 2 2 - 0上のデータがライン3 2 2 - 0へ送られる。同様に、図3では、QL 0及びQL 1が作動されると、ライン3 3 2 0 - 3上のデータがラッチ3 4 0 0 - 3を介してライン3 4 2 0 - 3へ送られる。

30

【0039】

図10は、図3の出力段3 6 0の概略図である。出力段3 6 0は、ノード3 5 6に接続されて出力セレクト3 5 6からデータビットD 0 - D 3を受ける記憶素子1 0 0 2を有する。記憶素子1 0 0 2はまた、ノード1 0 0 8においてN O Rゲート1 0 0 4の第1の入力とN A N Dゲート1 0 0 6の第1の入力に接続されている。N O Rゲート1 0 0 4の第2の入力は、ノード1 0 1 0において記憶素子1 0 1 4に接続されている。N A N Dゲートの第2の入力は、ノード1 0 1 2において記憶素子1 0 1 4に接続されている。N O Rゲート1 0 0 4の出力は、インバータ1 0 1 6を介してpチャンネルトランジスタ1 0 2 0のゲートに接続されている。N A N D 1 0 0 6の出力は、インバータ1 0 1 8を介してnチャンネルトランジスタ1 0 2 2のゲートに接続されている。トランジスタ1 0 2 0のソースは電源に接続され、ドレインはデータパッド1 1 4 - 0に接続されている。トランジスタ1 0 2 2のドレインはアースに接続され、ソースはデータパッド1 1 4に接続されている。信号D L L 0がノード1 0 2 6に与えられるが、このノードはマルチプレクサ1 0 2 4に接続されている。マルチプレクサ1 0 2 4は、信号Q E Dを受けるために入力

40

50

【 0 0 4 0 】

動作について説明すると、記憶素子 1 0 0 2 は、シリアルなデータビット D 0 - D 3 を受けて、それらのビットを NOR ゲート 1 0 0 4 と NAND ゲート 1 0 0 6 の第 1 の入力であるノード 1 0 0 8 へ送る。ある特定の時間、例えば、図 4 に示す時間 T B において、D L L 0 は H I G H に変化する。これにより、マルチプレクサ 1 0 2 4 は信号 Q E D をノード 1 0 1 0 及び 1 0 1 2 に送る。NOR ゲート 1 0 0 4 及び NAND ゲート 1 0 0 6 はノード 1 0 1 0 及び 1 0 1 2 における Q E D 信号とノード 1 0 0 8 における信号との組み合わせに基づきトランジスタ 1 0 2 0 またはトランジスタ 1 0 2 2 の何れかをオンにする。トランジスタ 1 0 2 0 がオンになると、ノード 1 1 4 - 0 が電源 (H I G H) に引き寄せられる。トランジスタ 1 0 2 2 がオンになると、ノード 1 1 4 - 0 がアース (L O W) へ引き寄せられる。ノード 1 1 4 - 0 における H I G H または L O W はデータ D 0 - D 3 の 1 つを表すが、これはライン 3 1 6 から受ける対応の補数データビット D 0 - D 3 の 1 つとは反対である。

10

【 0 0 4 1 】

図 1 1 は、図 1 の出力コントローラ 1 1 7 のブロック図である。出力コントローラ 1 1 7 は、ライン 1 1 1 2 - 1 1 1 5 上の複数のレイテンシー信号 L A T E 2 - L A T E 5 と、ライン 1 1 1 6 上の読み出し信号 R D W と、ライン 1 1 1 8 上の遅延ロックスルークロック信号 C L K D Q を受けるレイテンシー入力回路 1 1 1 0 を備えている。レイテンシー入力回路 1 1 1 0 は、ライン 1 1 2 0 - 1 1 2 3 において複数の出力を有し、複数の信号 Q E D、Q S P 2、Q S P 3、Q S P 1* を与える。出力タイミングイネーブル回路 1 1 3 0 は、ライン 1 1 1 8 及び 1 1 2 3 を介してレイテンシー入力回路 1 1 1 0 に接続され、C L K D Q 及び Q S P 1* 信号を受ける。出力タイミングイネーブル回路 1 1 3 0 は、ライン 1 1 3 2 上に第 1 のイネーブル信号 C L K L を、またライン 1 3 3 4 上に第 2 のイネーブル C L K H を発生する。出力タイミング発生器 1 1 5 0 は、ライン 1 1 3 2 及び 1 1 3 4 を介して出力タイミングイネーブル回路 1 1 3 0 に接続され、信号 C L K L 及び C L K H を受ける。信号 C L K L 及び C L K H により、出力タイミング発生器 1 1 5 0 はライン 1 5 5 2 - 1 1 5 5 上にタイミング信号 D L L 0 - D L L 3 を発生することができる。D L L 0 - D L L 3 信号は、図 3 において説明したように出力セレクト 3 5 0 を制御するために使用される。伝播制御信号発生器 1 1 7 0 は、ライン 1 1 2 1 - 1 1 2 3 を介してレイテンシー入力回路 1 1 1 0 に接続され、またライン 1 1 5 2 - 1 1 5 5 を介して出力タイミング回路 1 1 5 0 に接続されて、Q S P 2、Q S P 3、Q S P 1* 及び D L L 0 - D L L 3 信号を受ける。伝播制御信号発生器 1 1 7 0 は、ライン 1 1 7 2 - 1 1 7 4 上に Q L 0 - Q L 2 信号を発生する。Q L 0 - Q L 2 信号は、図 3 の第 1 及び第 2 のラッチ 3 3 0 0 - 3 及び 3 4 0 0 - 3 を作動するために使用する。

20

30

【 0 0 4 2 】

以下の説明において、「フリップフロップ」は当業者によって広く理解されている常用の回路コンポーネントを指す。以下の説明におけるフリップフロップは、正のエッジでトリガーされるフリップフロップである。しかしながら、本発明の説明を読むと、当業者は、負のエッジでトリガーされるフリップフロップまたは他のタイプの同様なコンポーネントにより同じ結果が得られる。さらに、以下の説明において、「ラッチ」または「パススルーラッチ」は普通の回路コンポーネントの意味である。ラッチは入力から出力へデータ又は信号を通過させるために使用する。以下の説明で言及するラッチは、図 9 のラッチ 3 3 0 0 - 0 と同じものでよい。

40

【 0 0 4 3 】

図 1 2 は、図 1 1 のレイテンシー入力回路 1 1 1 0 の概略図である。レイテンシー入力回路 1 1 1 0 は、パススルーラッチ (L A T) 1 2 1 0 と、複数のフリップフロップ (F F) 1 2 1 2 - 1 2 1 4 とを有する。ラッチ 1 2 1 0 及びフリップフロップ 1 2 1 2 - 1 2 1 4 は、ライン 1 1 1 8 上において C L K D Q を受ける。ラッチ 1 2 1 0 及び F F 1 2 1 2 は、ライン 1 1 1 6 上において信号 R D W を受ける。複数のマルチプレクサ 1 2 1 6 - 1 2 1 9 は、ライン 1 2 1 2 - 1 1 1 5 上で L A T E 2 - L A T E 5 を受けて R D W 信

50

号をノード1230へ通過させる。フリップフロップ1232は、入力インバータ1235を介してノード1230に接続されている。フリップフロップ1232の出力は、ノード1123においてラッチ1234の入力に接続されて、信号QSP1*を与える。ラッチ1234の出力は、ノード1122においてラッチ1236の入力に接続され、信号QSP2を与える。ノード1122はまた、直列接続のインバータ1242、1244を介してQED信号を与える。ラッチ1236の出力は、インバータ1240を介してノード1121に接続され、信号QSP3を与える。フリップフロップ1232、1234及び1236のクロック入力もCLKDQを受ける。

【0044】

RDWは、入力信号CS*、RAS*及びWE*の組み合わせが有効である時メモリコントロール116により発生される信号である。LATE2 - LATE5信号も、メモリデバイス100にプログラムされたレイテンシーに基づき制御回路116により発生される。CLKDQ信号は、メモリデバイス100の遅延ロックループにより与えられる。遅延ロックループは、普通の回路であって、当該技術分野で広く知られた遅延ロックループのうちの1つでよい。図示しない。

【0045】

図12において、信号QSP1*、QSP2及びQSP3は、信号RDWがラッチ1210またはフリップフロップ1212 - 1214のうちの1つを伝播することにより発生される。レイテンシーの設定が2であれば、RDWはラッチ1216を通過してノード1230へ至る。レイテンシーの設定が3、4または5であれば、RDW信号はフリップフロップ1212 - 1214のうちの1つ、2つまたは3つへ送られる。信号LATE2 - LATE5は、マルチプレクサ1216 - 1219を介してノード1230へ送られるREW信号への通過を制御する。

【0046】

図12のレイテンシー入力回路1110の動作を、図16のタイミング図を参照して説明する。本発明を説明する目的で、メモリデバイス100はレイテンシーが4にプログラムまたは設定されているため、信号LATE4だけが作動されると仮定する。この場合、データパッド114 - 0では読み出し命令が有効になった4クロックサイクル後に第1のデータビットが生じる。図16において、CLKDQ及びCLK信号は読み出し動作を予想してA及びBにおいてHIGHに変化する。時間T0では、読み出し命令READはCにおいてHIGHに変化し、新しい読み出し動作の開始を示す。Dにおいて、信号RDWはHIGHに切換わる。図12において、信号RDWがフリップフロップ1212及び1213を伝播すると、LATE4信号はマルチプレクサ1218を作動して信号RDWを図12のノード1230へ送る。RDW信号がHIGHであるため、ノード1230のこの信号もHIGHである。図16において、ノード1230はEにおいてHIGHに切換わる。ノード1230がHIGHになると、インバータ1235の出力は強制的にLOWにされる。インバータ1235の出力の信号はまた、フリップフロップ1232の入力信号である。CLKDQはHIGHであるから、フリップフロップ1232はノード1123上のその出力の信号をLOWにするが、これはQSP1*信号を表す。図16において、QSP1*はFにおいてLOWに切換わる。その後、ノード1123の信号はラッチ1234を介してノード1122へ、さらにラッチ1236を介してノード1121へ伝播する。ノード1122における信号を信号QSP2として表し、ノード1121における信号をQSP3として表す。図16において、ノード1123における信号QSP1*がLOWになると、信号QSP2がGにおいてHIGHに切換わり、信号QSP3がHにおいてHIGHに切換わる。さらに、ノード1120における信号QEDはインバータ1242及び1244により信号QSP2に追従する。信号QSP1*、QSP2及びQSP3は他の回路の入力信号として使用する。信号QEDは、図10に示すようにデータ出力するためのストローブ信号として使用する。

【0047】

図13は、図11の出力タイミングイネーブル回路1130を示す概略図である。出力

10

20

30

40

50

タイミングイネーブル回路 1130 は、ライン 1123 に接続され、信号 QSP1* を受けてノード 1317 にラッチリセット信号 LRS T を発生するパルス回路 (PULSE) 1315 を有する。フリップフロップ 1320 は、リセット RS 入力、クロック CLK 入力、データ入力 D 及び相補出力 Q 及び Q* を有する。RS 入力は、LRS T 信号を受けるためにノード 1317 に接続されている。CLK 入力はノード 1312 により遅延回路 1314 に接続され、遅延された CLK DQ 信号を受ける。入力 D 及び出力 Q* は互いに接続されている。出力 Q は、インバータ 1316 及び 1318 を介してライン 1132 上に信号 CLK L を与える。直列接続のラッチ 1322 及び 1324 は、ライン 1312 上の遅延された CLK DQ 信号を受けて、ライン 1134 上に信号 CLK H を与える。ノード 1134 は、インバータ 1332 よりなるフィードバックループを介して入力 D に接続されている。トランジスタ 1328 のゲートは遅延された LRS T 信号を受けるために遅延回路 1330 に接続されている。トランジスタ 1326 のソースはアースに接続され、ドレインはラッチ 1324 のリセット RS 端子に接続されている。LRS T 信号が作動 (HIGH) されると、トランジスタ 1328 はオンになり、ラッチ 1324 をリセットする。ラッチ 1324 がリセットされると、ノード 1134 の信号 CLK H が LOW になる。LRS T 信号はまた、ラッチ 1320 を同じようにリセットする。LRS T 信号が作動されて HIGH になると、ノード 1132 上の信号 CLK L が強制的に LOW にされる。

【0048】

図 13 において、CLK H 及び CLK L 信号は信号 CLK DQ 信号に基づき発生される。イネーブル信号 CLK L 及び CLK H は、信号 DLL 0 - DLL 3 を作動するために使用され、これらの信号により読み出し動作時にデータをデータパッド 1140 - N へ転送することができる。データが各読み出し動作時に適正に転送されるようにするため、LRS T 信号は新しい読み出しコマンドを受ける度に作動される。LRS T は、信号 CLK H 及び CLK L をリセットしてデータが適正に転送されるようにする。

【0049】

再び図 16 を参照して、QSP1* が F において LOW に切換わると、RDW が D において HIGH になる新しい読み出し動作の結果、パルス回路が I においてパルス LRS T を発生する。信号 LRS T が作動されると、J 及び K に示すように CLK H 及び CLK L 信号が LOW にリセットされる。J 及び K において LOW にリセットされた後、CLK H 予及び CLK L 信号は別のリセットがなされるまで CLK DQ 信号だけの影響を受ける。例えば、CLK H は L、M 及び N においてその通常の変化に戻り、CLK L 信号は O、P 及び Q においてその通常の変化に戻る。図 16 に示すように、CLK H 及び CLK L は異なる相を有する。換言すれば、CLK H 及び CLK L は同期状態にない。CLK H 及び CLK L 信号は、図 14 の出力タイミング発生器 1150 をイネーブルするために使用する。

【0050】

図 14 は、図 11 の出力タイミング発生器 1150 の概略図である。出力タイミング発生器 1150 は、第 1 及び第 2 のタイミング回路 1410、1420 を有する。両方の回路 1410 及び 1420 は同一構成であり、ライン 1118 において同じ CLK DQ 信号を受ける。回路 1410 は、インバータ 1411 を介して CLK DQ の反転信号を受けるパルス発生器 1416 を有する。パルス発生器 1416 は、ノード 1413 において出力信号を発生する。ノード 1413 の信号は、ライン 1153 または 1155 へ送られて信号 DLL 1 または DLL 3 となる。ノード 1413 からライン 1153 または 1155 への信号の通過は、マルチプレクサ 1415 または 1418 により制御される。マルチプレクサ 1415 及び 1418 は、ノード 1232 における CLK L により制御される。

【0051】

回路 1420 は、ノード 1429 においてその入力にインバータ 1411 を介して CLK DQ を受けるパルス発生器 1426 を有する。パルス発生器 1426 はノード 1423 に出力信号を発生する。ノード 1423 の信号は、ライン 1152 または 1154 へ送られて信号 DLL 0 または DLL 2 になる。ノード 1423 からライン 1154 または 11

10

20

30

40

50

5 2 への信号の通過は、マルチプレクサ 1 4 2 5 または 1 4 2 8 により制御される。マルチプレクサ 1 4 2 5 及び 1 4 2 8 は、ノード 1 1 3 4 における信号 C L K H により制御される。

【 0 0 5 2 】

一般的に、パルス発生器 1 4 1 6 及び 1 4 2 6 は、C L K D Q 信号を受けてノード 1 4 1 3 及び 1 4 2 3 上に出力信号を発生する。ノード 1 4 1 3 上の信号は、マルチプレクサ 1 4 1 5 または 1 4 1 8 を通過して信号 D L L 1 または D L L 3 となる。従って、C L K L 信号が何れの相にあるかにより、D L L 1 または D L L 3 が発生する。換言すれば、D L L 1 及び D L L 3 は C L K L 信号の互い違いの相で作動される。同様に、ノード 1 4 2 3 上の信号は、マルチプレクサ 1 4 2 5 または 1 4 2 8 を通過して信号 D L L 0 または D L L 2 となる。従って、C L K H 信号が何れの相にあるかにより、D L L 0 または D L L 2 の何れかが発生する。換言すれば、D L L 0 及び D L L 2 は C L K H 信号の互い違いの相で作動される。C L K H 及び C L K L 信号は同じ相を有さない。このため、それらは、正しい順序のデータビット D 0 - D 3 がデータパッド 1 1 4 - 0 へ出力されるように、D L L 0 - D L L 3 を正しく作動することができる。

【 0 0 5 3 】

図 1 7 は、図 1 4 の動作を示すタイミング図である。図 1 7 において、ノード 1 4 2 3 及び 1 4 1 3 の信号は、図 1 4 のノード 1 4 2 3 及び 1 4 1 3 におけるパルス発生器 1 4 1 6 及び 1 4 2 6 の出力信号を表す。信号 C L K、R E A D、L R S T、C K L H 及び C K L K は図 1 6 の信号と同じである。C L K H 信号は、J において L O W になると、マルチプレクサ 1 4 2 8 を作動して、ノード 1 4 2 3 の信号がインバータ 1 4 2 9 を通過できるようにする。この時ノード 1 4 2 3 の信号は L O W であるため、インバータ 1 4 2 9 の出力信号、即ち D L L 0 信号は H I G H である。図 1 7 において、D L L 0 は S 0 において H I G H に作動される。信号 C L K H が L において H I G H になると、マルチプレクサ 1 4 2 5 が作動されて、ノード 1 4 2 3 の信号がインバータ 1 4 2 7 を通過できるようにする。ノード 1 4 1 3 の信号はこの時 L O W であるため、インバータ 1 4 2 7 の出力信号、即ち D L L 2 信号は H I G H である。図 1 7 において、D L L 2 は S 2 において H I G H に作動される。要約すると、C L K H が変化するとタイミング信号 D L L 0 を作動し、C L K H が別の变化をするとタイミング信号 D L L 2 を作動する。例えば、図 1 7 において、タイミング信号 D L L 0 及び D L L 2 は、イネーブル信号 C L K H の異なる相の時に作動される。D L L 0 は信号 C L K H が 1 つの相 (C L K H が L O W) の時に作動され、D L L 2 は信号 C L K H が別の相 (信号 C L K H が H I G H) の時に作動される。換言すれば、タイミング D L L 0 及び D L L 2 は、イネーブル信号 C L K H の下降エッジ及び上昇エッジの後に作動される。

【 0 0 5 4 】

同様に、C L K L 信号が K において L O W になると、マルチプレクサ 1 4 1 8 を作動して、ノード 1 4 1 3 の信号がインバータ 1 4 1 9 へ通過できるようにする。ノード 1 4 1 3 の信号はこの時 L O W であるため、インバータ 1 4 1 9 の出力信号、即ち、D L L 1 信号は H I G H である。図 1 7 において、D L L 1 は S 1 において H I G H に作動される。信号 C L K L が O において H I G H になると、マルチプレクサ 1 4 1 5 を作動して、ノード 1 4 1 3 の信号がインバータ 1 4 1 7 へ通過できるようにする。ノード 1 4 1 3 の信号はこの時 L O W であるため、インバータ 1 4 1 7 の出力信号、即ち D L L 3 信号は H I G H である。図 1 7 において、D L L 3 は S 3 において H I G H に作動される。要約すると、C L K L が変化すると、タイミング信号 D L L 1 が作動され、信号 C L K L が別の变化をすると、タイミング信号 D L L 3 が作動される。タイミング信号 D L L 1 及び D L L 3 は、イネーブル信号 C L K L の異なる相の時に作動される。例えば、図 1 7 において、D L L 1 は信号 C L K L の 1 つの相 (信号 C L K L が H I G H) の時に作動され、D L L 3 は信号 C L K L が別の相 (信号 C L K L が L O W) の時に作動される。換言すれば、信号 D L L 1 及び D L L 3 は、イネーブル信号 C L K L の下降エッジ及び上昇エッジの後に作動される。

10

20

30

40

50

【 0 0 5 5 】

図 1 7 において、OUTPUT DATA はデータパッド 1 1 4 - 0 において出力されるデータビットを示す。レイテンシーが 4 では、第 1 のデータビットは時間 T 4 で現れる。本発明を説明する目的で、データパッド 1 1 4 - 0 におけるデータ出力は D 0、D 1、D 2、D 3 の転送順序に従うと仮定する。従って、D 0 及び D 2 は偶数データビットと呼び、D 1 及び D 3 は奇数データビットと呼ぶ。一般的に、データパッド 1 1 4 - 0 において出力される一連の 4 つのデータビットでは、偶数データビットは第 1 及び第 3 のビットである。奇数データビットは第 2 及び第 4 のデータビットである。この場合、偶数データビット D 0 及び D 2 は、タイミング信号 D L L 0 及び D L L 2 がイネーブル信号 C L K H の異なる相において作動または H I G H に変化すると出力される。換言すれば、ビット D 0 及び D 2 は、イネーブル信号 C L K H の 互い違い の相で出力される。同様に、D 1 及び D 3 は、タイミング信号 D L L 1 及び D L L 3 がイネーブル信号 C L K L の異なる相で作動されて H I G H になった後出力される。換言すれば、D 3 はイネーブル信号 C L K L の 互い違い の相で出力される。

10

【 0 0 5 6 】

図 1 5 は、図 1 1 の伝播制御信号発生器 1 1 7 0 の概略図である。伝播制御信号発生器 1 1 7 0 は、ノード 1 1 5 5 及び 1 1 2 2 上で D L L 3 及び Q S P 2 信号を受ける NOR ゲート 1 5 0 2 を有する。NAND ゲート 1 5 0 2 の出力はインバータ 1 5 0 4 に接続され、このインバータの出力はノード 1 1 7 2 に接続されて Q L 0 信号を与える。同様な構成において、NAND ゲート 1 5 1 2 は、ノード 1 1 5 3 及び 1 1 2 1 において D L L 1 及び Q S P 3 信号を受ける。NAND ゲート 1 5 1 2 の出力はインバータ 1 5 1 4 に接続され、このインバータの出力はノード 1 1 7 3 に接続されて Q L 1 信号を与える。伝播制御信号発生器 1 1 7 0 はまた、上述した他の回路により発生される L A T E 2、L A T E 3、Q E D、Q S P 1*、D L L 0 及び D L L 3 のような他の信号も受ける。L A T E 2 及び L A T E 3 信号は NOR ゲート 1 5 3 2 において結合される。D L L 0 及び D L L 2 信号は NOR ゲート 1 5 3 4 により結合される。NOR ゲート 1 5 3 4 の出力は、NOR ゲート 1 5 3 6 において信号 Q E D 及び Q S P 1* と結合される。NOR ゲート 1 5 3 2 の出力信号は、マルチプレクサ 1 5 4 4 及びトランジスタ 1 5 4 6 のゲートを制御する。トランジスタ 1 5 4 6 は、作動されると、ノード 1 1 7 4 を電源電圧に引き寄せる。マルチプレクサ 1 5 4 4 は、作動されると、NOR ゲート 1 5 3 6 の出力信号をノード 1 1 7 4 へ通過させる。ノード 1 1 7 4 の信号は Q L 2 信号を表す。

20

30

【 0 0 5 7 】

図 1 5 において、Q L 0 は、D L L 3 信号及び Q S P 2 信号が共に H I G H になると H I G H に作動される。同様に、Q L 1 信号は、D L L 1 信号及び Q S P 3 信号が共に H I G H になった時に限り H I G H に作動される。上述したように、Q L 2 信号は、レイテンシーの設定が 2 または 3 であれば常に H I G H に作動されている。図 1 5 において、ノード 1 1 1 2 または 1 1 1 3 の L A T E 2 または L A T E 3 信号が H I G H であり、レイテンシーの設定が 2 または 3 の何れかであることを示す場合、ノード 1 5 4 0 における NOR ゲート 1 5 3 2 の出力は強制的に L O W となる。これによりトランジスタ 1 5 4 6 がオンになり、ノード 1 1 7 4 を電源電圧 (H I G H) に接続する。かくして、ノード 1 1 7 4 の信号 Q L 2 は、L A T E 2 または L A T E 3 の何れかが H I G H であれば常に H I G H である。L A T E 2 及び L A T E 3 が共に L O W であり、レイテンシーの設定が 4 または 5 の何れかがあることを示す場合、ノード 1 5 4 0 における NOR ゲート 1 5 3 2 の出力は強制的に H I G H になる。これにより、トランジスタ 1 5 4 6 はオフになる。かくして、ノード 1 1 7 4 の信号 Q L 2 は、信号 Q E D、Q S P 1*、D L L 0 及び D L L 2 に依存する。

40

【 0 0 5 8 】

図 1 7 は、図 1 5 の動作のタイミングを示す。図 1 7 において、信号 Q L 0 - Q L 2 は図 1 5 に示すように他の信号と関連で適当な時に作動または H I G H に変化する。信号 Q L 2 の変化は信号 Q L 0 の変化の間に起こる。信号 Q L 2 の変化も信号 Q L 1 の変化の間

50

に起こる。図 6 及び 7 を参照して説明したように、Q L 2 信号の変化のタイミングにより、信号 Q L 0 及び Q L 1 を適正に作動することができる。これにより、読み出し動作時におけるデータの正確な処理が可能となる。

【 0 0 5 9 】

図 1 8 は、本発明によるシステムを示す。この図において、システム 1 8 0 0 は、プロセッサ 1 8 0 2 がメモリデバイス 1 0 0 に接続されたものである。本発明のメモリデバイス 1 0 0 については、図 1 を参照して上述した。本発明によると、プロセッサ 1 8 0 2 は、制御ライン (C O N T R O L) を介してメモリデバイス 1 0 0 に制御信号を与える。プロセッサとメモリとの間のデータ通信はデータラインまたはデータバス (D A T A) を介して行われ、アドレスはアドレスラインまたはアドレスバス (A D D R E S S) を介してメモリへ与えられる。1 つの実施例において、プロセッサ 1 8 0 2 及びメモリデバイス 1 0 0 は単一のチップ上に作製される。

10

【 結 論 】

【 0 0 6 0 】

特定の実施例につき図示説明したが、当業者は、同一目的を達成するように構成された任意の構成を図示説明した特定の構成に置き換え可能なことがわかる。本願は、本発明の任意の変形例及び設計変更を包含するように意図されている。従って、本発明は、頭書の特許請求の範囲及びその均等物によってのみ限定されると意図されている。

【 図面の簡単な説明 】

【 0 0 6 1 】

20

【 図 1 】 本発明の一実施例によるメモリデバイスのブロック図である。

【 図 2 】 レイテンシーを種々の値に設定した場合のメモリ動作時における図 1 のデバイスのタイミング図を示す。

【 図 3 】 図 1 の出力回路のブロック図である。

【 図 4 】 レイテンシーを種々の値に設定した場合の図 3 の出力回路の動作を示すタイミング図である。

【 図 5 】 レイテンシーを種々の値に設定した場合の図 3 の出力回路の動作を示すタイミング図である。

【 図 6 】 レイテンシーを種々の値に設定した場合の図 3 の出力回路の動作を示すタイミング図である。

30

【 図 7 】 レイテンシーを種々の値に設定した場合の図 3 の出力回路の動作を示すタイミング図である。

【 図 8 A 】 図 3 の入力セレクト回路の概略図である。

【 図 8 B 】 図 3 の入力セレクト回路の概略図である。

【 図 8 C 】 図 3 の入力セレクト回路の概略図である。

【 図 8 D 】 図 3 の入力セレクト回路の概略図である。

【 図 9 】 図 3 の出力回路のラッチを示す概略図である。

【 図 1 0 】 図 3 の出力段の概略図である。

【 図 1 1 】 図 1 の出力コントローラのブロック図である。

【 図 1 2 】 図 1 1 のレイテンシー入力回路の概略図である。

40

【 図 1 3 】 図 1 1 の出力タイミングイネーブル回路の概略図である。

【 図 1 4 】 図 1 1 の出力タイミング発生器の概略図である。

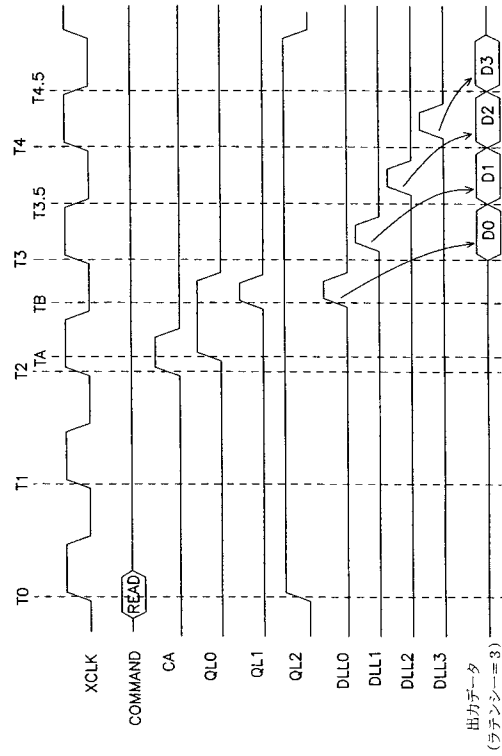
【 図 1 5 】 図 1 1 の伝播制御信号発生器の概略図である。

【 図 1 6 】 図 1 2 - 1 3 の回路の動作を示すタイミング図である。

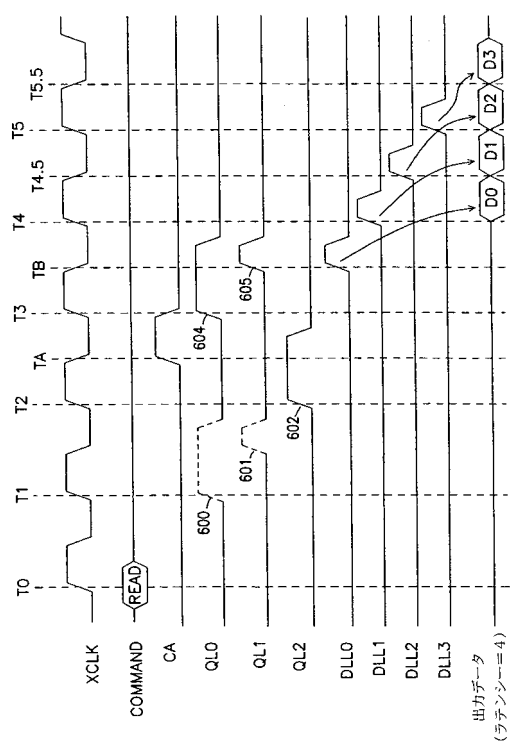
【 図 1 7 】 図 1 4 - 1 5 の回路の動作を示すタイミング図である。

【 図 1 8 】 本発明の一実施例によるシステムのブロック図である。

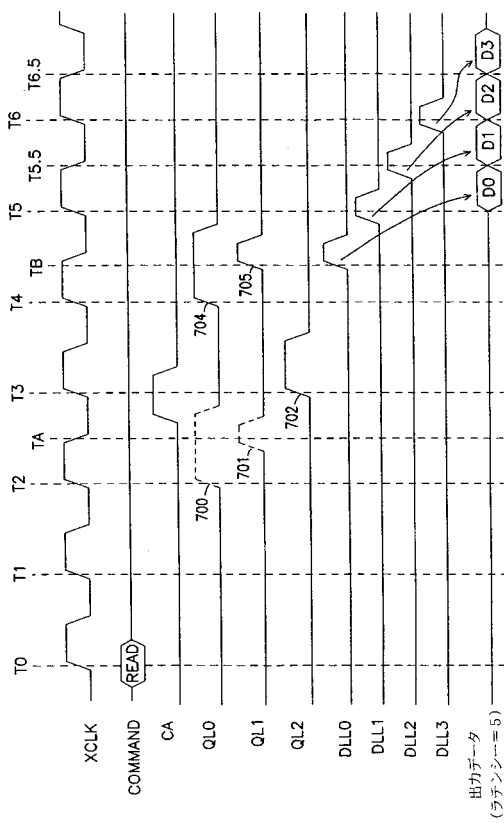
【図 5】



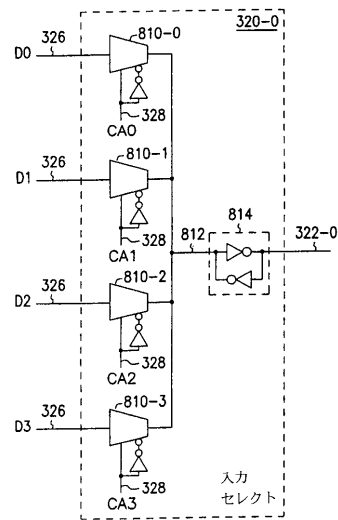
【図 6】



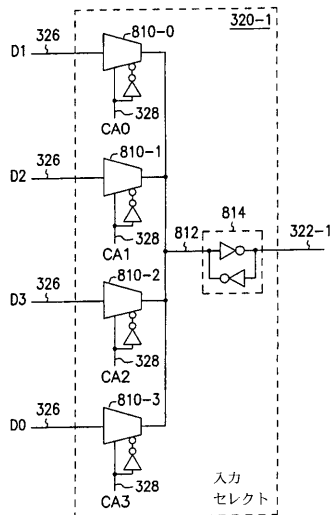
【図 7】



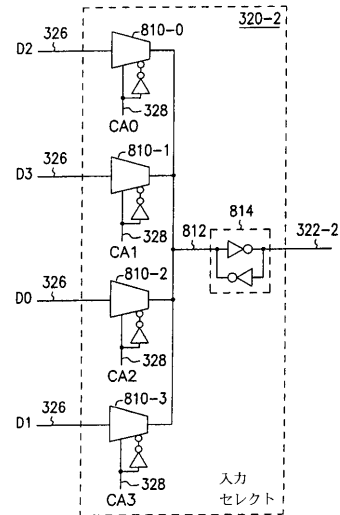
【図 8 A】



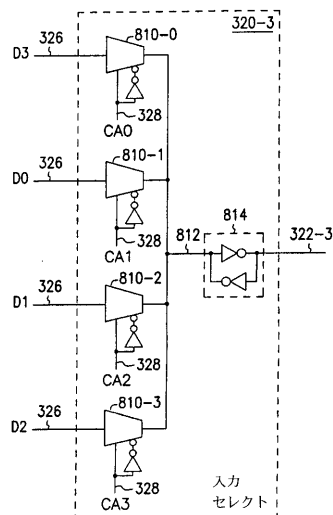
【図 8 B】



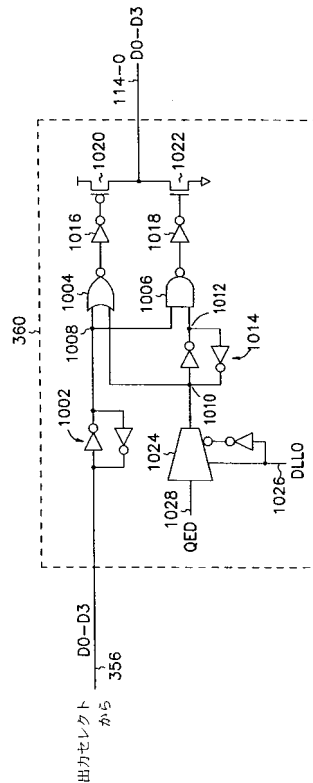
【図 8 C】



【図 8 D】



【図 10】



【図 9】

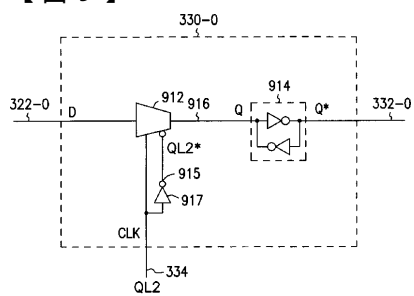
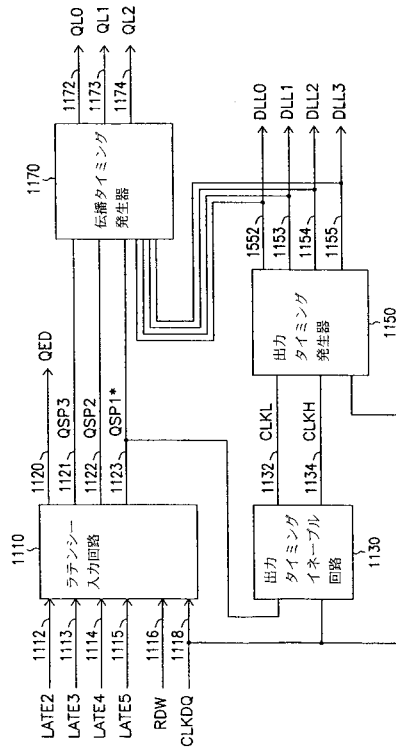
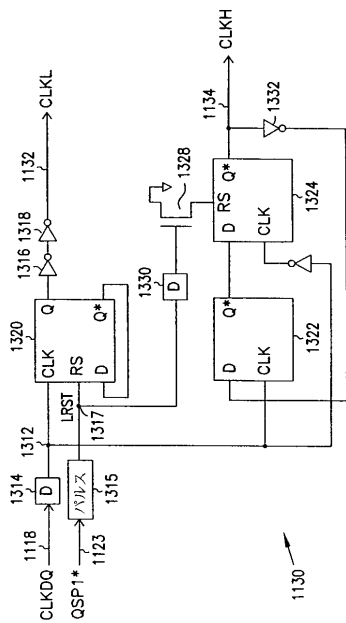


FIG. 9

【図 1 1】



【図 1 3】



【図 1 2】

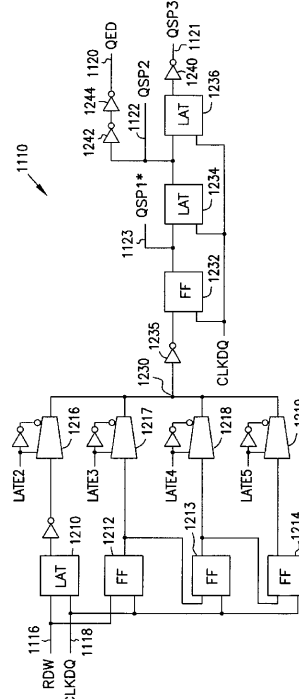


FIG. 12

【図 1 4】

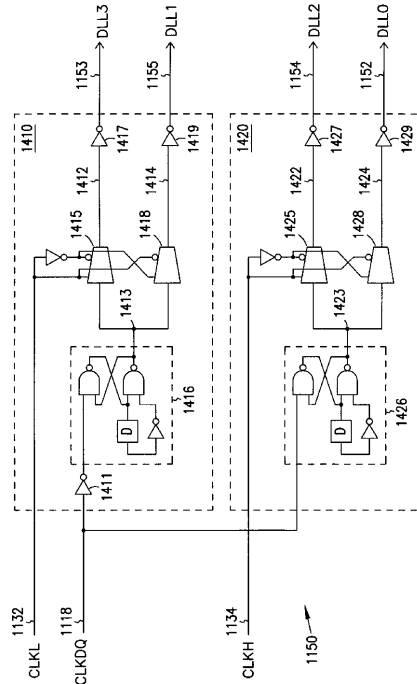


FIG. 14

【図 15】

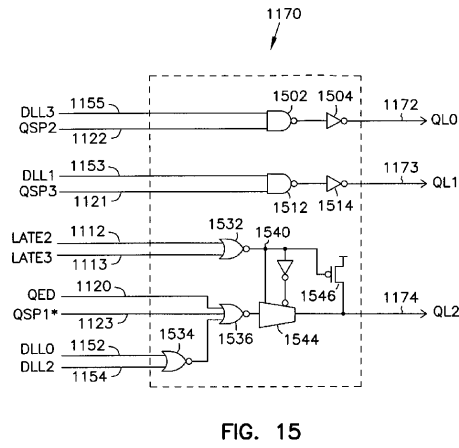


FIG. 15

【図 16】

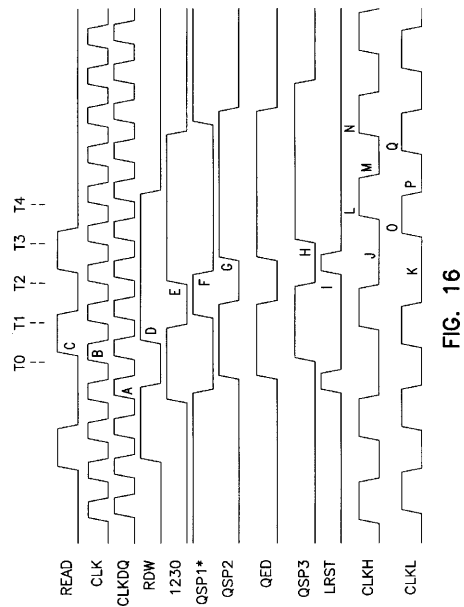
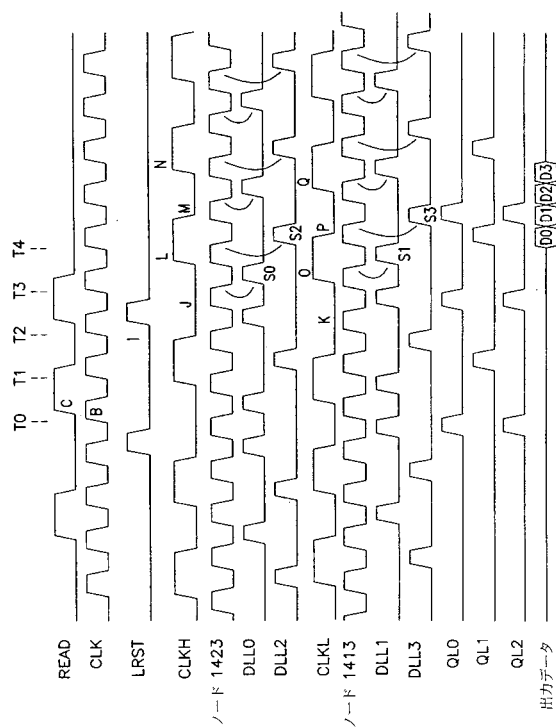
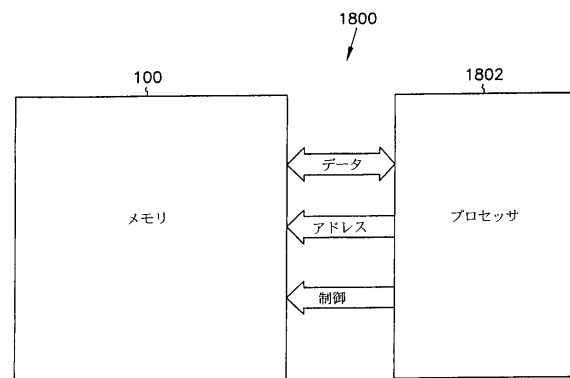


FIG. 16

【図 17】



【図 18】



フロントページの続き

(72)発明者 リー, ウェン

アメリカ合衆国 アイダホ州 83706 ボイズ グロセスター・ストリート 2427 イー

審査官 須原 宏光

(56)参考文献 特開2000-076853(JP, A)

特開平11-176158(JP, A)

特開2001-035168(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/40-11/409