



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 698 23 201 T2** 2005.04.21

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 0 995 333 B1**

(21) Deutsches Aktenzeichen: **698 23 201.1**

(86) PCT-Aktenzeichen: **PCT/US98/13362**

(96) Europäisches Aktenzeichen: **98 931 657.5**

(87) PCT-Veröffentlichungs-Nr.: **WO 99/001007**

(86) PCT-Anmeldetag: **25.06.1998**

(87) Veröffentlichungstag  
der PCT-Anmeldung: **07.01.1999**

(97) Erstveröffentlichung durch das EPA: **26.04.2000**

(97) Veröffentlichungstag  
der Patenterteilung beim EPA: **14.04.2004**

(47) Veröffentlichungstag im Patentblatt: **21.04.2005**

(51) Int Cl.7: **H04Q 11/00**  
**H04L 12/44**

(30) Unionspriorität:  
**884971 30.06.1997 US**

(73) Patentinhaber:  
**Sun Microsystems, Inc., Palo Alto, Calif., US**

(74) Vertreter:  
**Fuchs, Mehler, Weiß & Fritzsche, 65201  
Wiesbaden**

(84) Benannte Vertragsstaaten:  
**DE, FR, GB, IT, NL, SE**

(72) Erfinder:  
**MULLER, Shimon, Sunnyvale, US; BERG, Curt,  
Los Altos, US**

(54) Bezeichnung: **SCHNITTSTELLE FÜR EIN HOCHINTEGRIERTES ETHERNET NETZWERK**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung**

## ALLGEMEINER STAND DER TECHNIK

## 1. GEBIET DER ERFINDUNG

**[0001]** Die vorliegende Erfindung betrifft eine verbesserte Datenkommunikationsschnittstelle. Genauer betreffen das System und das Verfahren der vorliegenden Erfindung eine verbesserte medienunabhängige Schnittstelle zur Verbindung zwischen den Komponenten der physikalischen Schicht und den Medienzugriffssteuerungen.

## 3. STAND DER TECHNIK

**[0002]** Der Arbeitsstandard 802.3u (1995) des Institute of Electrical and Electronic Engineers (IEEE) definiert eine medienunabhängige Schnittstelle (MII) zur interoperablen Verbindung zwischen den Komponenten der physikalischen Schicht (PHYs) und den Medienzugriffssteuerungen (MACs) in Netzwerkvorrichtungen, die mit IEEE 802.3 kompatibel sind. Die MII sorgt für insgesamt achtzehn Verbindungssignale und ein großzügiges Zeitgabebudget, das eine verhältnismäßig unkomplizierte Ausführung der MII in zahlreichen Vorrichtungen gestattet. Im Kontext des Ausführens eines hochintegrierten Ethernet-Netzwerkelements (z. B. eines Schalters oder eines Zwischenverstärkers) ist eine der Hauptangelegenheiten, mit der sich die Ausführenden befassen müssen, die Fähigkeit, im Netzwerkelement die gewünschte Anschlußdichte zu erreichen. Häufig wird dieser Gesichtspunkt der Gestaltung durch die benötigte Kontaktstiftanzahl der integrierten Schaltung (IC) beschränkt.

**[0003]** Aufgrund von bedeutenden Fortschritten in der Siliziumtechnologie in den letzten Jahren werden die durch den IEEE-Standard 802.3u bereitgestellten großzügigen Zeitgabebudgets nicht länger benötigt, um eine kostenwirksame Netzwerkvorrichtungsausführung zu erreichen. Beispielsweise offenbart das Dokument WO 97/04547 einen Mechanismus zum Ausführen mehrerer Medienschnittstellen (MMI) zwischen einer Medienzugriffssteuerungsschicht (MAC) und einer physikalischen Schicht (PHY). Datenpfadssignale für jede MMI werden über die gleichen Kontaktstifte geteilt, und zwar teilen sich drei MMI-Anschlüsse mehrere Kontaktstifte, insbesondere an der Ausgangsseite. Alle drei MMI-Anschlüsse teilen sich den Bus für die Empfangsdaten RXD, den Empfangstakt RXCLK, das Empfangsfehlersignal RXER und das Kollisionssignal COL. Jeder MMI-Anschluß weist einzelne CRS- und RXDV-Signale auf, die das Sperren eines jeden der anderen beiden MMI-Anschlüsse befehlen, wenn ein jeweiliger MMI-Anschluß entweder sendet oder empfängt. Demgemäß werden die verschiedenen MMI-Anschlüsse die jeweiligen Signale senden oder empfangen, wenn nur

einer der drei MMI-Anschlüsse aktiv ist.

**[0004]** Daher ist es wünschenswert, die MMI-Definition zu optimieren, um die Kontaktstiftanzahl pro Verbindung zu verringern, während nach wie vor eine Tätigkeit in einem wirtschaftlichen Zeitgabebudget erfolgt. Dies ist in einem hochintegrierten Ethernet-Netzwerkelement, das eine Vielzahl von Anschlüssen beinhaltet, besonders nützlich.

## KURZDARSTELLUNG DER ERFINDUNG

**[0005]** Die Erfindung besteht aus einer Schnittstelle für die Kommunikation von medienunabhängigen Schnittstellensignalen, umfassend eine Schnittstelle der Medienzugriffssteuerung (MAC), um während eines Multiplexmodus eines aus einem ersten Abschnitt von Sendedatenpfadsignalen (TXD0, TXD1, TXD2) und einem zweiten Abschnitt der Sendedatenpfadssignale (TXD3, TXEN, TXER) gemäß einer Phase eines Taktzyklus (MII\_TXCLK) über einen oder mehrere erste MAC-Ausgangsanschlüsse zu senden, und um während eines Standardmodus die ersten Sendedatenpfadssignale (TXD0, TXD1, TXD2) über einen oder mehrere zweite MAC-Ausgangsanschlüsse zu senden; und eine Schnittstelle der physikalischen Schicht (PHY), die einen oder mehrere erste PHY-Eingangsanschlüsse beinhaltet, um im Multiplexmodus eines aus den ersten und zweiten Sendedatenpfadssignalen (TXD0, TXD1, TXD2) gemäß der Taktzyklusphase zu empfangen, und um im Standardmodus die zweiten Sendedatenpfadssignale (TXD3, TXEN, TXER) von der MAC-Schnittstelle zu empfangen, und einen oder mehrere zweite PHY-Eingangsanschlüsse beinhaltet, um im Standardmodus die ersten Sendedatenpfadssignale (TXD0, TXD1, TXD2) von der MAC-Schnittstelle zu empfangen, und ein PHY-Speicherregister, um im Standardmodus die ersten und zweiten Sendedatenpfadssignale (TXD0, TXD1, TXD2; TXD3, TXEN, TXER), die über einen der ersten und zweiten PHY-Eingangsanschlüsse empfangen wurden, zu speichern, wobei das PHY-Speicherregister die ersten und zweiten Sendedatenpfadssignale (TXD0, TXD1, TXD2; TXD3, TXEN, TXER) während einer zweiten Phase des Taktsignals speichert, wenn Betriebsbereitschaft im Multiplexmodus besteht.

**[0006]** Die vorliegende Erfindung stellt durch Ausführen der MII-Schnittstelle mit einer geringeren Kontaktstiftanzahl, während das Zeitgabebudget verringert wird, eine medienunabhängige Schnittstelle (MII) an einem hochintegrierten Netzwerkbestandteil bereit. In einer anderen Ausführungsform ist die vorliegende Erfindung dazu tätig, die MMI-kompatiblen Vorrichtungen zu verbinden, während die Kontaktstiftanzahl und das Zeitgabebudget verringert werden.

**[0007]** In einer Ausführungsform werden bestimmte

Signale, die einen bedeutenden Zugriff erfordern oder zeitkritisch sind, einzeln gesendet, wie dies gemäß dem IEEE-Standard 802.3 erfolgte, während andere Signale, die nicht so zeitkritisch sind, unter Verwendung der verschiedenen Abschnitte des Taktsignals, um unterschiedliche Signale zu senden, multiplexiert werden. Im Besonderen werden die Datenpfadsignale in zwei Gruppen eingeordnet, die Empfangsgruppe und die Sendegruppe. Innerhalb jeder Gruppe wird ein Taktphasenmultiplexieren durchgeführt, wobei die Hälfte der Signale während einer ersten Phase, z. B. der hohen Phase des Takts, getrieben wird, und die andere Hälfte während einer zweiten Phase, z. B. der niedrigen Phase des Takts, getrieben wird. An der Sendeseite der Verbindung wird das Signalmultiplexieren durchgeführt, während an der Empfangsseite der Verbindung ein Demultiplexieren durchgeführt wird. Somit wird in einem integrierten Ethernet-Netzwerkelement wie etwa Schaltern und Zwischenverstärkern eine höchst leistungsfähige und kostenwirksame Anschlußdichte erreicht.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0008]** Die Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung werden einem Fachmann angesichts der vorhergehenden Beschreibung offensichtlich werden, wobei

**[0009]** Fig. 1 eine Netzwerkvorrichtung veranschaulicht.

**[0010]** Fig. 2 veranschaulicht eine in der Netzwerkvorrichtung von Fig. 1 ausgeführte Netzwerkkomponente.

**[0011]** Fig. 3a veranschaulicht die Sendemultiplexierschaltungsanordnung nach den Lehren der vorliegenden Erfindung.

**[0012]** Fig. 3b ist ein Zeitgabediagramm, das die relative Zeitgabe der Schaltung von Fig. 3a veranschaulicht.

**[0013]** Fig. 4a veranschaulicht die Empfangsmultiplexierschaltungsanordnung nach den Lehren der vorliegenden Erfindung.

**[0014]** Fig. 4b ist ein Zeitgabediagramm, das die relative Zeitgabe der Schaltung von Fig. 4a veranschaulicht.

**[0015]** Fig. 5a ist ein Diagramm, das das Zeitgabebudget veranschaulicht.

**[0016]** Fig. 5b ist eine Tabelle des Zeitgabebudgets.

#### AUSFÜHRLICHE BESCHREIBUNG

**[0017]** In der folgenden Beschreibung werden zu

Erklärungszwecken zahlreiche Einzelheiten bekannt gemacht, um ein gründliches Verständnis der vorliegenden Erfindung bereitzustellen. Es wird für einen Fachmann jedoch offensichtlich sein, daß diese bestimmten Einzelheiten nicht benötigt werden, um die vorliegende Erfindung auszuführen. In anderen Fällen sind wohlbekanntelektrische Aufbauten und Schaltungen in Form von Blockdiagrammen gezeigt, um die vorliegende Erfindung nicht unnötig unverständlich zu machen.

**[0018]** Die Schnittstelle der vorliegenden Erfindung wird im Kontext eines Netzwerkschalters beschrieben. Es ist jedoch ohne weiteres offensichtlich, daß die vorliegende Erfindung auf andere Netzwerkelemente anwendbar ist. Ein beispielhaftes Netzwerkelement ist in Fig. 1 gezeigt.

**[0019]** Das Netzwerkelement wird verwendet, um eine Anzahl von Knoten und Endstationen in einer Vielfalt von unterschiedlichen Weisen zu verbinden. Zum Beispiel wäre eine Anwendung des mehrschichtig verteilten Netzwerkelements (MLDNE), Pakete nach vordefinierten Leitwegprotokollen über eine homogene Datenverbindungsschicht wie etwa den IEEE-Standard 802.3, der auch als das Ethernet bekannt ist, zu leiten. Andere Leitwegprotokolle können ebenfalls verwendet werden.

**[0020]** Die verteilte Architektur des MLDNE kann konfiguriert werden, um Nachrichtenverkehr nach einer Anzahl von bekannten oder zukünftigen Leitalgorithmien zu leiten. In einer bevorzugten Ausführungsform ist das MLDNE konfiguriert, um Nachrichtenverkehr unter Verwendung der Protokollprogrammfolge des Internets und genauer des Übertragungssteuerungsprotokolls (TCP) und des Internet-Protokolls (IP) über die Datenverbindungsschicht des Ethernet-LAN-Standards und der Medienzugriffssteuerung (MAC) abzuwickeln. Das TCP wird hier auch als ein Schicht-Vier-Protokoll bezeichnet, während das IP wiederholt als ein Schicht-Drei-Protokoll bezeichnet wird.

**[0021]** In einer Ausführungsform des MLDNE ist ein Netzwerkelement konfiguriert, um Paketleitfunktionen in einer verteilten Weise auszuführen, d. h., verschiedene Teile einer Funktion werden von verschiedenen Teilsystemen im MLDNE durchgeführt, während das Endergebnis der Funktionen für die externen Knoten und Endstationen transparent bleibt. Wie aus der nachstehenden Besprechung und dem Diagramm in Fig. 1 erkannt werden wird, weist das MLDNE eine skalierbare Architektur auf, die dem Gestalter gestattet, die Anzahl der externen Verbindungen durch Hinzufügen zusätzlicher Teilsysteme vorhersehbar zu erhöhen, wodurch eine größere Flexibilität beim Definieren des MLDNE als einen unabhängigen Router gestattet wird.

**[0022]** Wie in **Fig. 1** in Form eines Blockdiagramms veranschaulicht ist, enthält das MLDNE **101** eine Anzahl von Teilsystemen **110**, die unter Verwendung einer Anzahl von internen Verbindungen **141** völlig vermascht und verbunden sind, um einen größeren Schalter zu schaffen. Zumindest eine interne Verbindung koppelt beliebige zwei Teilsysteme. Jedes Teilsystem **110** enthält ein Schaltelement **111**, das mit einem Versendespeicher **113** und einem zugehörigen Speicher **114** gekoppelt ist. Der Versendespeicher (oder die Datenbank) **113** speichert eine Adressentabelle zum Vergleichen mit den Datenköpfen von empfangenen Paketen. Der zugehörige Speicher (oder die Datenbank) speichert Daten, die jeder Eintragung in den Versendespeicher zugehörig sind und verwendet werden, um Versendeattribute zum Versenden der Pakete durch das MLDNE zu identifizieren. Eine Anzahl von externen Anschlüssen (nicht gezeigt), die eine Eingangs- und Ausgangsfähigkeit aufweisen, schließen die externen Verbindungen **117** an. In einer Ausführungsform unterstützt jedes Teilsystem mehrere Gigabit-Ethernet-Anschlüsse, Fast-Ethernet-Anschlüsse und Ethernet-Anschlüsse. Interne Anschlüsse (nicht gezeigt) in jedem Subsystem, die ebenfalls Eingangs- und Ausgangsfähigkeit aufweisen, koppeln die internen Verbindungen **141**. Unter Verwendung der internen Verbindungen kann das MLDNE mehrere Schaltelemente miteinander verbinden, um einen Multigigabit-Schalter zu bilden.

**[0023]** Das MLDNE **101** beinhaltet ferner ein zentrales Verarbeitungssystem (CPS) **160**, das durch einen Kommunikationsbus **151** wie etwa die Peripheriekomponentenverbindung (PCI) mit den einzelnen Teilsystemen **110** gekoppelt ist. Das CPS **160** beinhaltet eine zentrale Verarbeitungseinheit (CPU) **161**, die mit einem zentralen Speicher **163** gekoppelt ist. Der zentrale Speicher **163** beinhaltet eine Kopie der Einträge, die in den einzelnen Versendespeichern **113** der verschiedenen Teilsysteme enthalten sind. Das CPS weist eine Direktsteuerungs- und Kommunikationsschnittstelle mit jedem Teilsystem **110** auf und stellt eine gewisse zentralisierte Kommunikation und Steuerung zwischen Schaltelementen bereit.

**[0024]** **Fig. 2** ist ein vereinfachtes Blockdiagramm, das eine beispielhafte Architektur des Schaltelements von **Fig. 1** veranschaulicht. Das dargestellte Schaltelement **200** beinhaltet eine zentrale Verarbeitungseinheits(CPU)-Schnittstelle **215**, einen Schaltergewebblock **210**, eine Netzwerkschnittstelle **205**, eine kaskadierende Schnittstelle **225** und einen Manager **220** des geteilten Speichers.

**[0025]** Ethernet-Pakete können das Netzwerkschaltelement **200** durch jede beliebige der drei Schnittstellen **205**, **215** oder **225** betreten oder verlassen. Kurz gesagt ist die Netzwerkschnittstelle **205** nach dem entsprechenden Ethernet-Protokoll tätig, um Ethernet-Pakete von einem Netzwerk (nicht gezeigt)

zu empfangen und Ethernet-Pakete über einen oder mehrere externe Anschlüsse (nicht gezeigt) in das Netzwerk zu senden. Eine optionale kaskadierende Schnittstelle **225** kann eine oder mehrere interne Verbindungen (nicht gezeigt) zum Verbinden von Schaltelementen beinhalten, um größere Schalter zu schaffen. Zum Beispiel kann jedes Schaltelement in einer vollständigen Maschentopologie zusammen mit anderen Schaltelementen verbunden sein, um einen wie oben beschriebenen Mehrschichten-Schalter zu bilden. Alternativ kann ein Schalter ein einzelnes Schaltelement **200** mit der oder ohne die kaskadierende Schnittstelle **225** umfassen.

**[0026]** Die CPU (nicht gezeigt) kann über die CPU-Schnittstelle **215** Befehle oder Pakete zum Netzwerkschaltelement **200** senden. Auf diese Weise können ein oder mehrere Softwarevorgänge, die auf der CPU laufen, Einträge in eine externe Versende- und Filterungsdatenbank **240** bewerkstelligen, wie etwa neue Einträge hinzufügen und unerwünschte Einträge ungültig machen. In alternativen Ausführungsformen kann die CPU jedoch mit einem direkten Zugriff auf die Versende- und Filterungsdatenbank versehen sein. Auf jeden Fall ist der CPU-Anschluß der CPU-Schnittstelle **215** zum Zweck des Paketversendens einem generischen Eingangsanschluß in das Schaltelement **200** ähnlich und kann so behandelt werden, als ob er einfach ein anderes externes Netzwerk wäre. Da der Zugriff auf den CPU-Anschluß jedoch über einen Bus wie etwa einen Peripheriekomponentenverbindungs(PCI)-Bus erfolgt, benötigt der CPU-Anschluß keinerlei Medienzugriffsteuerungs(MAC)-Funktionalität.

**[0027]** Unter erneuter Bezugnahme auf die Netzwerkschnittstelle **205** werden nun die beiden Hauptaufgaben der Eingangspaketverarbeitung und der Ausgangspaketverarbeitung kurz beschrieben. Die Eingangspaketverarbeitung kann durch einen oder mehrere Eingangsanschlüsse der Netzwerkschnittstelle **205** durchgeführt werden. Die Eingangspaketverarbeitung beinhaltet das Folgende: (1) Empfangen und Verifizieren ankommender Ethernet-Pakete, (2) Abändern der Paketdatenköpfe, wenn dies angemessen ist, (3) Anfordern von Pufferzeigern vom Manager **220** des geteilten Speichers, um ankommende Pakete zu speichern, (4) Anfordern von Versendeentscheidungen vom Schaltergewebblock **210**, (5) Übermitteln der ankommenden Pakete zum Manager **220** des geteilten Speichers, um sie zeitweilig in einem externen geteilten Speicher **230** zu speichern, und (6) Versenden des (der) Pufferzeigers nach Erhalt einer Versendeentscheidung zum Ausgangsanschluß (zu den Ausgangsanschlüssen), der (die) durch die Versendeentscheidung angegeben ist (sind). Die Ausgangspaketverarbeitung kann durch einen oder mehrere Ausgangsanschlüsse der Netzwerkschnittstelle **205** durchgeführt werden. Die Ausgangsverarbeitung beinhaltet das Anfordern von Pa-

ketdaten vom Manager **220** des geteilten Speichers, Senden von Paketen in das Netzwerk und Anfordern der Aufhebung der Zuweisung eines Puffers (von Puffern), nachdem die Pakete gesendet wurden.

**[0028]** Die Netzwerkschnittstelle **205**, die CPU-Schnittstelle **215** und die kaskadierende Schnittstelle **225** sind mit dem Manager **220** des geteilten Speichers und dem Schaltergewebeblock **210** gekoppelt. Vorzugsweise sind kritische Funktionen wie das Paketversenden und das Paketpuffern wie in **Fig. 2** gezeigt zentralisiert. Der Manager **220** des geteilten Speichers stellt eine leistungsfähige zentralisierte Schnittstelle zum externen geteilten Speicher zum Puffern ankommender Pakete bereit. Der Schaltergewebeblock **210** beinhaltet eine Suchmaschine und eine lernende Logik zum Suchen und Unterhalten der Versende- und Filterungsdatenbank mit Unterstützung durch die CPU.

**[0029]** Der zentralisierte Schaltergewebeblock **210** beinhaltet eine Suchmaschine, die im Namen der Schnittstellen **205**, **215** und **225** Zugriff auf die Versende- und Filterungsdatenbank bereitstellt. Der Paketdatenkopfvvergleich, das auf der Schicht Zwei basierende Lernen, das Paketversenden von Schicht Zwei und Drei, das Filtern und die Alterung sind beispielhafte Funktionen, die durch den Schaltergewebeblock **210** durchgeführt werden können. Jeder Eingangsanschluß ist mit dem Schaltergewebeblock **210** gekoppelt, um Versendeentscheidungen für empfangene Pakete zu empfangen. Die Versendeentscheidung gibt den (die) ausgehenden Anschluß (Anschlüsse) (z. B. den externen Netzwerkanschluß oder den internen kaskadierenden Anschluß) an, wonach das entsprechende Paket gesendet werden sollte. In der Versendeentscheidung können auch zusätzliche Informationen beinhaltet sein, um das Hardwareleiten zu unterstützen, wie etwa eine neue MAC-Bestimmungsadresse (DA) zum Ersatz von MAC DA. Ferner kann in der Versendeentscheidung auch eine Prioritätsangabe beinhaltet sein, um die Bevorrangung des Paketverkehrs durch das Schalterelement **200** zu erleichtern.

**[0030]** In der vorliegenden Ausführungsform werden Ethernet-Pakete durch den Manager **220** des geteilten Speichers zentral gepuffert und verwaltet. Der Manager **220** des geteilten Speichers steht mit jedem Eingangsanschluß und Ausgangsanschluß in Verbindung und führt in deren Namen eine dynamische Speicherzuweisung bzw. Aufhebung der Zuweisung durch. Während der Eingangspaketverarbeitung werden im externen geteilten Speicher ein oder mehrere Puffer zugewiesen und wird ein ankommendes Paket durch den Manager **220** des geteilten Speichers als Reaktion auf Befehle, die zum Beispiel von der Netzwerkschnittstelle **205** erhalten werden, gespeichert. Anschließend holt der Manager **220** des geteilten Speichers während der Ausgangspaketverarbeitung

das Paket vom externen geteilten Speicher zurück und hebt die Zuweisung von Puffern auf, die nicht länger in Verwendung stehen. Um sicherzustellen, daß keine Puffer freigegeben werden, bis alle Ausgangsanschlüsse die Sendung der darin gespeicherten Daten abgeschlossen haben, verfolgt der Manager **220** des geteilten Speichers vorzugsweise auch die Pufferinhaberschaft.

**[0031]** Die Schnittstelle der vorliegenden Erfindung ist für Hersteller von Schaltern und Hubstationen, die mehrere MII-Anschlüsse in eine anwendungsspezifische integrierte Schaltung aufnehmen, besonders vorteilhaft. Der MII-Anschluß verbindet die MAC-Schaltungsanordnung mit einer Vorrichtung der physikalischen Schicht. Bei der Ausführung können sich der Anschluß und die Schaltungsanordnung, die hierin beschrieben sind, an der gleichen Komponente befinden oder über mehrere Komponenten verteilt sein. Zum Beispiel ist die Schnittstelle in der hierin beschriebenen Ausführungsform innerhalb der Netzwerkschnittstelle gelegen. Den hierin beschriebenen Lehren folgend benötigt eine Ausführung den Zusatz von minimaler Logik, während eine 37%ige Ersparnis hinsichtlich der Kontaktstiftanzahl verwirklicht wird und die Kompatibilität mit dem bestehenden Standard bewahrt wird. Im Besonderen kann jeder Anschluß in der hierin beschriebenen Ausführungsform unter Verwendung von zehn Signalkontaktstiften anstelle der ursprünglich durch den IEEE-Standard 802.3 spezifizierten sechzehn tätig sein.

**[0032]** Das Multiplexieren wird durch Senden von drei Informationsbits während einer ersten Phase des Sendetakts und drei Bits während einer zweiten Phase des Sendetakts unter Verwendung eines Multiplexers in der Medienzugriffssteuerung (MAC) und eines Drei-Bit-Registers und Multiplexers in der Komponente der physikalischen Schicht (PHY) erreicht. Im Besonderen werden die Datenpfadsignale (z. B. die Signale für die Datensteuerung und den Takt) in zwei Gruppen eingeordnet, die Empfangsgruppe und die Sendegruppe. Innerhalb jeder Gruppe wird an den Datenpfadsignalen ein Taktphasenmultiplexieren durchgeführt, wobei die Hälfte der Signale während einer ersten Phase des entsprechenden Takts getrieben wird und die andere Hälfte während einer zweiten Phase des gleichen Takts getrieben wird. In der vorliegenden Ausführungsform ist die erste Phase die hohe Phase des Takts und die zweite Phase die niedrige Phase des Takts; es sind jedoch auch andere Variationen ins Auge gefaßt. Die sendende Seite der Verbindung führt das Signalmultiplexieren durch, und die empfangende Seite der Verbindung führt das Signaldemultiplexieren durch. Um die Leistungsfähigkeit des Betriebs aufrechtzuerhalten, bleiben bestimmte Steuersignale für eine stetige Verfügbarkeit und einen Zugriff, wann immer dieser erforderlich ist, unmultiplexiert.

**[0033]** In der vorliegenden Ausführungsform beinhalten die Steuersignale ein Trägerabtastsignal (CRS), ein Signal für eine festgestellte Kollision (COL), ein Managementdatentaktsignal (MDC) und ein Managementdateneingang/ausgangssignal (MDIO). Das CRS wird durch die Schicht der physikalischen Ausführung (PHY) erklärt, wenn entweder das Sende- oder das Empfangsmedium nicht frei ist. Die Erklärung des CRS wird durch die PHY aufgehoben, wenn sowohl das Sende- als auch das Empfangsmedium frei ist. Das COL-Signal wird durch die PHY nach der Feststellung einer Kollision am Medium erklärt und bleibt erklärt, solange der Kollisionszustand andauert. Das MDC-Signal ist ein periodisches Signal, das einer Stationsmanagementeinheit (STA) wie etwa der CPU (**161** in **Fig. 1**) entstammt und als Zeitgabebezug für das Übertragen von Informationen auf dem MDIO-Signal zur PHY gesendet wird. Das MDIO-Signal ist ein Zweirichtungs-Signal zwischen der PHY und der STA. Steuerinformationen werden durch die STA synchron in Bezug auf das MDC-Signal getrieben und werden durch die PHY synchron abgetastet. Statusinformationen werden durch die PHY synchron in Bezug auf das MDC-Signal getrieben und werden durch die STA synchron abgetastet.

**[0034]** Es ist daher wünschenswert, die Signale CRS, COL, MDC und MDIO auf getrennten Signalleitungen zu senden, da die Signale CRS und COL stets durch die MAC- oder die STA-Komponente zugänglich sein sollten und die Signale MDC und MDIO von anderen Signalen unabhängig sein sollten, damit die Komponenten richtig gesteuert werden und Statusinformationen empfangen werden. Darüber hinaus weist keines der obigen Signale eine benötigte vordefinierte Zeitgabebeziehung zu den Zeitgabesignalen auf, welche an der MII bereitgestellt werden (z. B. Empfangstakt und Sendetakt).

**[0035]** Die Signale, die für das Senden und den Empfang von Daten besonders von Bedeutung sind, können jedoch multiplexiert werden, da die Zeitgabebeziehung unter den Signalen wohldefiniert ist und zum Multiplexieren und Demultiplexieren der Signale sehr wenig Logik benötigt wird. In der vorliegenden Ausführungsform sind die folgenden Signale synchron zum Sendetakt (MIITXCLK) tätig: Sendedaten TXD [3:0], Sendefreigabe (TX\_EN), Codierfehler senden (TX\_ER). Der Sendetakt ist ein fortlaufender Takt, der den Zeitgabebezug für die Übertragung der Signale TX\_EN, TXD und TX\_ER zur PHY bereitstellt. Vorzugsweise geht der MII\_TXCLK von der PHY aus. Die TXD-Bits werden zur PHY befördert und gehen synchron in Bezug auf den MII\_TXCLK über. Das EX\_EN-Signal gibt an, daß die Daten zur Sendung an der MII verfügbar sind. Es wird mit dem ersten verfügbaren "Datenhäppchen" erklärt und bleibt erklärt, während alle Häppchen gesendet werden, und seine Erklärung wird auf dem ersten

MII\_TXCLK, der dem letzten Häppchen des Datenrahmens folgt, aufgehoben. TX\_EN geht synchron mit dem MII\_TXCLK über. Das TX\_ER-Signal, das ebenfalls synchron in Bezug auf den MII\_TXCLK übergeht, wird für eine oder mehrere MII\_TXCLK-Zeiträume erklärt, während TX\_EN auch erklärt wird, wenn ein Fehler auftritt.

**[0036]** Die folgenden Signale sind synchron zum Empfangstakt tätig: Empfangsdaten (RXD [3:0]), Empfangsdaten gültig (RX\_DV) und Empfangsfehler. Der MII\_RXCLK ist ein fortlaufendes Taktsignal, das den Zeitgabebezug für die Übertragung der Signale RX\_DV, RXD und RX\_ER von der PHY bereitstellt. MII\_RXCLK geht von der PHY aus. Die PHY kann den MII\_RXCLK-Bezug aus den empfangenen Daten wiedergewinnen oder kann den MII\_RXCLK-Bezug von einem Nominaltakt (z. B. dem MII\_TXCLK) ableiten. Das RXD-Signal geht synchron mit dem MII\_RXCLK über und wird durch die PHY getrieben. Das RX\_DV-Signal wird durch die PHY getrieben, um anzugeben, daß die PHY wiedergewonnene und decodierte Häppchen an den RXD-Leitungen zeigt, und daß die Daten mit MII-RXCLK synchron sind.

**[0037]** RX\_DV geht synchron in Bezug auf den MII\_RXCLK über und bleibt vom ersten wiedergewonnenen Häppchen des Rahmens bis zum letzten wiedergewonnenen Häppchen hindurch fortlaufend erklärt, und seine Erklärung soll vor dem ersten MII\_RXCLK, der dem letzten Häppchen des Rahmens folgt (ausschließlich des Endes des Rahmenbegrenzungssymbols) aufgehoben werden. Das EX\_ER wird durch die PHY synchron zum MII\_RXCLK getrieben und wird für einen oder mehrere MII\_RXCLK-Zeiträume erklärt, um anzugeben, daß im gegenwärtig von der PHY übertragenen Rahmen ein Fehler (z. B. ein Codierfehler oder ein Fehler, der durch die MAC nicht feststellbar ist, aber durch die PHY feststellbar ist) festgestellt wurde.

**[0038]** Obwohl die Signale in einer Vielfalt von Weisen multiplexiert werden können, wird bevorzugt, daß die folgenden Signale wie folgt multiplexiert werden:

TXD0/TXD3  
TXD1/TX\_EN  
TXD2/TX\_ER  
RXD0/RXD3  
RXD1/RX\_DV  
RXD2/RX\_ER

**[0039]** Es wurde bestimmt, daß die Zugriffswartezeit, die durch Ausführen dieses Schemas erlitten wird, durch die Verringerung der Anzahl der Signalleitungen, die zwischen der MAC und der PHY benötigt werden, bei weitem aufgewogen wird. Dies ist insbesondere bei einer Konfiguration in einem Netzwerkelement mit hoher Anschlußdichte der Fall.

**[0040]** Die Schaltungsanordnung zum Sendemultiplexieren ist in der in **Fig. 3a** veranschaulichten Ausführungsform gezeigt. Darüber hinaus wird eine Schaltungsanordnung zum auswählenden Verwenden dieses Merkmals offenbart. Andere Ausführungsformen sind ebenfalls ins Auge gefaßt. Somit gestattet die Schaltungsanordnung in dieser Ausführungsform, daß der Standardmodus oder der Multiplexmodus gewählt wird, so daß die Vorrichtung zur Verbindung mit einer anderen standard- oder multiplexiert verbindenden Vorrichtung konfiguriert werden kann. Im Besonderen werden die Sendedatenpfadsignale durch den Multiplexer **305** ausgegeben, der auf Basis des Takteingangs MII\_TX-Takt **307** zum Ausgang **309** aktiv ist. Der Takt **307** treibt auch das Eingangs-Flipflop-Register **310**, so daß die durch den Eingang **311** ankommenden Daten zeitlich zum P\_MUX **312** getaktet werden.

**[0041]** Beim Betrieb im Standardmodus gibt der P\_MUX **312** die Signale TXD0, TXD1 und TXD2, die vom MAC **320** durch den Ausgang **313** ausgegeben werden und über die MII-Busleitungen durch den Eingang **317** empfangen werden, an das Register **325** aus. Die Signale TXD3, TX\_EN und TX\_ER werden daher durch den Eingang **311** und die Leitungen **322** zum Register **325** übertragen.

**[0042]** Bei Betriebsbereitschaft im Multiplexmodus werden die Signale TXD0, TXD1 und TXD2 während einer Phase des Takts (MII\_TXCLK **307**) vom M\_MUX **305** durch den Ausgang **309** ausgegeben und durch den Eingang **311** vom Flipflop **310** empfangen. Diese Signale werden dann durch den P\_MUX-Multiplexer **312** verarbeitet und während der nächsten Taktphase zum Register **325** ausgegeben, wenn die Signale TXD3, TX\_EN und TX\_ER durch M\_MUX **305** und den Ausgang **309** übertragen werden. Diese Signale werden über die Schnittstelle hinweg über die Leitungen **322** zum Eingang **311** und zum Register **325** übertragen. Gleichzeitig sind die Signale TXD0, TXD1 und TXD2 am Register **325** verfügbar, um gleichzeitig alle sechs Signale zur Kompatibilität mit der MII-Vorrichtung bereitzustellen. Die Zeitgabe ist in **Fig. 3b** veranschaulicht, welche zeigt, daß das Ausgangssignal des Multiplexers im Element MAC **320** ausgegeben wird, worauf die Ausgabe der Signale TXD3, TX\_EN und TX\_ER während der nächsten niedrigen Phase des MII\_TX\_CLK folgt.

**[0043]** Es sollte bemerkt werden, daß das Ausgangssignal des P\_MUX **312** in der PHY **350** ermöglicht, daß die Signale TXD0, TXD1 und TXD2 wie durch den Modus gewählt sowohl während der hohen Phase als auch während der niedrigen Phase des Takts verfügbar sind.

**[0044]** **Fig. 4a** veranschaulicht die Schnittstellen-schaltungsanordnung für Signale, die in der Empfangsrichtung gesendet werden. In der Empfangs-

richtung werden sechs Signale über drei Signalleitungen gesendet, drei während der hohen Phase des Takts und drei während der niedrigen Phase des Takts. Im PHY-Element **410** wird ein Drei-Bit-MUX, P\_MUX **412**, verwendet, um den Multiplexmodus auszuführen. Im MAC-Element **415** ist ein zusätzliches Drei-Bit-Flipflop/Register **420** zum Empfangen von drei Bits während der niedrigen Phase des Takts und ein Register **425** zum Empfangen aller sechs Signale zur Ausgangskompatibilität mit der MII vorhanden. Wie dies bei der Sendeschaltungsanordnung der Fall ist, ist die Schaltungsanordnung nach dem IEEE-Standard 803.2 tätig, wenn sie im Standardmodus tätig ist. Zum Zweck der Vereinfachung der Besprechung ist die Schaltungsanordnung zum Unterstützen beider Modi im MAC **415** nicht ausführlich veranschaulicht; es würde jedoch eine Schaltungsanordnung verwendet werden, die der in PHY **350** (**Fig. 3a**) gezeigten ähnlich ist und bei der die zusätzlichen Empfangsbits RXER, RXDV und RXD3 durch eine zusätzliche Gruppe von Leitungen (z. B. **422**) direkt zur MAC **415** gesendet würden und ein Multiplexer hinzugefügt wäre, um auf Basis des Modus zwischen RXD3, RXDV, RXER und MII RXER, MII\_RXDV und MII\_RXD3 zu wählen.

**[0045]** Wie in **Fig. 4a** gezeigt werden während des Betriebs im Multiplexmodus die Signale RXD3, RX\_DV und RX\_ER während der niedrigen Phase des Takts und die Signale RXD0, RXD1 und RXD2 während der hohen Phase des Takts durch den P\_MUX **412** ausgegeben. Das Flipflop **420** wird verwendet, um die Signale RXD0, RXD1 und RXD2 zu takten, so daß sie am Register **425** gleichzeitig mit den Signalen RXD3, RXDV und RXDR empfangen werden. Die Zeitgabe dafür ist in **Fig. 4b** veranschaulicht.

**[0046]** Die beschriebene Schaltungsanordnung ermöglicht, daß die Sendung innerhalb gegenwärtiger Zeitgabebudgets auftritt. Unter Bezugnahme auf **Fig. 5a** ist die Sendezeitgabe kritisch, da sich die MAC-Sendeschaltung **505** auf den durch die PHY **510** erzeugten Sendetakt **512** verläßt. Beim Bestimmen des Zeitgabebudgets müssen daher die Verzögerungen von der PHY **510** durch die externe Ablaufverfolgung **520** zum MAC **505** und die Ablaufverfolgung **515**, die zur PHY **510** zurückkommt, und die am Eingang der PHY **510** erforderliche Einstellungszeit berücksichtigt werden.

**[0047]** Unter fortgesetzter Bezugnahme auf **Fig. 5a** sind die erlittenen Zeitgabeverzögerungen veranschaulicht. Da der Arbeitszyklus des Takts wie im IEEE-Standard 802.3 bestimmt annähernd ein Verhältnis von 2 : 3 (z. B. 35% des Sendetakts von 40 Nanosekunden hoch und 65% niedrig) beträgt, gibt es nur 14 Nanosekunden, um die erste Gruppe von Signalen zu multiplexieren, und 26 Nanosekunden, um die zweite Gruppe von Signalen zu multiplexie-

ren.

**[0048]** Daher muß das Folgende erfüllt sein:

$$T(\text{pob}) + T(\text{mib}) + T(\text{mcd}) + T(\text{mcq}) + T(\text{mm}) + T(\text{mob}) \times 1,395 + 2 \times T(\text{tr}) + T(\text{psup}) < 14 \text{ ns.}$$

**[0049]** Wenn Spezifikationen aus dem LSI G10 zell-basierenden ASIC Produktdatenhandbuch (LSI Logic, Inc.) als Beispiel verwendet werden, wird die Ausbreitungsverzögerungszeitgabe für die Schaltung wie folgt bestimmt:

$$(0,28 \text{ ns} + 0,31 \text{ ns} + 0,82 \text{ ns} + 0,44 \text{ ns} + 0,55 \text{ ns} + 0,28 \text{ ns}) \times 1,395 + 2 \times 1,5 \text{ ns} + T(\text{psup}) < 14 \text{ ns}$$

$$3,73 + 3 \text{ ns} + T(\text{psup}) < 14 \text{ ns}$$

$$6,73 + T(\text{psup}) < 14 \text{ ns}$$

**[0050]** Vorzugsweise ist das daher zugewiesene Zeitgabebudget das in der Tabelle von **Fig. 5b** gezeigte. Die Empfangszeitgabe ist nicht kritisch, da der Sendepfad sowohl der Daten als auch des Takts von der PHY stammt. Daher treten die Schleifenzeitgabebeschränkungen, die im Sendefall auftreten, nicht auf und sind ausreichende Spielräume zum Durchführen der Empfangsfunktion vorhanden.

**[0051]** Die Erfindung wurde in Verbindung mit der bevorzugten Ausführungsform beschrieben. Es ist klar ersichtlich, daß Fachleuten angesichts der vorhergehenden Beschreibung zahlreiche Alternativen, Abänderungen, Variationen und Verwendungen offensichtlich sein werden.

### Patentansprüche

1. Schnittstelle für die Kommunikation von medienunabhängigen Schnittstellensignalen, umfassend eine Schnittstelle der Medienzugriffssteuerung, MAC, um während eines Multiplexmodus eines aus einem ersten Abschnitt von Sendedatenpfadsignalen (TXD0, TXD1, TXD2) und einem zweiten Abschnitt der Sendedatenpfadsignale (TXD3, TXEN, TXER) gemäß einer Phase eines Taktzyklus (MII\_TXCLK) über einen oder mehrere erste MAC-Ausgangsanschlüsse (**309**) zu senden und um während eines Standardmodus die ersten Sendedatenpfadsignale (TXD0, TXD1, TXD2) über einen oder mehrere zweite MAC-Ausgangsanschlüsse (**313**) zu senden; und eine Schnittstelle der physikalischen Schicht, PHY, die einen oder mehrere erste PHY-Eingangsanschlüsse (**311**) beinhaltet, um im Multiplexmodus eines aus den ersten und zweiten Sendedatenpfadsignalen (TXD0, TXD1, TXD2) gemäß der Taktzyklusphase zu empfangen und um im Standardmodus die zweiten Sendedatenpfadsignale (TXD3, TXEN, TXER) von der MAC-Schnittstelle zu empfangen,

und einen oder mehrere zweite PHY-Eingangsanschlüsse (**317**) beinhaltet, um im Standardmodus die ersten Sendedatenpfadsignale (TXD0, TXD1, TXD2) von der MAC-Schnittstelle zu empfangen, und ein PHY-Speicherregister (**325**), um im Standardmodus die ersten und zweiten Sendedatenpfadsignale (TXD0, TXD1, TXD2; TXD3, TXEN, TXER), die über einen der ersten und zweiten PHY-Eingangsanschlüsse (**309**, **311**) empfangen wurden, zu speichern, wobei das PHY-Speicherregister (**325**) die ersten und zweiten Sendedatenpfadsignale (TXD0, TXD1, TXD2; TXD3, TXEN, TXER) während einer zweiten Phase des Taktsignals speichert, wenn Betriebsbereitschaft im Multiplexmodus besteht.

2. Schnittstelle nach Anspruch 1, wobei die PHY-Schnittstelle ferner Folgendes umfaßt: ein PHY-Eingangsregister (**310**), um im Multiplexmodus die ersten Sendedatenpfadsignale (TXD0, TXD1, TXD2) während einer ersten Phase des Taktzyklus (MII\_TXCLK) zu empfangen und die ersten Sendedatenpfadsignale (TXD0, TXD1, TXD2) vor dem Empfang der zweiten Datenpfadsignale (TXD3, TXEN, TXER) während einer zweiten Phase des Taktzyklus zu speichern und um im Standardmodus die zweiten Sendedatenpfadsignale (TXD3, TXEN, TXER) über die ersten PHY-Eingangsanschlüsse (**311**) zu empfangen; und einen PHY-Eingangsmultiplexer (**312**), um im Multiplexmodus die ersten Sendedatenpfadsignale (TXD0, TXD1, TXD2) vom PHY-Eingangsregister (**310**) während der zweiten Phase des Taktzyklus zu empfangen und um im Standardmodus die ersten Sendedatenpfadsignale (TXD0, TXD1, TXD2) über die zweiten PHY-Eingangsanschlüsse (**317**) zu empfangen, und wobei der Eingangsmultiplexer (**312**) während einer zweiten Phase des Taktzyklus die ersten Sendedatenpfadsignale (TXD0, TXD1, TXD2) an das Speicherregister (**325**) ausgibt.

3. Schnittstelle nach Anspruch 1, wobei die MAC-Schnittstelle ferner Folgendes umfaßt: einen MAC-Ausgangsmultiplexer (**305**), um im Multiplexmodus eines aus den ersten Sendedatenpfadsignalen (TXD0, TXD1, TXD2) und den zweiten Sendedatenpfadsignalen (TXD3, TXEN, TXER) gemäß der Phase des Taktzyklus über den einen oder die mehreren MAC-Ausgangsanschlüsse (**309**) zu senden; und wobei die zweiten Ausgangsanschlüsse (**313**) das erste Sendedatenpfadsignal (TXD0, TXD1, TXD2) während des Standardmodus von einem Eingang des Ausgangsmultiplexers (**305**) empfangen.

4. Schnittstelle nach Anspruch 1, wobei die ersten Sendedatenpfadsignale (TXD0, TXD1, TXD2) Sendedatensignale (TXD0, TXD1, TXD2) umfassen und die zweiten Datenpfadsignale ein Sendedaten-signal (TXD3), ein Sendefreigabesignal (TX\_EN) und ein Sendecodierungsfehlersignal (TX\_ER) umfassen.



5. Schnittstelle nach Anspruch 1, wobei die ersten Sendedatenpfadsignale (TXD0, TXD1, TXD2) während einer hohen Phase des Taktzyklus empfangen werden und die zweiten Sendedatenpfadsignale (TXD3, TXEN, TXER) während einer niedrigen Phase des Taktzyklus empfangen werden, wenn Betriebsbereitschaft im Multiplexmodus besteht.

6. Schnittstelle nach Anspruch 5, wobei die PHY-Schnittstelle ferner Folgendes umfaßt: einen oder mehrere erste PHY-Ausgangsanschlüsse, um im Multiplexmodus eines aus einem ersten Abschnitt von Empfangsdatenpfadsignalen (RXD0, RXD1, RXD2) und einem zweiten Abschnitt von Empfangsdatensignalen (RXD3, RXDV, RXER) gemäß der Phase des Taktzyklus zur MAC-Schnittstelle zu senden; und einen oder mehrere zweite PHY-Ausgangsanschlüsse (422), um im Standardmodus die zweiten Empfangsdatensignale (RXD3, RXDV, RXER) zu senden, wobei die ersten Empfangsdatenpfadsignale über die ersten PHY-Ausgangsanschlüsse zur MAC-Schnittstelle gesendet werden.

7. Schnittstelle nach Anspruch 6, wobei die PHY-Schnittstelle ferner Folgendes umfaßt: einen Ausgangs-PHX-Multiplexer (412), um im Multiplexmodus die ersten Empfangsdatenpfadsignale (RXD0, RXD1, RXD2) während einer ersten Phase des Taktzyklus und die zweiten Empfangsdatenpfadsignale (RXD3, RXDV, RXER) während einer zweiten Phase des Taktzyklus über die ersten Ausgangsanschlüsse zu senden, und wobei die zweiten Ausgangsanschlüsse (422) das erste Empfangsdatensignal (RXD3, RXDV, RXER) während des Standardmodus von einem Eingang des Ausgangsmultiplexers (412) empfangen.

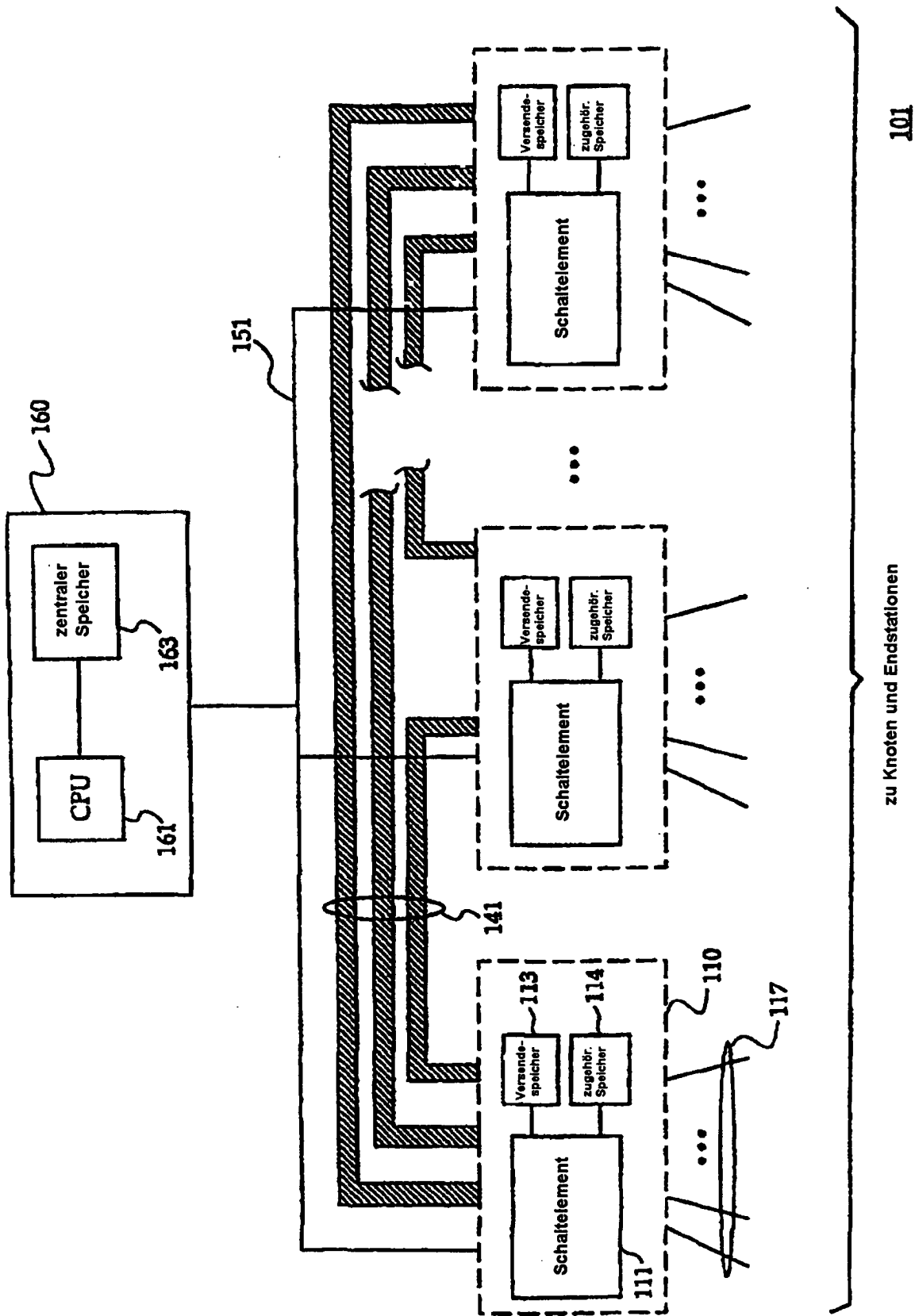
8. Schnittstelle nach Anspruch 6, wobei die MAC-Schnittstelle ferner Folgendes umfaßt: einen oder mehrere erste MAC-Eingangsanschlüsse, um im Multiplexmodus eines aus den ersten und zweiten Empfangsdatenpfadsignalen (RXD0, RXD1, RXD2; RXD3, RXDV, RXER) gemäß der Phase des Taktzyklus zu empfangen und um im Standardmodus die ersten Empfangsdatenpfadsignale von der PHY-Schnittstelle zu empfangen, einen oder mehrere zweite MAC-Eingangsanschlüsse (422), um im Standardmodus die zweiten Datenpfadsignale (RXD3, RXDV, RXER) von der PHY-Schnittstelle zu empfangen, und ein MAC-Speicherregister (425), um im Standardmodus die ersten und zweiten Empfangsdatenpfadsignale, die über einen der ersten und zweiten MAC-Eingangsanschlüsse empfangen wurden, zu speichern, und wobei die ersten und zweiten Empfangsdatenpfadsignale während der zweiten Phase des Taktsignal gespeichert werden, wenn Betriebsbereitschaft im Multiplexmodus besteht.

9. Schnittstelle nach Anspruch 8, wobei die MAC-Schnittstelle ferner Folgendes umfaßt: ein Eingangs-MAC-Register (420), um im Multiplexmodus die ersten Empfangsdatenpfadsignale (RXD0, RXD1, RXD2) während der ersten Phase des Taktzyklus von den ersten MAC-Eingangsanschlüssen zu empfangen und die ersten Empfangsdatenpfadsignale (RXD3, RXDV, RXER) während der zweiten Phase des Taktzyklus vor dem Empfang der zweiten Empfangsdatenpfadsignale von den ersten MAC-Eingangsanschlüssen auszugeben, wobei die zweiten Empfangsdatenpfadsignale dem MAC-Speicherregister (425) während der zweiten Phase des Taktzyklus bereitgestellt werden, und um im Standardmodus die ersten Empfangsdatenpfadsignale von den ersten Eingangsanschlüssen (422) zu empfangen.

10. Schnittstelle nach Anspruch 6, wobei die ersten Empfangsdatensignale der PHY-Schnittstelle Empfangsdatensignale (RXD0, RXD1, RXD2) umfassen, und die zweiten Datenpfadsignale der PHY-Schnittstelle ein Empfangsdatensignal (RXD3), ein Signal (RXDV) und ein Signal (RXEN) umfassen.

11. Schnittstelle nach Anspruch 6, wobei die ersten Empfangsdatenpfadsignale der PHY-Schnittstelle während einer hohen Phase des Taktzyklus empfangen werden und die zweiten Empfangsdatenpfadsignale der PHY-Schnittstelle während einer niedrigen Phase des Taktzyklus empfangen werden, wenn Betriebsbereitschaft im Multiplexmodus besteht.

Es folgen 5 Blatt Zeichnungen



zu Knoten und Endstationen

FIG. 1

101

SUBSTITUTE SHEET ( rule 26 )

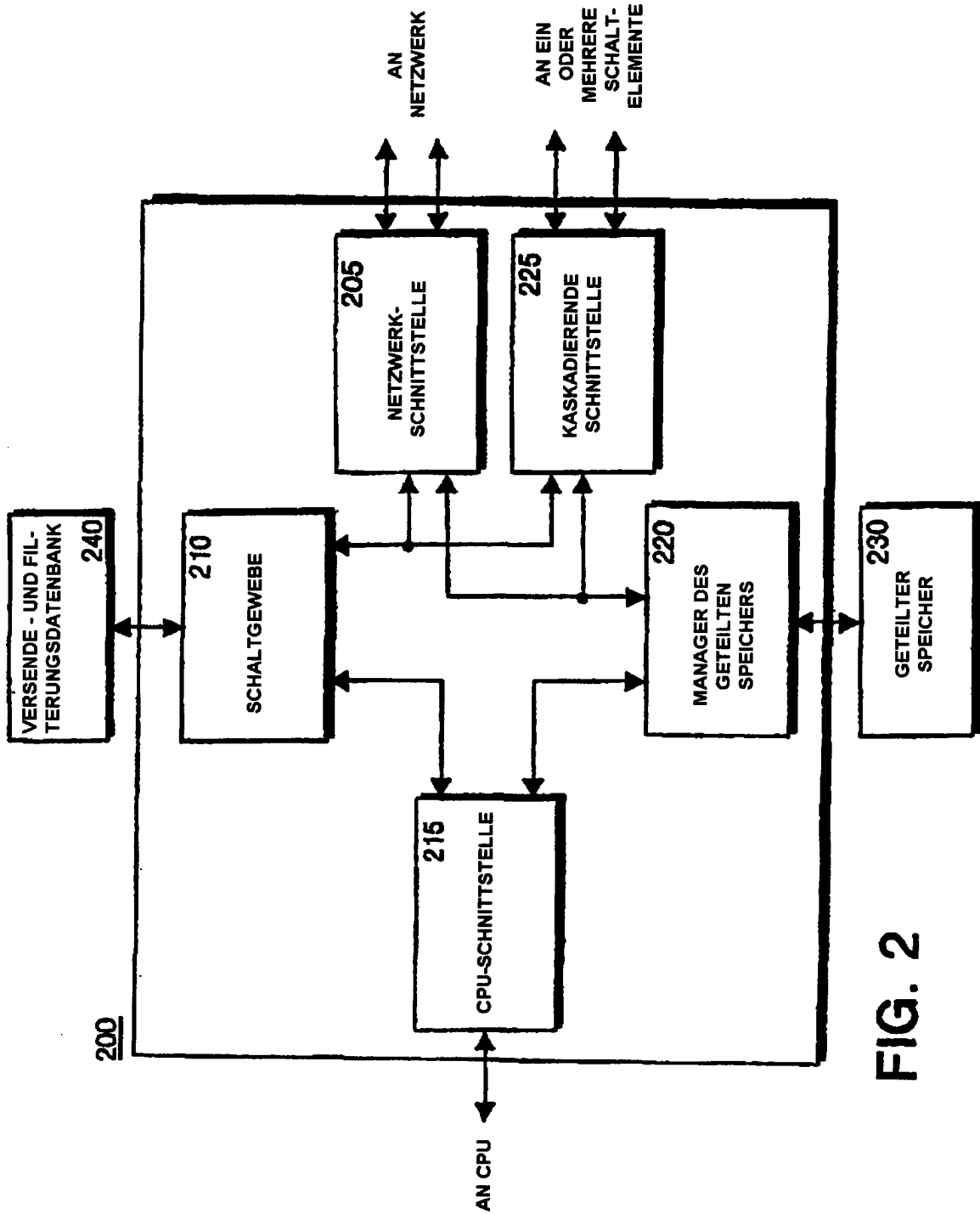
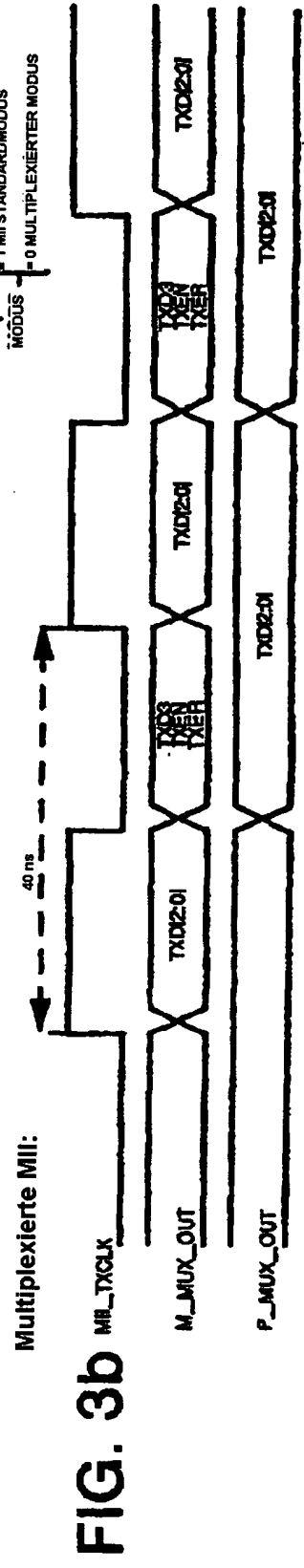
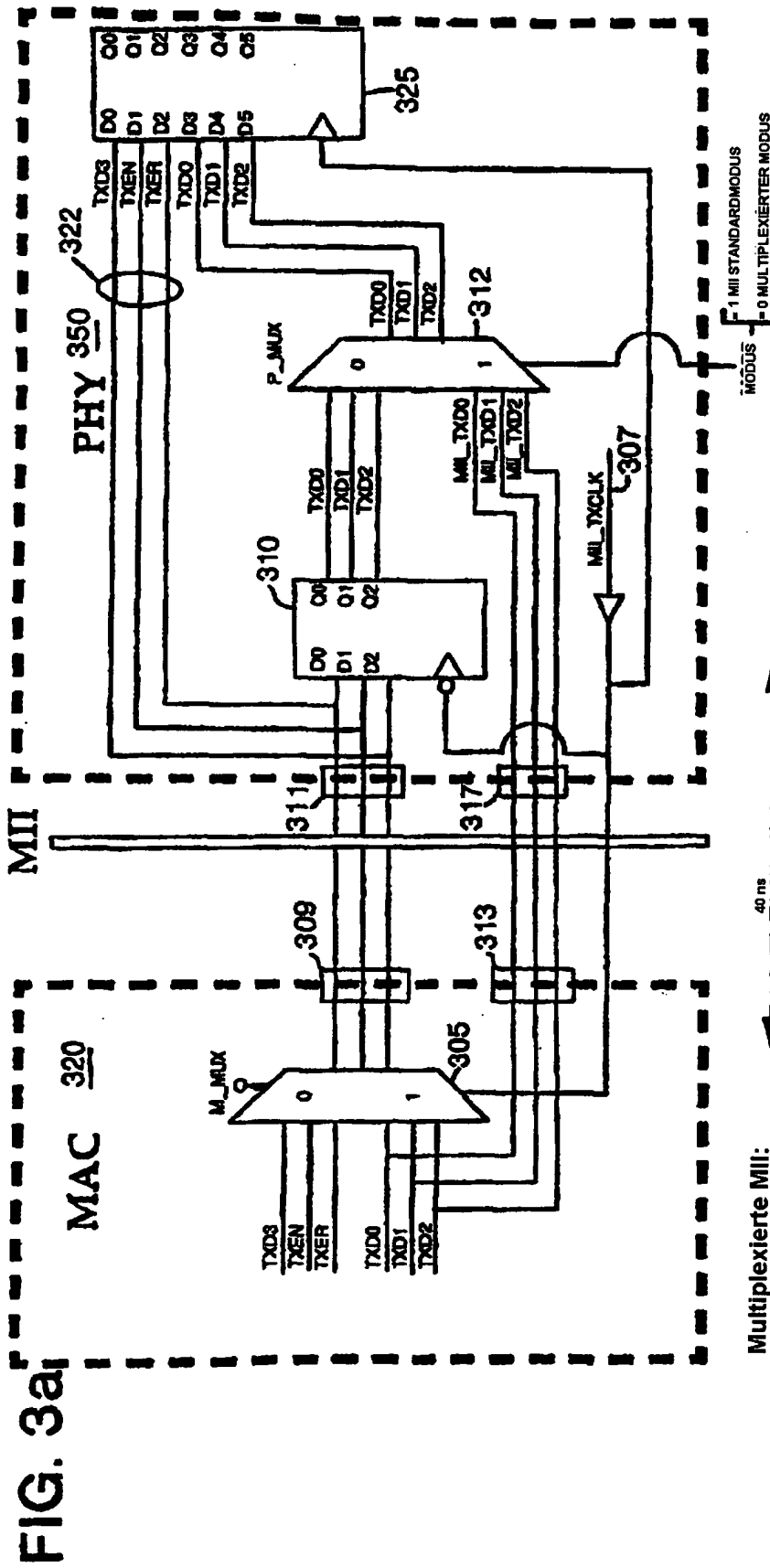
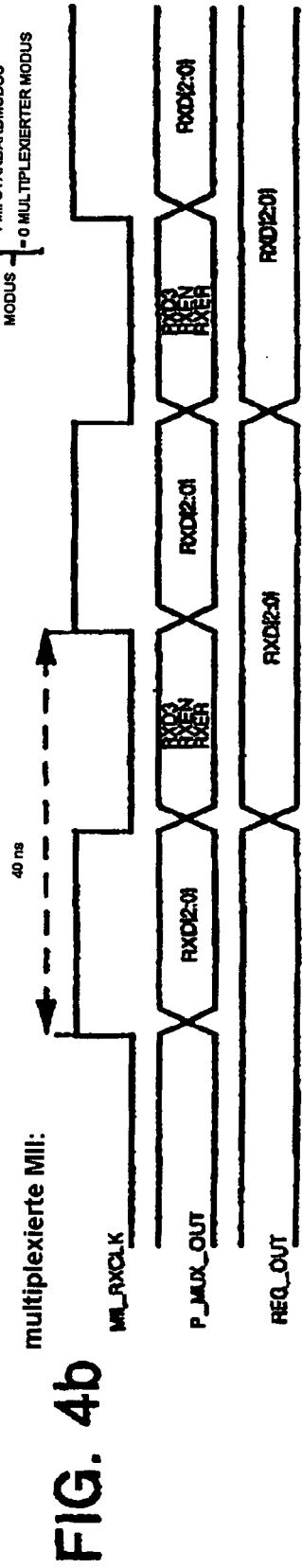
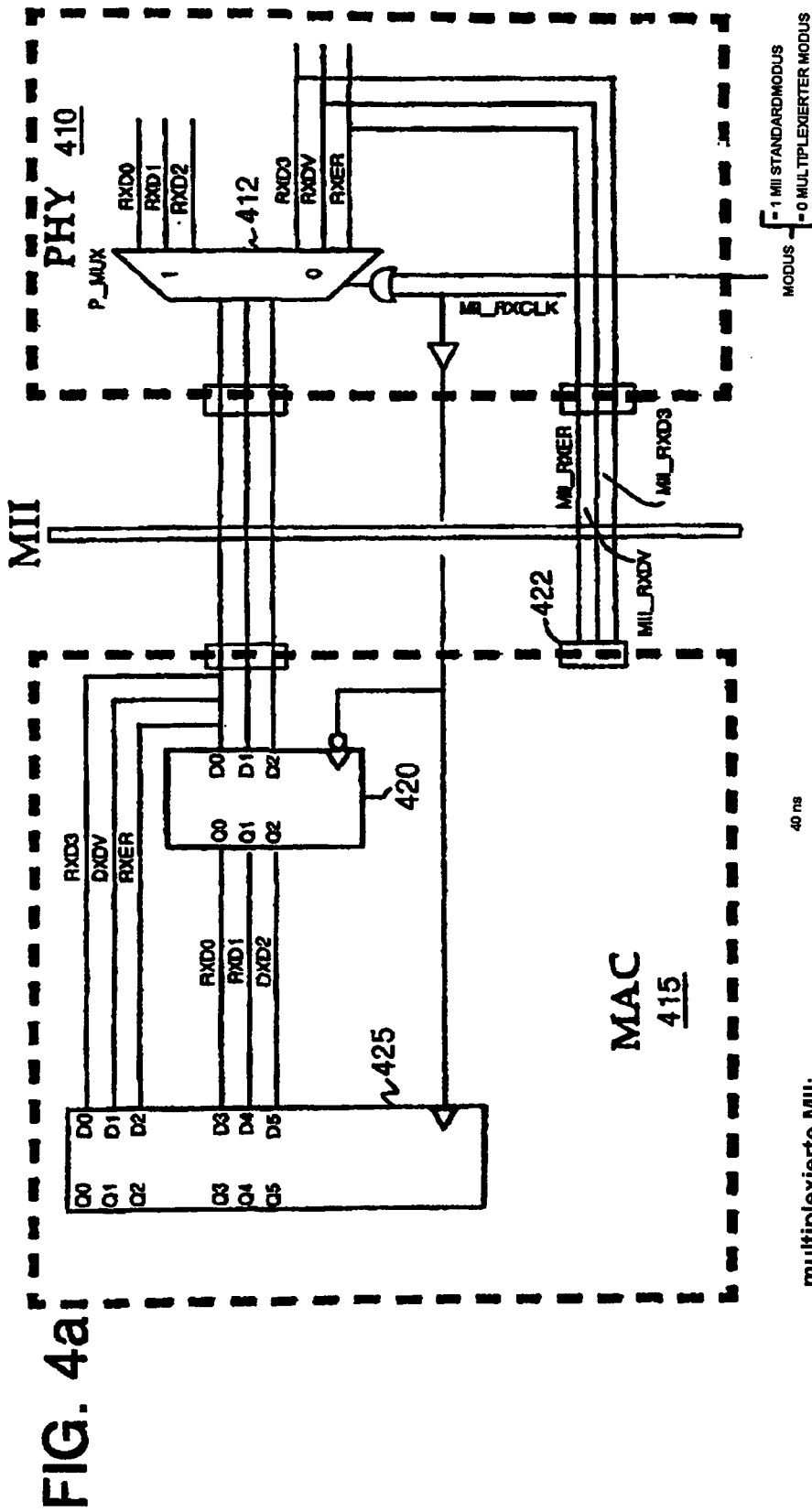


FIG. 2

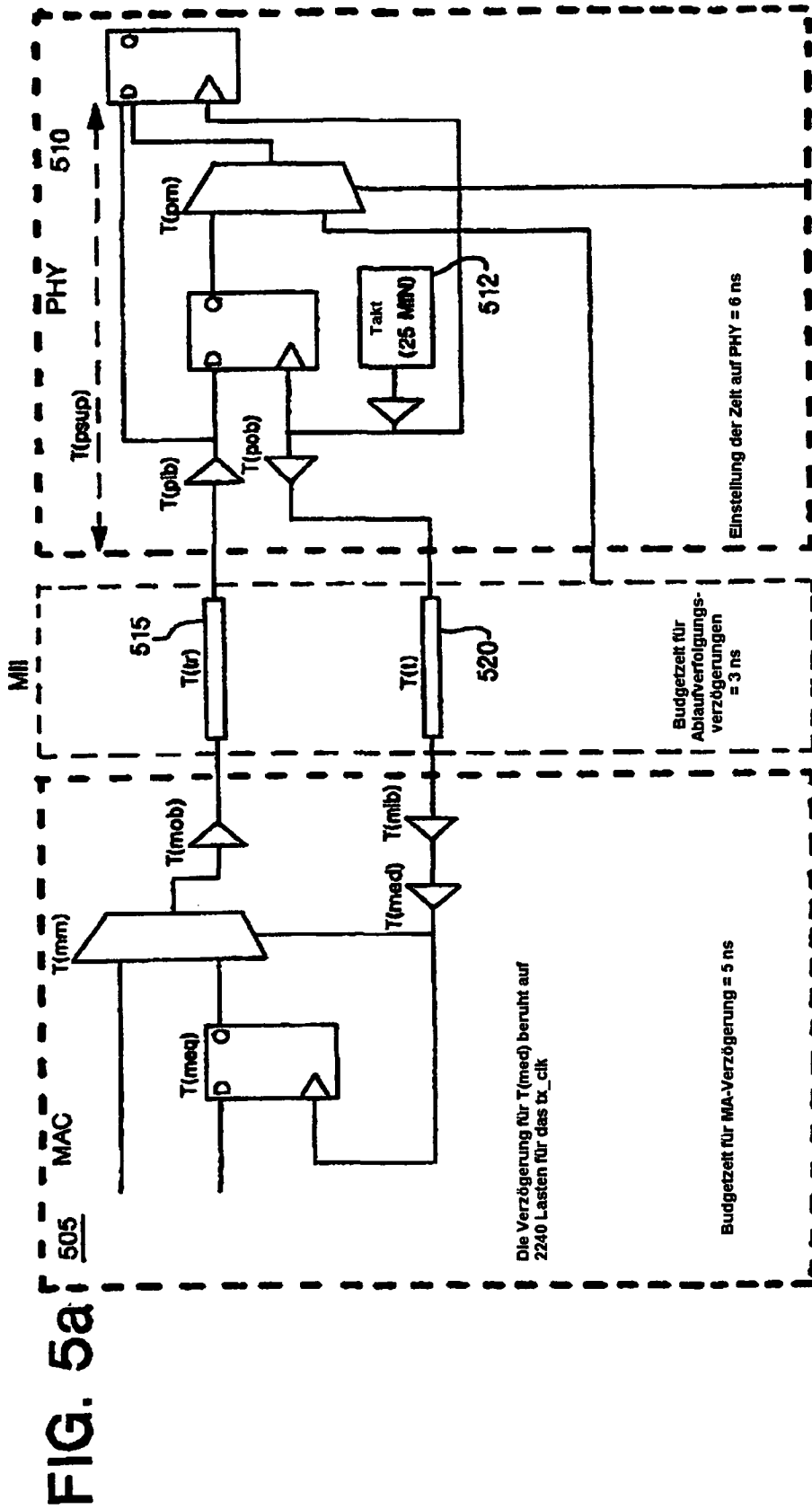
SUBSTITUTE SHEET ( rule 26 )



SUBSTITUTE SHEET ( rule 26 )



SUBSTITUTE SHEET (rule 26)



Budgetzeitbereich	Zustand	zugewiesene Zeit (ns)
MAC	Takt an Q	5
	zwei Modul-Ablaufverfolgungen $10^{-6}$ per Ablaufverfolgung x 2	3
PHY	Daten an Takteinstellung	6

**FIG. 5b**

SUBSTITUTE SHEET ( rule 26 )