I685116

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I685116 B**

(45)公告日： 中華民國 109 (2020) 年 02 月 11 日

(21)申請案號：108104981　(22)申請日： 中華民國 104 (2015) 年 01 月 26 日

(51)Int. Cl.：　*H01L29/786 (2006.01)*

(30)優先權：2014/02/07　日本　2014-022871

2014/02/07　日本　2014-022872

2014/03/14　日本　2014-051131

2014/03/14　日本　2014-051136

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)

日本

(72)發明人：肥塚純一 KOEZUKA, JUNICHI (JP) ；神長正美 JINTYOU, MASAMI (JP) ；島行德 SHIMA, YUKINORI (JP) ；黒崎大輔 KUROSAKI, DAISUKE (JP) ；中田昌孝 NAKADA, MASATAKA (JP) ；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US　2011/0127579A1

審查人員：林弘恩

申請專利範圍項數：37 項　圖式數：53　共 222 頁

(54)名稱

半導體裝置

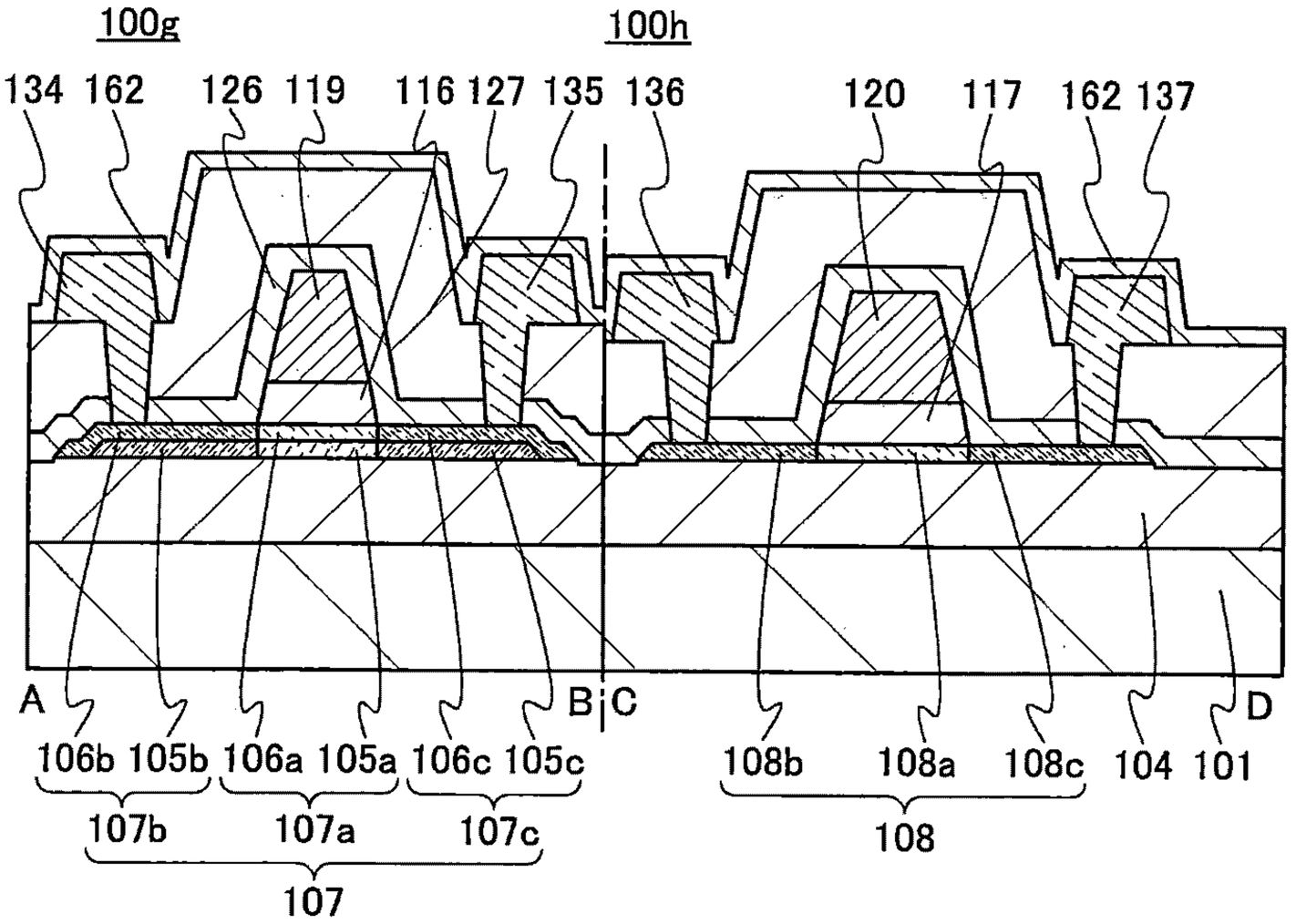
(57)摘要

本發明的一個方式提供一種使用氧化物半導體的通態電流較大的半導體裝置。該半導體裝置包括設置在驅動電路部的第一電晶體及設置在像素部的第二電晶體，第一電晶體與第二電晶體的結構不同。另外，第一電晶體及第二電晶體是頂閘極結構的電晶體，並在氧化物半導體膜中的不與閘極電極重疊的區域中包含雜質元素。在氧化物半導體膜中，包含雜質元素的區域具有低電阻區域的功能。另外，在氧化物半導體膜中，包含雜質元素的區域與包含氫的膜接觸。另外，設置在驅動電路部的第一電晶體可以包括層疊有第一膜及第二膜的氧化物半導體膜，設置在像素部的第二電晶體也可以包括其金屬元素的原子個數比與第一膜不同的氧化物半導體膜。

The semiconductor device includes a first transistor provided in a driver circuit portion and a second transistor provided in a pixel portion; the first transistor and the second transistor have different structures. In an oxide semiconductor film of each of the transistors, an impurity element is contained in regions which do not overlap with a gate electrode. The regions of the oxide semiconductor film which contain the impurity element function as low-resistance regions. Furthermore, the regions of the oxide semiconductor film which contain the impurity element are in contact with a film containing hydrogen. Furthermore, the first transistor provided in the driver circuit portion may include the oxide semiconductor film in which a first film and a second film are stacked, and the second transistor provided in the pixel portion may include the oxide semiconductor film which differs from the first film in the atomic ratio of metal elements.

指定代表圖：

圖 2A



符號簡單說明：

100g・・・電晶體

100h・・・電晶體

101・・・基板

104・・・絕緣膜

105a・・・通道區域

105b・・・低電阻區域

105c・・・低電阻區域

106a・・・通道區域

106b・・・低電阻區域

106c・・・低電阻區域

107・・・多層膜

107a・・・通道區域

107b・・・低電阻區域

107c・・・低電阻區域

108・・・氧化物半導體膜

108a・・・通道區域

108b・・・低電阻區域

108c・・・低電阻區域

116・・・絕緣膜

117・・・絕緣膜

119・・・導電膜

120・・・導電膜

126・・・絕緣膜

127・・・絕緣膜

134・・・導電膜

135・・・導電膜

136・・・導電膜

137・・・導電膜

162・・・氮化物絕緣膜

I685116

發明摘要

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明的一個方式提供一種使用氧化物半導體的通態電流較大的半導體裝置。該半導體裝置包括設置在驅動電路部的第一電晶體及設置在像素部的第二電晶體，第一電晶體與第二電晶體的結構不同。另外，第一電晶體及第二電晶體是頂閘極結構的電晶體，並在氧化物半導體膜中的不與閘極電極重疊的區域中包含雜質元素。在氧化物半導體膜中，包含雜質元素的區域具有低電阻區域的功能。另外，在氧化物半導體膜中，包含雜質元素的區域與包含氫的膜接觸。另外，設置在驅動電路部的第一電晶體可以包括層疊有第一膜及第二膜的氧化物半導體膜，設置在像素部的第二電晶體也可以包括其金屬元素的原子個數比與第一膜不同的氧化物半導體膜。

【英文】

The semiconductor device includes a first transistor provided in a driver circuit portion and a second transistor provided in a pixel portion; the first transistor and the second transistor have different structures. In an oxide semiconductor film of each of the transistors, an impurity element is contained in regions which do not overlap with a gate electrode. The regions of the oxide semiconductor film which contain the impurity element function as low-resistance regions. Furthermore, the regions of the oxide semiconductor film which contain the impurity element are in contact with a film containing hydrogen. Furthermore, the first transistor provided in the driver circuit portion may include the oxide semiconductor film in which a first film and a second film are stacked, and the second transistor provided in the pixel portion may include the oxide semiconductor film which differs from the first film in the atomic ratio of metal elements.

【代表圖】

【本案指定代表圖】：第(2A)圖。

【本代表圖之符號簡單說明】：

100g：電晶體　　100h：電晶體

101：基板　　104：絕緣膜

105a：通道區域　　105b：低電阻區域

105c：低電阻區域　　106a：通道區域

106b：低電阻區域　　106c：低電阻區域

107：多層膜　　107a：通道區域

107b：低電阻區域　　107c：低電阻區域

108：氧化物半導體膜　　108a：通道區域

108b：低電阻區域　　108c：低電阻區域

116：絕緣膜　　117：絕緣膜

119：導電膜　　120：導電膜

126：絕緣膜　　127：絕緣膜

134：導電膜　　135：導電膜

136：導電膜　　137：導電膜

162：氮化物絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

[0001] 本發明的一個方式係關於一種使用氧化物半導體膜的半導體裝置及使用該半導體裝置的顯示裝置。

[0002] 注意，本發明的一個方式不侷限於上述技術領域。本說明書等所公開的發明的一個方式的技術領域係關於一種物體、方法或製造方法。或者，本發明係關於一種製程(process)、機器(machine)、產品(manufacture)或組合物(composition of matter)。本發明的一個方式尤其係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置以及其驅動方法或其製造方法。

[0003] 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等半導體元件，半導體電路、算術裝置或記憶體裝置也是半導體裝置的一個方式。攝像裝置、顯示裝置、液晶顯示裝置、發光裝置、電光裝置、發電裝置(包括薄膜太陽能電池、有機薄膜太陽能電池等)及電子裝置有時包括半導體裝置。

【先前技術】

[0004] 藉由利用形成在具有絕緣表面的基板上的半導體薄膜來構成電晶體(也稱為薄膜電晶體(TFT))的技術受到關注。該電晶體被廣泛地應用於如積體電路(IC)、影像顯示裝置(顯示裝置)等電子裝置。作為可以應用於電晶體的半導體薄膜，以矽為代表的半導體材料被周知，而作為其他材料，氧化物半導體受到關注。

[0005] 例如，專利文獻 1 公開一種技術，其中作為氧化物半導體使用包含 In、Zn、Ga、Sn 等的非晶氧化物製造電晶體。

[0006]

[專利文獻 1]日本專利申請公開第 2006-165529 號公報

[0007] 作為使用氧化物半導體膜的電晶體，例如，可以舉出反交錯型(也稱為底閘極結構)或平面型(也稱為頂閘極結構)等。當將使用氧化物半導體膜的電晶體應用於顯示裝置時，反交錯型電晶體比平面型電晶體的製程簡單而可以抑制製造成本，所以利用反交錯型電晶體的情況較多。然而，隨著顯示裝置的螢幕的大型化或顯示裝置的影像的高清晰化(例如，典型為 4k×2k(水平方向像素數=3840 像素，垂直方向像素數=2160 像素)或 8k×4k(水平方向像素數=7680 像素，垂直方向像素數=4320 像素)的高清晰的顯示裝置)，有如下問題：在反交錯型電晶體中，閘極電極與源極電極及汲極電極之間有寄生電容，該寄生電容導致信號延遲等變大，而使顯示裝置的影像品質劣化。另

外，反交錯型電晶體有與平面型電晶體相比電晶體的佔有面積較大的問題。於是，作為使用氧化物半導體膜的平面型電晶體，期待著如下電晶體的開發：具有穩定的半導體特性及較高的可靠性的結構並由簡單的製程形成。

【發明內容】

[0008] 鑒於上述問題，本發明的一個方式的目的之一是提供一種使用氧化物半導體的新穎的半導體裝置。尤其是，本發明的一個方式的目的之一是提供一種使用氧化物半導體的平面型半導體裝置。另外，本發明的一個方式的目的之一是提供一種使用氧化物半導體的通態電流(on-state current)大的半導體裝置，提供一種使用氧化物半導體的關態電流(off-state current)小的半導體裝置，提供一種使用氧化物半導體的佔有面積小的半導體裝置，提供一種使用氧化物半導體的具有穩定的電特性的半導體裝置，提供一種使用氧化物半導體的可靠性高的半導體裝置，提供一種新穎的半導體裝置，提供一種新穎的顯示裝置。

[0009] 注意，上述目的的記載不妨礙其他目的的存在。此外，本發明的一個方式並不需要解決所有上述目的。上述以外的目的從說明書等的記載看來顯而易見，且可以從說明書等的記載中抽出上述以外的目的。

[0010] 本發明的一個方式是包括設置在驅動電路部的第一電晶體及設置在像素部的第二電晶體的半導體裝置，其中第一電晶體與第二電晶體的結構不同。另外，第

一電晶體及第二電晶體是頂閘極結構的電晶體，在各電晶體的氧化物半導體膜中，在不與閘極電極重疊的區域中包含雜質元素。在氧化物半導體膜中，包含雜質元素的區域具有低電阻區域的功能。另外，在氧化物半導體膜中，包含雜質元素的區域與包含氫的膜接觸。另外，也可以包括：在包含氫的膜的開口部中與包含雜質元素的區域接觸的具有源極電極及汲極電極的功能的導電膜。

[0011] 本發明的一個方式是包括設置在驅動電路部的第一電晶體、設置在像素部的第二電晶體及第三電晶體的半導體裝置，並且至少第二電晶體與第三電晶體的結構不同。另外，第一電晶體至第三電晶體是頂閘極結構的電晶體，在各電晶體的氧化物半導體膜中，在不與閘極電極重疊的區域中包含雜質元素。另外，在氧化物半導體膜中，包含雜質元素的區域與包含氫的膜接觸。另外，也可以包括：在包含氫的膜的開口部中與包含雜質元素的區域接觸的具有源極電極及汲極電極的功能的導電膜。

[0012] 注意，設置在驅動電路部的第一電晶體也可以包括隔著氧化物半導體膜重疊的兩個閘極電極。

[0013] 注意，設置在驅動電路部的第一電晶體及設置在像素部的第三電晶體也可以包括隔著氧化物半導體膜重疊的兩個閘極電極。

[0014] 另外，設置在驅動電路部的第一電晶體可以包括層疊有第一膜及第二膜的氧化物半導體膜，設置在像素部的第二電晶體也可以包括其原子個數比與第一膜的金

屬元素的原子個數比不同的氧化物半導體膜。再者，第二電晶體中的氧化物半導體膜也可以與第一電晶體的氧化物半導體膜中的第二膜的金屬元素的原子個數比相同。

[0015] 另外，設置在像素部的第三電晶體可以包括層疊有第一膜及第二膜的氧化物半導體膜，設置在像素部的第二電晶體也可以包括其原子個數比與第一膜的金屬元素的原子個數比不同的氧化物半導體膜。再者，第二電晶體中的氧化物半導體膜也可以與第三電晶體的氧化物半導體膜中的第二膜的金屬元素的原子個數比相同。

[0016] 另外，設置在驅動電路部的第一電晶體及設置在像素部的第三電晶體可以各包括層疊有第一膜及第二膜的氧化物半導體膜，並且第一膜及第二膜的金屬元素的原子個數比也可以不同。

[0017] 作為雜質元素，有氫、硼、碳、氮、氟、鋁、矽、磷、氯或稀有氣體元素。

[0018] 在氧化物半導體膜中，藉由包括稀有氣體元素、硼、碳、氮、氟、鋁、矽、磷及氯中的至少一個雜質元素以及氫，導電性得到提高。因此，在氧化物半導體膜中，藉由在不與閘極電極重疊的區域中具有包含該雜質元素的區域，並使包含雜質元素的區域與源極電極及汲極電極接觸，能夠降低電晶體的寄生電阻及寄生電容，而成為通態電流高的電晶體。

[0019] 藉由本發明的一個方式，可以提供一種使用氧化物半導體的新穎的半導體裝置。尤其是，可以提供一

種使用氧化物半導體的平面型半導體裝置。可以提供一種使用氧化物半導體的通態電流大的半導體裝置。可以提供一種使用氧化物半導體的關態電流小的半導體裝置。可以提供一種使用氧化物半導體的佔有面積小的半導體裝置。可以提供一種使用氧化物半導體的具有穩定的電特性的半導體裝置。可以提供一種使用氧化物半導體的可靠性高的半導體裝置。可以提供一種新穎的半導體裝置。可以提供一種新穎的顯示裝置。

[0020] 注意，這些效果的記載不妨礙其他效果的存在。本發明的一個方式並不一定必須要具有所有上述效果。另外，說明書、圖式以及申請專利範圍等的記載中顯然存在上述效果以外的效果，可以從說明書、圖式以及申請專利範圍等的記載中獲得上述效果以外的效果。

【圖式簡單說明】

[0021] 在圖式中：

圖 1A 和圖 1B 是說明半導體裝置的一個方式的俯視圖；

圖 2A 和圖 2B 是說明半導體裝置的一個方式的剖面圖；

圖 3A 和圖 3B 是說明半導體裝置的一個方式的剖面圖；

圖 4A 至圖 4C 是說明半導體裝置的製造方法的一個方式的剖面圖；

圖 5A 至圖 5C 是說明半導體裝置的製造方法的一個方式的剖面圖；

圖 6A 和圖 6B 是說明半導體裝置的製造方法的一個方式的剖面圖；

圖 7A 和圖 7B 是說明半導體裝置的一個方式的俯視圖；

圖 8A 和圖 8B 是說明半導體裝置的一個方式的剖面圖；

圖 9A 和圖 9B 是說明半導體裝置的一個方式的剖面圖；

圖 10A 和圖 10B 是說明半導體裝置的一個方式的剖面圖；

圖 11A 至圖 11C 是說明半導體裝置的一個方式的俯視圖；

圖 12 是說明半導體裝置的一個方式的剖面圖；

圖 13 是說明半導體裝置的一個方式的剖面圖；

圖 14 是說明半導體裝置的一個方式的剖面圖；

圖 15 是說明半導體裝置的一個方式的剖面圖；

圖 16 是說明半導體裝置的一個方式的剖面圖；

圖 17 是說明半導體裝置的一個方式的剖面圖；

圖 18A 至圖 18C 是說明半導體裝置的一個方式的俯視圖；

圖 19 是說明半導體裝置的一個方式的剖面圖；

圖 20 是說明半導體裝置的一個方式的剖面圖；

圖 21A 至圖 21C 是說明半導體裝置的一個方式的俯視圖；

圖 22 是說明半導體裝置的一個方式的剖面圖；

圖 23 是說明半導體裝置的一個方式的剖面圖；

圖 24A 和圖 24B 是說明半導體裝置的製造方法的一個方式的剖面圖；

圖 25A 和圖 25B 是說明半導體裝置的製造方法的一個方式的剖面圖；

圖 26A 和圖 26B 是說明半導體裝置的製造方法的一個方式的剖面圖；

圖 27A 和圖 27B 是說明半導體裝置的製造方法的一個方式的剖面圖；

圖 28A 和圖 28B 是說明根據本發明的一個方式的電晶體的能帶結構的圖；

圖 29A 至圖 29F 是說明電晶體的結構的剖面圖；

圖 30A 至圖 30F 是說明電晶體的結構的剖面圖；

圖 31A 至圖 31E 是說明電晶體的結構的剖面圖；

圖 32A 和圖 32B 是說明電晶體的結構的剖面圖；

圖 33A 至圖 33D 是說明電晶體的結構的剖面圖；

圖 34A 和圖 34B 是說明電晶體的製程的剖面圖；

圖 35 是說明計算模型的圖；

圖 36A 和圖 36B 是說明初始狀態及最終狀態的圖；

圖 37 是說明活化能的圖；

圖 38A 和圖 38B 是說明初始狀態及最終狀態的圖；

圖 39 是說明活化能的圖；

圖 40 是說明 V_OH 的遷移能階的圖；

圖 41A 至圖 41D 是說明顯示裝置的方塊圖及電路圖；

圖 42 是說明顯示裝置的一個方式的俯視圖；

圖 43A 和圖 43B 是說明顯示裝置的一個方式的剖面圖；

圖 44A 和圖 44B 是說明顯示裝置的一個方式的剖面圖；

圖 45 是說明發光裝置的像素部的結構的剖面圖；

圖 46 是說明顯示模組的圖；

圖 47A 至圖 47G 是說明電子裝置的圖；

圖 48 是說明電阻率的溫度依賴性的圖；

圖 49A 至圖 49D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像以及 CAAC-OS 的剖面示意圖；

圖 50A 至圖 50D 是 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像；

圖 51A 至圖 51C 是說明藉由 XRD 得到的 CAAC-OS 以及單晶氧化物半導體的結構分析的圖；

圖 52A 和圖 52B 是示出 CAAC-OS 的電子繞射圖案的圖；

圖 53 是示出藉由電子照射的 In-Ga-Zn 氧化物的結晶部的變化的圖。

【實施方式】

[0022] 下面，參照圖式詳細說明本發明的實施方式。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

[0023] 另外，為了便於理解，有時在圖式等中示出的各結構的位置、大小及範圍等並不表示其實際的位置、大小及範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小、範圍等。

[0024] 另外，在本說明書等中使用的“第一”、“第二”、“第三”等序數詞是為了方便識別構成要素而附的，而不是為了在數目方面上進行限定的。

[0025] 在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在...之上”或“直接在...之下”。例如，“閘極絕緣膜上的閘極電極”包括在閘極絕緣層和閘極電極之間包含其他構成要素的情況。

[0026] 另外，在本說明書等中，“電極”或“佈線”不在功能上限定其構成要素。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”被形成為一體的情況等。

[0027] 另外，在使用極性不同的電晶體的情況或在電路工作中在電流方向變化的情況等下，“源極”及“汲極”

的功能有時被互相調換。因此，在本說明書等中，“源極”和“汲極”可以被互相調換。

[0028] 注意，在本說明書等中，“電連接”包括隔著“具有某種電作用的元件”連接的情況。在此，“具有某種電作用的元件”只要可以進行連接目標間的電信號的發送和接收，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

[0029]

實施方式 1

在本實施方式中，參照圖 1A 至圖 10B 對半導體裝置及半導體裝置的製造方法的一個方式進行說明。

[0030]

〈半導體裝置的結構 1〉

圖 1A 至圖 2B 示出頂閘極結構的電晶體作為包括在半導體裝置中的電晶體的一個例子。在此，作為半導體裝置的一個例子，對顯示裝置進行說明。另外，說明分別設置在顯示裝置的驅動電路部及像素部的電晶體的結構。在本實施方式中，設置在驅動電路部的電晶體與設置在像素部的電晶體的不同之處在於氧化物半導體膜的結構。

[0031] 圖 1A 和圖 1B 示出設置在驅動電路部的電晶體 100g 及設置在像素部的電晶體 100h 的俯視圖，圖 2A 和圖 2B 示出電晶體 100g、100h 的剖面圖。圖 1A 是電晶

體 100g 的俯視圖，圖 1B 是電晶體 100h 的俯視圖。圖 2A 是圖 1A 的點劃線 A-B 間的剖面圖以及圖 1B 的點劃線 C-D 間的剖面圖。圖 2B 是圖 1A 的點劃線 G-H 間的剖面圖以及圖 1B 的點劃線 I-J 間的剖面圖。注意，在圖 1A 和圖 1B 中，為了明確起見，省略基板 101、絕緣膜 104、絕緣膜 126、絕緣膜 127 等。另外，圖 2A 是電晶體 100g、100h 的通道長度方向上的剖面圖。此外，圖 2B 是電晶體 100g、100h 的通道寬度方向上的剖面圖。

[0032] 注意，在後面的俯視圖中有時也與電晶體 100g 及電晶體 100h 同樣地省略構成要素的一部分。另外，有時將點劃線 A-B 方向及點劃線 C-D 方向稱為通道長度方向，並將點劃線 G-H 方向及點劃線 I-J 方向稱為通道寬度方向。

[0033] 圖 2A 和圖 2B 所示的電晶體 100g 包括：形成在基板 101 上的絕緣膜 104 上的多層膜 107；接觸於多層膜 107 的絕緣膜 116；以及隔著絕緣膜 116 與多層膜 107 重疊的導電膜 119。導電膜 119 具有閘極電極的功能。絕緣膜 116 具有閘極絕緣膜的功能。多層膜 107 包括通道區域 107a 及低電阻區域 107b、107c。此外，通道區域 107a 包括接觸於絕緣膜 104 的通道區域 105a 及接觸於通道區域 105a 的通道區域 106a。低電阻區域 107b 包括接觸於絕緣膜 104 的低電阻區域 105b 及接觸於低電阻區域 105b 的低電阻區域 106b。低電阻區域 107c 包括接觸於絕緣膜 104 的低電阻區域 105c 及接觸於低電阻區域 105c 的低電

阻區域 106c。注意，雖然在圖 2A 和圖 2B 中未圖示，但是將包括通道區域 105a、低電阻區域 105b 及低電阻區域 105c 的氧化物半導體膜稱為氧化物半導體膜 105，並將包括通道區域 106a、低電阻區域 106b 及低電阻區域 106c 的氧化物半導體膜稱為氧化物半導體膜 106。也就是說，多層膜 107 層疊有氧化物半導體膜 105 及氧化物半導體膜 106。

[0034] 注意，在俯視形狀中，氧化物半導體膜 106 的端部位於氧化物半導體膜 105 的端部的外側。也就是說，氧化物半導體膜 106 覆蓋氧化物半導體膜 105 的頂面及側面。

[0035] 另外，在電晶體 100g 中，設置有接觸於低電阻區域 107b、107c 的絕緣膜 126。此外，也可以在絕緣膜 126 上設置絕緣膜 127。另外，設置有在絕緣膜 126 及絕緣膜 127 的開口部 128、129 中接觸於多層膜 107 的低電阻區域 107b、107c 的導電膜 134、135。

[0036] 電晶體 100h 包括：形成於基板 101 上的絕緣膜 104 之上的氧化物半導體膜 108；接觸於氧化物半導體膜 108 的絕緣膜 117；以及隔著絕緣膜 117 與氧化物半導體膜 108 重疊的導電膜 120。

[0037] 導電膜 120 具有閘極電極的功能。另外，絕緣膜 117 具有閘極絕緣膜的功能。

[0038] 氧化物半導體膜 108 包括：與導電膜 120 重疊的通道區域 108a；以及夾著該通道區域 108a 的低電阻

區域 108b、108c。

[0039] 另外，在電晶體 100h 中，設置有接觸於低電阻區域 108b、108c 的絕緣膜 126。此外，也可以在絕緣膜 126 上設置絕緣膜 127。另外，設置有在絕緣膜 126 及絕緣膜 127 的開口部 130、131 中接觸於氧化物半導體膜 108 的低電阻區域 108b、108c 的導電膜 136、137。

[0040] 注意，較佳為以覆蓋導電膜 134、135、136、137 的方式設置氮化物絕緣膜 162。藉由設置氮化物絕緣膜 162，能夠防止來自外部的雜質擴散。

[0041] 在電晶體 100g 及電晶體 100h 中，多層膜 107 中的氧化物半導體膜 105 與氧化物半導體膜 108 的組成不同。另一方面，多層膜 107 中的氧化物半導體膜 106 與氧化物半導體膜 108 的組成相同。也就是說，氧化物半導體膜 105 及氧化物半導體膜 108 藉由不同的製程形成，而氧化物半導體膜 106 及氧化物半導體膜 108 藉由相同的製程形成。

[0042] 在電晶體 100g 中，通道形成在氧化物半導體膜 105 中。因此，氧化物半導體膜 105 比氧化物半導體膜 106 厚。

[0043] 氧化物半導體膜 105 的厚度為 3nm 以上且 200nm 以下，或 10nm 以上且 50nm 以下，或 20nm 以上且 35nm 以下。氧化物半導體膜 106、108 的厚度為 3nm 以上且 200nm 以下，或 3nm 以上且 100nm 以下，或 10nm 以上且 100nm 以下，或 30nm 以上且 50nm 以下。

[0044] 氧化物半導體膜 105、106、108 由至少包含 In 的金屬氧化物形成，典型的是由 In-Ga 氧化物、In-M-Zn 氧化物(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)等形成。藉由使氧化物半導體膜 105 的銦含量多於氧化物半導體膜 106，能夠在電晶體 100g 中形成埋入通道。因此，能夠降低電晶體 100g 的臨界電壓的變動，並可以降低通道電阻，對於該情況將在後面所述的〈能帶結構〉中詳細地說明。

[0045] 氧化物半導體膜 105 的 In 的原子個數比大於 M(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)的原子個數比。當氧化物半導體膜 105 包含 In-M-Zn 氧化物(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)時，在用來形成氧化物半導體膜 105 的靶材中的金屬元素的原子個數比為 In：M：Zn=x_1：y_1：z_1 的情況下，x_1/y_1 較佳為大於 1 且 6 以下。作為靶材的金屬元素的原子個數比的代表例子，有 In：M：Zn=2：1：1.5、In：M：Zn=2：1：2.3、In：M：Zn=2：1：3、In：M：Zn=3：1：2、In：M：Zn=3：1：3、In：M：Zn=3：1：4 等。

[0046] 氧化物半導體膜 106、108 的 In 的原子個數比等於或小於 M(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)的原子個數比。當氧化物半導體膜 106、108 包含 In-M-Zn 氧化物(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)時，在用來形成氧化物半導體膜 106、108 的靶材的金屬元素的原子個數比為 In：M：

$Zn=x_2：y_2：z_2$ 的情況下，x_2/y_2 較佳為 1/6 以上且 1 以下。另外，z_2/y_2 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。藉由使 z_2/y_2 為 1 以上且 6 以下，作為氧化物半導體膜 106、108 的 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體)膜的形成變得容易。作為靶材的金屬元素的原子個數比的代表例子，有 In：M：Zn=1：1：1、In：M：Zn=1：1：1.2、In：M：Zn=1：3：2、In：M：Zn=1：3：4、In：M：Zn=1：3：6、In：M：Zn=1：3：8、In：M：Zn=1：4：4、In：M：Zn=1：4：5、In：M：Zn=1：4：6、In：M：Zn=1：4：7、In：M：Zn=1：4：8、In：M：Zn=1：5：5、In：M：Zn=1：5：6、In：M：Zn=1：5：7、In：M：Zn=1：5：8、In：M：Zn=1：6：8 等。

[0047] 作為電晶體 100g，由於通道形成在在 In 的原子個數比大於 M(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)的原子個數比的氧化物半導體膜 105 中，因此場效移動率高。典型的是場效移動率為大於 $10cm^2/Vs$ 且小於 $60cm^2/Vs$，較佳為 $15cm^2/Vs$ 以上且小於 $50cm^2/Vs$ 的電晶體。然而，當被照射光時，關態電流增大。因此，藉由在驅動電路部設置遮光膜，實現場效移動率高且關態電流低的電晶體。其結果是，可以製造能夠進行高速工作的驅動電路部。

[0048] 另一方面，作為電晶體 100h，由於通道形成在在 In 的原子個數比等於或小於 M(M 為 Mg、Al、Ti、

Ga、Y、Zr、La、Ce、Nd 或 Hf)的原子個數比的氧化物半導體膜中，因此即使對氧化物半導體膜照射光，關態電流的增大量也少。因此，藉由在像素部中設置包括 In 的原子個數比等於或小於 M(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)的原子個數比的氧化物半導體膜的電晶體，可以製造光照射的劣化少且顯示品質優異的像素部。

[0049] 另外，在顯示裝置中，包括在驅動電路部及像素部中的電晶體的通道長度也可以不同。

[0050] 典型的是，可以將驅動電路部所包括的電晶體 100g 的通道長度設定為小於 2.5μm，或 1.45μm 以上且 2.2μm 以下。另一方面，可以將像素部所包括的電晶體 100h 的通道長度設定為 2.5μm 以上，或 2.5μm 以上且 20μm 以下。

[0051] 藉由將驅動電路部所包括的電晶體 100g 的通道長度設定為小於 2.5μm，較佳為 1.45μm 以上且 2.2μm 以下，與像素部所包括的電晶體 100h 相比，能夠提高場效移動率並增大通態電流。其結果是，可以製造能夠進行高速工作的驅動電路部。

[0052] 在多層膜 107 中，在不與導電膜 119 重疊的區域中具有形成氧缺陷的元素。另外，在氧化物半導體膜 108 中，在不與導電膜 120 重疊的區域中具有形成氧缺陷的元素。下面，將藉由對氧化物半導體膜添加而在其中形成氧缺陷的元素稱為雜質元素來進行說明。作為雜質元素

的典型例子，有氫、硼、碳、氮、氟、鋁、矽、磷、氯以及稀有氣體元素等。作為稀有氣體元素的典型例子，有氦、氖、氬、氪以及氙。

[0053] 另外，絕緣膜 126 是包含氫的膜，典型的有氮化物絕緣膜。作為氮化物絕緣膜的例子，有氮化矽膜、氮化鋁膜等。藉由使絕緣膜 126 與多層膜 107 及氧化物半導體膜 108 接觸，絕緣膜 126 所包含的氫擴散到多層膜 107 及氧化物半導體膜 108。其結果是，在多層膜 107 及氧化物半導體膜 108 中的與絕緣膜 126 接觸的區域中，含有多量的氫。

[0054] 當雜質元素被添加到氧化物半導體時，氧化物半導體中的金屬元素與氧的鍵合被切斷，而形成氧缺陷。當對因添加雜質元素而形成有氧缺陷的氧化物半導體添加氫時，氫進入氧缺陷部，在導帶附近形成施體能階，而氧化物半導體的導電率變高。其結果是，可以形成氧化物導電體。因此，氧化物導電體具有透光性。在此，將導電體化的氧化物半導體稱為氧化物導電體。

[0055] 氧化物導電體是簡併半導體，可以推測其導帶邊緣能階與費米能階一致或大致一致。因此，氧化物導電體膜與具有源極電極及汲極電極的功能的導電膜之間的接觸為歐姆接觸，可以降低氧化物導電體膜與具有源極電極及汲極電極的功能的導電膜之間的接觸電阻。

[0056] 換言之，低電阻區域 107b、107c、108b、108c 具有源極區域及汲極區域的功能。

[0057] 另外，當使用鎢、鈦、鋁、銅、鉬、鉻、鉭或這些元素的合金等容易與氧鍵合的導電材料形成導電膜 134、135、136、137 時，氧化物半導體膜所包含的氧與導電膜 134、135、136、137 所包含的導電材料鍵合，在多層膜 107 及氧化物半導體膜 108 中形成氧缺陷。另外，有時形成導電膜 134、135、136、137 的導電材料的構成元素的一部分混入到多層膜 107 及氧化物半導體膜 108 中。其結果是，與導電膜 134、135、136、137 接觸的低電阻區域 107b、107c、108b、108c 的導電性提高，並具有源極區域及汲極區域的功能。

[0058] 當雜質元素為稀有氣體元素且使用濺射法形成多層膜 107 及氧化物半導體膜 108 時，低電阻區域 107b、107c、108b、108c 分別包含稀有氣體元素，並且與通道區域 107a、108a 相比，低電阻區域 107b、107c、108b、108c 的稀有氣體元素濃度較高。這是因為，由於當使用濺射法形成多層膜 107 及氧化物半導體膜 108 時，作為濺射氣體使用稀有氣體，因此多層膜 107 及氧化物半導體膜 108 包含稀有氣體，並且為了在低電阻區域 107b、107c、108b、108c 中形成氧缺陷，有意地添加稀有氣體。注意，在低電阻區域 107b、107c、108b、108c 中，也可以添加與通道區域 107a、108a 不同的稀有氣體元素。

[0059] 另外，低電阻區域 107b、107c 因為與絕緣膜 126 接觸，所以與通道區域 107a 相比氫濃度較高。另

外，低電阻區域 108b、108c 因為與絕緣膜 126 接觸，所以與通道區域 108a 相比氫濃度較高。

[0060] 在低電阻區域 107b、107c、108b、108c 中，可以使藉由二次離子質譜分析法得到的氫濃度為 8×10^{19}atoms/cm^3 以上、1×10^{20}atoms/cm^3 以上或 5×10^{20}atoms/cm^3 以上。可以使通道區域 107a、108a 的藉由二次離子質譜分析法得到的氫濃度為 5×10^{19}atoms/cm^3 以下、1×10^{19}atoms/cm^3 以下、5×10^{18}atoms/cm^3 以下、1×10^{18}atoms/cm^3 以下、5×10^{17}atoms/cm^3 以下或 1×10^{16}atoms/cm^3 以下。

[0061] 與通道區域 107a、108a 相比，低電阻區域 107b、107c、108b、108c 的氫濃度高且因稀有氣體元素的添加而產生的氧缺陷量較多。因此，導電性變高，並且具有源極區域及汲極區域的功能。典型的是，低電阻區域 107b、107c、108b、108c 的電阻率可以為 $1\times10^{-3}\Omega$cm 以上且低於 $1\times10^{4}\Omega$cm，或者 $1\times10^{-3}\Omega$cm 以上且低於 $1\times10^{-1}\Omega$cm。

[0062] 注意，在低電阻區域 107b、107c、108b、108c 中，當氫的量與氧缺陷的量相同或比氧缺陷的量少時，氫容易被氧缺陷俘獲，而不容易擴散到通道區域 107a、108a。其結果是，可以製造常關閉(normally-off)特性的電晶體。

[0063] 另外，在低電阻區域 107b、107c、108b、108c 中，當氧缺陷的量比氫的量多時，藉由控制氫的

量，可以控制低電阻區域 107b、107c、108b、108c 的載子密度。或者，在低電阻區域 107b、107c、108b、108c 中，當氫的量比氧缺陷的量多時，藉由控制氧缺陷的量，可以控制低電阻區域 107b、107c、108b、108c 的載子密度。藉由將低電阻區域 107b、107c、108b、108c 的載子密度設定為 5×10^{18} 個/cm^3 以上、1×10^{19} 個/cm^3 以上或 1×10^{20} 個/cm^3 以上，可以製造通道區域與具有源極電極及汲極電極的功能的導電膜 134、135、136、137 之間的電阻小且通態電流大的電晶體。

[0064] 在本實施方式所示的電晶體 100g、100h 中，由於在通道區域與具有源極電極及汲極電極的功能的導電膜 134、135、136、137 之間包括低電阻區域 107b、107c、108b、108c，因此寄生電阻較小。

[0065] 另外，在電晶體 100g 中，導電膜 119 不與導電膜 134、135 重疊。因此，能夠降低導電膜 119 與導電膜 134、135 之間的寄生電容。另外，在電晶體 100h 中，導電膜 120 不與導電膜 136、137 重疊。因此，能夠降低導電膜 120 與導電膜 136、137 之間的寄生電容。其結果是，當作為基板 101 使用大面積基板時，能夠降低導電膜 119、120、134、135、136、137 中的信號延遲。

[0066] 因此，電晶體 100g、100h 的通態電流較大，場效移動率較高。

[0067] 另外，在電晶體 100g 中，以導電膜 119 為遮罩，對多層膜 107 添加雜質元素。另外，在電晶體 100h

中，以導電膜 120 為遮罩，對氧化物半導體膜 108 添加雜質元素。換言之，可以以自對準的方式形成低電阻區域。

[0068] 驅動電路部所包括的電晶體 100g 的通態電流較大且場效移動率較高。因此，可以製造驅動電路部的佔有面積小的顯示裝置。

[0069] 另外，藉由使用場效移動率較高的電晶體，可以在作為驅動電路部的一個例子的信號線驅動電路中形成解多工器電路。解多工器電路是將一個輸入信號分配到多個輸出中的任一個的電路，因此能夠減少用於輸入信號的輸入端子的數量。例如，一個像素包括紅色子像素、綠色子像素及藍色子像素，並且藉由對各像素設置解多工器電路，可以利用解多工器電路分配對各子像素輸入的輸入信號，因此能夠將輸入端子的數量減少到 1/3。

[0070] 另外，藉由在像素部中設置通態電流較大的電晶體 100h，即使在大型顯示裝置或高清晰顯示裝置中佈線的數量增多，也能夠降低各佈線的信號延遲，而能夠抑制顯示的不均勻。

[0071] 如上所述，藉由使用能夠進行高速工作的電晶體製造驅動電路部，並使用寄生電容及寄生電阻較少的電晶體製造像素部，可以製造高清晰且能夠進行倍速驅動的顯示裝置。

[0072] 下面詳細說明圖 1A 和圖 1B 所示的結構。

[0073] 作為基板 101 可以使用各種各樣的基板，而不侷限於特定的基板。作為基板的一個例子，有半導體基

板(例如單晶基板或矽基板)、SOI 基板、玻璃基板、石英基板、塑膠基板、金屬基板、不鏽鋼基板、包含不鏽鋼箔的基板、鎢基板、包含鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀材料的紙或者基材薄膜等。作為玻璃基板的一個例子，可以舉出鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鈉鈣玻璃等。作為撓性基板、貼合薄膜、基材薄膜等，可以舉出如下例子。例如可以舉出以聚對苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚碸(PES)為代表的塑膠。或者，作為一個例子，可以舉出丙烯酸樹脂等合成樹脂等。或者，作為一個例子，可以舉出聚丙烯、聚氟化乙烯或聚氯乙烯等。或者，作為一個例子，可以舉出聚酯、聚醯胺、聚醯亞胺、芳族聚醯胺、環氧樹脂、無機蒸鍍薄膜、紙等。尤其是，藉由使用半導體基板、單晶基板或 SOI 基板等製造電晶體，可以製造特性、尺寸或形狀等的不均勻性小、電流能力高且尺寸小的電晶體。當利用上述電晶體構成電路時，可以實現電路的低功耗化或電路的高集成化。

[0074] 另外，作為基板 101，也可以使用撓性基板，並且在撓性基板上直接形成電晶體。或者，也可以在基板 101 與電晶體之間設置剝離層。剝離層可以在如下情況下使用，即在剝離層上製造半導體裝置的一部分或全部，然後使其從基板 101 分離並轉置到其他基板上的情況。此時，也可以將電晶體轉置到耐熱性低的基板或撓性基板上。另外，作為上述剝離層，例如可以使用鎢膜與氧化矽

膜的無機膜的層疊結構或在基板上形成有聚醯亞胺等有機樹脂膜的結構等。

[0075] 作為電晶體所轉置到的基板的一個例子，除了上述可以形成電晶體的基板之外，還可以使用紙基板、玻璃紙基板、芳族聚醯胺薄膜基板、聚醯亞胺薄膜基板、石材基板、木材基板、布基板(包括天然纖維(絲、棉、麻)、合成纖維(尼龍、聚氨酯、聚酯)或再生纖維(醋酯纖維、銅氨纖維、人造纖維、再生聚酯)等)、皮革基板、橡膠基板等。藉由使用上述基板，能夠形成特性良好的電晶體或功耗低的電晶體，能夠提供耐久性高或耐熱性高的裝置，或能夠實現輕量化或薄型化。

[0076] 絕緣膜 104 可以是氧化物絕緣膜或氮化物絕緣膜的單層或疊層。注意，為了提高絕緣膜 104 與多層膜 107 及氧化物半導體膜 108 的介面特性，絕緣膜 104 中的至少與多層膜 107 及氧化物半導體膜 108 接觸的區域較佳為使用氧化物絕緣膜形成。另外，藉由作為絕緣膜 104 使用因加熱而釋放氧的氧化物絕緣膜，可以利用加熱處理使絕緣膜 104 所包含的氧移動到多層膜 107 及氧化物半導體膜 108 中。另外，作為絕緣膜 104，藉由使用氮化物絕緣膜形成與基板 101 接觸的區域，可以防止基板 101 所包含的元素移動到多層膜 107 及氧化物半導體膜 108 中，所以是較佳的。

[0077] 絕緣膜 104 的厚度可以是 50nm 以上，或者 100nm 以上且 3000nm 以下，或者 200nm 以上且 1000nm

以下。藉由使絕緣膜 104 較厚，不僅可以增加絕緣膜 104 的氧的釋放量，還可以降低絕緣膜 104 與多層膜 107 及氧化物半導體膜 108 的介面的介面態密度並降低多層膜 107 中的通道區域 107a 以及氧化物半導體膜 108 中的通道區域 108a 所包含的氧缺陷。

[0078] 作為絕緣膜 104，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉿、氧化鎵或 Ga-Zn 氧化物等，並以單層或疊層設置。

[0079] 在此，作為絕緣膜 104，層疊絕緣膜 104a 及絕緣膜 104b 來形成。藉由作為絕緣膜 104a 使用氮化物絕緣膜，可以防止基板 101 所包含的元素的擴散。另外，藉由作為絕緣膜 104b 使用氧化物絕緣膜，可以降低絕緣膜 104b 與多層膜 107 及氧化物半導體膜 108 的介面的介面態密度等。

[0080] 在多層膜 107 及氧化物半導體膜 108 中，當包含第 14 族元素之一的矽或碳時，在多層膜 107 及氧化物半導體膜 108 中氧缺陷增加而 n 型化。因此，在多層膜 107 及氧化物半導體膜 108 中，尤其在通道區域 107a、108a 中，可以將矽或碳的濃度(藉由二次離子質譜分析法得到的濃度)設定為 2×10^{18}atoms/cm^3 以下或 2×10^{17}atoms/cm^3 以下。其結果是，電晶體具有正臨界電壓的電特性(也稱為常關閉特性)。

[0081] 另外，在多層膜 107 及氧化物半導體膜 108 中，尤其在通道區域 107a、108a 中，可以將藉由二次離

子質譜分析法得到的鹼金屬或鹼土金屬的濃度設定為 1×10^{18}atoms/cm^3 以下或 2×10^{16}atoms/cm^3 以下。鹼金屬及鹼土金屬在與氧化物半導體鍵合時有時生成載子，而使電晶體的關態電流增大。因此，較佳為降低通道區域 107a、108a 的鹼金屬或鹼土金屬的濃度。其結果是，電晶體具有正臨界電壓的電特性(也稱為常關閉特性)。

[0082] 在多層膜 107 及氧化物半導體膜 108 中，尤其在通道區域 107a、108a 中，當包含氮時，生成作為載子的電子，載子密度增加，而 n 型化。其結果是，使用包含氮的氧化物半導體膜的電晶體容易具有常開啟(normally-on)特性。因此，在該氧化物半導體膜中，尤其在通道區域 107a、108a 中，較佳為儘可能地降低氮。例如，可以將藉由二次離子質譜分析法得到的氮濃度設定為 5×10^{18}atoms/cm^3 以下。

[0083] 在多層膜 107 及氧化物半導體膜 108 中，尤其在通道區域 107a、108a 中，藉由降低雜質元素，可以降低氧化物半導體膜的載子密度。因此，在多層膜 107 及氧化物半導體膜 108 中，尤其在通道區域 107a、108a 中，可以將載子密度設定為 1×10^{17} 個/cm^3 以下，或 1×10^{15} 個/cm^3 以下，或 1×10^{13} 個/cm^3 以下，或 8×10^{11}/cm^3 個以下，或 1×10^{11} 個/cm^3 以下，較佳為低於 1×10^{10}/cm^3 個且為 1×10^{-9}/cm^3 個以上。

[0084] 作為多層膜 107 及氧化物半導體膜 108，藉由使用雜質濃度低且缺陷態密度低的氧化物半導體膜，可以

製造具有更優異的電特性的電晶體。在此，將雜質濃度低且缺陷態密度低(氧缺陷少)的狀態稱為高純度本質或實質上高純度本質。高純度本質或實質上高純度本質的氧化物半導體具有較少的載子發生源，因此有時可以降低其載子密度。由此，通道區域形成在該氧化物半導體膜中的電晶體容易具有正臨界電壓的電特性(也稱為常關閉特性)。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有時其陷阱態密度也變低。此外，高純度本質或實質上高純度本質的氧化物半導體膜的關態電流顯著小，在源極電極與汲極電極間的電壓(汲極電壓)在 1V 至 10V 的範圍內時，關態電流可以為半導體參數分析儀的測量極限以下，即 1×10^{-13}A 以下。因此，有時通道區域形成在該氧化物半導體膜中的電晶體的電特性變動小，而該電晶體具有高可靠性。

[0085] 另外，構成多層膜 107 的氧化物半導體膜 105、106 及氧化物半導體膜 108 例如也可以是非單晶結構。非單晶結構例如包括下述 CAAC-OS、多晶結構、下述微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷態密度最高，而 CAAC-OS 的缺陷態密度最低。

[0086] 構成多層膜 107 的氧化物半導體膜 105、106 及氧化物半導體膜 108 也可以為具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的混合膜。混合膜有時採用例如具有非晶結構的區域、微晶結構的區域、多晶結構的區

域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的單層結構。另外，混合膜有時採用例如層疊有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的結構。

[0087] 注意，在多層膜 107 中，有時通道區域 107a 與低電阻區域 107b、107c 的結晶性不同。另外，在氧化物半導體膜 108 中，有時通道區域 108a 與低電阻區域 108b、108c 的結晶性不同。這是因為，當低電阻區域 107b、107c、108b、108c 被添加雜質元素時，低電阻區域 107b、107c、108b、108c 中產生損傷，而結晶性下降。

[0088] 絕緣膜 116、117 可以是氧化物絕緣膜或氮化物絕緣膜的單層或疊層。注意，為了提高絕緣膜 116、117 與多層膜 107 及氧化物半導體膜 108 的介面特性，絕緣膜 116、117 中的至少與多層膜 107 及氧化物半導體膜 108 接觸的區域較佳為使用氧化物絕緣膜形成。作為絕緣膜 116、117，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉿、氧化鎵或 Ga-Zn 氧化物等，並以單層或疊層設置。

[0089] 另外，藉由作為絕緣膜 116、117 設置具有對氧、氫、水等的阻擋效果的絕緣膜，可以防止氧從多層膜 107 及氧化物半導體膜 108 擴散到外部以及氫、水等從外部侵入到多層膜 107 及氧化物半導體膜 108。作為具有對氧、氫、水等的阻擋效果的絕緣膜，有氧化鋁、氧氮化

鋁、氧化鎵、氧氮化鎵、氧化釔、氧氮化釔、氧化鉿、氧氮化鉿等。

[0090] 另外，作為絕緣膜 116、117，藉由使用矽酸鉿($HfSiO_x$)、添加有氮的矽酸鉿($HfSi_xO_yN_z$)、添加有氮的鋁酸鉿($HfAl_xO_yN_z$)、氧化鉿、氧化釔等 high-k 材料，可以降低電晶體的閘極漏電流。

[0091] 另外，作為絕緣膜 116、117，藉由使用因加熱而釋放氧的氧化物絕緣膜，能夠藉由加熱處理使絕緣膜 116、117 所包含的氧移動到多層膜 107 及氧化物半導體膜 108 中。

[0092] 絕緣膜 116、117 的厚度可以為 5nm 以上且 400nm 以下、5nm 以上且 300nm 以下或 10nm 以上且 250nm 以下。

[0093] 導電膜 119、120 可以使用選自鋁、鉻、銅、鉭、鈦、鉬、鎢、鐵、鈷、鎢中的金屬元素、以上述金屬元素為成分的合金或組合上述金屬元素的合金等形成。另外，還可以使用選自錳和鋯中的一種或多種的金屬元素。另外，導電膜 119、120 既可以是單層結構又可以是兩層以上的疊層結構。例如，有包含矽的鋁膜的單層結構、包含錳的銅膜的單層結構、在鋁膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鉭膜或氮化鎢膜上層疊鎢膜的兩層結構、在包含錳的銅膜上層疊銅膜的兩層結構、依次層疊鈦膜、鋁膜及鈦膜的三層結構、依次層疊包含錳的銅膜、

銅膜及包含錳的銅膜的三層結構等。另外，也可以使用：組合鋁與選自鈦、鉭、鎢、鉬、鉻、釹、鈧中的一種或多種元素而成的合金膜或氮化膜。

[0094] 另外，導電膜 119、120 也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、包含氧化矽的銦錫氧化物等透光導電材料。另外，也可以採用上述具有透光性的導電性材料和上述金屬元素的疊層結構。

[0095] 導電膜 119、120 的厚度可以為 30nm 以上且 500nm 以下或 100nm 以上且 400nm 以下。

[0096] 導電膜 134、135、136、137 具有源極電極及汲極電極的功能。導電膜 134、135、136、137 可以適當地使用導電膜 119、120 所示的材料及結構。

[0097] 絕緣膜 127 可以是氧化物絕緣膜或氮化物絕緣膜的單層或疊層。另外，作為絕緣膜 127，藉由使用因加熱而釋放氧的氧化物絕緣膜，能夠藉由加熱處理使絕緣膜 127 所包含的氧移動到多層膜 107 及氧化物半導體膜 108 中。

[0098] 作為絕緣膜 127，例如可以使用氧化矽、氧氮化矽、氮化矽、氧化鋁、氧化鉿、氧化鎵或 Ga-Zn 氧化物等，並以單層或疊層設置。

[0099] 絕緣膜 127 的厚度可以為 30nm 以上且 500nm 以下或 100nm 以上且 400nm 以下。

[0100]

〈半導體裝置的結構 2〉

接著，使用圖 3A 和圖 3B 說明半導體裝置的其他結構。在此，在形成在驅動電路部的電晶體 100i 及形成在像素部的電晶體 100j 中，具有閘極電極的功能的導電膜 119、120 為疊層結構。注意，圖 3A 示出通道長度方向的電晶體 100i、100j 的剖面圖，圖 3B 示出通道寬度方向的電晶體 100i、100j 的剖面圖。

[0101] 導電膜 119 包括接觸於絕緣膜 116 的導電膜 119a 及接觸於導電膜 119a 的導電膜 119b。另外，導電膜 119a 的端部位於導電膜 119b 的端部的外側。換言之，導電膜 119a 具有其端部比導電膜 119b 的端部突出的形狀。

[0102] 另外，絕緣膜 116 的端部位於導電膜 119a 的端部的外側。換言之，絕緣膜 116 具有其端部比導電膜 119a 的端部突出的形狀。再者，絕緣膜 116 的側面也可以是彎曲的。

[0103] 導電膜 120 包括接觸於絕緣膜 117 的導電膜 120a 及接觸於導電膜 120a 的導電膜 120b。另外，導電膜 120a 的端部位於導電膜 120b 的端部的外側。換言之，導電膜 120a 具有其端部比導電膜 120b 的端部突出的形狀。

[0104] 另外，絕緣膜 117 的端部位於導電膜 120a 的端部的外側。換言之，絕緣膜 117 具有其端部比導電膜 120a 的端部突出的形狀。再者，絕緣膜 117 的側面也可以是彎曲的。

[0105] 作為導電膜 119a、120a，可以使用鈦、鉭、鉬、鎢、這些元素的合金、氮化鈦、氮化鉭、氮化鉬或氮化鎢等形成。或者，導電膜 119a、120a 可以使用 Cu-X 合金(X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti)等形成。

[0106] 導電膜 119b、120b 使用低電阻材料形成。作為導電膜 119b、120b，可以使用銅、鋁、金、銀、鎢等、這些元素的合金或者以上述材料為主成分的化合物等形成。

[0107] 注意，當作為導電膜 119a、120a 使用 Cu-X 合金(X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti)時，有時因加熱處理而在與絕緣膜接觸的區域中形成覆蓋膜。覆蓋膜由包含 X 的化合物形成。作為包含 X 的化合物的一個例子，有 X 的氧化物、X 的氮化物等。藉由在導電膜 119a、120a 的表面形成覆蓋膜，覆蓋膜成為障壁膜，而可以抑制 Cu-X 合金膜中的 Cu 進入氧化物半導體膜中。

[0108] 藉由將多層膜 107 及氧化物半導體膜 108 中的通道區域的銅的濃度設定為 1×10^{18}atoms/cm^3 以下，能夠降低具有閘極絕緣膜的功能的絕緣膜 116、117 與多層膜 107 及氧化物半導體膜 108 的介面的電子陷阱態密度。其結果是，能夠製造次臨界擺幅值(S 值)優異的電晶體。

[0109] 另外，如電晶體 100i、100j 所示，藉由包括圖 3A 和圖 3B 所示的形狀的導電膜 119、120 及絕緣膜 116、117，能夠使電晶體的汲極區域的電場弛豫。因此，能夠減輕起因於汲極區域的電場的電晶體的臨界電壓的變

動等劣化。

[0110]

〈半導體裝置的結構 3〉

接著，使用圖 7A 至圖 8B 說明半導體裝置的其他結構。在此，形成在驅動電路部的電晶體 100k 為雙閘極結構的電晶體。圖 7A 為電晶體 100k 的俯視圖，圖 7B 為電晶體 100z 的俯視圖。圖 8A 是圖 7A 的點劃線 A-B 間的剖面圖及圖 7B 的點劃線 C-D 間的剖面圖。圖 8B 是圖 7A 的點劃線 G-H 間的剖面圖及圖 7B 的點劃線 I-J 間的剖面圖。

[0111] 圖 8 和圖 8B 所示的電晶體 100k 包括：基板 101 上的導電膜 102；基板 101 及導電膜 102 上的絕緣膜 104；絕緣膜 104 上的多層膜 107；接觸於多層膜 107 的絕緣膜 116；以及隔著絕緣膜 116 與多層膜 107 重疊的導電膜 119。由於多層膜 107 的結構與〈半導體裝置的結構 1〉所示的多層膜 107 相同，因此省略詳細的說明。

[0112] 導電膜 102 及導電膜 119 具有閘極電極的功能。換言之，電晶體 100k 是雙閘極結構的電晶體。另外，絕緣膜 104 及絕緣膜 116 具有閘極絕緣膜的功能。

[0113] 注意，雖然未圖示，但是導電膜 102 也可以與整個多層膜 107 重疊。

[0114] 此外，較佳為在基板 101 上設置氮化物絕緣膜 161。作為氮化物絕緣膜 161，有氮化矽膜、氮化鋁膜等。藉由由氮化物絕緣膜 161 及絕緣膜 104a 覆蓋導電膜

102，可以防止導電膜 102 所包含的金屬元素的擴散，所以是較佳的。

[0115] 在電晶體 100k 中，藉由使導電膜 102 與導電膜 119 不連接並分別對其施加不同的電位，可以控制電晶體 100k 的臨界電壓。或者，如圖 8B 所示，藉由使導電膜 102 與導電膜 119 連接並對其施加相同的電位，可以降低初始特性偏差，抑制-GBT(-Gate Bias-Temperature)應力測試的劣化，並抑制通態電流的上升電壓在不同的汲極電壓下的變動。另外，藉由如圖 8B 所示那樣使導電膜 102 與導電膜 119 連接，導電膜 102、119 的電場影響到多層膜 107 的頂面及側面，因此載子在多層膜 107 整體中流動。換言之，由於載子流動的區域在膜厚度方向上進一步增大，因此載子的遷移量增多。其結果是，電晶體 100k 在通態電流變大的同時，其場效移動率變高。藉由將電晶體的通道長度設定為小於 2.5μm 或 1.45μm 以上且 2.2μm 以下，可以在進一步增大通態電流的同時，提高其場效移動率。另外，由於電晶體 100k 的通態電流較大，因此能夠縮小其平面的面積。其結果是，能夠製造驅動電路部的佔有面積小且窄邊框化的顯示裝置。

[0116] 由於電晶體 100z 可以採用與〈半導體裝置的結構 1〉所示的電晶體 100h 同樣的結構，因此省略詳細的說明。

[0117] 在本實施方式所示的顯示裝置中，在驅動電路部及像素部中，電晶體的結構不同。驅動電路部所包括

的電晶體是雙閘極結構。換言之，驅動電路部包括與像素部相比場效移動率高的電晶體。其結果是，可以製造能夠進行高速工作的驅動電路部。另外，藉由使用能夠進行高速工作的電晶體製造驅動電路部並使用寄生電容及寄生電阻少的電晶體製造像素部，可以製造高清晰且能夠進行倍速驅動的顯示裝置。

[0118]

〈半導體裝置的結構 4〉

接著，使用圖 9A 和圖 9B 說明半導體裝置的其他結構。在此，在形成於驅動電路部的電晶體 100m 及形成於像素部的電晶體 100n 中，具有閘極電極的功能的導電膜 119、120 為疊層結構。注意，圖 9A 示出通道長度方向的電晶體 100m、100n 的剖面圖，圖 9B 示出通道寬度方向的電晶體 100m、100n 的剖面圖。

[0119] 導電膜 119、120 具有與本實施方式的〈半導體裝置的結構 2〉所示的導電膜 119、120 同樣的疊層結構。

[0120] 另外，絕緣膜 116、117 具有與本實施方式的〈半導體裝置的結構 2〉所示的絕緣膜 116、117 同樣的結構。

[0121] 如電晶體 100m、100n 所示，藉由包括圖 9A 和圖 9B 所示的形狀的導電膜 119、120 及絕緣膜 116、117，能夠使電晶體的汲極區域的電場弛豫。因此，能夠降低起因於汲極區域的電場的電晶體的臨界電壓的變動等

劣化。

[0122]

〈半導體裝置的結構 5〉

接著，使用圖 10A 和圖 10B 說明半導體裝置的其他結構。在此，形成在驅動電路部的電晶體 111w、111x 及形成在像素部的電晶體 111y 包括多層膜。注意，圖 10A 示出通道長度方向的電晶體 111w、100h 的剖面圖，圖 10B 示出通道長度方向的電晶體 111x、111y 的剖面圖。

[0123] 圖 10A 所示的電晶體 111w 所包括的多層膜 107 包括通道區域 107a 及低電阻區域 107b、107c。另外，通道區域 107a 包括：接觸於絕緣膜 104 的通道區域 142a；接觸於通道區域 142a 的通道區域 105a；以及接觸於通道區域 105a 的通道區域 106a。低電阻區域 107b 包括：接觸於絕緣膜 104 的低電阻區域 142b；接觸於低電阻區域 142b 的低電阻區域 105b；以及接觸於低電阻區域 105b 的低電阻區域 106b。低電阻區域 107c 包括：接觸於絕緣膜 104 的低電阻區域 142c；接觸於低電阻區域 142c 的低電阻區域 105c；以及接觸於低電阻區域 105c 的低電阻區域 106c。注意，雖然在圖 10A 和圖 10B 中未圖示，但是將包括通道區域 142a、低電阻區域 142b 及低電阻區域 142c 的氧化物半導體膜稱為氧化物半導體膜 142。換言之，多層膜 107 依次層疊有氧化物半導體膜 142、氧化物半導體膜 105 及氧化物半導體膜 106。

[0124] 圖 10B 所示的電晶體 111x 所包括的多層膜

107 包括通道區域 107a 及低電阻區域 107b、107c。另外，通道區域 107a 包括：接觸於絕緣膜 104 的通道區域 142a；接觸於通道區域 142a 的通道區域 105a；接觸於通道區域 105a 的通道區域 106a；以及接觸於通道區域 106a 的通道區域 143a。低電阻區域 107b 包括：接觸於絕緣膜 104 的低電阻區域 142b；接觸於低電阻區域 142b 的低電阻區域 105b；接觸於低電阻區域 105b 的低電阻區域 106b；以及接觸於低電阻區域 106b 的低電阻區域 143b。低電阻區域 107c 包括：接觸於絕緣膜 104 的低電阻區域 142c；接觸於低電阻區域 142c 的低電阻區域 105c；接觸於低電阻區域 105c 的低電阻區域 106c；以及接觸於低電阻區域 106c 的低電阻區域 143c。注意，雖然在圖 10A 和圖 10B 中未圖示，但是將包括通道區域 143a、低電阻區域 143b 及低電阻區域 143c 的氧化物半導體膜稱為氧化物半導體膜 143。換言之，多層膜 107 依次層疊有氧化物半導體膜 142、氧化物半導體膜 105、氧化物半導體膜 106 及氧化物半導體膜 143。

[0125] 圖 10B 所示的電晶體 111y 所包括的多層膜 110 包括通道區域 110a 及低電阻區域 110b、110c。另外，通道區域 110a 包括：接觸於絕緣膜 104 的通道區域 108a；以及接觸於通道區域 108a 的通道區域 144a。低電阻區域 110b 包括：接觸於絕緣膜 104 的低電阻區域 108b；以及接觸於低電阻區域 108b 的低電阻區域 144b。低電阻區域 110c 包括：接觸於絕緣膜 104 的低電阻區域

108c；以及接觸於低電阻區域 108c 的低電阻區域 144c。注意，雖然在圖 10A 和圖 10B 中未圖示，但是將包括通道區域 144a、低電阻區域 144b 及低電阻區域 144c 的氧化物半導體膜稱為氧化物半導體膜 144。換言之，多層膜 110 依次層疊有氧化物半導體膜 108 及氧化物半導體膜 144。

[0126] 氧化物半導體膜 142、143、144 較佳為與氧化物半導體膜 105、106、108 相比能隙大、電子親和力小、且絕緣性高。另外，氧化物半導體膜 142、143、144 較佳為與氧化物半導體膜 105、106、108 相比鋁的含有量少。另外，氧化物半導體膜 142、143、144 較佳為具有遮蔽來自外部的雜質的功能。在這種氧化物半導體膜中，In 的原子個數比小於 M(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)的原子個數比。當氧化物半導體膜 142、143、144 包含 In-M-Zn 氧化物(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)時，在用來形成氧化物半導體膜 142、143、144 的靶材的金屬元素的原子個數比為 In：M：Zn=x_3：y_3：z_3 的情況下，x_3/y_3 較佳為 1/6 以上且小於 1。另外，z_3/y_3 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。藉由將 z_3/y_3 設定為 1 以上且 6 以下，作為氧化物半導體膜 142、143、144 的 CAAC-OS 膜的形成變得容易。作為靶材的金屬元素的原子個數比的代表例子，有 In：M：Zn=1：3：2、In：M：Zn=1：3：4、In：M：Zn=1：3：6、In：M：Zn=1：3：8、In：M：Zn=1：

4：4、In：M：Zn=1：4：5、In：M：Zn=1：4：6、In：M：Zn=1：4：7、In：M：Zn=1：4：8、In：M：Zn=1：5：5、In：M：Zn=1：5：6、In：M：Zn=1：5：7、In：M：Zn=1：5：8、In：M：Zn=1：6：8 等。

[0127] 在圖 10A 所示的電晶體 111w 中，氧化物半導體膜 142 與氧化物半導體膜 105 相比能隙大且電子親和力小，因此在氧化物半導體膜 105 中形成通道。即，實現埋入通道結構。另外，由於電晶體 111w 包括包含一種以上的構成氧化物半導體膜 105 的金屬元素的氧化物半導體膜 106 及氧化物半導體膜 142，因此不容易在氧化物半導體膜 105 與氧化物半導體膜 106 的介面及氧化物半導體膜 105 與氧化物半導體膜 142 的介面形成介面能階。因此，藉由設置氧化物半導體膜 106 及氧化物半導體膜 142，可以降低電晶體的臨界電壓等的電特性的偏差或變動。

[0128] 另外，同樣地，在圖 10B 所示的電晶體 111x 中，氧化物半導體膜 142、143 與氧化物半導體膜 105、106 相比能隙大且電子親和力小，因此在氧化物半導體膜 105 中形成通道。即，實現埋入通道結構。另外，藉由形成包括氧化物半導體膜 142、143 的多層膜 107，氧化物半導體膜 142 與氧化物半導體膜 105 的介面、氧化物半導體膜 105 與氧化物半導體膜 106 的介面及氧化物半導體膜 106 與氧化物半導體膜 143 的介面不容易形成介面能階。其結果是，可以降低電晶體的臨界電壓等的電特性的偏差或變動。

[0129] 另外，同樣地，在圖 10B 所示的電晶體 111y 中，藉由形成包括氧化物半導體膜 144 的多層膜 110，氧化物半導體膜 144 與氧化物半導體膜 108 的介面不容易形成介面能階。其結果是，可以降低電晶體的臨界電壓等的電特性的偏差或變動。

[0130]

〈能帶結構〉

接著，作為本實施方式所示的電晶體的典型例子，說明圖 8A 和圖 8B 所示的電晶體 100k 的任意剖面中的能帶結構。

[0131] 圖 28A 示出包括圖 8A 所示的電晶體 100k 的通道區域的 O-P 間的剖面的能帶結構。注意，通道區域 106a 的能隙稍微大於通道區域 105a 的能隙。另外，絕緣膜 104a、絕緣膜 104b 及絕緣膜 116 的能隙充分大於通道區域 106a 及通道區域 105a。此外，假設通道區域 106a、通道區域 105a、絕緣膜 104a、絕緣膜 104b 及絕緣膜 116 的費米能階(記為 Ef)都與本質費米能階(記為 Ei)大致相同。另外，導電膜 102 及導電膜 119 的功函數與該費米能階大致相同。

[0132] 當將閘極電壓設定為電晶體的臨界電壓以上時，由於通道區域 106a 與通道區域 105a 之間的導帶底能量的差，電子優先地流過通道區域 105a。也就是說，可以推測電子埋入在通道區域 105a 中。注意，將導帶底的能量記為 Ec，將價帶頂的能量記為 Ev。

[0133] 因此，根據本發明的一個方式的電晶體藉由電子的埋入而降低其介面的散射。因此，根據本發明的一個方式的電晶體的通道電阻小。

[0134] 接著，圖 28B 示出包括圖 8A 所示的電晶體 100k 的源極區域或汲極區域的 Q-R 間的剖面的能帶結構。注意，低電阻區域 105b、105c、106b、106c 處於簡併態(degenerate state)。也就是說，在低電阻區域 105b、105c、106b、106c 中，費米能階 Ef 與導帶底的能量 Ec 大致相同。另外，低電阻區域 105b 的導帶底的能量與通道區域 105a 的費米能階大致相同。此外，低電阻區域 106b 的導帶底的能量與通道區域 106a 的費米能階大致相同。低電阻區域 105c 及低電阻區域 106c 也是同樣的情況。

[0135] 此時，因為導電膜 134 與低電阻區域 106b 之間的能障足夠小，所以成為歐姆接觸。此外，低電阻區域 106b 與低電阻區域 105b 成為歐姆接觸。同樣地，導電膜 135 與低電阻區域 106c 之間的能障足夠小，所以成為歐姆接觸。此外，低電阻區域 106c 與低電阻區域 105c 成為歐姆接觸。因此，可知在導電膜 134 及導電膜 135 與通道區域 106a 及通道區域 105a 之間順利地進行電子的授受。

[0136] 如上所述，在根據本發明的一個方式的電晶體中，在源極電極以及汲極電極與通道區域之間順利地進行電子的授受，並且其通道電阻小。即，可知上述電晶體具有良好的開關特性。

[0137]

〈半導體裝置的製造方法 1〉

接下來，參照圖 4A 至圖 6B 說明圖 1A 和圖 1B 及圖 2A 和圖 2B 所示的電晶體 100g、100h 的製造方法。

[0138] 構成電晶體 100g、100h 的膜(絕緣膜、氧化物半導體膜、導電膜等)可以藉由濺射法、化學氣相沉積(CVD)法、真空蒸鍍法、脈衝雷射沉積(PLD)法形成。或者，可以藉由塗佈法或印刷法形成。作為成膜方法，典型的有濺射法、電漿化學氣相沉積(PECVD)法，但也可以使用熱 CVD 法。作為熱 CVD 法的例子，可以使用 MOCVD(有機金屬化學氣相沉積)法或 ALD(原子層沉積)法。

[0139] 藉由熱 CVD 法進行的成膜可以按以如下方式來執行：藉由將處理室內的壓力設定為大氣壓或減壓，將源氣體及氧化劑同時供應到處理室內，並使其在基板附近或基板上相互反應而沉積在基板上。如此，由於熱 CVD 法不產生電漿來形成膜，因此具有不產生起因於電漿損傷的缺陷的優點。

[0140] 另外，藉由 ALD 法進行的成膜可以按如下方式來執行：將處理室內的壓力設定為大氣壓或減壓，將用於反應的源氣體依次引入處理室內，然後按該順序反復地引入氣體。例如，藉由切換各自的開關閥(也稱為高速閥)來將兩種以上的源氣體依次供應到處理室內。在該情況下，以防止多種源氣體混合的方式在將第一源氣體引入的同時或之後將惰性氣體(氬或氮等)等引入，然後將第二源

氣體引入。注意，在將第一源氣體和惰性氣體同時引入的情況下，惰性氣體成為載子氣體，並且，惰性氣體也可以在將第二源氣體引入的同時引入。另外，也可以不引入惰性氣體而藉由真空抽氣將第一源氣體排出，然後引入第二源氣體。第一源氣體吸附於基板表面上，以形成第一單原子層；然後第二源氣體被引入以與第一單原子層起反應；其結果是，第二單原子層層疊於第一單原子層上，從而形成薄膜。

[0141] 藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步階覆蓋性良好的薄膜。薄膜的厚度可以藉由按該順序反復引入氣體的次數來調整，因此 ALD 法能夠精確地調整膜厚度，因而適用於製造微型電晶體。

[0142] 如圖 4A 所示，在基板 101 上形成絕緣膜 104。接著，在驅動電路部的絕緣膜 104 上形成氧化物半導體膜 105。

[0143] 絕緣膜 104 可以藉由適當地利用濺射法、CVD 法、蒸鍍法、脈衝雷射沉積(PLD)法、印刷法、塗佈法等形成。另外，可以在基板 101 上形成絕緣膜之後對該絕緣膜添加氧，來形成絕緣膜 104。作為對絕緣膜添加的氧，有氧自由基、氧原子、氧原子離子、氧分子離子等。此外，作為添加方法，有離子摻雜法、離子植入法、電漿處理法等。另外，也可以在絕緣膜上形成抑制氧脫離的膜之後，經過該膜對絕緣膜添加氧。

[0144] 此外，利用如下條件形成能夠藉由加熱處理使氧釋放的氧化矽膜或氧氮化矽膜作為絕緣膜 104：將設置在電漿 CVD 設備的抽成真空的處理室內的基板保持在 180℃以上且 280℃以下或在 200℃以上且 240℃以下的溫度，將源氣體引入處理室內而將處理室內的壓力設定為 100Pa 以上且 250Pa 以下或 100Pa 以上且 200Pa 以下，並對設置在處理室內的電極供應 0.17W/cm^2 以上且 0.5W/cm^2 以下，或 0.25W/cm^2 以上且 0.35W/cm^2 以下的高頻功率。

[0145] 在此，可以以層疊絕緣膜 104a 及絕緣膜 104b 的方式形成絕緣膜 104。例如，作為絕緣膜 104a 藉由利用電漿 CVD 法形成 100nm 厚的氮化矽膜，作為絕緣膜 104b 藉由利用電漿 CVD 法形成 300nm 厚的氧氮化矽膜。

[0146] 下面，對氧化物半導體膜 105 的形成方法進行說明。在絕緣膜 104 上藉由濺射法、塗佈法、脈衝雷射蒸鍍法、雷射剝蝕法、熱 CVD 法等形成氧化物半導體膜。接著，在氧化物半導體膜上藉由光微影製程形成遮罩之後，使用該遮罩對氧化物半導體膜的一部分進行蝕刻，由此可以如圖 4A 所示那樣形成氧化物半導體膜 105。然後，去除遮罩。另外，也可以在藉由對氧化物半導體膜的一部分進行蝕刻形成氧化物半導體膜 105 之後，進行加熱處理。

[0147] 或者，藉由利用印刷法形成氧化物半導體膜 105，可以直接形成元件隔離的氧化物半導體膜 105。

[0148] 在藉由濺射法形成氧化物半導體膜的情況下，作為用來產生電漿的電源裝置，可以適當地使用 RF 電源裝置、AC 電源裝置、DC 電源裝置等。藉由使用 AC 電源裝置或 DC 電源裝置，可以形成 CAAC-OS 膜。另外，與藉由使用 RF 電源裝置的濺射法形成氧化物半導體膜的情況相比，藉由使用 AC 電源裝置或 DC 電源裝置的濺射法形成氧化物半導體膜，可以使該膜的厚度、組成或結晶性的分佈均勻，所以是較佳的。

[0149] 作為濺射氣體，適當地使用稀有氣體(典型的是氬)、氧、稀有氣體和氧的混合氣體。注意，當採用稀有氣體和氧的混合氣體時，較佳為增高相對於稀有氣體的氧氣體比例。

[0150] 另外，當金屬元素的原子個數比為 In：M：Zn=x_1：y_1：z_1 的情況下，使用 x_1/y_1 大於 1 且為 6 以下的 In-M-Zn 氧化物(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)靶材形成氧化物半導體膜 105。

[0151] 另外，在形成氧化物半導體膜時例如使用濺射法的情況下，藉由將基板溫度設定為 150℃以上且 750℃以下，或 150℃以上且 450℃以下，或 200℃以上且 350℃以下來形成氧化物半導體膜，可以形成 CAAC-OS 膜。此外，藉由將基板溫度設定為 25℃以上且低於 150℃，可以形成微晶氧化物半導體膜。

[0152] 另外，為了形成將在後面說明的 CAAC-OS 膜，較佳為應用如下條件。

[0153] 藉由抑制成膜時的雜質混入，可以抑制雜質所導致的結晶態的損壞。例如，降低存在於成膜室內的雜質濃度(氫、水、二氧化碳及氮等)即可。另外，降低成膜氣體中的雜質濃度即可。明確而言，使用露點為-80℃以下，或-100℃以下的成膜氣體。

[0154] 另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最佳化，來減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.%以上，或 100vol.%。

[0155] 另外，也可以在形成氧化物半導體膜之後藉由進行加熱處理來實現氧化物半導體膜的脫氫化或脫水化。典型的是，該加熱處理的溫度為 150℃以上且低於基板的應變點，或 250℃以上且 450℃以下，或 300℃以上且 450℃以下。

[0156] 在包含氦、氖、氬、氪、氙等稀有氣體或包含氮的惰性氣體氛圍中進行加熱處理。或者，也可以在惰性氣體氛圍中進行加熱之後在氧氛圍中進行加熱。另外，上述惰性氣體氛圍及氧氛圍較佳為不包含氫、水等。處理時間是 3 分鐘以上且 24 小時以下。

[0157] 該加熱處理可以使用電爐、RTA 裝置等。藉由使用 RTA 裝置，可以限定於短時間內在基板的應變點以上的溫度下進行加熱處理。由此，可以縮短加熱處理時間。

[0158] 邊對氧化物半導體膜進行加熱邊形成該氧化物半導體膜，或者在形成氧化物半導體膜之後進行加熱處

理，由此，藉由二次離子質譜分析法得到的氧化物半導體膜中的氫濃度可以為 5×10^{19}atoms/cm^3 以下，或 1×10^{19}atoms/cm^3 以下，或 5×10^{18}atoms/cm^3 以下，或 1×10^{18}atoms/cm^3 以下，或 5×10^{17}atoms/cm^3 以下，或 1×10^{16}atoms/cm^3 以下。

[0159] 當使用利用 ALD 的沉積裝置來形成氧化物半導體膜如 $InGaZnO_X(X>0)$膜時，依次反復引入 $In(CH_3)_3$ 氣體和 O_3 氣體形成 InO_2 層，同時引入 $Ga(CH_3)_3$ 氣體和 O_3 氣體形成 GaO 層，然後同時引入 $Zn(CH_3)_2$ 氣體和 O_3 氣體形成 ZnO 層。注意，這些層的順序不侷限於上述例子。此外，也可以混合這些氣體來形成混合化合物層如 $InGaO_2$ 層、$InZnO_2$ 層、GaInO 層、ZnInO 層、GaZnO 層等。注意，雖然也可以使用利用 Ar 等惰性氣體使其起泡的 H_2O 氣體來代替 O_3 氣體，但較佳為使用不含有 H 的 O_3 氣體。還可以使用 $In(C_2H_5)_3$ 氣體代替 $In(CH_3)_3$ 氣體。還可以使用 $Ga(C_2H_5)_3$ 氣體代替 $Ga(CH_3)_3$ 氣體。另外，也可以使用 $Zn(CH_3)_2$ 氣體代替 $Zn(C_2H_5)_2$ 氣體。

[0160] 在此，利用濺射法形成 35nm 厚的氧化物半導體膜。接著，在該氧化物半導體膜上形成遮罩，並選擇性地對氧化物半導體膜的一部分進行蝕刻，來形成氧化物半導體膜 105。作為氧化物半導體膜 105，形成 In：Ga：Zn=3：1：2 的 In-Ga-Zn 氧化物膜。

[0161] 接著，如圖 4B 所示，在驅動電路部中的氧化物半導體膜 105 上形成氧化物半導體膜 106，並在像素部

中形成氧化物半導體膜 108。換言之，形成依次層疊有氧化物半導體膜 105 及氧化物半導體膜 106 的多層膜 107。

[0162] 注意，在該製程中，藉由以覆蓋氧化物半導體膜 105 的頂面及側面的方式形成氧化物半導體膜 106，防止氧化物半導體膜 105 在後面的形成具有源極電極及汲極電極的功能的導電膜的製程中被蝕刻。其結果是，可以降低電晶體的通道寬度方向上的氧化物半導體膜 105 的長度的變動，所以是較佳的。

[0163] 在此，藉由濺射法形成厚度為 20nm 的氧化物半導體膜。接著，藉由在該氧化物半導體膜上形成遮罩並選擇性地對氧化物半導體膜的一部分進行蝕刻，形成氧化物半導體膜 106、108。作為氧化物半導體膜 106、108，形成 In：Ga：Zn=1：1：1.2 的 In-Ga-Zn 氧化物膜。

[0164] 接著，進行加熱處理，使絕緣膜 104 所含的氧移動到氧化物半導體膜。注意，該加熱處理也可以在形成成為氧化物半導體膜 106、108 的氧化物半導體膜之後且在對該氧化物半導體膜進行蝕刻而形成氧化物半導體膜 106、108 之前進行。

[0165] 另外，藉由在高於 350℃且 650℃以下，或 450℃以上且 600℃以下的溫度下進行加熱處理，能夠獲得後述的 CAAC 化率為 60%以上且低於 100%，或 80%以上且低於 100%，或 90%以上且低於 100%，或 95%以上且 98%以下的氧化物半導體膜。此外，能夠獲得氫、水等的含量得到降低的氧化物半導體膜。即，能夠形成雜質濃度

低且缺陷態密度低的氧化物半導體膜。

[0166] 接著，如圖 4C 所示，在絕緣膜 104、多層膜 107 及氧化物半導體膜 108 上形成絕緣膜 115。接著，在絕緣膜 115 上形成導電膜 119、120。

[0167] 在作為導電膜 119、120 例如使用低電阻材料時，若低電阻材料混入氧化物半導體膜中，則會引起電晶體的電特性的劣化。在本實施方式中，藉由在形成導電膜 119、120 之前形成絕緣膜 115，使氧化物半導體膜 105、108 的通道區域不接觸於導電膜 119、120，因此能夠抑制電晶體的電特性的變動，典型的是臨界電壓的變動。

[0168] 作為絕緣膜 115，可以藉由使用 CVD 法形成氧化矽膜或氧氮化矽膜。此時，作為源氣體，較佳為使用包含矽的沉積氣體及氧化性氣體。作為包含矽的沉積氣體的典型例子，有矽烷、乙矽烷、丙矽烷、氟化矽烷等。作為氧化性氣體，有氧、臭氧、一氧化二氮、二氧化氮等。

[0169] 另外，作為絕緣膜 115，可以在如下條件下利用 CVD 法形成缺陷量少的氧氮化矽膜：在相對於沉積氣體的氧化性氣體比例為大於 20 倍且小於 100 倍，或者為 40 倍以上且 80 倍以下；並且處理室內的壓力為低於 100Pa，或 50Pa 以下。

[0170] 此外，作為絕緣膜 115，可以利用如下條件形成緻密的氧化矽膜或氧氮化矽膜：將設置在電漿 CVD 設備的抽成真空的處理室內的基板保持在 280℃以上且 400℃以下的溫度，將源氣體引入處理室內而將處理室內的壓

力設定為 20Pa 以上且 250Pa 以下，更佳為 100Pa 以上且 250Pa 以下，並對設置在處理室內的電極供應高頻功率。

[0171] 另外，可以藉由使用微波的電漿 CVD 法形成絕緣膜 115。微波是指 300MHz 至 300GHz 的頻率範圍。微波的電子溫度低，並且其電子能量小。此外，在被供應的電力中，用於加速電子的比例少，能夠用於更多分子的離解及電離，並且能夠使密度高的電漿(高密度電漿)激發。因此，電漿對被形成面及沉積物造成的損傷少，由此能夠形成缺陷少的絕緣膜 115。

[0172] 另外，可以藉由使用有機矽烷氣體的 CVD 法形成絕緣膜 115。作為有機矽烷氣體，可以使用四乙氧基矽烷(TEOS：化學式為 $Si(OC_2H_5)_4$)、四甲基矽烷(TMS：化學式為 $Si(CH_3)_4$)、四甲基環四矽氧烷(TMCTS)、八甲基環四矽氧烷(OMCTS)、六甲基二矽氮烷(HMDS)、三乙氧基矽烷($SiH(OC_2H_5)_3$)、三(二甲胺基)矽烷($SiH(N(CH_3)_2)_3$)等含有矽的化合物。藉由利用使用有機矽烷氣體的 CVD 法，能夠形成覆蓋性高的絕緣膜 115。

[0173] 此外，當作為絕緣膜 115 形成氧化鎵膜時，可以藉由 MOCVD 法形成。

[0174] 另外，在作為絕緣膜 115 藉由 MOCVD 法或 ALD 法等熱 CVD 法形成氧化鉿膜時，使用兩種氣體，即用作氧化劑的臭氧(O_3)和藉由使包含溶劑和鉿前體化合物的液體(鉿醇鹽溶液，典型的是四二甲基醯胺鉿(TDMAH))氣化而獲得的源氣體。注意，四二甲基醯胺鉿的化學式為

$Hf[N(CH_3)_2]_4$。另外，作為其它材料液，有四(乙基甲基醯胺)鉿等。

[0175] 另外，在作為絕緣膜 115 藉由 MOCVD 法或 ALD 法等熱 CVD 法形成氧化鋁膜時，使用兩種氣體，即用作氧化劑的 H_2O 和藉由使包含溶劑和鋁前體化合物的液體(三甲基鋁(TMA)等)氣化而獲得的源氣體。注意，三甲基鋁的化學式為 $Al(CH_3)_3$。另外，作為其它材料液，有三(二甲基醯胺)鋁、三異丁基鋁、鋁三(2,2,6,6-四甲基-3,5-庚二酮)等。，藉由利用 ALD 法能夠形成覆蓋性高且厚度薄的絕緣膜 115。

[0176] 另外，在作為絕緣膜 115 藉由 MOCVD 法或 ALD 法等熱 CVD 法形成氧化矽膜時，使六氯乙矽烷(hexachlorodisilane)吸附於被形成面上，去除吸附物所包含的氯，供應氧化性氣體(O_2 或一氧化二氮)的自由基使其與吸附物起反應。

[0177] 在此，作為絕緣膜 115，藉由電漿 CVD 法形成 100nm 厚的氧氮化矽膜。

[0178] 利用濺射法、真空蒸鍍法、脈衝雷射沉積(PLD)法、熱 CVD 法等形成導電膜，並在該導電膜上藉由光微影製程形成遮罩之後進行蝕刻處理，由此形成導電膜 119、120。

[0179] 另外，可以藉由利用 ALD 的成膜裝置形成用作導電膜的鎢膜。在該情況下，依次反復引入 WF_6 氣體及 B_2H_6 氣體來形成初期鎢膜，然後同時引入 WF_6 氣體及 H_2

氣體形成鎢膜。另外，也可以使用 SiH_4 氣體代替 B_2H_6 氣體。

[0180] 另外，在此，在導電膜上藉由光微影製程形成遮罩 122、123 之後，對該導電膜進行蝕刻，來形成導電膜 119、120。

[0181] 此外，作為導電膜 119、120 的形成方法，也可以利用電鍍法、印刷法、噴墨法等來代替上述形成方法。

[0182] 接著，如圖 5A 所示，在殘留著遮罩 122、123 的情況下對絕緣膜 115 進行蝕刻，由此形成絕緣膜 116、117。

[0183] 接著，如圖 5B 所示，在殘留著遮罩 122、123 的情況下對多層膜 107 及氧化物半導體膜 108 添加雜質元素 125。其結果是，對多層膜 107 及氧化物半導體膜 108 中的沒有被遮罩 122、123 覆蓋的區域添加雜質元素。另外，藉由添加雜質元素 125，在多層膜 107 及氧化物半導體膜 108 中形成氧缺陷。

[0184] 此外，也可以在去除遮罩 122、123 之後，形成其厚度能夠對氧化物半導體膜添加雜質元素 125 的膜，典型的是氮化物絕緣膜、氧化物絕緣膜等，並且將雜質元素 125 添加到氧化物半導體膜。另外，能夠對氧化物半導體膜添加雜質元素 125 的膜厚度為 0.1nm 以上且 50nm 以下，或 1nm 以上且 10nm 以下。

[0185] 作為雜質元素 125 的添加方法，有離子摻雜

法、離子植入法、電漿處理法等。在採用電漿處理法的情況下，藉由在包含所添加的雜質元素的氣體氛圍下產生電漿，然後進行電漿處理，能夠添加雜質元素。作為產生上述電漿的裝置，可以使用乾蝕刻裝置、電漿 CVD 設備或高密度電漿 CVD 設備等。另外，在進行電漿處理的情況下，將基板設置到平行板電極的陰極一側，並以對基板 101 一側施加偏壓的方式供應 RF 電力即可。作為該 RF 電力，例如將電力密度設定為 0.1W/cm^2 以上且 2W/cm^2 以下即可。其結果是，能夠增加對多層膜 107 及氧化物半導體膜 108 添加的雜質元素的量，從而能夠在多層膜 107 及氧化物半導體膜 108 中形成更多的氧缺陷。

[0186] 另外，作為雜質元素 125 的源氣體，可以使用 B_2H_6、PH_3、CH_4、N_2、NH_3、AlH_3、$AlCl_3$、SiH_4、Si_2H_6、F_2、HF、H_2 和稀有氣體中的一種以上。或者，也可以使用由稀有氣體稀釋的 B_2H_6、PH_3、N_2、NH_3、AlH_3、$AlCl_3$、F_2、HF 和 H_2 中的一種以上。藉由使用由稀有氣體稀釋的 B_2H_6、PH_3、N_2、NH_3、AlH_3、$AlCl_3$、F_2、HF 和 H_2 中的一種以上將雜質元素 125 添加到多層膜 107 及氧化物半導體膜 108，可以將稀有氣體與氫、硼、碳、氮、氟、鋁、矽、磷及氯中的一種以上同時添加到多層膜 107 及氧化物半導體膜 108。

[0187] 或者，也可以在將稀有氣體添加到多層膜 107 及氧化物半導體膜 108 之後，將 B_2H_6、PH_3、CH_4、N_2、NH_3、AlH_3、$AlCl_3$、SiH_4、Si_2H_6、F_2、HF 和 H_2 中的一種

以上添加到多層膜 107 及氧化物半導體膜 108。

[0188] 或者，也可以在將 B_2H_6、PH_3、CH_4、N_2、NH_3、AlH_3、$AlCl_3$、SiH_4、Si_2H_6、F_2、HF 及 H_2 中的一種以上添加到多層膜 107 及氧化物半導體膜 108 之後，將稀有氣體添加到多層膜 107 及氧化物半導體膜 108。

[0189] 雜質元素 125 的添加藉由適當地設定加速電壓或劑量等的注入條件來控制即可。例如，在藉由離子植入法添加氫時，將加速電壓設定為 10kV，並將劑量設定為 $1\times10^{13}ions/cm^2$ 以上且 $1\times10^{16}ions/cm^2$ 以下即可，例如可以設定為 $1\times10^{14}ions/cm^2$。此外，在藉由離子植入法添加磷離子時，將加速電壓設定為 30kV，並將劑量設定為 $1\times10^{13}ions/cm^2$ 以上且 $5\times10^{16}ions/cm^2$ 以下即可，例如可以設定為 $1\times10^{15}ions/cm^2$。

[0190] 其結果是，可以在多層膜 107 中形成低電阻區域 107b、107c。另外，可以在氧化物半導體膜 108 中形成低電阻區域 108b、108c。之後，去除遮罩 122、123。

[0191] 另外，若在導電膜 119、120 露出的狀態下添加雜質元素 125，導電膜 119、120 的一部分則會剝離而附著於絕緣膜 116、117 的側面。其結果是，導致電晶體的洩漏電流增大。因此，藉由在由遮罩 122、123 覆蓋導電膜 119、120 的狀態下對多層膜 107 及氧化物半導體膜 108 添加雜質元素 125，能夠防止導電膜 119、120 的一部分附著於絕緣膜 116、117 的側面。

[0192] 然後，也可以進行加熱處理來進一步提高添加有雜質元素 125 的區域的導電性。典型的是，加熱處理的溫度為 150℃以上且低於基板的應變點，或 250℃以上且 450℃以下，或 300℃以上且 450℃以下。

[0193] 接著，如圖 5C 所示，在絕緣膜 104、多層膜 107、氧化物半導體膜 108、絕緣膜 116、117、導電膜 119、120 上形成絕緣膜 126。

[0194] 作為絕緣膜 126 的形成方法，有濺射法、CVD 法、真空蒸鍍法、脈衝雷射沉積(PLD)法等。另外，藉由使用將矽烷及氨、或者矽烷及氮用作源氣體的電漿 CVD 法，可以形成包含氫的氮化矽膜。此外，藉由利用電漿 CVD 法，能夠對多層膜 107 及氧化物半導體膜 108 造成損傷，從而能夠在多層膜 107 及氧化物半導體膜 108 中形成氧缺陷。

[0195] 由於在絕緣膜 126 中包含氫，因此藉由使多層膜 107 及氧化物半導體膜 108 中的添加有雜質元素的區域與絕緣膜 126 接觸，包含在絕緣膜 126 中的氫移動到多層膜 107 及氧化物半導體膜 108 中的添加有雜質元素的區域。因為在添加有雜質的區域中包含氧缺陷，所以可以在多層膜 107 及氧化物半導體膜 108 中形成低電阻區域。

[0196] 或者，藉由在代替絕緣膜 126 形成鋁膜或氧化鋁膜之後進行加熱處理，使包含在多層膜 107 及氧化物半導體膜 108 中的氧與鋁膜或氧化鋁膜起反應，而作為絕緣膜 126 形成氧化鋁膜，並在多層膜 107 及氧化物半導體

膜 108 的低電阻區域 107b、107c、108b、108c 中形成氧缺陷。其結果是，能夠進一步提高低電阻區域 107b、107c、108b、108c 的導電性。

[0197] 在此，作為絕緣膜 126 藉由電漿 CVD 法形成 100nm 厚的氮化矽膜。

[0198] 然後，也可以進行加熱處理來進一步提高低電阻區域 107b、107c、108b、108c 的導電性。典型的是，加熱處理的溫度為 150℃以上且低於基板的應變點，或 250℃以上且 450℃以下，或 300℃以上且 450℃以下。

[0199] 接著，如圖 6A 所示，也可以形成絕緣膜 127。藉由形成絕緣膜 127，能夠降低將在後面形成的導電膜 134、135、136、137 與導電膜 119、120 之間的寄生電容。

[0200] 接著，在絕緣膜 126、127 中形成開口部 128、129、130、131 而使低電阻區域的一部分露出，然後形成導電膜 134、135、136、137。此外，較佳為形成氮化物絕緣膜 162(參照圖 6B)。

[0201] 導電膜 134、135、136、137 的形成方法可以適當地採用與導電膜 119、120 同樣的形成方法。氮化物絕緣膜 162 可以適當地使用濺射法、CVD 法等形成。

[0202] 藉由上述製程，可以製造電晶體 100g、100h。

[0203]

〈半導體裝置的製造方法 2〉

接著，對圖 8A 和圖 8B 所示的電晶體 100k、100z 的製造方法進行說明。

[0204] 在驅動電路部的基板 101 上形成氮化物絕緣膜 161，並在氮化物絕緣膜 161 上形成導電膜 102。可以適當地使用導電膜 119、120 的製造方法來形成導電膜 102。

[0205] 接著，在氮化物絕緣膜 161 及導電膜 102 上層疊絕緣膜 104a 及絕緣膜 104b 來形成絕緣膜 104。

[0206] 然後，藉由圖 4A 及圖 4B 的製程形成多層膜 107 及氧化物半導體膜 108。

[0207] 接著，如圖 4C 所示，在形成絕緣膜 115 之後對絕緣膜 115 的一部分進行蝕刻，形成圖 7A 所示的開口部 113。

[0208] 接著，在形成圖 4C 所示的導電膜 119、120 之後，藉由與圖 5A 至圖 5C 及圖 6A 和圖 6B 同樣的製程可以製造電晶體 100k、100z。

[0209] 在本實施方式所示的電晶體中，由於具有源極電極以及汲極電極的功能的導電膜不與具有閘極電極的功能的導電膜重疊，因此能夠降低寄生電容，所以通態電流較大。另外，在本實施方式所示的電晶體中，可以穩定地形成低電阻區域，所以與習知的電晶體相比，其通態電流得到提高，並且其電特性的偏差得到減少。

[0210] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0211]

實施方式 2

在本實施方式中，參照圖 11A 至圖 23 對半導體裝置及半導體裝置的製造方法的一個方式進行說明。

[0212]

〈半導體裝置的結構 1〉

圖 11A 至圖 13 示出頂閘極結構的電晶體作為包括在半導體裝置中的電晶體的一個例子。在此，作為半導體裝置的一個例子，對顯示裝置進行說明。另外，說明分別設置在顯示裝置的驅動電路部及像素部的電晶體的結構。

[0213] 圖 11A 至圖 11C 示出設置在驅動電路部的電晶體 100s 及設置在像素部的電晶體 100t、100u 的俯視圖，圖 12 及圖 13 示出電晶體 100s 及電晶體 100t、100u 的剖面圖。圖 11A 是電晶體 100s 的俯視圖，圖 11B 是電晶體 100t 的俯視圖，圖 11C 是電晶體 100u 的俯視圖。圖 12 是圖 11A 的點劃線 A-B 間的剖面圖、圖 11B 的點劃線 C-D 間的剖面圖及圖 11C 的點劃線 E-F 間的剖面圖。圖 13 是圖 11A 的點劃線 G-H 間的剖面圖、圖 11B 的點劃線 I-J 間的剖面圖及圖 11C 的點劃線 K-L 間的剖面圖。

[0214] 圖 12 和圖 13 所示的電晶體 100s 包括：基板 101 上的絕緣膜 104；絕緣膜 104 上的多層膜 107；接觸於多層膜 107 的絕緣膜 116；以及隔著絕緣膜 116 與多層膜 107 重疊的導電膜 119。由於電晶體 100s 與實施方式 1 所示的電晶體 100g 的結構相同，因此詳細內容可以援用實施方式 1 的電晶體 100g 的說明。

[0215] 電晶體 100t 包括形成在基板 101 上的絕緣膜 104 上的氧化物半導體膜 108；接觸於氧化物半導體膜 108 的絕緣膜 117；以及隔著絕緣膜 117 與氧化物半導體膜 108 重疊的導電膜 120。電晶體 100t 與實施方式 1 所示的電晶體 100h 的結構相同，所以詳細內容可以援用實施方式 1 的電晶體 100h 的說明。

[0216] 電晶體 100u 包括形成在基板 101 上的絕緣膜 104 上的多層膜 147；接觸於多層膜 147 的絕緣膜 118；以及隔著絕緣膜 118 與多層膜 147 重疊的導電膜 121。電晶體 100u 與電晶體 100s 的結構相同。

[0217] 導電膜 121 具有閘極電極的功能。另外，絕緣膜 118 具有閘極絕緣膜的功能。

[0218] 多層膜 147 包括：與導電膜 121 重疊的通道區域 147a；以及夾著該通道區域 147a 的低電阻區域 147b、147c。另外，通道區域 147a 具有接觸於絕緣膜 104 的通道區域 145a 以及接觸於通道區域 145a 的通道區域 146a。低電阻區域 147b 包括接觸於絕緣膜 104 的低電阻區域 145b 以及接觸於低電阻區域 145b 的低電阻區域 146b。低電阻區域 147c 包括接觸於絕緣膜 104 的低電阻區域 145c 以及接觸於低電阻區域 145c 的低電阻區域 146c。注意，雖然在圖 12 中未圖示，但是將包括通道區域 145a、低電阻區域 145b 以及低電阻區域 145c 的氧化物半導體膜稱為氧化物半導體膜 145，並將包括通道區域 146a、低電阻區域 146b 以及低電阻區域 146c 的氧化物半

導體膜稱為氧化物半導體膜 146。即，在多層膜 147 中層疊有氧化物半導體膜 145 以及氧化物半導體膜 146。

[0219] 此外，在俯視形狀上氧化物半導體膜 146 的端部位於氧化物半導體膜 145 的端部外側。換言之，氧化物半導體膜 146 覆蓋氧化物半導體膜 145 的頂面及側面。

[0220] 另外，在電晶體 100u 中，設置有接觸於低電阻區域 147b、147c 的絕緣膜 126。此外，也可以在絕緣膜 126 上設置有絕緣膜 127。另外，在絕緣膜 126 及絕緣膜 127 的開口部 132、133 中設置有接觸於多層膜 147 的低電阻區域 147b、147c 的導電膜 138、139。

[0221] 在多層膜 147 中，在不與導電膜 121 重疊的區域中具有形成氧缺陷的元素。作為形成氧缺陷的元素，可以使用實施方式 1 所示的雜質元素。

[0222] 另外，絕緣膜 126 是包含氫的膜，典型的有氮化物絕緣膜。作為氮化物絕緣膜的例子，有氮化矽膜、氮化鋁膜等。藉由使絕緣膜 126 與多層膜 147 接觸，絕緣膜 126 所包含的氫擴散到多層膜 147。其結果是，在多層膜 147 中的與絕緣膜 126 接觸的區域中，含有多量的氫。

[0223] 當雜質元素被添加到氧化物半導體時，氧化物半導體中的金屬元素與氧的鍵合被切斷，而形成氧缺陷。當對因添加雜質元素而形成有氧缺陷的氧化物半導體添加氫時，氫進入氧缺陷位點(site)，在導帶附近形成施體能階，而氧化物半導體的導電率變高。其結果是，可以形成氧化物導電體。因此，氧化物導電體具有透光性。

[0224] 氧化物導電體是簡併半導體，可以推測其導帶邊緣能階與費米能階一致或大致一致。因此，氧化物導電體膜與具有源極電極及汲極電極的功能的導電膜之間的接觸為歐姆接觸，可以降低氧化物導電體膜與具有源極電極及汲極電極的功能的導電膜之間的接觸電阻。

[0225] 換言之，低電阻區域 147b、147c 具有源極區域及汲極區域的功能。

[0226] 另外，當使用鎢、鈦、鋁、銅、鉬、鉻、鉭或這些元素的合金等容易與氧鍵合的導電材料形成導電膜 138、139 時，氧化物半導體膜所包含的氧與導電膜 138、139 所包含的導電材料鍵合，在多層膜 147 中形成氧缺陷。另外，有時形成導電膜 138、139 的導電材料的構成元素的一部分混入到多層膜 147 中。其結果是，與導電膜 138、139 接觸的低電阻區域 147b、147c 的導電性提高，並具有源極區域及汲極區域的功能。

[0227] 當雜質元素為稀有氣體元素且使用濺射法形成多層膜 147 時，低電阻區域 147b、147c 分別包含稀有氣體元素，並且與通道區域 147a 相比，低電阻區域 147b、147c 的稀有氣體元素濃度較高。這是因為，由於當使用濺射法形成多層膜 147 時，作為濺射氣體使用稀有氣體，因此多層膜 147 包含稀有氣體，並且為了在低電阻區域 147b、147c 中形成氧缺陷，有意地添加稀有氣體。注意，在低電阻區域 147b、147c 中，也可以添加與通道區域 147a 不同的稀有氣體元素。

[0228] 另外，低電阻區域 147b、147c 因為與絕緣膜 126 接觸，所以與通道區域 147a 相比氫濃度較高。

[0229] 在低電阻區域 147b、147c 中，可以使藉由二次離子質譜分析法得到的氫濃度為 8×10^{19}atoms/cm^3 以上、1×10^{20}atoms/cm^3 以上或 5×10^{20}atoms/cm^3 以上。可以使通道區域 147a 的藉由二次離子質譜分析法得到的氫濃度為 5×10^{19}atoms/cm^3 以下、1×10^{19}atoms/cm^3 以下、5×10^{18}atoms/cm^3 以下、1×10^{18}atoms/cm^3 以下、5×10^{17}atoms/cm^3 以下或 1×10^{16}atoms/cm^3 以下。

[0230] 與通道區域 147a 相比，低電阻區域 147b、147c 的氫濃度高且因稀有氣體元素的添加而產生的氧缺陷量較多。因此，導電性變高，並且具有源極區域及汲極區域的功能。典型的是，低電阻區域 147b、147c 的電阻率可以為 $1\times10^{-3}\Omega$cm 以上且低於 $1\times10^{4}\Omega$cm，或者 $1\times10^{-3}\Omega$cm 以上且低於 $1\times10^{-1}\Omega$cm。

[0231] 注意，在低電阻區域 147b、147c 中，當氫的量與氧缺陷的量相同或比氧缺陷的量少時，氫容易被氧缺陷俘獲，而不容易擴散到通道區域 147a。其結果是，可以製造常關閉特性的電晶體。

[0232] 另外，在低電阻區域 147b、147c 中，當氧缺陷的量比氫的量多時，藉由控制氫的量，可以控制低電阻區域 147b、147c 的載子密度。或者，在低電阻區域 147b、147c 中，當氫的量比氧缺陷的量多時，藉由控制氧缺陷的量，可以控制低電阻區域 147b、147c 的載子密

度。藉由將低電阻區域 147b、147c 的載子密度設定為 5×10^{18} 個/cm^3 以上、1×10^{19} 個/cm^3 以上或 1×10^{20} 個/cm^3 以上，可以製造通道區域與具有源極電極及汲極電極的功能的導電膜 138、139 之間的電阻小且通態電流大的電晶體。

[0233] 在本實施方式所示的電晶體 100s、100t、100u 中，由於在通道區域與具有源極電極及汲極電極的功能的導電膜 134、135、136、137、138、139 之間包括低電阻區域 107b、107c、108b、108c、147b、147c，因此寄生電阻較小。

[0234] 另外，在電晶體 100s 中，導電膜 119 不與導電膜 134、135 重疊。因此，能夠降低導電膜 119 與導電膜 134、135 之間的寄生電容。另外，在電晶體 100t 中，導電膜 120 不與導電膜 136、137 重疊。因此，能夠降低導電膜 120 與導電膜 136、137 之間的寄生電容。另外，在電晶體 100u 中，導電膜 121 不與導電膜 138、139 重疊。因此，能夠降低導電膜 121 與導電膜 138、139 之間的寄生電容。其結果是，當作為基板 101 使用大面積的基板時，能夠降低導電膜 119、120、121、134、135、136、137、138、139 中的信號延遲。

[0235] 因此，電晶體 100s、100t、100u 的通態電流大且場效移動率高。

[0236] 另外，在電晶體 100s 中，以導電膜 119 為遮罩，對多層膜 107 添加雜質元素。此外，在電晶體 100t

中，以導電膜 120 為遮罩，對氧化物半導體膜 108 添加雜質元素。在電晶體 100u 中，以導電膜 121 為遮罩，對多層膜 147 添加雜質元素。換言之，可以以自對準的方式形成低電阻區域。

[0237] 驅動電路部的電晶體 100s 的通態電流大且場效移動率高。因此，可以製造驅動電路部的佔有面積小的顯示裝置。

[0238] 另外，藉由使用場效移動率較高的電晶體，可以在作為驅動電路部的一個例子的信號線驅動電路中形成解多工器電路。解多工器電路是將一個輸入信號分配到多個輸出中的任一個的電路，因此能夠減少用於輸入信號的輸入端子的數量。例如，一個像素包括紅色子像素、綠色子像素及藍色子像素，並且藉由對各像素設置解多工器電路，可以利用解多工器電路分配對各子像素輸入的輸入信號，因此能夠將輸入端子的數量減少到 1/3。

[0239] 另外，藉由在像素部中設置通態電流較大的電晶體 100t、100u，即使在大型顯示裝置或高清晰顯示裝置中佈線的數量增多，也能夠降低各佈線的信號延遲，而能夠抑制顯示的不均勻。另外，構成發光裝置的 EL 元件的亮度與流在控制 EL 元件的驅動的電晶體中的電流成比例。因此，作為驅動 EL 元件的電晶體，藉由使用通態電流大且場效移動率高的電晶體如電晶體 100u，能夠提高 EL 元件的亮度。另外，由於電晶體 100u 的通態電流較大而可以縮小平面上的電晶體的佔有面積，因此在像素中，

電晶體的配置的彈性得到提高。其結果是，能夠製造高解析度的顯示裝置。

[0240] 如上所述，藉由使用能夠進行高速工作的電晶體製造驅動電路部，並使用寄生電容及寄生電阻較少的電晶體製造像素部，可以製造高清晰且能夠進行倍速驅動的顯示裝置。

[0241] 下面說明圖 12 所示的詳細結構。注意，在此，主要說明電晶體 100s 的詳細結構。

[0242] 在電晶體 100s 中，多層膜 107 中的氧化物半導體膜 105 的組成與氧化物半導體膜 106 的組成不同。另外，在電晶體 100u 中，多層膜 147 中的氧化物半導體膜 145 的組成與氧化物半導體膜 146 的組成不同。另一方面，多層膜 107 中的氧化物半導體膜 105 的組成與多層膜 147 中的氧化物半導體膜 145 的組成相同。此外，多層膜 107 中的氧化物半導體膜 106 的組成、氧化物半導體膜 108 的組成及多層膜 147 中的氧化物半導體膜 146 的組成相同。也就是說，氧化物半導體膜 105 及氧化物半導體膜 145 被同時形成，並且，氧化物半導體膜 106、氧化物半導體膜 108 及氧化物半導體膜 146 被同時形成。

[0243] 在電晶體 100u 中，氧化物半導體膜 145 中形成有通道。因此，氧化物半導體膜 145 比氧化物半導體膜 146 厚。

[0244] 可以在氧化物半導體膜 105 的厚度的範圍內使氧化物半導體膜 145 的厚度為所希望的厚度。

[0245] 作為氧化物半導體膜 145、146，可以適當地使用氧化物半導體膜 105、106、108 所示的材料。藉由使氧化物半導體膜 145 的銦的含有量比氧化物半導體膜 146 多，可以在電晶體 100u 中形成埋入通道。因此，能夠降低電晶體 100u 的臨界電壓的變動，並降低通道電阻。

[0246] 明確而言，氧化物半導體膜 145 可以適當地使用氧化物半導體膜 105 所示的材料。

[0247] 另外，明確而言，氧化物半導體膜 146 可以適當地使用氧化物半導體膜 106、108 所示的材料。

[0248] 在電晶體 100u 中，由於通道形成在在 In 的原子個數比大於 M(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)的氧化物半導體膜 145 中，因此場效移動率較高。典型的是場效移動率為大於 $10cm^2/Vs$ 且小於 $60cm^2/Vs$，較佳為 $15cm^2/Vs$ 以上且小於 $50cm^2/Vs$ 的電晶體。然而，當被照射光時，關態電流會增大。因此，藉由以與電晶體 100u 重疊的方式設置遮光膜，實現場效移動率高且關態電流低的電晶體。其結果是，可以製造能夠進行高速工作的電晶體。

[0249] 另外，在多層膜 147 中，較佳為降低第 14 族的元素之一的矽或碳、鹼金屬或鹼土金屬、氮、雜質元素等的濃度。典型的是，藉由使其濃度為與多層膜 107 所包含的第 14 族的元素之一的矽或碳、鹼金屬或鹼土金屬、氮、雜質元素等同樣的濃度，電晶體 100u 具有正臨界電壓的電特性(也稱為常關閉特性)。

[0250] 在多層膜 147 中，尤其在通道區域 147a 中，藉由與通道區域 107a 同樣地降低雜質元素，能夠降低氧化物半導體膜的載子密度。

[0251] 作為多層膜 147，藉由使用雜質濃度低且缺陷態密度低的氧化物半導體膜，可以製造具有更優異的電特性的電晶體。在此，將雜質濃度低且缺陷態密度低(氧缺陷少)的狀態稱為高純度本質或實質上高純度本質。高純度本質或實質上高純度本質的氧化物半導體具有較少的載子發生源，因此有時可以降低其載子密度。由此，通道區域形成在該氧化物半導體膜中的電晶體容易具有正臨界電壓的電特性(也稱為常關閉特性)。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有時其陷阱態密度也變低。此外，高純度本質或實質上高純度本質的氧化物半導體膜的關態電流顯著小，在源極電極與汲極電極間的電壓(汲極電壓)在 1V 至 10V 的範圍內時，關態電流可以為半導體參數分析儀的測量極限以下，即 1×10^{-13}A 以下。因此，有時通道區域形成在該氧化物半導體膜中的電晶體的電特性變動小，而該電晶體具有高可靠性。

[0252] 另外，在氧化物半導體膜 145、146 中，可以適當地使用氧化物半導體膜 105、106、108 的說明所示的結晶結構。

[0253] 注意，在多層膜 147 中，有時通道區域 147a 與低電阻區域 147b、147c 的結晶性不同。這是因為，當

低電阻區域 147b、147c 被添加雜質元素時，低電阻區域 147b、147c 中產生損傷，而結晶性下降。

[0254]

〈半導體裝置的結構 2〉

接著，使用圖 14 及圖 15 說明半導體裝置的其他結構。在此，在形成於驅動電路部的電晶體 100v 及形成在像素部的電晶體 100w、100x 中，具有閘極電極的功能的導電膜 119、120、121 為疊層結構。注意，圖 14 示出通道長度方向的電晶體 100v、100w、100x 的剖面圖，圖 15 示出通道寬度方向的電晶體 100v、100w、100x 的剖面圖。電晶體 100v 與實施方式 1 所示的電晶體 100i 的結構相同，所以詳細內容可以援用實施方式 1 的電晶體 100i 的說明。電晶體 100w 與實施方式 1 所示的電晶體 100j 的結構相同，所以詳細內容可以援用實施方式 1 的電晶體 100j 的說明。電晶體 100x 與本實施方式所示的電晶體 100v 的結構相同。

[0255] 電晶體 100x 中的導電膜 121 包括接觸於絕緣膜 118 的導電膜 121a 及接觸於導電膜 121a 的導電膜 121b。另外，導電膜 121a 的端部位於導電膜 121b 的端部的外側。換言之，導電膜 121a 具有其端部比導電膜 121b 的端部突出的形狀。

[0256] 另外，絕緣膜 118 的端部位於導電膜 121a 的端部的外側。換言之，絕緣膜 118 具有其端部比導電膜 121a 的端部突出的形狀。再者，絕緣膜 118 的側面也可

以是彎曲的。

[0257] 作為導電膜 121a，可以適當地使用導電膜 119a、120a 的材料。作為導電膜 121b，可以適當地使用導電膜 119b、120b 的材料。

[0258] 注意，藉由使多層膜 147 中的通道區域的銅的濃度為多層膜 107 所示的範圍的濃度，能夠製造次臨界擺幅值(S 值)良好的電晶體。

[0259] 另外，電晶體 100x 與電晶體 100v、100w 同樣，藉由包括圖 14 及圖 15 所示的形狀的導電膜 121 及絕緣膜 118，能夠使電晶體的汲極區域的電場弛豫。因此，能夠降低起因於汲極區域的電場的電晶體的臨界電壓的變動等劣化。

[0260]

〈半導體裝置的結構 3〉

接著，使用圖 16 及圖 17 說明半導體裝置的其他結構。在此，形成在驅動電路部的電晶體 111a、111d 以及形成在像素部的電晶體 111b、111c、111e、111f 包括多層膜。注意，圖 16 示出通道長度方向的電晶體 111a、111b、111c 的剖面圖，圖 17 示出通道長度方向的電晶體 111d、111e、111f 的剖面圖。

[0261] 電晶體 111a 與實施方式 1 所示的電晶體 111w 的結構相同，所以詳細內容可以援用實施方式 1 的電晶體 111w 的說明。電晶體 111b 與實施方式 1 所示的電晶體 100h 的結構相同，所以詳細內容可以援用實施方式

1 的電晶體 100h 的說明。電晶體 111c 與本實施方式所示的電晶體 111a 的結構相同，所以詳細內容可以援用實施方式 1 所示的電晶體 111w 的說明。電晶體 111d 與實施方式 1 所示的電晶體 111x 的結構相同，所以詳細內容可以援用實施方式 1 的電晶體 111x 的說明。電晶體 111e 與實施方式 1 所示的電晶體 111y 的結構相同，所以詳細內容可以援用實施方式 1 的電晶體 111y 的說明。電晶體 111f 與本實施方式所示的電晶體 111d 的結構相同，所以詳細內容可以援用實施方式 1 所示的電晶體 111x 的說明。

[0262] 圖 16 所示的電晶體 111c 中的多層膜 147 包括通道區域 147a 及低電阻區域 147b、147c。另外，通道區域 147a 包括：接觸於絕緣膜 104 的通道區域 148a；接觸於通道區域 148a 的通道區域 145a；以及接觸於通道區域 145a 的通道區域 146a。低電阻區域 147b 包括：接觸於絕緣膜 104 的低電阻區域 148b；接觸於低電阻區域 148b 的低電阻區域 145b；以及接觸於低電阻區域 145b 的低電阻區域 146b。低電阻區域 147c 包括：接觸於絕緣膜 104 的低電阻區域 148c；接觸於低電阻區域 148c 的低電阻區域 145c；以及接觸於低電阻區域 145c 的低電阻區域 146c。注意，雖然在圖 16 中未圖示，但是將包括通道區域 148a、低電阻區域 148b 及低電阻區域 148c 的氧化物半導體膜稱為氧化物半導體膜 148。也就是說，作為多層膜 147，依次層疊有氧化物半導體膜 148、氧化物半導體膜 145、氧化物半導體膜 146。

[0263] 圖 17 所示的電晶體 111f 中的多層膜 147 包括通道區域 147a 及低電阻區域 147b、147c。另外，通道區域 147a 包括：接觸於絕緣膜 104 的通道區域 148a；接觸於通道區域 148a 的通道區域 145a；接觸於通道區域 145a 的通道區域 146a；以及接觸於通道區域 146a 的通道區域 149a。低電阻區域 147b 包括：接觸於絕緣膜 104 的低電阻區域 148b；接觸於低電阻區域 148b 的低電阻區域 145b；接觸於低電阻區域 145b 的低電阻區域 146b；以及接觸於低電阻區域 146b 的低電阻區域 149b。低電阻區域 147c 包括：接觸於絕緣膜 104 的低電阻區域 148c；接觸於低電阻區域 148c 的低電阻區域 145c；接觸於低電阻區域 145c 的低電阻區域 146c；以及接觸於低電阻區域 146c 的低電阻區域 149c。注意，雖然在圖 17 中未圖示，但是將包括通道區域 149a、低電阻區域 149b 及低電阻區域 149c 的氧化物半導體膜稱為氧化物半導體膜 149。也就是說，作為多層膜 147，依次層疊有氧化物半導體膜 148、氧化物半導體膜 145、氧化物半導體膜 146 及氧化物半導體膜 149。

[0264] 氧化物半導體膜 148、149 較佳為與氧化物半導體膜 145、146 相比能隙大、電子親和力小、且絕緣性高。另外，氧化物半導體膜 148、149 較佳為與氧化物半導體膜 145、146 相比鋁的含有量少。另外，氧化物半導體膜 148、149 較佳為具有遮蔽來自外部的雜質的功能。在這種氧化物半導體膜中，In 的原子個數比小於 M(M 為

Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)的原子個數比。當氧化物半導體膜 148、149 包含 In-M-Zn 氧化物(M 為 Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf)時，在用來形成氧化物半導體膜 148、149 的靶材的金屬元素的原子個數比為 In：M：Zn=x_3：y_3：z_3 的情況下，x_3/y_3 較佳為 1/6 以上且小於 1。另外，z_3/y_3 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。藉由將 z_3/y_3 設定為 1 以上且 6 以下，作為氧化物半導體膜 148、149 的 CAAC-OS 膜的形成變得容易。作為靶材的金屬元素的原子個數比的代表例子，有 In：M：Zn=1：3：2、In：M：Zn=1：3：4、In：M：Zn=1：3：6、In：M：Zn=1：3：8、In：M：Zn=1：4：4、In：M：Zn=1：4：5、In：M：Zn=1：4：6、In：M：Zn=1：4：7、In：M：Zn=1：4：8、In：M：Zn=1：5：5、In：M：Zn=1：5：6、In：M：Zn=1：5：7、In：M：Zn=1：5：8、In：M：Zn=1：6：8 等。

[0265] 在圖 16 所示的電晶體 111a 中，氧化物半導體膜 142 與氧化物半導體膜 105 相比能隙大且電子親和力小，因此通道形成在氧化物半導體膜 105 中。即，成為埋入通道結構。另外，由於電晶體 111a 包括包含一種以上的構成氧化物半導體膜 105 的金屬元素的氧化物半導體膜 106 及氧化物半導體膜 142，因此不容易在氧化物半導體膜 105 與氧化物半導體膜 106 的介面及氧化物半導體膜 105 與氧化物半導體膜 142 的介面形成介面能階。因此，藉由設置氧化物半導體膜 106 及氧化物半導體膜 142，可

以降低電晶體的臨界電壓等的電特性的偏差或變動。此外，在電晶體 111c 中也具有同樣的效果。

[0266] 另外，同樣地，在圖 17 所示的電晶體 111d 中，氧化物半導體膜 142、143 與氧化物半導體膜 105、106 相比能隙大且電子親和力小，因此通道形成在氧化物半導體膜 105 中。即，成為埋入通道結構。另外，藉由形成包括氧化物半導體膜 142、143 的多層膜 107，氧化物半導體膜 142 與氧化物半導體膜 105 的介面、氧化物半導體膜 105 與氧化物半導體膜 106 的介面及氧化物半導體膜 106 與氧化物半導體膜 143 的介面不容易形成介面能階。其結果是，可以降低電晶體的臨界電壓等的電特性的偏差或變動。此外，在電晶體 111f 中也具有同樣的效果。

[0267] 另外，同樣地，在圖 17 所示的電晶體 111e 中，藉由形成包括氧化物半導體膜 144 的多層膜 110，氧化物半導體膜 144 與氧化物半導體膜 108 的介面不容易形成介面能階。其結果是，可以降低電晶體的臨界電壓等的電特性的偏差或變動。

[0268]

〈半導體裝置的結構 4〉

接著，使用圖 18A 至圖 20 說明半導體裝置的其他結構。在此，形成在驅動電路部的電晶體 111g 及形成在像素部的電晶體 111i 為雙閘極結構的電晶體。圖 18A 為電晶體 111g 的俯視圖，圖 18B 為電晶體 111h 的俯視圖，圖 18C 為電晶體 111i 的俯視圖。圖 19 是圖 18A 的點劃線 A-

B 間的剖面圖、圖 18B 的點劃線 C-D 間的剖面圖以及圖 18C 的點劃線 E-F 間的剖面圖。圖 20 是圖 18A 的點劃線 G-H 間的剖面圖、圖 18B 的點劃線 I-J 間的剖面圖以及圖 18C 的點劃線 K-L 間的剖面圖。

[0269] 圖 19 及圖 20 所示的電晶體 111g 包括：基板 101 上的導電膜 102；基板 101 及導電膜 102 上的絕緣膜 104；絕緣膜 104 上的多層膜 107；接觸於多層膜 107 的絕緣膜 116；以及隔著絕緣膜 116 與多層膜 107 重疊的導電膜 119。由於多層膜 107 的結構與〈半導體裝置的結構 1〉所示的多層膜 107 相同，因此省略詳細的說明。

[0270] 導電膜 102 及導電膜 119 具有閘極電極的功能。換言之，電晶體 111g 是雙閘極結構的電晶體。另外，絕緣膜 104 及絕緣膜 116 具有閘極絕緣膜的功能。

[0271] 由於電晶體 111h 可以採用與〈半導體裝置的結構 1〉所示的電晶體 100t 同樣的結構，因此省略詳細的說明。

[0272] 圖 19 及圖 20 所示的電晶體 111i 包括：基板 101 上的導電膜 103；基板 101 及導電膜 103 上的絕緣膜 104；絕緣膜 104 上的多層膜 147；接觸於多層膜 147 的絕緣膜 118；以及隔著絕緣膜 118 與多層膜 147 重疊的導電膜 121。由於多層膜 147 的結構與〈半導體裝置的結構 1〉所示的多層膜 147 相同，因此省略詳細的說明。

[0273] 注意，較佳為在基板 101 上設置氮化物絕緣膜 161。作為氮化物絕緣膜 161，有氮化矽膜、氮化鋁膜

等。藉由使用氮化物絕緣膜 161 及絕緣膜 104a 覆蓋導電膜 102、103，可以防止導電膜 102、103 中的金屬元素擴散，所以是較佳的。

[0274] 導電膜 103 及導電膜 121 具有閘極電極的功能。換言之，電晶體 111i 是雙閘極結構的電晶體。另外，絕緣膜 104 及絕緣膜 118 具有閘極絕緣膜的功能。

[0275] 注意，雖然圖 19 及圖 20 所示的導電膜 102、103 與多層膜 107、147 的整個面重疊，但是導電膜 102、103 也可以分別與多層膜 107、147 的一部分重疊。

[0276] 在電晶體 111g 中，藉由使導電膜 102 與導電膜 119 不連接並分別對其施加不同的電位，可以控制電晶體 111g 的臨界電壓。或者，如圖 20 所示，藉由使導電膜 102 與導電膜 119 連接並對其施加相同的電位，可以降低初始特性偏差，抑制-GBT(-Gate Bias-Temperature)應力測試的劣化，並抑制通態電流的上升電壓在不同的汲極電壓下的變動。另外，藉由如圖 20 所示那樣使導電膜 102 與導電膜 119 連接，導電膜 102、119 的電場影響到多層膜 107 的頂面及側面，因此載子在多層膜 107 整體中流動。換言之，由於載子流動的區域在膜厚度方向上進一步增大，因此載子的遷移量增多。其結果是，電晶體 111g 在通態電流變大的同時，其場效移動率變高。藉由將電晶體的通道長度設定為小於 2.5μm 或 1.45μm 以上且 2.2μm 以下，可以在進一步增大通態電流的同時，提高其場效移動率。另外，由於電晶體 111g 的通態電流較大，因此能夠

縮小其平面上的面積。其結果是，能夠製造驅動電路部的佔有面積小且窄邊框化的顯示裝置。

[0277] 另外，在電晶體 111i 中，因為採用導電膜 103 與導電膜 121 的連接結構，所以具有與電晶體 111g 同樣的效果。因此，能夠減小平面中的電晶體的佔有面積，而在像素中電晶體的配置的彈性變高。其結果是，能夠製造解析度高的顯示裝置。

[0278] 在本實施方式所示的顯示裝置中，驅動電路部的電晶體為雙閘極結構。換言之，驅動電路部包括與像素部相比場效移動率高的電晶體。其結果是，可以製造能夠進行高速工作的驅動電路部。另外，藉由使用能夠進行高速工作的電晶體製造驅動電路部並使用寄生電容及寄生電阻少的電晶體製造像素部，可以製造高清晰且能夠進行倍速驅動的顯示裝置。

[0279]

〈半導體裝置的結構 5〉

接著，使用圖 21A 至圖 23 說明半導體裝置的其他結構。在此，形成在像素部的電晶體 111m 為雙閘極結構的電晶體。圖 21A 為電晶體 111j 的俯視圖，圖 21B 為電晶體 111k 的俯視圖，圖 21C 為電晶體 111m 的俯視圖。圖 22 是圖 21A 的點劃線 A-B 間的剖面圖、圖 21B 的點劃線 C-D 間的剖面圖以及圖 21C 的點劃線 E-F 間的剖面圖。圖 23 是圖 21A 的點劃線 G-H 間的剖面圖、圖 21B 的點劃線 I-J 間的剖面圖以及圖 21C 的點劃線 K-L 間的剖面圖。

[0280] 圖 22 及圖 23 所示的電晶體 111j 與〈半導體裝置的結構 1〉所示的電晶體 100s 為相同的單閘極結構，所以省略詳細的說明。

[0281] 圖 22 及圖 23 所示的電晶體 111k 與〈半導體裝置的結構 1〉所示的電晶體 100t 為相同的結構，所以省略詳細的說明。

[0282] 圖 22 及圖 23 所示的電晶體 111m 與〈半導體裝置的結構 4〉所示的電晶體 111i 為相同的雙閘極結構，所以省略詳細的說明。

[0283] 在本實施方式所示的顯示裝置中，設置在像素部的電晶體 111i、111m 包括遮蔽入射到多層膜 147 的光的導電膜 103、121。因此，電晶體 111i、111m 的場效移動率高且關態電流低，而能夠減小平面中的電晶體的佔有面積，所以在像素中，電晶體的配置的彈性得到提高，並且影像品質的劣化較少。其結果是，能夠製造影像品質高且解析度高的顯示裝置。另外，藉由使用寄生電容及寄生電阻少的電晶體製造像素部，可以製造高清晰且能夠進行倍速驅動的顯示裝置。

[0284]

〈半導體裝置的製造方法 1〉

接著，使用圖 24A 至圖 27B 說明圖 11A 至圖 13 所示的電晶體 100s、100t、100u 的製造方法。

[0285] 作為構成電晶體 100s、100t、100u 的膜(絕緣膜、氧化物半導體膜、導電膜等)，可以適當地使用構成

實施方式 1 所示的電晶體的膜的製造方法。

[0286] 如圖 24A 所示，與實施方式 1 同樣地在基板 101 上形成絕緣膜 104。接著，在驅動電路部的絕緣膜 104 上形成氧化物半導體膜 105，並在像素部的絕緣膜 104 上形成氧化物半導體膜 145。

[0287] 在此，作為絕緣膜 104 利用電漿 CVD 法形成厚度為 300nm 的氧氮化矽膜。

[0288] 氧化物半導體膜 105、106、108、145、146 可以與實施方式 1 所示的氧化物半導體膜 105、106、108 同樣地被形成。

[0289] 另外，與實施方式 1 同樣地，也可以在形成氧化物半導體膜之後進行加熱處理，來實現氧化物半導體膜的脫氫化或脫水化。

[0290] 在此，藉由濺射法形成厚度為 35nm 的氧化物半導體膜。接著，在該氧化物半導體膜上形成遮罩，並選擇性地對氧化物半導體膜的一部分進行蝕刻，形成氧化物半導體膜 105、145。注意，作為氧化物半導體膜，形成 In：Ga：Zn=3：1：2 的 In-Ga-Zn 氧化物膜。

[0291] 接著，如圖 24B 所示，在驅動電路部中，在氧化物半導體膜 105 上形成氧化物半導體膜 106，在像素部中，形成氧化物半導體膜 108，並在氧化物半導體膜 145 上形成氧化物半導體膜 146。也就是說，形成依次層疊有氧化物半導體膜 105 及氧化物半導體膜 106 的多層膜 107。另外，形成依次層疊有氧化物半導體膜 145 及氧化

物半導體膜 146 的多層膜 147。

[0292] 注意，在該製程中，藉由以覆蓋氧化物半導體膜 105 的頂面及側面的方式形成氧化物半導體膜 106，防止氧化物半導體膜 105 在後面的形成具有源極電極及汲極電極的功能的導電膜的製程中被蝕刻。另外，藉由以覆蓋氧化物半導體膜 145 的頂面及側面的方式形成氧化物半導體膜 146，防止氧化物半導體膜 145 在後面的形成具有源極電極及汲極電極的功能的導電膜的製程中被蝕刻。其結果是，可以降低電晶體的通道寬度方向上的氧化物半導體膜 105、145 的長度的變動，所以是較佳的。

[0293] 在此，藉由濺射法形成厚度為 20nm 的氧化物半導體膜。接著，在該氧化物半導體膜上形成遮罩，並選擇性地對氧化物半導體膜的一部分進行蝕刻，形成氧化物半導體膜 106、108、146。注意，作為氧化物半導體膜 106、108、146，形成 In：Ga：Zn=1：1：1.2 的 In-Ga-Zn 氧化物膜。

[0294] 接著，進行加熱處理，使絕緣膜 104 所含的氧移動到氧化物半導體膜。注意，該加熱處理也可以在形成成為氧化物半導體膜 106、108、146 的氧化物半導體膜之後且在對該氧化物半導體膜進行蝕刻而形成氧化物半導體膜 106、108、146 之前進行。

[0295] 另外，藉由在高於 350℃且為 650℃以下，或 450℃以上且 600℃以下的溫度下進行加熱處理，能夠獲得後述的 CAAC 化率為 60%以上且低於 100%，或 80%以

上且低於 100%，或 90%以上且低於 100%，或 95%以上且 98%以下的氧化物半導體膜。此外，能夠獲得氫、水等的含量得到降低的氧化物半導體膜。即，能夠形成雜質濃度低且缺陷態密度低的氧化物半導體膜。

[0296] 接著，如圖 25A 所示，與實施方式 1 同樣地，在絕緣膜 104、多層膜 107、147 及氧化物半導體膜 108 上形成絕緣膜 115。接著，與實施方式 1 同樣地，在絕緣膜 115 上形成導電膜 119、120、121。

[0297] 在此，作為絕緣膜 115，藉由電漿 CVD 法形成厚度為 100nm 的氧氮化矽膜。

[0298] 另外，在此，在導電膜上藉由光微影製程形成遮罩 122、123、124 之後，對該導電膜進行蝕刻，來形成導電膜 119、120、121。

[0299] 接著，如圖 25B 所示，與實施方式 1 同樣地，在殘留著遮罩 122、123、124 的情況下對絕緣膜 115 進行蝕刻，由此形成絕緣膜 116、117、118。

[0300] 接著，如圖 26A 所示，與實施方式 1 同樣地，在殘留著遮罩 122、123、124 的情況下對多層膜 107、147 及氧化物半導體膜 108 添加雜質元素 125。其結果是，對多層膜 107、147 及氧化物半導體膜 108 中的沒有被遮罩 122、123、124 覆蓋的區域添加雜質元素。另外，藉由添加雜質元素 125，在多層膜 107、147 及氧化物半導體膜 108 中形成氧缺陷。

[0301] 其結果是，可以在多層膜 107 中形成低電阻

區域 107b、107c。可以在氧化物半導體膜 108 中形成低電阻區域 108b、108c。另外，可以在多層膜 147 中形成低電阻區域 147b、147c。然後，去除遮罩 122、123、124。

[0302] 注意，若在導電膜 119、120、121 露出的狀態下添加雜質元素 125，導電膜 119、120、121 的一部分則會剝離而附著於絕緣膜 116、117、118 的側面。其結果是，導致電晶體的洩漏電流增大。因此，藉由在由遮罩 122、123、124 覆蓋導電膜 119、120、121 的狀態下對多層膜 107、147 及氧化物半導體膜 108 添加雜質元素 125，能夠防止導電膜 119、120、121 的一部分附著於絕緣膜 116、117、118 的側面。注意，也可以在去除遮罩 122、123、124 之後對多層膜 107、147 及氧化物半導體膜 108 添加雜質元素 125。

[0303] 然後，與實施方式 1 同樣地，也可以進行加熱處理來進一步提高添加有雜質元素 125 的區域的導電性。

[0304] 接著，如圖 27A 所示，與實施方式 1 同樣地，在絕緣膜 104、多層膜 107、147 及氧化物半導體膜 108、絕緣膜 116、117、118、導電膜 119、120、121 上形成絕緣膜 126。

[0305] 在此，作為絕緣膜 126，利用電漿 CVD 法形成厚度為 100nm 的氮化矽膜。

[0306] 然後，與實施方式 1 同樣地，也可以進行加

熱處理來進一步提高低電阻區域 107b、107c、108b、108c、147b、147c 的導電性。典型的是，加熱處理的溫度為 150℃以上且低於基板的應變點，或 250℃以上且 450℃以下，或 300℃以上且 450℃以下。

[0307] 接著，如圖 27A 所示，與實施方式 1 同樣地，也可以形成絕緣膜 127。藉由形成絕緣膜 127，能夠降低將在後面形成的導電膜 134、135、136、137、138、139 與導電膜 119、120、121 之間的寄生電容。

[0308] 接著，與實施方式 1 同樣地，在絕緣膜 126、127 中形成開口部 128、129、130、131、132、133(參照圖 21A 至圖 21C)，使低電阻區域的一部分露出之後，形成導電膜 134、135、136、137、138、139。此外，較佳為形成氮化物絕緣膜 162(參照圖 27B)。

[0309] 導電膜 134、135、136、137、138、139 可以適當地使用與導電膜 119、120 同樣的形成方法。氮化物絕緣膜 162 可以適當地使用濺射法、CVD 法等形成。

[0310] 藉由上述製程，可以製造電晶體 100s、100t、100u。

[0311]

〈半導體裝置的製造方法 2〉

接著，說明圖 18A 至圖 20 所示的電晶體 111g、111h、111i 的製造方法。

[0312] 在基板 101 上形成氮化物絕緣膜 161，並在氮化物絕緣膜 161 上形成導電膜 102、103。導電膜 102、

103 可以適當地使用導電膜 119、120 的製造方法。

[0313] 接著，在氮化物絕緣膜 161 及導電膜 102、103 上形成絕緣膜 104。

[0314] 然後，藉由圖 24A 和圖 24B 的製程形成多層膜 107、147 及氧化物半導體膜 108。

[0315] 接著，如圖 25A 所示，在形成絕緣膜 115 之後，對絕緣膜 115 的一部分進行蝕刻，從而形成圖 18A 所示的開口部 113 及圖 18C 所示的開口部 114。

[0316] 接著，在形成圖 25A 所示的導電膜 119、120、121 之後，可以藉由與圖 25B、圖 26A、圖 26B、圖 27A 及圖 27B 同樣的製程製造電晶體 111g、111h、111i。

[0317] 在本實施方式所示的電晶體中，由於具有源極電極以及汲極電極的功能的導電膜不與具有閘極電極的功能的導電膜重疊，因此能夠降低寄生電容，所以通態電流較大。另外，在本實施方式所示的電晶體中，可以穩定地形成低電阻區域，所以與習知的電晶體相比，其通態電流得到提高，並且其電特性的偏差得到減少。

[0318] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0319]

實施方式 3

在此，使用圖 29A 至圖 33B 說明前面的實施方式所示的電晶體的變形例子。在此，作為電晶體，以形成在像素部的電晶體為代表例子進行說明。圖 29A 至圖 29F 所

示的電晶體包括：形成在基板 101 上的絕緣膜 104 上的氧化物半導體膜 108；與氧化物半導體膜 108 接觸的絕緣膜 117；以及與絕緣膜 117 接觸且與氧化物半導體膜 108 重疊的導電膜 120。

[0320] 另外，在電晶體中設置有與氧化物半導體膜 108 接觸的絕緣膜 126 以及與絕緣膜 126 接觸的絕緣膜 127。另外，在電晶體中設置有藉由絕緣膜 126 及絕緣膜 127 的開口部與氧化物半導體膜 108 接觸的導電膜 136、137。

[0321] 在圖 29A 所示的電晶體中，氧化物半導體膜 108 包括：形成在與導電膜 120 重疊的區域的通道區域 108a；以及夾著通道區域 108a 且包含雜質元素的區域，即低電阻區域 108b、108c。另外，導電膜 136、137 與低電阻區域 108b、108c 接觸。

[0322] 或者，如圖 29B 所示的電晶體，也可以不對在氧化物半導體膜 108 中與導電膜 136、137 接觸的區域 108d、108e 添加雜質元素。此時，在與導電膜 136、137 接觸的區域 108d、108e 與通道區域 108a 之間包括包含雜質元素的區域，即低電阻區域 108b、108c。注意，由於當導電膜 136、137 被施加電壓時具有導電性，因此區域 108d、108e 具有源極區域及汲極區域的功能。

[0323] 在形成導電膜 136、137 之後，將導電膜 120 及導電膜 136、137 用作遮罩，並對氧化物半導體膜添加雜質元素，由此形成圖 29B 所示的電晶體。

[0324] 在導電膜 120 中，導電膜 120 的端部也可以是錐形狀。也就是說，由絕緣膜 117 及導電膜 120 相互接觸的面與導電膜 120 的側面所形成的角度θ1 也可以是低於 90°，或 10°以上且 85°以下，或 15°以上且 85°以下，或 30°以上且 85°以下，或 45°以上且 85°以下，或 60°以上且 85°以下。藉由將角度θ1 設定為低於 90°，或 10°以上且 85°以下，或 15°以上且 85°以下，或 30°以上且 85°以下，或 45°以上且 85°以下，或 60°以上且 85°以下，能夠提高絕緣膜 117 及導電膜 120 的側面的絕緣膜 126 的覆蓋性。

[0325] 接著，說明低電阻區域 108b、108c 的變形例子。圖 29C 至圖 29F 是圖 29A 所示的氧化物半導體膜 108 附近的放大圖。在此，通道長度 L 是一對低電阻區域的間隔。

[0326] 如圖 29C 所示，在通道長度方向的剖面形狀中，通道區域 108a 及低電阻區域 108b、108c 的邊界隔著絕緣膜 117 與導電膜 120 的端部一致或大致一致。換言之，在俯視形狀中，通道區域 108a 及低電阻區域 108b、108c 的邊界與導電膜 120 的端部一致或大致一致。

[0327] 或者，如圖 29D 所示，在通道長度方向的剖面形狀中，通道區域 108a 包括不與導電膜 120 的端部重疊的區域。該區域被用作偏置(offset)區域。L_{off} 表示通道長度方向上的偏置區域的長度。注意，當偏置區域為多個時，將一個偏置區域的長度稱為 L_{off}。L_{off} 包括在通道長

度 L 中。另外，L_{off} 低於通道長度 L 的 20%，或低於 10%，或低於 5%，或低於 2%。

[0328] 或者，如圖 29E 所示，在通道長度方向的剖面形狀中，低電阻區域 108b、108c 包括隔著絕緣膜 117 與導電膜 120 重疊的區域。該區域被用作重疊區域。L_{ov} 表示通道長度方向上的重疊區域的長度。L_{ov} 低於通道長度 L 的 20%，或低於 10%，或低於 5%，或低於 2%。

[0329] 或者，如圖 29F 所示，在通道長度方向的剖面形狀中，在通道區域 108a 與低電阻區域 108b 之間包括低電阻區域 108f，在通道區域 108a 與低電阻區域 108c 之間包括低電阻區域 108g。與低電阻區域 108b、108c 相比，低電阻區域 108f、108g 的雜質元素的濃度較低且電阻率較高。雖然在此低電阻區域 108f、108g 與絕緣膜 117 重疊，但是也可以與絕緣膜 117 及導電膜 120 重疊。

[0330] 雖然在圖 29C 至圖 29F 中說明了圖 29A 所示的電晶體，但是也可以對圖 29B 所示的電晶體適當地應用圖 29C 至圖 29F 的結構。

[0331] 在圖 30A 所示的電晶體中，絕緣膜 117 的端部位於導電膜 120 的端部的外側。也就是說，絕緣膜 117 具有其端部比導電膜 120 的端部突出的形狀。由於能夠使通道區域 108a 與絕緣膜 126 相離較遠，因此可以抑制絕緣膜 126 所包含的氮、氫等進入通道區域 108a。

[0332] 在圖 30B 所示的電晶體中，絕緣膜 117 及導電膜 120 是錐形狀，且各錐部的角度不同。換言之，角度

θ1 與角度θ2 不同，角度θ1 是由絕緣膜 117 及導電膜 120 相互接觸的面與導電膜 120 的側面所形成的，而角度θ2 是氧化物半導體膜 108 及絕緣膜 117 相互接觸的面與絕緣膜 117 的側面所形成的。角度θ2 也可以是低於 90°，或 30°以上且 85°以下，或 45°以上且 70°以下。例如，當角度θ2 小於角度θ1 時，絕緣膜 126 的覆蓋性提高。另外，當角度θ2 大於角度θ1 時，能夠使電晶體微型化。

[0333] 接著，使用圖 30C 至圖 30F 說明低電阻區域 108b、108c 的變形例子。注意，圖 30C 至圖 30F 是圖 30A 所示的氧化物半導體膜 108 附近的放大圖。

[0334] 如圖 30C 所示，在通道長度方向的剖面形狀中，通道區域 108a 及低電阻區域 108b、108c 的邊界隔著絕緣膜 117 與導電膜 120 的端部一致或大致一致。換言之，在俯視形狀中，通道區域 108a 及低電阻區域 108b、108c 的邊界與導電膜 120 的端部一致或大致一致。

[0335] 或者，如圖 30D 所示，在通道長度方向的剖面形狀中，通道區域 108a 包括不與導電膜 120 重疊的區域。該區域被用作偏置區域。也就是說，在俯視形狀中，低電阻區域 108b、108c 的端部與絕緣膜 117 的端部一致或大致一致且不與導電膜 120 的端部重疊。

[0336] 或者，如圖 30E 所示，在通道長度方向的剖面形狀中，低電阻區域 108b、108c 包括隔著絕緣膜 117 與導電膜 120 重疊的區域。將該區域稱為重疊區域。換言之，在俯視形狀中，低電阻區域 108b、108c 的端部與導

電膜 120 重疊。

[0337] 或者，如圖 30F 所示，在通道長度方向的剖面形狀中，在通道區域 108a 與低電阻區域 108b 之間包括低電阻區域 108f，在通道區域 108a 與低電阻區域 108c 之間包括低電阻區域 108g。與低電阻區域 108b、108c 相比，低電阻區域 108f、108g 的雜質元素的濃度較低且電阻率較高。雖然在此低電阻區域 108f、108g 與絕緣膜 117 重疊，但是也可以與絕緣膜 117 及導電膜 120 重疊。

[0338] 雖然在圖 30C 至圖 30F 中說明了圖 30A 所示的電晶體，但是也可以對圖 30B 所示的電晶體適當地應用圖 30C 至圖 30F 的結構。

[0339] 在圖 31A 所示的電晶體中，導電膜 120 是疊層結構，並包括與絕緣膜 117 接觸的導電膜 120a 以及與導電膜 120a 接觸的導電膜 120b。另外，導電膜 120a 的端部位於導電膜 120b 的端部的外側。換言之，導電膜 120a 具有其端部比導電膜 120b 的端部突出的形狀。

[0340] 接著，說明低電阻區域 108b、108c 的變形例子。注意，圖 31B 至圖 31E、圖 32A 及圖 32B 是圖 31A 所示的氧化物半導體膜 108 附近的放大圖。

[0341] 如圖 31B 所示，在通道長度方向的剖面形狀中，通道區域 108a 及低電阻區域 108b、108c 的邊界隔著絕緣膜 117 與導電膜 120 所包括的導電膜 120a 的端部一致或大致一致。換言之，在俯視形狀中，通道區域 108a 及低電阻區域 108b、108c 的邊界與導電膜 120 的端部一

致或大致一致。

[0342] 或者，如圖 31C 所示，在通道長度方向的剖面形狀中，通道區域 108a 包括不與導電膜 120 重疊的區域。該區域被用作偏置區域。也就是說，在俯視形狀中，低電阻區域 108b、108c 的端部不與導電膜 120 的端部重疊。

[0343] 或者，如圖 31D 所示，在通道長度方向的剖面形狀中，低電阻區域 108b、108c 包括與導電膜 120(在此為導電膜 120a)重疊的區域。將該區域稱為重疊區域。換言之，在俯視形狀中，低電阻區域 108b、108c 的端部與導電膜 120a 重疊。

[0344] 或者，如圖 31E 所示，在通道長度方向的剖面形狀中，在通道區域 108a 與低電阻區域 108b 之間包括低電阻區域 108f，在通道區域 108a 與低電阻區域 108c 之間包括低電阻區域 108g。雜質元素透過導電膜 120a 添加到低電阻區域 108f、108g，因此與低電阻區域 108b、108c 相比，低電阻區域 108f、108g 的雜質元素的濃度較低且電阻率較高。雖然在此低電阻區域 108f、108g 與導電膜 120a 重疊，但是也可以與導電膜 120a 及導電膜 120b 重疊。

[0345] 或者，如圖 32A 所示，在通道長度方向的剖面形狀中，導電膜 120a 的端部位於導電膜 120b 的端部的外側，並且導電膜 120a 也可以是錐形狀。也就是說，由絕緣膜 117 及導電膜 120a 相互接觸的面與導電膜 120a 的

側面所形成的角度也可以是低於 90°，或 5°以上且 45°以下，或 5°以上且 30°以下。

[0346] 再者，絕緣膜 117 的端部也可以位於導電膜 120a 的端部的外側。

[0347] 再者，絕緣膜 117 的側面也可以是彎曲的。

[0348] 再者，絕緣膜 117 也可以是錐形狀。也就是說，由氧化物半導體膜 108 及絕緣膜 117 相互接觸的面與絕緣膜 117 的側面所形成的角度低於 90°，較佳為 30°以上且低於 90°。

[0349] 圖 32A 所示的氧化物半導體膜 108 包括：通道區域 108a；夾著通道區域 108a 的低電阻區域 108f、108g；夾著低電阻區域 108f、108g 的低電阻區域 108h、108i；以及夾著低電阻區域 108h、108i 的低電阻區域 108b、108c。雜質元素透過絕緣膜 117 及導電膜 120a 添加到低電阻區域 108f、108g、108h、108i，因此與低電阻區域 108b、108c 相比，低電阻區域 108f、108g、108h、108i 的雜質元素的濃度較低且電阻率較高。

[0350] 圖 32B 所示的氧化物半導體膜 108 包括：通道區域 108a；夾著通道區域 108a 的低電阻區域 108h、108i；以及夾著低電阻區域 108h、108i 的低電阻區域 108b、108c。雜質元素透過絕緣膜 117 添加到低電阻區域 108h、108i，因此與低電阻區域 108b、108c 相比，低電阻區域 108h、108i 的雜質元素的濃度較低且電阻率較高。

[0351] 注意，在通道長度方向中，通道區域 108a 與導電膜 120b 重疊，低電阻區域 108f、108g 與其端部比導電膜 120b 的端部的外側突出的導電膜 120a 重疊，低電阻區域 108h、108i 與其端部比導電膜 120a 的端部的外側突出的絕緣膜 117 重疊，低電阻區域 108b、108c 設置在絕緣膜 117 的外側。

[0352] 如圖 31E 及圖 32A 和圖 32B 所示，氧化物半導體膜 108 藉由包括比低電阻區域 108b、108c 的雜質元素的濃度低且電阻率高的低電阻區域 108f、108g、108h、108i，可以使汲極區域的電場弛豫。因此，可以降低起因於汲極區域的電場的電晶體的臨界電壓的變動等劣化。

[0353] 圖 33A 所示的電晶體包括包含通道區域 108a 及低電阻區域 108b、108c 的氧化物半導體膜 108，低電阻區域 108b、108c 包括厚度小於通道區域 108a 的區域。典型的是，低電阻區域 108b、108c 包括與通道區域 108a 相比厚度小 0.1nm 以上且 5nm 以下的區域。

[0354] 在圖 33B 所示的電晶體中，與氧化物半導體膜 108 接觸的絕緣膜 104、117 之中的至少一個是多層結構。例如，絕緣膜 104 包括絕緣膜 104a、與絕緣膜 104a 及氧化物半導體膜 108 接觸的絕緣膜 104b。另外，絕緣膜 117 包括與氧化物半導體膜 108 接觸的絕緣膜 117a 以及與絕緣膜 117a 接觸的絕緣膜 117b。

[0355] 絕緣膜 104b、117a 可以使用氮氧化物少且缺陷態密度低的氧化物絕緣膜形成。氮氧化物少且缺陷態密

度低的氧化物絕緣膜具體是指位於真空能階的 4.6eV 以上且 8eV 以下的缺陷態密度較低的氧化物絕緣膜，換言之，起因於氮氧化物的缺陷態密度較低的氧化物絕緣膜。作為氮氧化物少且缺陷態密度低的氧化物絕緣膜，可以使用氮氧化物的釋放量少的氧氮化矽膜或氮氧化物的釋放量少的氧氮化鋁膜等。注意，絕緣膜 104b、117a 的平均膜厚為 0.1nm 以上且 50nm 以下，或者 0.5nm 以上且 10nm 以下。

[0356] 此外，在熱脫附譜分析法(TDS(Thermal Desorption Spectroscopy))中，氮氧化物的釋放量少的氧氮化矽膜是氨釋放量比氮氧化物的釋放量多的膜，典型的是氨釋放量為 1×10^{18} 個/cm^3 以上且 5×10^{19} 個/cm^3 以下。注意，氨的釋放量是藉由膜表面溫度為 50℃ 以上且 650℃ 以下，較佳為 50℃ 以上且 550℃ 以下的加熱處理而釋放的量。

[0357] 絕緣膜 104a、117b 可以使用藉由加熱釋放氧的氧化物絕緣膜形成。注意，絕緣膜 104a、117b 的平均膜厚為 5nm 以上且 1000nm 以下，或 10nm 以上且 500nm 以下。

[0358] 作為藉由加熱釋放氧的氧化物絕緣膜的代表例子，有氧氮化矽膜、氧氮化鋁膜等。

[0359] 以 NO_2 或 NO 為代表的氮氧化物(NO_x，x 為 0 以上且 2 以下，較佳為 1 以上且 2 以下)在絕緣膜 104 及絕緣膜 117 等中形成能階。該能階形成在氧化物半導體膜

108 的能隙中。因此，當氮氧化物擴散到絕緣膜 104、117 及氧化物半導體膜 108 之間的介面時，有時該能階在絕緣膜 104、117 一側俘獲電子。其結果是，被俘獲的電子停留在絕緣膜 104、117 及氧化物半導體膜 108 之間的介面附近，而導致電晶體的臨界電壓向正方向漂移。

[0360] 另外，氮氧化物在加熱處理中與氨及氧起反應。絕緣膜 104a、117b 所包含的氮氧化物在加熱處理中與絕緣膜 104b、117a 所包含的氨起反應，因此絕緣膜 104a、117b 所包含的氮氧化物被降低。因此，在絕緣膜 104、117 及氧化物半導體膜 108 的介面，電子不容易被俘獲。

[0361] 作為絕緣膜 104b、117a，藉由使用氮氧化物少且缺陷態密度低的氧化物絕緣膜，能夠降低電晶體的臨界電壓的漂移，而可以降低電晶體的電特性的變動。

[0362] 藉由電晶體的製程的加熱處理(典型為 300℃以上且低於基板應變點的加熱處理)，在對絕緣膜 104b、117a 利用 100K 以下的 ESR 進行測量而得到的質譜中，觀察到 g 值為 2.037 以上且 2.039 以下的第一信號、g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號。在 X 帶的 ESR 測定中，第一信號與第二信號之間的分裂寬度(split width)及第二信號與第三信號之間的分裂寬度大約為 5mT。另外，g 值為 2.037 以上且 2.039 以下的第一信號、g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下

的第三信號的自旋密度的總計為小於 1×10^{18}spins/cm^3，典型為 1×10^{17}spins/cm^3 以上且小於 1×10^{18}spins/cm^3。

[0363] 在 100K 以下的 ESR 譜中，g 值為 2.037 以上且 2.039 以下的第一信號、g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號相當於起因於二氧化氮的信號。換言之，g 值為 2.037 以上且 2.039 以下的第一信號、g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號的自旋密度的總計越低，氧化物絕緣膜所包含的氮氧化物的含量越少。

[0364] 另外，在電晶體的製程的加熱處理(典型為 300℃ 以上且低於基板應變點的加熱處理)後，氮氧化物少且缺陷態密度低的氧化物絕緣膜藉由 SIMS(Secondary Ion Mass Spectrometry)測定的氮濃度為 6×10^{20}atoms/cm^3 以下。

[0365] 藉由利用基板溫度為 220℃ 以上、280℃ 以上或 350℃ 以上並使用矽烷及一氧化二氮的電漿 CVD 法形成氮氧化物少且缺陷態密度低的氧化物絕緣膜，可以製造緻密且硬度高的膜。

[0366] 圖 33C 所示的電晶體包括：氧化物半導體膜 108；絕緣膜 117；以及導電膜 120 與絕緣膜 126 之間的絕緣膜 141。絕緣膜 141 可以使用圖 33B 的絕緣膜 104b、117a 所示的氮氧化物少且缺陷態密度低的氧化物絕緣膜來形成。

[0367] 另外，在通道長度方向的剖面形狀中，通道區域 108a 與低電阻區域 108b 之間包括低電阻區域 108f，通道區域 108a 與低電阻區域 108c 之間包括低電阻區域 108g。與低電阻區域 108b、108c 相比，低電阻區域 108f、108g 的雜質元素的濃度較低且電阻率較高。注意，在此，低電阻區域 108f、108g 是重疊於與絕緣膜 117 及導電膜 120 的側面接觸的絕緣膜 141 的區域。另外，低電阻區域 108f、108g 也可以與絕緣膜 126 及絕緣膜 141 重疊。

[0368] 在圖 33D 所示的電晶體中，絕緣膜 117 與氧化物半導體膜 108 的通道區域 108a 接觸，並且與低電阻區域 108b、108c 接觸。另外，在絕緣膜 117 中，與接觸於通道區域 108a 的區域相比，接觸於低電阻區域 108b、108c 的區域的膜厚較薄，典型的是，平均膜厚為 0.1nm 以上且 50nm 以下，或 0.5nm 以上且 10nm 以下。其結果是，能夠透過絕緣膜 117 對氧化物半導體膜 108 添加雜質元素，並且能夠透過絕緣膜 117 將絕緣膜 126 所包含的氫移動到氧化物半導體膜 108。其結果是，可以形成低電阻區域 108b、108c。

[0369] 再者，將絕緣膜 104 形成為絕緣膜 104a、104b 的多層結構，使用藉由加熱釋放氧的氧化物絕緣膜形成絕緣膜 104a，使用氮氧化物少且缺陷態密度低的氧化物絕緣膜形成絕緣膜 104b。再者，使用氮氧化物少且缺陷態密度低的氧化物絕緣膜形成絕緣膜 117。也就是

說，可以由氮氧化物少且缺陷態密度低的氧化物絕緣膜覆蓋氧化物半導體膜 108。其結果是，藉由加熱處理將絕緣膜 104a 所包含的氧移動到氧化物半導體膜 108 中，可以降低氧化物半導體膜 108 的通道區域 108a 所包含的氧缺陷，並且降低絕緣膜 104b、117 與氧化物半導體膜 108 的介面的載子的陷阱。其結果是，能夠降低電晶體的臨界電壓的漂移，並降低電晶體的電特性的變動。

[0370]

實施方式 4

在此，使用圖 34A 及圖 34B 說明在絕緣膜上形成抑制氧脫離的膜之後透過該膜對絕緣膜添加氧的方法。

[0371] 如圖 34A 所示，在基板 101 上形成絕緣膜 104。

[0372] 接著，在絕緣膜 104 上形成抑制氧脫離的膜 145d。接著，透過膜 145d 對絕緣膜 104 添加氧 146d。

[0373] 作為抑制氧脫離的膜 145d，使用如下具有導電性的材料來形成：選自鋁、鉻、鉭、鈦、鉬、鎳、鐵、鈷、鎢的金屬元素；以上述金屬元素為成分的合金；組合上述金屬元素的合金；包括上述金屬元素的金屬氮化物；包括上述金屬元素的金屬氧化物；以及包括上述金屬元素的金屬氮氧化物等。

[0374] 抑制氧脫離的膜 145d 的厚度可以是 1nm 以上且 20nm 以下，或 2nm 以上且 10nm 以下。

[0375] 作為透過膜 145d 對絕緣膜 104 添加氧 146d

的方法，有離子摻雜法、離子植入法、電漿處理法等。注意，藉由使膜 145d 暴露在對基板 101 一側施加偏壓的狀態下發生的電漿，能夠增加對絕緣膜 104 的氧的添加量，所以是較佳的。作為進行這種電漿處理的裝置的一個例子，有灰化裝置。

[0376] 藉由在絕緣膜 104 上設置膜 145d 並對其添加氧，膜 145d 被用作抑制氧從絕緣膜 104 脫離的保護膜。因此，可以對絕緣膜 104 添加更多的氧。

[0377] 另外，當以電漿處理進行氧的引入時，藉由使用微波激發氧，產生高密度的氧電漿，可以增加對絕緣膜 104 引入氧的量。

[0378] 然後，藉由去除膜 145d，如圖 34B 所示，可以在基板 101 上形成添加有氧的絕緣膜 104。

[0379]

實施方式 5

在本實施方式中，說明形成在氧化物半導體膜的低電阻區域的 V_OH。

[0380]

〈(1)V_OH 的易形成性以及穩定性〉

當氧化物半導體膜(以下，稱為 IGZO)為完整結晶時，在室溫下 H 優先地沿著 ab 面擴散。在進行 450℃的加熱處理時 H 分別擴散在 ab 面及 c 軸方向上。於是，計算是否當在 IGZO 中存在氧缺陷 V_O 時 H 容易進入氧缺陷 V_O 中。在此，將在氧缺陷 V_O 中存在 H 的狀態稱為 V_OH。

[0381] 在計算中，使用圖 35 所示的 $InGaZnO_4$ 的結晶模型。在此，利用 NEB(Nudged Elastic Band：微動彈性帶)法對 V_OH 中的 H 從 V_O 被釋放與氧鍵合的反應路徑的活化能(E_a)進行計算。表 1 示出計算條件。

[0382]

[表 1]

軟體	VASP
計算方法	NEB 法
泛函	GGA-PBE
準位能	PAW
截止能量	500eV
K 點	2×2×3

[0383] 在 $InGaZnO_4$ 的結晶模型中，如圖 35 所示，有與氧鍵合的金屬元素及該元素個數不同的氧位置 1 至氧位置 4。在此，對容易形成氧缺陷 V_O 的氧位置 1 及氧位置 2 進行計算。

[0384] 首先，作為容易形成氧缺陷 V_O 的氧位置 1，對與三個 In 原子及一個 Zn 原子鍵合的氧位置進行計算。

[0385] 圖 36A 示出初始狀態的模型，圖 36B 示出最終狀態的模型。另外，圖 37 示出在初始狀態及最終狀態下算出的的活化能(E_a)。注意，在此“初始狀態”是指在氧缺陷 V_O 中存在 H 的狀態(V_OH)，而“最終狀態”是指如下

結構：具有氧缺陷 V_O 及鍵合於一個 Ga 原子及兩個 Zn 原子的氧與 H 鍵合的狀態(H-O)。

[0386] 從計算的結果可知，當氧缺陷 V_O 中的 H 與其他 O 原子鍵合時需要大約為 1.52eV 的能量，而當鍵合於 O 的 H 進入氧缺陷 V_O 時需要大約為 0.46eV 的能量。

[0387] 在此，根據藉由計算獲得的活化能(E_a)和算式 1，計算出反應頻率(Γ)。在算式 1 中，k_B 表示波茲曼常數，T 表示絕對溫度。

[0388]

[算式 1]

$$\Gamma = \nu \exp\left(-\frac{E_a}{k_B T}\right)$$

[0389] 假設頻率因數 $v=10^{13}$[1/sec]，計算出 350℃ 時的反應頻率。H 從圖 36A 所示的模型中的位置移到圖 36B 所示的模型中的位置的頻率為 5.52×10^{0}[1/sec]。此外，H 從圖 36B 所示的模型中的位置移到圖 36A 所示的模型中的位置的頻率為 1.82×10^{9}[1/sec]。由此可知，擴散在 IGZO 中的 H 在其附近有氧缺陷 V_O 時容易形成 V_OH，一旦形成 V_OH 就不容易從氧缺陷 V_O 釋放 H。

[0390] 接著，作為容易形成氧缺陷 V_O 的氧位置 2，對與一個 Ga 原子及兩個 Zn 原子鍵合的氧位置進行計算。

[0391] 圖 38A 示出初始狀態的模型，圖 38B 示出最終狀態的模型。另外，圖 39 示出在初始狀態及最終狀態下算出的活化能(E_a)。注意，在此“初始狀態”是指在氧缺

陷 V_O 中存在 H 的狀態(V_OH)，而“最終狀態”是指如下結構：具有氧缺陷 V_O 及鍵合於一個 Ga 原子及兩個 Zn 原子的氧與 H 鍵合的狀態(H-O)。

[0392] 從計算的結果可知，當氧缺陷 V_O 中的 H 與其他 O 原子鍵合時需要大約為 1.75eV 的能量，而當鍵合於 O 的 H 進入氧缺陷 V_O 時需要大約為 0.35eV 的能量。

[0393] 根據藉由計算獲得的活化能(E_a)和上述算式 1，計算出反應頻率(Γ)。

[0394] 假設頻率因數 $v=10^{13}$[1/sec]，計算出 350℃時的反應頻率。H 從圖 38A 所示的模型中的位置移到圖 38B 所示的模型中的位置的頻率為 7.53×10^{-2}[1/sec]。此外，H 從圖 38B 所示的模型中的位置移到圖 38A 所示的模型中的位置的頻率為 1.44×10^{10}[1/sec]。由此可知，一旦形成 V_OH 就不容易從氧缺陷 V_O 釋放 H。

[0395] 由上述結果可知，當進行退火時 IGZO 中的 H 容易擴散，當具有氧缺陷 V_O 時 H 容易進入氧缺陷 V_O 而成為 V_OH。

[0396]

〈(2)V_OH 的遷移能階〉

當在 IGZO 中存在氧缺陷 V_O 及 H 時，根據〈(1)V_OH 的易形成性以及穩定性〉所示的利用 NEB 法的計算，可以認為氧缺陷 V_O 與 H 容易形成 V_OH，並且 V_OH 穩定。於是，為了調查 V_OH 是否與載子陷阱有關係，計算出 V_OH 的遷移能階。

[0397] 在計算中，使用 $InGaZnO_4$ 的結晶模型(112 原子)。在此，製造圖 35 所示的氧位置 1 及氧位置 2 的 V_OH 的模型來計算出遷移能階。表 2 示出計算條件。

[0398]

[表 2]

軟體	VASP
模型	$InGaZnO_4$ 的結晶模型(112 原子)
泛函	HSE06
交換項的混合比	0.25
準位能	GGA-PBE
截止能量	800eV
K 點	1×1×1

[0399] 以形成接近實驗值的能隙的方式調整交換項的混合比，沒有缺陷的 $InGaZnO_4$ 的結晶模型的能隙變為 3.08eV，該結果接近實驗值 3.15eV。

[0400] 根據下面算式 2 計算出具有缺陷 D 的模型的遷移能階($\varepsilon(q/q')$)。此外，$\Delta E(D^q)$為缺陷 D 的電荷 q 的形成能量，根據下面算式 3 計算出該能量。

[0401]

[算式 2]

$$\varepsilon(q/q')=\frac{\Delta E(D^q)-\Delta E(D^{q'})}{q'-q}$$

[0402]

[算式 3]

$$\Delta E(D^q) = E_{tot}(D^q) - E_{tot}(bulk) + \sum_i \Delta n_i \mu_i + q(\varepsilon_{VBM} + \Delta V_q + E_F)$$

[0403] 在算式 2 及算式 3 中，$E_{tot}(D^q)$表示包含缺陷 D 的模型的電荷 q 的總能量，E_{tot}(bulk)表示沒有缺陷的模型(完整結晶)的總能量，Δn_i表示起因於缺陷的原子 i 的增減數，μ_i表示原子 i 的化學勢，ε_{VBM}表示沒有缺陷的模型中的價帶頂的能量，ΔV_q表示與靜電勢有關的修正項，E_F表示費米能量。

[0404] 圖 40 示出根據上述算式計算出的 V_OH 的遷移能階。圖 40 中的數值表示離導帶底的深度。由圖 40 可知，氧位置 1 的 V_OH 的遷移能階存在於導帶底下 0.05eV 處，氧位置 2 的 V_OH 的遷移能階存在於導帶底下 0.11eV 處，由此各 V_OH 與電子陷阱有關係。就是說，可知 V_OH 被用作施體。也可知包含 V_OH 的 IGZO 具有導電性。

[0405]

〈氧化物導電體膜〉

下面，參照圖 48 說明具有 V_OH 的氧化物導電體膜的電阻率的溫度依存性。

[0406] 在此，製造具有氧化物導電體膜的樣本。作為氧化物導電體膜，製造如下氧化物導電體膜：氧化物半導體膜與氮化矽膜接觸而成的氧化物導電體膜(OC_SiN_x)；在摻雜裝置中將氫添加到氧化物半導體膜且與氮化矽膜接觸而成的氧化物導電體膜(OC_Ar dope+SiN_x)；在電漿處理裝置中使氧化物半導體膜暴露於

氫電漿且與氮化矽膜接觸而形成的氧化物導電體膜(OC_Ar plasma+SiN_x)。另外，氮化矽膜包含氫。

[0407] 下面說明包含氧化物導電體膜(OC_SiN_x)的樣本的製造方法。在藉由電漿 CVD 法將 400nm 厚的氧氮化矽膜形成在玻璃基板上之後，將氧氮化矽膜暴露於氧電漿，然後對氧氮化矽膜添加氧離子，來形成由於加熱而釋放氧的氧氮化矽膜。接著，藉由使用原子個數比為 In：Ga：Zn=1：1：1.2 的濺射靶材的濺射法在由於加熱而釋放氧的氧氮化矽膜上形成 100nm 厚的 In-Ga-Zn 氧化物膜，在 450℃的氮氛圍下對該氧化物膜進行加熱處理，然後在 450℃的氮及氧的混合氣體氛圍下進行加熱處理。然後，藉由電漿 CVD 法形成 100nm 厚的氮化矽膜。然後，在 350℃的氮及氧的混合氣體氛圍下進行加熱處理。

[0408] 下面說明包含氧化物導電體膜(OC_Ar dope+SiN_x)的樣本的製造方法。在藉由電漿 CVD 法將 400nm 厚的氧氮化矽膜形成在玻璃基板上之後，將氧氮化矽膜暴露於氧電漿，然後對氧氮化矽膜添加氧離子，來形成由於加熱而釋放氧的氧氮化矽膜。接著，藉由使用原子個數比為 In：Ga：Zn=1：1：1.2 的濺射靶材的濺射法在由於加熱而釋放氧的氧氮化矽膜上形成 100nm 厚的 In-Ga-Zn 氧化物膜，在 450℃的氮氛圍下對該氧化物膜進行加熱處理，然後在 450℃的氮及氧的混合氣體氛圍下進行加熱處理。接著，利用摻雜裝置以 10kV 的加速電壓對 In-Ga-Zn 氧化物膜添加劑量為 $5\times10^{14}/cm^2$ 的氬，來在 In-Ga-

Zn 氧化物膜中形成氧缺陷。然後，藉由電漿 CVD 法形成 100nm 厚的氮化矽膜。然後，在 350℃的氮及氧的混合氣體氛圍下進行加熱處理。

[0409] 下面說明包含氧化物導電體膜(OC_Ar plasma +SiN_x)的樣本的製造方法。在藉由電漿 CVD 法將 400nm 厚的氧氮化矽膜形成在玻璃基板上之後，將氧氮化矽膜暴露於氧電漿，來形成由於加熱而釋放氧的氧氮化矽膜。接著，藉由使用原子個數比為 In：Ga：Zn=1：1：1.2 的濺射靶材的濺射法在由於加熱而釋放氧的氧氮化矽膜上形成 100nm 厚的 In-Ga-Zn 氧化物膜，在 450℃的氮氛圍下對該氧化物膜進行加熱處理，然後在 450℃的氮及氧的混合氣體氛圍下進行加熱處理。接著，在電漿處理裝置中產生氬電漿，使加速了的氬離子碰撞到 In-Ga-Zn 氧化物膜，來形成氧缺陷。然後，藉由電漿 CVD 法形成 100nm 厚的氮化矽膜。然後，在 350℃的氮及氧的混合氣體氛圍下進行加熱處理。

[0410] 圖 48 示出測定各樣本的電阻率的結果。在此，利用四端子的四點探針法(van-der-Pauw 法)測定電阻率。在圖 48 中，橫軸表示測定溫度，縱軸表示電阻率。另外，四角形示出氧化物導電體膜(OC_SiN_x)的測定結果，圓圈示出氧化物導電體膜(OC_Ar dope+SiN_x)的測定結果，三角形示出氧化物半導體膜(OC_Ar plasma +SiN_x)的測定結果。

[0411] 注意，在圖式中未圖示，但是不與氮化矽膜

接觸的氧化物半導體膜的電阻率高，很難測定出其電阻率。由此可知，氧化物導電體膜的電阻率比氧化物半導體膜低。

[0412] 從圖 48 可知，當氧化物導電體膜(OC_Ar dope+SiN_x)及氧化物導電體膜(OC_Ar plasma +SiN_x)包含氧缺陷及氫時，電阻率的變動小。典型的是，在 80K 以上且 290K 以下的範圍中，電阻率的變動率為小於±20%。或者，在 150K 以上且 250K 以下的範圍中，電阻率的變動率為小於±10%。也就是說，氧化物導電體是簡併半導體，可以推測其導帶邊緣與費米能階一致或大致一致。由此，藉由將氧化物導電體膜用作電晶體的源極區域及汲極區域，可以使氧化物導電體膜與用作電晶體的源極電極及汲極電極的導電膜處於歐姆接觸，從而可以在氧化物導電體膜與用作電晶體的源極電極及汲極電極的導電膜之間降低接觸電阻。此外，由於氧化物導電體的電阻率不太依賴於溫度，所以在氧化物導電體膜與用作電晶體的源極電極及汲極電極的導電膜之間接觸電阻的變動量小，由此可以製造可靠性高的電晶體。

[0413]

實施方式 6

在本實施方式中，對本發明的一個方式的半導體裝置所包括的氧化物半導體膜的結構進行詳細的說明。

[0414] 在本說明書中，“平行”是指兩條直線形成的角度為-10°以上且 10°以下的狀態。因此，也包括該角度

為-5°以上且 5°以下的狀態。另外，“大致平行”是指兩條直線形成的角度為-30°以上且 30°以下的情況。另外，“垂直”是指兩條直線的角度為 80°以上且 100°以下的狀態。因此，也包括該角度為 85°以上且 95°以下的狀態。“大致垂直”是指兩條直線形成的角度為 60°以上且 120°以下的狀態。

[0415] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0416]

〈氧化物半導體的結構〉

下面說明氧化物半導體的結構。

[0417] 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有 CAAC-OS、多晶氧化物半導體、nc-OS(nanocrystalline Oxide Semiconductor)、a-like OS (amorphous-like Oxide Semiconductor)、非晶氧化物半導體等。

[0418] 從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及 nc-OS 等。

[0419] 已知，非晶結構一般被定義為處於介穩狀態並沒有固定化，並且為各向同性且不具有非均勻結構等。另外，也可以說是鍵角可靈活地改變且具有短程有序而不具有長程有序的結構。

[0420] 從相反的角度來看，不能將本質上穩定的氧化物半導體稱為完全是非晶(completely amorphous)的氧化物半導體。另外，不能將不是等方性(例如，在微小區域中具有週期性結構)的氧化物半導體稱為完全是非晶的氧化物半導體。注意，a-like OS 在微小區域中具有週期性結構，但同時具有空洞(void)，所以是不穩定的結構。因此，a-like OS 在物性上接近於非晶氧化物半導體。

[0421]

〈CAAC-OS〉

首先，對 CAAC-OS 進行說明。

[0422] CAAC-OS 是包含多個 c 軸配向的結晶部(也稱為顆粒)的氧化物半導體之一。

[0423] 在利用穿透式電子顯微鏡(TEM：Transmission Electron Microscope)觀察所得到的 CAAC-OS 的明視野影像與繞射圖案的複合分析影像(也稱為高解析度 TEM 影像)中，觀察到多個顆粒。然而，在高解析度 TEM 影像中，觀察不到顆粒與顆粒之間的明確的邊界，即晶界(grain boundary)。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0424] 下面，對利用 TEM 觀察的 CAAC-OS 進行說明。圖 49A 示出從大致平行於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正(Spherical Aberration Corrector)功能得到高解析度 TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM

影像特別稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0425] 圖 49B 示出將圖 49A 中的區域(1)放大的 Cs 校正高解析度 TEM 影像。由圖 49B 可以確認到在顆粒中金屬原子排列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面(也稱為被形成面)或 CAAC-OS 膜的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0426] 如圖 49B 所示，CAAC-OS 具有特有的原子排列。圖 49C 是以輔助線示出特有的原子排列的圖。由圖 49B 和圖 49C 可知，一個顆粒的尺寸為 1nm 以上且 3nm 以下左右，由顆粒與顆粒之間的傾斜產生的空隙的尺寸為 0.8nm 左右。因此，也可以將顆粒稱為奈米晶(nc：nanocrystal)。另外，也可以將 CAAC-OS 稱為具有 CANC(C-Axis Aligned nanocrystals：c 軸配向奈米晶)的氧化物半導體。

[0427] 在此，根據 Cs 校正高解析度 TEM 影像，將基板 5120 上的 CAAC-OS 的顆粒 5100 的配置示意性地表示為堆積磚塊或塊體的結構(參照圖 49D)。在圖 49C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 49D 所示的區域 5161。

[0428] 圖 50A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影

像。圖 50B、圖 50C 和圖 50D 分別示出將圖 50A 中的區域(1)、區域(2)和區域(3)放大的 Cs 校正高解析度 TEM 影像。由圖 50B、圖 50C 和圖 50D 可知在顆粒中金屬原子排列為三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0429] 接著，說明使用 X 射線繞射(XRD：X-Ray Diffraction)裝置進行分析的 CAAC-OS。例如，當利用 out-of-plane 法分析包含 $InGaZnO_4$ 結晶的 CAAC-OS 的結構時，如圖 51A 所示，在繞射角(2θ)為 31°附近時常出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的(009)面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0430] 注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ為 31°附近的峰值以外，有時在 2θ為 36°附近時也出現峰值。2θ為 36°附近的峰值表示 CAAC-OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ為 31°附近時出現峰值而在 2θ為 36°附近時不出現峰值。

[0431] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ為 56°附近時出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的(110)面。在 CAAC-OS 中，即使將 2θ固定為 56°附近並在以樣本面的法線向量為軸(ϕ軸)旋轉樣本

的條件下進行分析(ϕ掃描)，也如圖 51B 所示的那樣觀察不到明確的峰值。相比之下，在 $InGaZnO_4$ 的單晶氧化物半導體中，在將 2θ固定為 56°附近來進行ϕ掃描時，如圖 51C 所示的那樣觀察到來源於相等於(110)面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0432] 接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 $InGaZnO_4$ 結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑為 300nm 的電子線時，可能會獲得圖 52A 所示的繞射圖案(也稱為選區透過電子繞射圖案)。在該繞射圖案中包含起因於 $InGaZnO_4$ 結晶的(009)面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 52B 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子線時的繞射圖案。由圖 52B 觀察到環狀的繞射圖案。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 52B 中的第一環起因於 $InGaZnO_4$ 結晶的(010)面和(100)面等。另外，可以認為圖 52B 中的第二環起因於(110)面等。

[0433] 如上所述，CAAC-OS 是結晶性高的氧化物半導體。氧化物半導體的結晶性有時會因為雜質的混入或缺陷的產生等而得到降低，所以從相反的角度來看，CAAC-OS 也可以說是雜質或缺陷(氧缺陷等)少的氧化物半導

體。

[0434] 此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氬、二氧化碳等的原子半徑(或分子半徑)大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0435] 在氧化物半導體具有雜質或缺陷的情況下，其特性有時因為光或熱等而發生變動。例如，包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。另外，氧化物半導體中的氧缺陷有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0436] 雜質或氧缺陷少的 CAAC-OS 為載子密度低的氧化物半導體。明確而言，可以將載子密度設定為低於 $8\times10^{11}/cm^3$，較佳為低於 $1\times10^{11}/cm^3$，更佳為低於 $1\times10^{10}/cm^3$ 且為 $1\times10^{-9}/cm^3$ 以上。將這種氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷態密度低。即，CAAC-OS 可以說是具有穩定的特性的氧化物半導體。

[0437]

〈nc-OS〉

接著說明 nc-OS。

[0438] 在 nc-OS 的高解析度 TEM 影像中有能夠觀察

到結晶部的區域和觀察不到明確的結晶部的區域。nc-OS 所包含的結晶部的尺寸大多為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下。注意，有時將其結晶部的尺寸為大於 10nm 且為 100nm 以下的氧化物半導體稱為微晶氧化物半導體。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱為顆粒。

[0439] 在 nc-OS 中，微小的區域(例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域)中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。例如，當藉由利用使用其直徑比顆粒大的 X 射線束的 out-of-plane 法對 nc-OS 進行分析時，檢測不到表示結晶面的峰值。此外，在使用其束徑比顆粒大(例如，50nm 以上)的電子束對 nc-OS 進行電子繞射時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的(環狀的)亮度高的區域。而且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0440] 如此，由於在顆粒(奈米晶)之間結晶定向都沒

有規律性，所以也可以將 nc-OS 稱為包含 RANC(Random Aligned nanocrystals：無規配向奈米晶)的氧化物半導體或包含 NANC(Non-Aligned nanocrystals：無配向奈米晶)的氧化物半導體。

[0441] nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷態密度比 a-like OS 及非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷態密度比 CAAC-OS 高。

[0442]

〈a-like OS〉

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。

[0443] 在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。

[0444] 由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0445] 作為進行電子照射的樣本，準備 a-like OS(樣本 A)、nc-OS(樣本 B)和 CAAC-OS(樣本 C)。每個樣本都是 In-Ga-Zn 氧化物。

[0446] 首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結

晶部。

[0447] 注意，如下那樣決定將哪個部分作為一個結晶部。例如，已知 $InGaZnO_4$ 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的 9 個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層的間隔與(009)面的晶格表面間隔(也稱為 d 值)是幾乎相等的，由結晶結構分析求出其值為 0.29nm。由此，可以將晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的部分作為 $InGaZnO_4$ 結晶部。每個晶格條紋對應於 $InGaZnO_4$ 結晶的 a-b 面。

[0448] 圖 53 示出調查了各樣本的結晶部(22 個部分至 45 個部分)的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 53 可知，在 a-like OS 中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖 53 中的(1)所示，可知在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部(也稱為初始晶核)在累積照射量為 $4.2\times10^8e^-/nm^2$ 時生長到 2.6nm 左右。另一方面，可知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量為 $4.2\times10^8e^-/nm^2$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖 53 中的(2)及(3)所示，可知無論電子的累積照射量如何，nc-OS 及 CAAC-OS 的平均結晶部尺寸都分別為 1.4nm 左右及 2.1nm 左右。

[0449] 如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，可知在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。即，a-like OS

與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0450] 此外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6%以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78%的氧化物半導體。

[0451] 例如，在原子個數比滿足 In：Ga：Zn=1：1：1 的氧化物半導體中，具有菱方晶系結構的單晶 $InGaZnO_4$ 的密度為 $6.357g/cm^3$。因此，例如，在原子個數比滿足 In：Ga：Zn=1：1：1 的氧化物半導體中，a-like OS 的密度為 $5.0g/cm^3$ 以上且小於 $5.9g/cm^3$。另外，例如，在原子個數比滿足 In：Ga：Zn=1：1：1 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 $5.9g/cm^3$ 以上且小於 $6.3g/cm^3$。

[0452] 注意，有時不存在相同組成的單晶。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶的組合比例使用加權平均計算出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳為儘可能減少所組合的單晶氧化物半導體的種類來計算密度。

[0453] 如上所述，氧化物半導體具有各種結構及各

種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、nc-OS 和 CAAC-OS 中的兩種以上的疊層膜。

[0454] 本實施方式所示的結構、方法可以與其他實施方式所示的結構、方法適當地組合而使用。

[0455]

實施方式 7

在本實施方式中，使用圖 41A 至圖 41D 說明可以使用本發明的一個方式的半導體裝置的顯示裝置。

[0456] 圖 41A 所示的顯示裝置包括：具有顯示元件的像素的區域(以下稱為像素部 542)；配置在像素部 542 外側並具有用來驅動像素的電路的電路部(以下稱為驅動電路部 544)；具有保護元件的功能的電路(以下稱為保護電路 546)；以及端子部 547。此外，也可以採用不設置保護電路 546 的結構。

[0457] 驅動電路部 544 的一部分或全部較佳為與像素部 542 形成在同一基板上。由此，可以減少構件的數量或端子的數量。當驅動電路部 544 的一部分或全部不與像素部 542 形成在同一基板上時，驅動電路部 544 的一部分或全部可以藉由 COG(Chip On Glass)或 TAB(Tape Automated Bonding)安裝。

[0458] 像素部 542 包括用來驅動配置為 X 行(X 為 2 以上的自然數)Y 列(Y 為 2 以上的自然數)的多個顯示元件的電路(以下稱為像素電路 541)，驅動電路部 544 包括輸

出選擇像素的信號(掃描信號)的電路(以下稱為閘極驅動器544a)、用來供應用來驅動像素的顯示元件的信號(資料信號)的電路(以下稱為源極驅動器 544b)等的驅動電路。

[0459] 閘極驅動器 544a 具有移位暫存器等。閘極驅動器 544a 藉由端子部 547 被輸入用來驅動移位暫存器的信號並輸出信號。例如，閘極驅動器 544a 被輸入起動脈衝信號、時脈信號等並輸出脈衝信號。閘極驅動器 544a 具有控制被供應掃描信號的佈線(以下稱為掃描線 GL_1 至 GL_X)的電位的功能。另外，也可以設置多個閘極驅動器 544a，並藉由多個閘極驅動器 544a 分別控制掃描線 GL_1 至 GL_X。或者，閘極驅動器 544a 具有能夠供應初始化信號的功能。但是，不侷限於此，閘極驅動器 544a 也可以供應其他信號。

[0460] 源極驅動器 544b 具有移位暫存器等。除了用來驅動移位暫存器的信號之外，從其中得出資料信號的信號(影像信號)也藉由端子部 547 被輸入到源極驅動器 544b。源極驅動器 544b 具有根據影像信號生成寫入到像素電路 541 的資料信號的功能。另外，源極驅動器 544b 具有依照輸入起動脈衝信號、時脈信號等而得到的脈衝信號來控制資料信號的輸出的功能。另外，源極驅動器 544b 具有控制被供應資料信號的佈線(以下稱為信號線 DL_1 至 DL_Y)的電位的功能。或者，源極驅動器 544b 具有能夠供應初始化信號的功能。但是，不侷限於此，源極驅動器 544b 可以供應其他信號。

[0461] 源極驅動器 544b 例如使用多個類比開關等來構成。藉由依次使多個類比開關開啟，源極驅動器 544b 可以輸出對影像信號進行時間分割而成的信號作為資料信號。此外，也可以使用移位暫存器等構成源極驅動器 544b。

[0462] 多個像素電路 541 的每一個分別藉由被供應掃描信號的多個掃描線 GL 之一而被輸入脈衝信號，並藉由被供應資料信號的多個信號線 DL 之一而被輸入資料信號。另外，多個像素電路 541 的每一個藉由閘極驅動器 544a 來控制資料信號的資料的寫入及保持。例如，藉由掃描線 GL_m(m 是 X 以下的自然數)從閘極驅動器 544a 對第 m 行第 n 列的像素電路 541 輸入脈衝信號，並根據掃描線 GL_m 的電位而藉由信號線 DL_n(n 是 Y 以下的自然數)從源極驅動器 544b 對第 m 行第 n 列的像素電路 541 輸入資料信號。

[0463] 圖 41A 所示的保護電路 546 例如與作為閘極驅動器 544a 和像素電路 541 之間的佈線的掃描線 GL 連接。或者，保護電路 546 與作為源極驅動器 544b 和像素電路 541 之間的佈線的信號線 DL 連接。或者，保護電路 546 可以與閘極驅動器 544a 和端子部 547 之間的佈線連接。或者，保護電路 546 可以與源極驅動器 544b 和端子部 547 之間的佈線連接。此外，端子部 547 是指設置有用來從外部的電路對顯示裝置輸入電源、控制信號及影像信號的端子的部分。

[0464] 保護電路 546 是在與其連接的佈線被供應一定的範圍之外的電位時使該佈線與其他佈線之間導通的電路。

[0465] 如圖 41A 所示，藉由對像素部 542 和驅動電路部 544 分別設置保護電路 546，可以提高顯示裝置對因 ESD(Electro Static Discharge：靜電放電)等而產生的過電流的耐性。但是，保護電路 546 的結構不侷限於此，例如，也可以採用將閘極驅動器 544a 與保護電路 546 連接的結構或將源極驅動器 544b 與保護電路 546 連接的結構。或者，也可以採用將端子部 547 與保護電路 546 連接的結構。

[0466] 另外，雖然在圖 41A 中示出由閘極驅動器 544a 和源極驅動器 544b 形成驅動電路部 544 的例子，但是不侷限於此結構。例如，也可以採用只形成閘極驅動器 544a 並安裝形成有另外準備的源極驅動電路的基板(例如，由單晶半導體膜、多晶半導體膜形成的驅動電路基板)的結構。

[0467] 另外，圖 41A 所示的多個像素電路 541 例如可以採用圖 41B 所示的結構。

[0468] 圖 41B 所示的像素電路 541 包括液晶元件 570、電晶體 550 以及電容元件 560。

[0469] 作為電晶體 550，可以適當地使用前面的實施方式所示的電晶體。

[0470] 根據像素電路 541 的規格適當地設定液晶元

件 570 的一對電極中的一個電極的電位。根據被寫入的資料設定液晶元件 570 的配向狀態。此外，也可以對多個像素電路 541 的每一個所具有的液晶元件 570 的一對電極中的一個電極供應共用電位。此外，也可以對各行的像素電路 541 的每一個所具有的液晶元件 570 的一對電極中的一個電極供應不同的電位。

[0471] 在第 m 行第 n 列的像素電路 541 中，電晶體 550 的源極電極和汲極電極中的一方與信號線 DL_n 電連接，源極和汲極中的另一方與液晶元件 570 的一對電極中的另一個電極電連接。此外，電晶體 550 的閘極電極與掃描線 GL_m 電連接。電晶體 550 具有藉由被開啟或關閉而對資料信號的資料的寫入進行控制的功能。

[0472] 電容元件 560 的一對電極中的一個電極與被供應電位的佈線(以下，稱為電位供應線 VL)電連接，另一個電極與液晶元件 570 的一對電極中的另一個電極電連接。此外，根據像素電路 541 的規格適當地設定電位供應線 VL 的電位的值。電容元件 560 具有儲存被寫入的資料的儲存電容器的功能。

[0473] 例如，在具有圖 41B 的像素電路 541 的顯示裝置中，藉由圖 41A 所示的閘極驅動器 544a 依次選擇各行的像素電路 541，並使電晶體 550 開啟而寫入資料信號。

[0474] 當電晶體 550 被關閉時，被寫入資料的像素電路 541 成為保持狀態。藉由按行依次進行上述步驟，可

以顯示影像。

[0475] 圖 41A 所示的多個像素電路 541 例如可以採用圖 41C 所示的結構。

[0476] 另外，圖 41C 所示的像素電路 541 包括電晶體 552 及 554、電容元件 562 以及發光元件 572。在此，可以適當地將前面的實施方式所示的電晶體應用於電晶體 552 和電晶體 554 中的一者或兩者。

[0477] 電晶體 552 的源極電極和汲極電極中的一個電連接於被供應資料信號的佈線(信號線 DL_n)。並且，電晶體 552 的閘極電極電連接於被供應閘極信號的佈線(掃描線 GL_m)。

[0478] 電晶體 552 具有藉由被開啟或關閉而對資料信號的寫入進行控制的功能。

[0479] 作為電晶體 552，較佳為使用具有正臨界電壓的電特性(也稱為常關閉特性)的電晶體。另外，較佳為使用截止電流(cutoff current)被降低的電晶體。因此，較佳為適當地使用實施方式 1 所示的 100h、100j、100z、100n、100y 或實施方式 2 所示的電晶體 100t、100w、111b、111e、111h、111k。

[0480] 電容元件 562 的一對電極中的一個與被供應電位的佈線(以下，稱為電位供應線 VL_a)電連接，另一個與電晶體 552 的源極電極和汲極電極中的另一個電連接。

[0481] 電容元件 562 具有儲存被寫入的資料的儲存

電容器的功能。

[0482] 電晶體 554 的源極電極和汲極電極中的一個與電位供應線 VL_a 電連接。並且，電晶體 554 的閘極電極與電晶體 552 的源極電極和汲極電極中的另一個電連接。

[0483] 電晶體 554 具有藉由被開啟或關閉來控制流在發光元件 572 中的電流的功能。

[0484] 為了使發光元件 572 得到充分的亮度，用作驅動電晶體的電晶體 554 需使用通態電流高的電晶體。另外，為了提高顯示裝置的驅動頻率而實現更流暢的視頻顯示，需使用場效移動率高的電晶體。因此，作為電晶體 554，較佳為適當地使用實施方式 2 所示的電晶體 100u、100x、111c、111f、111i、111m。

[0485] 藉由縮小電晶體的通道長度，可以得到較高的場效移動率，但有時電晶體的臨界電壓向負方向變動(漂移)。將電晶體 554 的通道長度設定為 0.5μm 以上且 4.5μm 以下，並且如實施方式 2 所示的電晶體 111i、111m，藉由設置相互電連接的一對閘極電極，可以在提高通態電流及場效移動率的同時，抑制臨界電壓的向負方向的變動。

[0486] 另一方面，用作選擇電晶體的電晶體 552 不需要如電晶體 554 那樣高的場效移動率，所以藉由使其通道長度大於電晶體 554 的通道長度，抑制電晶體 554 的臨界電壓的向負方向的變動(漂移)。其結果是，能夠實現顯

示裝置的高速工作及低功耗化。

[0487] 例如，當將電晶體 554 的通道長度設定為 0.5μm 以上且 4.5μm 以下時，可以將電晶體 552 的通道長度設定為 6μm。但是，電晶體 552 的通道長度至少大於電晶體 554 的通道長度即可，可以根據顯示裝置所需的特性適當地設定。

[0488] 另外，電晶體 552 的截止電流的值較佳為比電晶體 554 的截止電流的值小。例如，藉由使電晶體 552 的通道長度與通道寬度的比(也稱為 L/W 比)大於電晶體 554 的 L/W 比，能夠使電晶體 552 的截止電流的值小於電晶體 554 的截止電流的值。另外，當電晶體 554 與電晶體 552 的通道寬度實質上相等時，藉由使電晶體 552 的通道長度大於電晶體 554 的通道長度，能夠降低電晶體 552 的截止電流的值。

[0489] 另外，電晶體 552 也可以採用包括相互電連接的一對閘極電極的結構。注意，藉由使電晶體 552 為單閘極結構，可以減小用來成為一對閘極電極間的連接部的區域，從而可以縮小電晶體的面積，並可以降低像素的開口率的下降。注意，當採用大型的顯示裝置時，因為對用作像素的選擇電晶體的電晶體 552 施加的閘極佈線的寄生電容變大，所以採用單閘極結構是有效的。

[0490] 發光元件 572 的陽極和陰極中的一個與電位供應線 VL_b 電連接，另一個與電晶體 554 的源極電極和汲極電極中的另一個電連接。

[0491] 作為發光元件 572，例如可以使用有機電致發光元件(也稱為有機 EL 元件)等。注意，發光元件 572 並不侷限於有機 EL 元件，也可以為由無機材料構成的無機 EL 元件。

[0492] 此外，電位供應線 VL_a 和電位供應線 VL_b 中的一個被施加高電源電位 VDD，電位供應線 VL_a 和電位供應線 VL_b 中的另一個被施加低電源電位 VSS。

[0493] 例如，在具有圖 41C 的像素電路 541 的顯示裝置中，藉由圖 41A 所示的閘極驅動器 544a 依次選擇各行的像素電路 541，並使電晶體 552 開啟而寫入資料信號。

[0494] 當電晶體 552 被關閉時，被寫入資料的像素電路 541 成為保持狀態。並且，流在電晶體 554 的源極電極與汲極電極之間的電流量根據被寫入的資料信號的電位被控制，發光元件 572 以對應於流動的電流量的亮度發光。藉由按行依次進行上述步驟，可以顯示影像。

[0495] 另外，圖 41A 所示的多個像素電路 541 例如可以採用圖 41D 所示的結構。

[0496] 圖 41D 所示的像素電路 541 包括用作控制資料信號的寫入的選擇電晶體的電晶體 552；用作驅動電晶體的電晶體 554；電晶體 556；電容元件 562；以及發光元件 572。在此，作為電晶體 552，可以適當地使用實施方式 2 所示的電晶體 100t、100w、111b、111e、111h、111k，作為電晶體 554，可以適當地使用實施方式 2 所示

的電晶體 100u、100x、111c、111f、111i、111m。

[0497] 電晶體 552 的源極電極和汲極電極中的一方與被供應資料信號的佈線(信號線 DL_n)電連接。再者，電晶體 552 的閘極電極與被供應閘極信號的佈線(掃描線 GL_m)電連接。

[0498] 電晶體 552 具有藉由被開啟或關閉來控制資料信號的寫入的功能。也就是說，電晶體 552 具有選擇電晶體的功能。

[0499] 電晶體 554 的源極電極和汲極電極中的一方與被供應電位的佈線(下面稱為電位供應線 VL_a1)電連接，電晶體 554 的源極電極和汲極電極中的另一方與發光元件 572 的一個電極電連接。再者，電晶體 554 的閘極電極與電晶體 552 的源極電極和汲極電極中的另一方及電容元件 562 的一個電極電連接。

[0500] 電晶體 556 的源極電極和汲極電極中的一方與被供應資料的參考電位的佈線 ML 連接，電晶體 556 的源極電極和汲極電極的另一方與發光元件 572 的一個電極及電容元件 562 的另一個電極電連接。再者，電晶體 556 的閘極電極與被供應閘極信號的掃描線 GL_m 電連接。

[0501] 電晶體 556 具有調整流在發光元件 572 中的電流的功能。例如，在電晶體 554 的臨界電壓或場效移動率產生偏差時或在電晶體 554 劣化時，藉由監視流在與電晶體 556 的源極電極和汲極電極中的一方連接的佈線 ML 的電流，可以校正流在發光元件 572 的電流。佈線 ML 例

如可以被供應發光元件 572 的臨界電壓以下的電壓。

[0502] 在本實施方式中，電晶體 556 的通道長度例如較佳為大於電晶體 554 的通道長度。注意，電晶體 556 既可以是單閘極結構，又可以與電晶體 554 同樣地是雙閘極結構。但是，當電晶體 556 是單閘極結構時，可以省略用來連接第一閘極電極與第二閘極電極的區域，所以可以縮小電晶體的面積。由此，可以增加像素的開口率，所以是較佳的。

[0503] 電容元件 562 的一對電極中的一方與電晶體 552 的源極電極和汲極電極中的另一方以及電晶體 554 的閘極電極電連接，電容元件 562 的一對電極中的另一方與電晶體 554 的源極電極和汲極電極中的另一方、電晶體 556 的源極電極和汲極電極中的另一方及發光元件 572 的一個電極電連接。

[0504] 發光元件 572 的一對電極中的一方與電晶體 554 的源極電極和汲極電極中的另一方、電容元件 562 的另一個電極及電晶體 556 的源極電極和汲極電極中的另一方電連接。另外，發光元件 572 的一對電極中的另一方與用作陰極的電位供應線 VL_b 電連接。

[0505] 另外，設置有延伸在與佈線 ML 平行的方向的電位供應線 VL_a2。電位供應線 VL_a2 與用作陽極線的電位供應線 VL_a1 連接，能夠降低電位供應線 VL_a1、VL_a2 的佈線電阻。其結果是，在使用大面積基板的顯示裝置中，能夠降低佈線的電壓下降，而可以降低顯示裝置

的亮度不均勻。

[0506] 電位供應線 VL_a1、VL_a2 和電位供應線 VL_b 中的一方被供應高電源電位 VDD，另一方被供應低電源電位 VSS。在圖 41D 所示的結構中，對電位供應線 VL_a1、VL_a2 供應高電源電位 VDD，並對電位供應線 VL_b 供應低電源電位 VSS。

[0507] 在包括圖 41D 中的像素電路 541 的顯示裝置中，例如，藉由圖 41A 所示的閘極驅動器 544a 依次選擇各行的像素電路 541，並使電晶體 552 開啟而寫入資料信號。

[0508] 被寫入資料的像素電路 541 在電晶體 552 被關閉時成為保持狀態。再者，由於電晶體 552 與電容元件 562 連接，因此能夠長期間保持寫入的資料。另外，由電晶體 554 控制流在源極電極與汲極電極間的電流的量，發光元件 572 發出對應於電流量的亮度的光。藉由按每行依次進行上述步驟，可以顯示影像。

[0509] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

[0510]

實施方式 8

在本實施方式中，使用圖 42 至圖 44B 說明使用在前面的實施方式中例示的電晶體的顯示裝置的一個例子。

[0511] 圖 42 是示出顯示裝置的一個例子的俯視圖。圖 42 所示的顯示裝置 700 包括：設置在第一基板 701 上

的像素部 702；設置在第一基板 701 上的源極驅動電路部 704 及閘極驅動電路部 706；以圍繞像素部 702、源極驅動電路部 704 及閘極驅動電路部 706 的方式設置的密封材料 712；以及以與第一基板 701 對置的方式設置的第二基板 705。注意，由密封材料 712 密封第一基板 701 及第二基板 705。也就是說，像素部 702、源極驅動電路部 704 及閘極驅動電路部 706 被第一基板 701、密封材料 712 及第二基板 705 密封。注意，雖然在圖 42 中未圖示，但是在第一基板 701 與第二基板 705 之間設置有顯示元件。

[0512] 另外，在顯示裝置 700 中，在第一基板 701 上的不由密封材料 712 圍繞的區域中設置有電連接於像素部 702、源極驅動電路部 704 及閘極驅動電路部 706 的 FPC(Flexible printed circuit：撓性印刷電路)端子部 708。此外，FPC716 連接於 FPC 端子部 708，並且藉由 FPC716 對像素部 702、源極驅動電路部 704 及閘極驅動電路部 706 供應各種信號。另外，像素部 702、源極驅動電路部 704、閘極驅動電路部 706 以及 FPC 端子部 708 各與信號線 710 連接。由 FPC716 供應的各種信號是藉由信號線 710 供應到像素部 702、源極驅動電路部 704、閘極驅動電路部 706 以及 FPC 端子部 708 的。

[0513] 另外，也可以在顯示裝置 700 中設置多個閘極驅動電路部 706。另外，作為顯示裝置 700，雖然示出將源極驅動電路部 704 及閘極驅動電路部 706 形成在與像素部 702 相同的第一基板 701 上的例子，但是並不侷限於

該結構。例如，可以只將閘極驅動電路部 706 形成在第一基板 701 上，或者可以只將源極驅動電路部 704 形成在第一基板 701 上。此時，也可以採用將形成有源極驅動電路或閘極驅動電路等的基板(例如，由單晶半導體膜、多晶半導體膜形成的驅動電路基板)安裝於第一基板 701 的結構。另外，對另行形成的驅動電路基板的連接方法沒有特別的限制，而可以採用 COG 方法、打線接合方法等。

[0514] 另外，顯示裝置 700 所包括的像素部 702、源極驅動電路部 704 及閘極驅動電路部 706 包括多個的電晶體，作為該電晶體可以適用本發明的一個方式的半導體裝置的電晶體。

[0515] 另外，顯示裝置 700 可以包括各種元件。該元件例如包括使用液晶元件、EL(電致發光)元件(包含有機和無機材料的 EL 元件、有機 EL 元件或無機 EL 元件)、LED(白色 LED、紅色 LED、綠色 LED、藍色 LED 等)、電晶體(根據電流而發光的電晶體)、電子發射元件、電子墨水、電泳元件、柵光閥(GLV)、電漿顯示器(PDP)、使用微機電系統(MEMS)的顯示元件、數位微鏡裝置(DMD)、數位微快門(DMS)、MIRASOL(在日本註冊的商標)、IMOD(干涉測量調節)元件、快門方式的 MEMS 顯示元件、光干涉方式的 MEMS 顯示元件、電潤濕(electrowetting)元件、壓電陶瓷顯示器或碳奈米管的顯示元件等中的至少一個。除此之外，也可以具有藉由電作用或磁作用改變對比度、亮度、反射率、透射率等的顯示媒

體。作為使用 EL 元件的顯示裝置的一個例子，有 EL 顯示器等。作為使用電子發射元件的顯示裝置的一個例子，有場致發射顯示器(FED)或 SED 方式平面型顯示器(SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器)等。作為使用液晶元件的顯示裝置的一個例子，有液晶顯示器(透射式液晶顯示器、半透射式液晶顯示器、反射式液晶顯示器、直觀式液晶顯示器、投射式液晶顯示器)等。作為使用電子墨水或電泳元件的顯示裝置的一個例子，有電子紙等。注意，當實現半透射式液晶顯示器或反射式液晶顯示器時，使像素電極的一部分或全部具有反射電極的功能，即可。例如，使像素電極的一部分或全部包含鋁、銀等，即可。並且，此時也可以將 SRAM 等記憶體電路設置在反射電極下。由此，可以進一步降低功耗。

[0516] 作為顯示裝置 700 的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，作為當進行彩色顯示時在像素中控制的顏色要素，不侷限於 RGB(R 表示紅色，G 表示綠色，B 表示藍色)這三種顏色。例如，可以由 R 像素、G 像素、B 像素及 W(白色)像素的四個像素構成。或者，如 PenTile 排列，也可以由 RGB 中的兩個顏色構成一個顏色要素，並根據顏色要素選擇不同的兩個顏色來構成。或者可以對 RGB 追加黃色(yellow)、青色(cyan)、洋紅色(magenta)等中的一種以上的顏色。另外，各個顏色要素的點的顯示區域的大小可以不同。但是，所

公開的發明不侷限於彩色顯示的顯示裝置，而也可以應用於黑白顯示的顯示裝置。

[0517] 在本實施方式中，使用圖 43A 和圖 43B 及圖 44A 和圖 44B 說明作為顯示元件使用液晶元件及 EL 元件的結構。圖 43A 和圖 43B 是沿著圖 42 所示的點劃線 Q-R 的剖面圖，作為顯示元件使用液晶元件的結構。另外，圖 44A 和圖 44B 是沿著圖 42 所示的點劃線 Q-R 的剖面圖，作為顯示元件使用 EL 元件的結構。

[0518] 圖 43A 及圖 44A 是作為第一基板 701、第二基板 705 使用玻璃等的顯示裝置 700，其機械強度高。另外，圖 43B 及圖 44B 是作為第一基板 701、第二基板 705 使用塑膠等的顯示裝置 700a，其具有撓性。由黏合劑 720 固定第一基板 701 與形成有電晶體 750、752、電容元件 790 的絕緣膜 719。另外，由黏合劑 740 固定第二基板 705 與形成有彩色膜 736、遮光膜 738 等的絕緣膜 739。

[0519] 下面，首先說明圖 43A 和圖 43B 與圖 44A 和圖 44B 所示的共同部分，接著說明不同的部分。

[0520]

〈顯示裝置的共同部分的說明〉

圖 43A 至圖 44B 所示的顯示裝置 700、700a 包括：引繞佈線部 711；像素部 702；源極驅動電路部 704；以及 FPC 端子部 708。另外，引繞佈線部 711 包括信號線 710。另外，像素部 702 包括電晶體 750 及電容元件 790。另外，源極驅動電路部 704 包括電晶體 752。

[0521] 電晶體 750 及電晶體 752 可以適當地使用前面的實施方式所示的電晶體的結構。

[0522] 在本實施方式中使用的電晶體包括高度純化且氧缺陷的形成被抑制的氧化物半導體膜。該電晶體可以降低關閉狀態下的電流值(關態電流值)。因此，可以延長影像信號等電信號的保持時間，在開啟電源的狀態下也可以延長寫入間隔。因此，可以降低更新工作的頻率，由此可以發揮抑制功耗的效果。

[0523] 另外，在本實施方式中使用的電晶體能夠得到較高的場效移動率，因此能夠進行高速驅動。例如，藉由將這種能夠進行高速驅動的電晶體用於液晶顯示裝置，可以在同一基板上形成像素部的開關電晶體及用於驅動電路部的驅動電晶體。也就是說，因為作為驅動電路不需要另行使用由矽晶圓等形成的半導體裝置，所以可以縮減半導體裝置的構件數。另外，在像素部中也可以藉由使用能夠進行高速驅動的電晶體提供高品質的影像。

[0524] 另外，在圖 43A 和圖 43B 及圖 44A 和圖 44B 中，在電晶體 750、電晶體 752 及電容元件 790 上設置有絕緣膜 766 及平坦化絕緣膜 770。

[0525] 作為絕緣膜 766，可以使用與前面的實施方式所示的絕緣膜 126 同樣的材料及製造方法形成。另外，作為平坦化絕緣膜 770，可以使用具有耐熱性的有機材料如聚醯亞胺樹脂、丙烯酸樹脂、聚醯亞胺醯胺樹脂、苯并環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等。也可以藉由層疊

多個由這些材料形成的絕緣膜，形成平坦化絕緣膜 770。另外，也可以採用不設置平坦化絕緣膜 770 的結構。

[0526] 另外，信號線 710 與用作電晶體 750、752 的源極電極及汲極電極的導電膜在同一製程中形成。信號線 710 也可以使用用作電晶體 750、752 的閘極電極的導電膜。作為信號線 710，例如，當使用包含銅元素的材料時，起因於佈線電阻的信號延遲等較少，而可以實現大螢幕的顯示。

[0527] 另外，FPC 端子部 708 包括連接電極 760、異方性導電膜 780 及 FPC716。連接電極 760 與用作電晶體 750、752 的源極電極及汲極電極的導電膜在同一製程中形成。另外，連接電極 760 與 FPC716 所包括的端子藉由異方性導電膜 780 電連接。

[0528] 另外，作為第一基板 701 及第二基板 705，例如可以使用玻璃基板。另外，作為第一基板 701 及第二基板 705，也可以使用具有撓性的基板。作為該具有撓性的基板，例如可以舉出塑膠基板等。

[0529] 另外，在第一基板 701 與第二基板 705 之間設置有結構體 778。結構體 778 是藉由選擇性地對絕緣膜進行蝕刻而得到的柱狀的間隔物，用來控制第一基板 701 與第二基板 705 之間的距離(液晶盒厚(cell gap))。另外，作為結構體 778，也可以使用球狀的間隔物。

[0530] 另外，在第二基板 705 一側，設置有用作黑矩陣的遮光膜 738、用作濾色片的彩色膜 736、與遮光膜

738 及彩色膜 736 接觸的絕緣膜 734。

[0531]

〈作為顯示元件使用液晶元件的顯示裝置的結構例子〉

圖 43A 和圖 43B 所示的顯示裝置 700、700a 包括液晶元件 775。液晶元件 775 包括導電膜 772、導電膜 774 及液晶層 776。導電膜 774 被設置在第二基板 705 一側，並具有相對電極的功能。圖 43A 和圖 43B 所示的顯示裝置 700、700a 可以藉由施加到導電膜 772 及導電膜 774 的電壓改變液晶層 776 的配向狀態，由此控制光的透過及非透過而顯示影像。

[0532] 另外，導電膜 772 與用作電晶體 750 所包括的源極電極及汲極電極的導電膜連接。導電膜 772 被用作形成在平坦化絕緣膜 770 上的像素電極，即顯示元件的一個電極。另外，導電膜 772 具有反射電極的功能。圖 43A 和圖 43B 所示的顯示裝置 700、700a 是將外光由導電膜 772 反射並藉由彩色膜 736 來進行顯示的所謂反射式彩色液晶顯示裝置。

[0533] 作為導電膜 772，可以使用對可見光具有透光性的導電膜或對可見光具有反射性的導電膜。作為對可見光具有透光性的導電膜，例如，較佳為使用包含選自銦(In)、鋅(Zn)、錫(Sn)中的一種的材料。作為對可見光具有反射性的導電膜，例如，較佳為使用包含鋁或銀的材料。在本實施方式中，作為導電膜 772 使用對可見光具有反射性的導電膜。

[0534] 另外，在圖 43A 和圖 43B 所示的顯示裝置 700、700a 中，像素部 702 的平坦化絕緣膜 770 的一部分中設置有凹凸。該凹凸例如可以藉由使用有機樹脂膜等形成平坦化絕緣膜 770 並對該有機樹脂膜的表面設置凹部或凸部而形成。另外，用作反射電極的導電膜 772 沿著上述凹凸形成。因此，當外光入射到導電膜 772 時，可以使光在導電膜 772 的表面漫反射，而可以提高可見度。

[0535] 注意，雖然作為圖 43A 和圖 43B 所示的顯示裝置 700、700a 例示了反射式彩色液晶顯示裝置，但並不侷限於此，例如，也可以將對可見光具有透光性的導電膜用於導電膜 772，由此製造透射式彩色液晶顯示裝置。當顯示裝置為透射式彩色液晶顯示裝置時，也可以採用不設置平坦化絕緣膜 770 中的凹凸的結構。

[0536] 注意，雖然在圖 43A 和圖 43B 中未圖示，但是也可以分別在導電膜 772、774 的與液晶層 776 接觸的一側設置配向膜。另外，雖然在圖 43A 和圖 43B 中未圖示，但是可以適當地設置偏振構件、相位差構件、抗反射構件等光學構件(光學基板)等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光、側光等。

[0537] 當作為顯示元件使用液晶元件時，可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。這些液晶材料根據條件呈現出膽固醇相、層列相、立方相、手性向列相、各向同性

相等。

[0538] 另外，在採用橫向電場方式的情況下，也可以使用不需要配向膜的呈現藍相的液晶。藍相是液晶相的一種，當使膽固醇相液晶的溫度上升時，在即將從膽固醇相轉變到各向同性相之前出現。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而將混合有幾 wt.%以上的手性試劑的液晶組成物用於液晶層。包含呈現藍相的液晶和手性試劑的液晶組成物因為反應時間短且具有光學各向同性，所以不需要配向處理且視角依賴性小。另外，因不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，由此可以降低製程中的液晶顯示裝置的不良和破損。

[0539] 另外，當作為顯示元件使用液晶元件時，可以採用 TN(Twisted Nematic：扭曲向列)模式、IPS(In-Plane-Switching：平面內切換)模式、FFS(Fringe Field Switching：邊緣電場切換)模式、ASM(Axially Symmetric aligned Micro-cell：軸對稱排列微單元)模式、OCB(Optical Compensated Birefringence：光學補償彎曲)模式、FLC(Ferroelectric Liquid Crystal：鐵電液晶)模式、AFLC(Anti Ferroelectric Liquid Crystal：反鐵電液晶)模式等。

[0540] 另外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向(VA)模式的透射式液晶顯示裝置。作為垂直配向模式，可以舉出幾個例子，例如可以使用

MVA(Multi-Domain Vertical Alignment：多象限垂直配向)模式、PVA(Patterned Vertical Alignment：垂直配向構型)模式、ASV(Advanced Super View：高級超視覺)模式等。

[0541]

〈作為顯示元件使用發光元件的顯示裝置〉

圖 44A 和圖 44B 所示的顯示裝置 700、700a 包括發光元件 782。發光元件 782 包括導電膜 784、EL 層 786 及導電膜 788。在圖 44A 和圖 44B 所示的顯示裝置 700、700a 中，藉由使發光元件 782 所包括的 EL 層 786 發光，可以顯示影像。

[0542] 另外，導電膜 784 與用作電晶體 750 所包括的源極電極及汲極電極的導電膜連接。導電膜 784 被用作形成在平坦化絕緣膜 770 上的像素電極，即顯示元件的一個電極。作為導電膜 784，可以使用對可見光具有透光性的導電膜或對可見光具有反射性的導電膜。作為對可見光具有透光性的導電膜，例如，較佳為使用包含選自銦(In)、鋅(Zn)、錫(Sn)中的一種的材料。作為對可見光具有反射性的導電膜，例如，較佳為使用包含鋁或銀的材料。

[0543] 另外，圖 44A 和圖 44B 所示的顯示裝置 700、700a 中設置有平坦化絕緣膜 770 及導電膜 784 上的絕緣膜 730。絕緣膜 730 覆蓋導電膜 784 的一部分。注意，發光元件 782 具有頂部發射結構。因此，導電膜 788 具有透光性，而使 EL 層 786 所發射的光透過。注意，雖

然在本實施方式中例示頂部發射結構，但是並不侷限於此。例如，也可以適用對導電膜 784 一側發射光的底部發射結構或對導電膜 784 及導電膜 788 的兩者發射光的雙面發射結構。

[0544] 另外，在與發光元件 782 重疊的位置設置有彩色膜 736，並且在與絕緣膜 730 重疊的位置、引繞佈線部 711 以及源極驅動電路部 704 中設置有遮光膜 738。彩色膜 736 及遮光膜 738 被絕緣膜 734 覆蓋。發光元件 782 與絕緣膜 734 之間填充有密封膜 732。注意，雖然在圖 44A 和圖 44B 所示的顯示裝置 700、700a 中例示出設置彩色膜 736 的結構，但是不侷限於此。例如，在藉由分別塗布來形成 EL 層 786 時，也可以採用不設置彩色膜 736 的結構。

[0545] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0546]

實施方式 9

在本實施方式中，說明使用本發明的一個方式的半導體裝置的發光裝置的一個方式。注意，在本實施方式中，使用圖 45 說明發光裝置的像素部的結構。

[0547] 在圖 45 中，在第一基板 502 上形成有多個 FET500，並且各 FET500 與各發光元件(504R、504G、504B、504W)電連接。明確而言，各 FET500 與發光元件所包括的第一導電膜 506 電連接。注意，各發光元件

(504R、504G、504B、504W)由第一導電膜 506、第二導電膜 507、EL 層 510 以及第三導電膜 512 構成。

[0548] 另外，在與各發光元件(504R、504G、504B、504W)相對的位置上分別設置有彩色層(514R、514G、514B、514W)。注意，以與第二基板 516 接觸的方式設置有彩色層(514R、514G、514B、514W)。另外，在第一基板 502 與第二基板 516 之間設置有封止膜 518。作為封止膜 518，例如可以使用玻璃粉等玻璃材料或者兩液混合型樹脂等在常溫下固化的固化樹脂、光硬化性樹脂、熱固性樹脂等樹脂材料。

[0549] 另外，以覆蓋相鄰的第一導電膜 506 及第二導電膜 507 的端部的方式設置有分隔壁 508。另外，在分隔壁 508 上形成有結構體 509。注意，第一導電膜 506 具有反射電極的功能和發光元件的陽極的功能。此外，第二導電膜 507 具有調整各發光元件的光程長的功能。另外，在第二導電膜 507 上形成有 EL 層 510，並在 EL 層 510 上形成有第三導電膜 512。此外，第三導電膜 512 具有半透射·半反射電極的功能和發光元件的陰極的功能。另外，結構體 509 設置於發光元件與彩色層之間且具有間隔物的功能。

[0550] 另外，EL 層 510 可以被各發光元件(504R、504G、504B、504W)共同使用。注意，各發光元件(504R、504G、504B、504W)具有由第一導電膜 506 和第三導電膜 512 使來自 EL 層 510 的發光共振的所謂光學微

共振腔(也稱為微腔)結構，即便具有相同的 EL 層 510 也可以藉由使不同的波長的光譜變窄而提取。明確而言，在各發光元件(504R、504G、504B、504W)中，藉由分別調整設置於 EL 層 510 的下方的第二導電膜 507 的厚度，使從 EL 層 510 得到的光譜成為所希望的發射光譜，而能夠得到高色純度的發光。因此，藉由採用圖 45 所示的結構，不需要 EL 層的分別塗布的製程，從而能夠實現高清晰化。

[0551] 另外，在圖 45 所示的發光裝置包括彩色層(也稱為濾色片)，因此可以使所希望的發射光譜的光發射。因此，藉由組合微腔結構與濾色片，能夠得到色純度更高的發光。明確而言，調整發光元件 504R 的光程長以能夠得到紅色發光，而經由彩色層 514R 向箭頭方向發射出紅色發光。調整發光元件 504G 的光程長以能夠得到綠色發光，而經由彩色層 514G 向箭頭方向發射出綠色發光。調整發光元件 504B 的光程長以能夠得到藍色發光，而經由彩色層 514B 向箭頭方向發射出藍色發光。調整發光元件 504W 的光程長以能夠得到白色發光，而經由彩色層 514W 向箭頭方向發射出白色發光。

[0552] 注意，各發光元件的光程長的調整方法不侷限於此。例如，在各發光元件中，也可以藉由調整 EL 層 510 的厚度來調整光程長。

[0553] 另外，彩色層(514R、514G、514B)只要具有使特定的波長區的光透過的功能即可，例如可以使用使紅

色的波長區的光透過的紅色(R)濾色片、使綠色的波長區的光透過的綠色(G)濾色片以及使藍色的波長區的光透過的藍色(B)濾色片等。另外，作為彩色層 514W 例如可以使用不含有顏料等的丙烯酸類樹脂材料等。作為彩色層(514R、514G、514B、514W)可以使用各種材料並藉由印刷法、噴墨法、使用光微影技術的蝕刻法等形成。

[0554] 作為第一導電膜 506，例如可以使用反射率高(可見光的反射率為 40%以上且 100%以下，較佳為 70%以上且 100%以下)的金屬膜。作為第一導電膜 506，可以使用鋁、銀或包含這些金屬材料的合金(例如，鋁與釹與銅的合金)的單層或疊層形成。

[0555] 另外，作為第二導電膜 507，例如可以使用導電金屬氧化物來形成。作為導電金屬氧化物，可以使用氧化銦、氧化錫、氧化鋅、銦錫氧化物(Indium Tin Oxide，還稱為 ITO)、銦鋅氧化物(Indium Zinc Oxide)或者在這些金屬氧化物材料中含有氧化矽、氧化鎢的材料。藉由設置第二導電膜 507，能夠抑制在後面形成的 EL 層 510 與第一導電膜 506 之間形成絕緣膜，所以是較佳的。另外，也可以在第一導電膜 506 的下方形成用作第二導電膜 507 的導電金屬氧化物。

[0556] 此外，作為第三導電膜 512，使用具有反射性的導電材料和具有透光性的導電材料來形成，對可見光的反射率較佳為 20%以上且 80%以下，更佳為 40%以上且 70%以下。作為第三導電膜 512，例如將銀、鎂或包含這

些金屬材料的合金等形成得薄(例如，10nm 以下)，然後形成可用於第二導電膜 507 的導電金屬氧化物即可。

[0557] 在上面所說明的結構中，採用了從第二基板 516 一側提取發光的結構(頂部發射結構)，但也可以採用從形成有 FET500 的第一基板 501 一側提取光的結構(底部發射結構)或從第一基板 501 一側和第二基板 516 一側的兩者提取光的結構(雙面發射結構)。在採用底部發射結構的情況下，例如將彩色層(514R、514G、514B、514W)形成於第一導電膜 506 的下方即可。注意，作為發射光的一側的基板可以使用具有透光性的基板，作為不發射光的一側的基板可以使用具有透光性的基板及具有遮光性的基板。

[0558] 另外，雖然在圖 45 中例示了發光元件為 4 種顏色(紅色(R)、綠色(G)、藍色(B)、白色(W))的結構，但不侷限於此。例如也可以採用發光元件為三種顏色(紅色(R)、綠色(G)、藍色(B))的結構。

[0559]

實施方式 10

在本實施方式中，參照圖 46 以及圖 47A 至圖 47G 對可以使用本發明的一個方式的半導體裝置的顯示模組及電子裝置進行說明。

[0560] 圖 46 所示的顯示模組 8000 在上蓋 8001 與下蓋 8002 之間包括連接於 FPC8003 的觸控面板 8004、連接於 FPC8005 的顯示面板 8006、背光 8007、框架 8009、印

刷基板 8010、電池 8011。

[0561] 例如可以將本發明的一個方式的半導體裝置用於顯示面板 8006。

[0562] 上蓋 8001 及下蓋 8002 可以根據觸控面板 8004 及顯示面板 8006 的尺寸可以適當地改變形狀或尺寸。

[0563] 觸控面板 8004 能夠是電阻膜式觸控面板或靜電容量式觸控面板，並且能夠被形成為與顯示面板 8006 重疊。此外，也可以使顯示面板 8006 的相對基板(密封基板)具有觸控面板的功能。另外，也可以在顯示面板 8006 的各像素內設置光感測器，而形成光學觸控面板。

[0564] 背光 8007 具有光源 8008。注意，雖然在圖 46 中例示出在背光 8007 上配置光源 8008 的結構，但是不侷限於此。例如，可以在背光 8007 的端部設置光源 8008，並使用光擴散板。當使用有機 EL 元件等自發光型發光元件時，或者當使用反射式面板時，可以採用不設置背光 8007 的結構。

[0565] 框架 8009 除了具有保護顯示面板 8006 的功能以外還具有用來遮斷因印刷基板 8010 的工作而產生的電磁波的電磁屏蔽的功能。此外，框架 8009 也可以具有放熱板的功能。

[0566] 印刷基板 8010 具有電源電路以及用來輸出視訊信號及時脈信號的信號處理電路。作為對電源電路供應電力的電源，既可以採用外部的商業電源，又可以採用另

行設置的電池 8011 的電源。當使用商用電源時，可以省略電池 8011。

[0567] 此外，在顯示模組 8000 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0568] 圖 47A 至圖 47D 是示出電子裝置的圖。這些電子裝置可以包括外殼 600、顯示部 601、揚聲器 603、LED 燈 604、操作鍵 605(包括電源開關或操作開關)、連接端子 606、感測器 607(它具有測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)、麥克風 608 等。

[0569] 圖 47A 示出移動電腦，該移動電腦除了上述以外還可以包括開關 609、紅外線埠 620 等。圖 47B 示出具備儲存介質的可攜式影像再現裝置(例如 DVD 再現裝置)，該可攜式影像再現裝置除了上述以外還可以包括第二顯示部 602、儲存介質讀取部 621 等。圖 47C 示出電視接收機，該電視接收機除了上述以外還可以包括調諧器、影像處理部等。圖 47D 示出可攜式電視接收機，該可攜式電視接收機除了上述以外還可以包括能夠收發信號的充電器 627 等。

[0570] 圖 47E 至圖 47G 示出能夠折疊的可攜式資訊終端 610。圖 47E 示出展開狀態的可攜式資訊終端 610。圖 47F 示出從展開狀態和折疊狀態中的一個狀態變為另一

個狀態的中途的狀態的可攜式資訊終端 610。圖 47G 示出折疊狀態的可攜式資訊終端 610。可攜式資訊終端 610 在折疊狀態下可攜性好，在展開狀態下因為具有無縫拼接的較大的顯示區域所以顯示一覽性強。

[0571] 顯示部 612 由鉸鏈 613 所連接的三個外殼 615 來支撐。藉由鉸鏈 613 使兩個外殼 615 之間彎折，可以從可攜式資訊終端 610 的展開狀態可逆性地變為折疊狀態。可以將使用本發明的一個方式製造的顯示裝置用於顯示部 612。例如，可以使用能夠以 1mm 以上且 150mm 以下的曲率半徑彎曲的顯示裝置。

[0572] 圖 47A 至圖 47G 所示的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊(靜態影像、動態影像、文字影像等)顯示在顯示部上；觸控面板；顯示日曆、日期或時刻等；藉由利用各種軟體(程式)控制處理；進行無線通訊；藉由利用無線通訊功能來連接到各種電腦網路；藉由利用無線通訊功能，進行各種資料的發送或接收；讀出儲存在儲存介質中的程式或資料來將其顯示在顯示部上等。再者，在具有多個顯示部的電子裝置中，可以具有如下功能：一個顯示部主要顯示影像資訊，而另一個顯示部主要顯示文字資訊；或者，在多個顯示部上顯示考慮到視差的影像來顯示立體影像等。再者，在具有影像接收部的電子裝置中，可以具有如下功能：拍攝靜態影像；拍攝動態影像；對所拍攝的影像進行自動或手動校正；將所拍攝的影像儲存在儲存介質(外部或內置

於相機)中；將所拍攝的影像顯示在顯示部上等。注意，圖 47A 至圖 47G 所示的電子裝置可具有的功能不侷限於上述功能，而可以具有各種各樣的功能。

[0573] 本實施方式所述的電子裝置的特徵在於具有用來顯示某些資訊的顯示部。本發明的一個方式的半導體裝置也可以應用不包括顯示部的電子裝置。

[0574] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

【符號說明】

[0575]

100a：電晶體

100b：電晶體

100g：電晶體

100h：電晶體

100i：電晶體

100j：電晶體

100k：電晶體

100m：電晶體

100n：電晶體

100s：電晶體

100t：電晶體

100u：電晶體

100v：電晶體

100w：電晶體

100x：電晶體

100y：電晶體

100z：電晶體

101：基板

102：導電膜

103：導電膜

104：絕緣膜

104a：絕緣膜

104b：絕緣膜

105：氧化物半導體膜

105a：通道區域

105b：低電阻區域

105c：低電阻區域

106：氧化物半導體膜

106a：通道區域

106b：低電阻區域

106c：低電阻區域

107：多層膜

107a：通道區域

107b：低電阻區域

107c：低電阻區域

108：氧化物半導體膜

108a：通道區域

108b：低電阻區域

108c：低電阻區域

108d：區域

108e：區域

108f：低電阻區域

108g：低電阻區域

108h：低電阻區域

108i：低電阻區域

109：氧化物半導體膜

110：多層膜

110a：通道區域

110b：低電阻區域

110c：低電阻區域

110u：電晶體

111a：電晶體

111b：電晶體

111c：電晶體

111d：電晶體

111e：電晶體

111f：電晶體

111g：電晶體

111h：電晶體

111i：電晶體

111j：電晶體

111k：電晶體

111m：電晶體

111w：電晶體

111x：電晶體

111y：電晶體

113：開口部

114：開口部

115：絕緣膜

116：絕緣膜

117：絕緣膜

117a：絕緣膜

117b：絕緣膜

118：絕緣膜

119：導電膜

119a：導電膜

119b：導電膜

120：導電膜

120a：導電膜

120b：導電膜

121：導電膜

121a：導電膜

121b：導電膜

122：遮罩

123：遮罩

124：遮罩

125：雜質元素

126：絕緣膜

127：絕緣膜

128：開口部

129：開口部

130：開口部

131：開口部

132：開口部

133：開口部

134：導電膜

135：導電膜

136：導電膜

137：導電膜

138：導電膜

139：導電膜

141：絕緣膜

142：氧化物半導體膜

142a：通道區域

142b：低電阻區域

142c：低電阻區域

143：氧化物半導體膜

143a：通道區域

143b：低電阻區域

143c：低電阻區域

144：氧化物半導體膜

144a：通道區域

144b：低電阻區域

144c：低電阻區域

145：氧化物半導體膜

145a：通道區域

145b：低電阻區域

145c：低電阻區域

145d：膜

146：氧化物半導體膜

146a：通道區域

146b：低電阻區域

146c：低電阻區域

146d：氧

147：多層膜

147a：通道區域

147b：低電阻區域

147c：低電阻區域

148：氧化物半導體膜

148a：通道區域

148b：低電阻區域

148c：低電阻區域

149：氧化物半導體膜

149a：通道區域

149b：低電阻區域

149c：低電阻區域

161：氮化物絕緣膜

162：氮化物絕緣膜

500：FET

501：基板

502：基板

504B：發光元件

504G：發光元件

504R：發光元件

504W：發光元件

506：導電膜

506a：導電膜

507：導電膜

508：分隔壁

509：結構體

510：EL 層

512：導電膜

514B：彩色層

514G：彩色層

514R：彩色層

516：基板

518：封止膜

522：電晶體

541：像素電路

542：像素部

544：驅動電路部

544a：閘極驅動器

544b：源極驅動器

546：保護電路

547：端子部

550：電晶體

552：電晶體

554：電晶體

556：電晶體

560：電容元件

562：電容元件

570：液晶元件

572：發光元件

600：外殼

601：顯示部

602：顯示部

603：揚聲器

604：LED 燈

605：操作鍵

606：連接端子

607：感測器

608：麥克風

609：開關

610：可攜式資訊終端

612：顯示部

613：鉸鏈

615：外殼

620：紅外線埠

621：儲存介質讀取部

627：充電器

700：顯示裝置

700a：顯示裝置

701：基板

702：像素部

704：源極驅動電路部

705：基板

706：閘極驅動電路部

708：FPC 端子部

710：信號線

711：佈線部

712：密封材料

716：FPC

719：絕緣膜

720：黏合劑

730：絕緣膜

732：密封膜

734：絕緣膜

736：彩色膜

738：遮光膜

739：絕緣膜

740：黏合劑

750：電晶體

752：電晶體

760：連接電極

766：絕緣膜

770：平坦化絕緣膜

772：導電膜

774：導電膜

775：液晶元件

776：液晶層

778：結構體

780：異方性導電膜

782：發光元件

784：導電膜

786：EL 層

788：導電膜

790：電容元件

5100：顆粒

5120：基板

5161：區域

8000：顯示模組

8001：上蓋

8002：下蓋

8003：FPC

8004：觸控面板

8005：FPC

8006：顯示面板

8007：背光

8008：光源

8009：框架

8010：印刷基板

8011：電池

申請專利範圍

1.一種半導體裝置，其包含：

第一電晶體與第二電晶體，該第一電晶體與該第二電晶體各在第一絕緣膜之上；

該第一電晶體包含：

第一氧化物半導體膜；

第二氧化物半導體膜，其在該第一氧化物半導體膜之頂面上並且接觸該第一氧化物半導體膜之該頂面；

第一閘極絕緣膜，其在該第二氧化物半導體膜上並且接觸該第二氧化物半導體膜；

第一閘極電極，其在該第一閘極絕緣膜之上；以及

該第二電晶體包含：

第三氧化物半導體膜；

第二閘極絕緣膜，其在該第三氧化物半導體膜上並且接觸該第三氧化物半導體膜；以及

第二閘極電極，其在該第二閘極絕緣膜之上，

其中該第一氧化物半導體膜、該第二氧化物半導體膜以及該第三氧化物半導體膜各包含銦、鎵與鋅，以及

其中，在該第二氧化物半導體膜與該第三氧化物半導體膜之各者中，銦原子比例小於或等於鎵原子比例。

2.如申請專利範圍第1項所述之半導體裝置，其中該第一電晶體包含源極電極與汲極電極，該源極電極與該汲極電極各在該第二氧化物半導體膜上並且接觸該第二氧化

物半導體膜。

3.如申請專利範圍第1項所述之半導體裝置，其包含第二絕緣膜，該第二絕緣膜在該第一閘極電極與該第二閘極電極之上，

其中該第一電晶體包含第一源極電極與第一汲極電極，該第一源極電極與該第一汲極電極各在該第二絕緣膜之上，以及

其中該第二電晶體包含第二源極電極與第二汲極電極，該第二源極電極與該第二汲極電極各在該第二絕緣膜之上。

4.如申請專利範圍第1項所述之半導體裝置，其包含第二絕緣膜，該第二絕緣膜在該第一閘極電極與該第二閘極電極之上並且接觸該第二氧化物半導體膜與該第三氧化物半導體膜，其中該第二絕緣膜為氮化物絕緣膜。

5.如申請專利範圍第1項所述之半導體裝置，其中該第二氧化物半導體膜覆蓋該第一氧化物半導體膜。

6.如申請專利範圍第1項所述之半導體裝置，其中，在該第一氧化物半導體膜中，銦原子比例大於鎵原子比例。

7.如申請專利範圍第1項所述之半導體裝置，其中該第一閘極電極電性連接至該第二電晶體的源極電極與汲極電極中的一者。

8.一種顯示裝置，其包含如申請專利範圍第1項所述之半導體裝置，其中該顯示裝置包含：

驅動器電路部分，其包含該第一電晶體；以及

像素部分，其包含：

該第二電晶體；以及

顯示元件，其電性連接至該第二電晶體。

9.如申請專利範圍第8項所述之顯示裝置，其中該顯示元件為液晶元件。

10.如申請專利範圍第8項所述之顯示裝置，其中該顯示元件為電致發光元件。

11.一種半導體裝置，其包含：

第一電晶體與第二電晶體，該第一電晶體與該第二電晶體各在第一絕緣膜之上；

該第一電晶體包含：

第一閘極電極，其在該第一絕緣膜之上；

第一閘極絕緣膜，其在該第一閘極電極之上；

第一氧化物半導體膜，其在該第一閘極絕緣膜之上；

第二氧化物半導體膜，其在該第一氧化物半導體膜之頂面上並且接觸該第一氧化物半導體膜之該頂面；

第二閘極絕緣膜，其在該第二氧化物半導體膜上並且接觸該第二氧化物半導體膜；以及

第二閘極電極，其在該第二閘極絕緣膜之上；以及

該第二電晶體包含：

第三氧化物半導體膜，其在該第一閘極絕緣膜之

上；

第三閘極絕緣膜，其在該第三氧化物半導體膜上並且接觸該第三氧化物半導體膜；以及

第三閘極電極，其在該第三閘極絕緣膜之上，

其中該第一氧化物半導體膜、該第二氧化物半導體膜以及該第三氧化物半導體膜各包含銦、鎵與鋅，以及

其中，在該第二氧化物半導體膜與該第三氧化物半導體膜之各者中，銦原子比例小於或等於鎵原子比例。

12.如申請專利範圍第11項所述之半導體裝置，其中該第一電晶體包含源極電極與汲極電極，該源極電極與該汲極電極各在該第二氧化物半導體膜上並且接觸該第二氧化物半導體膜。

13.如申請專利範圍第11項所述之半導體裝置，其包含第二絕緣膜，該第二絕緣膜在該第二閘極電極與該第三閘極電極之上，

其中該第一電晶體包含第一源極電極與第一汲極電極，該第一源極電極與該第一汲極電極各在該第二絕緣膜之上，以及

其中該第二電晶體包含第二源極電極與第二汲極電極，該第二源極電極與該第二汲極電極各在該第二絕緣膜之上。

14.如申請專利範圍第11項所述之半導體裝置，其包含第二絕緣膜，該第二絕緣膜在該第二閘極電極與該第三閘極電極之上並且接觸該第二氧化物半導體膜與該第三氧

化物半導體膜，其中該第二絕緣膜為氮化物絕緣膜。

15.如申請專利範圍第11項所述之半導體裝置，其中該第一閘極絕緣膜為氮化物絕緣膜。

16.如申請專利範圍第11項所述之半導體裝置，其中該第二氧化物半導體膜覆蓋該第一氧化物半導體膜。

17.如申請專利範圍第11項所述之半導體裝置，其中，在該第一氧化物半導體膜中，銦原子比例大於鎵原子比例。

18.如申請專利範圍第11項所述之半導體裝置，其中該第一閘極電極電性連接至該第二電晶體的源極電極與汲極電極中的一者。

19.一種顯示裝置，其包含如申請專利範圍第11項所述之半導體裝置，其中該顯示裝置包含：

驅動器電路部分，其包含該第一電晶體；以及

像素部分，其包含：

該第二電晶體；以及

顯示元件，其電性連接至該第二電晶體。

20.如申請專利範圍第19項所述之顯示裝置，其中該顯示元件為液晶元件。

21.如申請專利範圍第19項所述之顯示裝置，其中該顯示元件為電致發光元件。

22.一種半導體裝置，其包含：

第一電晶體與第二電晶體，該第一電晶體與該第二電晶體各在第一絕緣膜之上；

該第一電晶體包含：

第一氧化物半導體膜；

第二氧化物半導體膜，其在該第一氧化物半導體膜之頂面上並且接觸該第一氧化物半導體膜之該頂面；

第一閘極絕緣膜，其在該第二氧化物半導體膜上並且接觸該第二氧化物半導體膜；

第一閘極電極，其在該第一閘極絕緣膜之上；以及

該第二電晶體包含：

第三氧化物半導體膜；

第二閘極絕緣膜，其在該第三氧化物半導體膜上並且接觸該第三氧化物半導體膜；以及

第二閘極電極，其在該第二閘極絕緣膜之上，

其中該第一氧化物半導體膜、該第二氧化物半導體膜以及該第三氧化物半導體膜各包含銦、鎵與鋅，以及

其中該第一氧化物半導體膜、該第二氧化物半導體膜以及該第三氧化物半導體膜各包含非單晶氧化物半導體，該非單晶氧化物半導體為c軸配向結晶氧化物半導體或奈米結晶氧化物半導體，

其中，在該第二氧化物半導體膜與該第三氧化物半導體膜之各者中，銦原子比例小於或等於鎵原子比例。

23.如申請專利範圍第22項所述之半導體裝置，其中，在該第一氧化物半導體膜中，銦原子比例大於鎵原子比例。

24.如申請專利範圍第22項所述之半導體裝置，其中該第一閘極電極電性連接至該第二電晶體的源極電極與汲極電極中的一者。

25.一種顯示裝置，其包含如申請專利範圍第22項所述之半導體裝置，

其中該顯示裝置包含：

驅動器電路部分，其包含該第一電晶體；以及

像素部分，其包含：

該第二電晶體；以及

顯示元件，其電性連接至該第二電晶體。

26.如申請專利範圍第25項所述之顯示裝置，其中該顯示元件為液晶元件。

27.如申請專利範圍第25項所述之顯示裝置，其中該顯示元件為電致發光元件。

28.一種半導體裝置，其包含：

第一電晶體與第二電晶體，該第一電晶體與該第二電晶體各在第一絕緣膜之上；

該第一電晶體包含：

第一氧化物半導體膜；

第二氧化物半導體膜，其在該第一氧化物半導體膜上並且接觸該第一氧化物半導體膜；

第三氧化物半導體膜，其在該第二氧化物半導體膜之頂面以及該第一氧化物半導體膜與該第二氧化物半導體膜之側面上並且接觸該第二氧化物半導體膜之該頂面以

及該第一氧化物半導體膜與該第二氧化物半導體膜之該側面；

第一閘極絕緣膜，其在該第三氧化物半導體膜上並且接觸該第三氧化物半導體膜；以及

第一閘極電極，其在該第一閘極絕緣膜之上；以及

該第二電晶體包含：

第四氧化物半導體膜；

第二閘極絕緣膜，其在該第四氧化物半導體膜上並且接觸該第四氧化物半導體膜；以及

第二閘極電極，其在該第二閘極絕緣膜之上，

其中該第一氧化物半導體膜、該第二氧化物半導體膜、該第三氧化物半導體膜以及該第四氧化物半導體膜各包含銦、鎵與鋅，以及

其中，在該第三氧化物半導體膜與該第四氧化物半導體膜之各者中，銦原子比例小於或等於鎵原子比例。

29.如申請專利範圍第28項所述之半導體裝置，其中該第一電晶體包含源極電極與汲極電極，該源極電極與該汲極電極各在該第三氧化物半導體膜上並且接觸該第三氧化物半導體膜。

30.如申請專利範圍第28項所述之半導體裝置，其包含第二絕緣膜，其在該第一閘極電極與該第二閘極電極之上，

其中該第一電晶體包含第一源極電極與第一汲極電

極，該第一源極電極與該第一汲極電極各在該第二絕緣膜之上，以及

其中該第二電晶體包含第二源極電極與第二汲極電極，該第二源極電極與該第二汲極電極各在該第二絕緣膜之上。

31.如申請專利範圍第28項所述之半導體裝置，其包含第二絕緣膜，該第二絕緣膜在該第一閘極電極與該第二閘極電極之上並且接觸該第三氧化物半導體膜與該第四氧化物半導體膜，其中該第二絕緣膜為氮化物絕緣膜。

32.如申請專利範圍第28項所述之半導體裝置，其中該第三氧化物半導體膜覆蓋該第一氧化物半導體膜與該第二氧化物半導體膜。

33.如申請專利範圍第28項所述之半導體裝置，其中，在該第二氧化物半導體膜中，銦原子比例大於鎵原子比例。

34.如申請專利範圍第28項所述之半導體裝置，其中該第一閘極電極電性連接至該第二電晶體的源極電極與汲極電極中的一者。

35.一種顯示裝置，其包含如申請專利範圍第28項所述之半導體裝置，其中該顯示裝置包含：

驅動器電路部分，其包含該第一電晶體；以及

像素部分，其包含：

該第二電晶體；以及

顯示元件，其電性連接至該第二電晶體。

36.如申請專利範圍第35項所述之顯示裝置，其中該顯示元件為液晶元件。

37.如申請專利範圍第35項所述之顯示裝置，其中該顯示元件為電致發光元件。

圖式

圖 1A

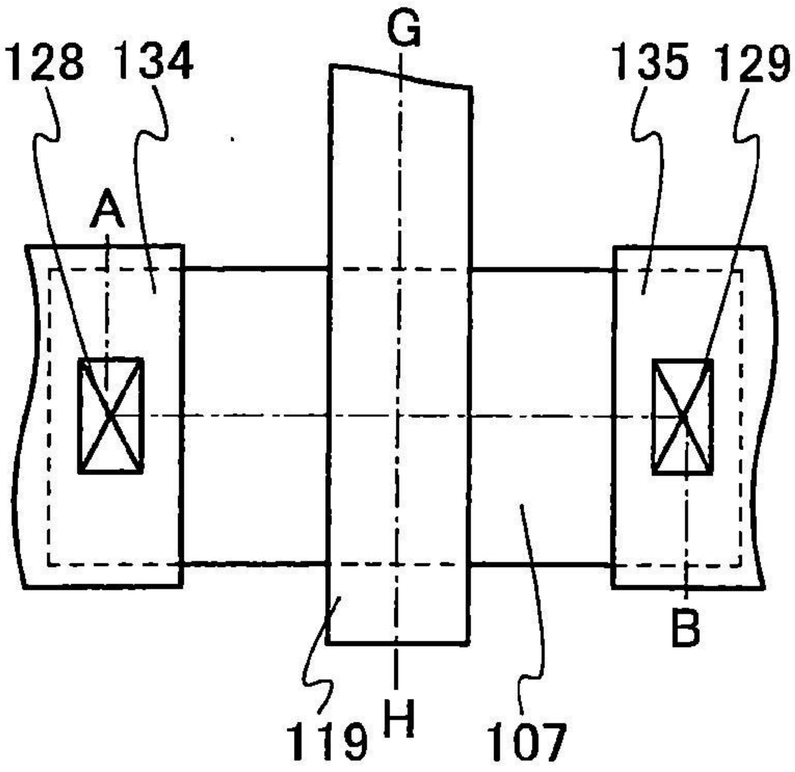

100g
128
134
G
A
B
119
H
107

圖 1B

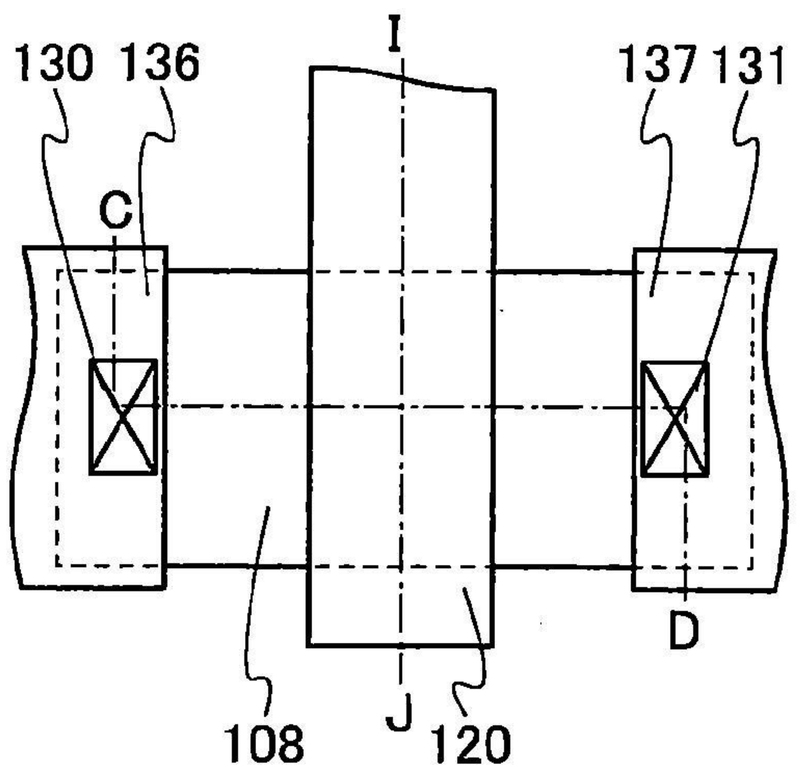

100h
135
129
130
136
I
C
D
137
131
108
J
120

圖 2A

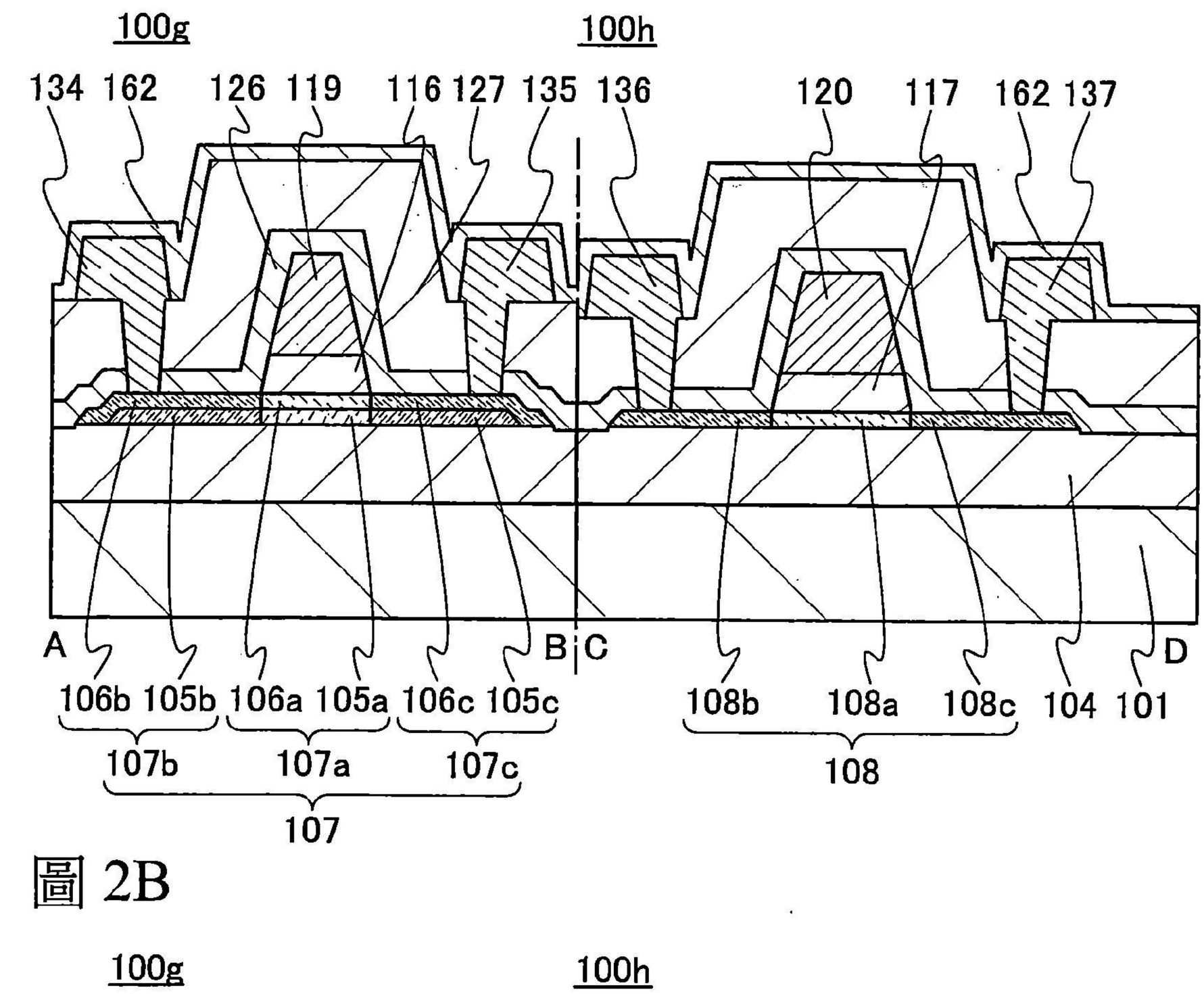

100g
100h
134
162
126
119
116
127
135
136
120
117
162
137
A
B
C
D
106b
105b
106a
105a
106c
105c
108b
108a
108c
104
101
107b
107a
107c
108
107

圖 2B

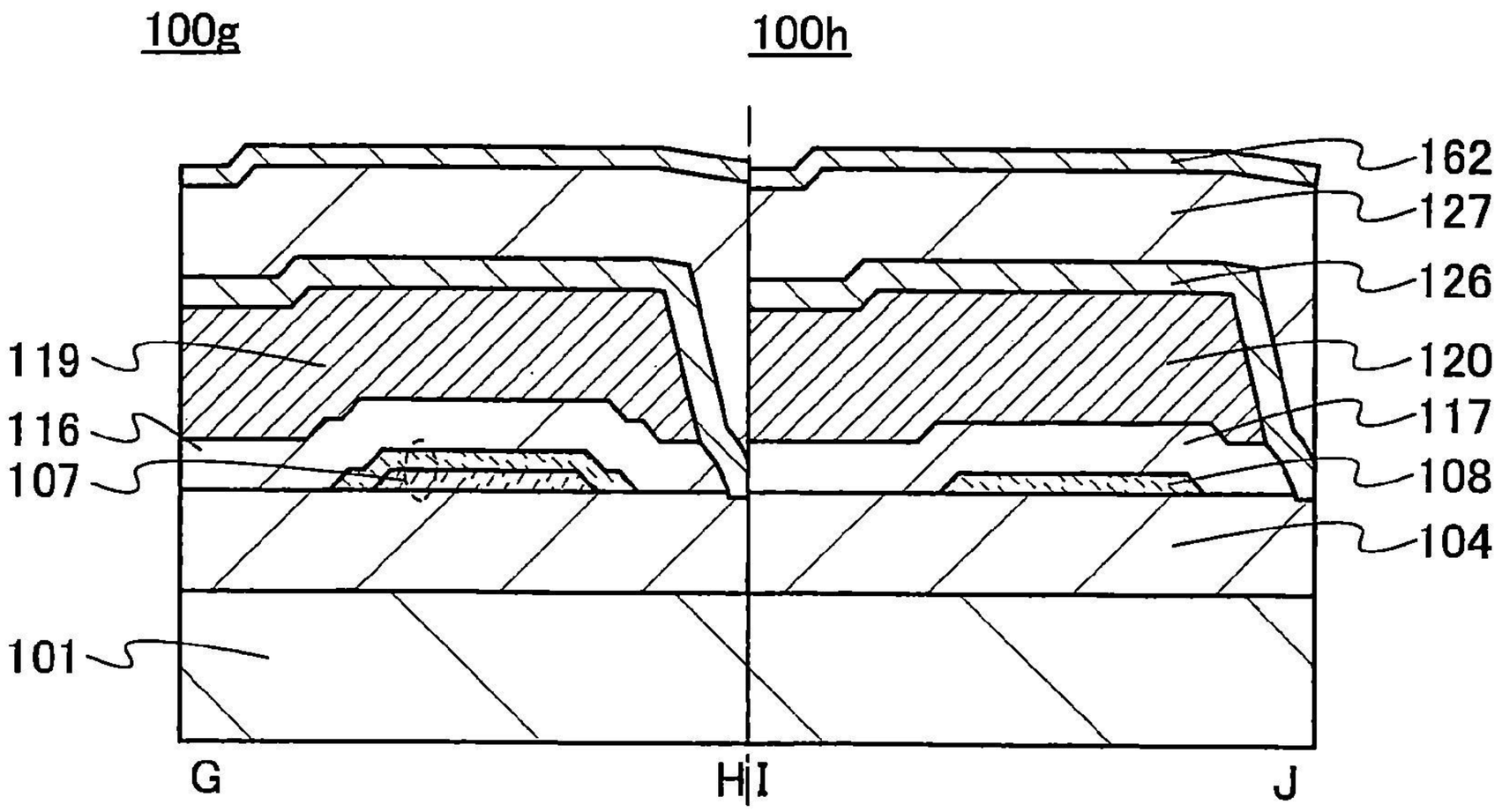

100g
100h
162
127
126
120
117
108
104
119
116
107
101
G
H
I
J

圖 3A

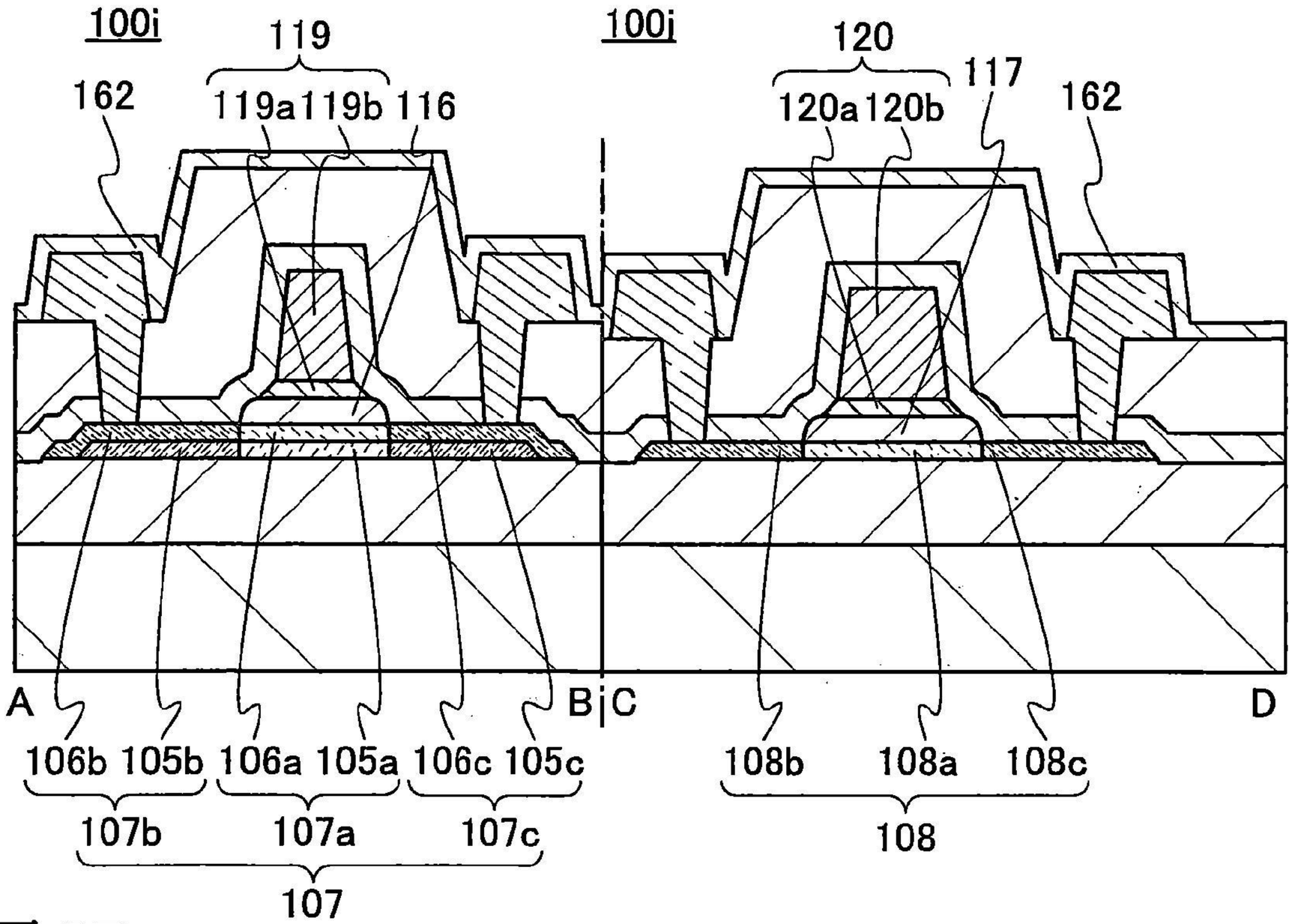

100i
119
162
119a 119b 116
100j
120
117
120a 120b
162
A
B
C
D
106b 105b 106a 105a 106c 105c
108b 108a 108c
107b 107a 107c
107
108

圖 3B

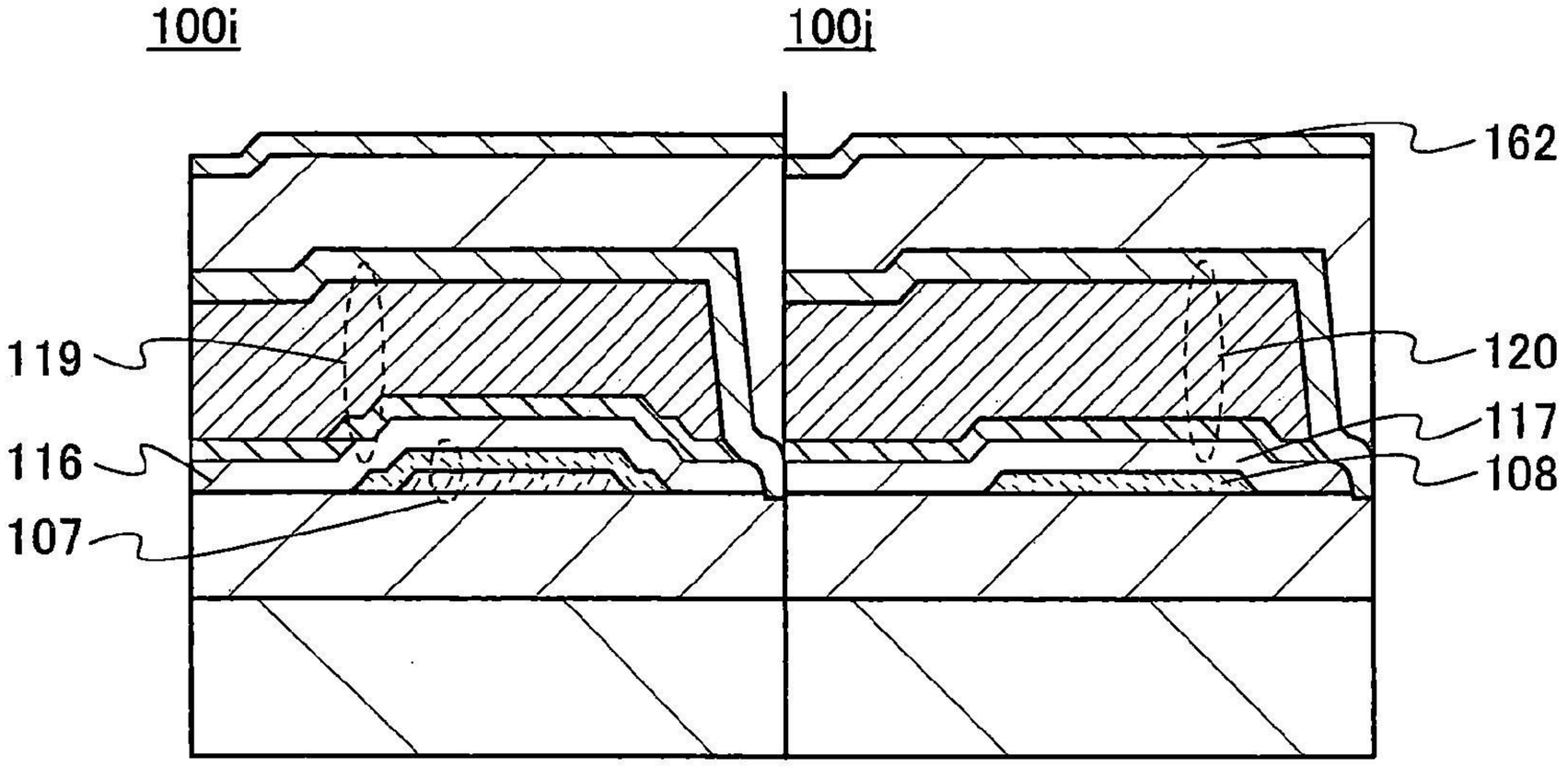

100i
100j
162
119
120
117
116
108
107
G
H
I
J

圖 4A

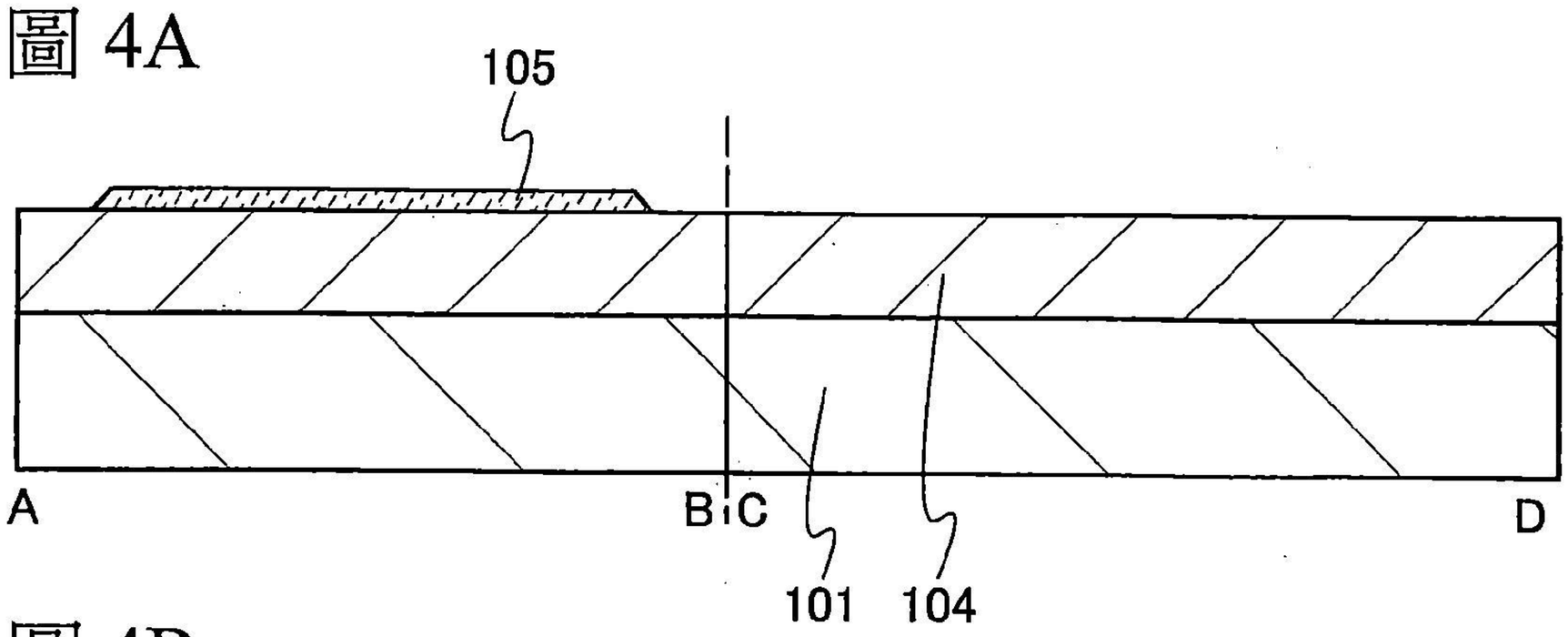


圖 4B

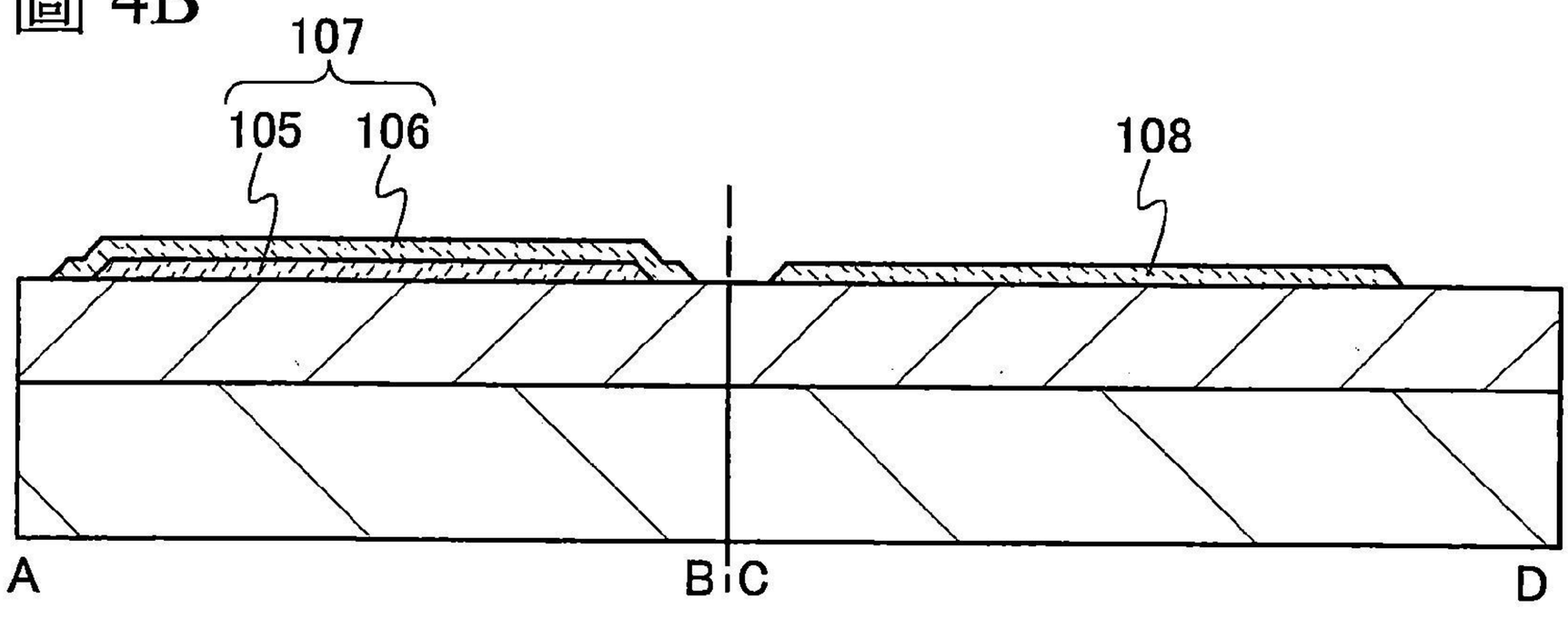


圖 4C

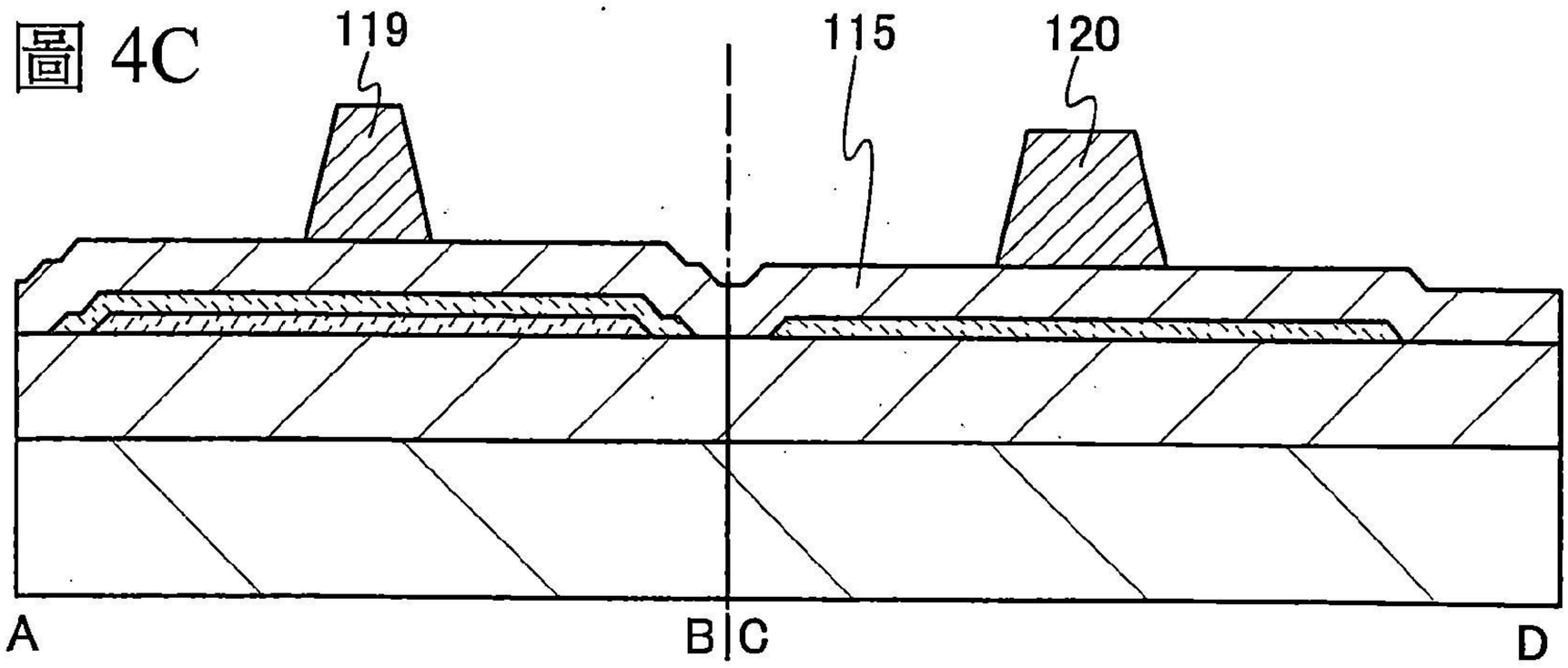


圖 5A

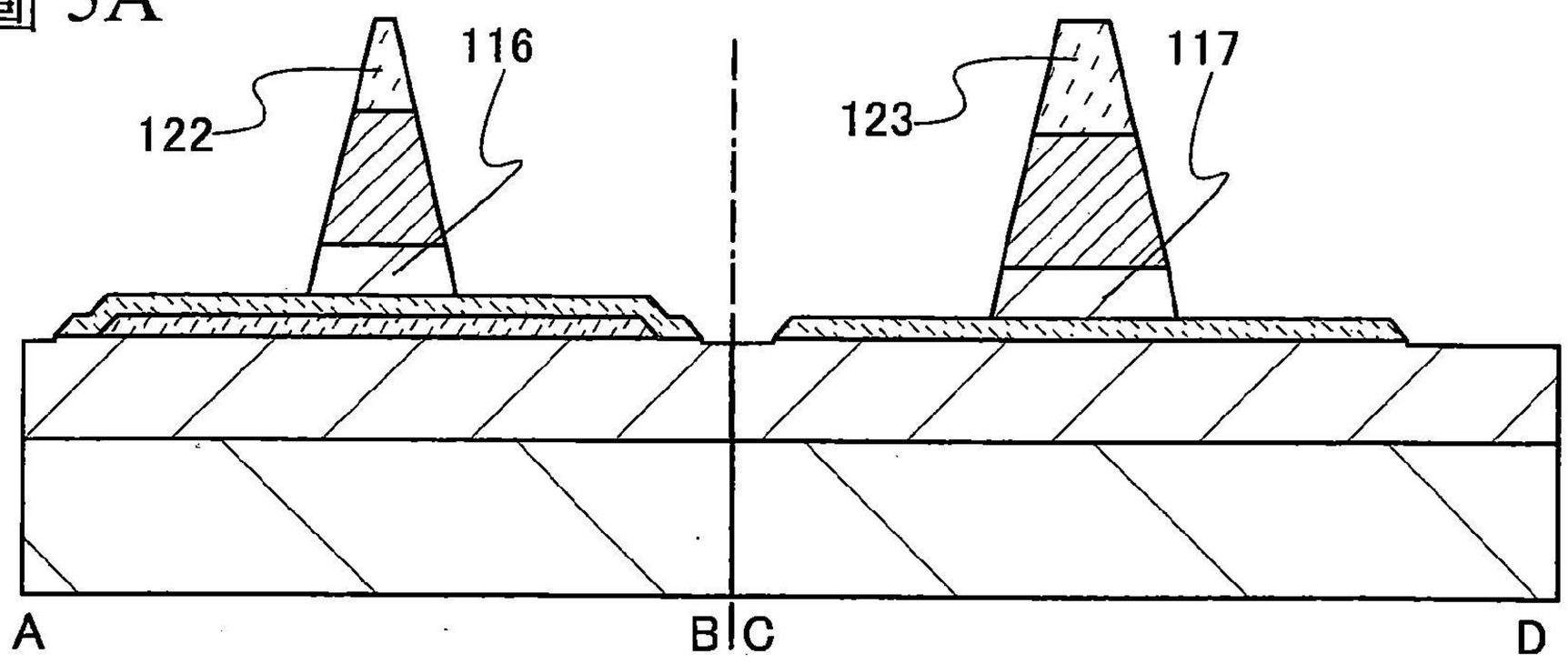

116
122
117
123
A
B
C
D

圖 5B

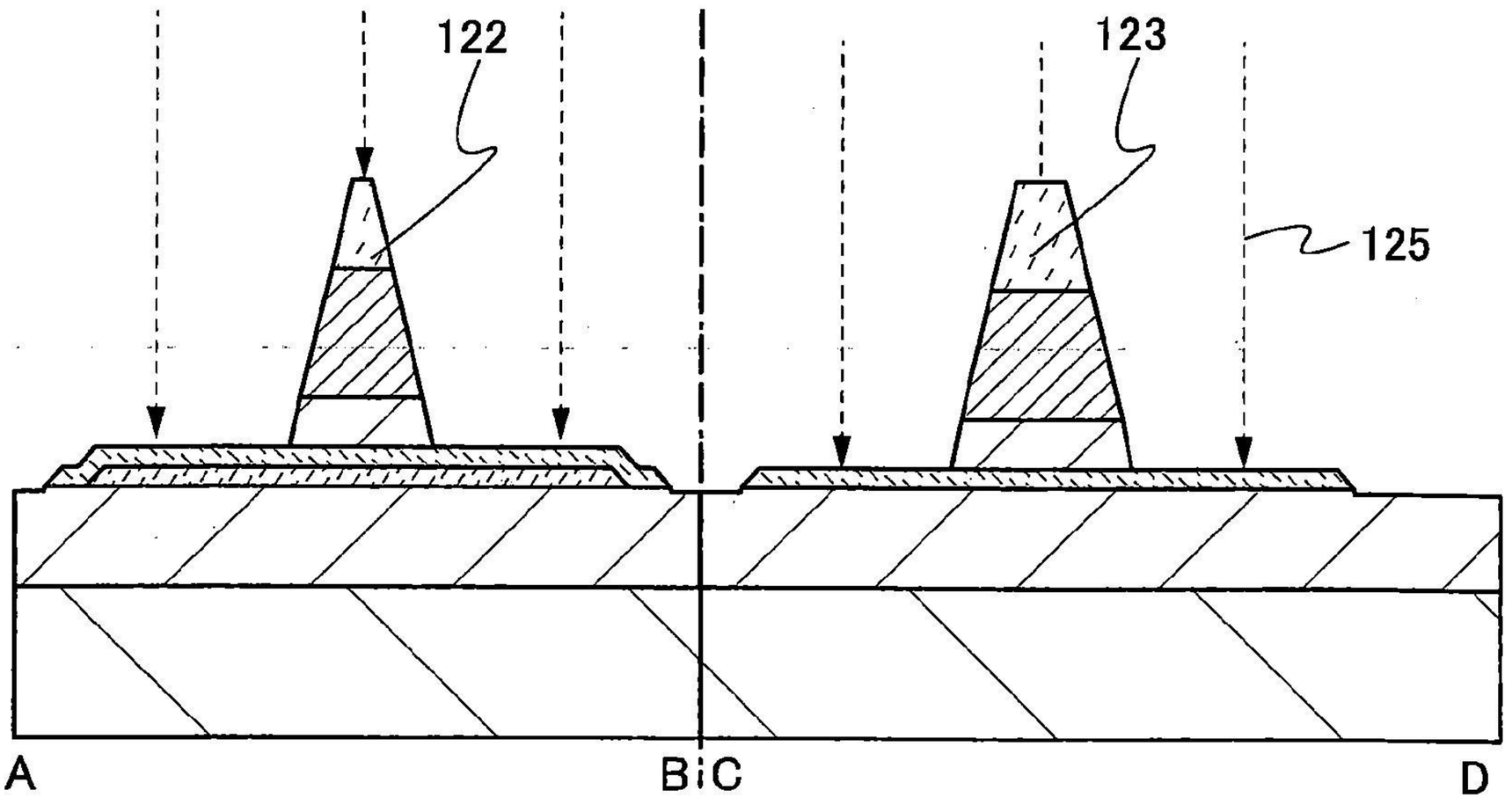

122
123
125
A
B
C
D

圖 5C

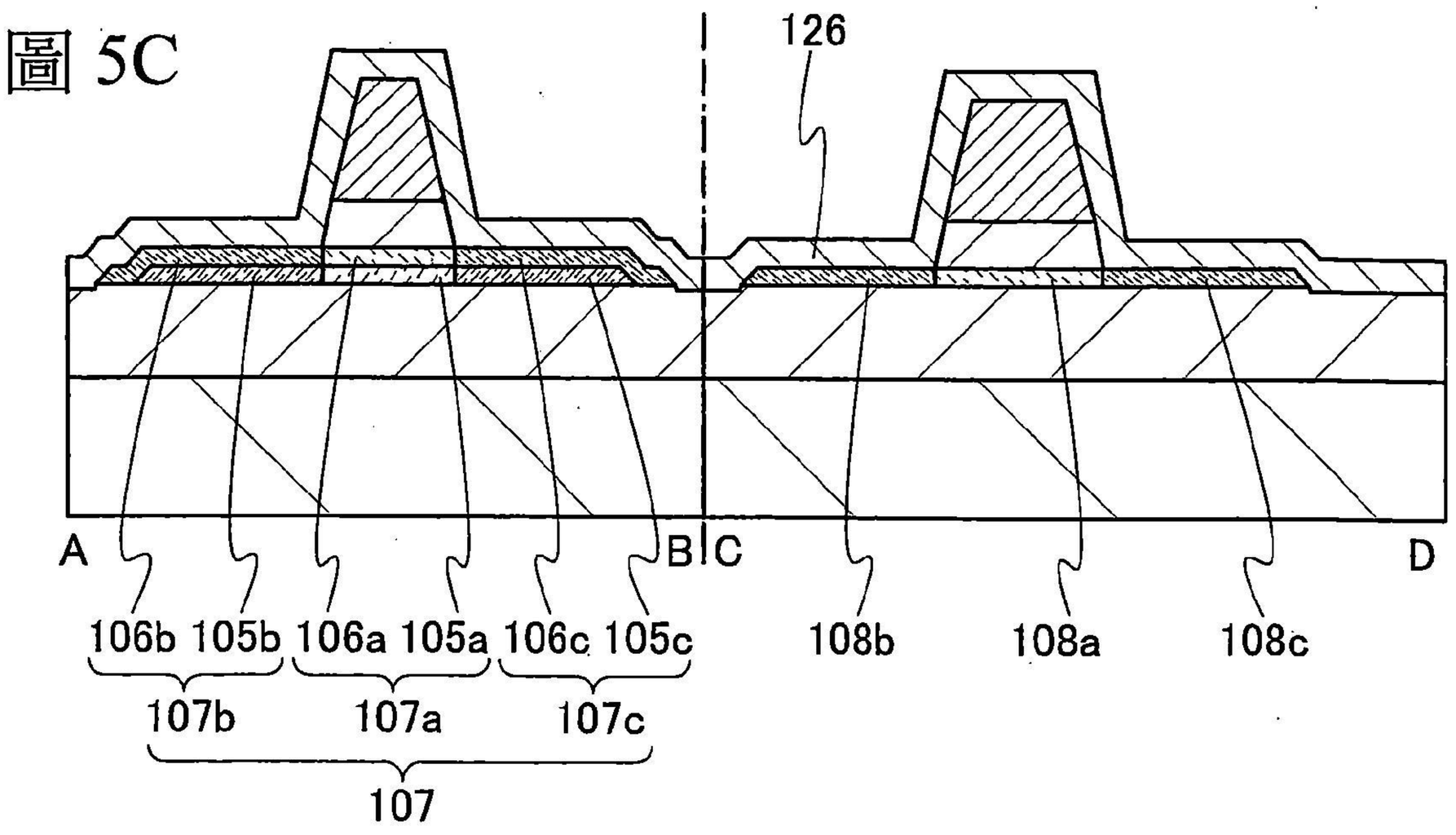

126
A
B
C
D
106b
105b
106a
105a
106c
105c
108b
108a
108c
107b
107a
107c
107

圖 6A

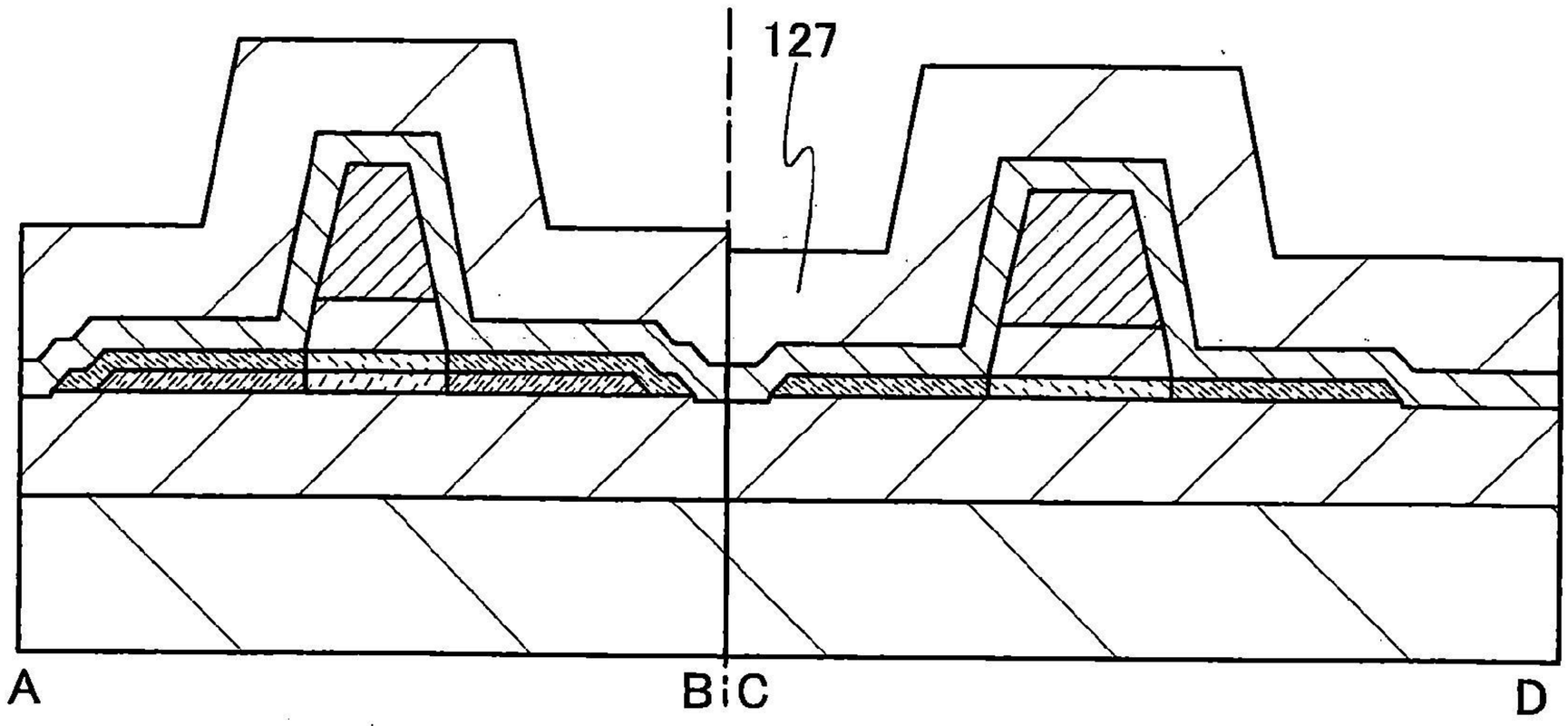


圖 6B

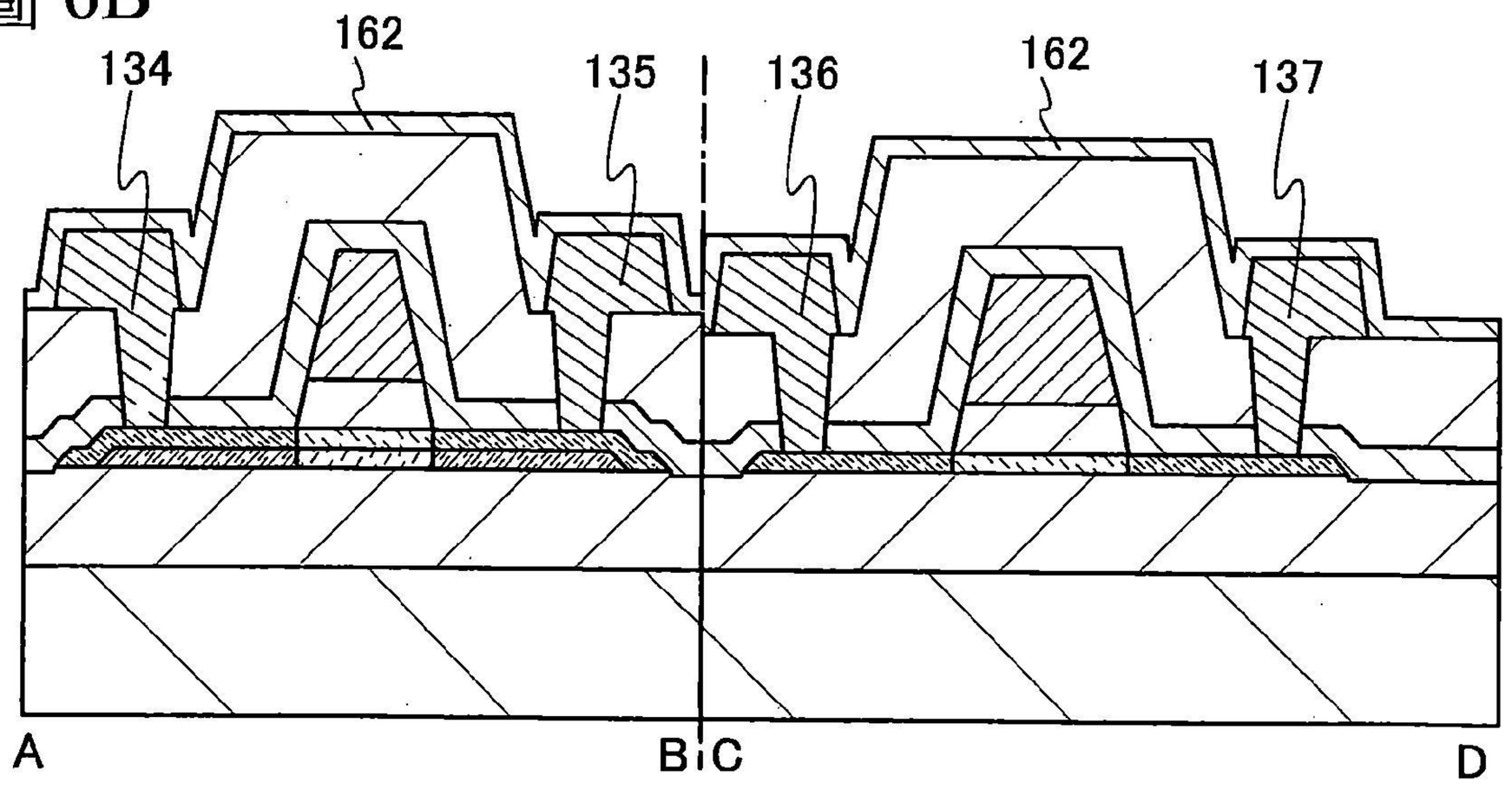


圖 7A

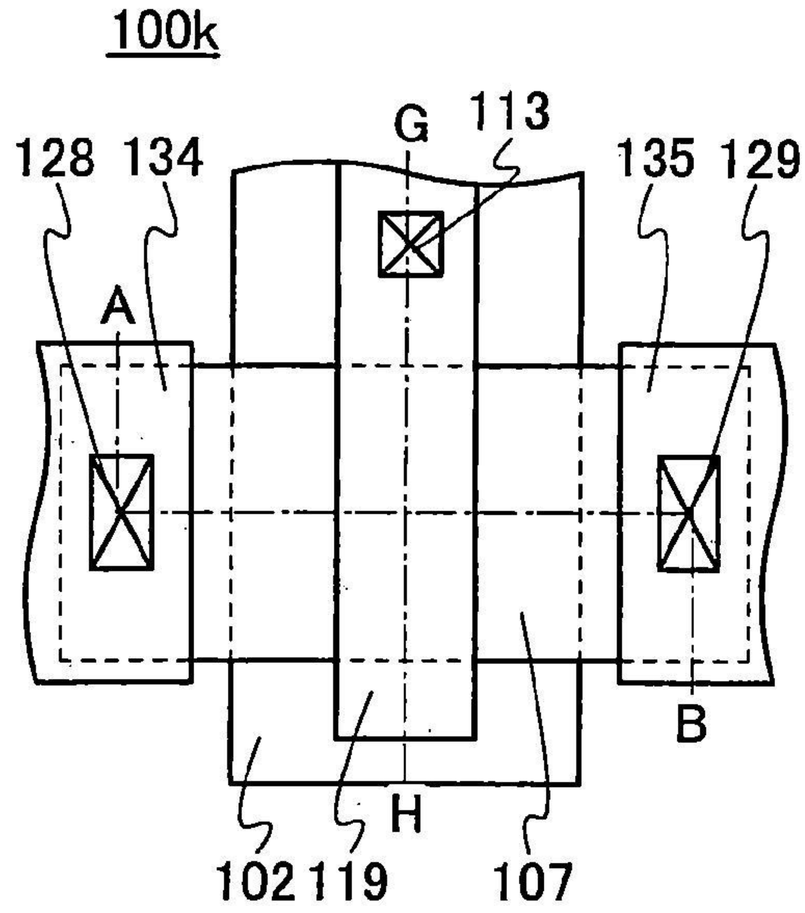

100k
128
134
G
113
135
129
A
B
H
102
119
107

圖 7B

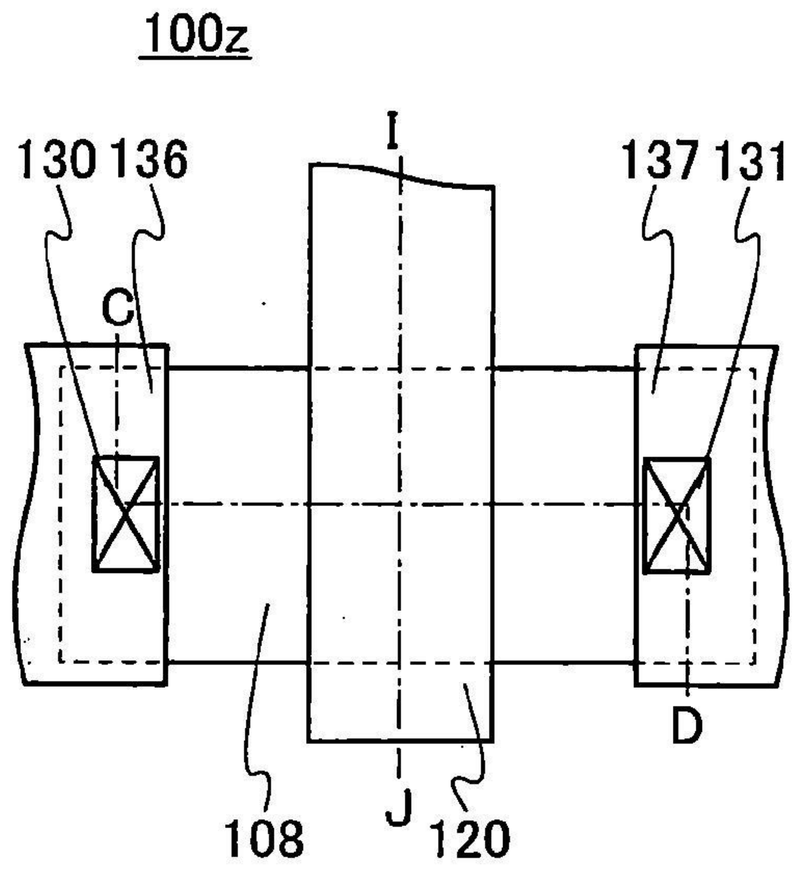

100z
130
136
I
137
131
C
D
J
108
120

圖 8A

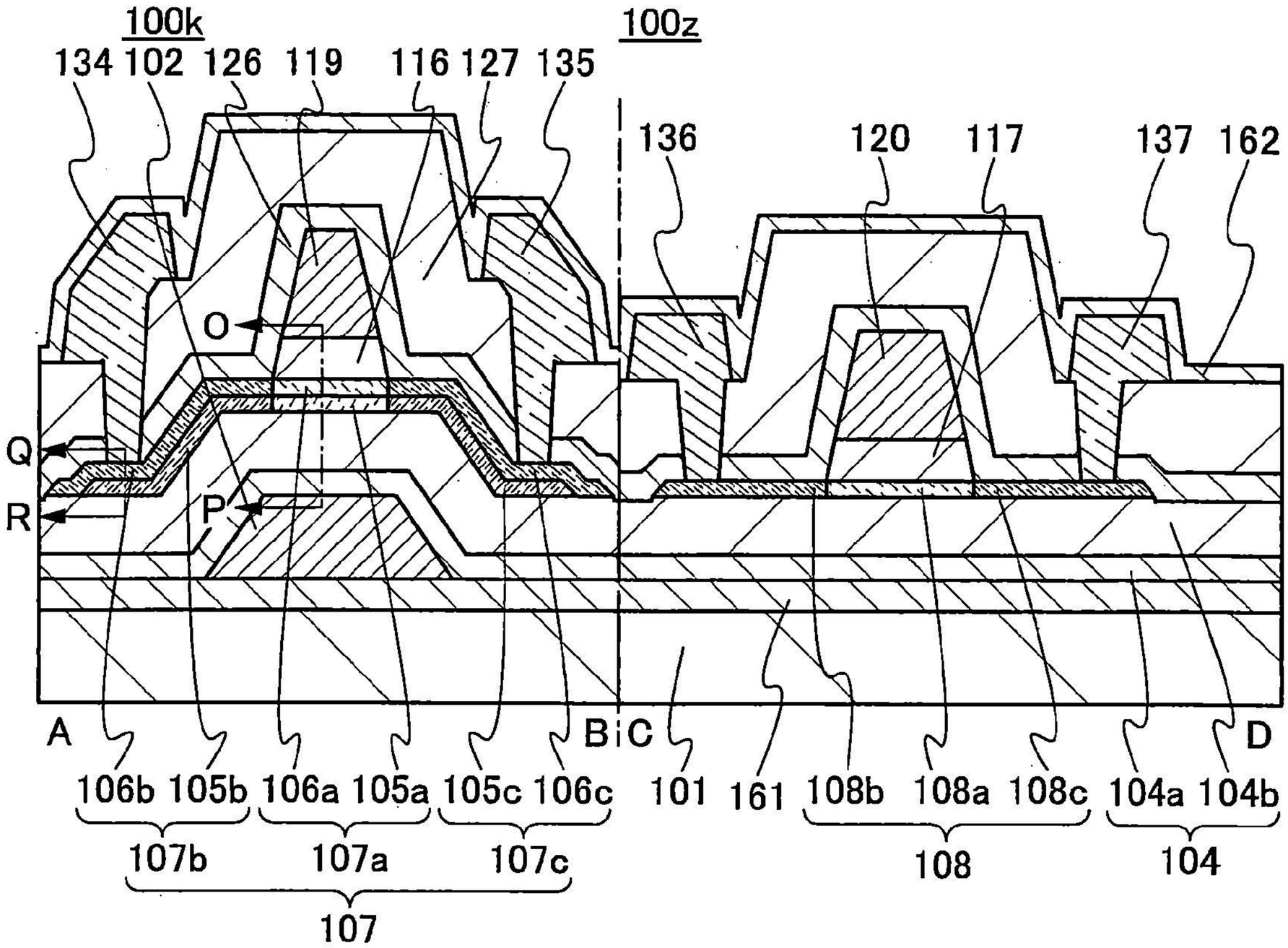

100k
100z
134
102
126
119
116
127
135
136
120
117
137
162
O
Q
R
P
A
B
C
D
106b
105b
106a
105a
105c
106c
101
161
108b
108a
108c
104a
104b
107b
107a
107c
108
104
107

圖 8B

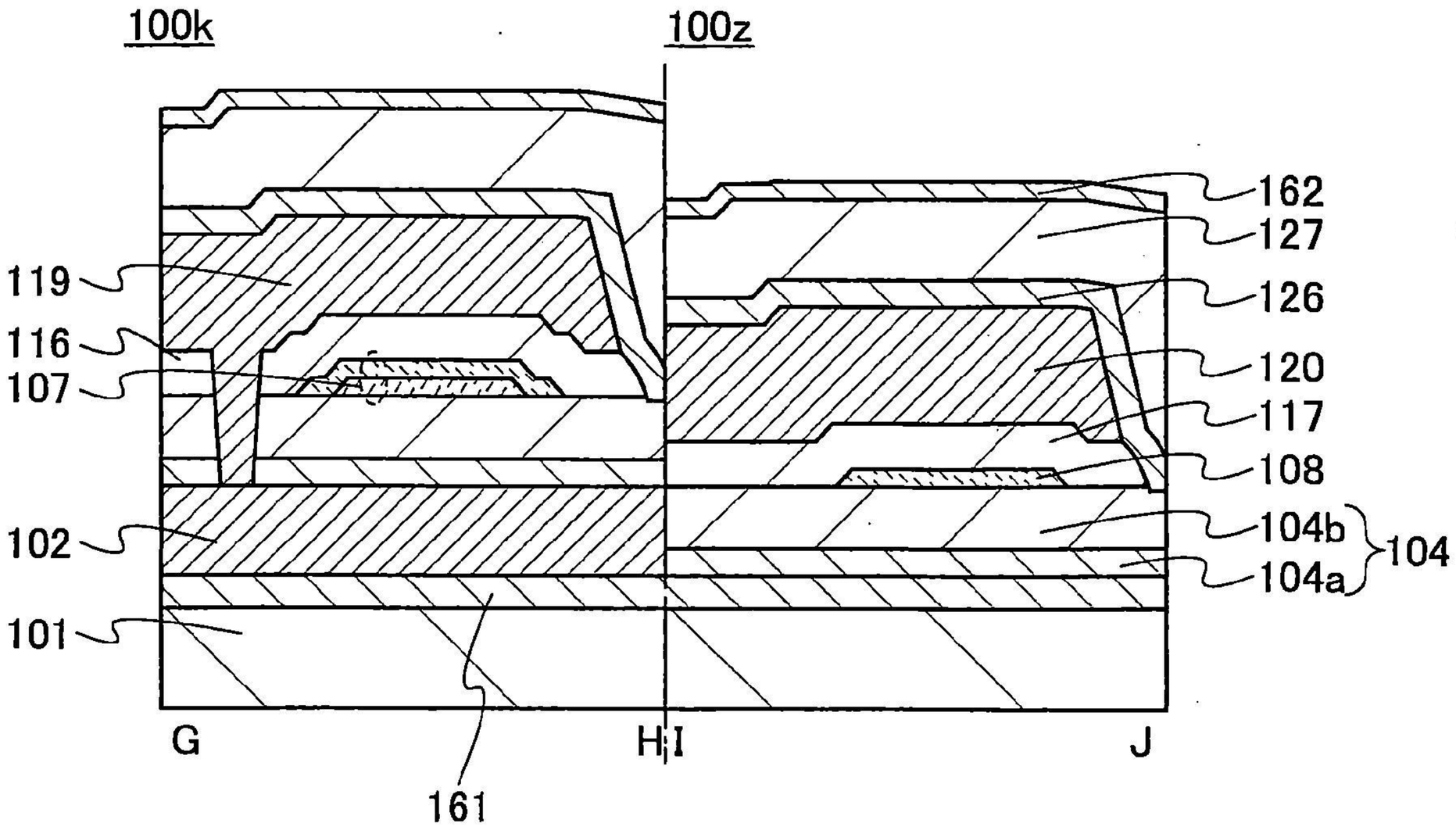

100k
100z
162
127
119
126
116
120
107
117
108
102
104b
104
104a
101
G
H
I
J
161

圖 9A

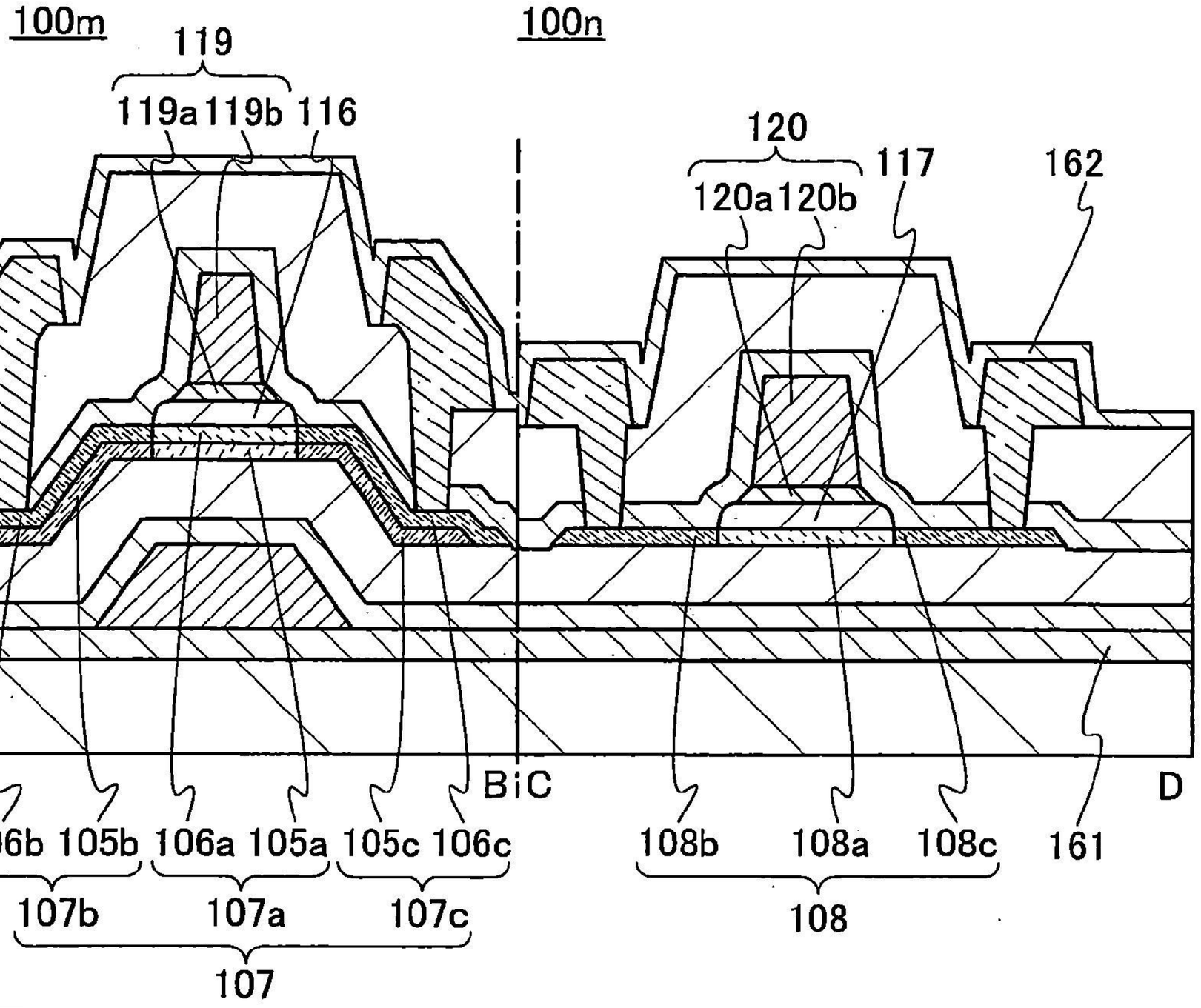

100m
100n
119
119a
119b
116
120
120a
120b
117
162
A
B
C
D
106b
105b
106a
105a
105c
106c
108b
108a
108c
161
107b
107a
107c
107
108

圖 9B

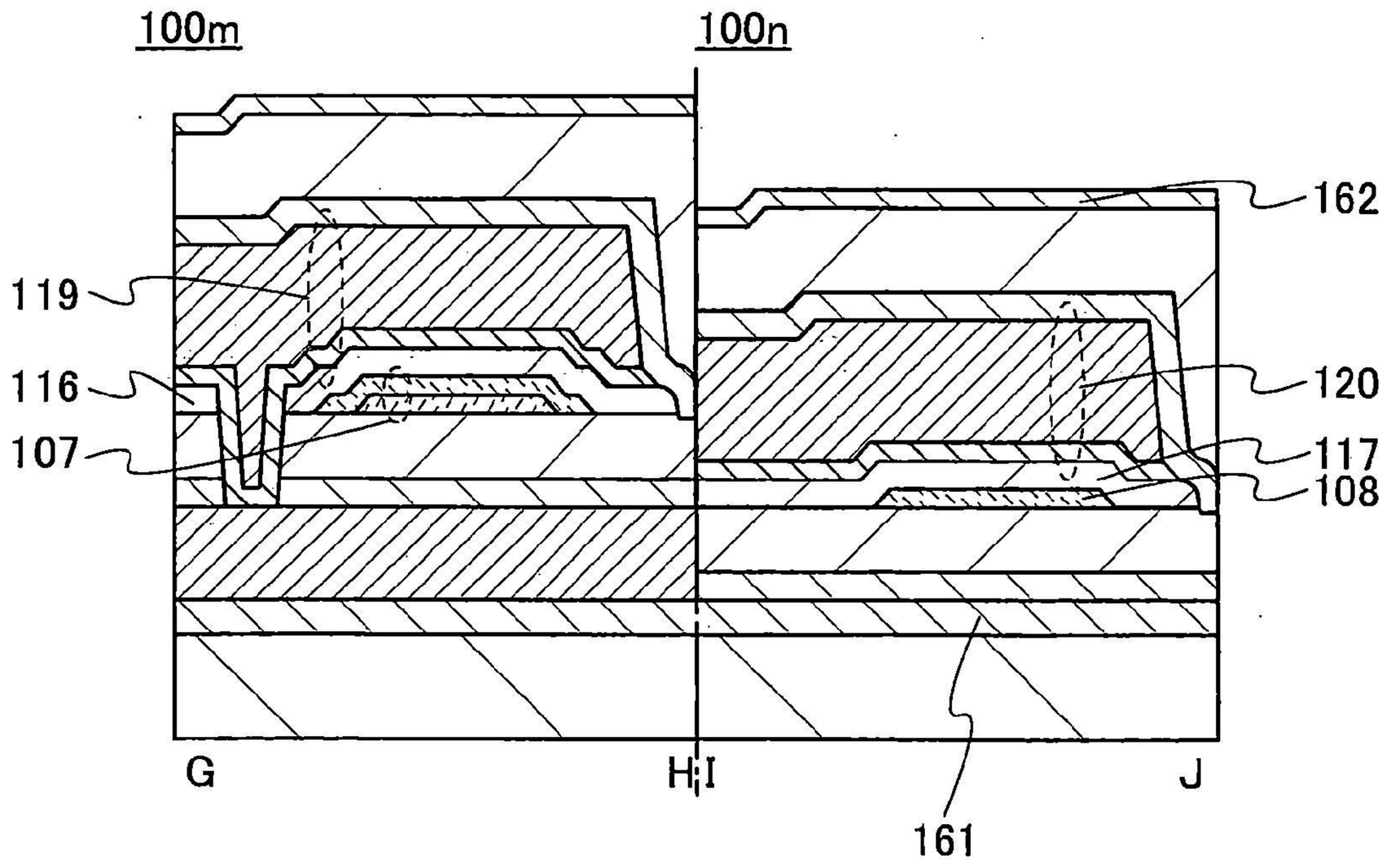

100m
100n
162
119
120
116
117
107
108
G
H
I
J
161

圖 10A

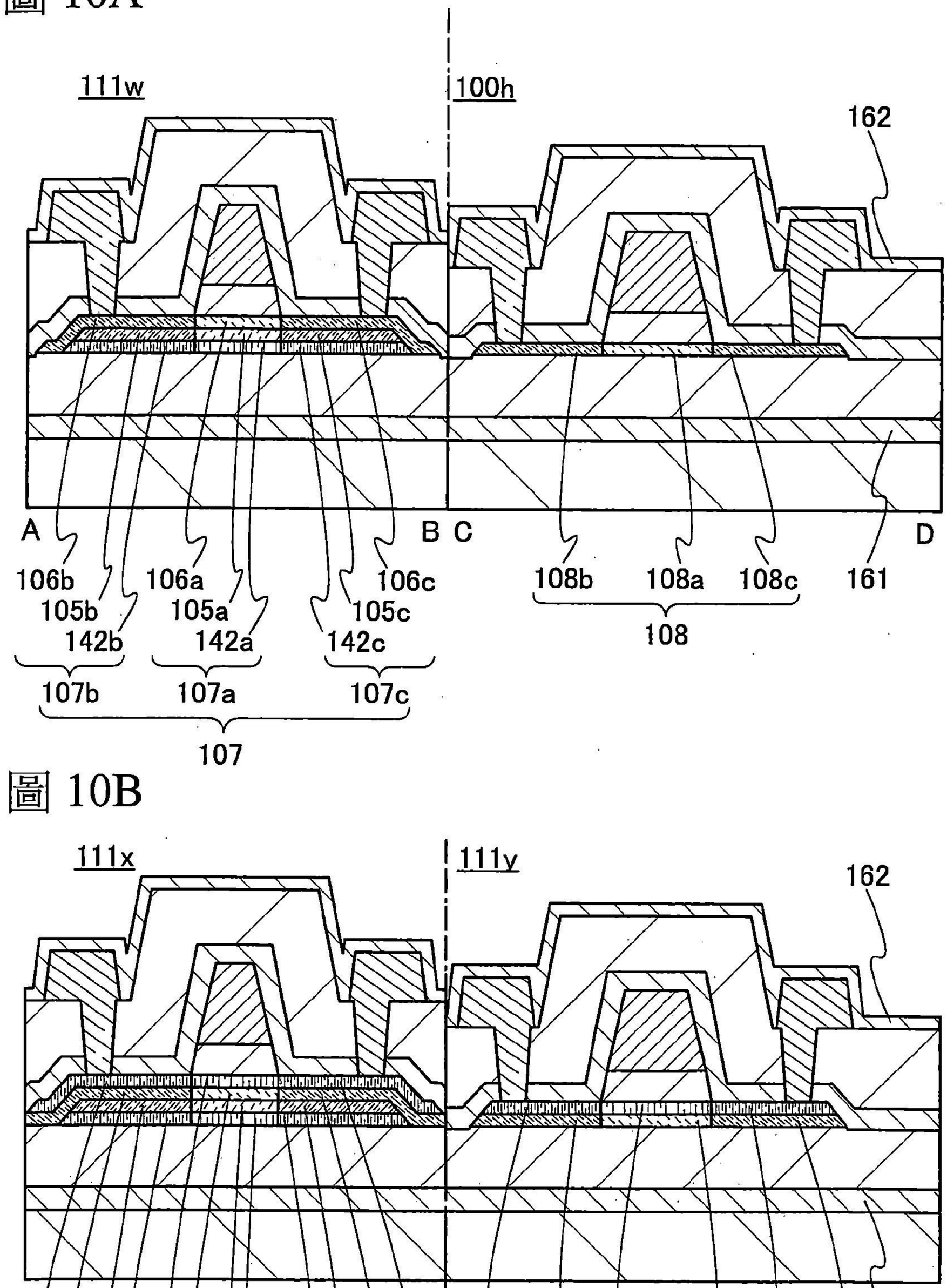

111w
100h
162
A
B
C
D
106b
105b
142b
106a
105a
142a
106c
105c
142c
108b
108a
108c
161
108
107b
107a
107c
107

圖 10B

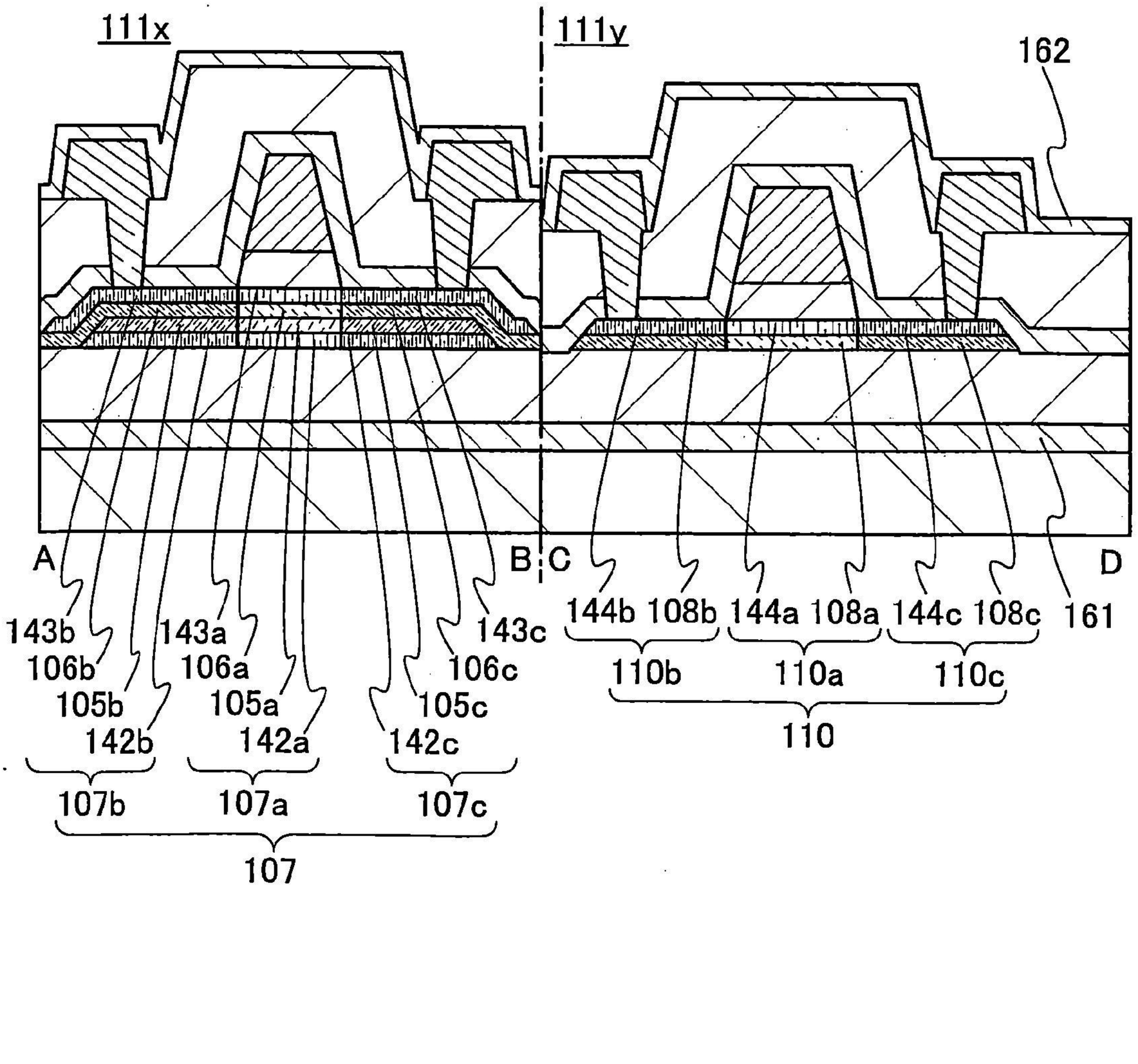

111x
111y
162
A
B
C
D
143b
106b
105b
142b
143a
106a
105a
142a
143c
106c
105c
142c
144b
108b
144a
108a
144c
108c
161
110b
110a
110c
110
107b
107a
107c
107

圖 11A

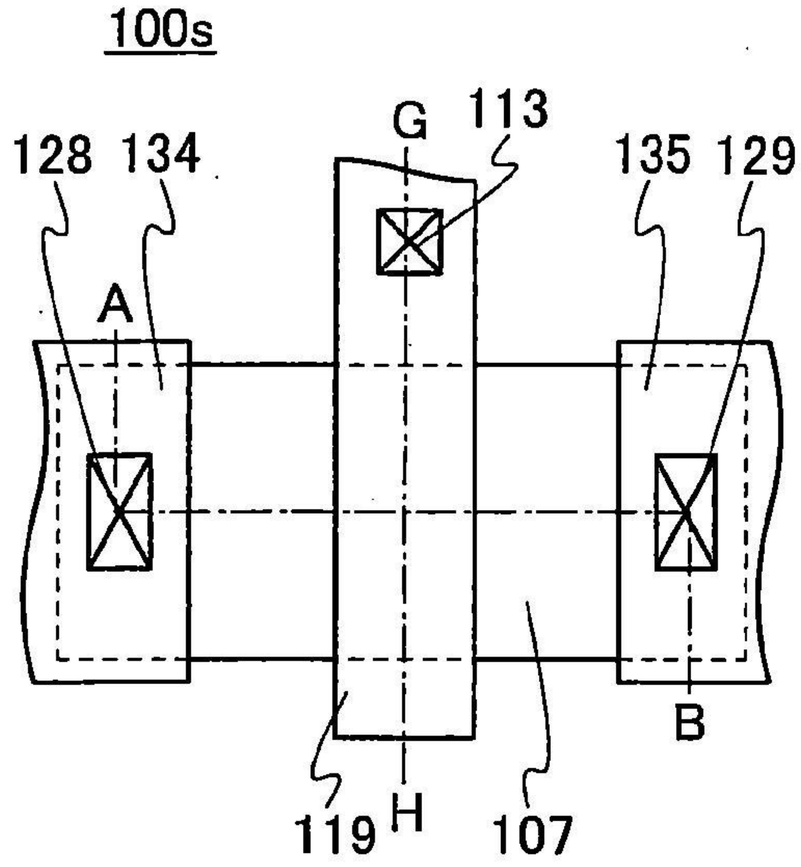


圖 11B

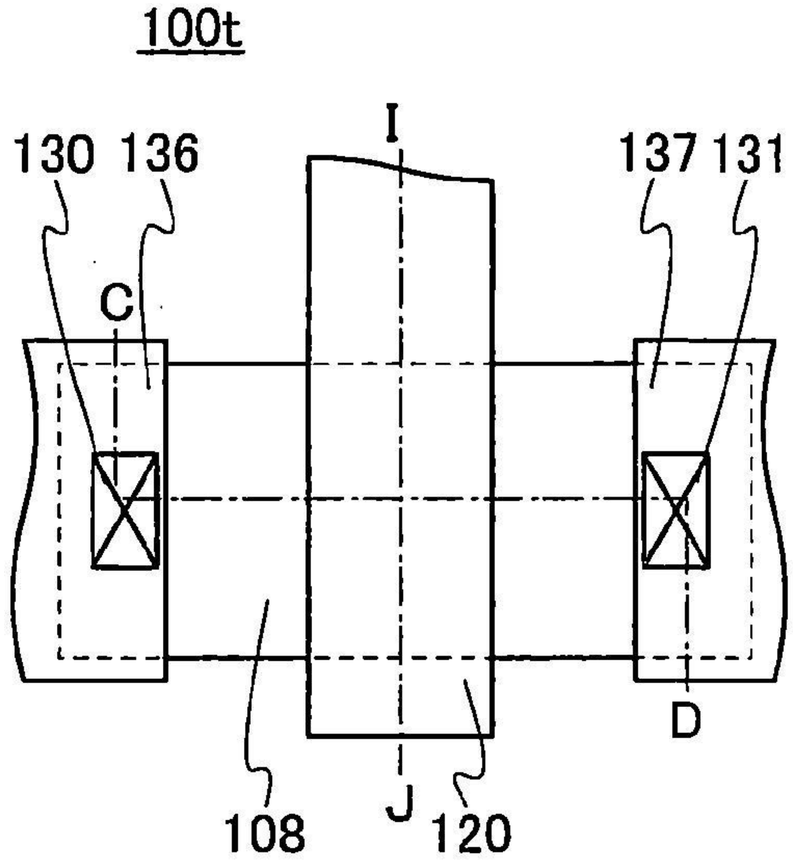
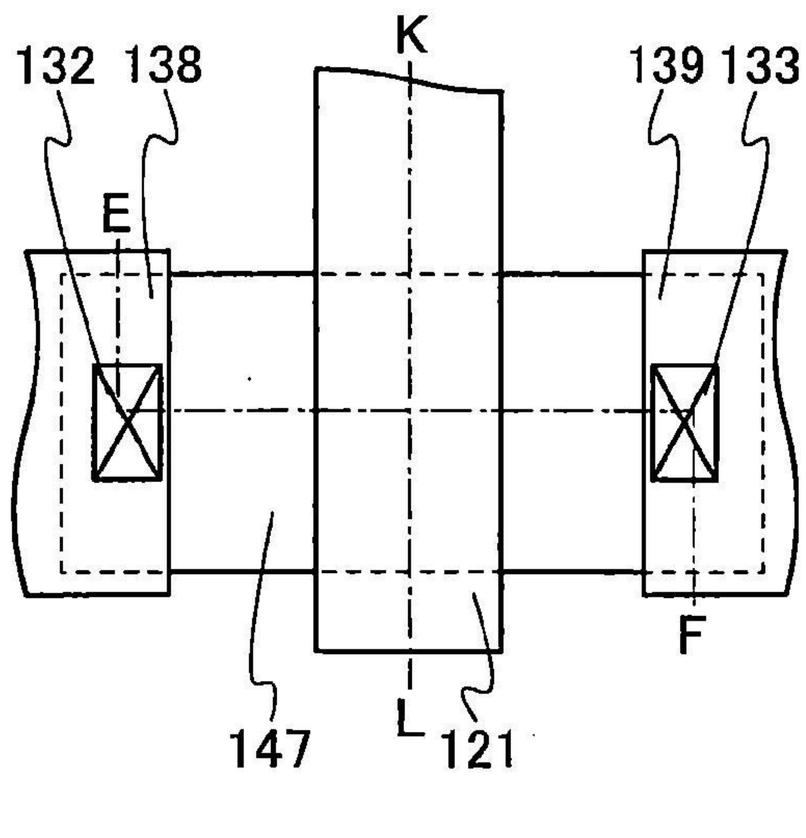


圖 11C



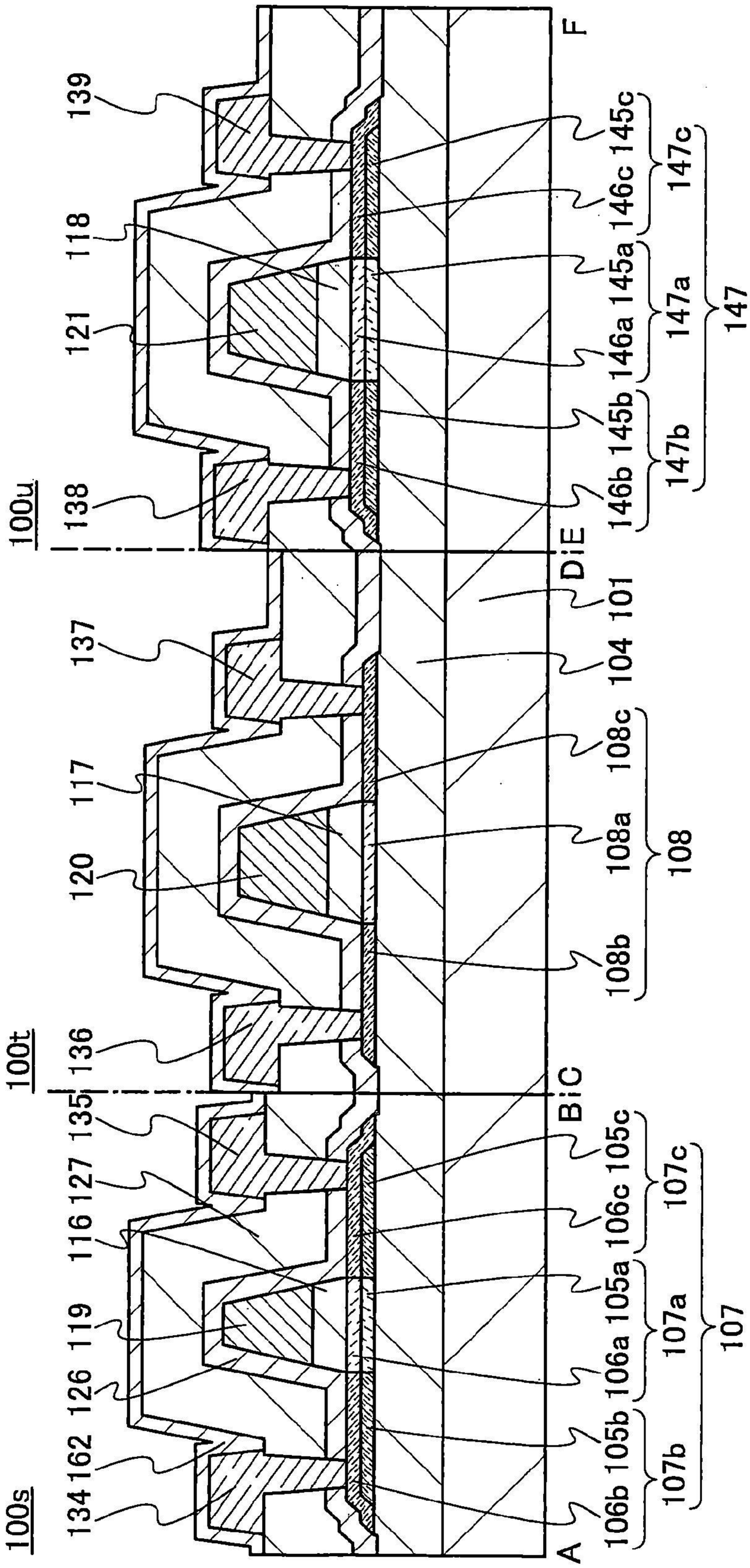

139
118
121
138
137
117
120
136
135
127
116
119
126
134
162
100u
100t
100s
F
DiE
BiC
A
145c
146c
147c
145a
146a
147a
145b
146b
147b
147
101
104
108c
108a
108b
108
105c
106c
107c
105a
106a
107a
105b
106b
107b
107

圖 12

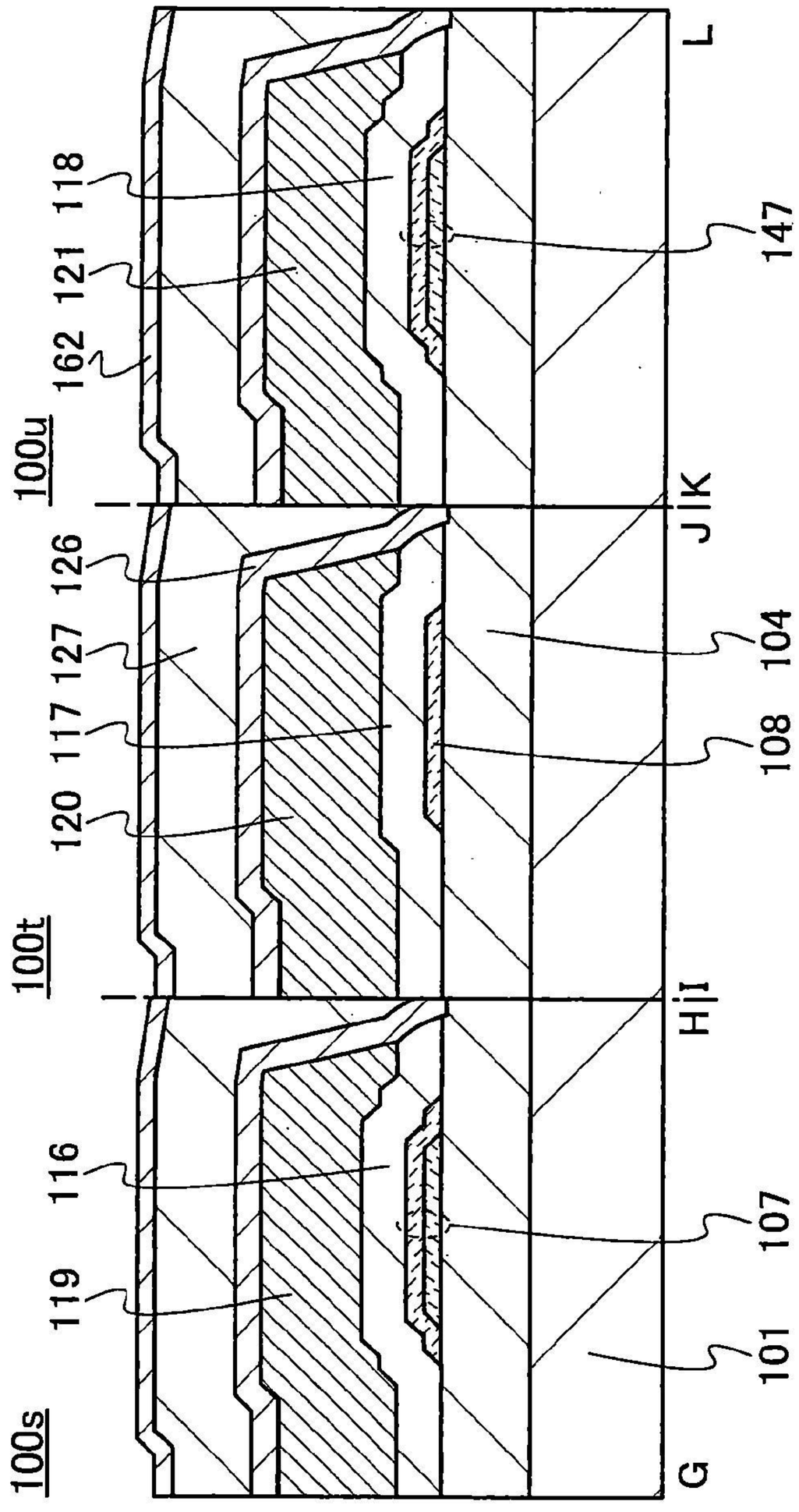

I
J
K
H
II
G
100u
100t
100s
118
121
162
147
126
127
117
120
104
108
116
119
107
101

圖 13

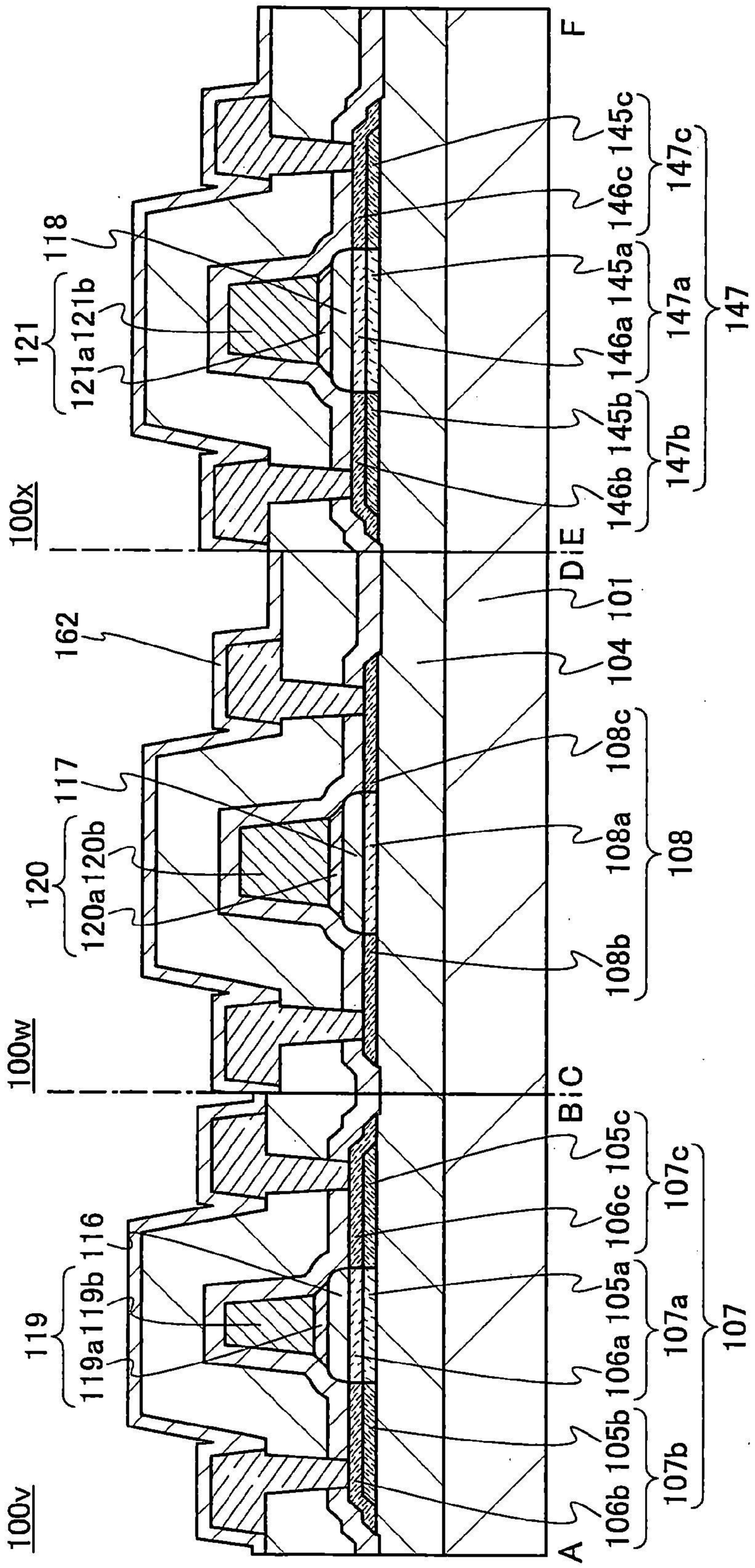

F
145c
146c
147c
118
121
121b
121a
146a
145a
147a
147
100x
146b
145b
147b
DiE
162
101
104
108c
108a
108
117
120
120b
120a
108b
100w
BiC
105c
106c
116
119
119b
119a
105a
107c
106a
107a
107
105b
106b
107b
A
100v

圖 14

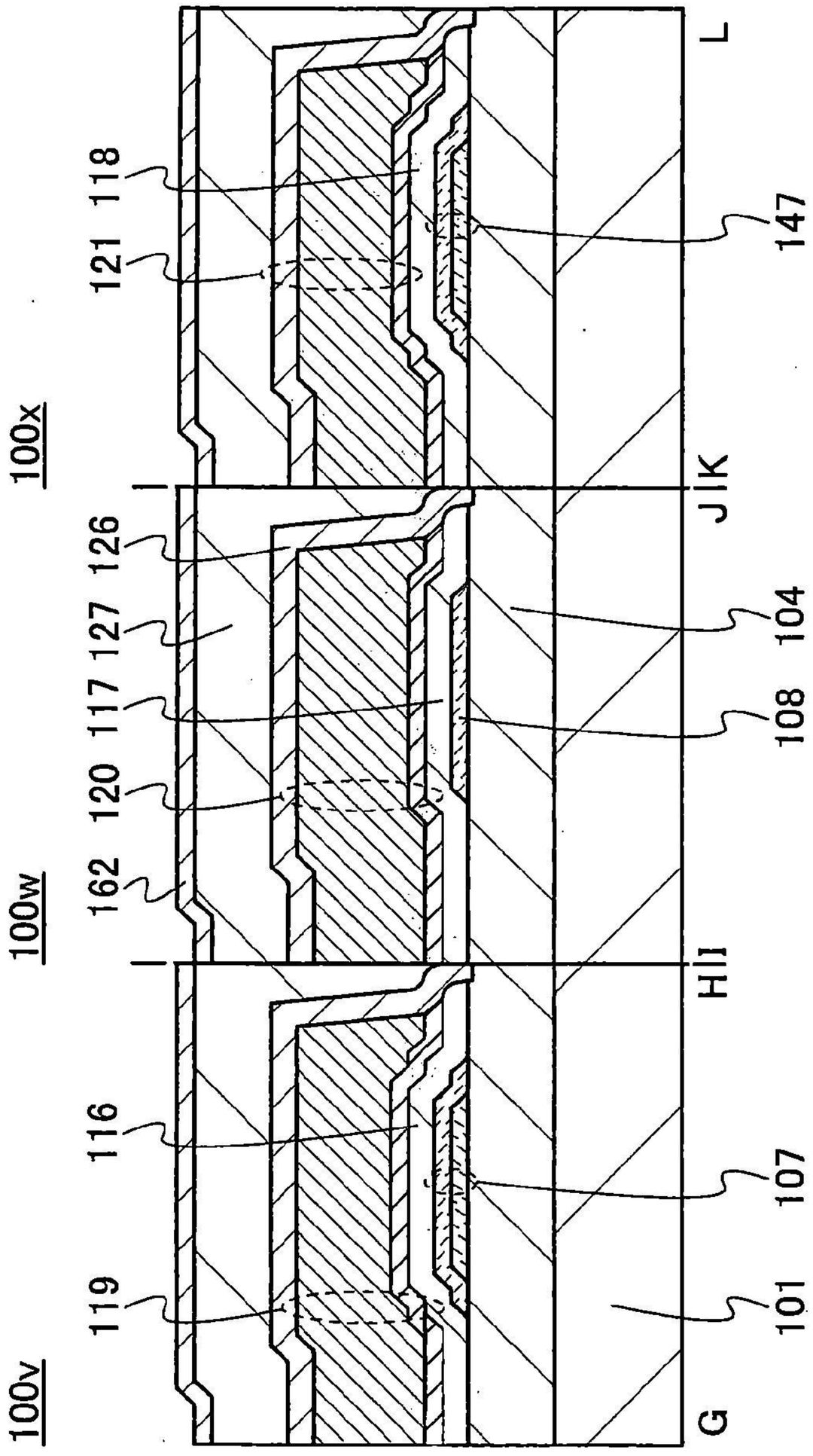

L
121
118
147
100x
126
127
117
120
162
104
108
J
K
100w
116
107
119
101
100v
H
G

圖 15

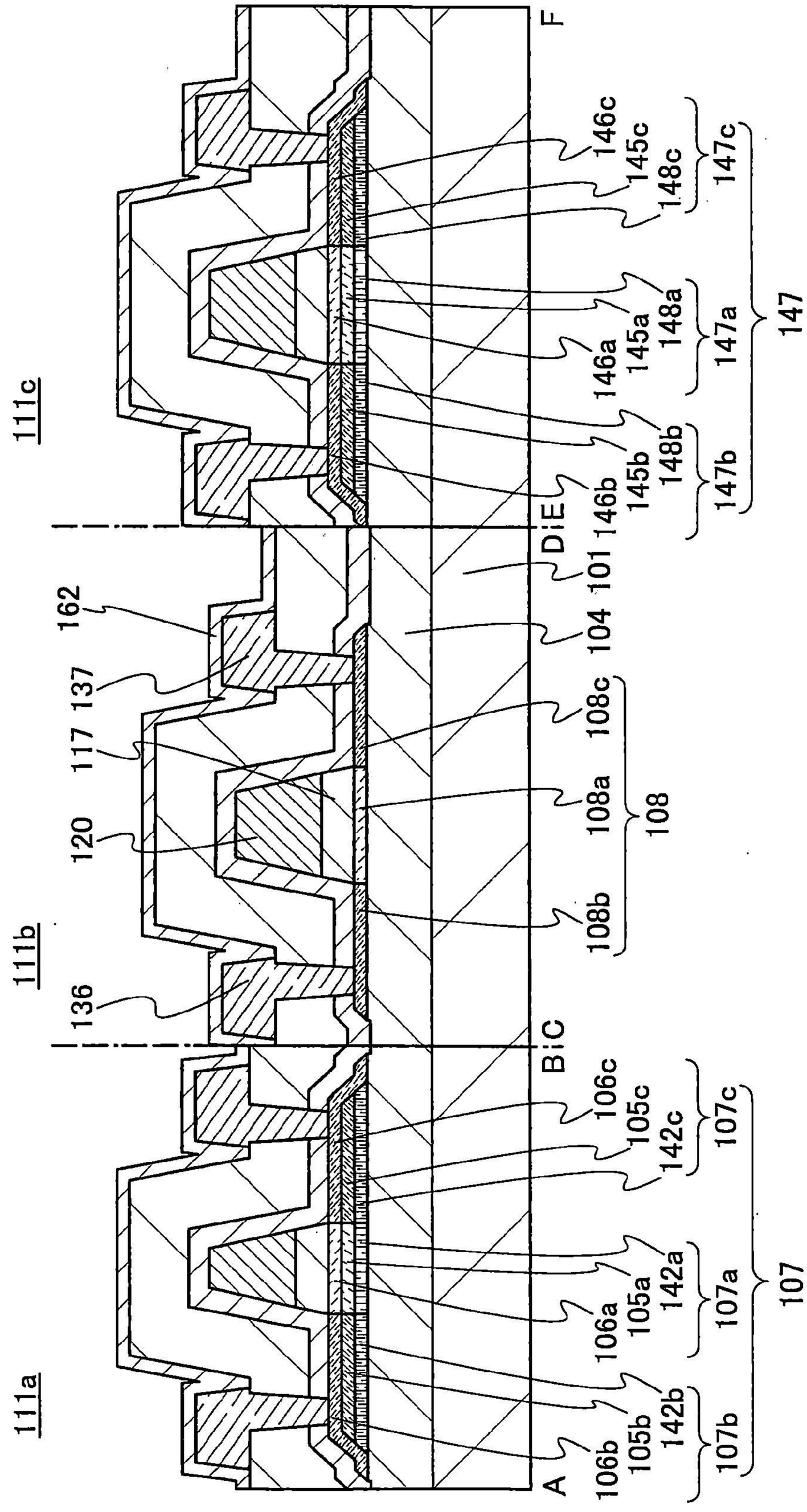

111c
111b
111a
162
137
117
120
136
F
DiE
BiC
A
146c
145c
148c
147c
147
146a
145a
148a
147a
146b
145b
148b
147b
101
104
108c
108a
108b
108
106c
105c
142c
107c
107
106a
105a
142a
107a
106b
105b
142b
107b

圖 16

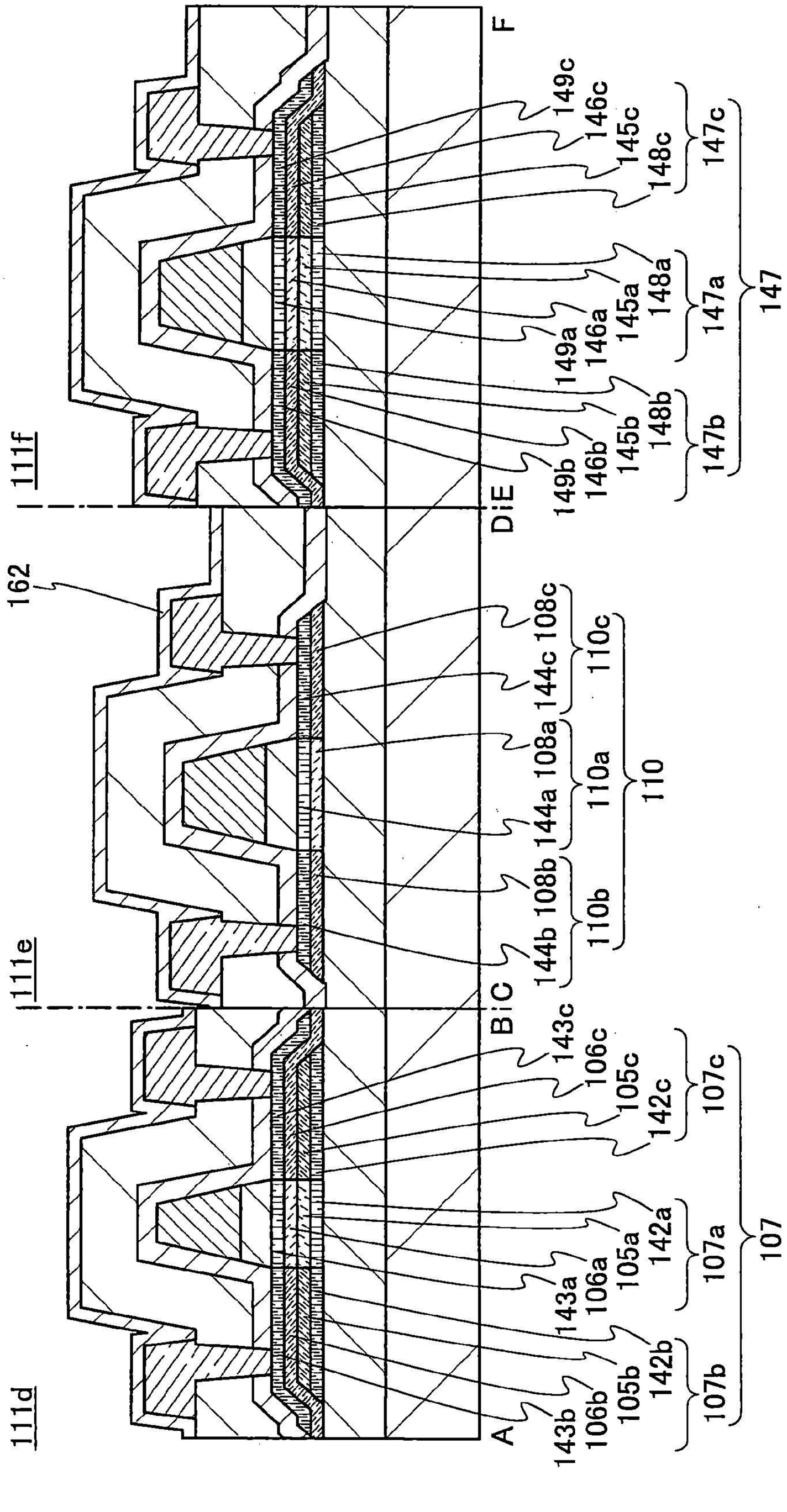

F
149c
146c
145c
148c
147c
147
111f
DiE
149b
146b
145b
148b
147b
149a
146a
145a
148a
147a
162
144c
108c
110c
110
111e
BiC
144b
108b
110b
144a
108a
110a
143c
106c
105c
142c
107c
107
111d
A
143b
106b
105b
142b
107b
143a
106a
105a
142a
107a

圖 17

圖 18A

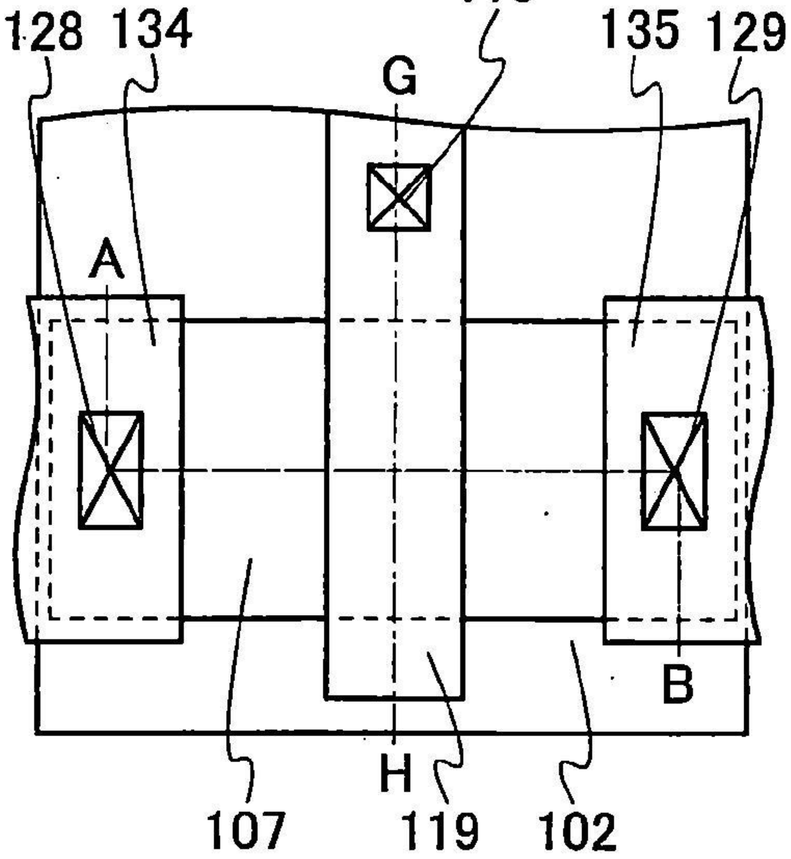


圖 18B

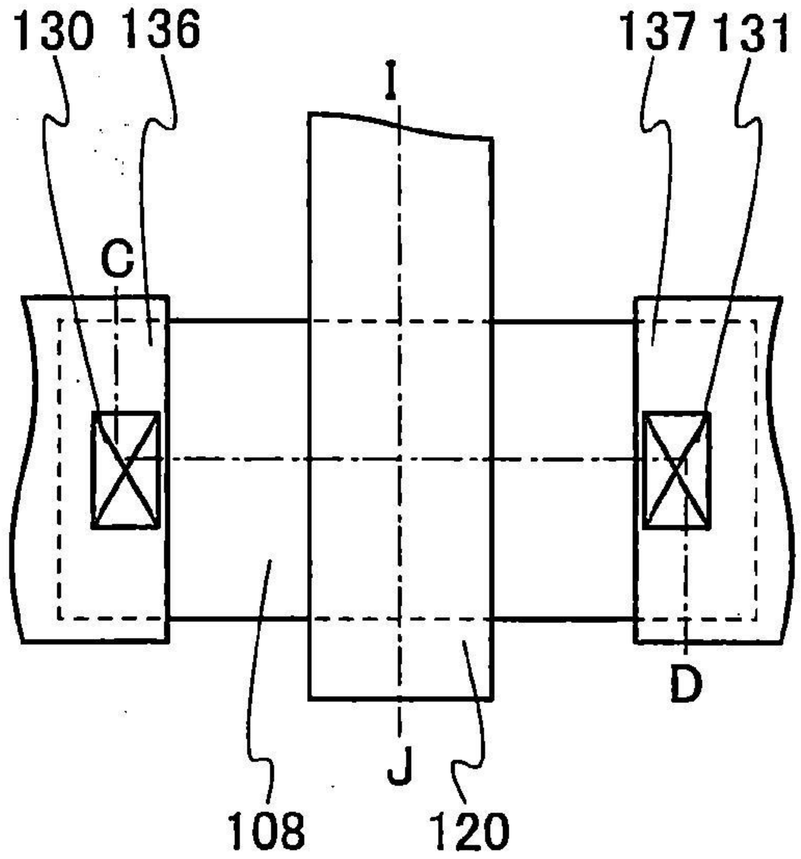
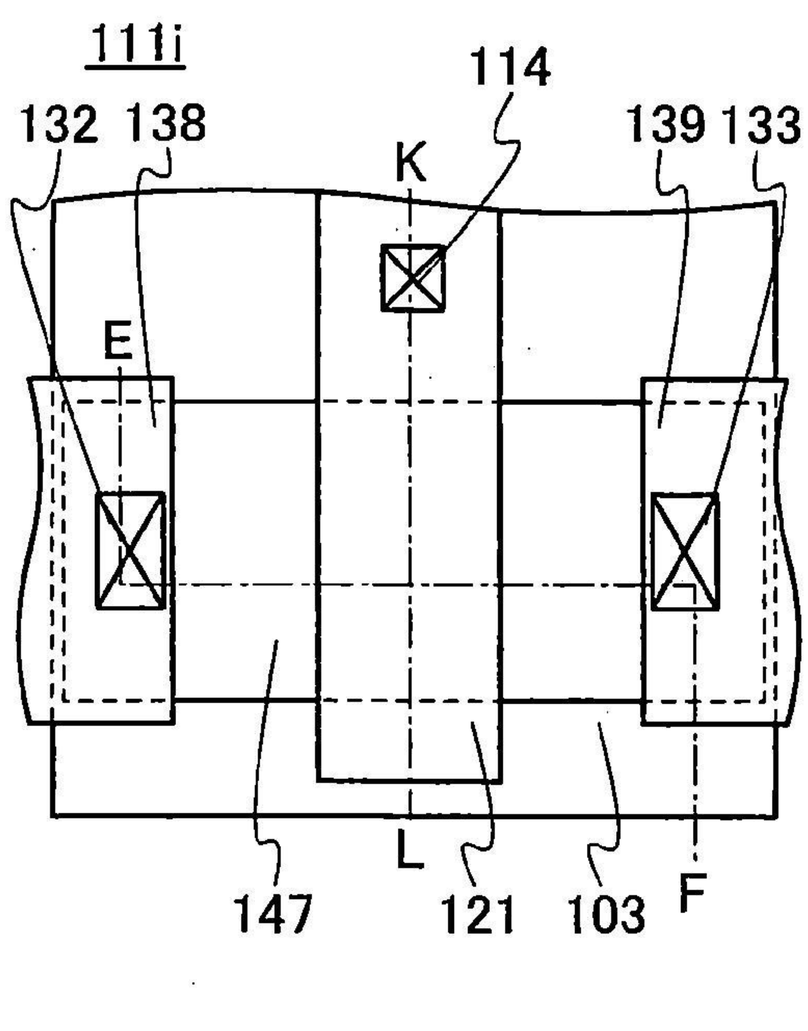


圖 18C



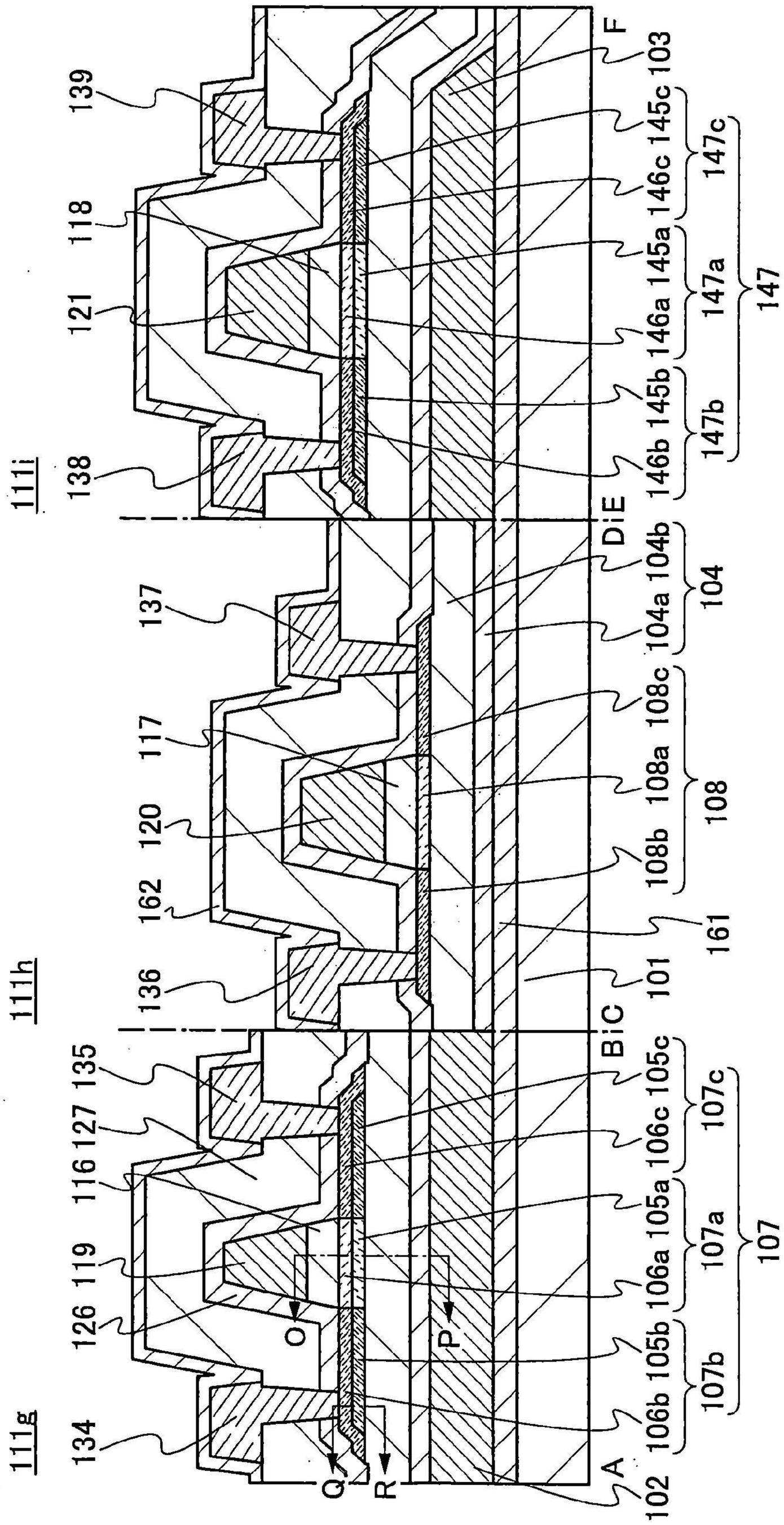

111i
111h
111g
139
118
121
138
137
117
120
162
136
135
116
127
126
119
134
F
DiE
BiC
O
P
Q
R
103
145c
146c
147c
145a
146a
147a
147
145b
146b
147b
104b
104a
104
108c
108a
108
108b
161
101
105c
106c
107c
105a
106a
107a
107
105b
106b
107b
102
A

圖 19

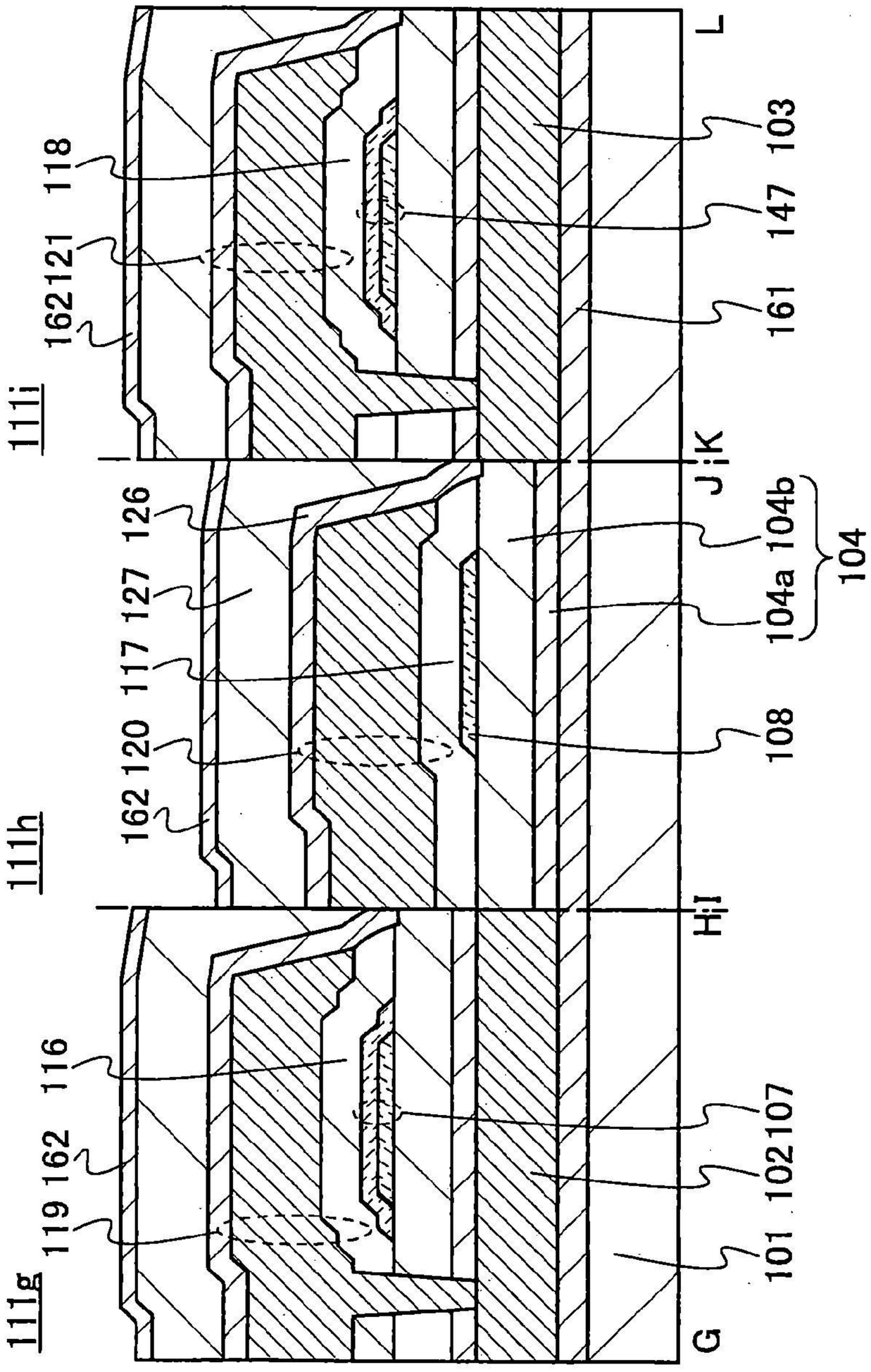

L
118
103
147
121
162
161
111i
J
K
126
104b
104
127
104a
117
120
108
111h
H
I
116
119
162
107
102
101
111g
G

圖 20

圖 21A

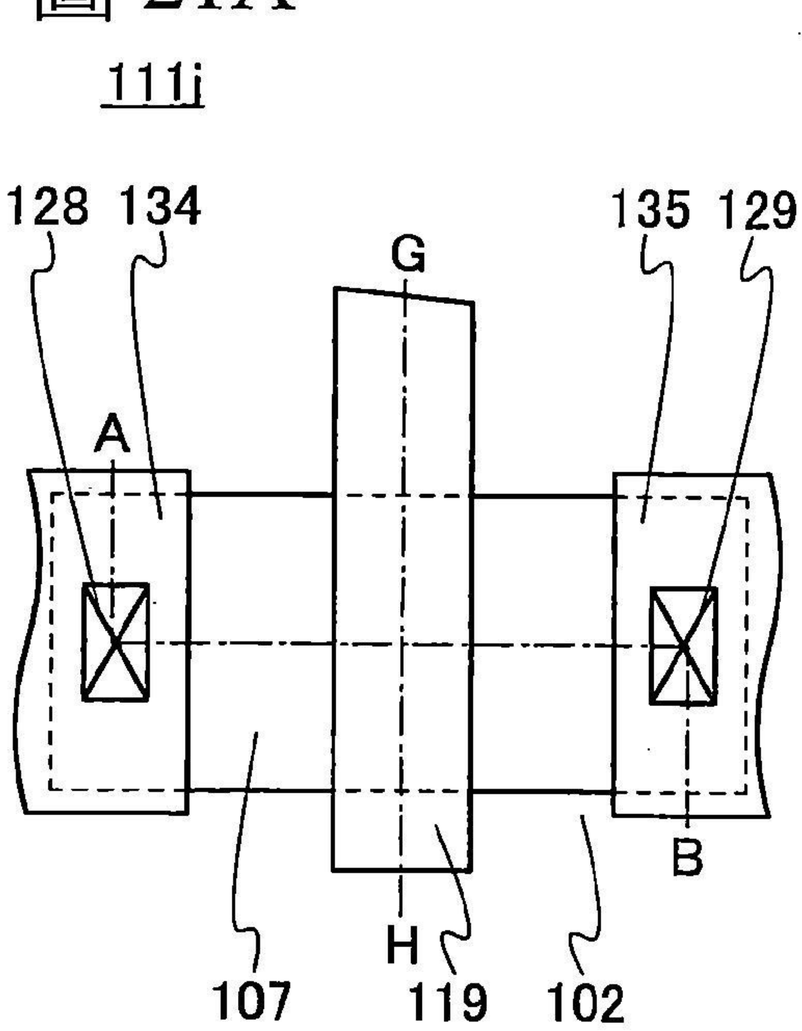


圖 21B

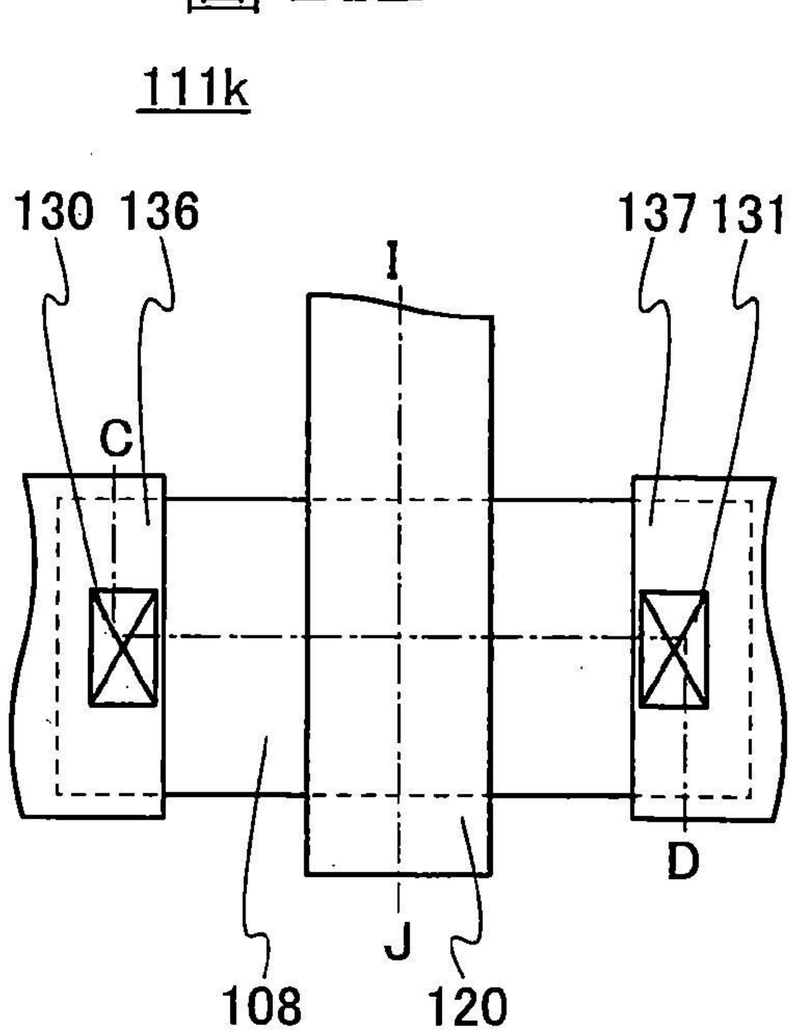
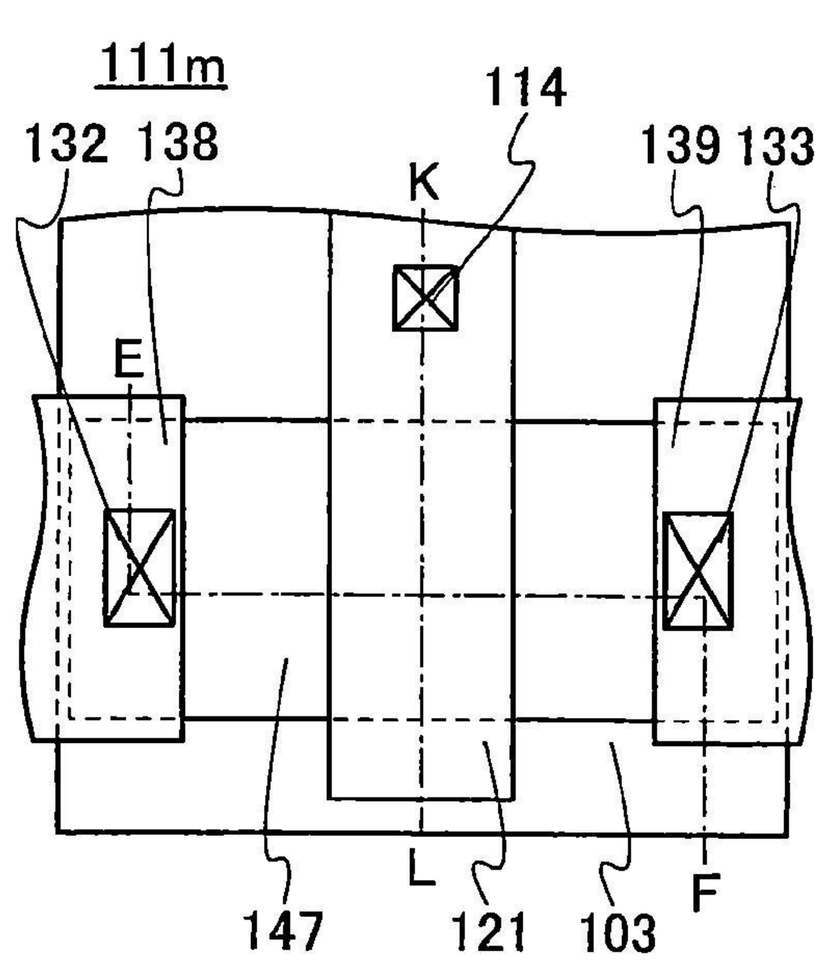


圖 21C



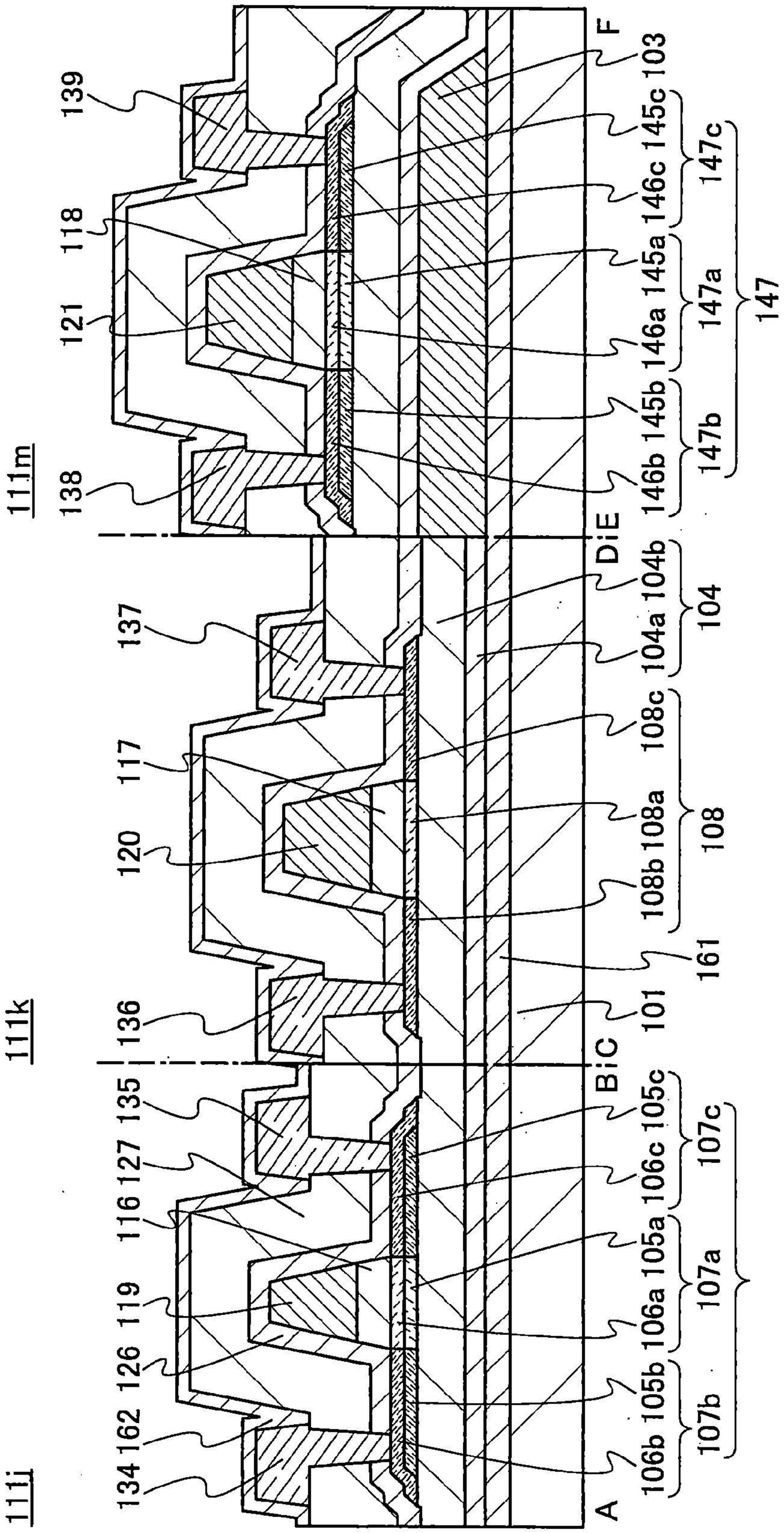

111m
111k
111j
139
118
121
138
137
117
120
136
135
127
116
119
126
134
162
129
F
103
145c
146c
147c
147
145a
146a
147a
145b
146b
147b
DiE
104b
104a
104
108c
108a
108b
108
161
101
BiC
105c
106c
107c
105a
106a
107a
105b
106b
107b
A

圖 22

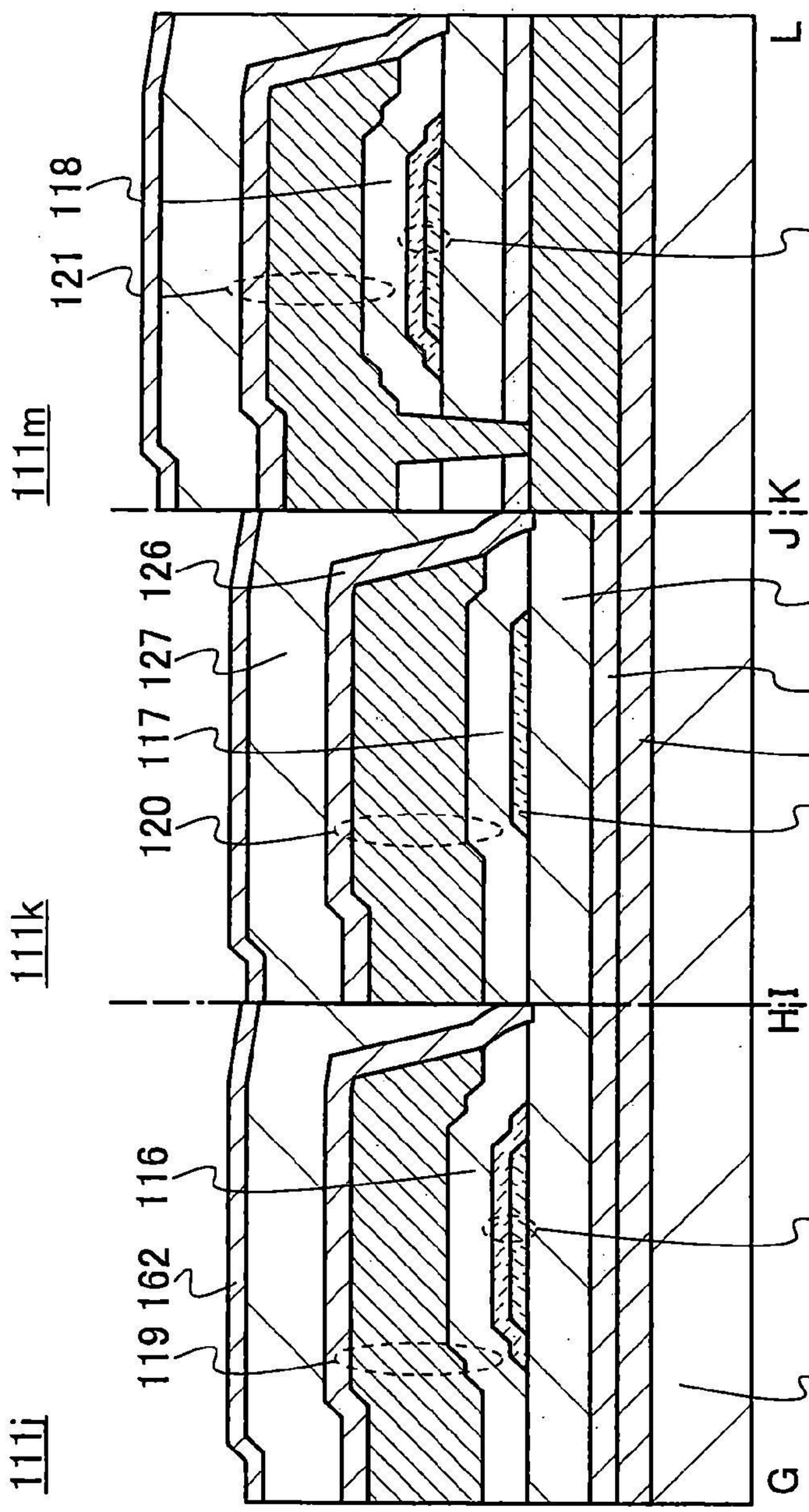

111m
111k
111j
121
118
147
126
127
117
120
104b
104a
104
161
108
116
162
119
107
101
J
K
H
I
G

圖 23

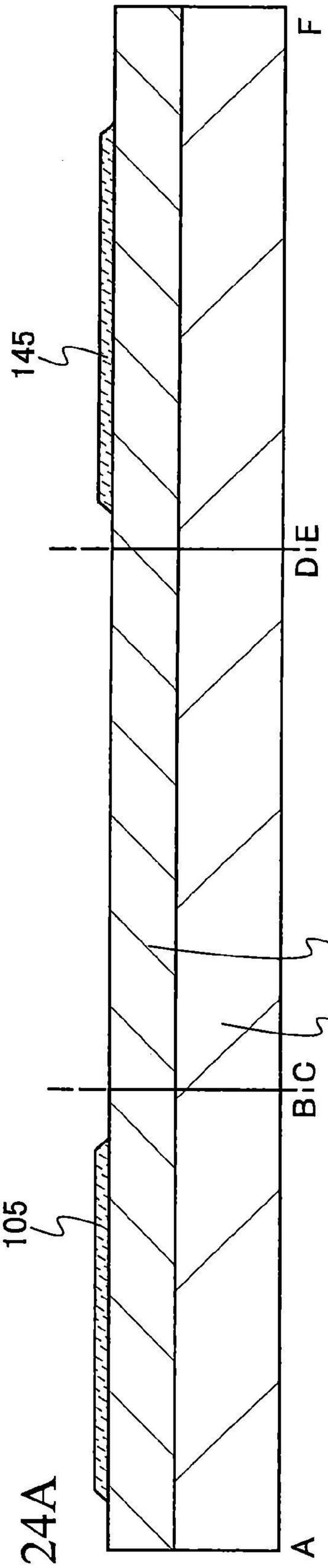


圖 24A

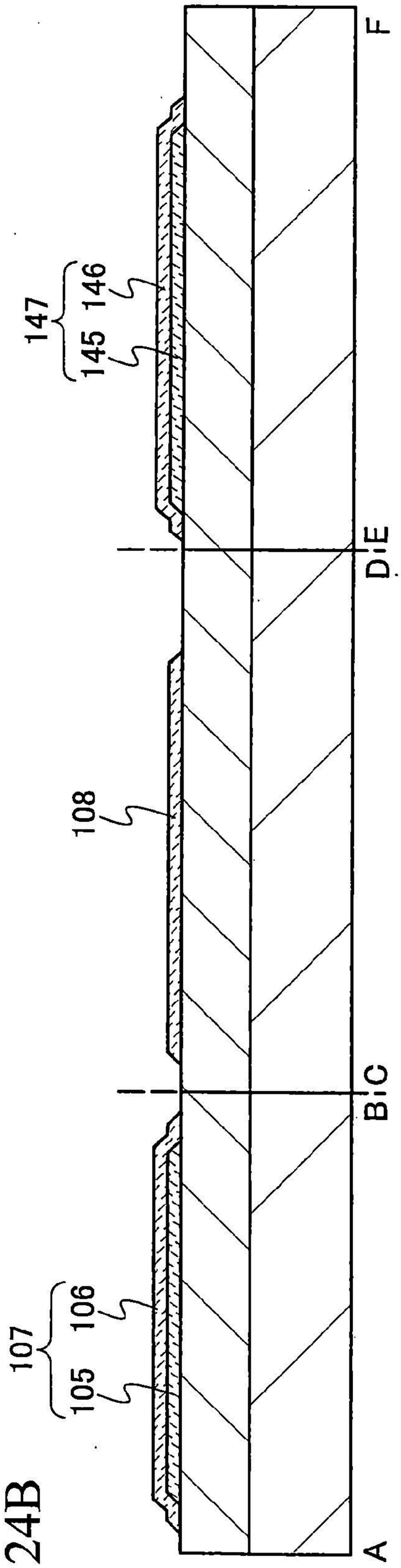


圖 24B

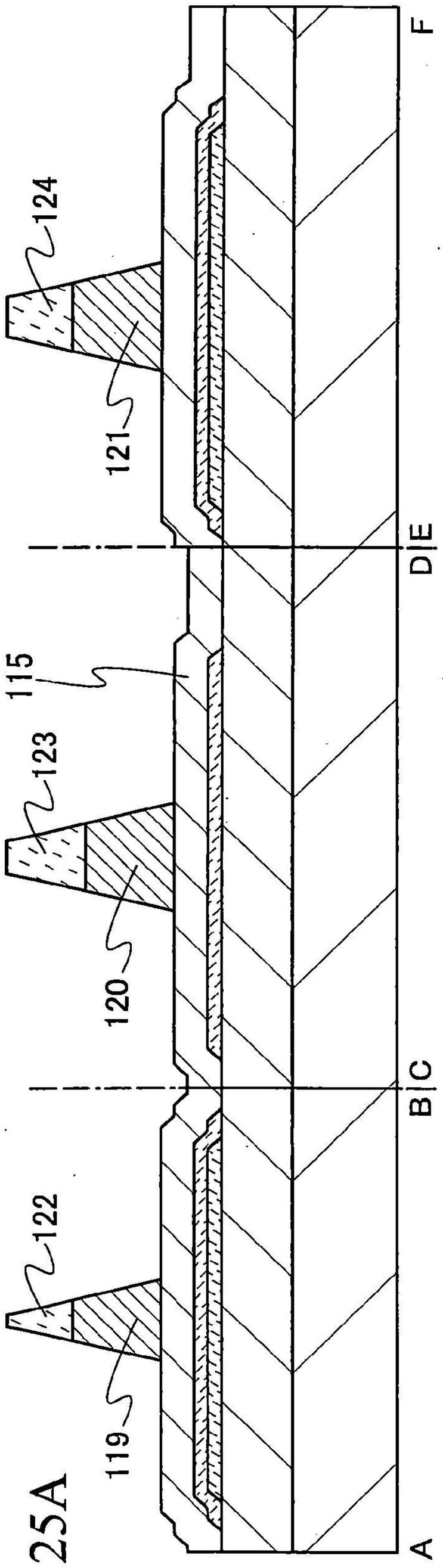

F
124
121
115
123
120
122
119
E
D
C
B
A

圖 25A

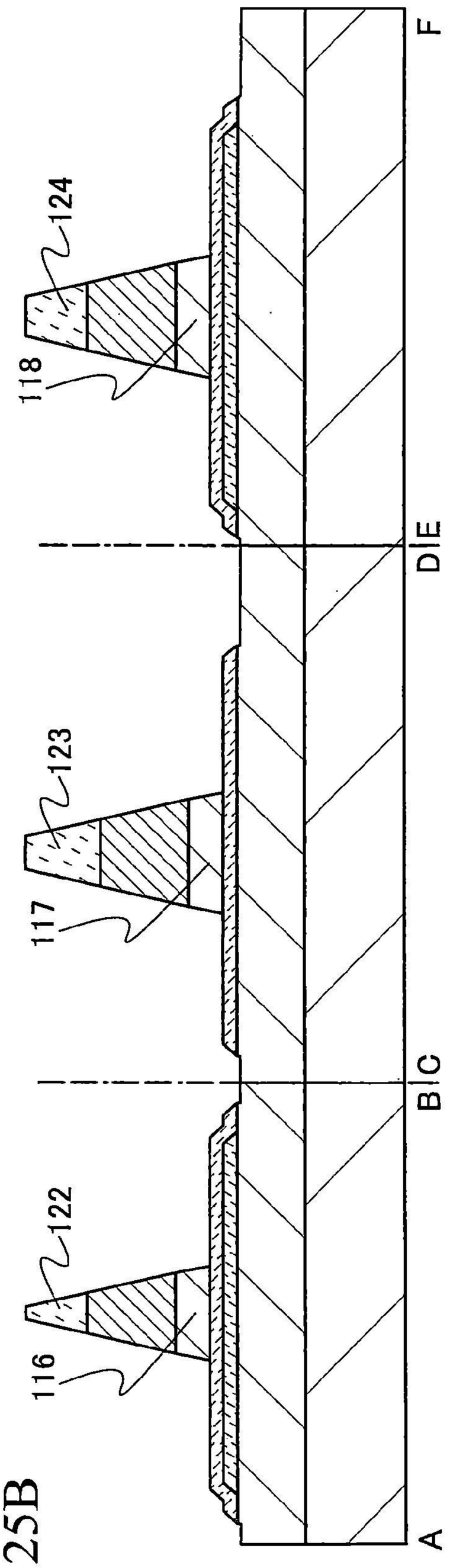

F
124
118
123
117
122
116
E
D
C
B
A

圖 25B

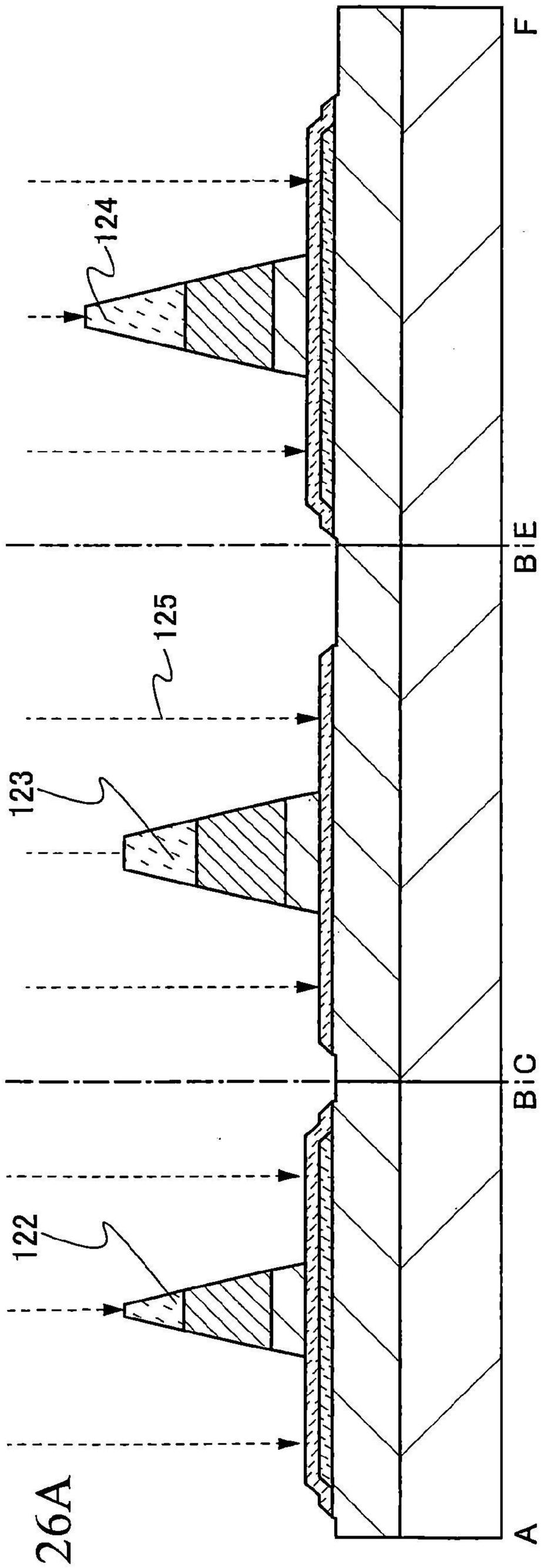

122
123
125
124
A
B
C
E
F

圖 26A

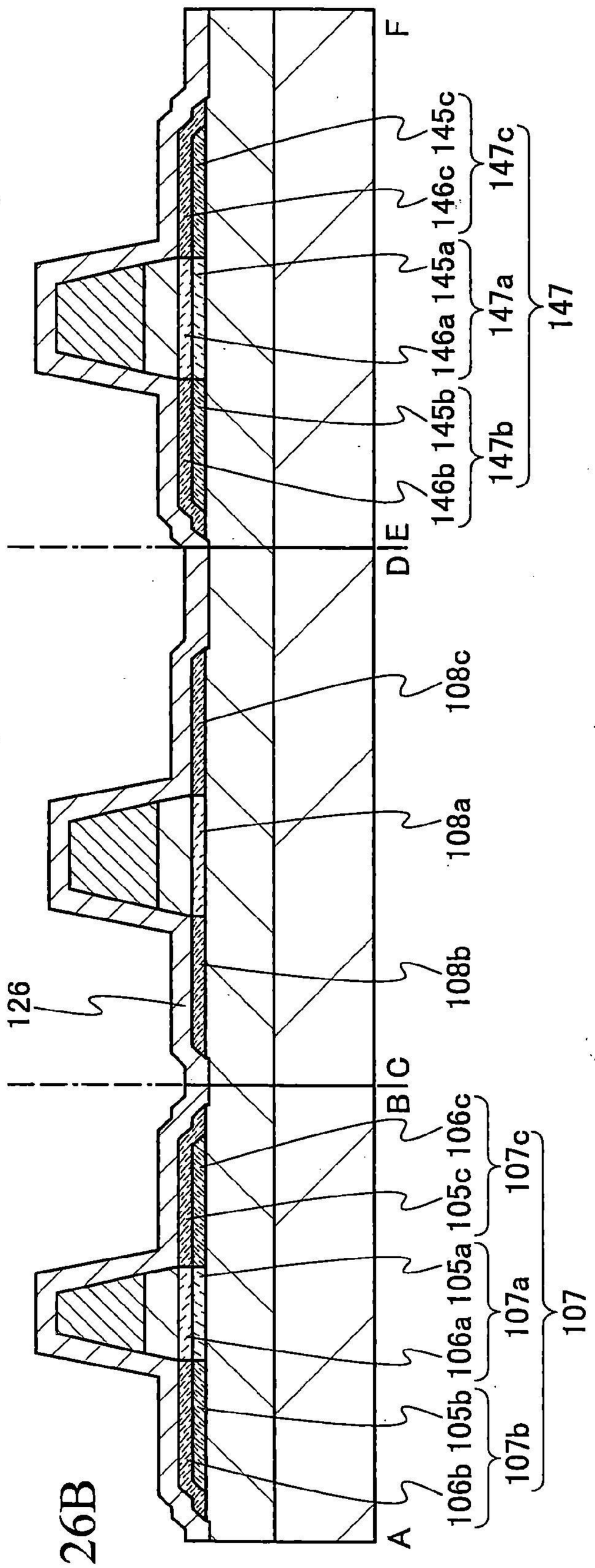

126
108a
108b
108c
106b 105b
106a 105a
105c 106c
107a
107b
107
107c
A
B
C
E
F

圖 26B

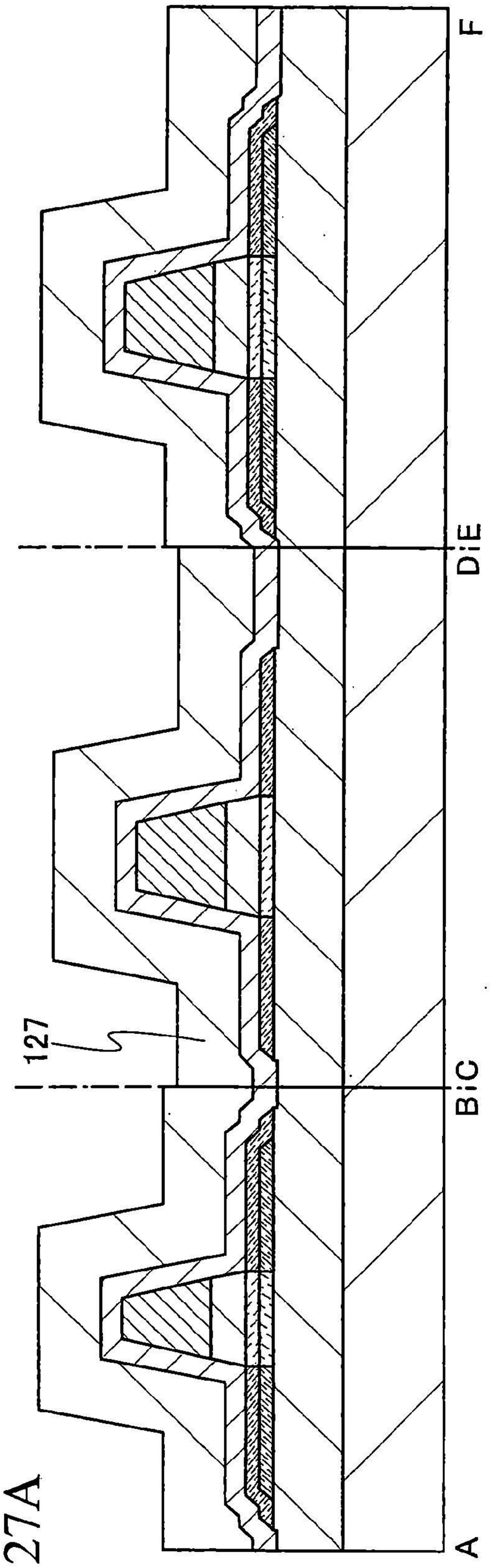


圖 27A

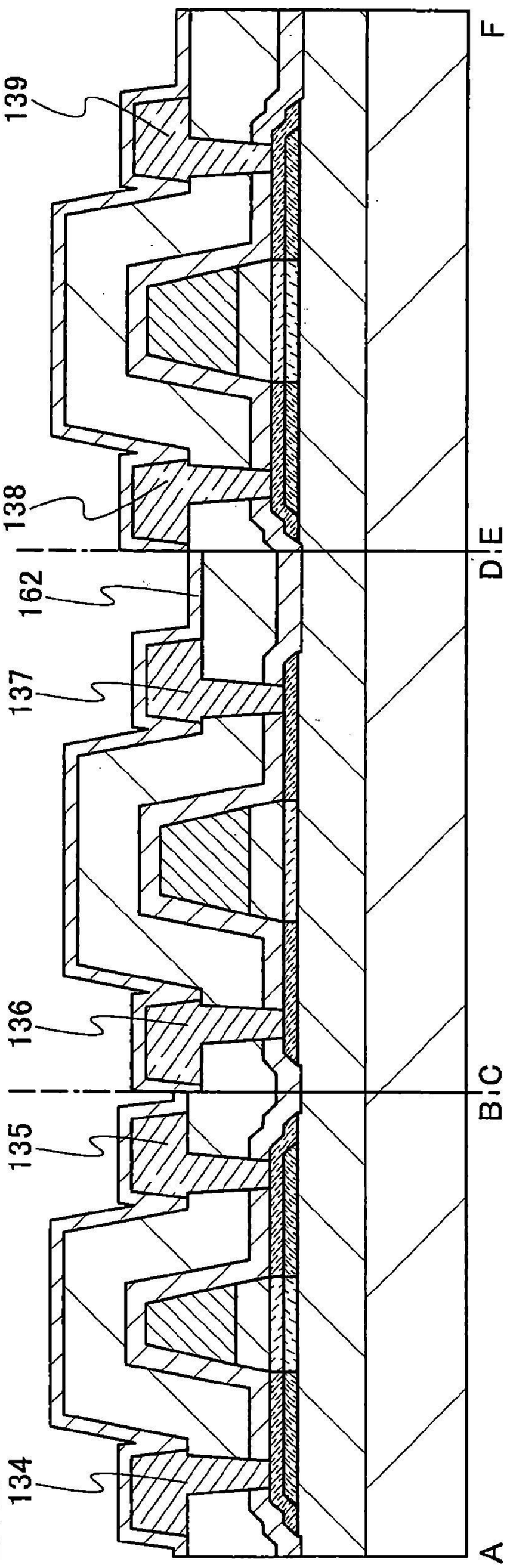


圖 27B

圖 28A

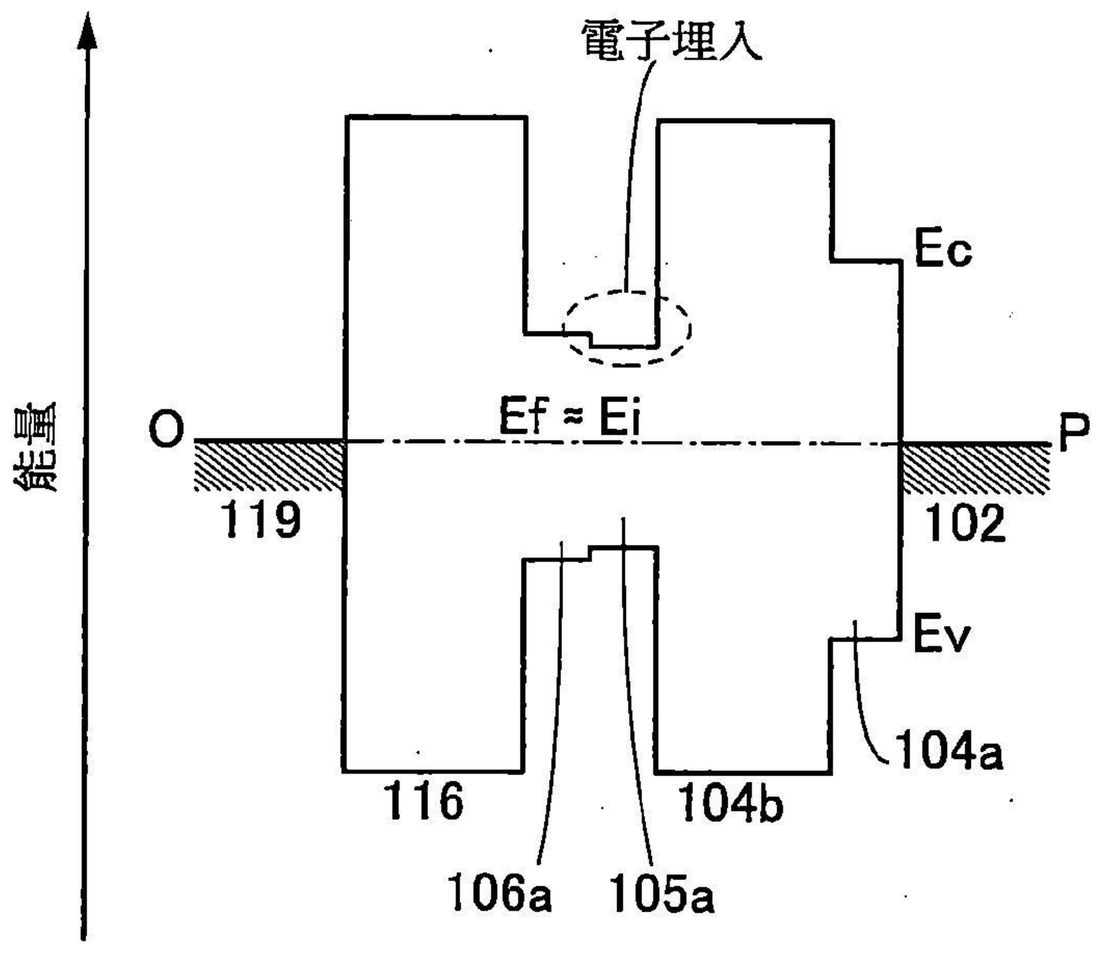

電子埋入
Ec
O
Ef ≈ Ei
P
能量
119
102
Ev
104a
116
104b
106a
105a

圖 28B

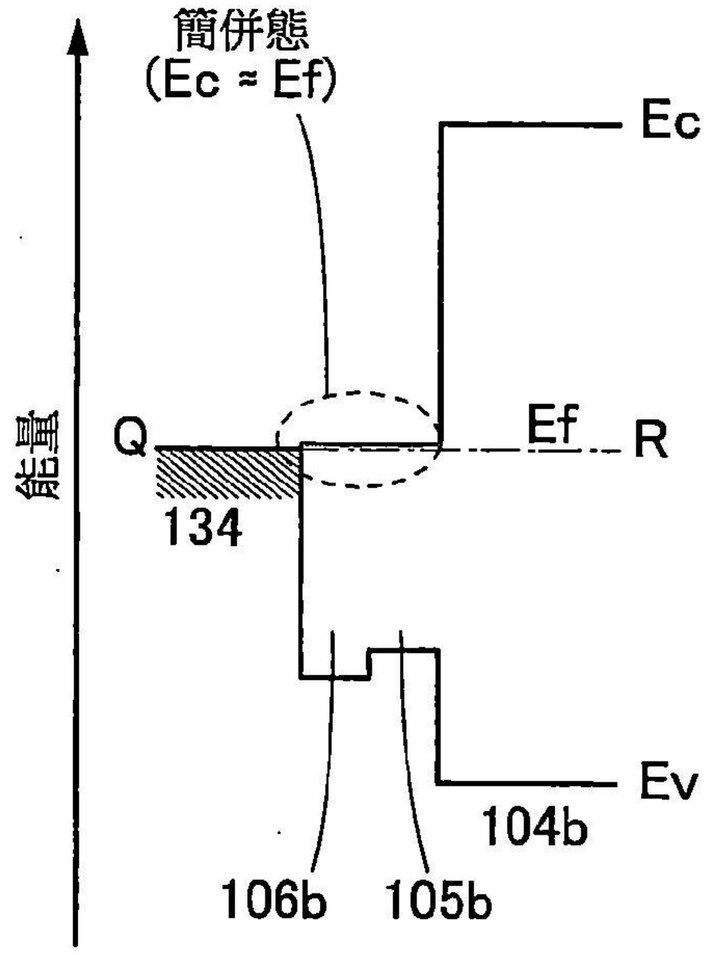

簡併態
(Ec ≈ Ef)
Ec
Q
Ef
R
能量
134
Ev
104b
106b
105b

圖 29A

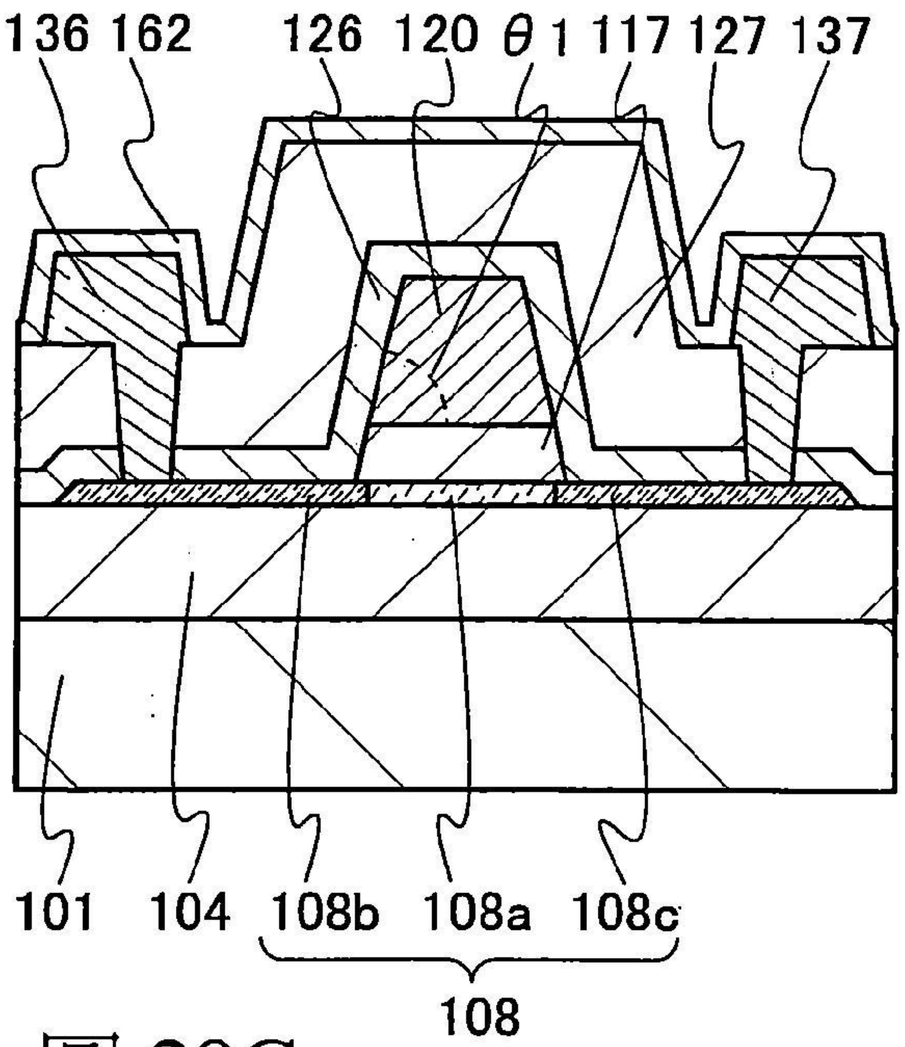


圖 29B

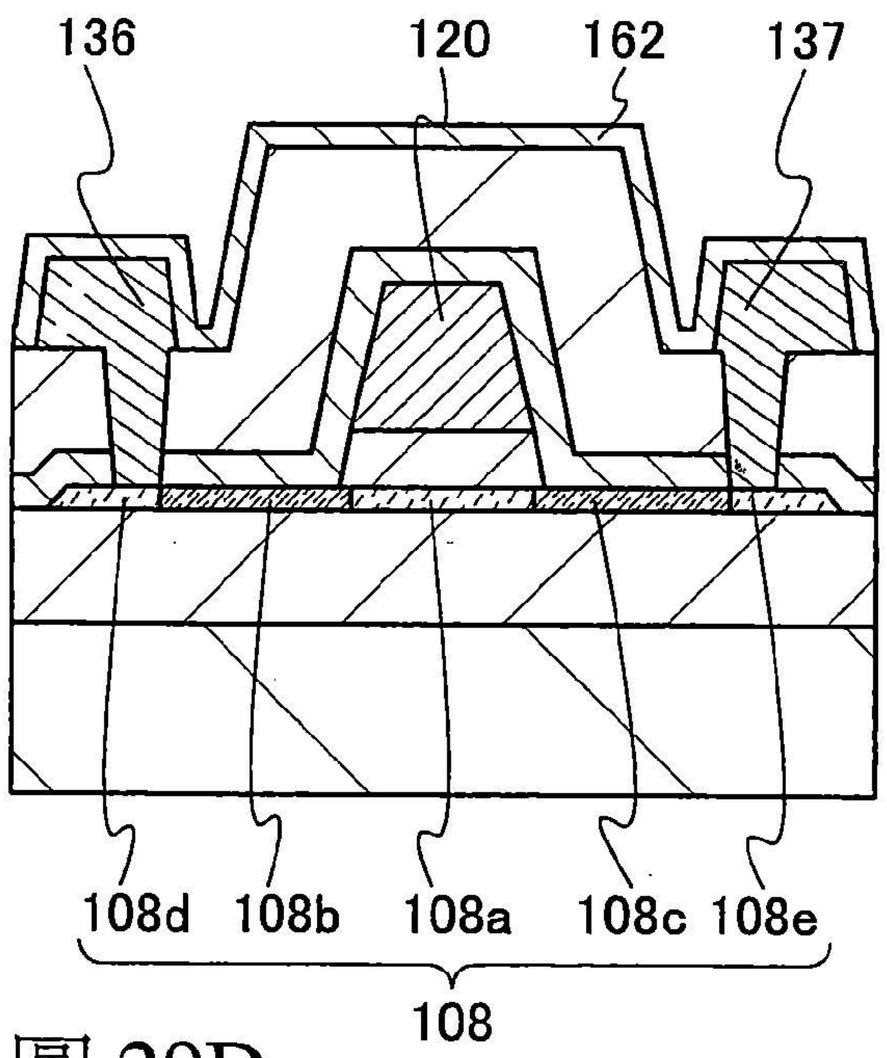


圖 29C

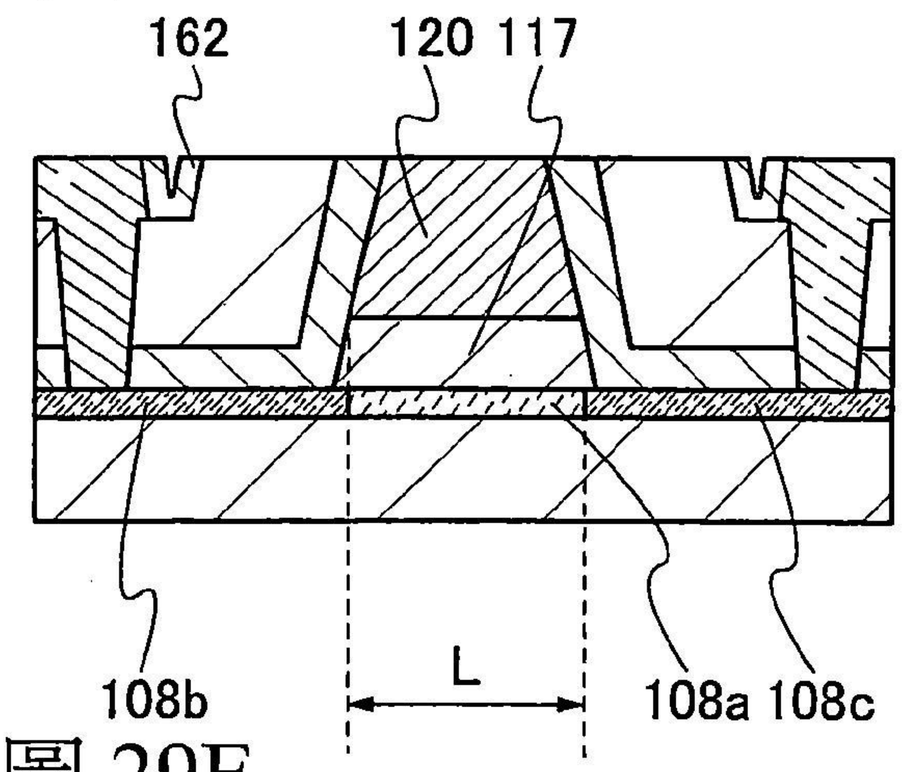


圖 29D

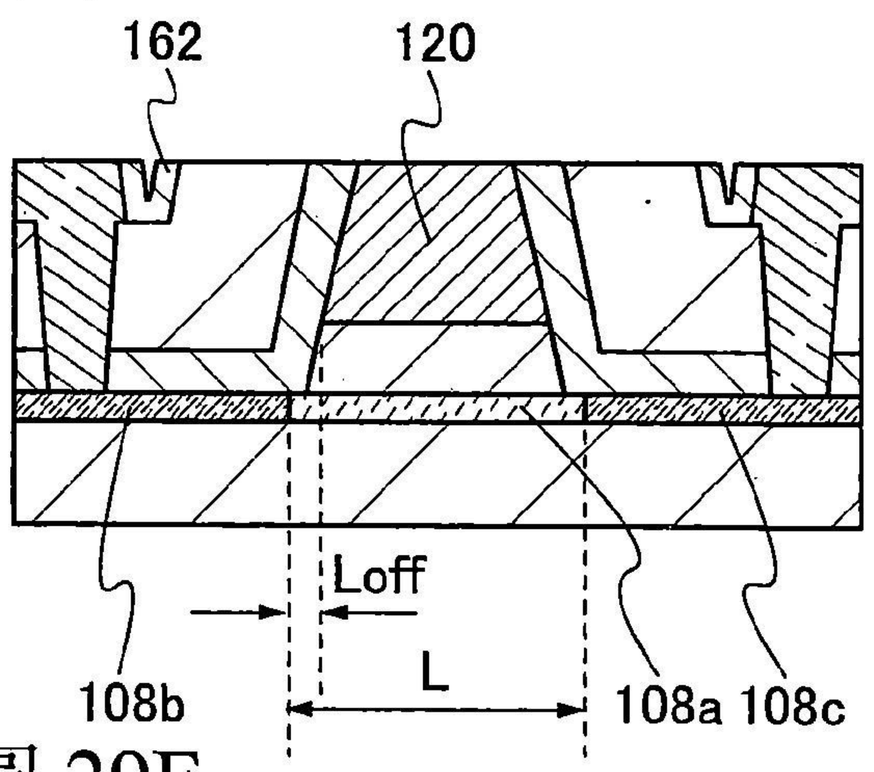


圖 29E

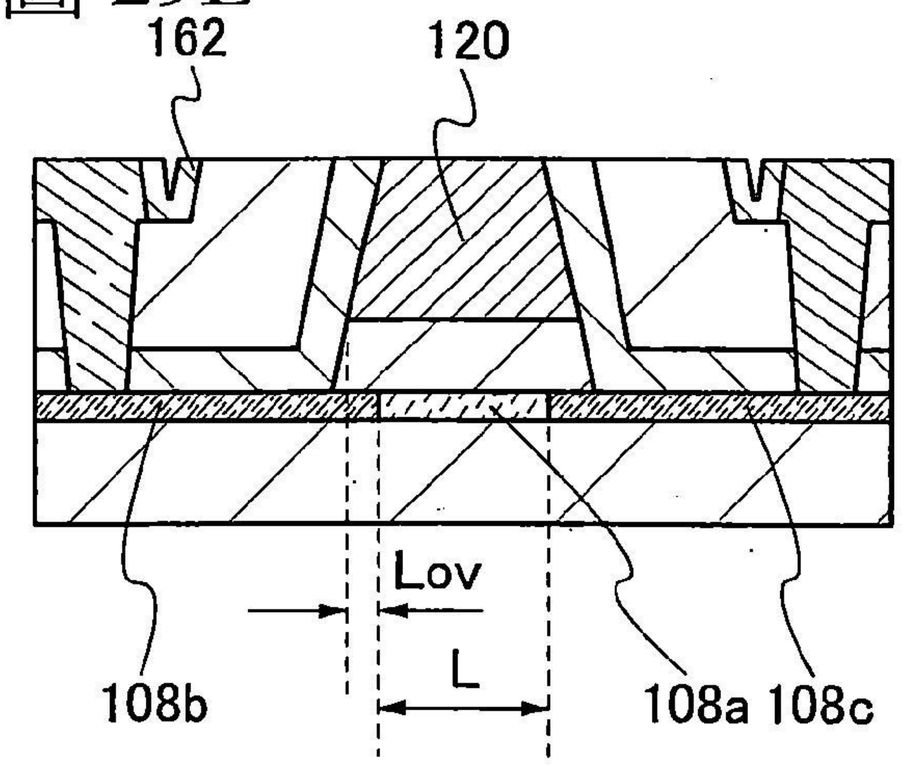


圖 29F

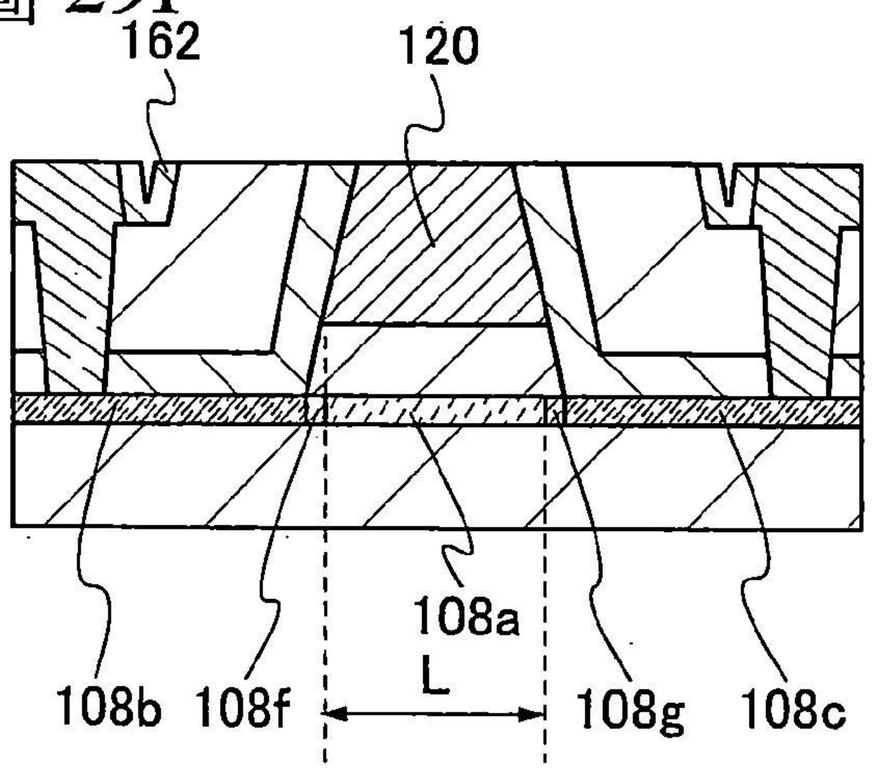


圖 30A

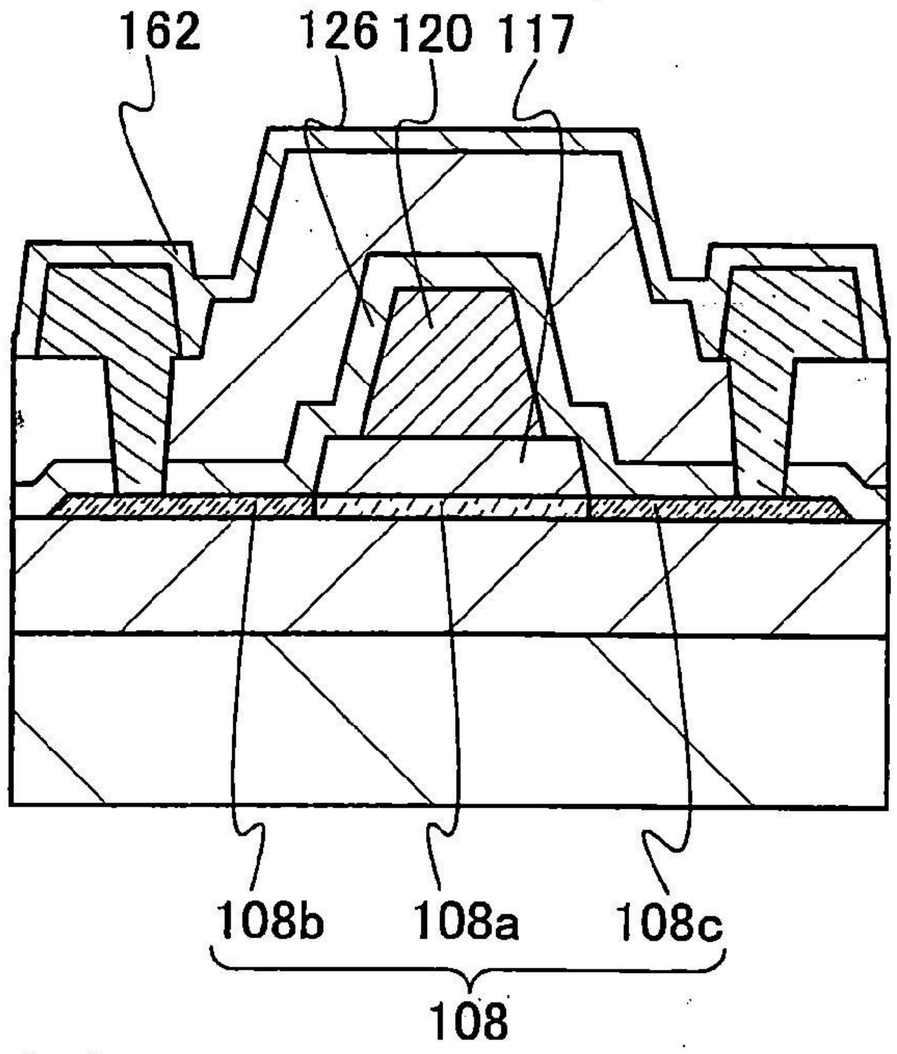


圖 30B

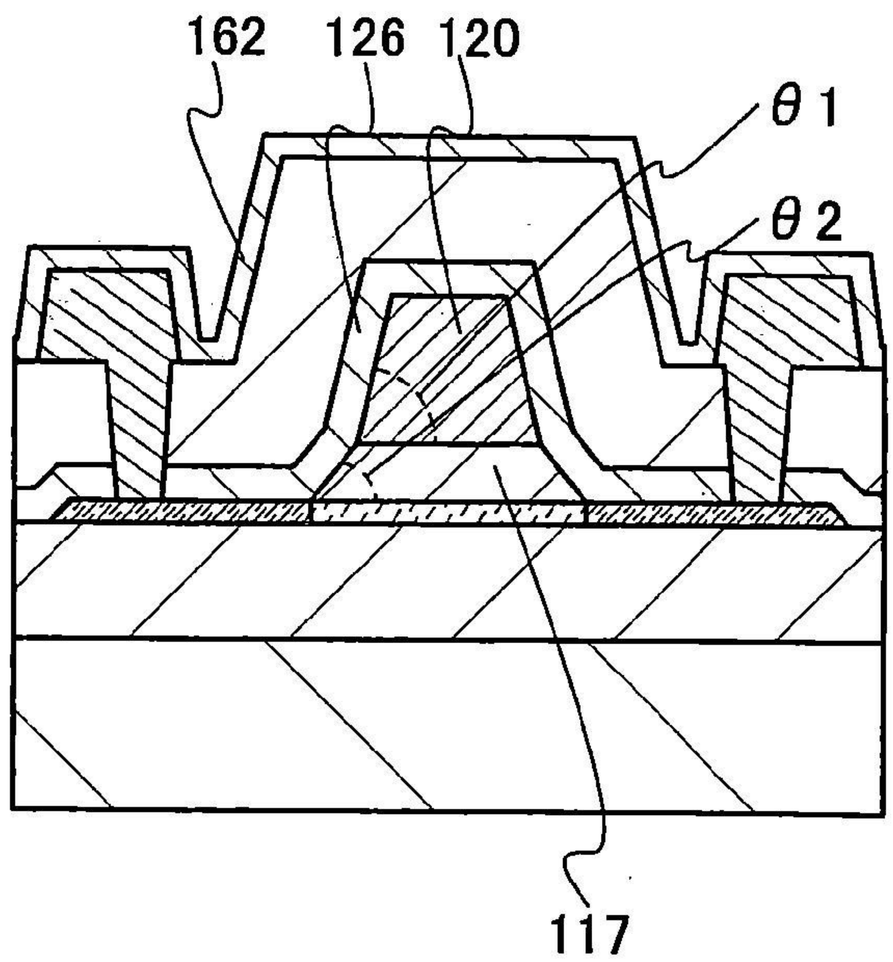


圖 30C

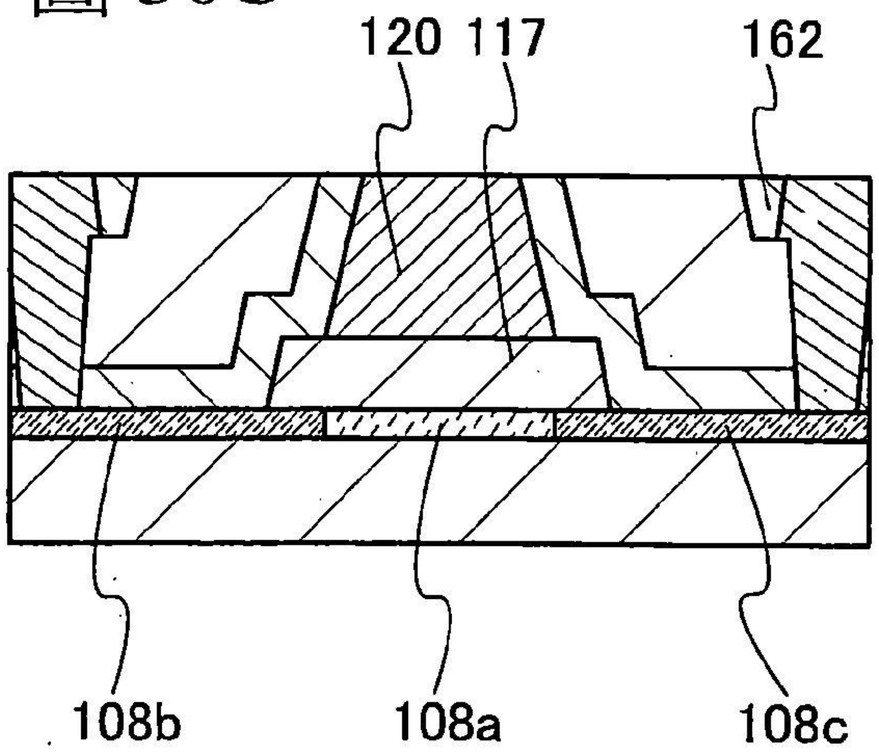


圖 30D

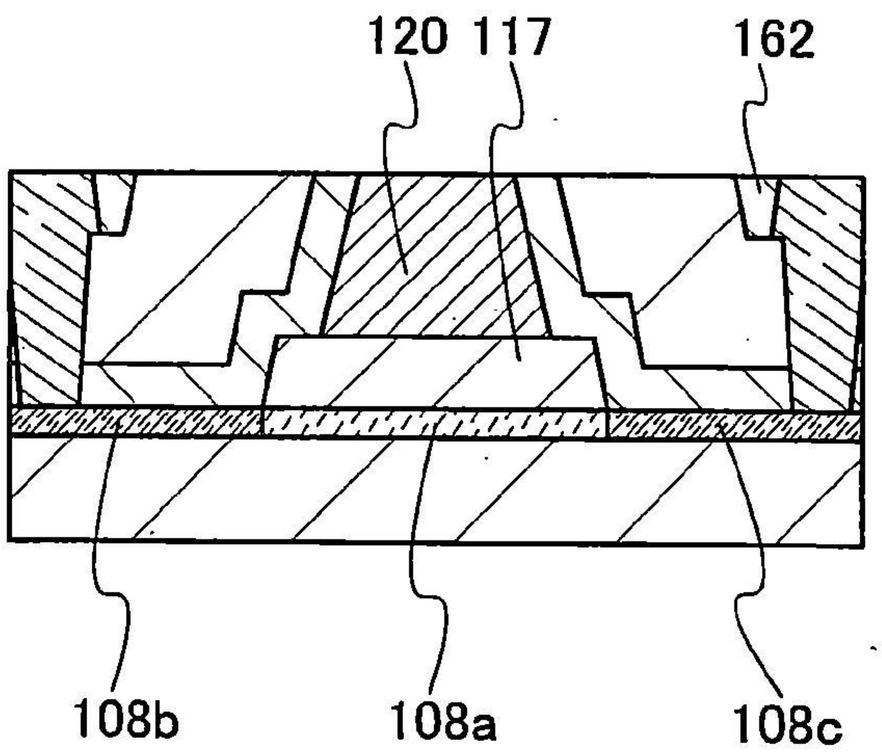


圖 30E

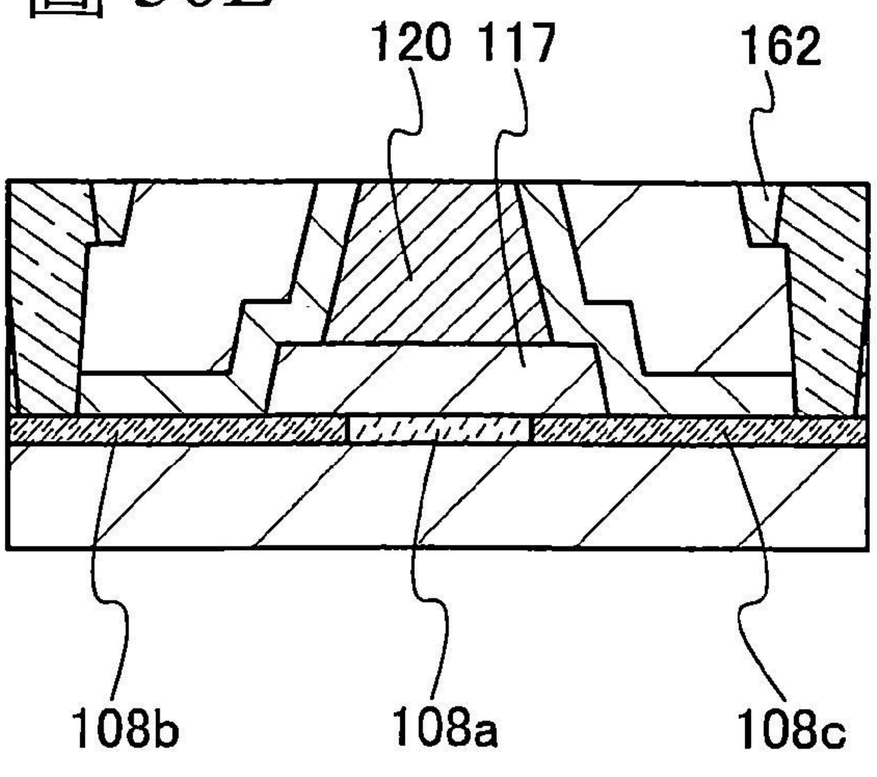


圖 30F

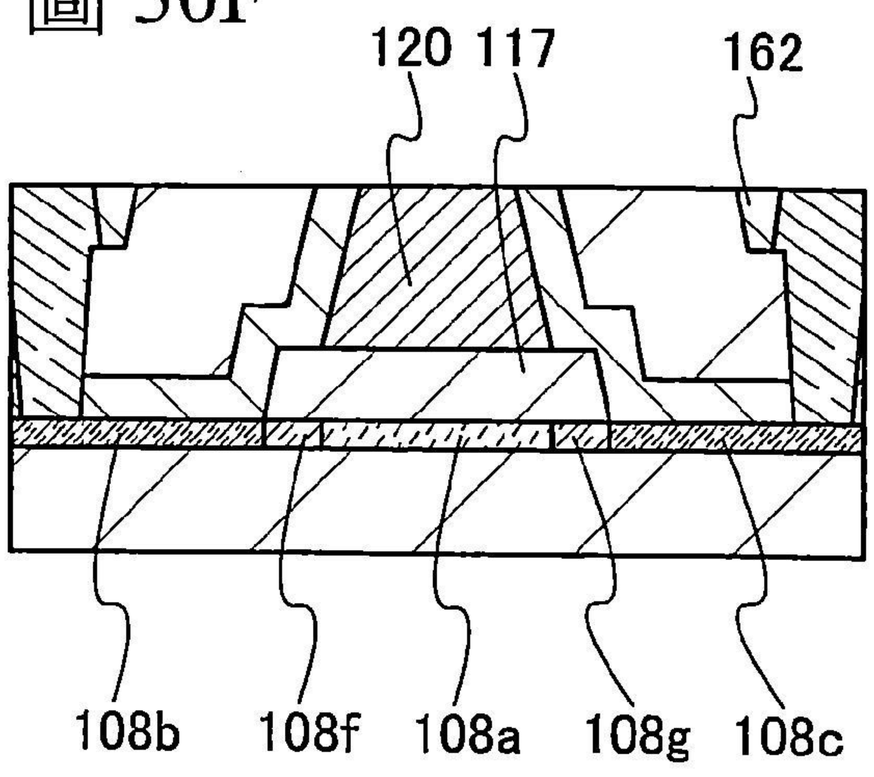


圖 31A

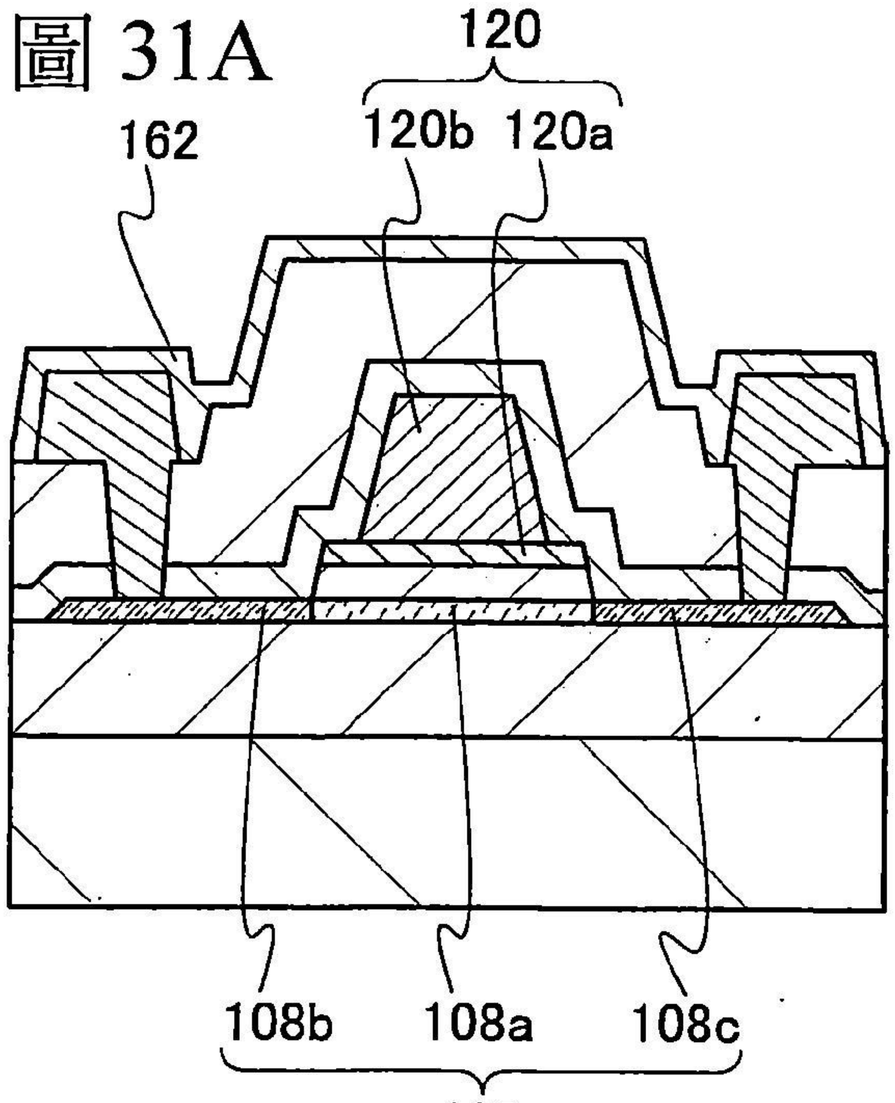


圖 31B

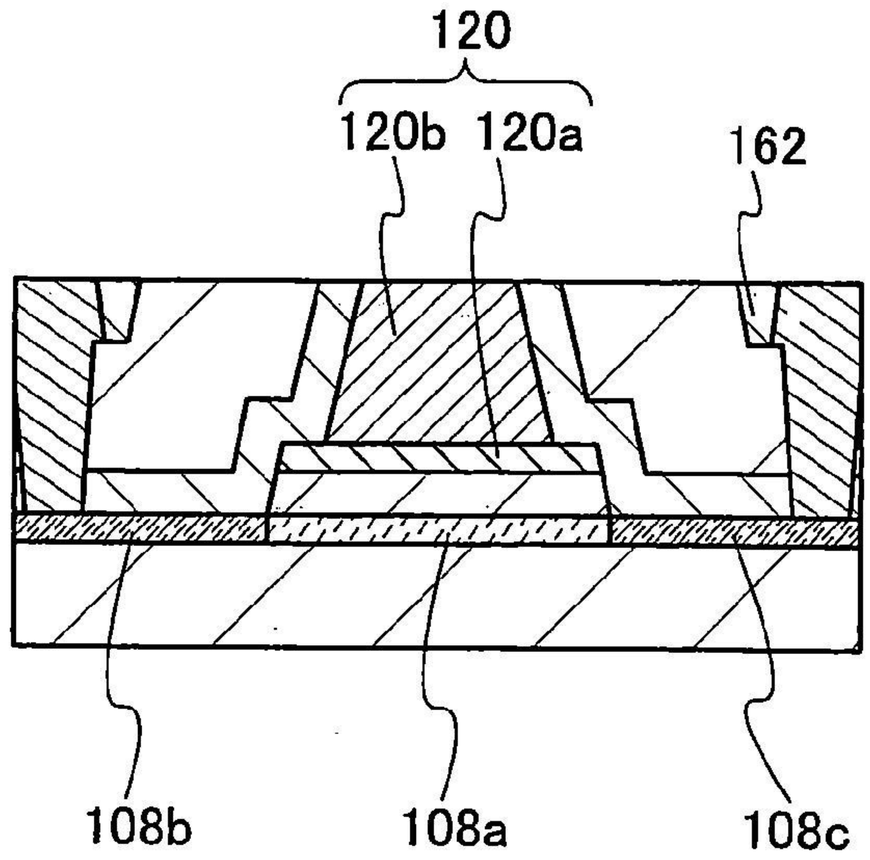


圖 31C

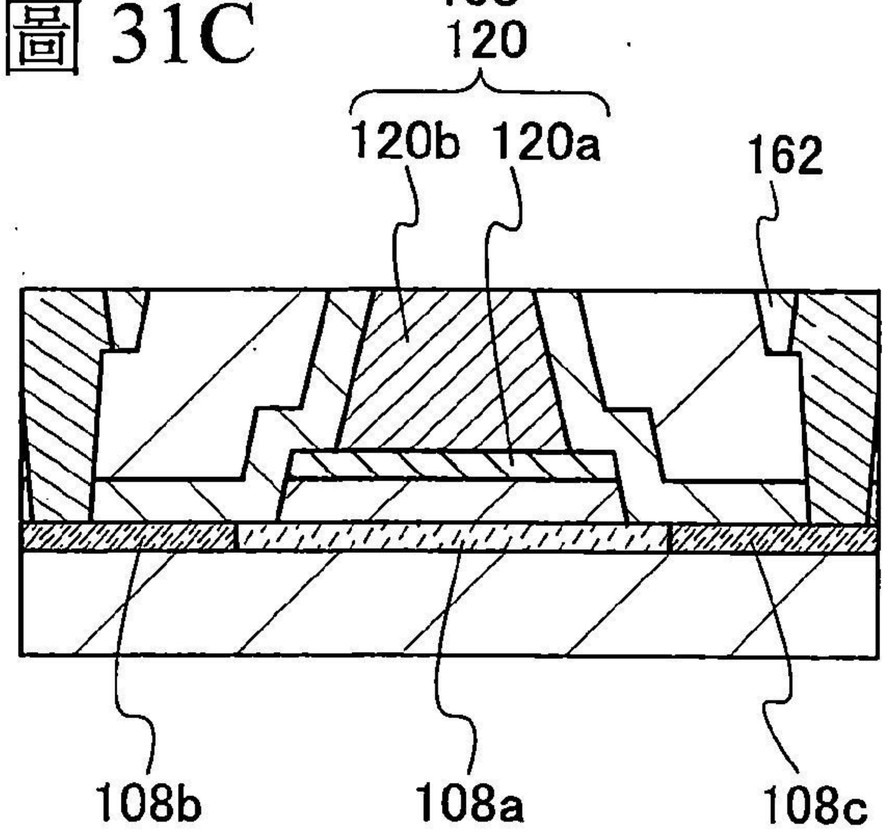


圖 31D

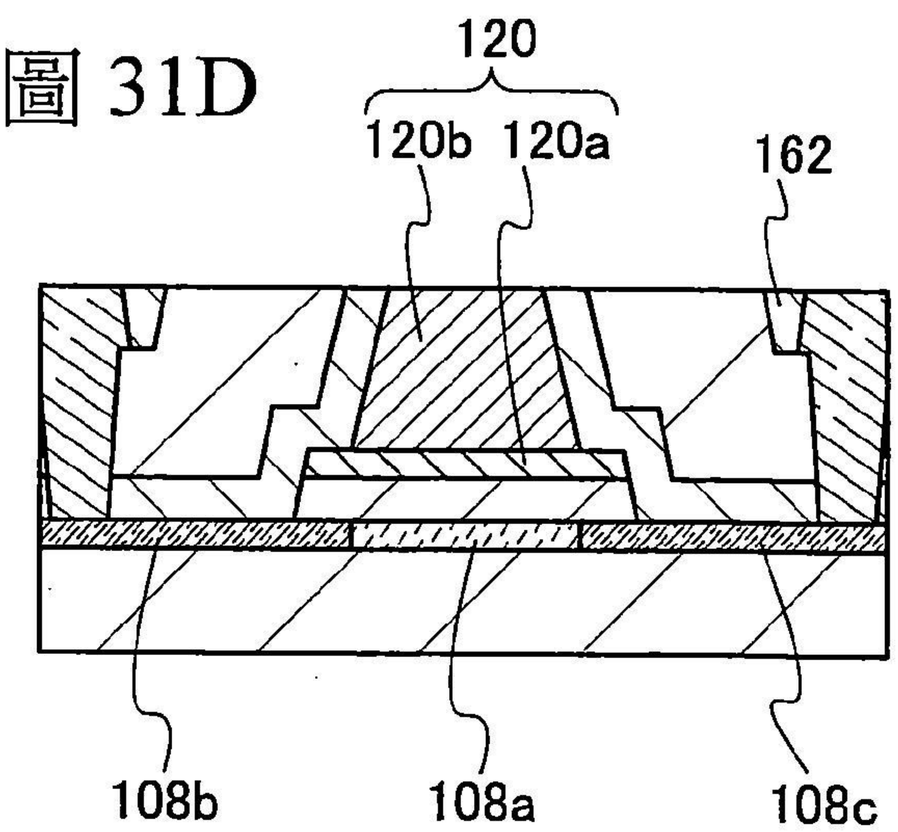


圖 31E

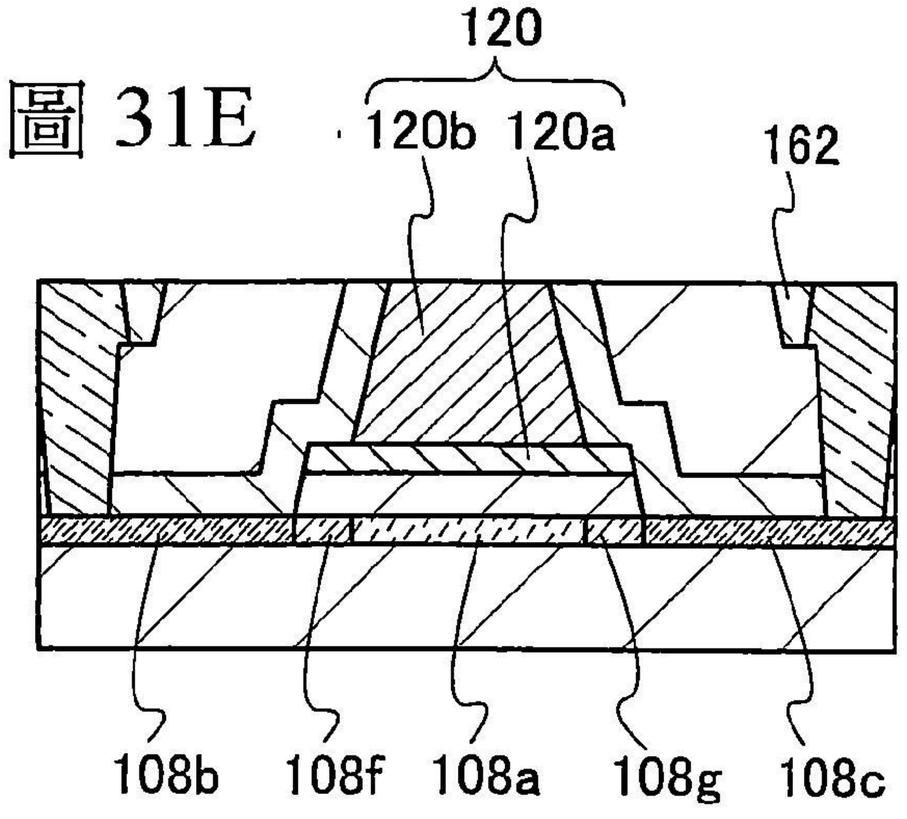


圖 32A

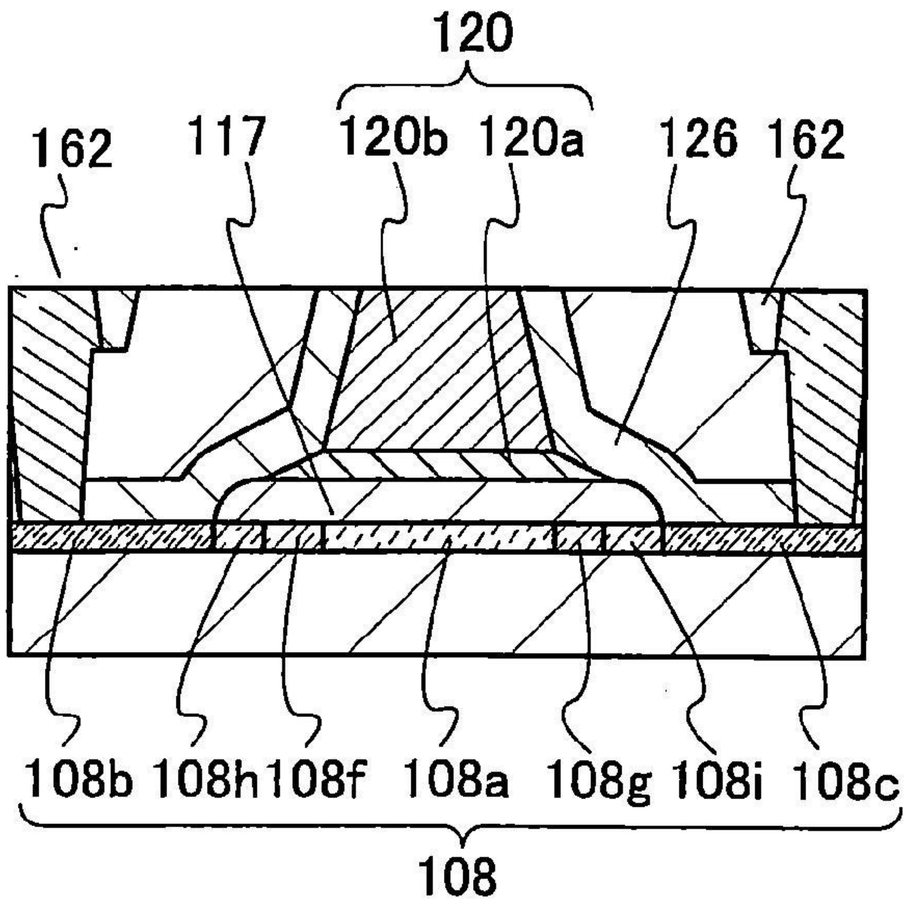

120
162
117
120b
120a
126
162
108b
108h
108f
108a
108g
108i
108c
108

圖 32B

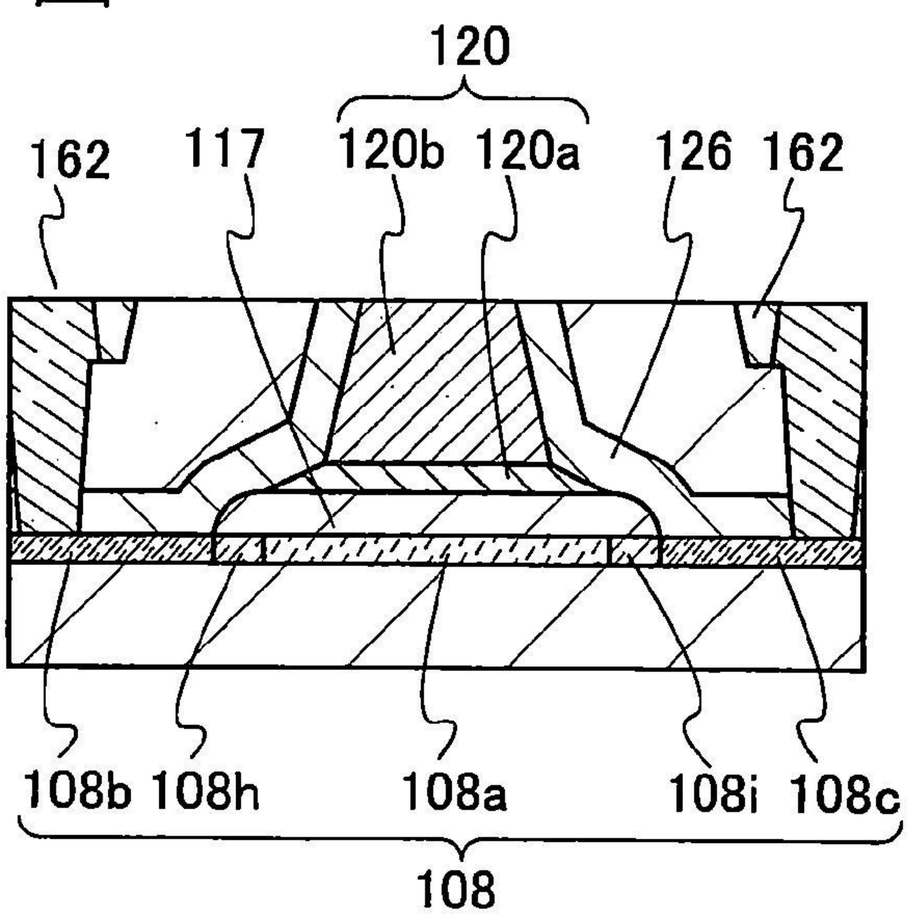

120
162
117
120b
120a
126
162
108b
108h
108a
108i
108c
108

圖 33A

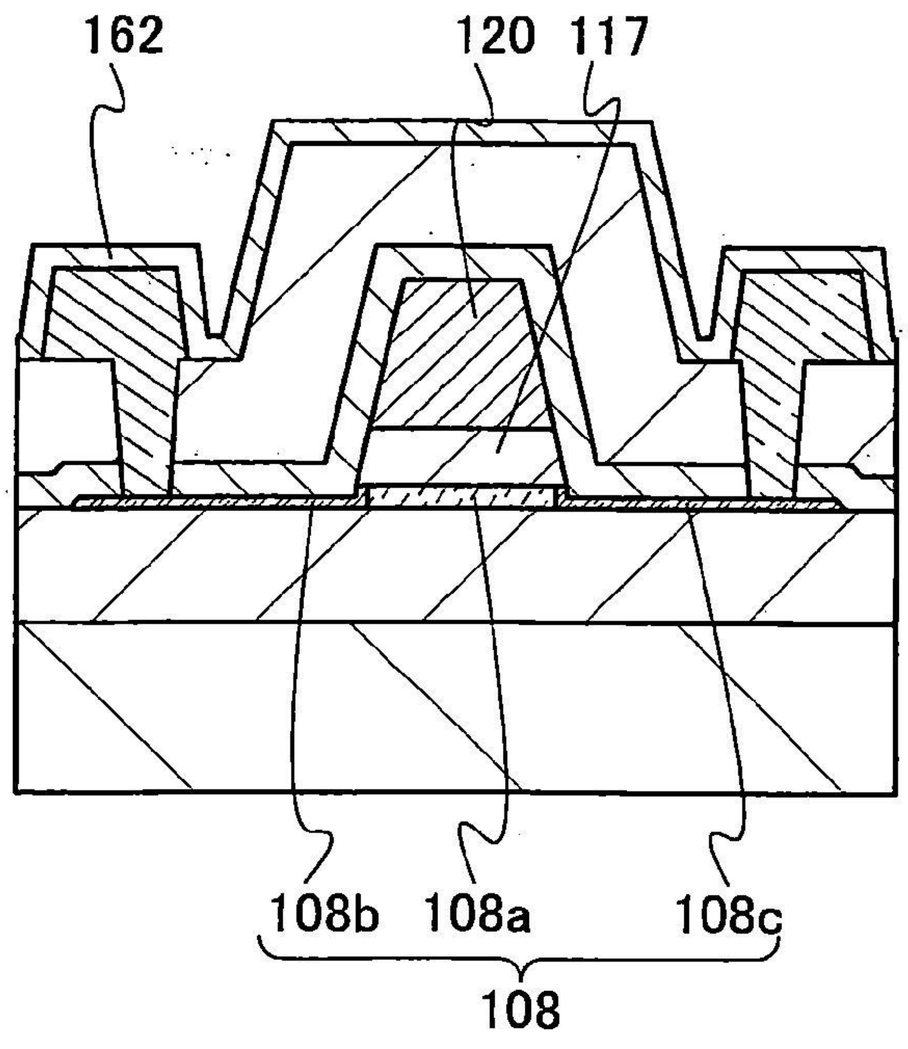


圖 33B

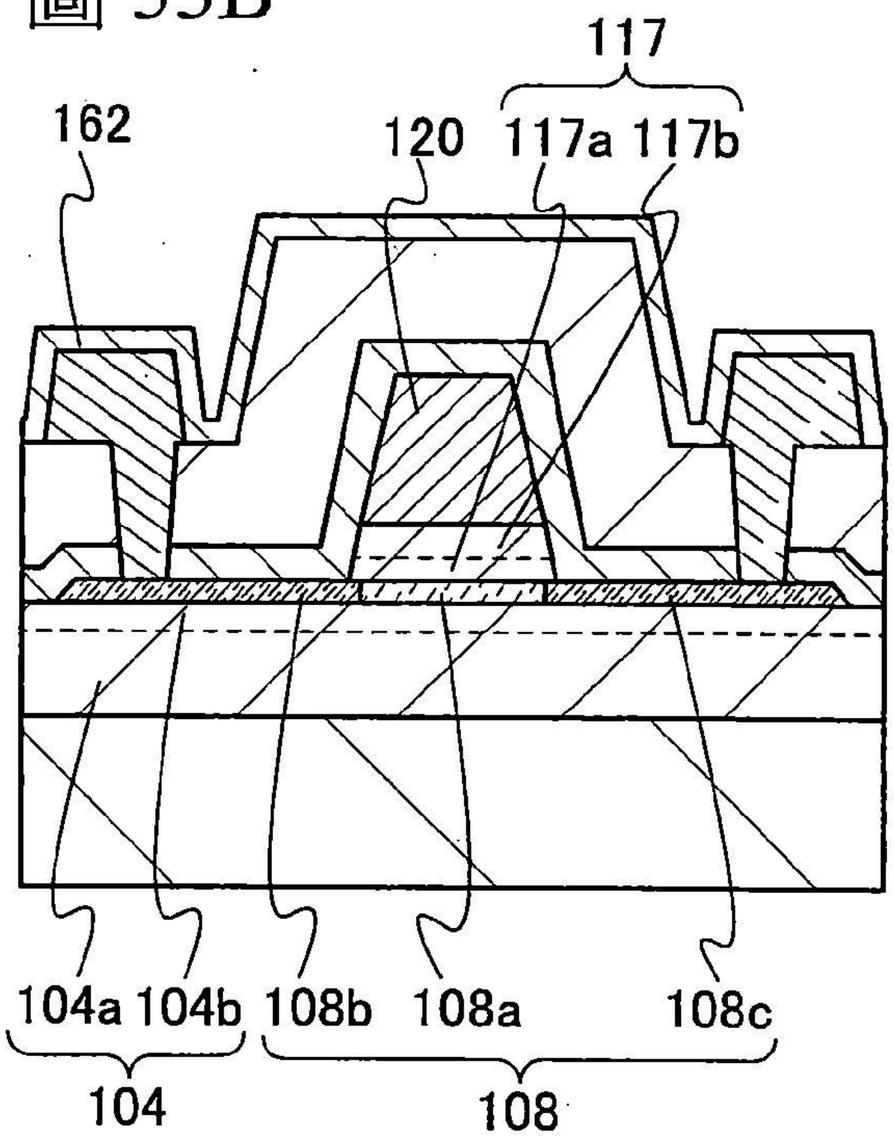


圖 33C

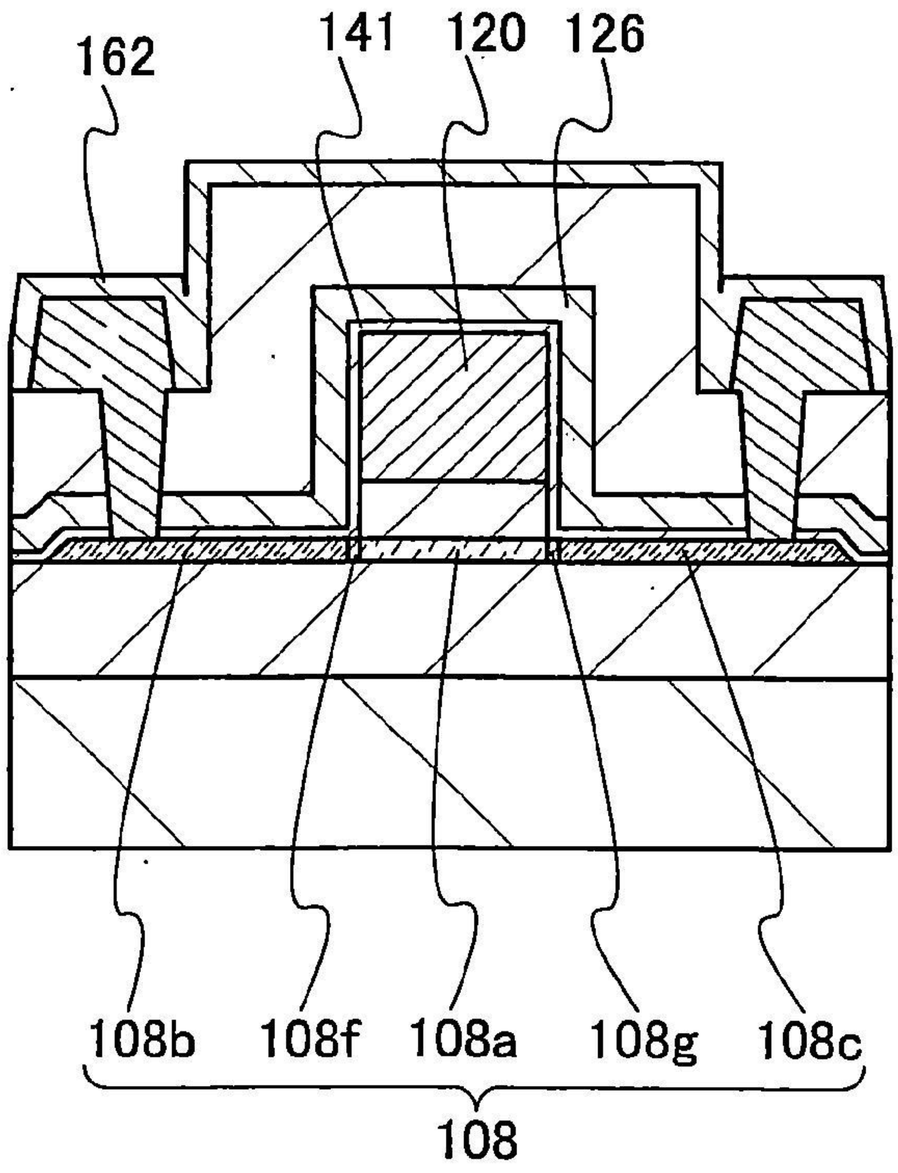


圖 33D

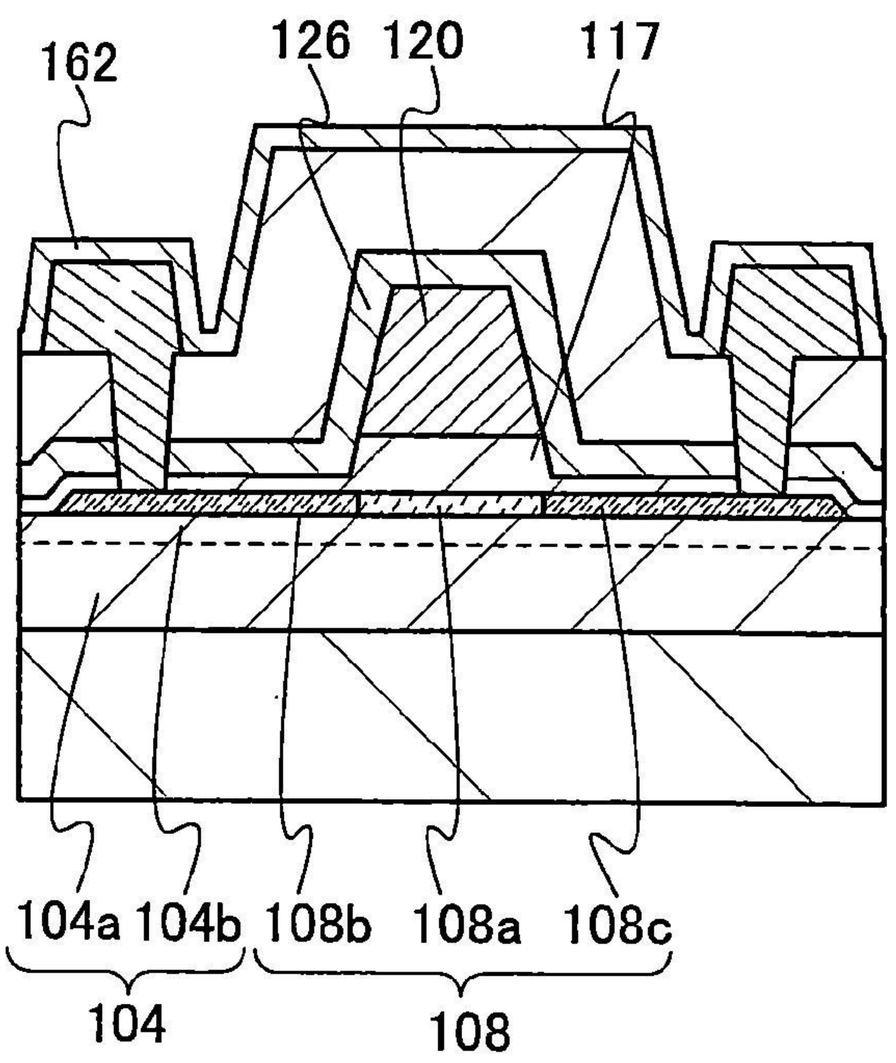


圖 34A

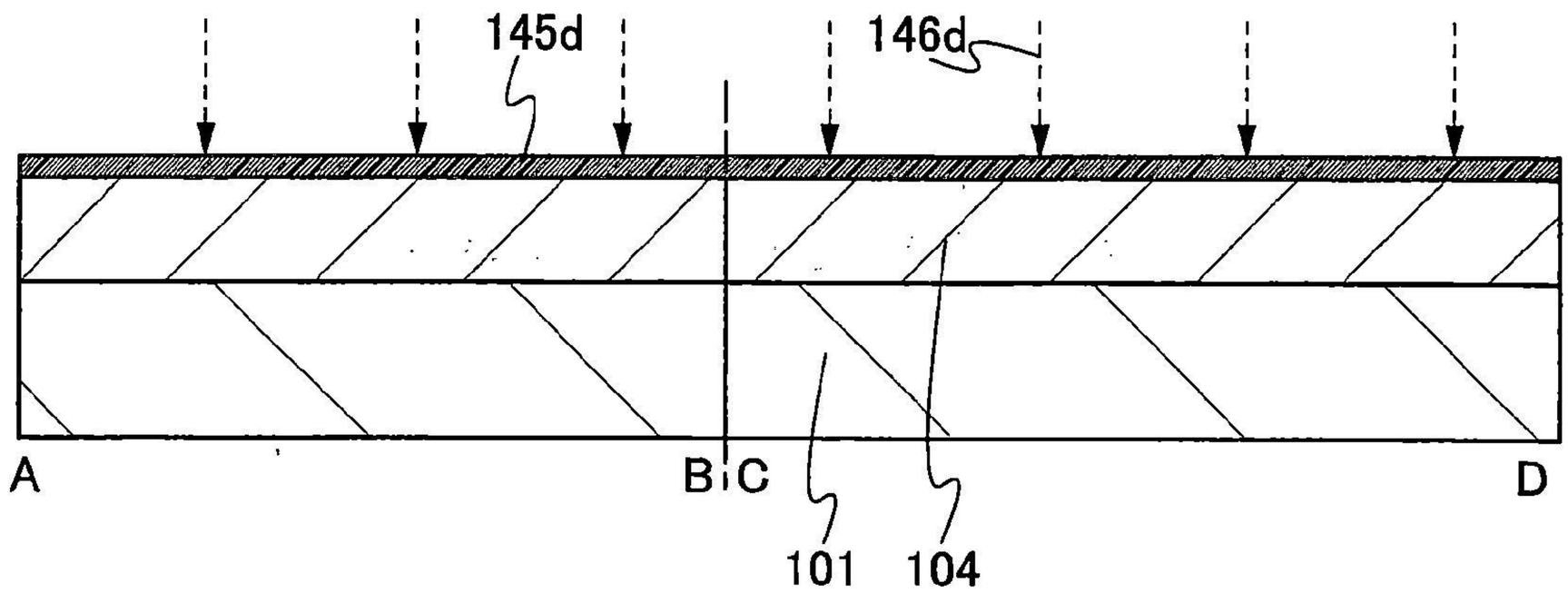


圖 34B

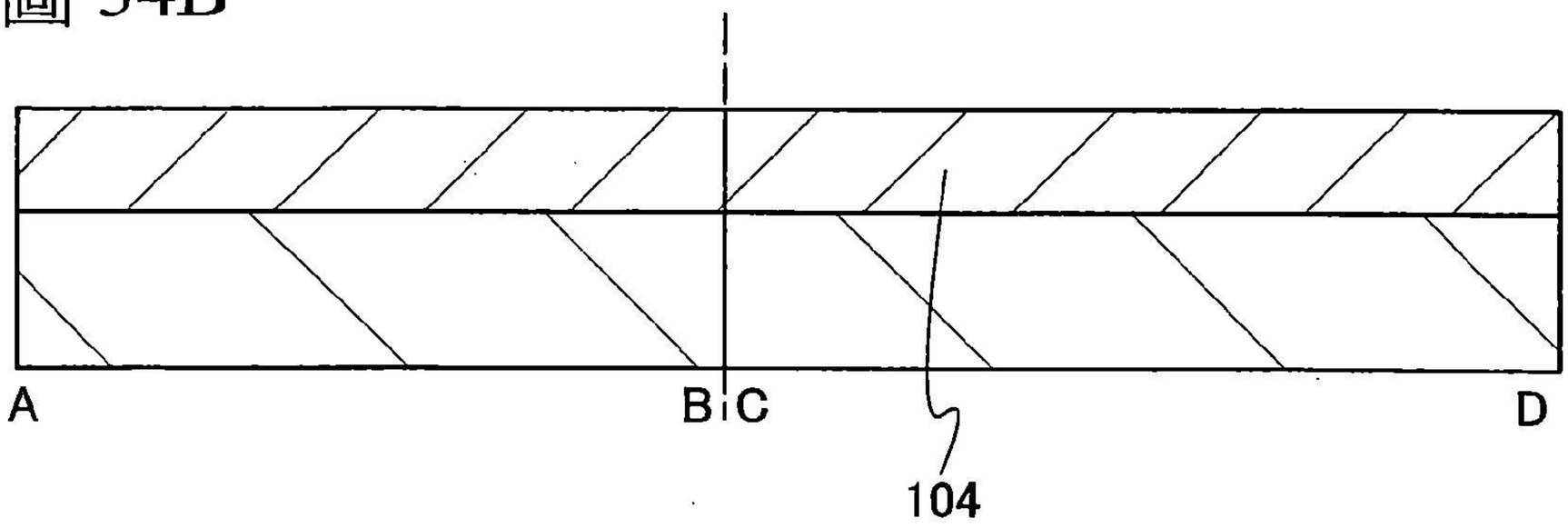


圖 35

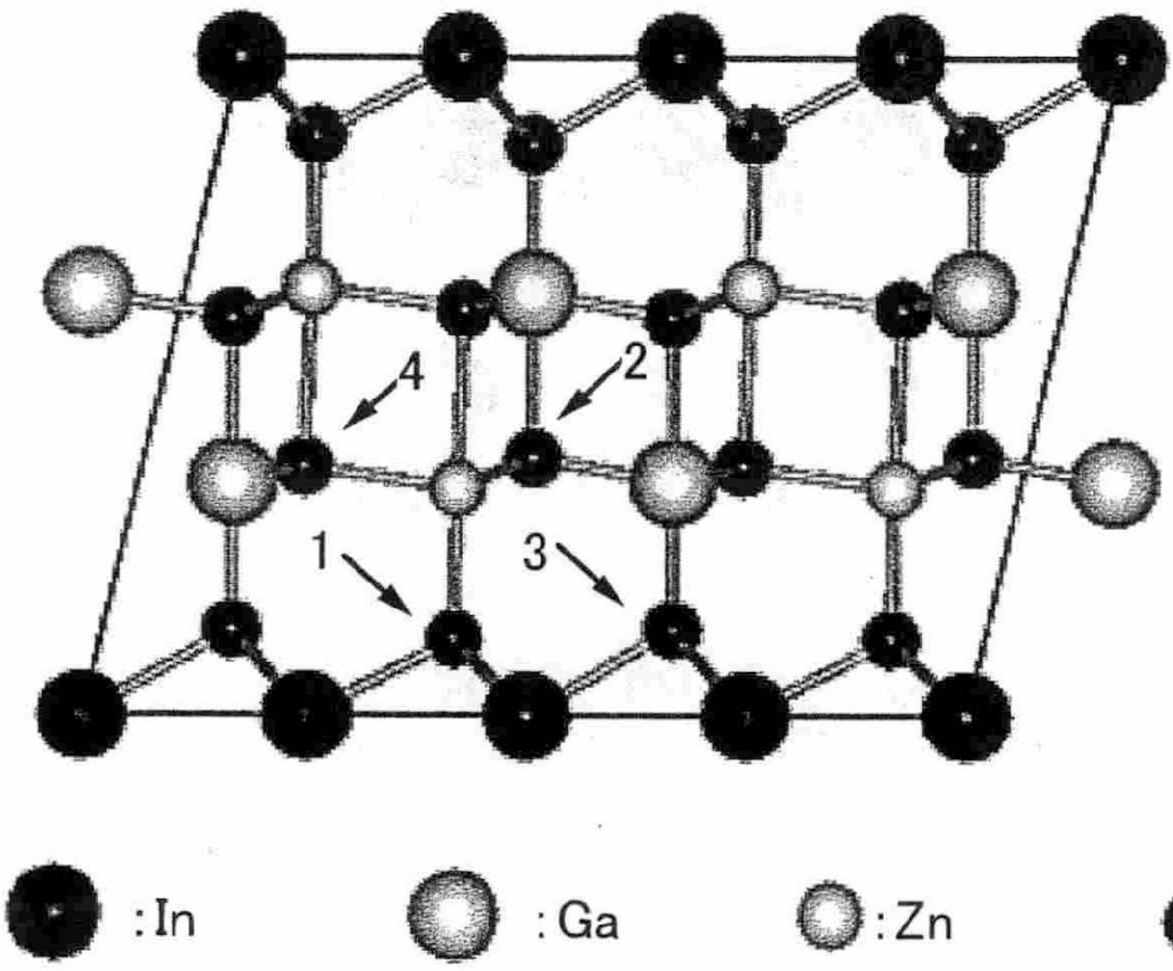


圖 36A

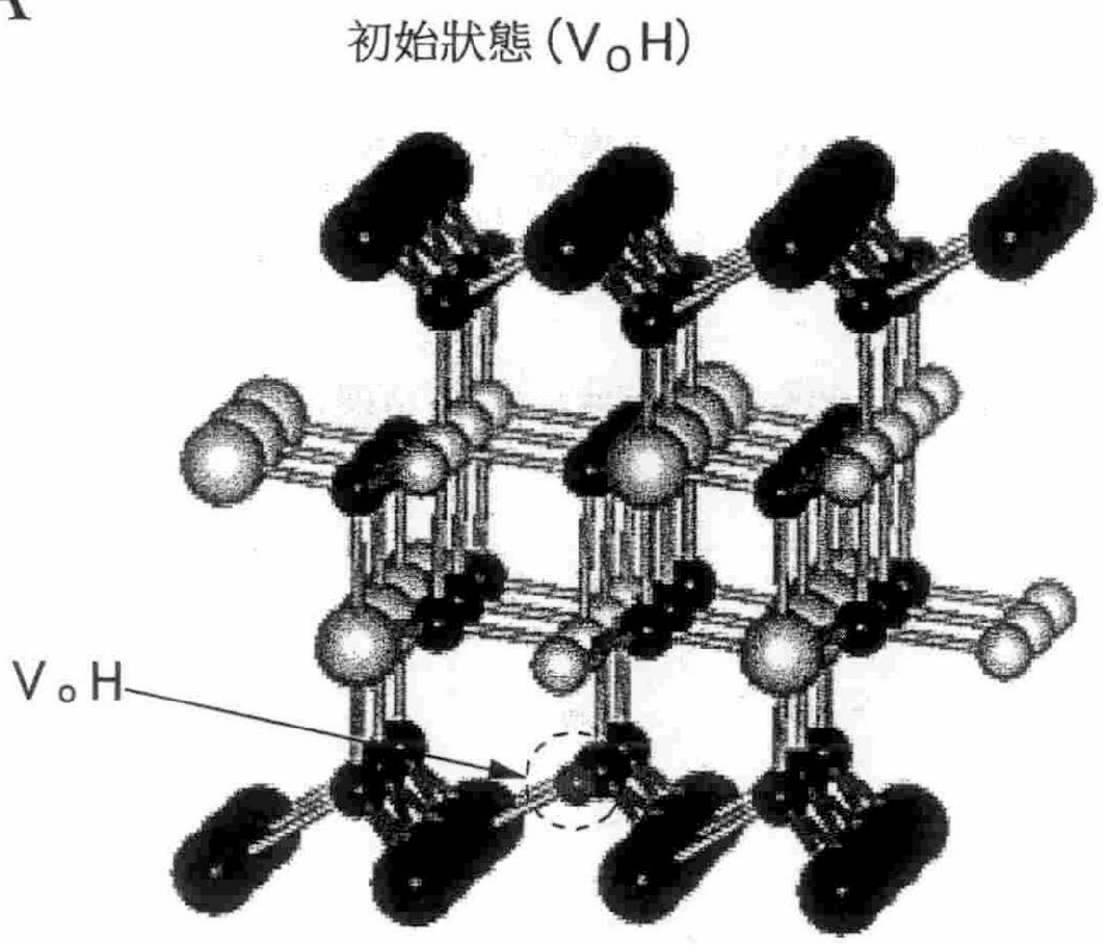


圖 36B

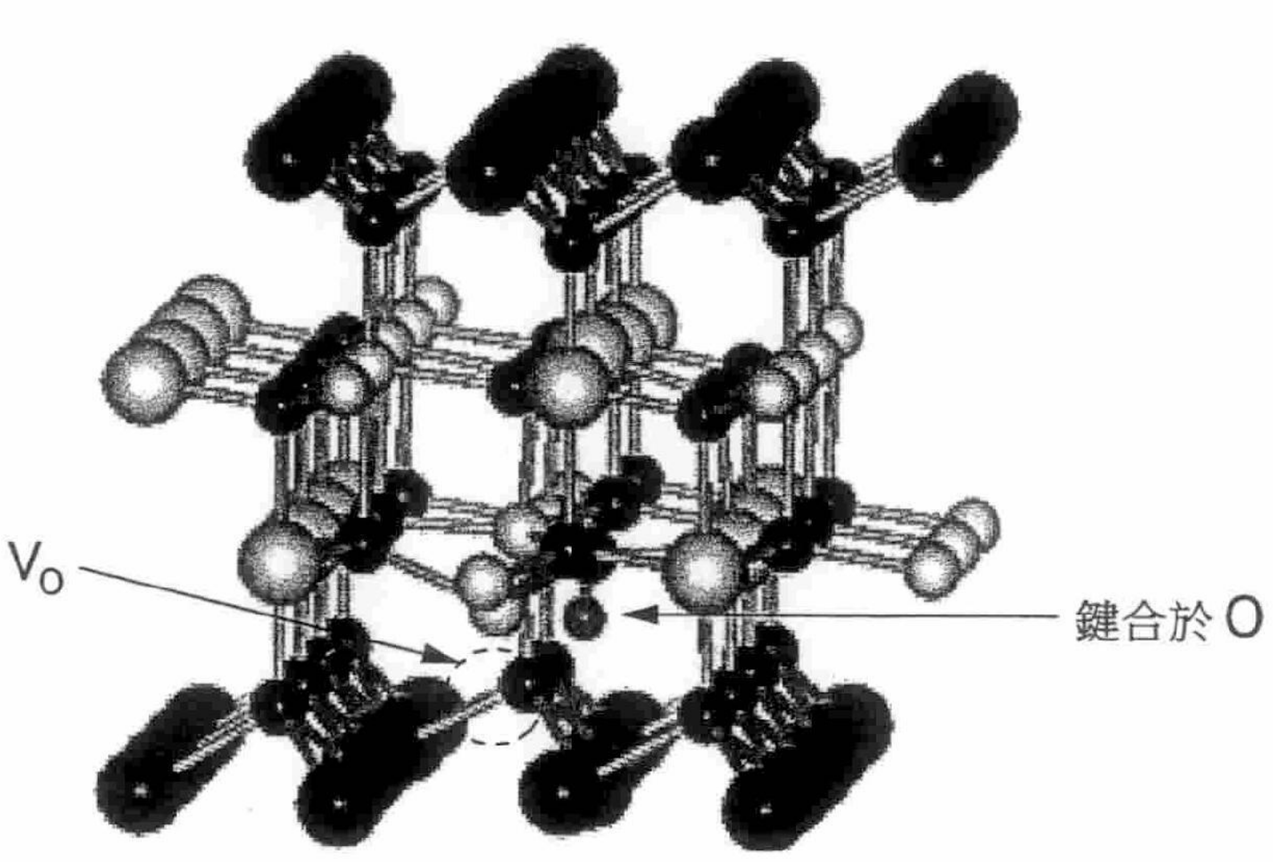
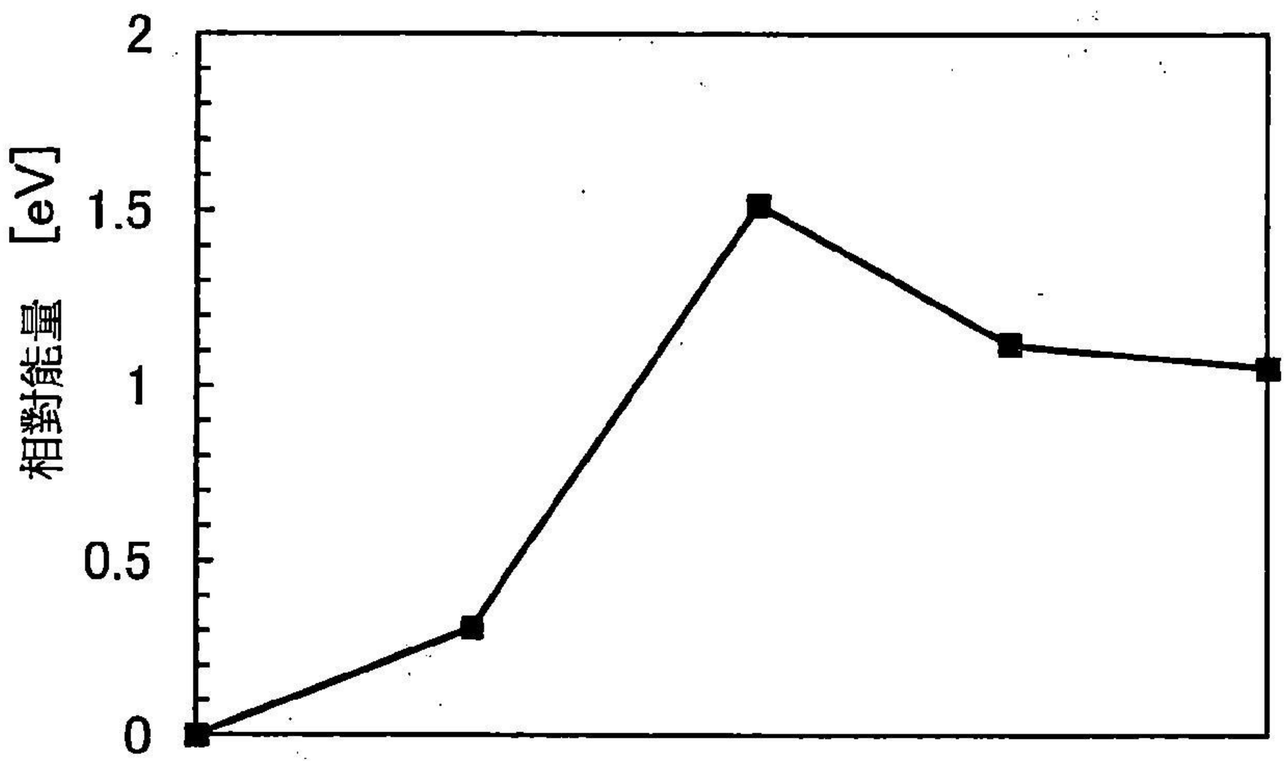


圖 37



$V_OH \longrightarrow V_O + H{-}O$

圖 38A

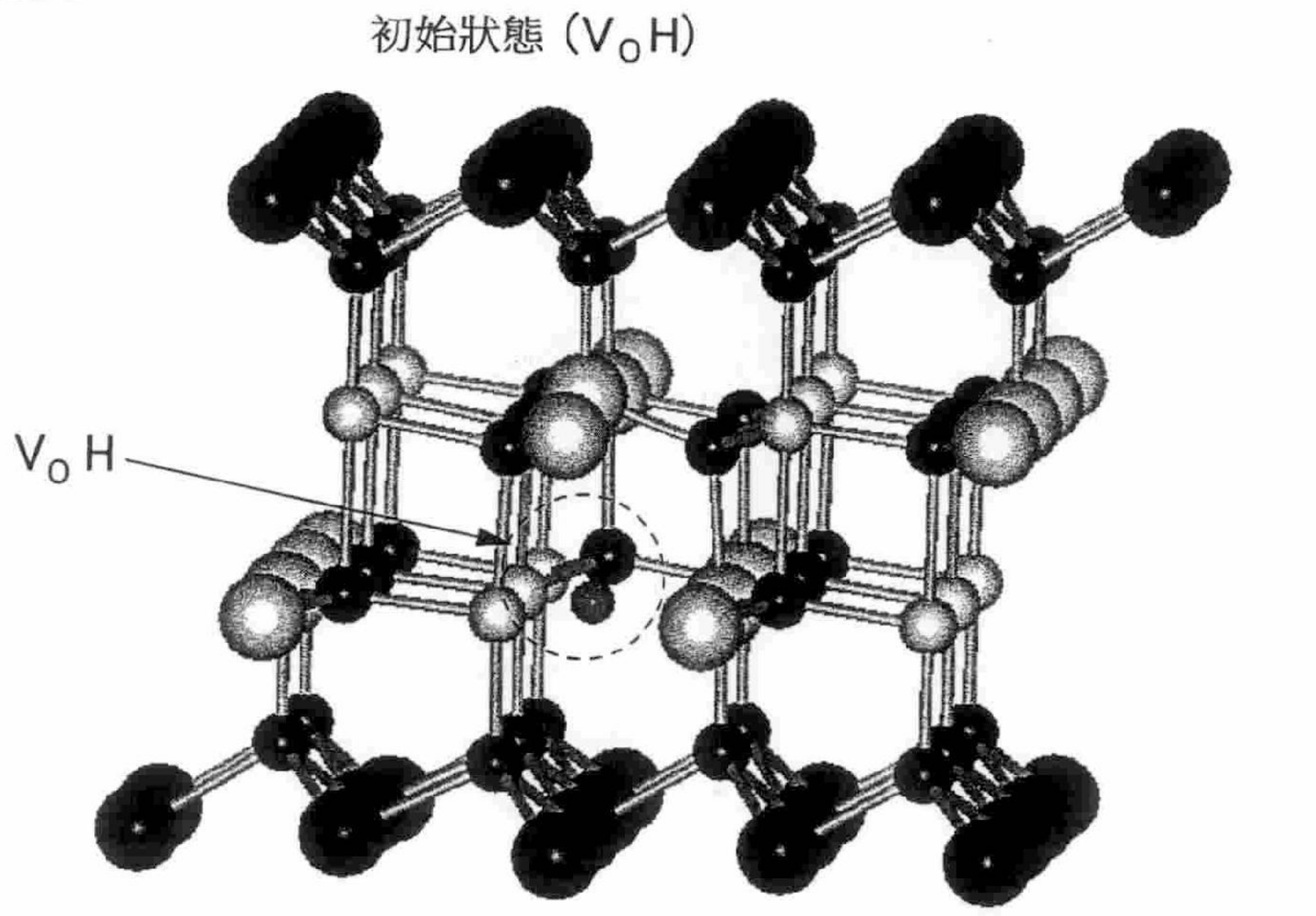


圖 38B

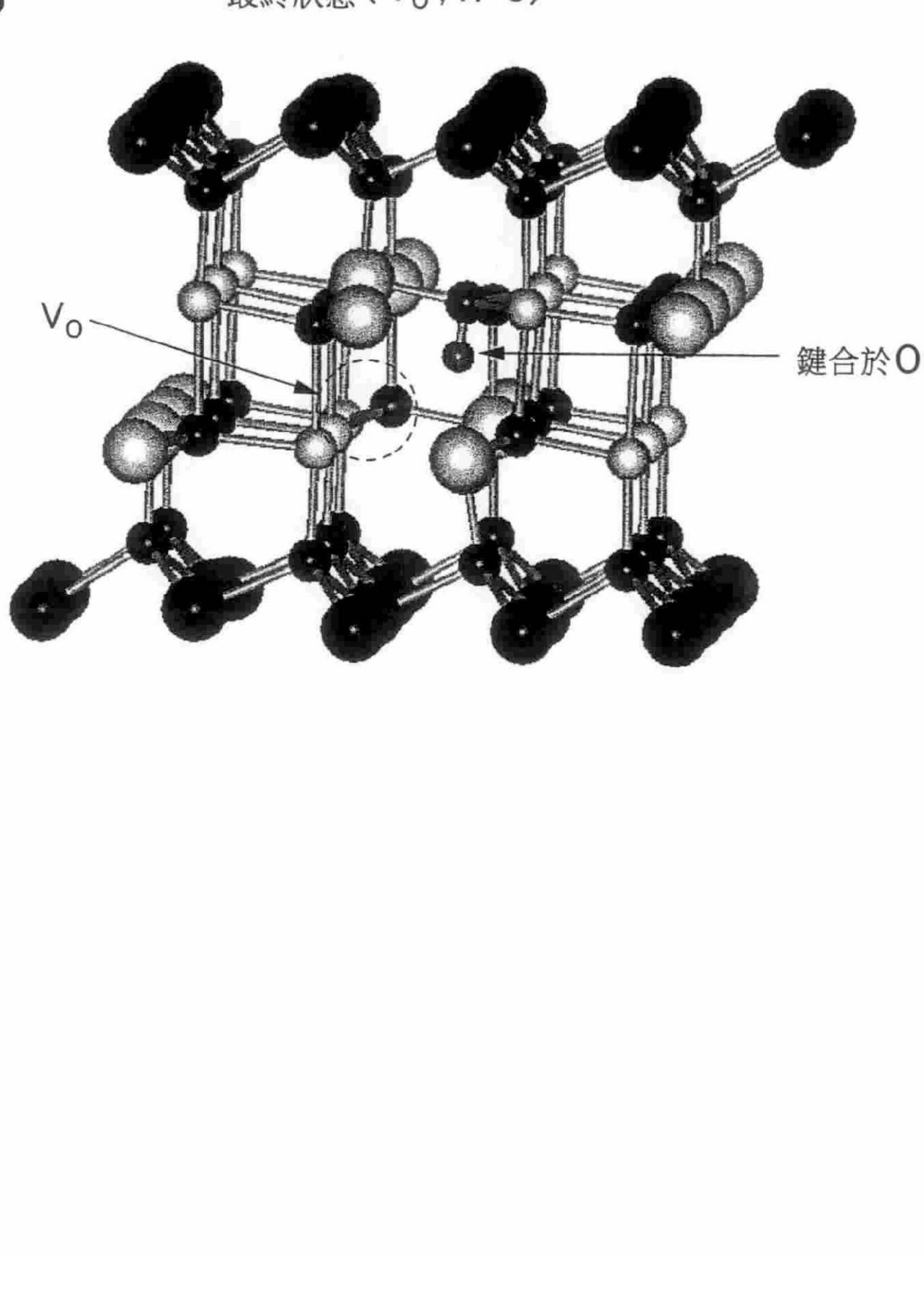


圖 39

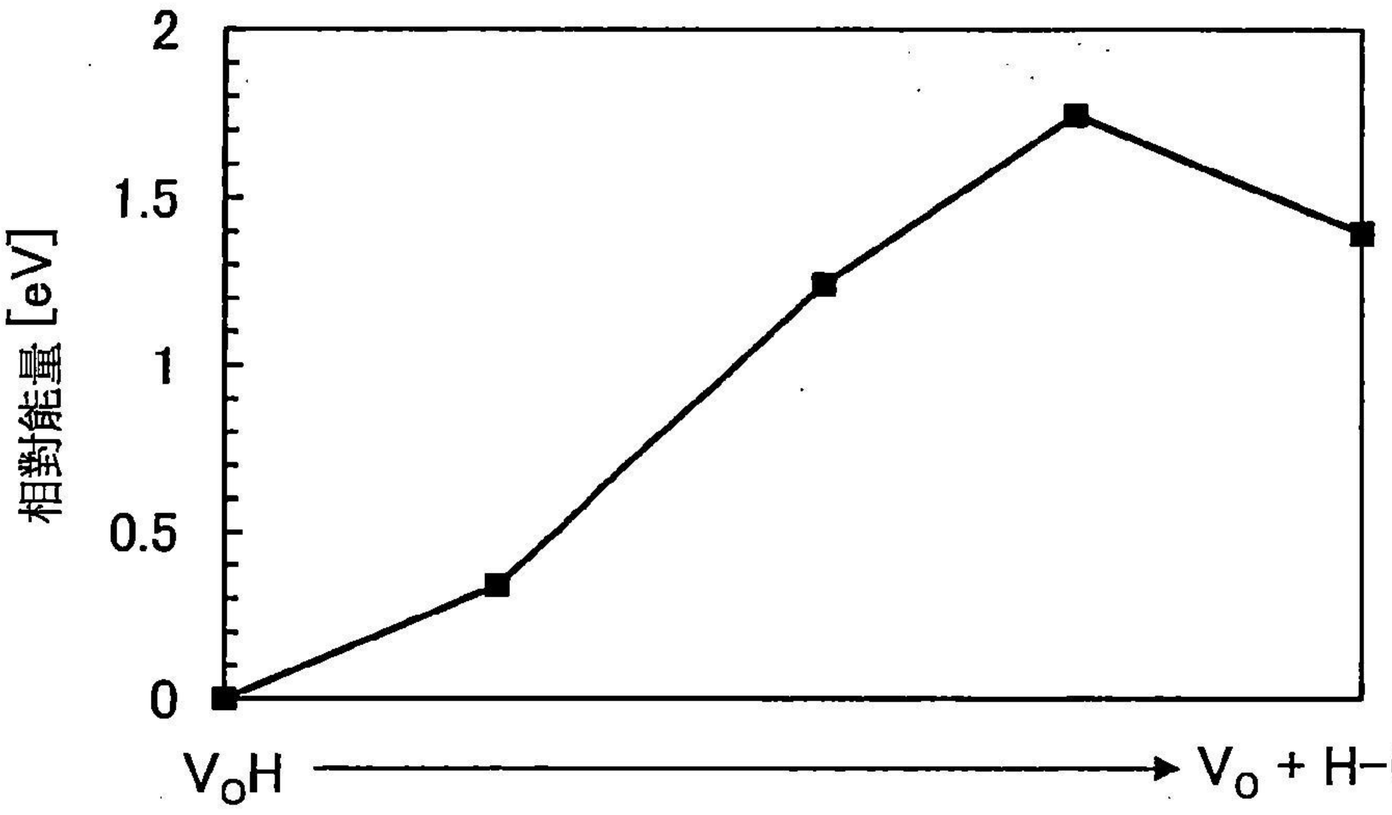


圖 40

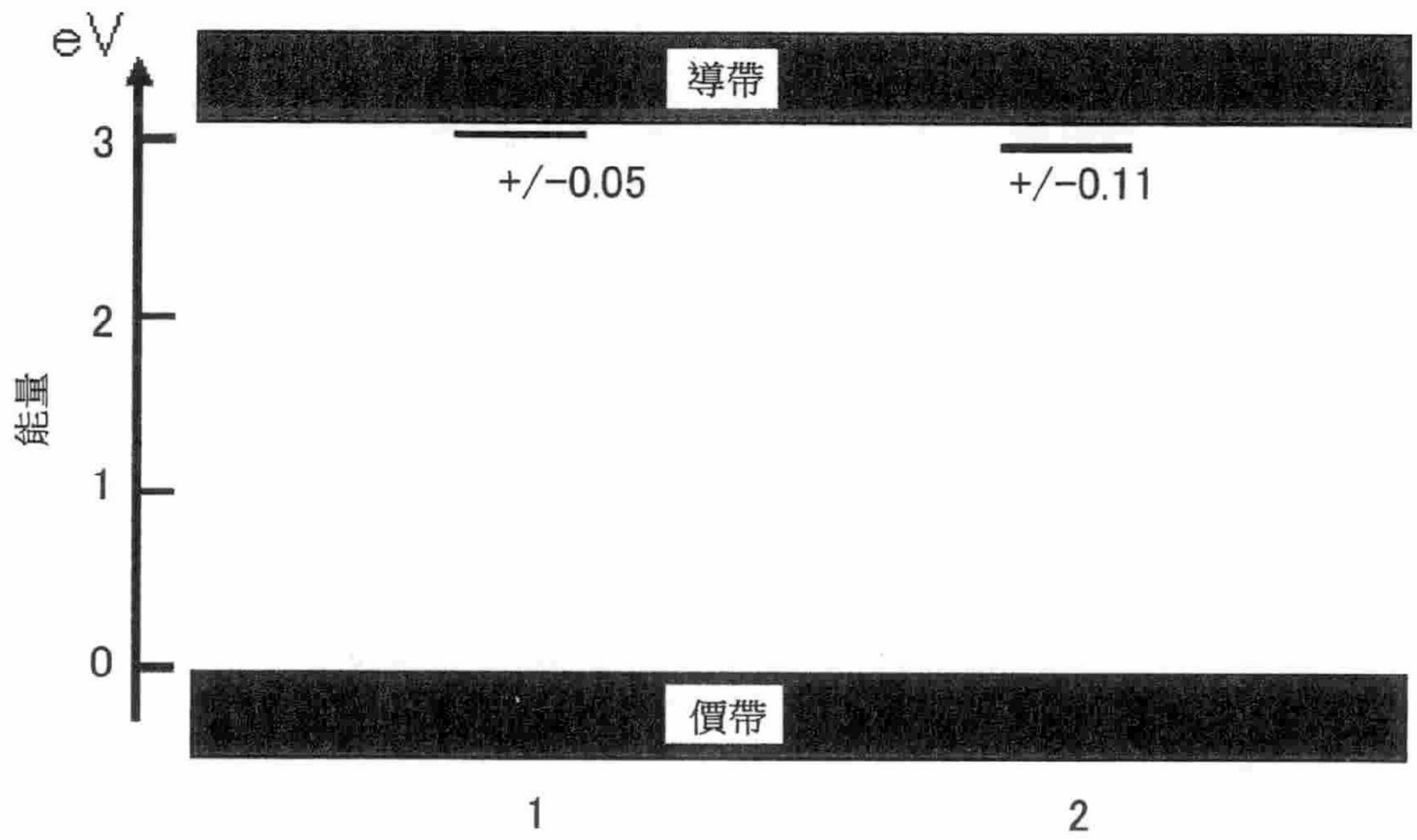


圖 41A

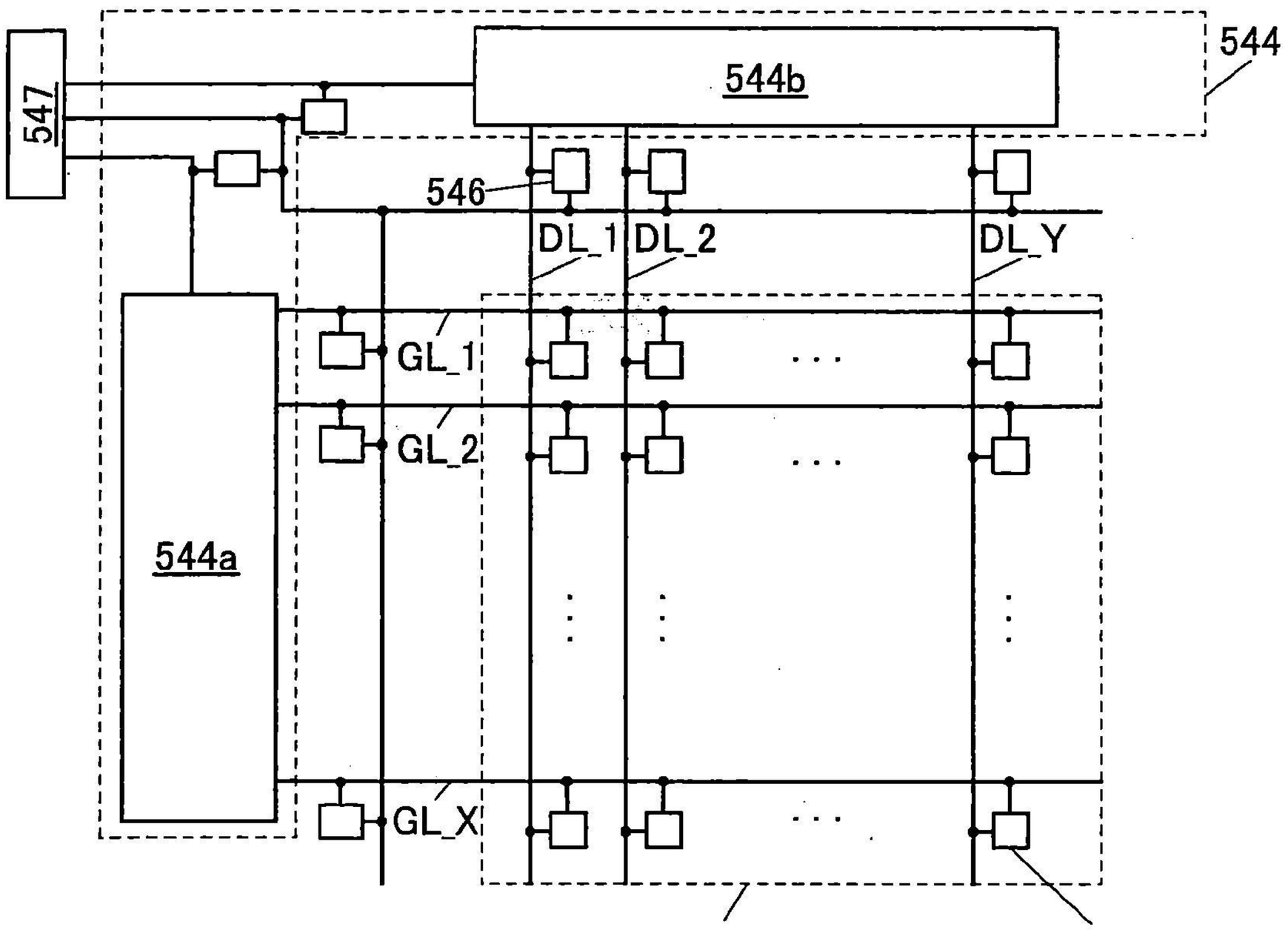


圖 41B

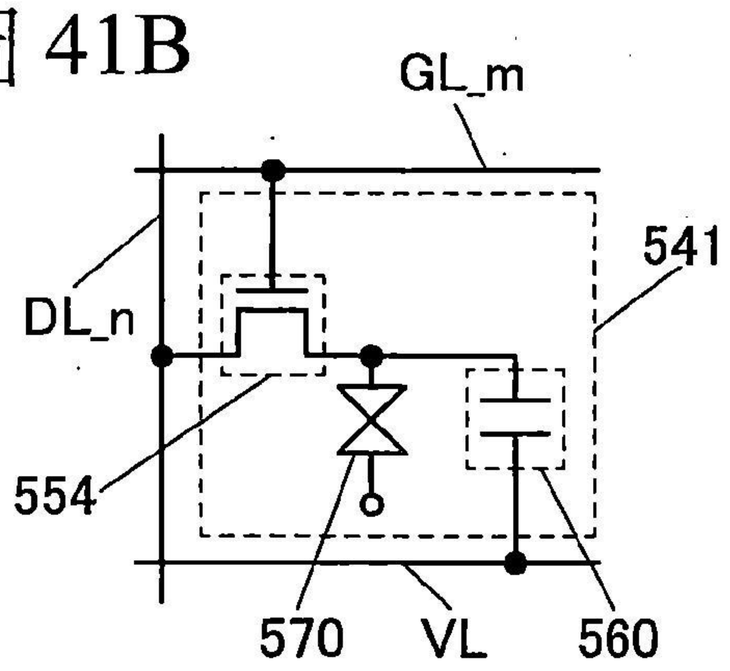


圖 41C

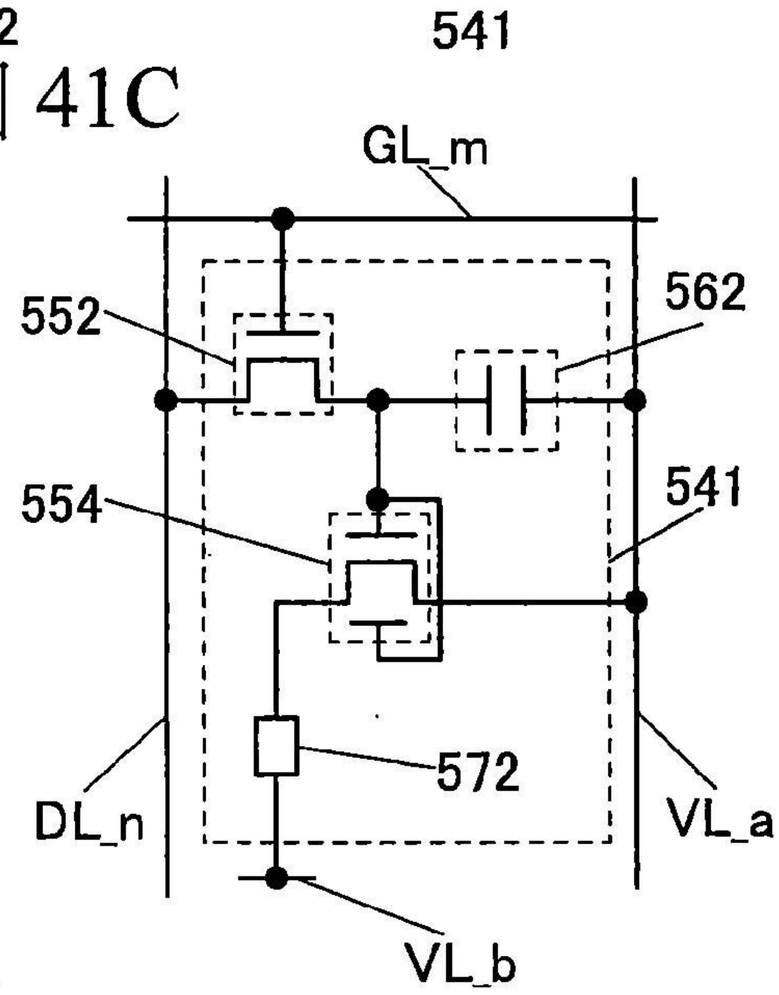


圖 41D

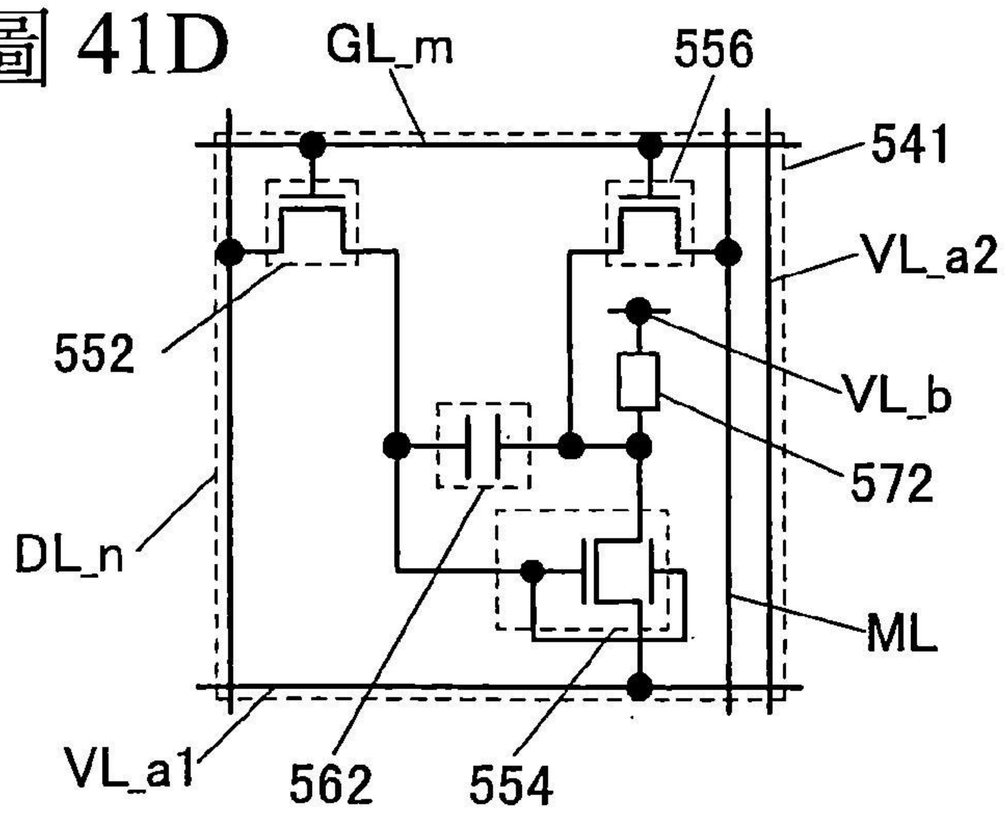
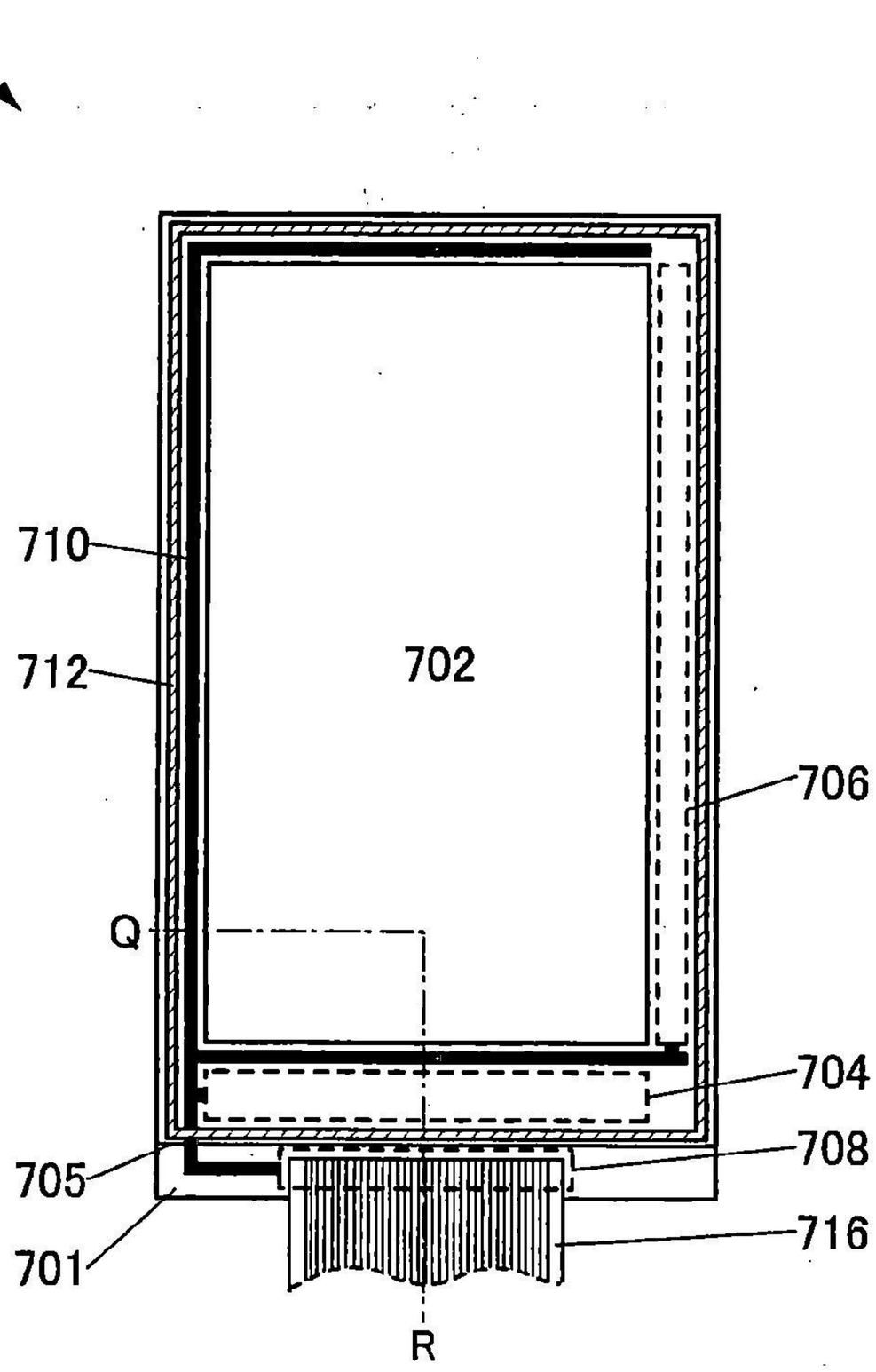


圖 42



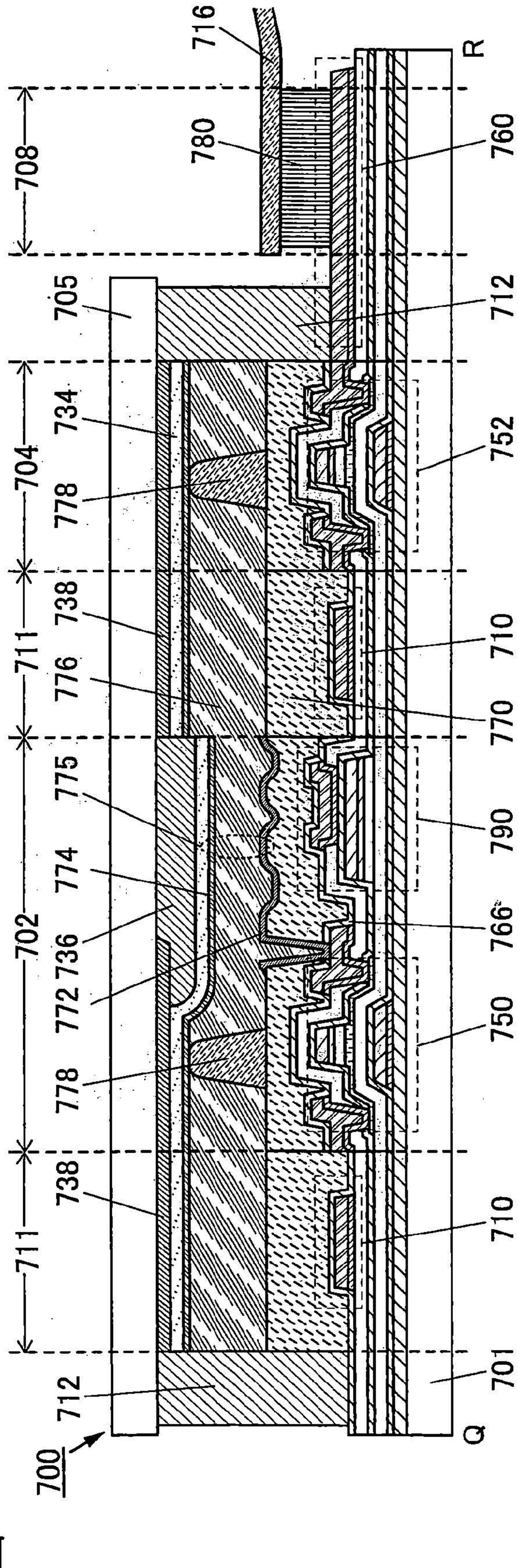

716
780
760
R
708
705
712
734
752
704
778
738
710
711
776
770
775
790
774
766
736
772
750
778
738
711
712
700
Q
701

圖 43A

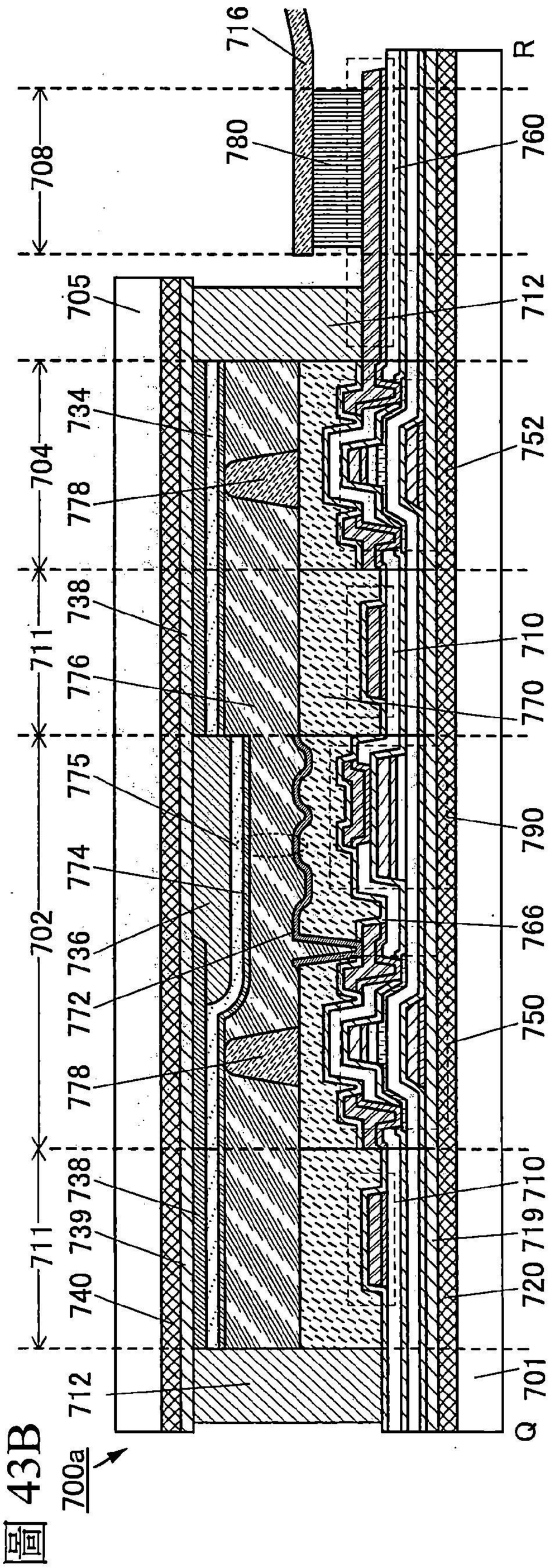

716
780
760
R
708
705
712
734
752
704
778
738
710
711
776
770
775
790
774
766
736
772
750
778
738
739
711
740
712
719
720
710
701
Q
700a

圖 43B

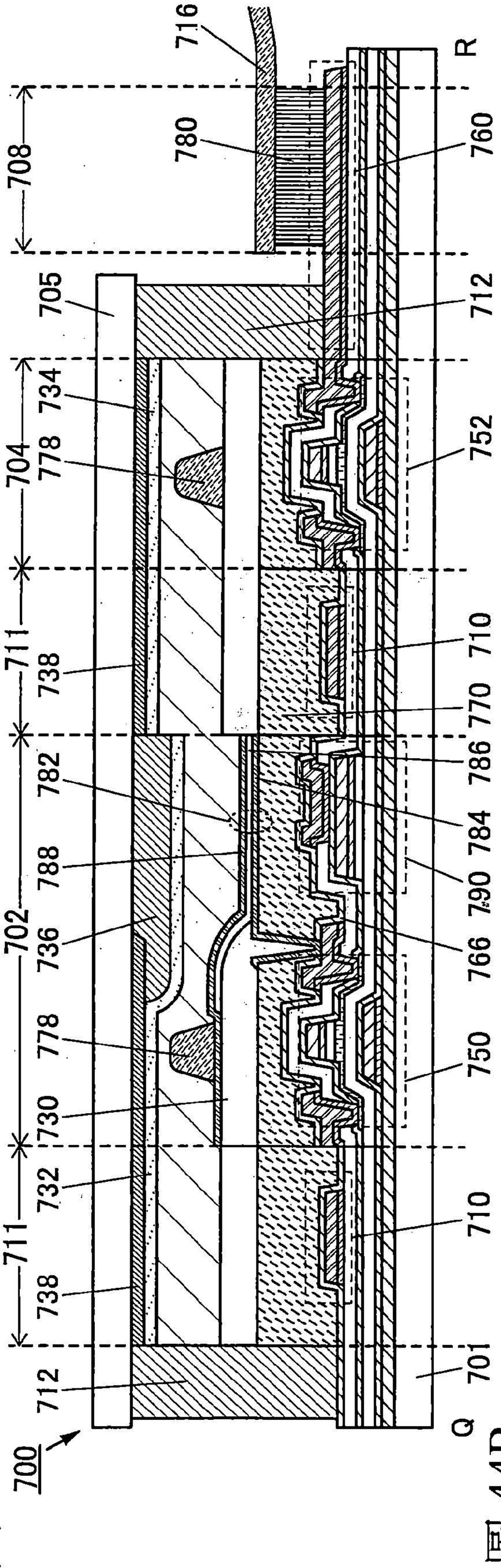

716
780
760
R
708
705
712
734
778
752
704
738
710
711
770
782
788
786
784
790
766
736
778
750
730
732
710
738
712
701
Q
700

圖 44A

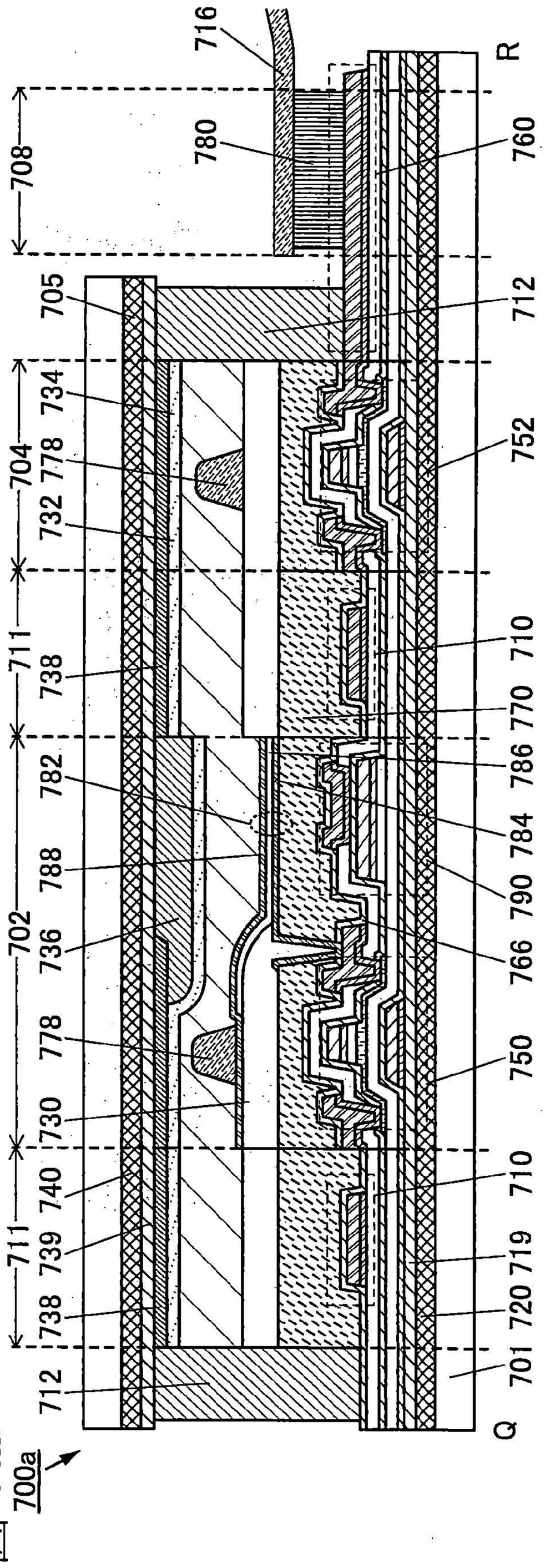

716
780
760
R
708
705
712
734
778
732
752
704
738
710
711
770
782
788
786
784
790
766
736
778
750
730
740
739
710
719
738
720
712
701
Q
700a

圖 44B

圖 45

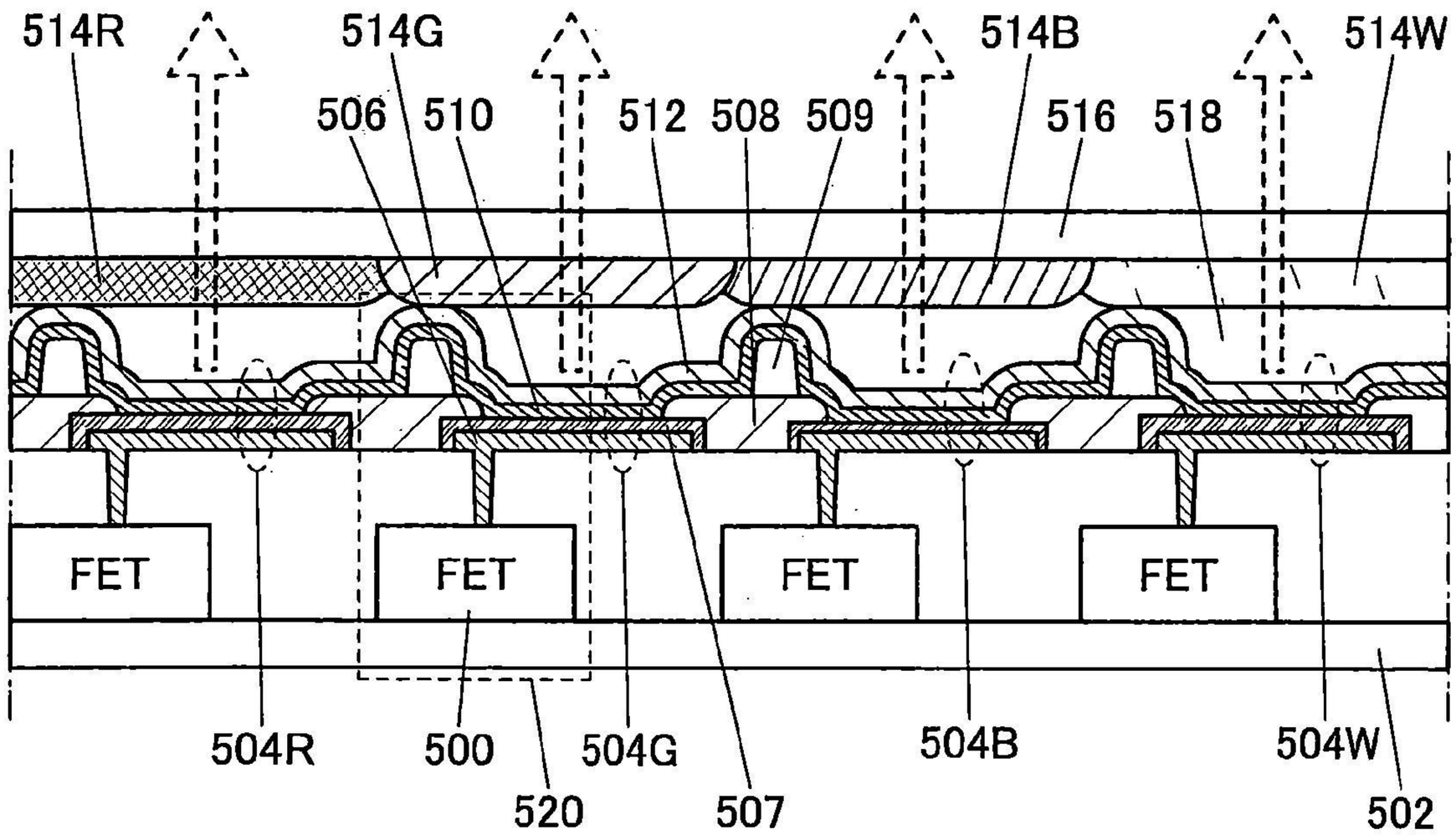

514R
514G
514B
514W
506
510
512
508
509
516
518
FET
FET
FET
FET
504R
500
504G
504B
504W
520
507
502

圖 46

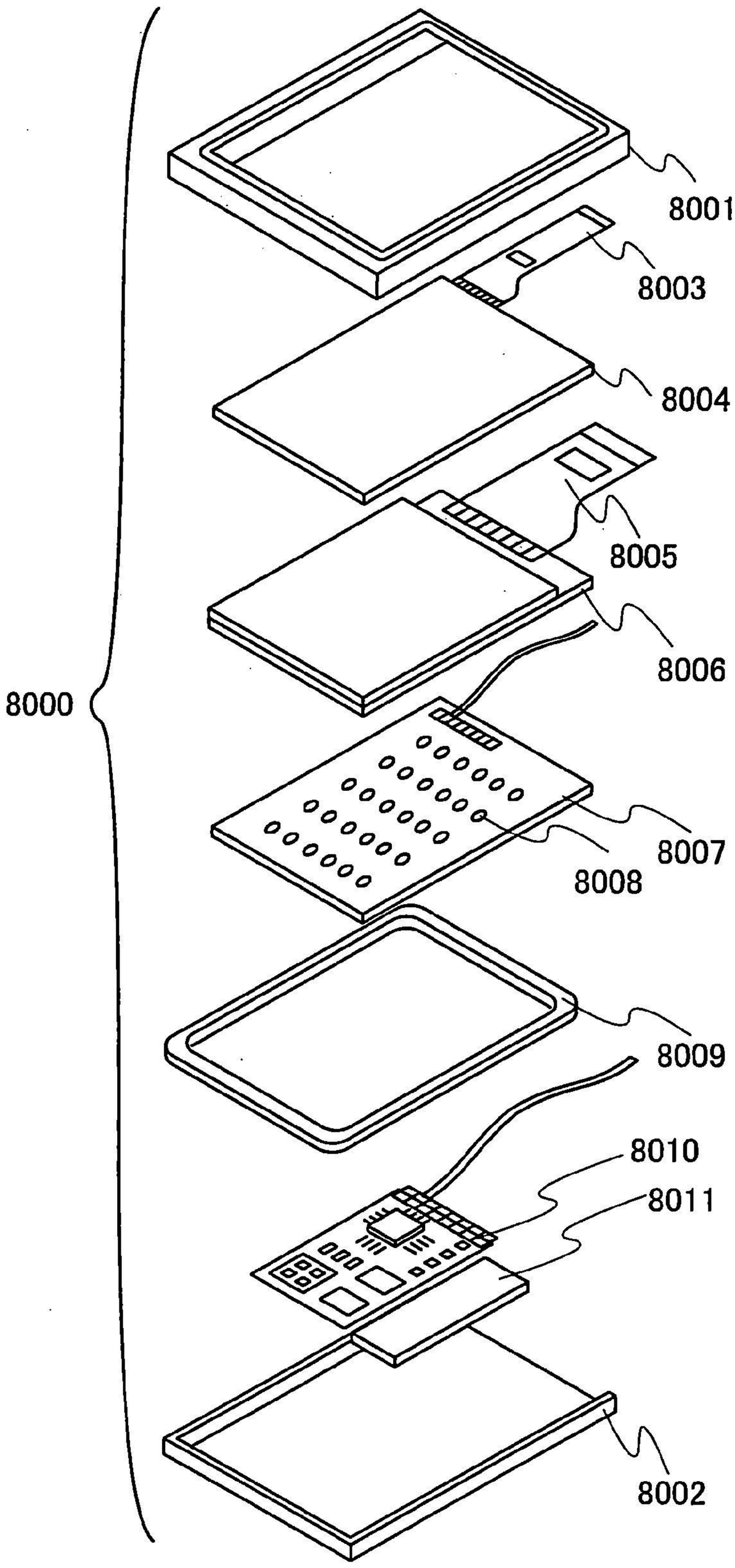


圖 47A

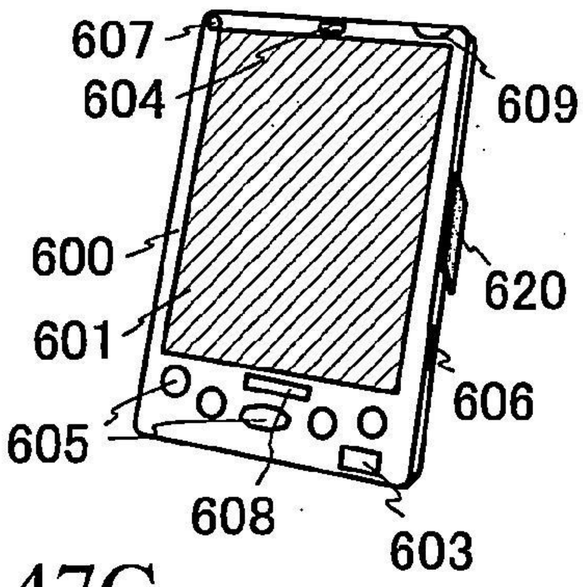


圖 47B

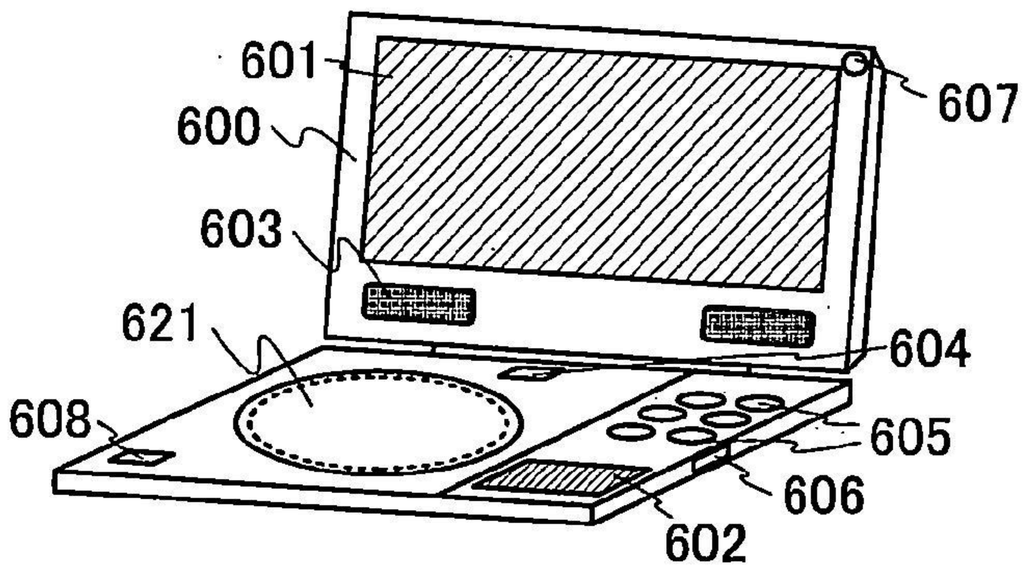


圖 47C

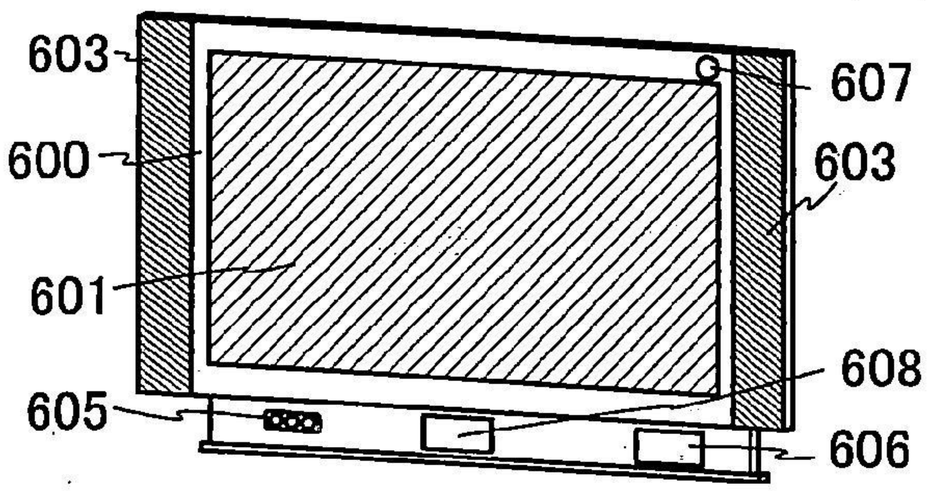


圖 47D

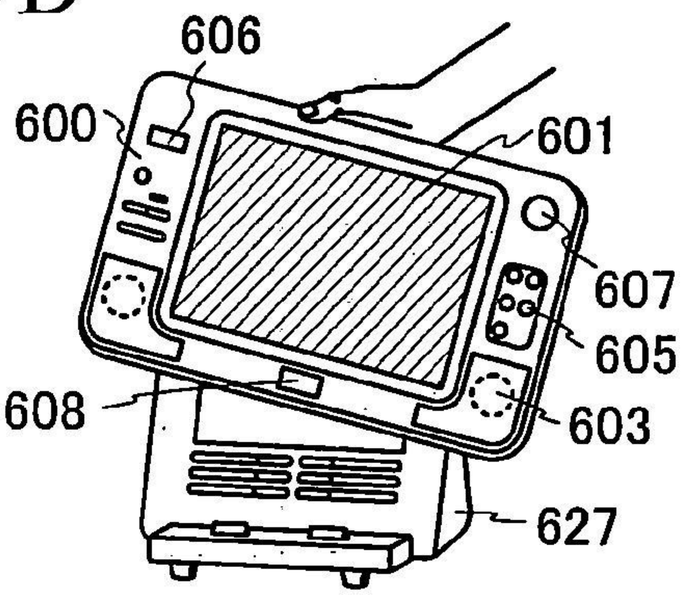


圖 47E

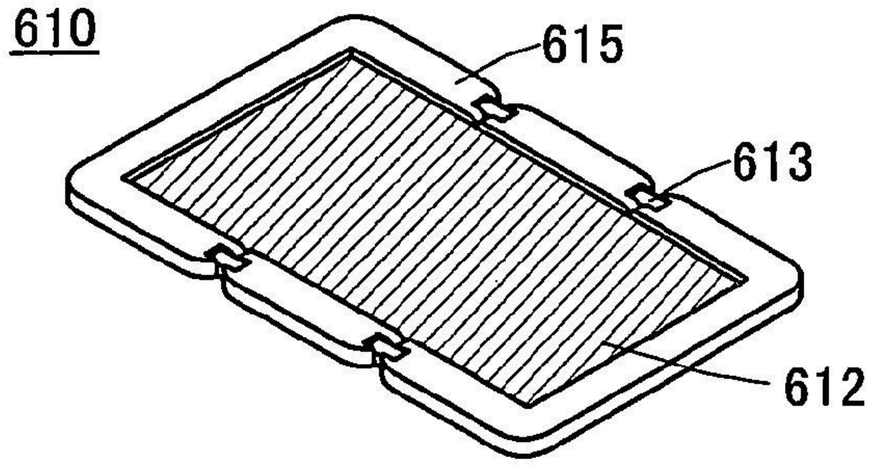


圖 47F

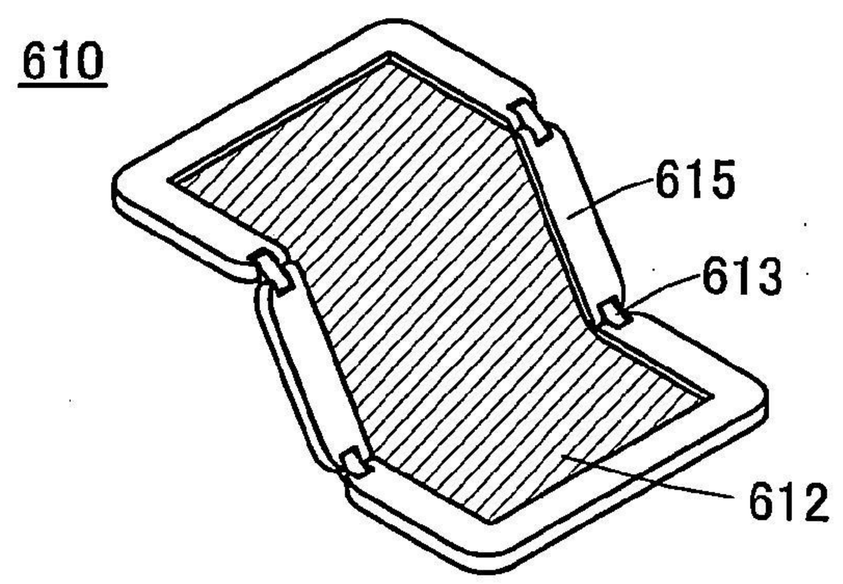


圖 47G

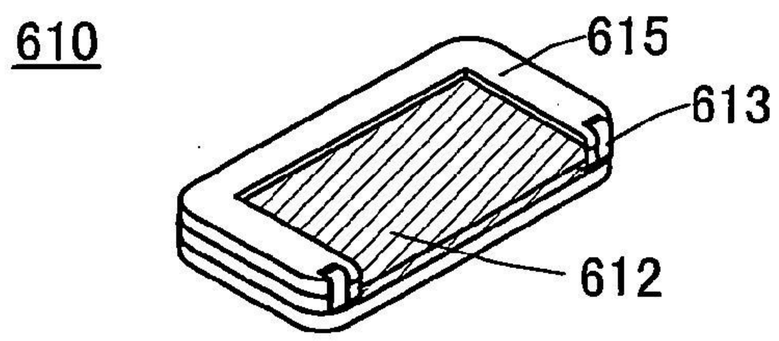


圖 48

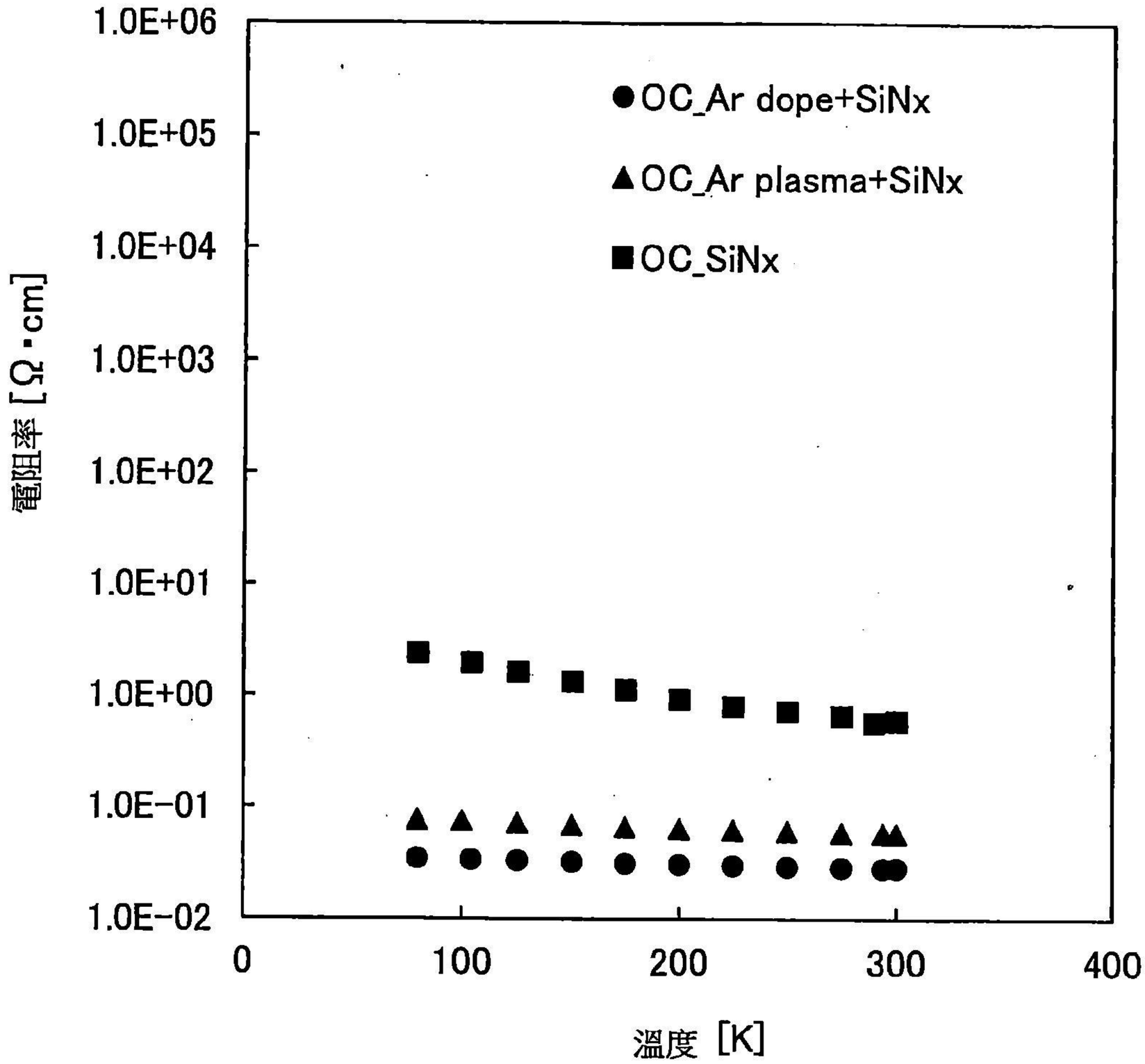

1.0E+06
1.0E+05
1.0E+04
1.0E+03
1.0E+02
1.0E+01
1.0E+00
1.0E-01
1.0E-02
電阻率 [Ω・cm]
●OC_Ar dope+SiNx
▲OC_Ar plasma+SiNx
■OC_SiNx
0
100
200
300
400
溫度 [K]

圖 49A

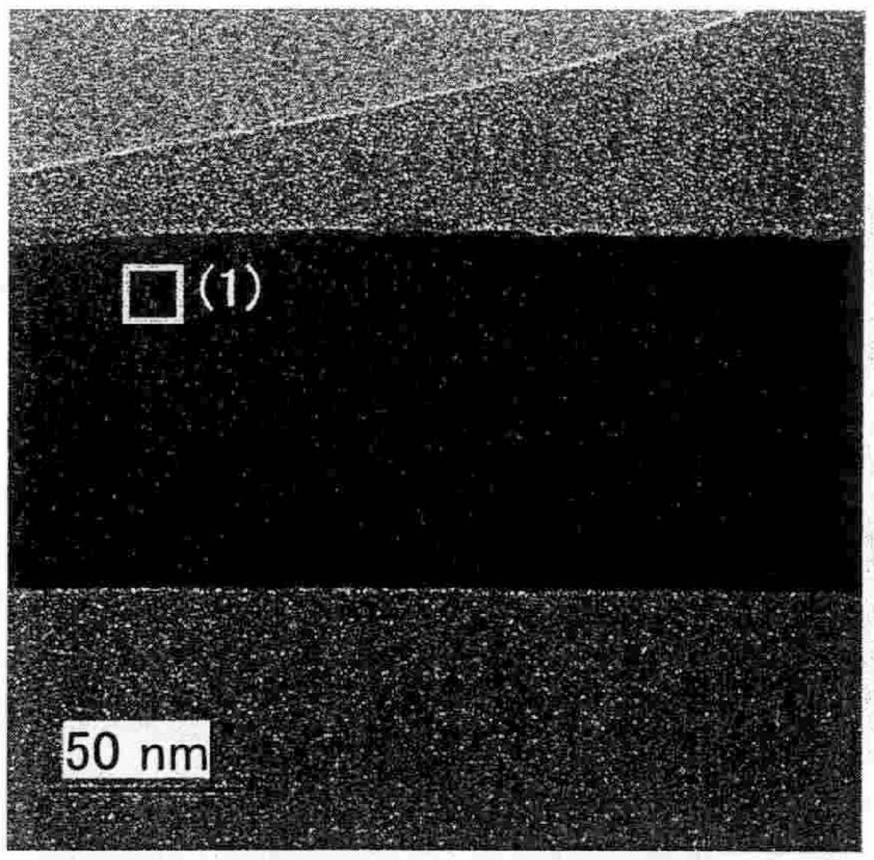


圖 49B

圖 49C

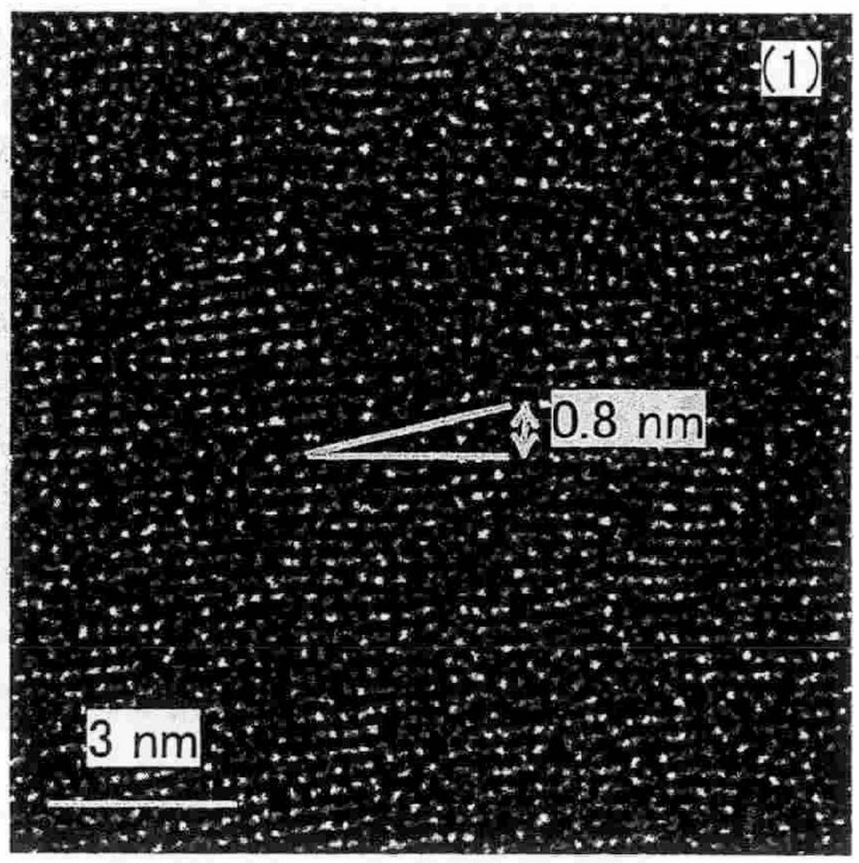


圖 49D

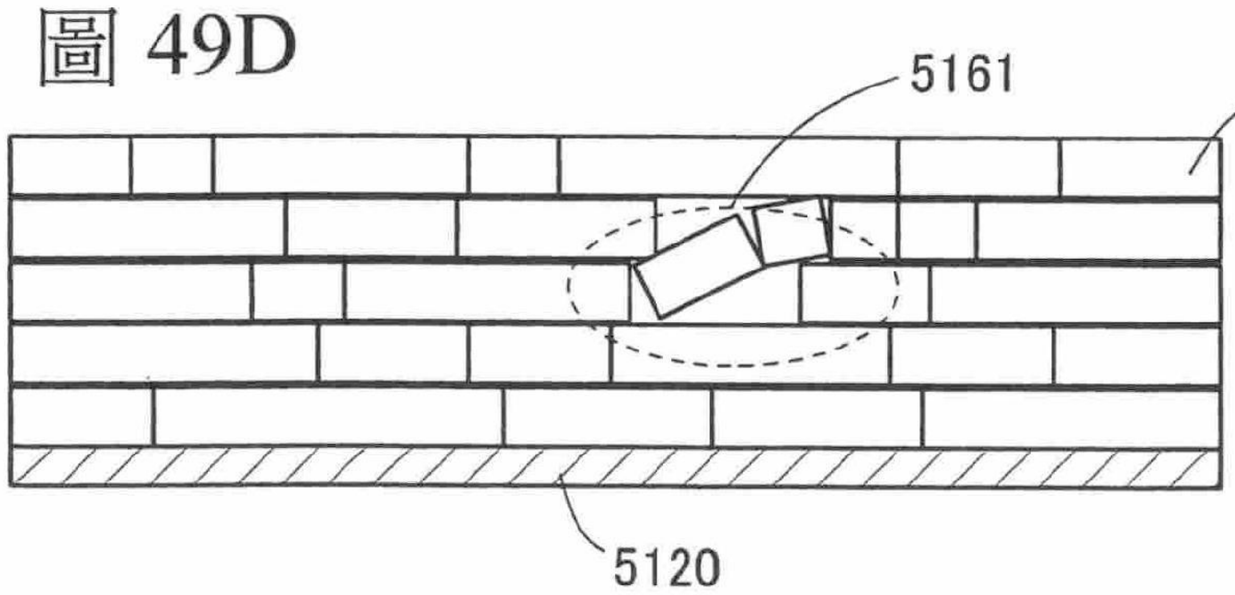


圖 50A

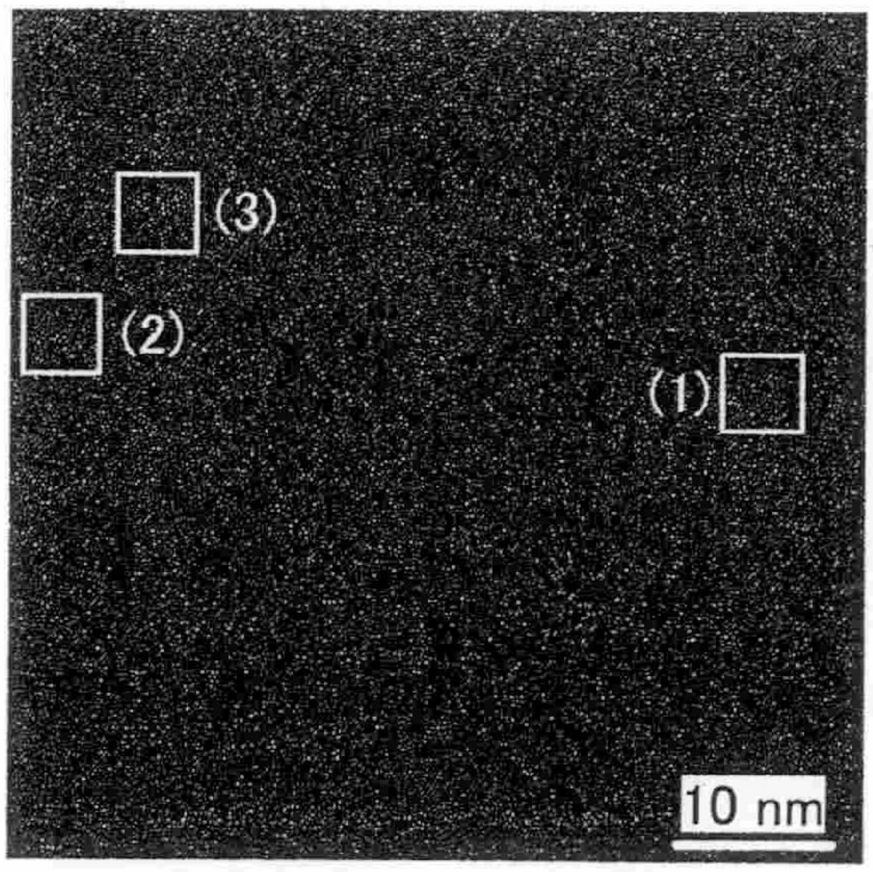


圖 50B

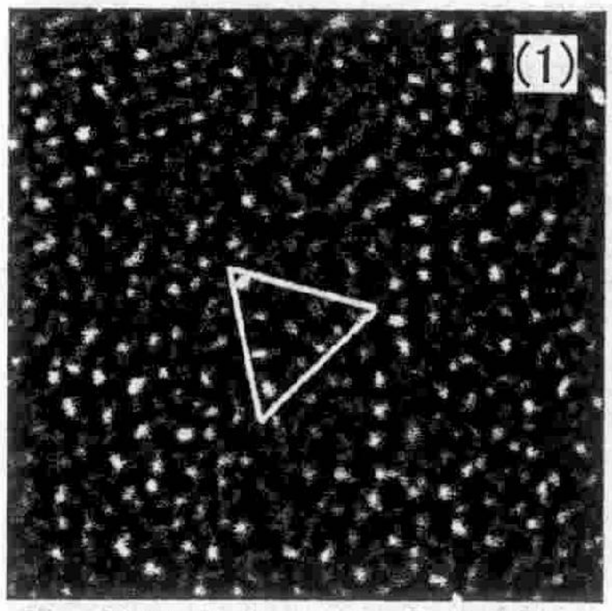


圖 50C

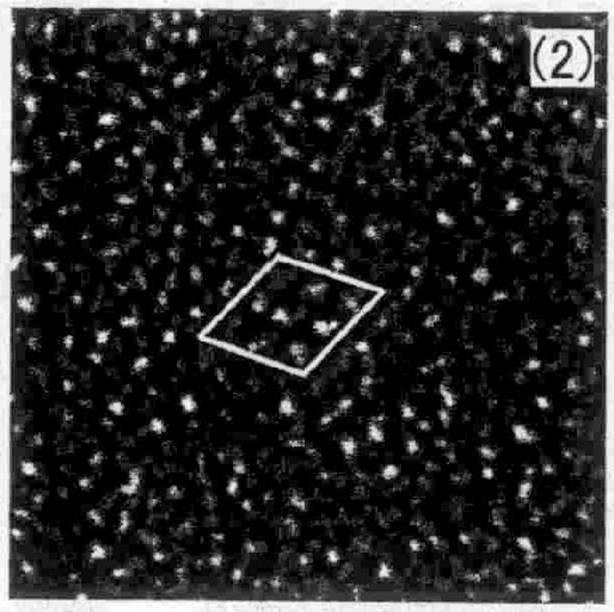


圖 50D

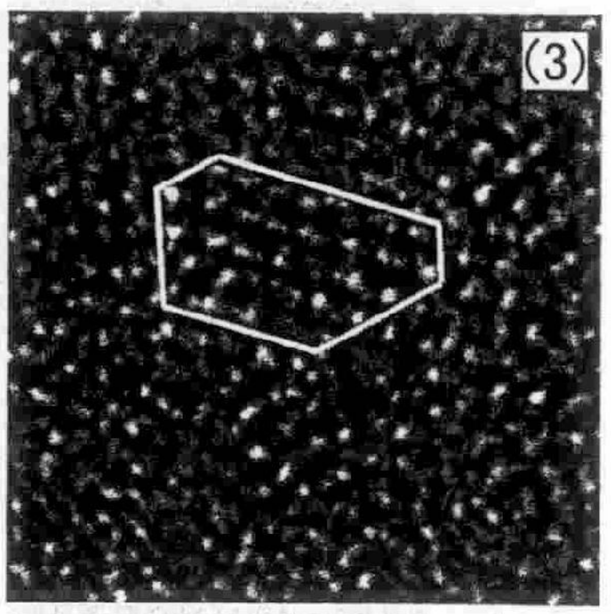


圖 51A

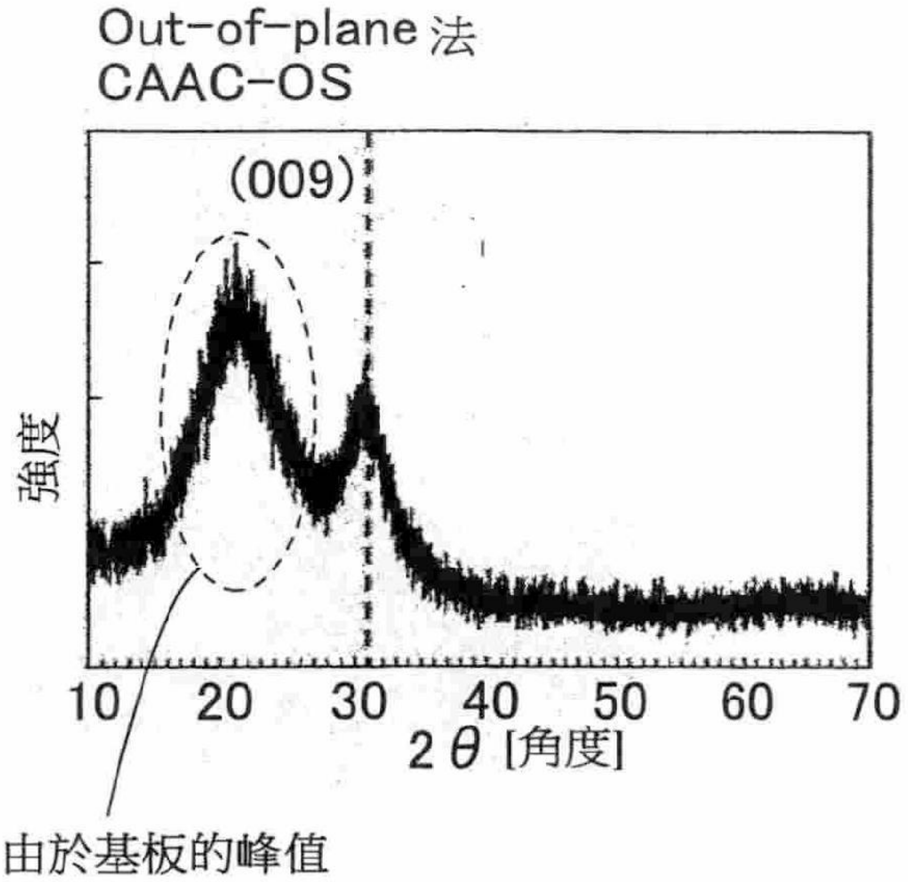


圖 51B

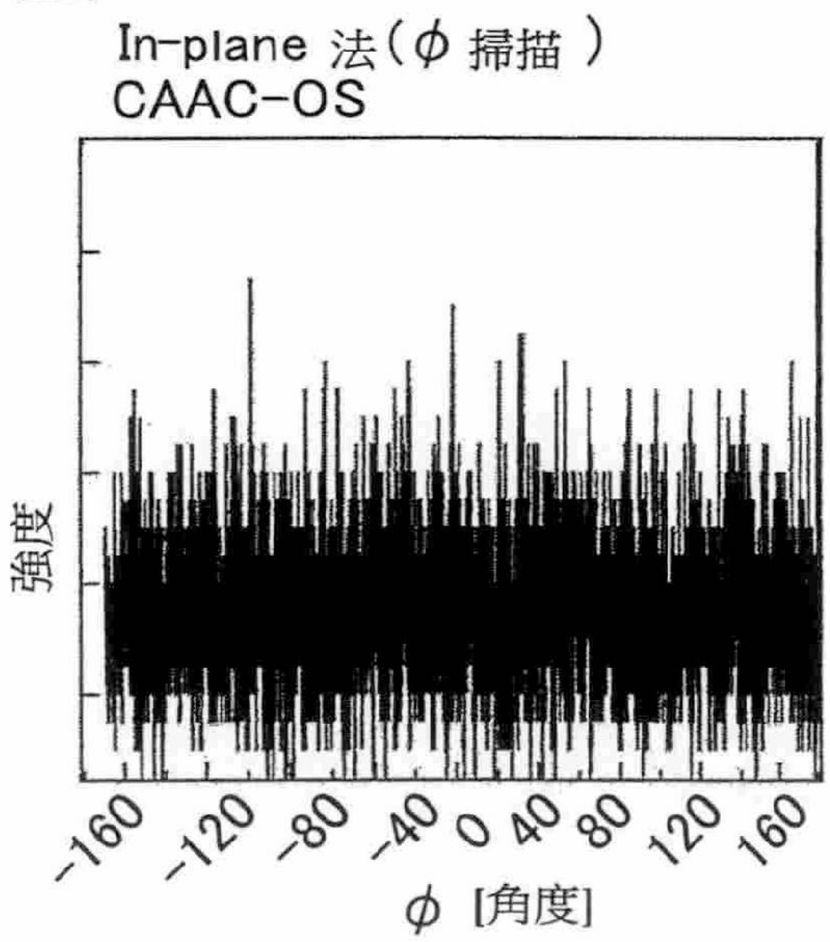


圖 51C

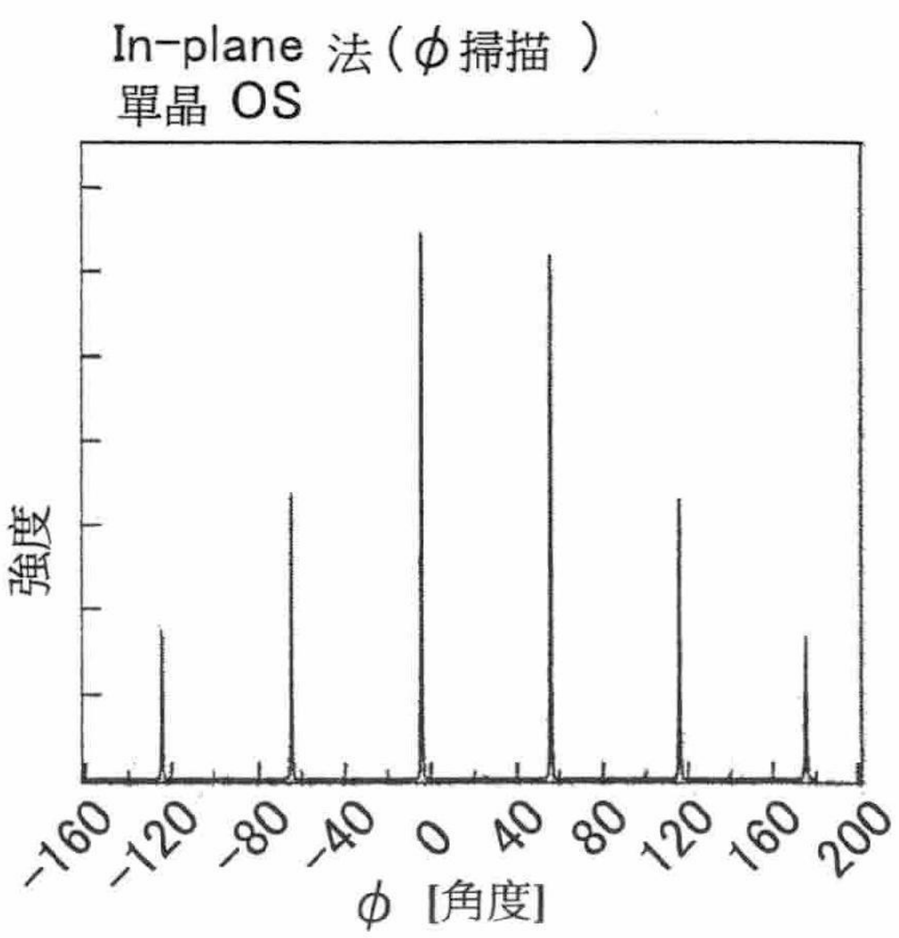
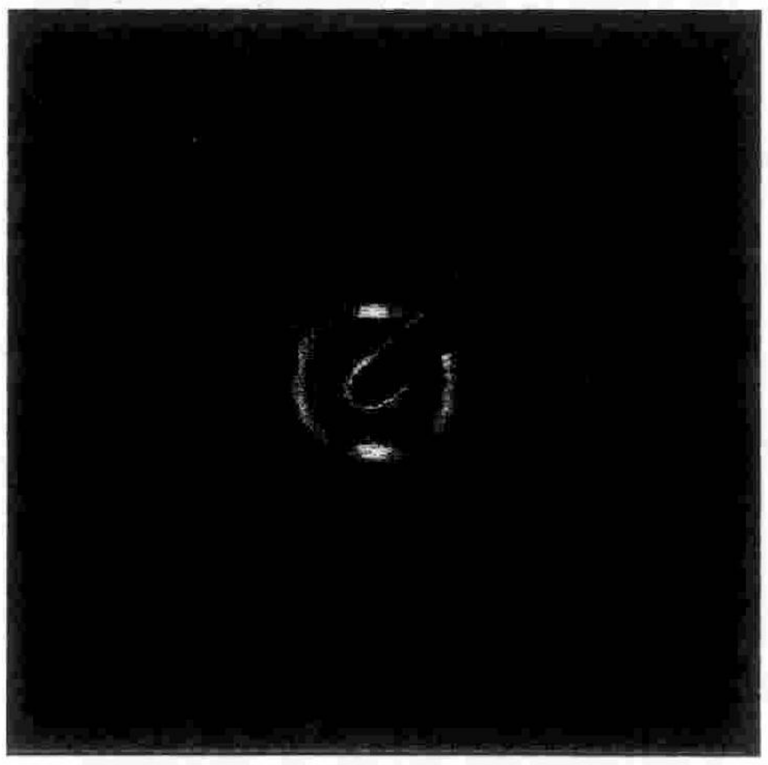
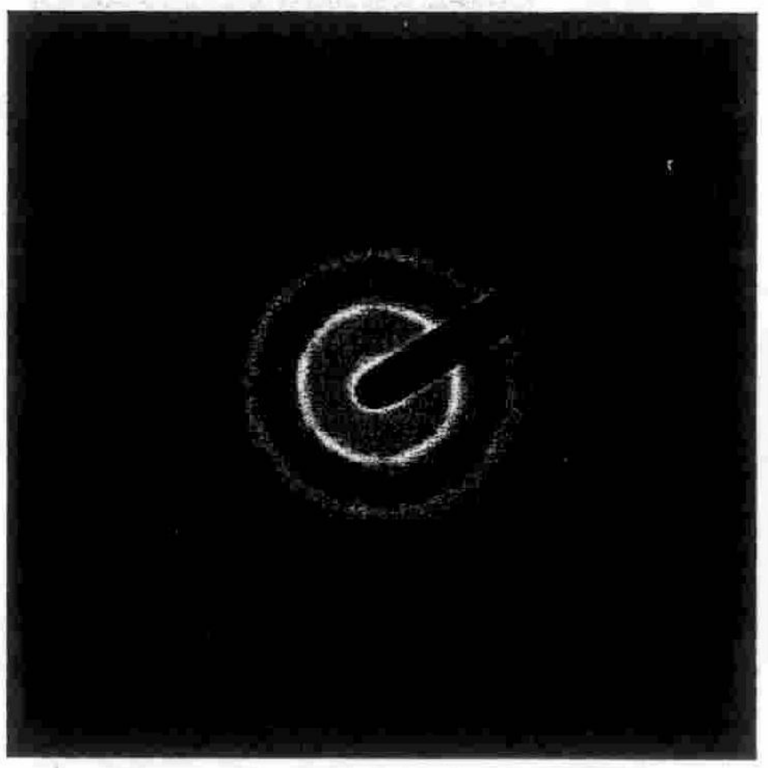


圖 52A



樣本入射平行於樣本面的電子線

圖 52B



樣本入射垂直於樣本面的電子線

圖 53