

公告本

申請日期: 91-10-2

案號: 91122732

類別: G11C 11/15, G11C 11/16

(以上各欄由本局填註)

發明專利說明書

594730

一、發明名稱	中文	薄膜磁性體記憶裝置
	英文	Thin Film Magnetic Memory Device
二、發明人	姓名 (中文)	1. 日高秀人
	姓名 (英文)	1. Hideto HIDAKA
	國籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內
三、申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. Mitsubishi Denki Kabushiki Kaisha (三菱電機株式會社)
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 野間口有
	代表人 姓名 (英文)	1. Tamotsu NOMAKUCHI

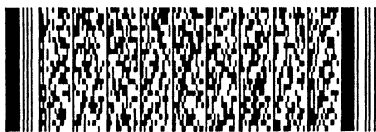


本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	2001/10/25	2001-327690	有
日本 JP	2002/03/14	2002-070583	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

【發明之背景】

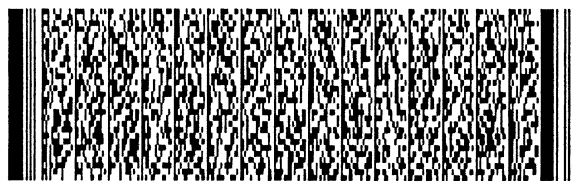
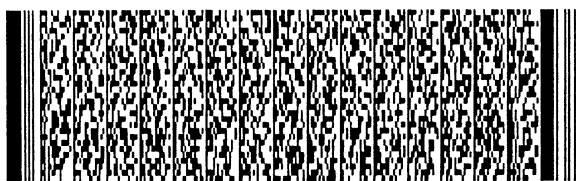
【發明之領域】

本發明係關於一種薄膜磁性體記憶裝置；更加特定而言，本發明係關於一種具備具有磁性隧道接面(MTJ：Magnetic Tunnel Junction)之記憶單元之隨機存取記憶體。

【背景技術之說明】

作為藉由低消耗電力而能夠進行非揮發性資料記憶的記憶裝置，MRAM(Magnetic Random Access Memory：磁性隨機存取記憶體)元件正受到重視。MRAM元件係使用形成在半導體積體電路之複數個薄膜磁性體而進行非揮發性資料記憶並且能夠對於各個薄膜磁性體進行隨機存取的記憶裝置。

特別是在近年來，發表藉由使用利用磁性隧道接面之薄膜磁性體而作為記憶單元以便於使得MRAM元件之性能呈大幅度地進步。就具備具有磁性隧道接面之記憶單元之MRAM元件而言，揭示在"A 10ns Read and Write Non-Volatile(非揮發性) Memory Array(記憶體陣列) Using a Magnetic Tunnel Junction(磁性隧道接面) and FET(場效電晶體) Switch(開關) in each Cell(電池)"、ISSCC Digest(文摘) of Technical Papers(技術論文)，TA7.2, Feb. 2000.、"Nonvolatile RAM based on(根據) Magnetic Tunnel Junction Elements(原理)"、ISSCC Digest of Technical Papers, TA7.3, Feb. 2000.、和



五、發明說明 (2)

"A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive(磁阻) RAM", ISSCC Digest of Technical Papers, TA7.6, Feb. 2001. 等之技術文獻。

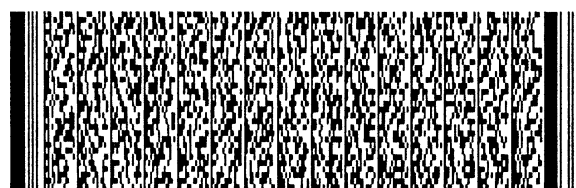
圖39係顯示具有磁性隧道接面部之記憶單元(以下、皆僅稱為「MTJ記憶單元」)之構造之概略圖。

參照圖39，MTJ記憶單元係具備：響應記憶資料位準而改變電阻之隧道磁性電阻元件TMR以及用以在資料讀出時形成通過隧道磁性電阻元件TMR之讀出電流 I_s 通路之存取元件ATR。存取元件ATR係代表性地藉由場效型電晶體所形成，在以下，也稱呼存取元件ATR為存取電晶體ATR。存取電晶體ATR係耦合在隧道磁性電阻元件TMR和固定電壓(接地電壓GND)間。

配置用以對於MTJ記憶單元指示資料寫入的寫入字線WWL和用以實行資料讀出的讀出字線RWL以及成為用以在資料讀出和資料寫入而傳達對應於記憶資料之資料位準之電氣訊號之資料線的位元線BL。

圖40係說明來自MTJ記憶單元之資料讀出動作之概念圖。

參照圖40，隧道磁性電阻元件TMR係具有：具有固定之一定磁化方向之強磁性體層(以下、也僅稱為「固定磁化層」)FL、沿著配合來自外部之施加磁場之方向而進行磁化之強磁性體層(以下、也僅稱為「自由磁化層」)VL、以及用以對於固定磁化層FL之磁化方向進行固定之反強磁性體層AFL。在固定磁化層FL和自由磁化層VL間，設置藉由



五、發明說明 (3)

絕緣體膜所形成之隧道障壁(隧道膜)TB。自由磁化層VL係配合所寫入之記憶資料之位準，而沿著相同於固定磁化層FL之同一方向或者相反於固定磁化層FL之相反方向，進行磁化。藉由這些固定磁化層FL、隧道障壁TB和自由磁化層VL，而形成磁性隧道接面。

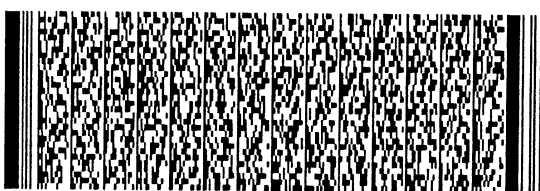
在資料讀出時，配合讀出字線RWL之活化，而導通存取電晶體ATR。可以藉此，而在位元線BL～隧道磁性電阻元件TMR～存取電晶體ATR～接地電壓GND之電流通路上，流動讀出電流 I_s 。

隧道磁性電阻元件TMR之電阻，係配合固定磁化層FL和自由磁化層VL之各個磁化方向之相對關係，而進行變化。具體地說，固定磁化層FL之磁化方向和自由磁化層VL之磁化方向呈平行之情況，比起兩者之磁化方向呈相反(反平行)方向之情況，隧道磁性電阻元件TMR之電阻更小。

因此，如果沿著配合記憶資料之方向而對於自由磁化層VL進行磁化的話，則藉由讀出電流 I_s 而產生在隧道磁性電阻元件TMR之電壓變化，係隨著記憶資料位準而不同。因此，例如在對於位元線BL而預充電至一定電壓後，如果在隧道磁性電阻元件TMR流動讀出電流 I_s 的話，則可以藉由檢測位元線BL之電壓，而讀出MTJ記憶單元之記憶資料。

圖41係說明對於MTJ記憶單元之資料寫入動作之概念圖。

參照圖41，在資料寫入時，使得讀出字線RWL成為非活化，截止存取電晶體ATR。在該狀態下，用以沿著配合寫



五、發明說明 (4)

入資料之方向而對於自由磁化層VL進行磁化之資料寫入電流，係分別流動在寫入字線WWL和位元線BL。自由磁化層VL之磁化方向係藉由分別流動在寫入字線WWL和位元線BL之資料寫入電流之方向之組合而進行決定。

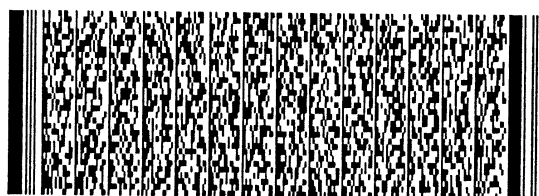
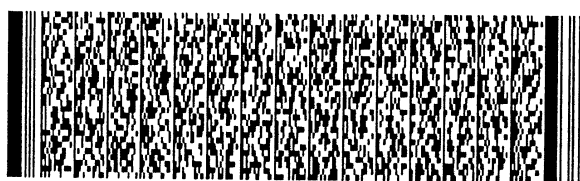
圖42係說明對於MTJ記憶單元之資料寫入時之資料寫入電流和隧道磁性電阻元件之磁化方向間之關係之概念圖。

參照圖42，橫軸係顯示在隧道磁性電阻元件TMR內之自由磁化層VL而施加在磁化容易軸(EA: Easy Axis)方向之磁場。另一方面，縱軸H(HA)係顯示在自由磁化層VL而作用在磁化困難軸(HA: Hard Axis)方向之磁場。磁場H(EA)和H(HA)係分別對應於藉由各個流動在位元線BL和寫入字線WWL之電流所產生之2個磁場之每一邊。

在MTJ記憶單元，固定磁化層FL之固定之磁化方向係沿著自由磁化層VL之磁化容易軸，自由磁化層VL係配合記憶資料之位準("1"和"0")，沿著磁化容易軸之方向，在平行或反平行(相反)於固定磁化層FL之方向，進行磁化。以下，在本說明書，藉由R1和R0(但是 $R1 > R0$)而分別表示個別對應於自由磁化層VL之2種磁化方向之隧道磁性電阻元件TMR之電阻。

MTJ記憶單元係可以對應於這樣自由磁化層VL之2種磁化方向，而記憶1位元之資料("1"和"0")。

自由磁化層VL之磁化方向、其所施加之磁場H(EA)和H(HA)之和，係可以僅在到達至圖式中所示之星形特性線外側之區域之狀態下，進行改寫。也就是說，在所施加之



五、發明說明 (5)

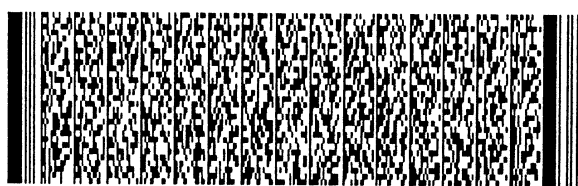
資料寫入磁場成為相當於星形特性線之內側區域之強度之狀態下，自由磁化層VL之磁化方向係並無變化。

正如星形特性線所示，可以藉由對於自由磁化層VL，施加磁化困難軸方向之磁場，以便於降低用以改變沿著磁化容易軸之磁化方向之所需要之磁化臨限值。

正如圖42之例子所示，在設計資料寫入時之動作點之情況，於成為資料寫入對象之MTJ記憶單元，磁化容易軸方向之資料寫入磁場、其強度係設計成為 H_{WR} 。也就是說，設計流動在位元線BL或寫入字線WWL之資料寫入電流值，以便於得到該資料寫入磁場 H_{WR} 。一般，資料寫入磁場 H_{WR} 係藉由磁化方向之轉換所需要之交換磁場 H_{SW} 和剩餘部分 ΔH 之和而進行表示。也就是說，藉由 $H_{WR} = H_{SW} + \Delta H$ 而進行表示。

為了改寫MTJ記憶單元之記憶資料、也就是隧道磁性電阻元件TMR之磁化方向，因此，必須在寫入字線WWL和位元線BL兩者，流動指定位準以上之資料寫入電流。藉此而使得隧道磁性電阻元件TMR中之自由磁化層VL，配合沿著磁化容易軸(EA)之資料寫入磁場之方向，在平行或相反(反平行)於固定磁化層FL之方向，進行磁化。一旦寫入在隧道磁性電阻元件TMR之磁化方向、也就是MTJ記憶單元之記憶資料，係一直到實行新資料寫入為止之間，呈非揮發性地進行保持。

如此，隧道磁性電阻元件TMR，係藉由所施加之資料寫入磁場，配合可改寫之磁化方向，而改變其電阻，因此，



五、發明說明 (6)

可以藉由分別對應隧道磁性電阻元件TMR中之自由磁化層VL之2道磁化方向和記憶資料之位準("1"和"0")，而實行非揮發性資料記憶。

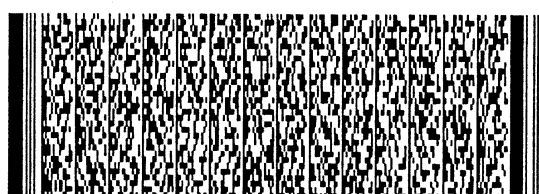
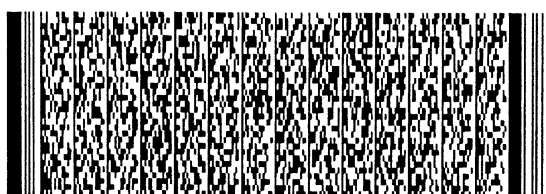
在對於這樣MTJ記憶單元進行積體配置而構成MRAM元件之狀態下，一般係成為MTJ記憶單元呈行列狀地配置在半導體基板上之構造。

圖43係顯示呈行列狀地進行積體配置之MTJ記憶單元之陣列構造之概念圖。

在圖43，顯示呈 n 列 $\times$ m 行(n 、 m ：自然數)地配置MTJ記憶單元之陣列構造。正如已經說明的，必須對於各個MTJ記憶單元，配置位元線BL、寫入字線WWL和讀出字線RWL。

在資料寫入時，對於資料寫入對象所選擇之選擇記憶單元，分別在所對應之寫入字線WWL和位元線BL，流動指定之資料寫入電流。例如在圖43，於斜線所示之MTJ記憶單元被選擇成為資料寫入對象之狀態下，在寫入字線WWL6，流動列方向之資料寫入電流 I_p ，在位元線BL2，流動行方向之資料寫入電流 I_w 。因此，在選擇記憶單元，磁化容易軸方向之資料寫入磁場 $H(EA)$ 和磁化困難軸方向之資料寫入磁場 $H(HA)$ 兩者，係施加超過圖42所示之交換磁場 H_{sw} ，因此，可以沿著配合寫入資料位準之方向，磁化自由磁化層VL。

另一方面，對於非選擇記憶單元中之相同於選擇記憶單元之同一選擇記憶單元列或行所屬之記憶單元群、在圖43之例子中而對應於寫入字線WWL6之非選擇記憶單元、以及



五、發明說明 (7)

對於位元線BL2所對應之非選擇記憶單元之磁化容易軸方向之資料寫入磁場 $H(EA)$ 或磁化困難軸方向之資料寫入磁場 $H(HA)$ 之其中某一邊，僅施加超過交換磁場 H_{SW} 。在這些記憶單元群，並無呈邏輯地實行自由磁化層VL中之磁化方向之更新、也就是資料寫入。

但是，於這些僅一邊之方向之資料寫入磁場施加超過交換磁場 H_{SW} 之非選擇記憶單元群，在還施加沿著另一邊之方向之磁性雜訊之情況，有錯誤實行資料寫入之虞。

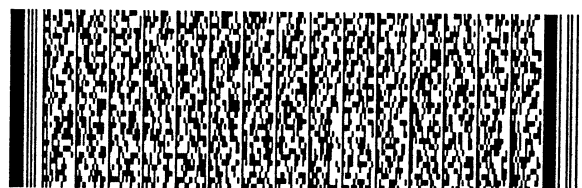
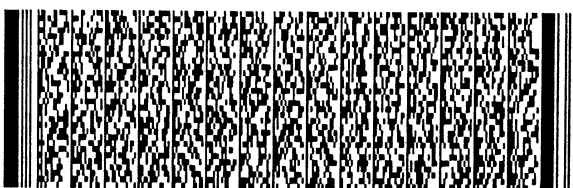
作為這樣磁性雜訊之代表例，可列舉藉由流過用以供應動作用電壓至對於記憶體陣列實行資料讀出及資料寫入用之週邊電路的電源電壓配線以及接地配線之電流所產生之磁場。流動在電源電壓配線以及接地配線之電流，係在週邊電路之動作時，具有產生波峰之傾向，因此，來自這些配線之磁性雜訊係具有某種程度之強度。

特別是在由於高積體化之目的而使得這些電源配線接近記憶體陣列、也就是配置在隧道磁性電阻元件TMR附近之情況，必須採取對於來自電源配線之磁性雜訊所造成之動作邊限之降低以及資料錯誤寫入的對策。

【發明之概要】

本發明之目的，係在薄膜磁性體記憶裝置，抑制來自對應於週邊電路等所設置之電源配線，更加詳細地說，就是抑制來自電源電壓配線和接地配線之磁性雜訊之影響，穩定地進行動作。

如果本發明摘要的說，則薄膜磁性體記憶裝置，係包含

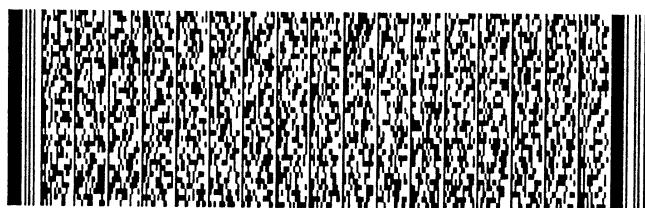


五、發明說明 (8)

記憶體陣列、週邊電路和第1及第2電源配線。記憶體陣列，係配置各個實行磁性資料記憶之複數個記憶單元。各個記憶單元係具有響應指定磁場之施加且配合可改寫之磁化方向而改變電阻的磁性記憶部。週邊電路，係配置在記憶體陣列所鄰接之區域，用以對於記憶體陣列，實行資料讀出及資料寫入。第1及第2電源配線係供應動作用電壓至週邊電路。第1及第2電源配線，係配置為以便於使得藉由流動在第1電源配線之電流所產生之磁場和藉由流動在第2電源配線之電流所產生之磁場，在記憶體陣列，相互地進行抵消。

如果按照本發明之其他態樣的話，則薄膜磁性體記憶裝置係包含記憶體陣列、週邊電路和第1及第2電源配線。記憶體陣列，係配置各個實行磁性資料記憶之複數個記憶單元，各個記憶單元係具有響應指定磁場之施加且配合可改寫之磁化方向而改變電阻的磁性記憶部。週邊電路係配置在記憶體陣列所鄰接之區域，用以對於記憶體陣列，實行資料讀出及資料寫入。第1及第2電源配線，係供應動作用電壓至週邊電路。配置第1及第2電源配線，以便於使得藉由流動在第1及第2電源配線之電流所分別產生之第1及第2磁場，在記憶體陣列，沿著磁性記憶部之磁化容易軸之方向，產生作用。

如果按照本發明之其他另外態樣的話，則薄膜磁性體記憶裝置係包含記憶體陣列、週邊電路和第1及第2電源配線。記憶體陣列，係配置各個實行磁性資料記憶之複數個

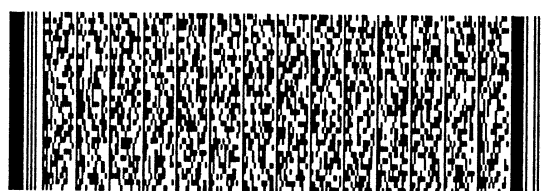


五、發明說明 (9)

記憶單元。複數個記憶單元之各個係具有響應指定磁場之施加且配合可改寫之磁化方向而改變電阻的磁性記憶部。週邊電路係配置在記憶體陣列所鄰接之區域，用以對於記憶體陣列，實行資料讀出及資料寫入。第1及第2電源配線，係供應動作電壓至週邊電路。第1及第2電源配線之各個，係配置為由最接近之記憶單元之磁性記憶部開始，離開指定距離以上，以便在最接近之記憶單元之磁性記憶部，使得藉由流動在本身之波峰電流所產生之波峰磁場之強度，小於考量記憶單元之磁性特性所決定之指定強度。

如果按照本發明之其他另外態樣的話，則薄膜磁性體記憶裝置係包含記憶體陣列、週邊電路、電源節點、電源配線和去耦電容。記憶體陣列，係配置各個實行磁性資料記憶之複數個記憶單元。複數個記憶單元之各個係具有響應所施加之磁場且配合改寫之磁化方向而改變電阻值的磁性記憶部。週邊電路，係配置在記憶體陣列所鄰接之區域，對於記憶體陣列，實行資料讀出及資料寫入。電源節點，係配置在對於週邊電路夾住記憶體陣列而沿著第1方向之相反側之區域，接受週邊電路之動作電源電壓之供應。電源配線，係沿著第1方向，設置在電源節點和週邊電路間，傳達動作電源電壓。去耦電容，係在電源節點和記憶體陣列間之區域以及週邊電路和記憶體陣列間之區域之至少一邊，設置在電源配線和接地電壓間。

如果按照本發明之其他另外一種態樣的話，則薄膜磁性體記憶裝置係包含記憶體陣列和複數個虛擬磁性體。記憶



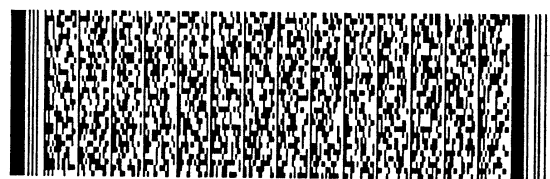
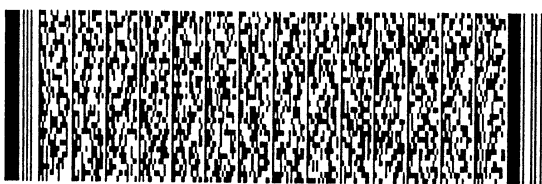
五、發明說明 (10)

體陣列，係呈行列狀地配置各個實行磁性資料記憶之複數個記憶單元。複數個虛擬磁性體，係在記憶體陣列之端部，沿著記憶單元列和記憶單元行之至少一邊，進行配置，各個係具有固定之磁化方向。

如果按照本發明之其他另外一種態樣的話，則薄膜磁性體記憶裝置，係包含記憶體陣列、複數條第1配線和電感元件。記憶體陣列，係配置包含各個用以實行磁性資料記憶之第1磁性體之複數個記憶單元。複數條第1配線，係對應於記憶體陣列，進行配置，各個係電連接複數個記憶單元之至少1個所包含之第1磁性體。電感元件，係包含配置在記憶體陣列外之區域且形成在相同於複數條第1配線之配線層上的第2配線以及在記憶體陣列外之區域形成在相同於第1磁性體之同一層且電連接第2配線的第2磁性體。

如果按照本發明之其他另外一種態樣的話，則薄膜磁性體記憶裝置，係包含複數個記憶單元、第1配線和第2配線。複數個記憶單元，係呈行列狀地進行配置，各個係實行磁性資料記憶。第1配線，係對於在複數個記憶單元中之資料寫入對象所選擇之選擇記憶單元，施加用以進行資料寫入之寫入磁場。第2配線，係配置成為對於複數個記憶單元，比起第1配線，還更加地離開，將產生寫入磁場之寫入電流，供應至第1配線。在資料寫入，分別由第1和第2配線所產生之磁場，係在沿著第1和第2配線之長邊方向之至少一部分區域，沿著相互抵消之方向，產生作用。

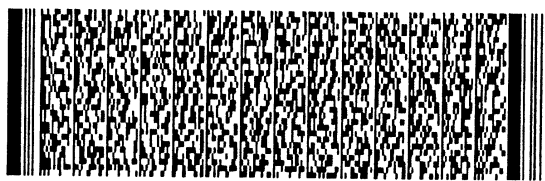
如果按照本發明之其他另外一種態樣的話，則薄膜磁性



五、發明說明 (11)

體記憶裝置，係包含複數個記憶單元、複數個週邊電路和複數條電源配線。複數個記憶單元，係各個實行磁性資料記憶，分割配置成為複數個群組。在1次資料寫入動作，複數個群組係選擇性地成為資料寫入對象。複數個週邊電路，係分別對應於複數個群組而進行設置，對於各個所對應之群組，至少實行資料寫入動作。複數條電源配線，係分別對應於複數個週邊電路而進行設置，供應動作用電壓至各個所對應之週邊電路。各個電源配線係設置在對應之群組、以及除去具有和對應之群組同時成為資料寫入對象之可能性之其他群組所殘餘之群組中之至少一部分所對應之區域。

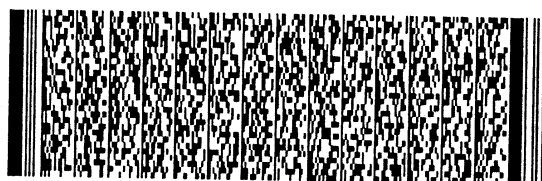
如果按照本發明之其他另外一種態樣的話，則薄膜磁性體記憶裝置，係包含複數個記憶單元、複數條第1寫入配線、複數條第2寫入配線和複數條配線。複數個記憶單元，係各個實行磁性資料記憶，配置成為行列狀。複數條第1寫入配線，係分別對應於記憶單元列和記憶單元行之某一邊而進行設置，為了使得各個對於選擇記憶單元，主要施加沿著磁化容易軸之磁場，因此，呈選擇性地接受資料寫入電流之供應。複數條第2寫入配線，係分別對應於記憶單元列和記憶單元行之其他邊而進行設置，為了使得各個對於選擇記憶單元，主要施加沿著磁化困難軸之磁場，因此，呈選擇性地接受資料寫入電流之供應。複數條配線，係藉由導電性材料而形成。於各個記憶單元，在由除去所對應之第1寫入配線之其他第1寫入配線中之最接近



五、發明說明 (12)

1 條而接受之磁場雜訊以及由除去所對應之第2寫入配線之其他第2寫入配線中之最接近1條而接受之磁場雜訊呈重疊之狀態下，沿著磁化容易軸之殘留磁場邊限和沿著磁化困難軸之殘留磁場邊限係不相同。設計由複數條配線中之各個記憶單元開始之最短最接近距離之配線配置方向，以便於使得藉由流動在本身之電流所產生之磁場，於各個記憶單元，主要具有沿著磁化容易軸和磁化困難軸中之殘留邊限大之某一邊之成分。

如果按照本發明之其他另外一種態樣的話，則薄膜磁性體記憶裝置，係包含複數個記憶單元、複數條第1寫入配線、複數條第2寫入配線和電源配線。複數個記憶單元，係各個實行磁性資料記憶，配置成為行列狀。複數條第1寫入配線，係分別對應於記憶單元列和記憶單元行之某一邊而進行設置，為了使得各個對於選擇記憶單元，主要施加沿著磁化容易軸之磁場，因此，呈選擇性地接受資料寫入電流之供應。複數條第2寫入配線，係分別對應於記憶單元列和記憶單元行之其他邊而進行設置，為了使得各個對於選擇記憶單元，主要施加沿著磁化困難軸之磁場，因此，呈選擇性地接受資料寫入電流之供應。電源配線，係包含在資料寫入電流之通路。於各個記憶單元，在由除去所對應之第1寫入配線之其他第1寫入配線中之最接近1條而接受之磁場雜訊以及由除去所對應之第2寫入配線之其他第2寫入配線中之最接近1條而接受之磁場雜訊呈重疊之狀態下，沿著磁化容易軸之殘留磁場邊限和沿著磁化困難



五、發明說明 (13)

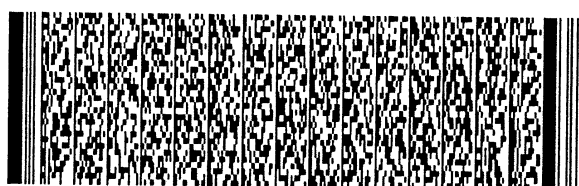
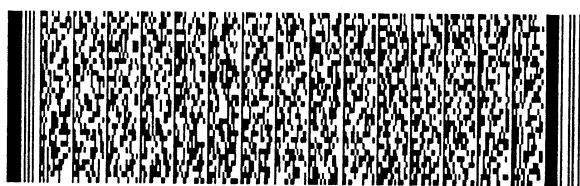
軸之殘留磁場邊限係不相同。設計電源配線之配置方向，以便於使得藉由流動在本身之電流所產生之磁場，於各個記憶單元，主要具有沿著磁化容易軸和磁化困難軸中之殘留邊限大之某一邊之成分。

因此，本發明之主要優點，係使得第1及第2電源配線所產生之磁場，在記憶體陣列，相互地進行抵消，因此，具有能夠防止由於來自電源配線之磁性雜訊所造成之資料誤寫入和動作邊限之降低而穩定地進行動作之特點。

此外，可以使得來自電源配線之磁性雜訊，在記憶體陣列，作用於磁性記憶部(隧道磁性電阻元件)之磁場容易軸方向上。因此，可以抑制對於選擇行所屬之非選擇記憶單元群之磁化困難軸方向之磁性雜訊，防止起因於來自資料寫入時之電源配線之磁性雜訊所造成之錯誤寫入之產生。此外，即使是在資料寫入時以外，也可以防止使得在磁性記憶部(隧道磁性電阻元件)所記憶之磁化方向呈旋轉之磁性雜訊，施加在記憶單元，因此，能夠避免起因於來自電源配線之磁性雜訊所造成之資料讀出邊限之降低。

或者是設計來自電源配線之磁性雜訊之波峰強度，以便在最接近該電源配線之記憶單元，成為考量記憶單元之磁化特性所決定之指定強度以下，因此，可以避免由於來自電源配線之磁性雜訊而妨礙動作穩定性。

此外，在電源配線上，避免接近記憶體陣列之區域，配置流動波峰電流之去耦電容。因此，能夠有效地配置去耦電容，抑制來自電源配線之磁性雜訊之強度。



五、發明說明 (14)

此外，可以藉由配置在記憶體陣列端部之虛擬磁性體，而避免記憶體陣列端部之磁場之非連續性，因此，並不會損害配置在記憶體陣列端部區域之記憶單元之動作邊限。

或者是可以在記憶單元之製造作業，使用可同時製造之磁性體，不增加製造作業，形成電感元件。

此外，在非選擇記憶單元，使得來自相當於寫入磁場之洩漏磁場之第1配線的磁性雜訊和來自寫入電流之傳達通路中之第2配線的磁性雜訊，相互地一起變弱，因此，可以減輕至非選擇記憶單元之磁場雜訊，提高薄膜磁性體記憶裝置之動作可靠性。

此外，可以在選擇性地成為資料寫入對象、也就是不同時成為資料寫入對象之複數個群組分割及配置記憶單元之構造，防止在資料寫入動作時之非選擇記憶單元之錯誤寫入產生，提高MRAM元件之動作可靠性。

此外，在接近該選擇記憶單元且最擔心資料錯誤寫入之非選擇記憶單元，使得來自寫入配線以外之最接近配線之磁性雜訊之方向，和對於資料錯誤寫入之產生之邊限相對大之方向呈一致。因此，可以防止在資料寫入動作時之非選擇記憶單元之錯誤寫入產生，提高薄膜磁性體記憶裝置之動作可靠性。

此外，在接近該選擇記憶單元且最擔心資料錯誤寫入之非選擇記憶單元，使得來自流動比較大電流之電源配線之磁性雜訊之方向，和對於資料錯誤寫入之產生之邊限相對大之方向呈一致。因此，可以防止在資料寫入動作時之非



五、發明說明 (15)

選擇記憶單元之錯誤寫入產生，提高薄膜磁性體記憶裝置之動作可靠性。

【較佳實施例之說明】

以下，就本發明之實施形態，參照圖式，詳細地進行說明。此外，圖式中之相同元件編號，係顯示相同或相當之部分。

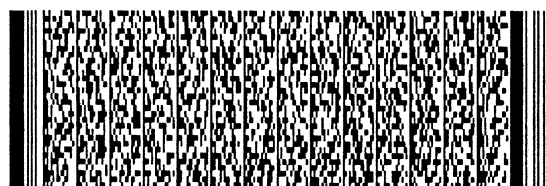
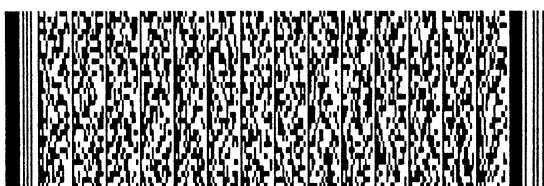
[實施形態1]

參照圖1，按照本發明之實施形態之MRAM元件1係響應來自外部之控制訊號CMD和位址訊號ADD，實行隨機存取，實行寫入用資料DIN之輸入和讀出用資料DOUT之輸出。

MRAM元件1係具備：呈行列狀地配置複數個MTJ記憶單元之記憶體陣列2以及為了對於記憶體陣列2實行資料讀出及資料寫入而配置在記憶體陣列2週邊區域之週邊電路5a、5b、5c。此外，在以下，總稱週邊電路5a、5b、5c，也稱為週邊電路5或週邊電路5#。

就記憶體陣列2之構造而言，在後面，詳細地進行說明，但是，對應於MTJ記憶單元之列(以下、也僅稱為「記憶單元列」)，配置複數個寫入字線WWL和讀出字線RWL。此外，對應於MTJ記憶單元之行(以下、也僅稱為「記憶單元行」)，配置位元線BL。

週邊電路5係包含：配置在記憶體陣列2之週邊區域之控制電路10、列解碼器20、行解碼器25、字線驅動器30和讀出／寫入控制電路50、60。此外，這些週邊電路之配置係並非限定為圖1所示之配置例。



五、發明說明 (16)

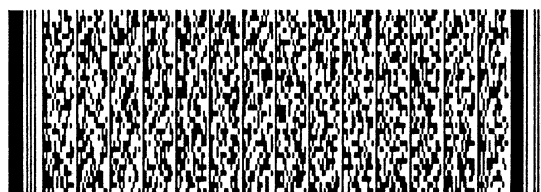
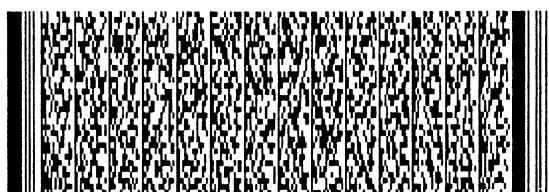
控制電路10係為了實行藉由控制訊號CMD所指示之指定動作，因此，控制DRAM元件1之整體動作。列解碼器20係配合藉由位址訊號ADD所顯示之列位址RA，實行記憶體陣列2之列選擇。行解碼器25係配合藉由位址訊號ADD所顯示之行位址CA，實行記憶體陣列2之行選擇。

字線驅動器30係根據列解碼器20之列選擇結果，而選擇性地使得讀出字線RWL(資料讀出時)或寫入字線WWL(資料寫入時)成為活化。藉由列位址RA和行位址CA，而顯示在資料讀出或資料寫入對象所指示之MTJ記憶單元(以下、也稱為「選擇記憶單元」)。

寫入字線WWL係在夾住配置字線驅動器30者和記憶體陣列2，在相反側之區域6，耦合接地電壓GND。讀出／寫入控制電路50、60，係為了在資料讀出和資料寫入時、對於所選擇之記憶單元行(以下、也稱為「選擇行」)之位元線BL流動資料寫入電流和讀出電流(資料讀出電流)而總稱配置在記憶體陣列2所鄰接之區域上之電路群者。

參照圖2，記憶體陣列2係具有配置成為 n 列 $\times$ m 行(n 、 m ：自然數)之複數個MTJ記憶單元MC。對於各個MTJ記憶單元MC，配置讀出字線RWL、寫入字線WWL、位元線BL和基準電壓配線SL。讀出字線RWL和寫入字線WWL係分別對應於記憶單元列，沿著列方向，進行配置。另一方面，位元線BL和基準電壓配線SL係分別對應於記憶單元行，沿著行方向，進行配置。

結果，在記憶體陣列2整體，設置讀出字線RWL1～RWLn



五、發明說明 (17)

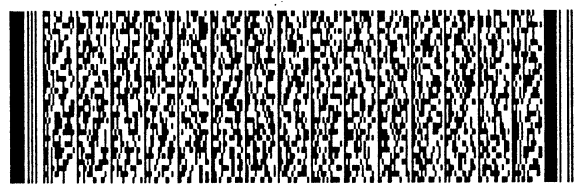
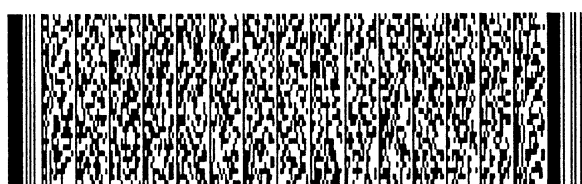
、寫入字線WWL1 ~ WWLn、位元線BL1 ~ BLm和基準電壓配線SL1 ~ SLm。此外，在以下，於總括地表現寫入字線、讀出字線、位元線和基準電壓配線之狀態下，分別使用元件編號WWL、RWL、BL和SL，進行表記，在顯示特定之寫入字線、讀出字線、位元線和基準電壓配線之狀態下，於這些元件編號，附上添加用文字，表示成為WWL1、RWL1、BL1和SL1。

字線驅動器30，係在資料寫入，將對應於所選擇之記憶單元列(以下、也稱為「選擇列」)之寫入字線WWL之一端，耦合電源電壓Vcc。正如上面敘述，各個寫入字線WWL之其他端，係在區域6，耦合接地電壓GND，因此，可以在選擇列之寫入字線WWL上，由字線驅動器30開始朝向區域6之方向上，流動列方向之資料寫入電流Ip。

圖3係說明對於MTJ記憶單元之資料寫入和資料讀出動作之動作波形圖。

首先，就資料寫入時之動作，進行說明。字線驅動器30，係為了配合列解碼器20之列選擇結果，使得對應於選擇列之寫入字線WWL成為活化(高位準、以下表記為「H位準」)，因此，耦合電源電壓Vcc。另一方面，在非選擇列，寫入字線WWL係維持在非活化狀態(低位準、以下表記為「L位準」)，其電壓係維持在接地電壓GND。

藉此而對於選擇列之寫入字線WWL，流動列方向之資料寫入電流Ip。結果，對於選擇列所屬之MTJ記憶單元中之隧道磁性電阻元件TMR之各個，施加沿著自由磁化層VL之



五、發明說明 (18)

磁化困難軸HA之方向之磁場。另一方面，在非選擇列之寫入字線WWL，並無流動電流。

讀出字線RWL係在資料寫入時，並無成為活化，維持在非活化狀態(L位準)。基準電壓配線SL係在存取電晶體ATR不成為導通之資料寫入時，無特別產生作用，其電壓係維持在接地電壓GND。

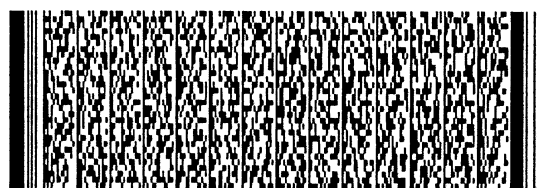
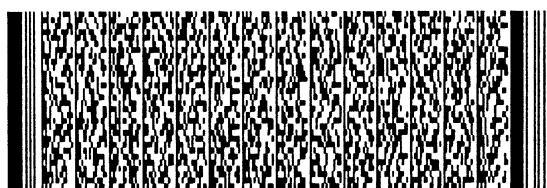
讀出／寫入控制電路50和60，係藉由控制記憶體陣列2兩端之位元線BL之電壓，而在選擇行之位元線BL，產生配合寫入資料之資料位準之方向之資料寫入電流 $\pm I_w$ 。

例如在寫入"1"之寫入資料之狀態下，設定讀出／寫入控制電路60側之位元線電壓成為高電壓狀態(H位準：電源電壓Vcc)，設定相反側之讀出／寫入控制電路50側之位元線電壓成為低電壓狀態(L位準：接地電壓GND)。藉此而使得由讀出／寫入控制電路60開始朝向50之方向上之資料寫入電流 $+I_w$ ，係流動在選擇行之位元線BL上。

另一方面，在寫入"0"記憶資料之狀態下，可以更換讀出／寫入控制電路50側和60側之位元線電壓之設定，使得由讀出／寫入控制電路50開始朝向60之方向之資料寫入電流 $-I_w$ ，流動在選擇行之位元線BL上。

藉由流動在位元線BL之行方向之資料寫入電流 $\pm I_w$ 所產生之資料寫入磁場，係在隧道磁性電阻元件TMR，施加在沿著自由磁化層VL之磁化容易軸之方向上。

像這樣，可以藉由設定資料寫入電流 I_p 和 $\pm I_w$ 之方向，以便於使得選擇記憶單元中之自由磁化層VL，在配合寫入



五、發明說明 (19)

資料位準之方向，沿著磁化容易軸之方向，進行磁化。

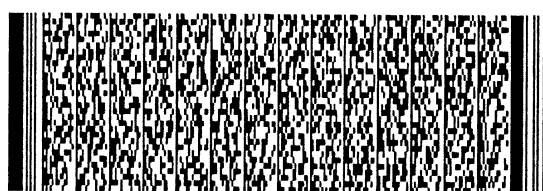
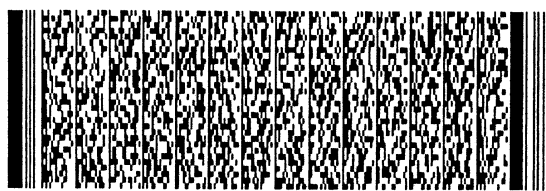
此外，藉由配合寫入資料之位準而控制用以產生沿著磁化容易軸之方向之磁場之資料寫入電流 $\pm I_w$ 之方向，使得用以產生沿著磁化困難軸之方向之磁場之資料寫入電流 I_p 之方向，不論寫入資料之位準而成為一定，以便於簡化資料寫入電流流動在寫入字線WWL之構造。

接著，就資料讀出動作，進行說明。

在資料讀出時，字線驅動器30係配合列解碼器20之列選擇結果，使得對應於選擇列之讀出字線RWL，成為活化(H位準)。在非選擇列，讀出字線RWL係維持在非活性狀態(L位準)。此外，在資料讀出時，各個寫入字線WWL係並無成為活化，仍然一直維持在非活性狀態(L位準：接地電壓GND)。

在資料讀出動作前，位元線BL係例如預充電至接地電壓GND。由該狀態開始進行資料讀出，在選擇列，使得讀出字線RWL活化至H位準時，則導通所對應之存取電晶體ATR。在存取電晶體ATR呈導通之MTJ記憶單元之各個，所對應之隧道磁性電阻元件TMR係電性耦合在基準電壓(接地電壓GND)和位元線間。

如果藉由電源電壓Vcc上拉對應於選擇行之位元線的話，則可以僅對於選擇記憶單元之隧道磁性電阻元件TMR，流動讀出電流 I_s 。藉此而在選擇行之位元線BL，產生配合選擇記憶單元中之隧道磁性電阻元件TMR之電阻、也就是配合選擇記憶單元之記憶資料位準之電壓變化。



五、發明說明 (20)

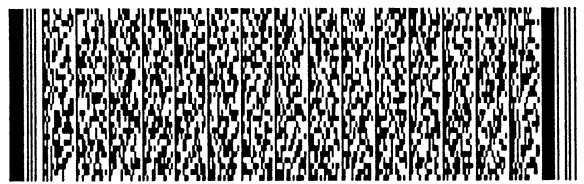
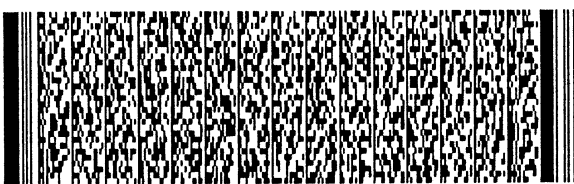
如果選擇記憶單元之記憶資料為"0"和"1"狀態下之位元線BL之電壓變化分別成為 ΔV_0 及 ΔV_1 的話，則可以對於設定在 ΔV_0 及 ΔV_1 中間值之參考電壓 V_{ref} 以及選擇行之位元線BL之電位差，進行檢測及放大，讀出選擇記憶單元之記憶資料。

像這樣，基準電壓配線SL之電壓位準，係即使是在資料讀出時和資料寫入時之任何一種，也設定成為接地電壓GND。因此，基準電壓配線SL係可以成為對應於例如在讀出／寫入控制電路50或60內之區域，耦合供應接地電壓GND之節點。此外，該基準電壓配線SL係可以設置在列方向和行方向之任何一個。

此外，在以下說明之所明白顯示的，本發明係朝向用以對於記憶體陣列2之週邊電路供應動作用電壓之電源配線之配置。因此，在圖2中，例舉簡單之記憶體陣列之構造，但是，不論記憶體陣列2之MTJ記憶單元或位元線BL等之訊號配線之配置，也可以適用本發明。例如即使是對於開放型位元線或折返型位元線構造之記憶體陣列構造，也可以適用本發明。

圖4為說明按照電源配線對於週邊電路之實施形態1之配置之方塊圖。

圖4所示之週邊電路5係相當於圖1所示之週邊電路5a、5b、5c之各個。參照圖4，成為週邊電路5動作用電壓之電源電壓 V_{cc} 和接地電壓GND之供應，係分別藉由電源電壓配線PL和接地配線GL而實行。此外，在以下，於總稱電源電



五、發明說明 (21)

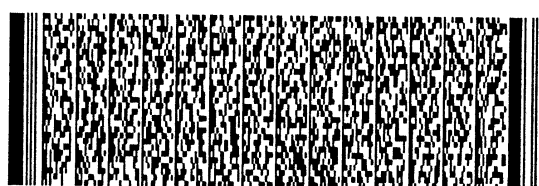
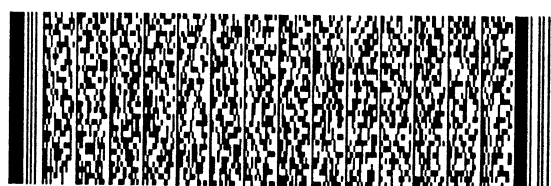
壓配線PL和接地配線GL之狀態下，也僅稱為「電源配線」。

電源電壓配線PL係耦合由外部接受電源電壓 V_{cc} 之供應之電源節點7，對於週邊電路5，供應電源電壓 V_{cc} 。同樣地，接地配線GL係耦合由外部接受接地電壓GND之供應之接地節點8，對於週邊電路5，供應接地電壓GND。配置這些電源配線，以便於使得藉由流動在電源電壓配線PL之電流所產生之磁場和藉由流動在接地配線GL之電流所產生之磁場，在記憶體陣列2，作用在相互地進行互相抵消之方向上。

作為一例，係在圖4所示之構造中，電源電壓配線PL和接地配線GL係沿著同一方向，設置在週邊電路5之附近區域。此外，配置電源節點7和接地節點8，以便於使得分別流動在電源電壓配線PL和接地配線GL之電流方向，成為互相相反之方向。

圖5及圖6為用以分別顯示按照實施形態1之電源配線之第1及第2配置例之X-Y剖面圖。

參照圖5，在按照實施形態1之第1配置例，電源電壓配線PL和接地配線GL兩者係在記憶體陣列2之附近區域，使用及配置隧道磁性電阻元件TMR上層側或下層側之任何某一邊側之金屬配線層。在圖5，顯示將電源電壓配線PL和接地配線GL，配置在更加高於隧道磁性電阻元件TMR之上層側之例子，但是，也可以成為將這些電源配線兩者配置在更加低於隧道磁性電阻元件TMR之下層側之構造。



五、發明說明 (22)

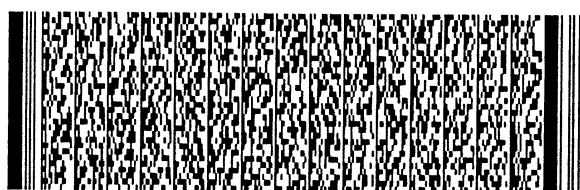
藉由成為這樣構造，以便於使得藉由流動在電源電壓配線PL之電流所產生之磁場(在圖5中、藉由實線而進行表記)和藉由流動在接地配線GL之電流所產生之磁場(在圖5中、藉由點線而進行表記)，在記憶體陣列2、也就是隧道磁性電阻元件TMR，作用在相互地進行互相抵消。

在這些電源配線，特別是在電源投入時或電路動作時，呈突入地產生波峰電流，但是，即使是就來自藉由這樣波峰電流所造成之電源配線之磁性雜訊而言，在記憶體陣列2，作用在相互地進行互相抵消，因此，可以防止對於MTJ記憶單元之資料錯誤寫入，穩定地啟動MRAM元件。

此外，由於能夠使用形成在同一金屬配線層之金屬配線，配置電源電壓配線PL和接地配線GL，因此，能夠減少MRAM元件之形成所需要之金屬配線層之數目，促成製造製程之簡化。

參照圖6，在按照實施形態1之第2配置例，電源電壓配線PL和接地配線GL，係在隧道磁性電阻元件TMR上層側或下層側之任何某一邊側，使用不同之金屬配線層，佈局成為相互地重疊在上下方向。

如果成為這樣構造的話，則可以使得由電源電壓配線PL和接地配線GL開始至記憶體陣列2為止之各個距離差異，變得更小。藉此而使得記憶體陣列中之來自電源配線之磁性雜訊間之相互抵消效果，變得更大。可以藉此，而比起圖5所示之配置例，還更加有效地實行動作邊限之確保或錯誤動作之防止。



五、發明說明 (23)

[實施形態1之變化例1]

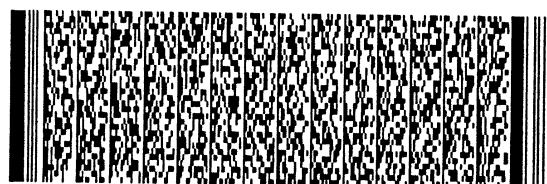
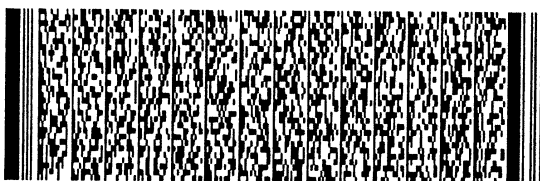
在實施形態1之變化例1，就記憶體陣列分割成為複數個記憶體塊而對應於這些記憶體塊配置週邊電路之狀態下之電源配線之配置，進行說明。

圖7及圖8為分別顯示按照實施形態1之變化例1之週邊電路用之電源配線之第1及第2配置例之方塊圖。

參照圖7，圖1所示之記憶體陣列2係分割成為例如2個記憶體塊MBa和MBb。在按照實施形態1之變化例1之第1配置例，於記憶體塊MBa和MBb之境界部，配置在這些記憶體塊間共有之週邊電路5。對於週邊電路5之電源電壓 V_{cc} 和接地電壓GND之供應，係相同於實施形態1，藉由電源電壓配線PL和接地配線GL而進行。此外，分別對應於電源電壓配線PL之兩端而設置電源節點7a和7b，分別對應於接地配線GL之兩端而設置電源節點8a和8b。電源電壓配線PL和接地配線GL之具體配置，係可以相同於圖5及圖6所示者。

藉由這樣構造，以便在供應電源電壓 V_{cc} 和接地電壓GND至週邊電路5內之各個電路部分之電源電壓配線PL和接地配線GL上之電流通路上，使得分別藉由通過這些電流通路之電流而產生在記憶體塊之磁場，作用在相互地進行互相抵消之方向。可以藉此，以便在分割成為複數個記憶體塊之記憶體陣列2配置週邊電路之狀態下，也得到相同於實施形態1之效果。

參照圖8，在按照實施形態1之變化例1之第2配置例，顯示在各個記憶體塊之每一個而配置週邊電路之狀態下之構



五、發明說明 (24)

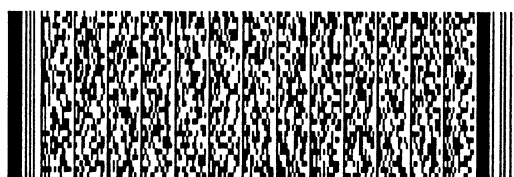
造。作為一例，係分別對應於記憶體塊MBa和MBb而設置週邊電路5及5#。

對於週邊電路5之電源電壓Vcc和接地電壓GND之供應，係藉由電源電壓配線PLa和接地配線GLa而進行。同樣地，對於週邊電路5#之電源電壓Vcc和接地電壓GND之供應，係藉由電源電壓配線PLb和接地配線GLb而進行。

電源電壓配線PLa、PLb和接地配線GLa、GLb之各個，係沿著同一方向而進行配置。此外，配置用以分別供應電源電壓Vcc至電源電壓配線PLa及PLb之電源節點7a及7b，以便於沿著配置這些電源配線之方向，夾住記憶體塊(記憶體陣列)，而位處在互相相反之相反側。同樣地，即使是就分別供應接地電壓GND至接地配線GLa及GLb之電源節點8a及8b而言，相同於電源節點7a及7b，夾住記憶體塊(記憶體陣列)，配置在互相相反側之區域。

此外，對應於相同之週邊電路之電源節點及接地節點，係夾住記憶體塊(記憶體陣列)，配置在互相相反側之區域。藉此而在對應於週邊電路5所設置之電源電壓配線PLa及接地配線GLa，電流係互相沿著相反方向而進行流動。同樣地，即使是在對應於週邊電路5#之電源電壓配線PLb及接地配線GLb，電流係也互相沿著相反方向而進行流動。此外，分別流動在電源電壓配線PLa及PLb之電流，係設定在互相相反之方向，分別流動在接地配線GLa及GLb之電流，係也設定在互相相反之方向。

電源電壓配線PLa、PLb及接地配線GLa、GLb，係相同於



五、發明說明 (25)

圖5或圖6所示者，也可以使用隧道磁性電阻元件TMR開始之上層側及下層側之任何某一邊側之金屬配線層，進行配置。

可以藉由成為這樣構造，以便在分割成為複數個記憶體塊之記憶體陣列，即使是在各個記憶體塊之每一個而分配週邊電路之構造，也能夠得到相同於實施形態1之效果。

[實施形態1之變化例2]

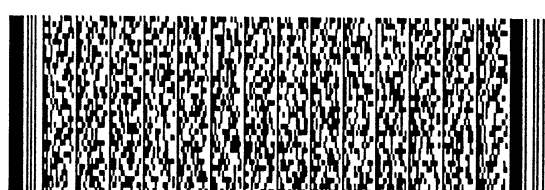
在實施形態1及其變化例1，就週邊電路之電源配線配置在記憶體陣列週邊部(附近)之狀態下之構造，進行說明。但是，為了使得MRAM元件成為更加高度積體化，因此，也產生通過記憶體陣列之上部區域或下部區域而配置這些電源配線之事例。

圖9為說明按照電源配線對於週邊電路之實施形態1之變化例2之第1配置例之方塊圖。

參照圖9，在按照實施形態1之變化例2之第1配置例，配置用以對於週邊電路5供應電源電壓 V_{cc} 及接地電壓GND之電源電壓配線PL和接地配線GL，以便於通過記憶體陣列2之上部區域及下部區域之至少一邊，以便於橫斷記憶體陣列2。

配置電源節點7及接地節點8和週邊電路5，以便於沿著電源配線之方向，夾住記憶體陣列2，位處在相互相反側之區域。藉此而使得分別流動在電源電壓配線PL和接地配線GL之電流方向，設定在相互相反之方向。

圖10A~100為用以顯示按照實施形態1之變化例2之電源



五、發明說明 (26)

配線之第1配置例之剖面圖。圖10A-10C為相當於圖9中之P-Q剖面圖。

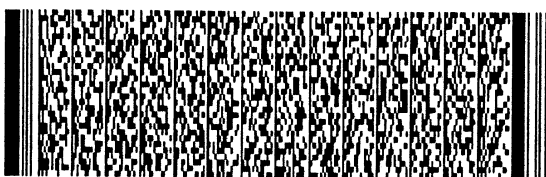
在圖10A所示之配置例，電源電壓配線PL和接地配線GL係相同於圖5所示之配置例，使用隧道磁性電阻元件TMR開始之上層側及下層側之任何某一邊側之金屬配線層，進行配置。在圖10A，顯示將電源電壓配線PL及接地配線GL配置在高於隧道磁性電阻元件TMR之上層側之例子，但是，也可以成為將這些電源配線兩者配置在低於隧道磁性電阻元件TMR之下層側之構造。此外，可以藉由將這些電源配線形成在同一金屬配線層，而減少MRAM元件之形成所需要之金屬配線層數。

即使是在成為藉由作為這樣構造而配置電源配線以便於橫斷記憶體陣列2之上部區域或下部區域之構造，也可以避免由於來自電源配線之磁性雜訊所造成之動作邊限之降低或資料錯誤寫入之產生。

在圖10B所示之其他配置例，相同於圖6所示之配置例，對於電源電壓配線PL及接地配線GL，進行佈局，以便在隧道磁性電阻元件TMR之上層側及下層側之任何某一邊側，使用不同之金屬配線層，相互重疊在上下方向。

即使是這樣配置，也相同於圖10A，可以避免由於來自電源配線之磁性雜訊所造成之不良影響。此外，即使是在圖10B之構造，也可以將電源電壓配線PL及接地配線GL兩者，配置在隧道磁性電阻元件TMR之下層側。

但是，正如圖10C所示，如果成為夾住隧道磁性電阻元



五、發明說明 (27)

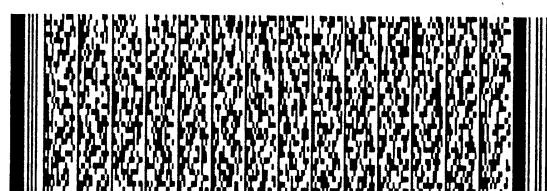
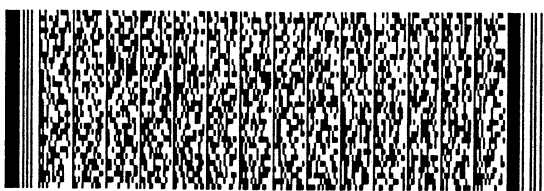
件而將相互地流動逆方向電流之電源電壓配線PL及接地配線GL配置在上層側及下層側之每一邊之構造的話，則藉由這些電源配線所產生之磁性雜訊，係在隧道磁性電阻元件之配置區域（記憶體陣列），成為相互地互相加強。因此，得知在成為電源電壓配線PL及接地配線GL分別流動逆方向之電流之配置之狀態下，必須將這些電源配線整理及配置在隧道磁性電阻元件之上層側或下層側之任何某一邊側。

圖11係說明按照電源配線對於週邊電路之實施形態1之變化例2之第2配置例之方塊圖。

比較圖11和圖9，在按照實施形態1之變化例2之第2配置例，用以對於週邊電路5供應電源電壓Vcc及接地電壓GND之電源電壓配線及接地配線之各個，係每一個配置數條。在圖11，代表性地顯示配置每2條之電源電壓配線PL1、PL2及接地配線GL1、GL2之例子。在各個電源電壓配線PL1、PL2之電流方向係相同的。同樣地，在各條接地配線GL1、GL2之電流方向係也相同的。可以藉由成為這樣配置，而減低各條配線之電流密度，抑制藉由電移等所造成之斷線之危險性。

圖12A~12C為用以顯示按照實施形態1之變化例2之電源配線之第2配置例之剖面圖。圖12A~12C為相當於圖11中之V-W剖面圖。

在圖12A所示之配置例，電源電壓配線PL1、PL2及接地配線GL1、GL2係相同於圖10A所示之配置例，使用由隧道



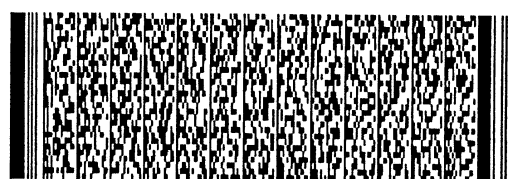
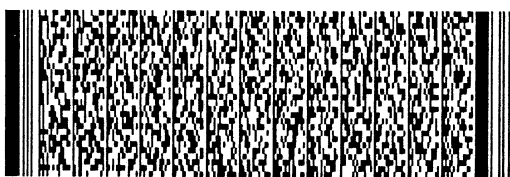
五、發明說明 (28)

磁性電阻元件TMR開始之上層側及下層側之任何某一邊側之金屬配線層，而進行配置。即使是在圖12A之配置例，也可以成為將這些電源配線群配置在低於TMR之下層側之構造。此外，可以藉由將這些電源配線形成在同一金屬配線層，而削減MRAM元件之形成所需要之金屬配線層數。

在圖12B所示之配置例，相同於圖12A所示之配置例，電源電壓配線PL1、PL2及接地配線GL1、GL2，係在隧道磁性電阻元件TMR之上層側及下層側之任何某一邊側，使用不同之金屬配線層，佈局成為沿著上下方向，進行相互重疊。此外，即使是在圖12B之配置例，也可以成為將這些電源配線群配置在低於TMR之下層側之構造。

在圖12C所示之配置例，使用隧道磁性電阻元件TMR之上層側及下層側兩者，配置電源配線群。例如使用隧道磁性電阻元件TMR上層側之同一金屬配線層而配置電源電壓配線PL1及接地配線GL1，使用形成在隧道磁性電阻元件TMR下層側之金屬配線層而配置電源電壓配線PL2及接地配線GL2。

此外，在隧道磁性電阻元件之上層側及下層側之間，沿著相同方向流動電流之配線間，配置成對，而沿著上下方向，進行重疊。成對之配線間，係最好夾住隧道磁性電阻元件TMR，而呈上下對稱地進行配置。例如電源電壓配線PL1係夾住隧道磁性電阻元件TMR，呈上下對稱地進行配置，以便於和沿著相同方向流動電流之電源電壓配線PL2成對。同樣地，接地配線GL1係夾住隧道磁性電阻元件



五、發明說明 (29)

TMR，呈上下對稱地進行配置，以便於和接地配線GL2成對。

藉由成為這樣構造，而使得來自各個電源配線之磁性雜訊，在隧道磁性電阻元件TMR，作用於相互地互相抵消之方向上。因此，可以使用隧道磁性電阻元件TMR之上層側及下層側之兩邊之金屬配線層，實現能夠抑制來自電源配線之磁性雜訊之不良影響之電源配線之配置。

[實施形態1之變化例3]

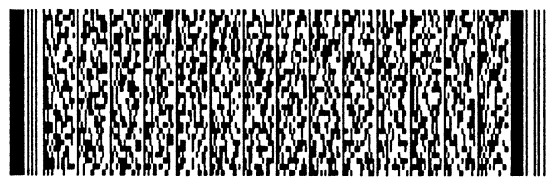
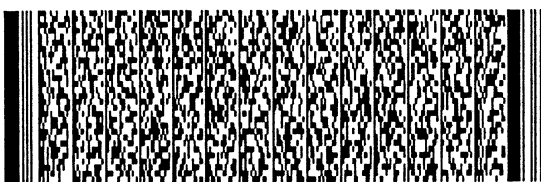
在實施形態1之變化例3，就夾住記憶體陣列而在兩側配置週邊電路之構造之電源配線之配置，進行說明。

圖13為說明按照實施形態1之變化例3之電源配線之配置之方塊圖。

參照圖13，在實施形態1之變化例3，顯示用以對於夾住記憶體陣列2而互相地配置在相反側之區域之週邊電路5a及5b供應電源電壓Vcc及接地電壓GND之電源配線群。

對於週邊電路5a，藉由電源電壓配線PLa及接地配線GLa而供應電源電壓Vcc及接地電壓GND。對於週邊電路5b，藉由電源電壓配線PLb及接地配線GLb而分別供應電源電壓Vcc及接地電壓GND。此外，相同於圖9所示之構造，在用以對於同一週邊電路實行電源供應之電源電壓配線及接地配線，互相地沿著相反方向，流動電流。

例如對應於週邊電路5a之電源節點7a及接地節點8a，係夾住記憶體陣列2，而配置在相反於週邊電路5a之相反側之區域。電源電壓配線PLa係設置在電源節點7a和週邊電



五、發明說明 (30)

路5a間，接地配線GLa係設置在接地節點8a和週邊電路5a間。

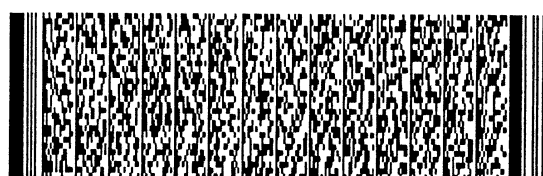
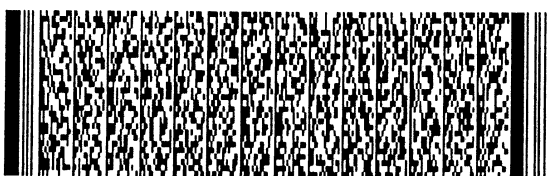
同樣地，對應於週邊電路5b之電源節點7b及接地節點8b，係夾住記憶體陣列2，而配置在相反於週邊電路5b之相反側之區域。電源電壓配線PLb係設置在電源節點7b和週邊電路5b間，接地配線GLb係設置在接地節點8b和週邊電路5b間。

因此，分別流動在電源電壓配線PLa及PLb之電流，係設定在相互相反之方向，分別流動在接地配線GLa及GLb之電流，係也設定在相互相反之方向。

圖14A~14C為用以顯示按照實施形態1之變化例3之電源配線之配置之剖面圖。圖14A-14C為相當於圖13中之R-S剖面圖。

參照圖14A，在第1配置例，電源電壓配線PLa、PLb及接地配線GLa、GLb，係使用隧道磁性電阻元件TMR之上層側及下層側之任何某一邊側之金屬配線層，而進行配置。此外，相互地流動相反方向之電流之電源電壓配線PLa及PLb，係互相接近地進行配置。同樣地，接地配線GLa及GLb係也互相接近地進行配置。

可以藉由成為這樣構造，而在成為隧道磁性電阻元件TMR之配置區域之記憶體陣列，抑制來自電源配線之磁性雜訊之影響。此外，在圖14A，顯示將電源配線群配置在高於隧道磁性電阻元件TMR之上層側之例子，但是，也可以成為將這些電源配線群配置在低於TMR之下層側之構



五、發明說明 (31)

造。此外，如果電源配線群形成在同一金屬配線層的話，則可以削減MRAM元件之形成所需要之金屬配線層數。

參照圖14B，在第2配置例，電源電壓配線PLa及PLb，係在隧道磁性電阻元件TMR之上層側及下層側之任何某一邊側，使用接近且不同之金屬配線層，配置成為重疊在上下方向。同樣地，接地配線GLa及GLb係也使用不同之金屬配線層，互相接近及配置成為重疊在上下方向。

此外，設置在同一金屬配線層之電源配線間，係設置成為互相地流動逆方向之電流。也就是說，在相同於電源電壓配線PLa之同一金屬配線層，配置接地配線GLa，在相同於電源電壓配線PLb之同一金屬配線層，配置接地配線GLb。

可以藉由成為這樣構造，而相同於圖14A所示之構造，在配置隧道磁性電阻元件TMR之區域(記憶體陣列)，抑制來自電源配線之磁性雜訊之不良影響。

此外，在圖14B，顯示在高於隧道磁性電阻元件TMR之上層側配置電源配線群之例子，但是，也可以使用形成在隧道磁性電阻元件TMR下層側之金屬配線層，來形成這些電源配線群。

參照圖14C，在第3配置例，相同於圖12C之配置例，使用隧道磁性電阻元件TMR之上層側及下層側兩者，配置電源配線群。例如使用隧道磁性電阻元件TMR上層側之同一金屬配線層，配置電源電壓配線PLa及PLb，使用形成在隧道磁性電阻元件TMR下層側之金屬配線層，配置接地配線



五、發明說明 (32)

GLb 及 GLa。

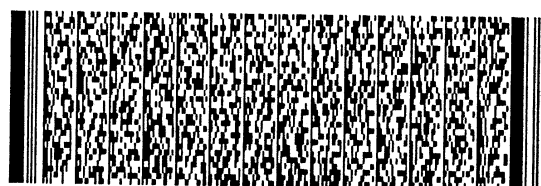
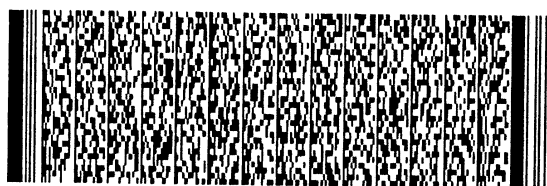
此外，沿著同一方向流動電流之配線間，係夾住隧道磁性電阻元件TMR，在上層側及下層側之各個，進行成對，呈上下對稱地進行配置。例如電源電壓配線PLa係為了和沿著同一方向流動電流之接地配線GLb，進行成對，因此，夾住隧道磁性電阻元件TMR，呈上下對稱地進行配置。同樣地，電源電壓配線PLb係為了和接地配線GLa，進行成對，因此，夾住隧道磁性電阻元件TMR，呈上下對稱地進行配置。

可以藉由成為這樣構造，而使用隧道磁性電阻元件TMR之上層側及下層側兩者之金屬配線層，實現能夠抑制來自電源配線之磁性雜訊之不良影響之電源配線之配置。

此外，圖8所示之流動在電源電壓配線PLa、PLb及接地配線GLa、GLb之電流方向，係相同於圖13。因此，也可以藉由相同於圖14A～14C之構造，而將圖8所示之按照實施形態1之變化例1之第2配置例之電源配線群，設置在記憶體陣列2之附近。

[實施形態2]

正如藉由習知技術項目所說明的，於MRAM元件，在對於選擇記憶單元之資料寫入時，對於相同於選擇記憶單元之同一記憶單元列所屬之非選擇記憶單元，僅就磁化困難軸(HA)方向，施加指定之資料寫入磁場。同樣地，對於相同於選擇記憶單元之同一記憶單元行所屬之非選擇記憶單元，僅就磁化容易軸(EA)之某一邊，施加指定之資料寫入



五、發明說明 (33)

磁場。

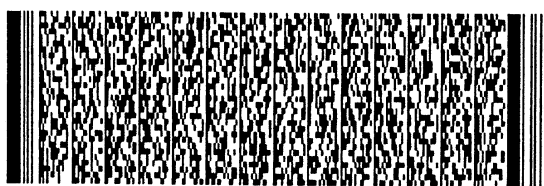
在各個隧道磁性電阻元件TMR，自由磁化層VL係沿著磁化容易軸(EA)方向，在配合記憶資料位準("1"或"0")之方向，進行磁化，因此，自由磁化層VL之磁化方向，係產生錯誤而進行改寫。也就是說，最容易產生資料錯誤寫入之非選擇記憶單元，係成為對應於選擇記憶單元之位元線之記憶單元群。

也就是說，在選擇行所屬之非選擇記憶單元，施加磁性雜訊，使得磁化困難軸(HA)方向之磁場強度，超過圖42所示之交換磁場強度 H_{SW} 時，產生資料錯誤寫入。因此，在記憶體陣列2，特別必須抑制磁化困難軸(HA)方向之磁性雜訊。

此外，於資料讀出時等，在藉由來自電源配線等之磁性雜訊，而在MTJ記憶單元，旋轉自由磁化層VL之磁化方向，偏離磁化容易軸(EA)之方向時，使得隧道磁性電阻元件TMR之電阻值，成為R1和R0之中間值，導致資料讀出邊限之降低。

圖15為顯示按照電源配線之實施形態2之第1配置例之方塊圖。

參照圖15，在記憶體陣列2上，寫入字線WWL係沿著列方向，進行配置，位元線BL係沿著行方向，進行配置。藉由流動在寫入字線WWL之資料寫入電流 I_p 所產生之資料寫入磁場，係在隧道磁性電阻元件TMR，沿著磁化困難軸(HA)之方向，進行施加。另一方面，藉由流動在位元線BL之資



五、發明說明 (34)

料寫入電流 $\pm I_w$ 所產生之磁場，係在隧道磁性電阻元件TMR，沿著磁化容易軸(EA)之方向，進行施加。

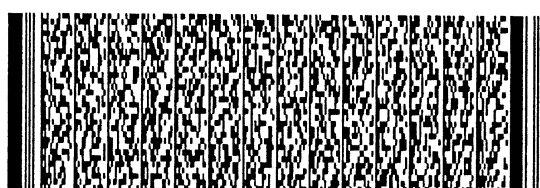
對於對應於記憶體陣列2所設置之週邊電路5，沿著相同於用以產生磁化容易軸(EA)方向之資料寫入磁場之位元線BL之同一方向，配置電源電壓配線PL及接地配線GL。對於電源電壓配線PL，透過電源節點7而供應電源電壓 V_{cc} ，對於接地配線GL，透過接地節點8而供應接地電壓GND。

可以藉由成為這樣構造，而使得流動在電源電壓配線PL及接地配線GL之電流所產生之磁場、也就是來自電源配線之磁性雜訊，在記憶體陣列2，作用於隧道磁性電阻元件TMR之磁化容易軸(EA)方向上。

可以藉由成為這樣構造，而對於選擇行所屬之非選擇記憶單元群，抑制磁化困難軸(HA)方向之磁性雜訊，以便於防止由於來自資料寫入時之電源配線之磁性雜訊所造成之錯誤寫入之產生。

此外，即使是在資料寫入時以外，也可以防止使得隧道磁性電阻元件TMR中之自由磁化層VL之磁化方向呈旋轉之磁性雜訊產生作用，因此，可以避免起因於來自電源配線之磁性雜訊所造成之資料讀出邊限之降低。

此外，如果組合實施形態2和實施形態1及其變化例所示之構造而配置這些電源配線以便於使得由電源電壓配線PL及接地配線GL所分別產生之磁性雜訊在記憶體陣列2相互地互相打消的話，則還可以在記憶體陣列，抑制來自電源配線之磁性雜訊之影響。



五、發明說明 (35)

圖16為顯示按照電源配線之實施形態2之第2配置例之方塊圖。

參照圖16，即使是在通過記憶體陣列2之上部及／或下部區域而配置電源配線以便於橫斷記憶體陣列2之構造，也可以適用相同於圖15之構造。

也就是說，即使是在這樣配置例，也可以使得藉由流動在電源電壓配線PL及接地配線GL之電流所產生之磁場方向，在記憶體陣列2，作用在隧道磁性電阻元件TMR之磁化容易軸(EA)方向上，以便於共有相同於圖15所說明之相同效果。

[實施形態2之變化例]

圖17為顯示按照電源配線之實施形態2之變化例之第1配置例之方塊圖。

參照圖17，在按照實施形態2之變化例之構造，除了按照在圖15所說明之實施形態2之構造外，還進行考量來自電源配線之磁性雜訊之影響在記憶體陣列2成為指定強度以下之配置。

參照圖17，由電源電壓配線PL開始至最接近之MTJ記憶單元中之隧道磁性電阻元件TMR為止之距離 r ，係考量流動在電源配線之波峰電流而進行決定。這樣波峰電流係可以藉由例如設計時之電路模擬而求得。

也就是說，在使得流動在電源電壓配線PL之波峰電流成為 I_{peak} 時，對應於波峰電流之磁性雜訊之波峰強度 H_{peak} ，係藉由下列公式(1)所表示。此外，在公式(1)， k



五、發明說明 (36)

係比例常數。

$$H_{peak} = k \cdot (I_{peak} / r) \dots (1)$$

按照下列公式(2)而設計距離 r ，以便於使得公式(1)所示之 H_{peak} ，小於考量MTJ記憶單元之磁化特性所決定之指定強度 h_p 。

$$H_{peak} < h_p \dots (2)$$

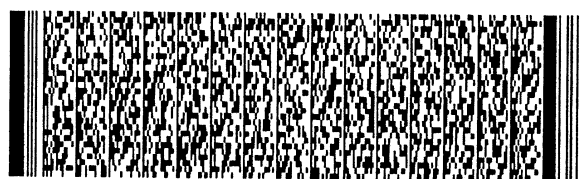
公式(2)中之指定強度 h_p 係相當於圖42所示之邊限部分之磁場強度 Δh 。一般而言，邊限部分之磁場強度 Δh 係設定為交換磁場強度 H_{sw} 之20%左右。可以藉由這樣設計，而避免由於電源配線所產生之磁性雜訊以致於妨礙MRAM之動作穩定性。

此外，就各個電源配線(電源電壓配線及接地配線)而言，適用在圖17所示之構造。也就是說，即使是就接地配線GL之配置而言，同樣地設計一直到最接近接地配線GL之MTJ記憶單元中之隧道磁性電阻元件TMR為止之距離。

圖18係顯示按照電源配線之實施形態2之變化例之第2配置例之方塊圖。

參照圖18，即使是就配置通過記憶體陣列2之上部及／或下部區域以便於橫斷記憶體陣列2之電源配線的構造，也可以適用相同於圖17之構造。

即使是在該狀態下，也可以著眼於各個電源配線和最接近之隧道磁性電阻元件TMR間之距離 r ，按照前述公式(1)和(2)，設計各個電源配線之配置佈局。此外，如果組合實施形態2之變化例和實施形態1及其變化例所示之構造的



五、發明說明 (37)

話，則可以在記憶體陣列，還進一步地抑制來自電源配線之磁性雜訊之影響。

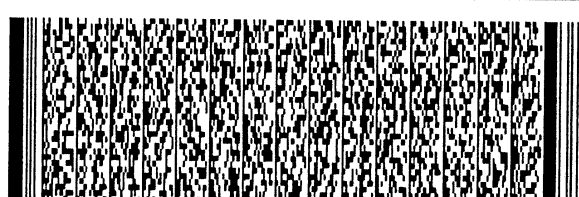
此外，在圖17及圖18，就為了使得來自電源配線之磁性雜訊作用在隧道磁性電阻元件TMR之磁場容易軸(EA)方向而配置電源配線之構造，進行說明，但是，實施形態2之變化例之適用係並非限定為這樣構造。也就是說，各個電源配線之配置佈局係不論配置電源配線之方向，可以著眼於和最接近之隧道磁性電阻元件TMR間之距離，進行設計。

[實施形態3]

也正如在實施形態2所敘述的，來自電源配線之磁性雜訊係在流動波峰電流之狀態下，變得最大。一般而言，為了對於電源配線，抑制電源變動，因此，配置去耦電容。流動在電源配線之例如波峰電流之高頻電流，係通過該去耦電容。去耦電容係必須具有某種程度之電感，因此，佔有比較寬之面積。所以，由MRAM元件之小型化・高積體化之觀點來看的話，則有效地配置去耦電容，係變得重要。

圖19及圖20係分別說明按照實施形態3之去耦電容之第1及第2配置例之方塊圖。

參照圖19，電源電壓配線PL係沿著例如行方向而進行配置，將輸入至電源節點7之電源電壓Vcc，傳達至週邊電路5。電源節點7及週邊電路5係沿著配置電源電壓配線PL之方向，夾住記憶體陣列2，配置在相互之相反側之區域。接地節點8及接地配線GL係配置在相同於週邊電路5之同一



五、發明說明 (38)

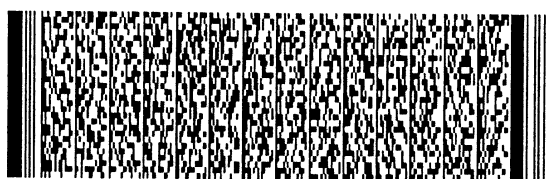
側之區域。因此，電源電壓配線PL係涵蓋電源節點7和記憶體陣列2間之區域、通過記憶體陣列2附近之區域、以及記憶體陣列2和週邊電路5間之區域中之兩者，進行配置。

去耦電容70，係避免通過記憶體陣列2附近之區域，而在記憶體陣列2和週邊電路5間之區域，電性耦合在電源電壓配線PL和接地配線GL間。響應在週邊電路5之消耗電流而產生在電源電壓配線PL之波峰電流，係先產生於去耦電容70，因此，該波峰電流係並無流動在接近記憶體陣列2之區域。因此，可以有效地配置去耦電容，還進一步地抑制來自記憶體陣列2之電源配線之磁性雜訊之強度。

電源電壓配線PL係也可以沿著行方向以外之方向，進行配置，但是，如果沿著行方向、沿著相同於位元線BL之同一方向而進行配置的話，則能夠相同於實施形態2，配置電源配線，因此，可以抑制來自電源配線之磁性雜訊之不良影響。

參照圖20，即使是就配置通過記憶體陣列2之上部及／或下部區域以便於橫斷記憶體陣列2之電源配線的構造，也可以適用相同於圖19之構造。

即使是在該狀態下，去耦電容70係避免通過記憶體陣列2所接近之區域，而在電源電壓配線PL上之記憶體陣列2和週邊電路5間之區域，電性耦合在接地配線GL間。可以藉由成為這樣構造，以便於即使是在配置電源配線而橫斷記憶體陣列2的構造，也可以得到相同於圖19之配置之同樣效果。



五、發明說明 (39)

[實施形態3之變化例1]

圖21及圖22係顯示按照實施形態3之變化例1之去耦電容之第1及第2配置例之方塊圖。

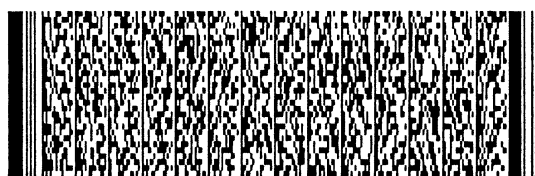
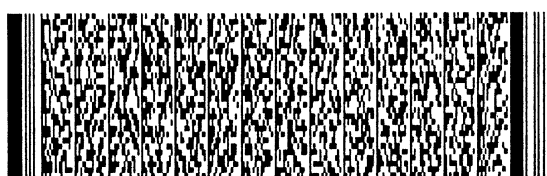
參照圖21，週邊電路5、電源節點7、電源電壓配線PL、接地配線GL和接地節點8之配置，係相同於圖19，因此，不重複進行詳細之說明。

在按照實施形態3之變化例1之構造，去耦電容71係在電源電壓配線PL上，對應於電源節點7和記憶體陣列2間之區域，而進行設置，電性耦合在電源電壓配線PL和接地電壓GND間。藉由成為這樣構造，以便於使得藉由週邊電路5之消耗電流所產生之波峰電流，不流動在接近電源電壓配線PL上之記憶體陣列2之區域，利用去耦電容，來進行除去。因此，相同於實施形態3，可以還進一步地抑制對於來自電源配線之磁性雜訊所造成之記憶體陣列2之不良影響。

參照圖22，即使是就配置通過記憶體陣列2之上部或下部區域以便於橫斷記憶體陣列2之電源配線的構造，也可以適用相同於圖21之構造。

即使是在該狀態下，去耦電容71係避免通過記憶體陣列2所接近之區域，而對應於電源電壓配線PL上之電源節點7和記憶體陣列2間之區域，進行設置。可以藉由成為這樣構造，以便於即使是在配置電源配線而橫斷記憶體陣列2的構造，也可以得到相同於圖21之配置之同樣效果。

[實施形態3之變化例2]



五、發明說明 (40)

圖23及圖24為顯示按照實施形態3之變化例2之去耦電容之第1及第2配置例之方塊圖。

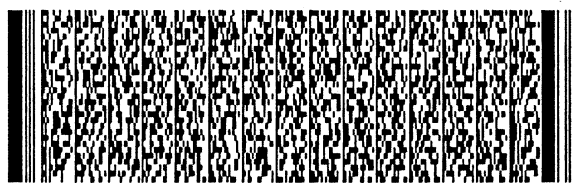
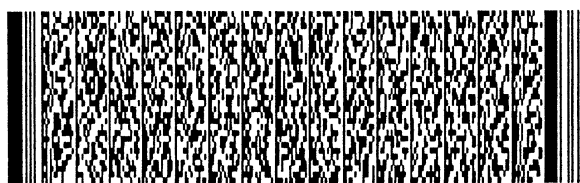
參照圖23，在實施形態3之變化例2，顯示對應在MRAM元件之佈局設計上而具有比較餘裕之狀態來組合實施形態3及其變化例1之去耦電容之配置。也就是說，在圖23所示之配置例，配置圖19及圖21分別所示之去耦電容70及71兩者。可以藉由成為這樣構造，以便於還進一步地抑制由電源電壓配線PL作用在記憶體陣列2上之磁場雜訊之強度。

同樣地，在圖24所示之配置例，於配置通過記憶體陣列2之上部或下部區域以便於橫斷記憶體陣列2之電源配線的構造，配置圖20及圖22分別所示之去耦電容70及71兩者。可以藉由成為這樣構造，以便於還進一步地抑制由作用在記憶體陣列2上之電源配線開始之磁場雜訊之強度。

此外，按照實施形態3及其變化例1和2之去耦電容之配置，係可以適用在按照實施形態1和2以及這些變化例所配置之電源配線。在該狀態下，可以合併及享受在這些實施形態所說明之效果，因此，可以更加強力地排除來自電源配線之磁性雜訊對於MTJ記憶單元所造成之不良影響，使得MRAM元件穩定地進行動作。

[實施形態4]

參照圖25，在按照實施形態4之構造，使用呈行列狀地配置複數個記憶單元MC之記憶體陣列2端部之週邊區域110，配置複數個虛擬磁性電阻元件DTMR。各個虛擬磁性電阻元件DTMR係沿著記憶單元列及記憶單元行之至少一



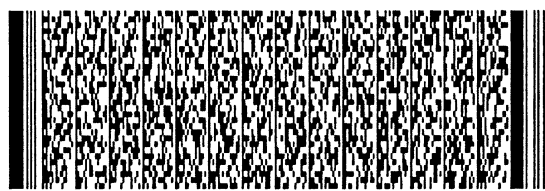
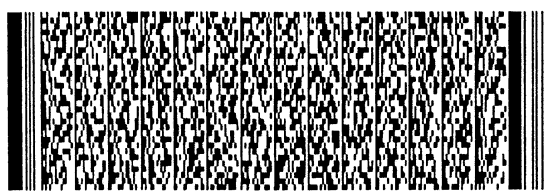
五、發明說明 (41)

邊，呈列狀或行狀地進行配置。

各個虛擬磁性電阻元件DTMR係具有相同於記憶單元MC中之隧道磁性電阻元件TMR之相同形狀及構造。也就是說，隧道磁性電阻元件TMR及虛擬磁性電阻元件DTMR之各個，係相同於圖40及圖41所示之構造，具有：具備固定之磁化方向之固定磁化層FL、藉由所施加之磁場而具有能夠更新（改寫）之磁化方向之自由磁化層VL、以及用以使得固定磁化層FL之磁化方向呈固定之反強磁性體層AFL。

正如已經所說明的，在各個記憶單元MC，固定磁化層FL之磁化方向11呈固定，自由磁化層VL之磁化方向12係藉由配合寫入資料之資料寫入磁場，而進行改寫。相對於此，在虛擬磁性電阻元件DTMR，自由磁化層VL之磁化方向12d係整理在相同於固定磁化層FL之磁化方向11d之同一方向。設定這些磁化方向11d和磁化方向12d，在抵消由於最接近這些虛擬磁性電阻元件DTMR所設置之配線13而產生之磁場的方向上。

例如在該接近所設置之配線13成為電源電壓配線PL或接地配線GL等之電源配線之狀態下，一般而言，這些配線係配置在晶片之最上層部分，因此，隧道磁性電阻元件TMR及虛擬磁性電阻元件DTMR係位處在更加低於配線13之下層側。因此，由配線13而作用於虛擬磁性電阻元件DTMR之磁場，係在圖25中，成為點線所示之方向（在圖25之左方向），因此，虛擬磁性電阻元件DTMR之磁化方向11d及12d，係設定成為與此相反之方向（在圖25之右方向）。



五、發明說明 (42)

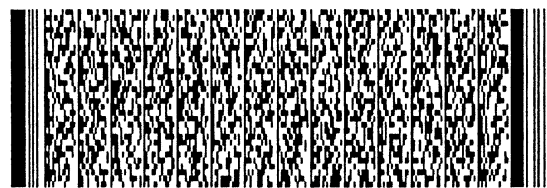
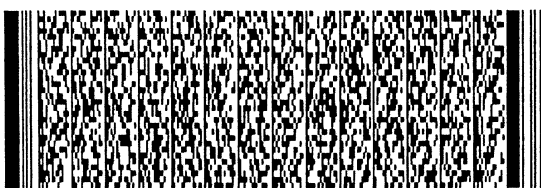
可以藉由成為這樣構造，以便於使得對於由配置在記憶體陣列2週邊部所配置之電源配線等之配線13開始之記憶體陣列2之記憶單元MC之磁性雜訊變弱。藉此而提高各個記憶單元MC之動作穩定性。

此外，由於各個記憶單元MC之固定磁化層之磁化方向11、虛擬磁性電阻元件DTMR之磁化方向11d(固定磁化層)及磁化方向12d(自由磁化層)之各個係呈一致，因此，可以在用以磁化記憶單元MC之固定磁化層FL之作業中，同時磁化虛擬磁性電阻元件DTMR。也就是說，並不需要專門地設置磁化虛擬磁性電阻元件DTMR之作業。

此外，可以藉由配置在記憶體陣列端部之虛擬磁性電阻元件DTMR，而避免記憶體陣列端部之磁場非連續性，並不會損害配置在記憶體陣列2端部區域之記憶單元MC之動作邊限。此外，由於虛擬磁性電阻元件DTMR和隧道磁性電阻元件TMR係具有相同之形狀及構造，因此，並無設置專用之製造作業，可以製造這些虛擬磁性電阻元件DTMR。

此外，由於可以避免在記憶體陣列2端部之加工形狀之非連續性，因此，可以防止在該端部之隧道磁性電阻元件TMR之形狀成為不均一化。同樣地，即使是就配線群，為了確保加工形狀之連續性，因此，即使對於並不需要實行選擇性資料寫入之虛擬磁性電阻元件，也分別配置相當於寫入字線WWL之虛擬寫入字線DWWL以及相當於位元線BL之虛擬位元線DBL。

[實施形態4之變化例]



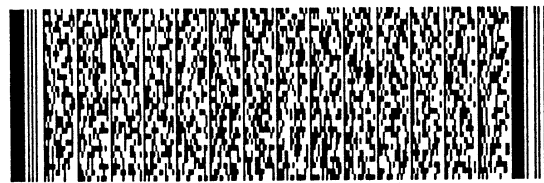
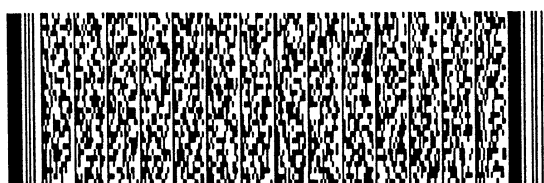
五、發明說明 (43)

參照圖26，在按照實施形態4之變化例之構造，於記憶體陣列2端部之週邊區域110，取代虛擬磁性電阻元件DTMR而配置虛擬磁性體26之方面，係變得不同。虛擬磁性體26係包含具有固定之磁化方向之磁性體，但是，該磁性體係並不具有相同於各個記憶單元MC中之隧道磁性電阻元件TMR之相同之形狀及構造。例如虛擬磁性體26係可以藉由相當於隧道磁性電阻元件TMR中之反強磁性體層AFL之磁性體而形成。像這樣，即使是在將形狀及構造不同於隧道磁性電阻元件TMR之虛擬磁性體26配置在週邊區域之狀態下，相同於實施形態4，也能夠使得對於由配置在記憶體陣列2週邊部所配置之電源配線等之配線13開始之記憶體陣列2之記憶單元MC之磁性雜訊變弱。藉此而提高各個記憶單元MC之動作穩定性。

[實施形態5]

參照圖27，在按照實施形態5之構造中，於記憶體陣列2之外部區域，配置用以構成電感元件之配線130。配線130係設置在例如週邊電路5部分。此外，可以藉由在記憶體陣列2端部之週邊區域110，配置相同於實施形態4或其變化例之虛擬磁性電阻元件DTMR或者虛擬磁性體26，而使得對於配置在記憶體陣列2之記憶單元MC之磁性雜訊變弱。配線130係電性耦合具有相同於各個記憶單元MC中之隧道磁性電阻元件TMR之形狀及構造之磁性體ITMR。

圖28為用以說明電感元件之構造之剖面圖。在圖28，比較對應於記憶體陣列2之記憶單元MC部分之剖面圖以及週



五、發明說明 (44)

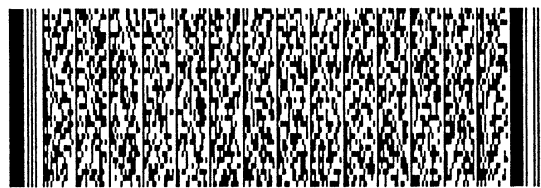
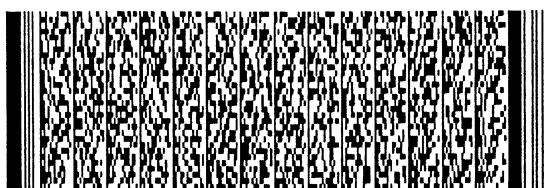
邊電路5之配線130之剖面圖。

參照圖28，在記憶體陣列2，於半導體基板SUB，形成存取電晶體ATR。存取電晶體ATR係具有成為n型區域之源極／汲極區域32和34以及閘極33。源極／汲極區域32係透過形成在接觸孔35之金屬膜，電性耦合基準電壓配線SL。讀出字線RWL，係設置在閘極層，成為連接閘極33間之配線。

寫入字線WWL係形成在基準電壓配線SL之上層所設置之金屬配線層。隧道磁性電阻元件TMR係透過形成在寫入字線WWL之上層側所配置之耦合帶37及接觸孔36之金屬膜，電性耦合存取電晶體ATR之源極／汲極區域34。耦合帶37係用以電性耦合隧道磁性電阻元件TMR和存取電晶體ATR而設，藉由導電性物質所形成。位元線BL係電性耦合隧道磁性電阻元件TMR，設置在隧道磁性電阻元件TMR之上層側。

相對於此，在週邊電路5，形成在相同於位元線BL之同一配線層之配線130係透過形成在接觸孔39之金屬膜，而電性耦合磁性體ITMR。磁性體ITMR係形成在相同於記憶體陣列2之隧道磁性電阻元件TMR之同一層，並且，具有相同之形狀及構造。因此，這些磁性體ITMR係並無設置特別之製造作業，可以在記憶單元MC之製造作業，同時進行製造。

再一次地參照圖27，於連接配線130之磁性體ITMR，整理固定磁化層之磁化方向11i和自由磁化層之磁化方向12i，成為同一方向。並不需要設置藉由整理這些磁化方



五、發明說明 (45)

向 $11i$ 和磁化方向 $12i$ 成為相同於隧道磁性電阻元件TMR之固定磁化層之磁化方向 11 之同一方向而用以磁化磁性體ITMR之專門作業。

像這樣，藉由配線130和耦合這個配線130之至少1個磁性體ITMR所構成之電感元件31係可以使用作為電路元件，或者是用以呈串聯地連接用以供應動作電壓之電源配線，抑制在電源投入時等之所產生之突入電流等之波峰電流。

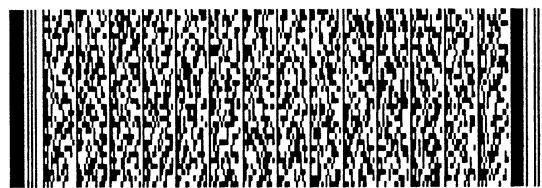
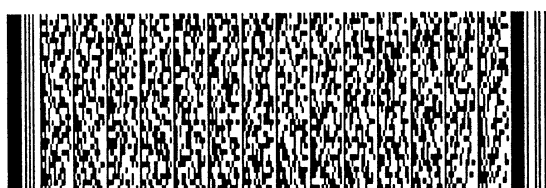
此外，如果設定流動在構成電感元件31之配線130中之電流，小於用以使得藉由該電流所產生之磁場改寫磁性體ITMR之自由磁化層之磁化方向 $12i$ 之臨限值的話，則能夠穩定地維持電感元件31之電感值。

[實施形態6]

在實施形態6，就電源配線及流動資料寫入電流之配線之理想配置關係，進行說明。

圖29係顯示按照實施形態6之位元線和電源配線之配置之概念圖。

參照圖29，對於呈行列狀地配置記憶體陣列2之記憶單元MC，分別對應於記憶單元行，配置位元線BL，分別對應於記憶單元列，寫入位元線WWL。正如已經所說明的，在位元線BL，流動用以產生沿著隧道磁性電阻元件TMR之磁化容易軸方向之磁場之資料寫入電流，對於寫入位元線WWL，流動用以產生沿著隧道磁性電阻元件TMR之磁化困難軸方向之磁場之資料寫入電流。也就是說，位元線BL係沿

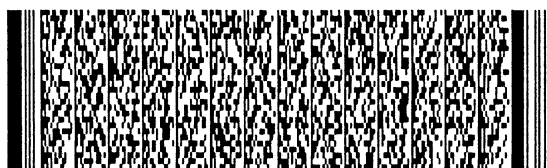


五、發明說明 (46)

著隧道磁性電阻元件TMR之磁化困難軸方向HA而進行配置，寫入位元線WWL係沿著隧道磁性電阻元件TMR之磁化容易軸方向EA而進行配置。位元線BL係在各個記憶單元行，分割成為複數個而進行配置。例如對應於第1個記憶單元行，分割成為位元線BL11、BL21、BL31、.....而進行配置。

對應於同一記憶單元行所對應而設置之複數條位元線，設置平行於位元線BL所配置之1組電源電壓配線PL和接地配線GL。電源電壓配線PL和接地配線GL係藉由沿著其長邊方向所鄰接之位元線BL11、BL21、BL31、.....而成為共有。電源電壓配線PL係在其一端側，電性耦合供應電源電壓Vcc之電源節點7，接地配線GL係在其一端側，電性耦合供應接地電壓GND之接地節點8。施加資料寫入磁場至選擇記憶單元之位元線BL，係配置成為比起用以供應資料寫入電流至位元線BL之電源電壓配線PL和接地配線GL還更加接近隧道磁性電阻元件TMR。

此外，分別對應於各個位元線BL之某一端側及其他端側，配置位元線驅動器。例如分別對應於位元線BL11之某一端側及其他端側，配置位元線驅動器BDVa11及BDVb11，分別對應於位元線BL21之某一端側及其他端側，配置位元線驅動器BDVa21及BDVb21，分別對應於位元線BL31之某一端側及其他端側，配置位元線驅動器BDVa31及BDVb31。在以下，也將對應於位元線BL之某一端側所設置之位元線驅動器BDVa11、BDVa21、BDVa31.....，總稱為位元線驅



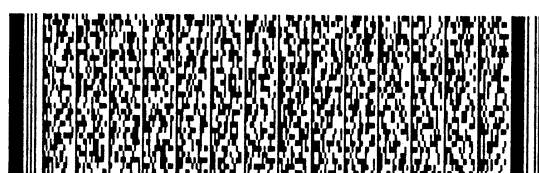
五、發明說明 (47)

動器BDVa，也將對應於位元線BL之其他端側所設置之位元線驅動器BDVb11、BDVb21、BDVb31……，總稱為位元線驅動器BDVb。

參照圖30，位元線驅動器BDVa，係具有：電性耦合在相當於位元線BL某一端側之節點Na和電源電壓配線PL間之P通道MOS電晶體41、電性耦合在節點Na和接地配線GL間之N通道MOS電晶體42、輸出所對應之行選擇線CSL和寫入資料DIN之NAND邏輯演算結果之邏輯閘44、以及輸出寫入資料DIN和所對應之行選擇線之反轉位準／CSL之NOR邏輯演算結果之邏輯閘46。邏輯閘44之輸出係輸入至電晶體41之閘極，邏輯閘46之輸出係輸入至電晶體42之閘極。行選擇線CSL係在選擇所對應之記憶單元行之狀態下，活化成為H位準，在此以外之狀態下，非活化成為L位準。

位元線驅動器BDVb，係具有：電性耦合在相當於位元線BL其他端側之節點Nb和電源電壓配線PL間之P通道MOS電晶體51、電性耦合在節點Nb和接地配線GL間之N通道MOS電晶體52、輸出所對應之行選擇線CSL和反轉之寫入資料／DIN之NAND邏輯演算結果之邏輯閘54、以及輸出反轉之寫入資料／DIN和所對應之行選擇線之反轉位準／CSL之NOR邏輯演算結果之邏輯閘56。邏輯閘54之輸出係輸入至電晶體51之閘極，邏輯閘56之輸出係輸入至電晶體52之閘極。

因此，在選擇行(行選擇線CSL=H位準)，位元線驅動器BDVa及BDVb係成為活化。對應於寫入資料DIN之位準，成為活化之位元線驅動器BDVa係使得電源電壓配線PL和接地



五、發明說明 (48)

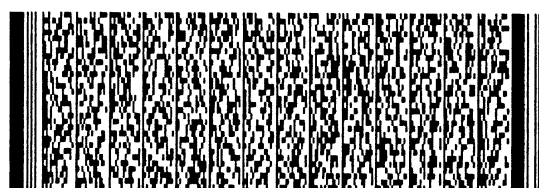
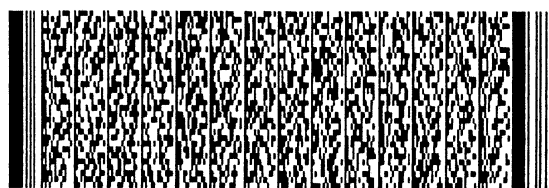
配線GL之某一邊，呈選擇性地連接節點Na，成為活化之位元線驅動器BDVb係使得電源電壓配線PL和接地配線GL之其他邊，呈選擇性地連接節點Nb。

另一方面，在非選擇行(行選擇線CSL=L位準)，位元線驅動器BDVa係成為非活化，使得節點Na皆不連接電源電壓配線PL和接地配線GL之任何一種，位元線驅動器BDVb係成為非活化，使得節點Nb皆不連接電源電壓配線PL和接地配線GL之任何一種。

再一次地參照圖29，作為一例，係就施加對應於位元線BL21之記憶單元被選擇成為資料寫入對象並且資料寫入電流之方向成為由位元線驅動器BDVa21朝向BDVb21之方向之寫入資料之狀態下之動作，進行說明。

在該狀態下，位元線驅動器BDVa21和BDVb21係成為活化，其他位元線驅動器係成為非活化。因此，資料寫入電流係流動在電源節點7～電源電壓配線PL(位元線BL11對應區域)～位元線驅動器BDVa21～位元線BL21～位元線驅動器BDVb21～接地配線GL(位元線BL21對應區域及位元線BL11區域)～接地節點8之通路。

因此，在位元線BL11對應區域，電源電壓配線PL和接地配線GL各個之電流方向係互相相反，因此，相同於圖10A～10B所說明的，來自這些配線而對於隧道磁性電阻元件TMR所產生之磁場係相互地抵消。也就是說，成為同樣組對之電源電壓配線PL和接地配線GL係也可以正如圖10A所示，使用同一配線層，沿著左右方向，進行排列及配置，



五、發明說明 (49)

也可以正如圖10B所示，使用不同配線層，進行配置，而重疊於上下方向。

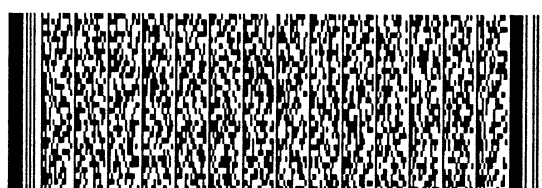
此外，流動在位元線BL21之資料寫入電流和位元線BL21對應區域之接地配線GL之通過電流係也成為互相相反之方向，因此，對於非選擇記憶單元，由兩者分別作用之磁場係相互地抵消。此外，在位元線BL31以後之區域，於位元線BL、電源電壓配線PL和接地配線GL兩者，並無電流流動，因此，不產生磁場雜訊。

可以藉由成為這樣構造，以便於減輕來自包含在選擇行之位元線BL所供應之資料寫入電流之電流通路中之配線群而對於非選擇記憶單元之磁場雜訊，提高MRAM元件之動作可靠性。

[實施形態6之變化例1]

在實施形態6之變化例1，就用以簡化位元線驅動器構造之構造，進行說明。

參照圖31，在按照實施形態6之變化例1之構造，為了取代電源電壓配線PL和接地配線GL，因此，配置寫入電流配線WCL及 $\neg$ WCL。對應於寫入電流配線WCL而配置電源交換器電路100，對應於寫入電流配線 $\neg$ WCL而設置電源交換器電路105。電源交換器電路100係配合寫入資料DIN，連接電源電壓Vcc及接地電壓GND之某一邊和寫入電流配線WCL，電源交換器電路105係配合寫入資料之反轉位準 $\neg$ DIN，連接電源電壓Vcc及接地電壓GND之其他邊和寫入控制配線 $\neg$ WCL。因此，寫入電流配線WCL及 $\neg$ WCL係配合寫



五、發明說明 (50)

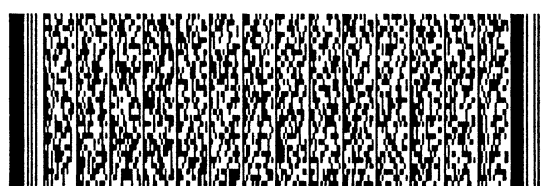
入資料DIN，互補地連接電源電壓Vcc及接地電壓GND之每一邊。

此外，為了取代位元線驅動器BDVa11～BDVa31而配置位元線驅動器BDVa'11～BDVa'31，為了取代位元線驅動器BDVb11～BDVb31．．．而分別設置位元線驅動器BDVb'11～BDVb'31。以下，將位元線驅動器BDVa'11～BDVa'31．．．，也總稱為位元線驅動器BDVa'，將位元線驅動器BDVb'11～BDVb'31．．．，也總稱為位元線驅動器BDVb'。就其他部分之構造而言，相同於按照圖29所示之實施形態6之構造，因此，不重複進行詳細之說明。

圖32係顯示圖31所示之位元線驅動器之構造之電路圖。

參照圖32，位元線驅動器BDVa'係具有電性耦合在寫入電流配線WCL及節點Na(位元線BL之某一端側)間之N通道MOS電晶體81。位元線驅動器BDVb'係具有電性耦合在節點Nb(位元線BL之其他端側)及寫入電流配線／WCL間之N通道MOS電晶體82。電晶體81及電晶體82之各個閘極，係連接對應之行選擇線CSL。

在按照實施形態6之變化例1之構造，可以藉由電源交換器電路100及105，而使得寫入電流配線WCL、／WCL，呈選擇性地連接電源電壓Vcc及接地電壓GND，因此，在位元線驅動器BDVa'及BDVb'，並不需要進行配合寫入資料之寫入電流配線WCL及／WCL間之選擇。也就是說，在各個位元線驅動器BDVa'、BDVb'，可以固定地選擇寫入電流配線WCL及／WCL之某一個。因此，可以僅藉由電晶體閘極而構成



五、發明說明 (51)

各個位元線驅動器，可以簡化其構造。結果，能夠使得電路面積成為小型化，達到搭載MRAM元件之晶片之小型化。

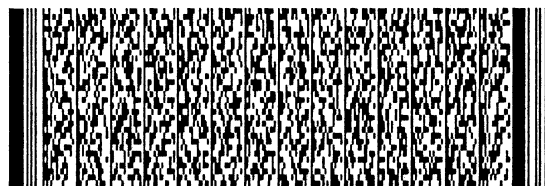
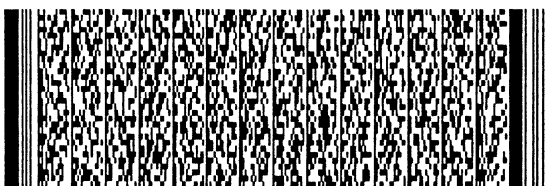
再一次地參照圖31，在施加對應於位元線BL21之記憶單元被選擇成為資料寫入對象並且資料寫入電流之方向成為由位元線驅動器BDVa21朝向BDVb21之方向之寫入資料之狀態下，流動在寫入電流配線WCL、 $\neg$ WCL及所選擇之位元線BL21之電流之方向，係成為相同於圖29之電源電壓配線PL、接地配線GL及所選擇之位元線BL21之各個。此外，在寫入資料之位準成為相反之狀態下，藉由電源交換器電路100、105而替換寫入電流配線WCL、 $\neg$ WCL和電源電壓Vcc、接地電壓GND間之連接關係，因此，可以在寫入電流配線WCL、 $\neg$ WCL和所選擇之位元線BL21之各個，沿著相反於前面敘述之逆方向，流動電流。

因此，即使是在按照實施形態6之變化例1之構造，相同於按照實施形態6之構造，可以減輕來自包含在選擇行之位元線BL所供應之資料寫入電流之電流通路中之配線群而對於非選擇記憶單元之磁場雜訊，提高MRAM元件之動作可靠性。

[實施形態6之變化例2]

在實施形態6之變化例2，於按照實施形態6之構造，就電源電壓配線PL及接地配線GL之兩端分別連接電源節點和接地節點之構造，進行說明。

參照圖33，在按照實施形態6之變化例2之構造，電源電壓配線PL在其兩端分別連接供應電源電壓Vcc之電源節點



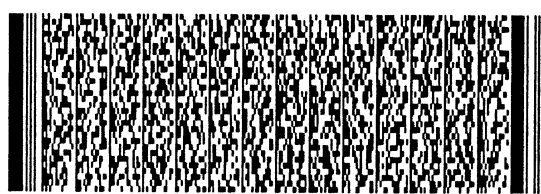
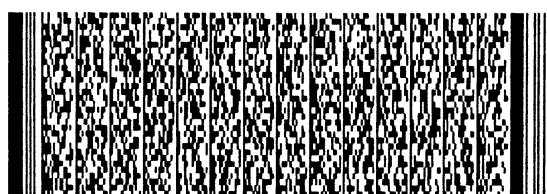
五、發明說明 (52)

7a 和 7b 之方面以及接地配線 GL 在其兩端分別連接供應接地電壓 GND 之接地節點 8a 和 8b 之方面，係不同於按照實施形態 6 之構造。就其他部分之構造而言，係相同於按照圖 29 所示之實施形態 6 之構造，因此，不重複進行詳細之說明。

即使是在圖 33，也代表性地顯示施加對應於位元線 BL21 之記憶單元被選擇成為資料寫入對象並且資料寫入電流之方向成為由位元線驅動器 BDVa21 朝向 BDVb21 之方向之寫入資料之狀態下之動作。在這樣狀態下，成為由電源節點 7a 所供應之電流 I1 和由電源節點 7b 所供應之電流 I2 之和 ($I1 + I2$)，係流動在位元線 BL21 上，作為資料寫入電流。這樣所供應之資料寫入電流 ($I1 + I2$)，係在接地配線 GL 上，分配成為至接地節點 8a 之電流 I1 和至接地節點 8b 之電流 I2。

因此，在位元線 BL11 對應區域，同一位準之電流 I1 係互相沿著相反方向，而流動在電源電壓配線 PL 及接地配線 GL 上。此外，在位元線 BL31 以後之對應區域，使得電源電壓配線 PL 及接地配線 GL 上，互相沿著相反方向，流動同一位準電流 I2。因此，由對應於電源電壓配線 PL 及接地配線 GL 之這些區域之部分所產生之同程度之強度之磁場雜訊，係作用在記憶單元 MC 部分之相互抵消之方向上。

另一方面，在位元線 BL21 對應區域，在各個位元線 BL21 和接地配線 GL，流動相同於圖 29 所說明之同樣電流，此外，在電源電壓配線 PL，沿著相同於流動在接地配線 GL 之



五、發明說明 (53)

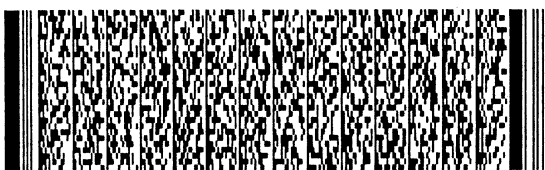
電流 I_1 之同一方向，流動電流 I_2 。因此，在按照實施形態6之變化例2之構造，即使是在對應於選擇位元線之區域，也可以在記憶單元MC部分，抵消分別由電源電壓配線PL及接地配線GL所產生之磁性雜訊群。結果，在按照實施形態6之變化例2之構造，除了實施形態6所示之構造例之效果外，還可以更加地減輕對應於選擇位元線之區域之磁性雜訊，更加地提高MRAM元件之動作可靠性。

[實施形態6之變化例3]

在實施形態6之變化例3，就實施形態6之變化例1所示之寫入電流配線WCL及 $\neg$ WCL相同於實施形態6之變化例2所示之構造而分別對應於其兩端來配置電源交換器電路之構造，進行說明。

參照圖34，按照實施形態6之變化例3之構造，係就分別對應於寫入電流配線WCL之兩端配置電源交換器電路100a及100b以及分別對應於寫入電流配線 $\neg$ WCL之兩端配置電源交換器電路105a及105b之方面來說，不同於按照圖31所示之實施形態6之變化例1之構造。各個電源交換器電路100a及100b係相同於電源交換器電路100而進行動作，各個電源交換器電路105a及105b係相同於電源交換器電路105而進行動作。因此，寫入電流配線WCL及 $\neg$ WCL，係均等地作用在圖33所示之其兩端耦合電源電壓 V_{cc} 之電源電壓配線PL以及其兩端連接接地電壓GND之接地配線GL之每一邊。

因此，在按照實施形態6之變化例3之構造，除了相同於



五、發明說明 (54)

實施形態6之變化例2之同樣效果外，還可以簡化各個位元線驅動器BDVa'及BDVb'之構造，達到晶片面積之小型化。

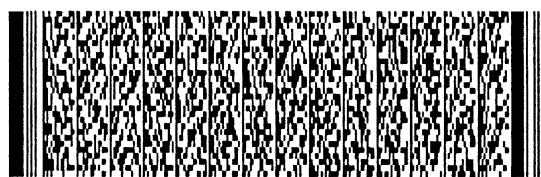
[實施形態6之變化例4]

在實施形態6之變化例4，顯示1組電源電壓配線PL及接地配線GL配置對應於複數個記憶單元行之構造。

參照圖35，在按照實施形態6之變化例4之構造，1組電源電壓配線PL及接地配線GL係配置在複數個記憶單元行之每一個。例如在圖35，對應於2個記憶單元行，配置1組電源電壓配線PL及接地配線GL。圖35所示之分別對應於1組電源電壓配線PL及接地配線GL所對應之位元線BL11～BL31…、BL12～BL32…之位元線驅動器BDVa11、BDVb11～BDVa31、BDVb31…和BDVa12、BDVb12～BDVa32、BDVb32…之各個，係由共通之電源電壓配線PL及接地配線GL，接受資料寫入電流之供應。也就是說，電源電壓配線PL及接地配線GL，係不論沿著其長邊方向所鄰接之位元線間，也可以成為在沿著其幅寬方向所鄰接之位元線間作為共有之構造。

可以成為這樣構造，以便在享受相同於按照實施形態6之構造之同樣磁性雜訊減輕效果之外，並且，還可以削減電源電壓配線PL及接地配線GL之配置條數。

即使是在由實施形態6之變化例1至3所分別顯示之構造，同樣也可以在複數個記憶單元行之每一個而配置1組電源電壓配線PL及接地配線GL。此外，在這樣構造，也可以成為在各個記憶單元行不分割位元線BL之構造。



五、發明說明 (55)

此外，在圖29、圖33、圖35等所示之構造，可以構成在電源節點7、7a、7b和電源電壓配線PL間，設置用以供應一定電流之電流源電路，透過該電流源電路而實行對於電源電壓配線PL之電源電壓Vcc之供應。可以藉此而使得資料寫入電流，穩定地維持在指定位準。

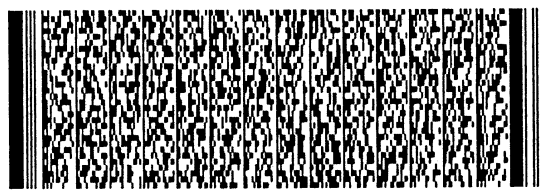
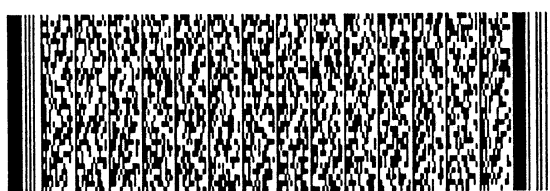
此外，在實施形態6及其變化例，顯示用以供應流動在位元線BL之資料寫入電流之電源電壓配線PL及接地配線GL之配置，但是，同樣地也可以將相同構造適用在對於用以供應流動在寫入字線WWL之資料寫入電流之電源電壓配線PL及接地配線GL之配置。但是，寫入字線WWL上之資料寫入電流係不論寫入資料位準，可以成為一定方向，因此，不僅可以在各個寫入字線之某一端側，僅連接接地配線GL，還可以在其另外端側，設置配合列選擇結果而連接電源電壓配線PL和該其他端之電晶體交換器。

[實施形態7]

在實施形態7，說明對於記憶體陣列2之電源配線之有效配置。

參照圖36，在按照實施形態7之構造之第1配置例，配置圖1等所示之複數個記憶單元之記憶體陣列，係分割成為群組BAa及BAa。此外，配置對應於群組BAa之週邊電路5a及對應於群組BAb之週邊電路5b。群組BAa及BAa係選擇性地成為資料寫入對象，兩者不可能同時成為資料寫入對象。

用以對於週邊電路5a分別供應電源電壓Vcc及接地電壓



五、發明說明 (56)

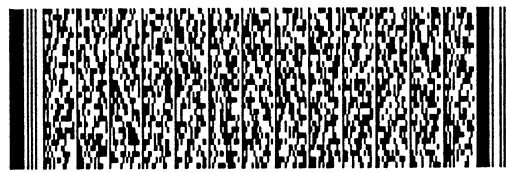
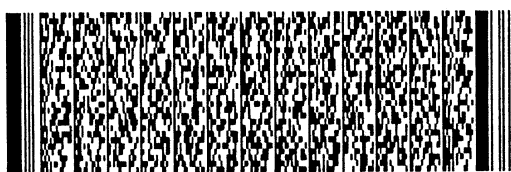
GND之電源電壓配線PLa及接地配線GLa，係使用對應於群組BAb之區域而進行配置。也就是說，電源節點7a及接地節點8a，如果由週邊電路5a來看的話，係配置在群組BAb側。

同樣地，用以對於週邊電路5b分別供應電源電壓Vcc及接地電壓GND之電源電壓配線PLb及接地配線GLb，係使用對應於群組BAa之區域而進行配置。也就是說，電源節點7b及接地節點8b，如果由週邊電路5b來看的話，係配置在群組BAa側。

藉由成為這樣構造，以便在實行對於群組BAa之資料寫入之期間中，使得由用以供應資料寫入電流之電源電壓配線PLa及接地配線GLa所產生之磁性雜訊，僅產生在對應於資料寫入動作成為非實行之群組BAb之區域。因此，在資料寫入動作中之群組BAa，並無受到使得資料寫入邊限呈降低之磁性雜訊之影響。

同樣地，在實行對於群組BAb之資料寫入之期間中，使得由用以供應資料寫入電流之電源電壓配線PLb及接地配線GLb所產生之磁性雜訊，僅產生在對應於資料寫入動作成為非實行之群組BAa之區域。因此，在資料寫入動作中之群組BAb，並無受到使得資料寫入邊限呈降低之磁性雜訊之影響。

可以藉由成為這樣構造，而防止在資料寫入動作時之非選擇記憶單元之錯誤寫入產生，提高MRAM元件之動作可靠性。



五、發明說明 (57)

圖37係說明按照實施形態7之電源配線之第2例之方塊圖。

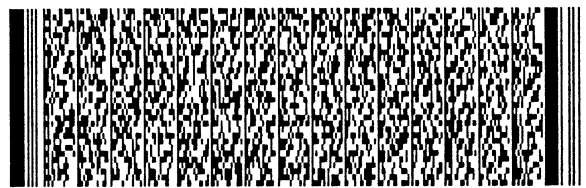
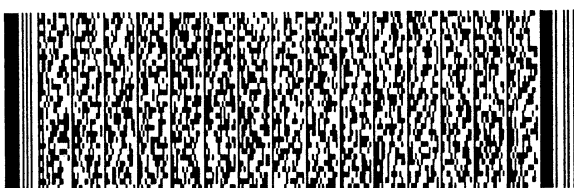
參照圖37，用以對於週邊電路5a供應動作用電壓之電源電壓配線PLa及接地配線GLa，係可以配置在群組BA_b之附近區域。同樣地，可以將用以對於週邊電路5b供應動作用電壓之電源電壓配線PLb及接地配線GLb，配置在群組BA_b之附近區域。即使成為這樣構造，也相同於圖36所示之構造，可以防止在資料寫入動作時之非選擇記憶單元之錯誤寫入產生，提高MRAM元件之動作可靠性。

此外，在圖36及圖37，例舉記憶體陣列互補地分割成為資料寫入對象之2個群組之狀態，但是，本發明之適用係並非限定於這樣狀態。也就是說，即使是在記憶體陣列分割成為3個以上之任意之複數個構造，如果是成為使用對應於該群組以及除了能夠和該群組同時成為資料寫入對象之其他群組之殘餘群組之區域而配置對應於各個群組之電源配線之構造的話，則可以享受同樣之效果。

此外，電源配線之配置係不限於在圖36及圖37之例舉，也可以按照實施形態1至3以及這些實施形態之變化例，而進行配置。

[實施形態8]

在MRAM元件，必須設置用以產生對於各個記憶單元之資料寫入磁場之2種配線(本實施形態中之位元線BL及寫入字線WWL)。在這些2種配線，於資料寫入時，必然地流動資料寫入電流，因此，由這些2種配線作用於相鄰接之非選



五、發明說明 (58)

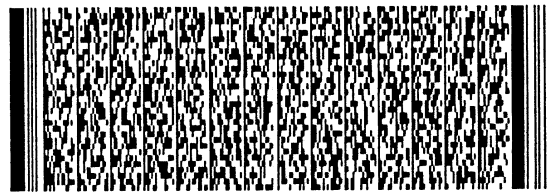
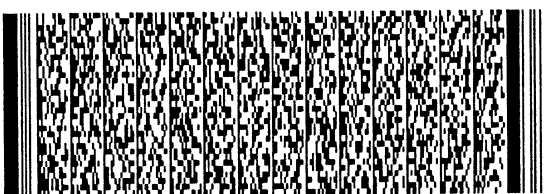
擇記憶單元之磁性雜訊係成為固定之雜訊。因此，如果考量前述固定之雜訊而配置除了這些配線以外之其他配線的話，則能夠有效地防止非選擇記憶單元之資料錯誤寫入。

圖38係說明施加在非選擇記憶單元之固定雜訊之概念圖。

參照圖38，在資料寫入時，對應於寫入資料，而對於選擇記憶單元，施加相當於動作點120或121之資料寫入磁場。設計動作點120、121，以便在圖42所說明之星形特性線之外側區域，具有邊限。

另一方面，在鄰接列之寫入字線WWL及鄰接行之位元線BL兩者流動資料寫入電流、也就是施加在最擔心資料錯誤寫入之非選擇記憶單元之固定雜訊，係相當於元件編號122所示之點。分別沿著元件編號122所示之點和星形特性線間之縱軸和橫軸之距離 ΔM_h 及 ΔM_e ，係表示在該非選擇記憶單元而對於沿著磁化困難軸方向和磁化容易軸方向之資料錯誤寫入之產生之邊限(以下、也稱為「殘留磁場邊限」)。

也就是說，如果對於該非選擇記憶單元還超過殘留磁場邊限 ΔM_h 而施加磁化困難軸方向之磁性雜訊的話，則產生錯誤寫入。同樣地，如果對於該非選擇記憶單元還超過殘留磁場邊限 ΔM_e 而施加磁化容易軸方向之磁性雜訊的話，則產生錯誤寫入。在重疊及施加兩方向之磁性雜訊之狀態下，很可能各個即使不超過殘留磁場邊限 ΔM_e 、 ΔM_h ，也會產生錯誤寫入，這樣所示之殘留磁場邊限 ΔM_e 及 ΔM_h 係



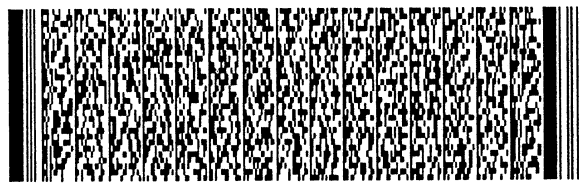
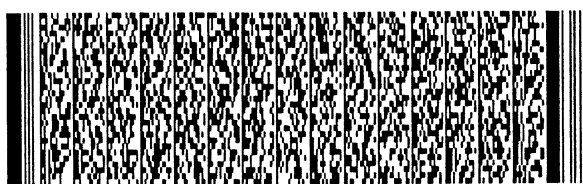
五、發明說明 (59)

可以使用作為判斷各個記憶單元MC對於沿著磁化困難軸和磁化容易軸之任何一個方向之磁性雜訊是否相對變弱之尺度。

因此，如果設計使得用以對於各個記憶單元產生資料寫入磁場之位元線BL和除去寫入字線WWL以外之其他導電性配線中之記憶單元MC(也就是隧道磁性電阻元件TMR)間之距離最短之配線(以下、也稱為「最接近配線」)之配置方向、其來由該最接近配線之磁性雜訊之方向，一致於殘留磁場邊限 ΔMe 、 ΔMh 比較大者的話，則能夠有效地防止非選擇記憶體中之資料錯誤寫入之產生。

特別是隧道磁性電阻元件TMR之形狀，係為了穩定其磁化特性而設計成為細長形狀，因此，在用以產生沿著磁化容易軸之磁場之位元線BL之配線間距和用以產生沿著磁化容易軸之磁場之寫入字線WWL之配線間距間，產生差異。也就是說，在圖38所示之殘留磁場邊限 ΔMh 、 ΔMe 之大小係可以由這些配線間距而進行推測。具體地說，認為在由位元線BL和寫入字線WWL之配線間距比較小者而產生之磁場方向，殘留磁場邊限變小。因此，可以沿著相同於位元線BL和寫入字線配線間距比較大之方向的同一方向，也就是平行地設計最接近配線之配置方向。

一般來說，由於設計使得隧道磁性電阻元件TMR之長邊方向及其磁化容易軸方向呈一致，因此，在該狀態下，用以產生沿著磁化容易軸之磁場之位元線BL之配線間距，係變得大於用以產生沿著磁化容易軸之磁場之寫入字線WWL



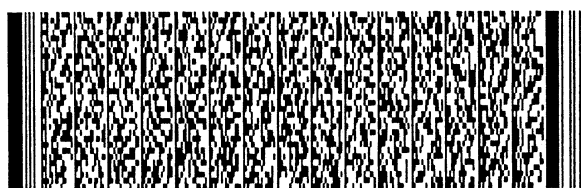
五、發明說明 (60)

之配線間距。因此，最接近配線係最好配置平行於位元線BL。或者是在兩者之配線間距關係呈逆轉之狀態下，最接近配線係最好配置平行於寫入字線WWL。

此外，不僅是最接近配線，即使是就電源配線等之通過電流比較大之配線，也最好同樣地設計其配置方向。

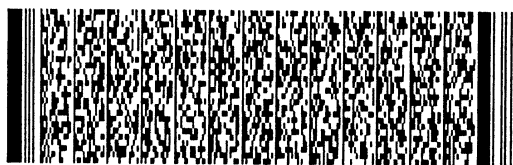
【元件編號之說明】

Δh	磁場強度
ΔMe	距離
ΔMh	距離
ADD	位址訊號
AFL	反強磁性體層
ATR	存取電晶體
BAa	群組
BAb	群組
BL	位元線
BL1 ~ BLm	位元線
BL11	位元線
BL21	位元線
BL31	位元線
BL32	位元線
BDVa	位元線驅動器
BDVa'	位元線驅動器
BDVa' 11 ~ BDVa' 31	位元線驅動器
BDVa11	位元線驅動器



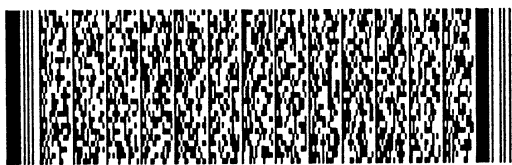
五、發明說明 (61)

BDVa12	位元線驅動器
BDVa21	位元線驅動器
BDVa31	位元線驅動器
BDVa32	位元線驅動器
BDVb	位元線驅動器
BDVb'	位元線驅動器
BDVb' 11 ~ BDVb' 31	位元線驅動器
BDVb11	位元線驅動器
BDVb12	位元線驅動器
BDVb21	位元線驅動器
BDVb31	位元線驅動器
BDVb32	位元線驅動器
CA	行位址
CMD	控制訊號
CSL	行選擇線
DBL	虛擬位元線
DIN	寫入資料
DOUT	讀出資料
DTMR	虛擬磁性電阻元件
DWWL	虛擬寫入字線
EA	磁化容易軸
FL	固定磁化層
GL	接地配線
GLa	接地配線



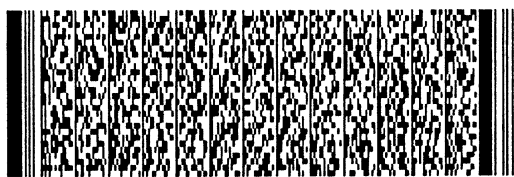
五、發明說明 (62)

GLb	接 地 配 線
GL1	接 地 配 線
GL2	接 地 配 線
GND	接 地 電 壓
HA	磁 化 困 難 軸
Hpeak	波 峰 強 度
H _{sw}	交 換 磁 場 強 度
I _p	列 方 向 之 資 料 寫 入 電 流
Ipeak	波 峰 電 流
I _s	讀 出 電 流
I1	電 流
I2	電 流
ITMR	磁 性 體
I _w	資 料 寫 入 電 流
MBa	記 憶 體 塊
MBb	記 憶 體 塊
MC	MTJ 記 憶 單 元
Na	節 點
Nb	節 點
PL	電 源 電 壓 配 線
PLa	電 源 電 壓 配 線
PLb	電 源 電 壓 配 線
PL1	電 源 電 壓 配 線
PL2	電 源 電 壓 配 線



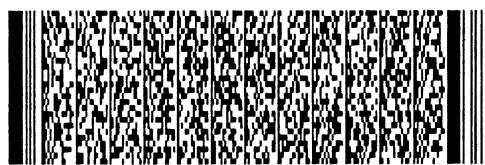
五、發明說明 (63)

r	距 離
RA	列 位 址
RWL	讀 出 字 線
RWL1 ~ RWLn	讀 出 字 線
SL	基 準 電 壓 配 線
SL1 ~ SLm	基 準 電 壓 配 線
SUB	半 導 體 基 板
TMR	隧 道 磁 性 電 阻 元 件
Vcc	電 源 電 壓
WCL	寫 入 電 流 配 線
VL	自 由 磁 化 層
Vref	參 考 電 壓
WWL	寫 入 字 線
WWL1 ~ WWLn	寫 入 字 線
1	MRAM 元 件
2	記 憶 體 陣 列
5	週 邊 電 路
5 #	週 邊 電 路
5a	週 邊 電 路
5b	週 邊 電 路
5c	週 邊 電 路
6	相 反 側 之 區 域
7	電 源 節 點
7a	電 源 節 點



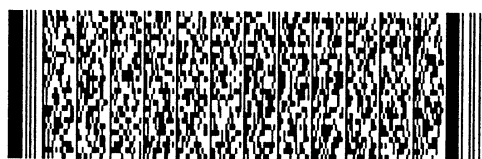
五、發明說明 (64)

7b	電 源 節 點
8	接 地 節 點
8a	接 地 節 點
8b	接 地 節 點
10	控 制 電 路
11	磁 化 方 向
11d	磁 化 方 向
11i	磁 化 方 向
12	磁 化 方 向
12d	磁 化 方 向
12i	磁 化 方 向
13	配 線
20	列 解 碼 器
25	行 解 碼 器
26	虛 擬 磁 性 體
30	字 線 驅 動 器
31	電 感 元 件
32	源 極 / 汲 極 區 域
33	閘 極
34	源 極 / 汲 極 區 域
35	接 觸 孔
36	接 觸 孔
37	搭 板
39	接 觸 孔



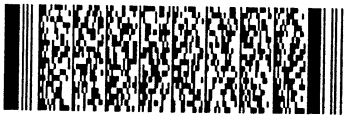
五、發明說明 (65)

- 41 P 通道MOS 電 晶 體
- 42 N 通道MOS 電 晶 體
- 44 邏 輯 閘
- 46 邏 輯 閘
- 50 讀 出 / 寫 入 控 制 電 路
- 51 P 通道MOS 電 晶 體
- 52 N 通道MOS 電 晶 體
- 54 邏 輯 閘
- 56 邏 輯 閘
- 60 讀 出 / 寫 入 控 制 電 路
- 70 去 耦 電 容
- 71 去 耦 電 容
- 81 N 通道MOS 電 晶 體
- 82 N 通道MOS 電 晶 體
- 100 電 源 交 換 器 電 路
- 100a 電 源 交 換 器 電 路
- 100b 電 源 交 換 器 電 路
- 105 電 源 交 換 器 電 路
- 105a 電 源 交 換 器 電 路
- 105b 電 源 交 換 器 電 路
- 110 週 邊 區 域
- 120 動 作 點
- 121 動 作 點
- 122 固 定 雜 訊



五、發明說明 (66)

130 配線



圖式簡單說明

圖1為顯示按照本發明之實施形態之MRAM元件之整體構造之概略方塊圖。

圖2為顯示圖1所示之記憶體陣列之構造例之電路圖。

圖3為說明對於MTJ記憶單元之資料寫入和資料讀出動作之動作波形圖。

圖4為說明按照電源配線對於週邊電路之實施形態1之配置之方塊圖。

圖5為用以顯示按照電源配線之實施形態1之第1配置例之沿著圖4中之X-Y線所作之剖面圖。

圖6為用以顯示按照電源配線之實施形態1之第2配置例之沿著圖4中之X-Y線所作之剖面圖。

圖7為說明按照電源配線對於週邊電路之實施形態1之變化例1之第1配置例之方塊圖。

圖8為說明按照電源配線對於週邊電路之實施形態1之變化例1之第2配置例之方塊圖。

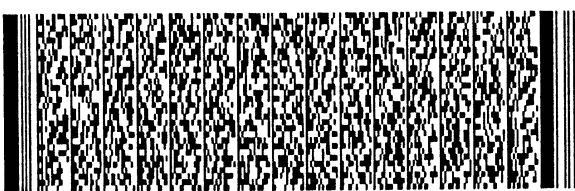
圖9為說明按照電源配線對於週邊電路之實施形態1之變化例2之第1配置例之方塊圖。

圖10A～10C為用以顯示按照實施形態1之變化例2之電源配線之第1配置例之沿著圖9中之P-Q線所作之剖面圖。

圖11為說明按照電源配線對於週邊電路之實施形態1之變化例2之第2配置例之方塊圖。

圖12A～12C為用以顯示按照實施形態1之變化例2之電源配線之第2配置例之沿著圖11中之V-W線所作之剖面圖。

圖13為說明按照電源配線對於週邊電路之實施形態1之



圖式簡單說明

變化例3之配置之方塊圖。

圖14A～14C為用以顯示按照實施形態1之變化例3之電源配線之配置例之沿著圖13中之R-S線所作之剖面圖。

圖15為顯示按照電源配線之實施形態2之第1配置例之方塊圖。

圖16為顯示按照電源配線之實施形態2之第2配置例之方塊圖。

圖17為顯示按照電源配線之實施形態2之變化例之第1配置例之方塊圖。

圖18為顯示按照電源配線之實施形態2之變化例之第2配置例之方塊圖。

圖19為說明按照實施形態3之去耦電容之第1配置例之方塊圖。

圖20為說明按照實施形態3之去耦電容之第2配置例之方塊圖。

圖21為顯示按照實施形態3之變化例1之去耦電容之第1配置例之方塊圖。

圖22為顯示按照實施形態3之變化例1之去耦電容之第2配置例之方塊圖。

圖23為顯示按照實施形態3之變化例2之去耦電容之第1配置例之方塊圖。

圖24為顯示按照實施形態3之變化例2之去耦電容之第2配置例之方塊圖。

圖25為顯示按照實施形態4之記憶體陣列週邊之構造之



圖式簡單說明

概念圖。

圖26為顯示按照實施形態4之變化例之記憶體陣列週邊之構造之概念圖。

圖27為顯示按照實施形態5之記憶體陣列週邊之構造之概念圖。

圖28為用以說明圖27所示之電感元件之構造之剖面圖。

圖29為顯示按照實施形態6之位元線和電源配線之配置之概念圖。

圖30為顯示圖29所示之位元線驅動器之構造之電路圖。

圖31為顯示按照實施形態6之變化例1之位元線和電源配線之配置之概念圖。

圖32為顯示圖31所示之位元線驅動器之構造之電路圖。

圖33為顯示按照實施形態6之變化例2之位元線和電源配線之配置之概念圖。

圖34為顯示按照實施形態6之變化例3之位元線和電源配線之配置之概念圖。

圖35為顯示按照實施形態6之變化例4之位元線和電源配線之配置之概念圖。

圖36為說明按照實施形態7之電源配線之第1配置例之方塊圖。

圖37為說明按照實施形態7之電源配線之第2配置例之方塊圖。

圖38為顯示施加在用以說明按照實施形態8之配線配置之非選擇記憶單元之固定雜訊之概念圖。



圖式簡單說明

圖39為顯示MTJ記憶單元之構造之概念圖。

圖40為說明來自MTJ記憶單元之資料讀出動作之概念圖。

圖41為說明對於MTJ記憶單元之資料寫入動作之概念圖。

圖42為說明對於MTJ記憶單元之資料寫入時之資料寫入電流和隧道磁性電阻元件之磁化方向間之關係之概念圖。

圖43為顯示呈行列狀地進行積體配置之MTJ記憶單元之陣列構造之概念圖。

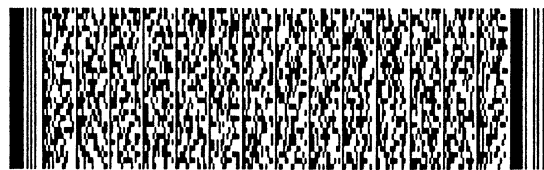
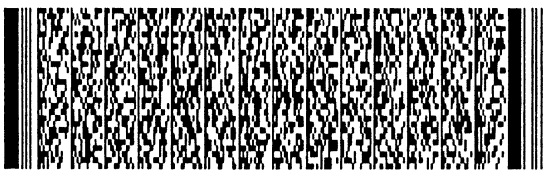


四、中文發明摘要 (發明之名稱：薄膜磁性體記憶裝置)

本發明係關於一種薄膜磁性體記憶裝置；也就是說，在本發明之薄膜磁性體記憶裝置，週邊電路5係鄰接及配置在記憶體陣列2，對於記憶體陣列2，實行資料讀出及資料寫入。用以供應動作電壓至週邊電路5的電源電壓配線PL及接地配線GL，係分別供應電源電壓Vcc和接地電壓GND。電源電壓配線PL及接地配線GL，係配置為以便於使得藉由流動在電源電壓配線PL之電流所產生之磁場和藉由流動在接地配線GL之電流所產生之磁場，在記憶體陣列2，相互地進行抵消。

英文發明摘要 (發明之名稱：Thin Film Magnetic Memory Device)

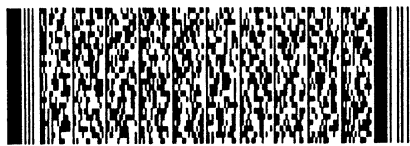
A peripheral circuitry is provided adjacent to a memory array and conducts read and write operations from and to the memory array. A power supply voltage line and a ground line for supplying an operating voltage to the peripheral circuitry supply a power supply voltage and a ground voltage, respectively. The power supply voltage line and the ground line are arranged so that a magnetic field generated by a current flowing through the power supply voltage line and



四、中文發明摘要 (發明之名稱：薄膜磁性體記憶裝置)

英文發明摘要 (發明之名稱：Thin Film Magnetic Memory Device)

a magnetic field generated by a current flowing through the ground line cancel each other in the memory array.



六、申請專利範圍

1. 一種薄膜磁性體記憶裝置，其包含有：

記憶體陣列，係配置各個實行磁性資料記憶之複數個記憶單元，

前述複數個記憶單元之各個係具有響應指定磁場之施加且配合可改寫之磁化方向而改變電阻的磁性記憶部；

週邊電路，係配置在前述記憶體陣列所鄰接之區域，用以對於前述記憶體陣列，實行資料讀出及資料寫入；

第1及第2電源配線，係用以供應動作電壓至前述週邊電路，

前述第1及第2電源配線，係配置為以便於使得藉由流動在前述第1電源配線之電流所產生之磁場和藉由流動在前述第2電源配線之電流所產生之磁場，在前述記憶體陣列，相互地進行抵消。

2. 如申請專利範圍第1項之薄膜磁性體記憶裝置，其中，前述第1及第2電源配線，係藉由分別設置在互異之配線層上之第1及第2金屬配線，而形成為上下相互重疊。

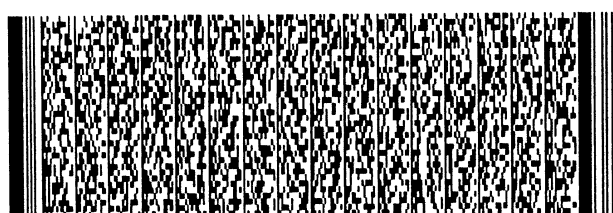
3. 一種薄膜磁性體記憶裝置，其包含有：

記憶體陣列，係配置各個實行磁性資料記憶之複數個記憶單元，

前述複數個記憶單元之各個係具有響應指定磁場之施加且配合可改寫之磁化方向而改變電阻的磁性記憶部；

週邊電路，係配置在前述記憶體陣列所鄰接之區域，用以對於前述記憶體陣列，實行資料讀出及資料寫入；

第1及第2電源配線，係用以供應動作電壓至前述週邊



六、申請專利範圍

電路，

前述第1及第2電源配線，係配置為以便於使得藉由流動在前述第1及第2電源配線之電流所分別產生之第1及第2磁場，在前述記憶體陣列，沿著前述磁性記憶部之磁化容易軸之方向，產生作用。

4. 如申請專利範圍第3項之薄膜磁性體記憶裝置，其中，前述複數個記憶單元係配置成為行列狀，

前述薄膜磁性體記憶裝置係還具備：

複數條第1寫入配線，係分別對應於記憶單元列和記憶單元行之一邊而進行設置，各個係選擇性地接受資料寫入電流之供應，以便對於選擇記憶單元，主要施加沿著磁化容易軸之磁場；以及，

複數條第2寫入配線，係分別對應於前述記憶單元列和記憶單元行之其他邊而進行設置，各個係選擇性地接受資料寫入電流之供應，以便對於選擇記憶單元，主要施加沿著磁化困難軸之磁場，

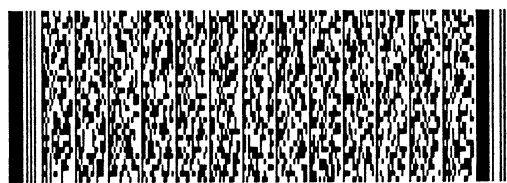
前述複數條第1寫入配線之配線間距，係大於前述複數條第2寫入配線之配線間距。

5. 一種薄膜磁性體記憶裝置，其包含有：

記憶體陣列，係配置各個實行磁性資料記憶之複數個記憶單元，

前述複數個記憶單元之各個係具有響應指定磁場之施加且配合可改寫之磁化方向而改變電阻的磁性記憶部；

週邊電路，係配置在前述記憶體陣列所鄰接之區域，用



六、申請專利範圍

以對於前述記憶體陣列，實行資料讀出及資料寫入；

第1及第2電源配線，係用以供應動作電壓至前述週邊電路，

前述第1及第2電源配線之各個，係配置為由前述最接近之記憶單元之磁性記憶部開始，離開指定距離以上，以便在最接近之記憶單元之磁性記憶部，使得藉由流動在本身之波峰電流所產生之波峰磁場之強度，小於考量前述記憶單元之磁性特性所決定之指定強度。

6. 如申請專利範圍第5項之薄膜磁性體記憶裝置，其中，還具備在資料寫入時用以流動來生成前述指定磁場之資料寫入用電流而設的寫入資料線，

在前述資料寫入時，藉由前述資料寫入用電流所產生之磁場強度，係由用以改寫前述磁性記憶部之磁化方向所需要之第1磁場強度，及相當於邊限部分之第2磁場強度的和來顯示，

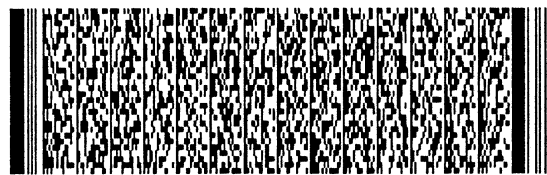
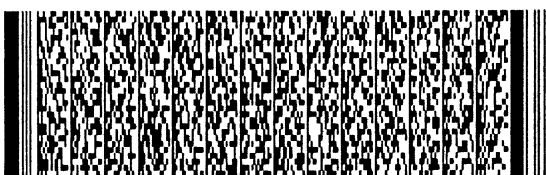
前述指定距離係設為，以便於使得前述指定強度小於前述第2磁場強度。

7. 一種薄膜磁性體記憶裝置，其包含有：

記憶體陣列，係配置各個實行磁性資料記憶之複數個記憶單元，

前述複數個記憶單元之各個係具有響應所施加之磁場且配合改寫之磁化方向而改變電阻值的磁性記憶部；

週邊電路，係配置在前述記憶體陣列所鄰接之區域，用以對於前述記憶體陣列，實行資料讀出及資料寫入；



六、申請專利範圍

電源節點，係配置在對於前述週邊電路夾住前述記憶體陣列而沿著第1方向之相反側之區域，接受前述週邊電路之動作電源電壓之供應；

電源配線，係沿著前述第1方向，設置在前述電源節點和前述週邊電路間，用以傳達前述動作電源電壓；以及，
去耦電容，係在前述電源節點和前述記憶體陣列間之區域以及前述週邊電路和前述記憶體陣列間之區域之至少一邊，設置在前述電源配線和接地電壓間。

8. 一種薄膜磁性體記憶裝置，其包含有：

記憶體陣列，係呈行列狀地配置各個實行磁性資料記憶之複數個記憶單元；以及，

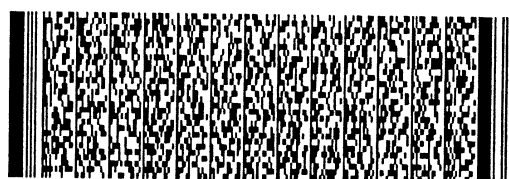
複數個虛擬磁性體，係在前述記憶體陣列之端部，沿著記憶單元列和記憶單元行之至少一邊，進行配置，各個係具有固定之磁化方向。

9. 一種薄膜磁性體記憶裝置，其包含有：

記憶體陣列，係配置包含各個用以實行磁性資料記憶之第1磁性體之複數個記憶單元；

複數條第1配線，係對應於前述記憶體陣列，進行配置，各個係電性連接前述複數個記憶單元之至少1個所包含之前述第1磁性體；以及，

電感元件，係包含配置在前述記憶體陣列外之區域且形成在相同於前述複數條第1配線之配線層上的第2配線以及在前述記憶體陣列外之區域形成在相同於前述第1磁性體之同一層且電連接第2配線的第2磁性體。



六、申請專利範圍

10. 一種薄膜磁性體記憶裝置，其包含有：

複數個記憶單元，係呈行列狀地進行配置，各個係實行磁性資料記憶；

第1配線，係用以對於在前述複數個記憶單元中之資料寫入對象所選擇之選擇記憶單元，施加用以進行資料寫入之寫入磁場；以及，

第2配線，係配置成為對於前述複數個記憶單元，比起前述第1配線，還更加地離開，用以將產生前述寫入磁場之寫入電流，供應至前述第1配線；此外，

在前述資料寫入中，分別由前述第1和第2配線所產生之磁場，在沿著前述第1和第2配線之長邊方向之至少一部分區域，沿著相互抵消之方向，產生作用。

11. 如申請專利範圍第10項之薄膜磁性體記憶裝置，其中，前述第1配線係設置在前述複數個記憶單元中之每一個指定區分上，

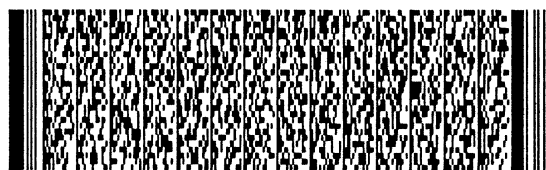
前述第2配線係包括

第1電源配線，係沿著相同於前述第1配線之方向而設置，用以供應第1和第2電壓之某一邊之電壓；以及，

第2電源配線，係沿著相同於前述第1配線之方向而設置，用以供應第1和第2電壓之其他邊之電壓；此外，

前述薄膜磁性體記憶裝置還具備

第1驅動電路，係對應於前述各條第1配線之一端而設置，在所對應之前述指定區分被選擇成為資料寫入對象時，用以連接前述第1和第2電源配線之某一邊配線和前述



六、申請專利範圍

某一端；以及，

第2驅動電路，係對應於前述各條第1配線之其他端而設置，在所對應之前述指定區分被選擇成為資料寫入對象時，用以在前述資料寫入時，連接前述第1和第2電源配線之其他邊配線和前述某一端。

12. 如申請專利範圍第10項之薄膜磁性體記憶裝置，其中，前述第2配線係設置在K條(K：2以上之整數)之每一第1配線上，在前述資料寫入中，對於對應相同之前述第2配線之K條第1配線中之至多1條，供應前述寫入電流。

13. 一種薄膜磁性體記憶裝置，其包含有：

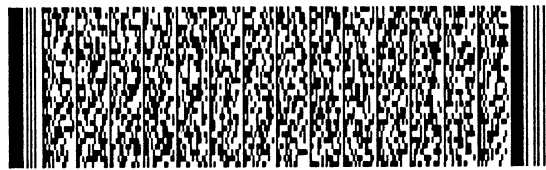
複數個記憶單元，係各個實行磁性資料記憶，分割配置成為複數個群組；

複數個週邊電路，係分別對應於前述複數個群組而設置，用以對於各個所對應之群組，至少實行資料寫入動作；以及，

複數條電源配線，係分別對應於前述複數個週邊電路而進行設置，用以供應動作用電壓至各個所對應之週邊電路；此外，

在1次資料寫入動作，前述複數個群組係選擇性地成為前述資料寫入對象，前述各個電源配線係設置在對應之群組、以及除去具有和前述對應之群組同時成為前述資料寫入對象之可能性之其他群組所殘餘之群組中之至少一個所對應之區域。

14. 一種薄膜磁性體記憶裝置，其包含有：



六、申請專利範圍

複數個記憶單元，係各個實行磁性資料記憶，配置成為行列狀；

複數條第1寫入配線，係分別對應於記憶單元列和記憶單元行之某一邊而設，為了使得各個對於選擇記憶單元，主要施加沿著磁化容易軸之磁場，而選擇性地接受資料寫入電流之供應；

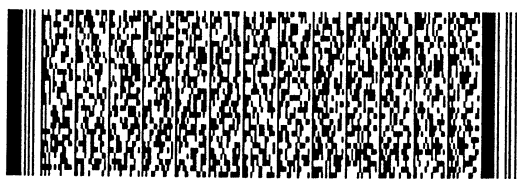
複數條第2寫入配線，係分別對應於前述記憶單元列和記憶單元行之其他邊而設，為了使得各個對於選擇記憶單元，主要施加沿著磁化困難軸之磁場，而選擇性地接受資料寫入電流之供應；以及，

複數條配線，係藉由導電性材料而形成；此外，

於前述各個記憶單元，在由除去所對應之第1寫入配線之其他第1寫入配線中之最接近1條而接受之磁場雜訊以及由除去所對應之第2寫入配線之其他第2寫入配線中之最接近1條而接受之磁場雜訊呈重疊之狀態下，沿著前述磁化容易軸之殘留磁場邊限和沿著前述磁化困難軸之殘留磁場邊限係不相同，設計由前述複數條配線中之前述各個記憶單元開始之最短最接近距離之配線配置方向，以便於使得藉由流動在本身之電流所產生之磁場，於前述各個記憶單元，主要具有沿著前述磁化容易軸和磁化困難軸中之前述殘留邊限大之某一邊之成分。

15. 一種薄膜磁性體記憶裝置，其包含有：

複數個記憶單元，係各個實行磁性資料記憶，配置成為行列狀；



六、申請專利範圍

複數條第1寫入配線，係分別對應於記憶單元列和記憶單元行之某一邊而設，為了使得各個對於選擇記憶單元，主要施加沿著磁化容易軸之磁場，而選擇性地接受資料寫入電流之供應；

複數條第2寫入配線，係分別對應於前述記憶單元列和記憶單元行之其他邊而設，為了使得各個對於選擇記憶單元，主要施加沿著磁化困難軸之磁場，而選擇性地接受資料寫入電流之供應；以及，

電源配線，係包含在前述資料寫入電流之通路；此外，於前述各個記憶單元，在由除去所對應之第1寫入配線之其他第1寫入配線中之最接近1條而接受之磁場雜訊以及由除去所對應之第2寫入配線之其他第2寫入配線中之最接近1條而接受之磁場雜訊呈重疊之狀態下，沿著前述磁化容易軸之殘留磁場邊限和沿著前述磁化困難軸之殘留磁場邊限係不相同，設計前述電源配線之配置方向，以便於使得藉由流動在本身之電流所產生之磁場，於前述各個記憶單元，主要具有沿著前述磁化容易軸和磁化困難軸中之前述殘留邊限大之某一邊之成分。

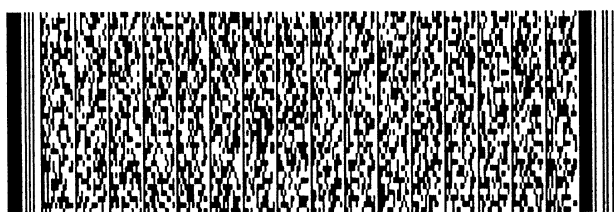


圖1

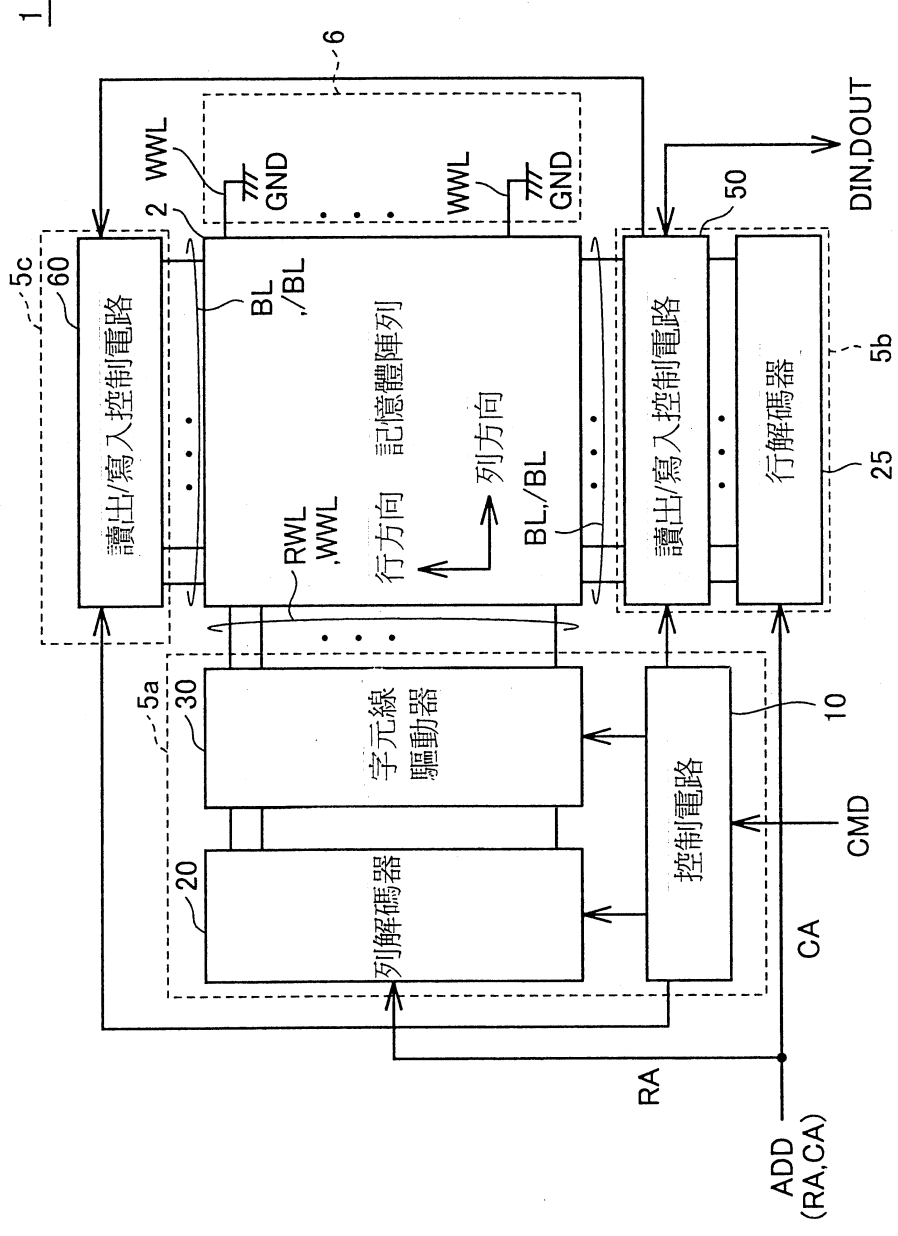


圖 2

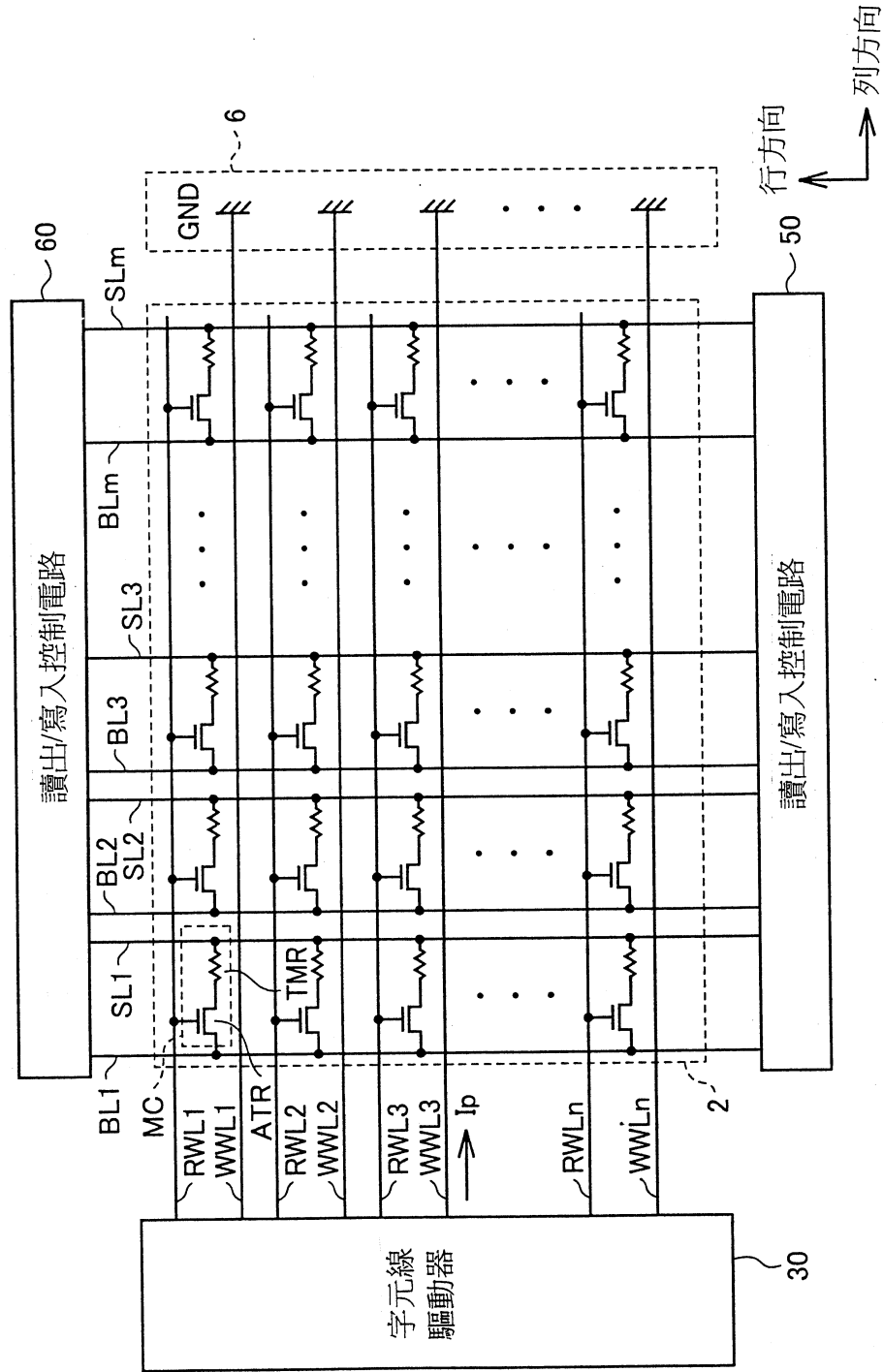


圖 3

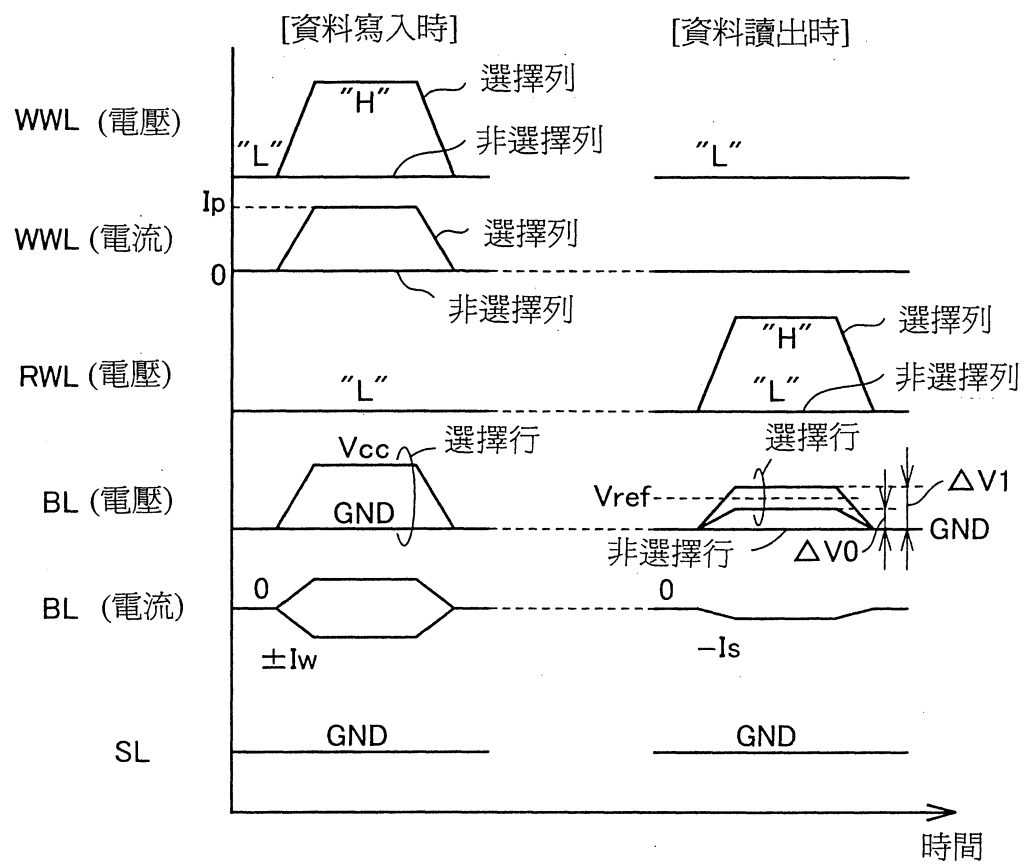


圖 4

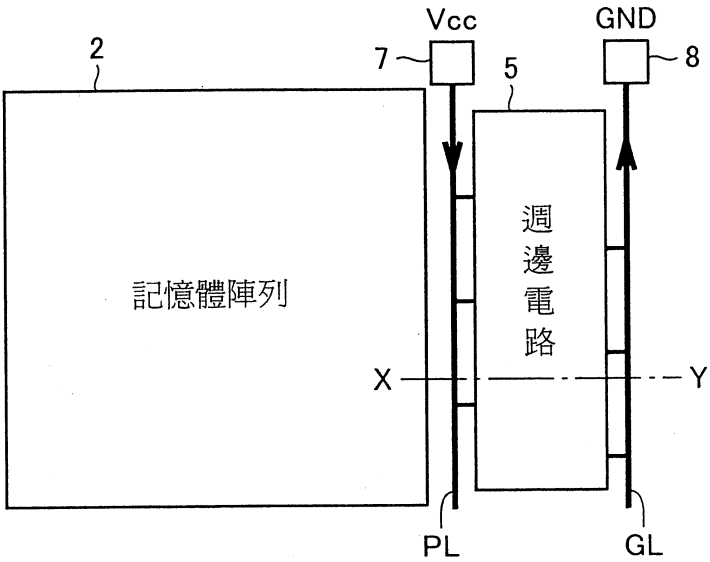


圖 5

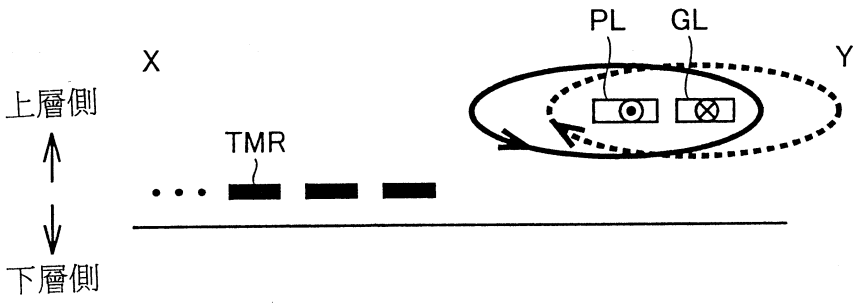


圖 6

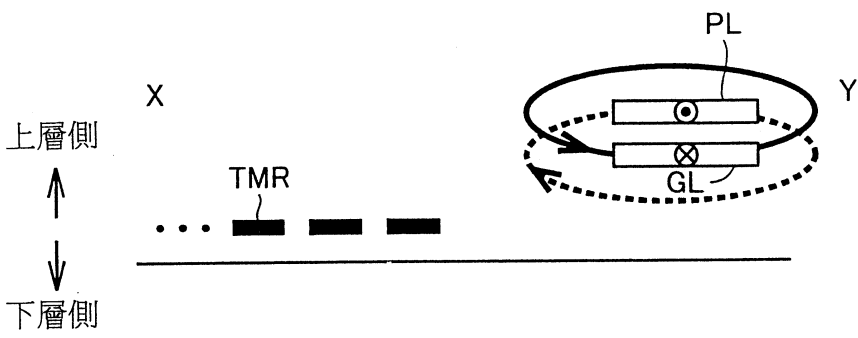


圖 7

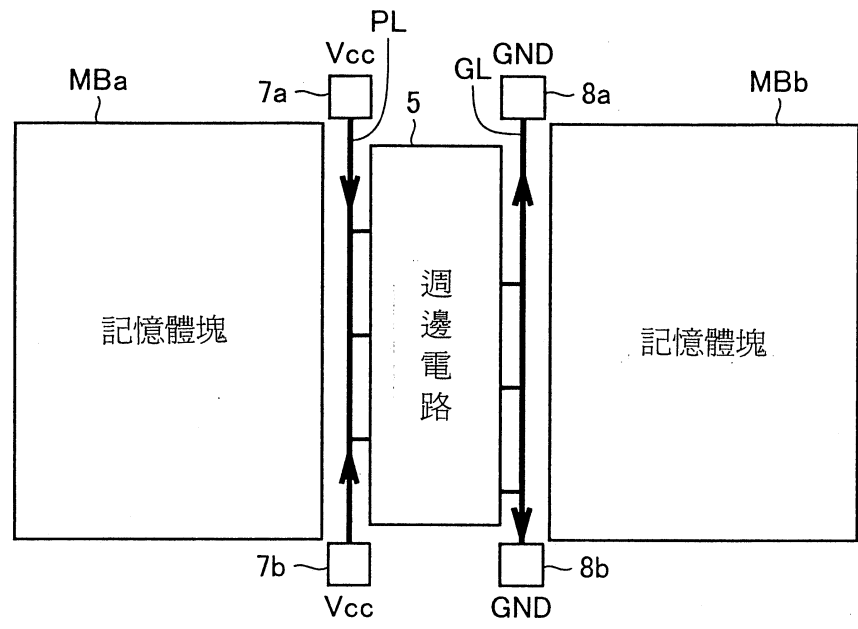


圖 8

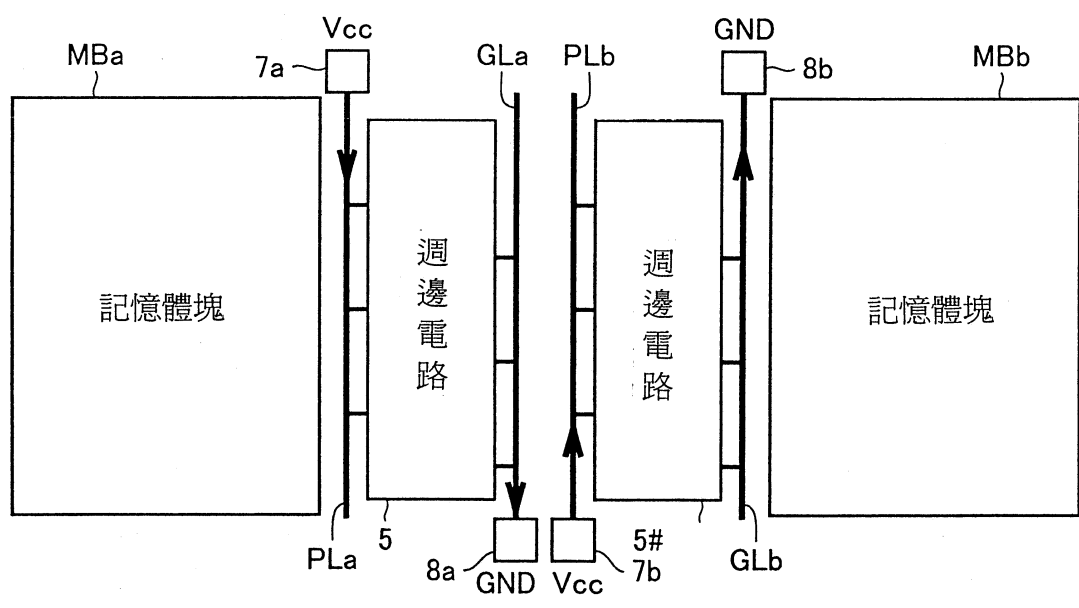


圖 9

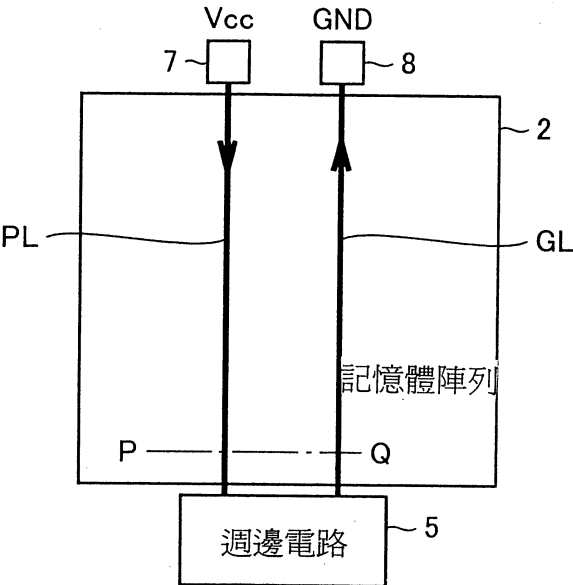


圖 10A

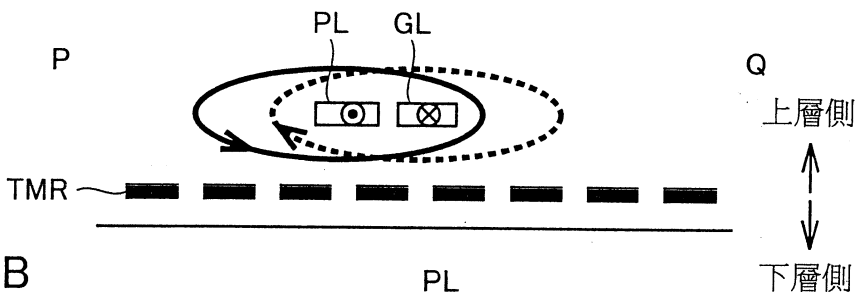


圖 10B

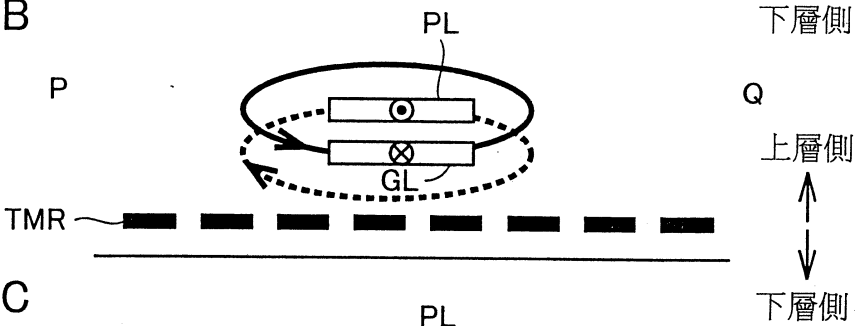


圖 10C

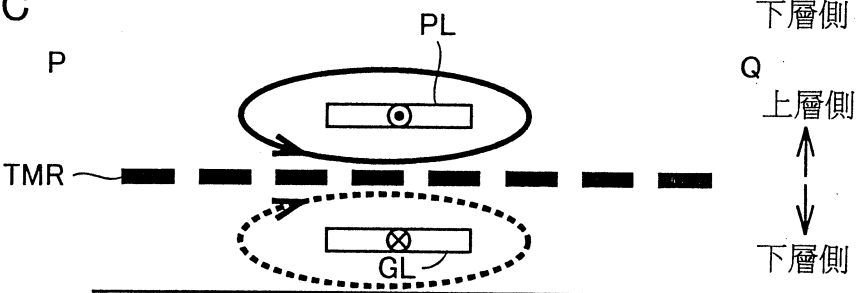


圖 11

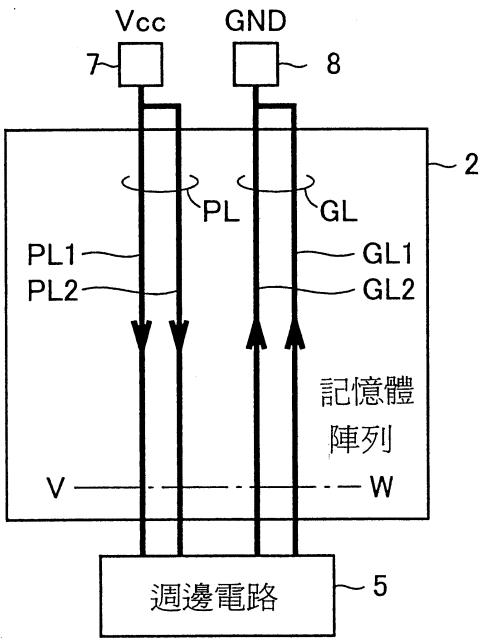


圖 12A

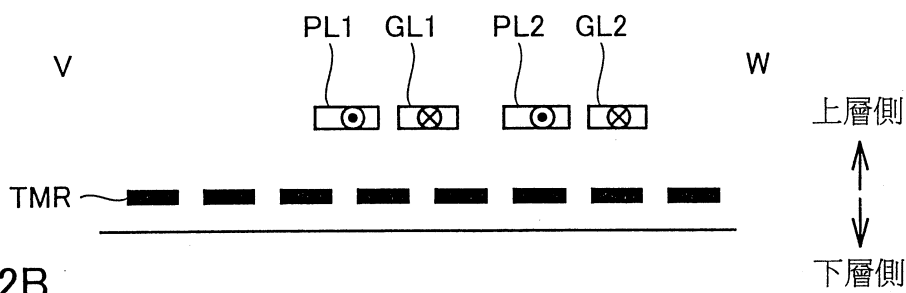


圖 12B

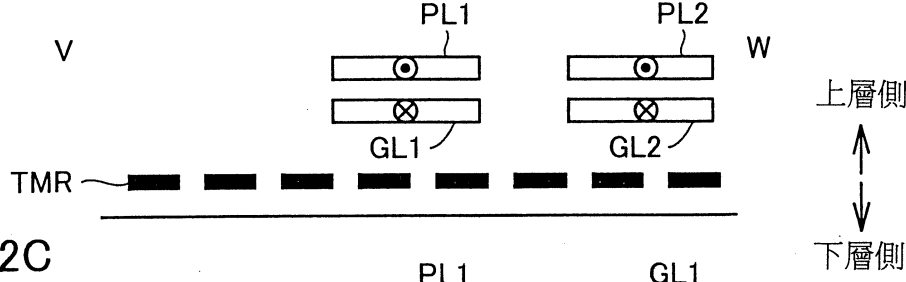


圖 12C

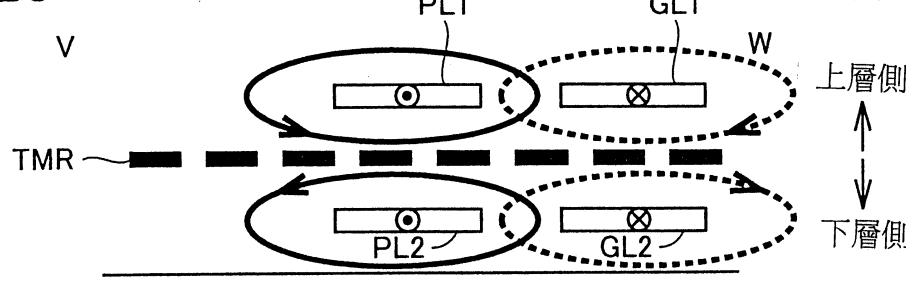


圖 13

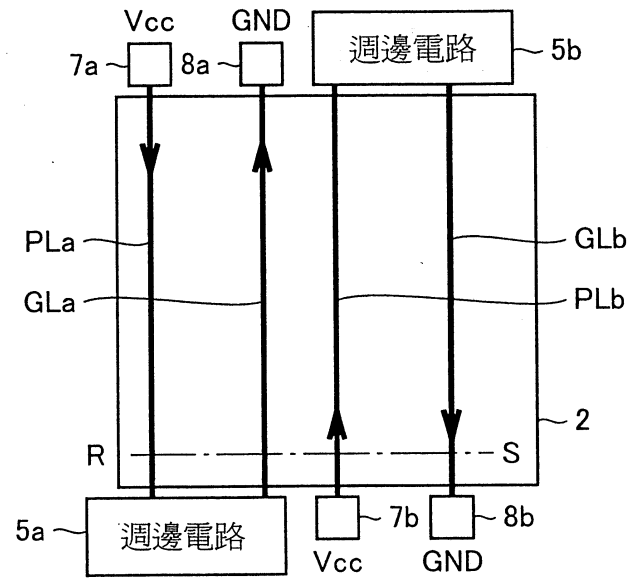


圖 14A

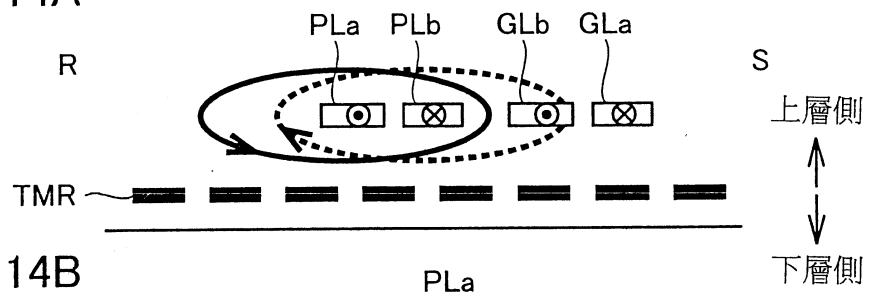


圖 14B

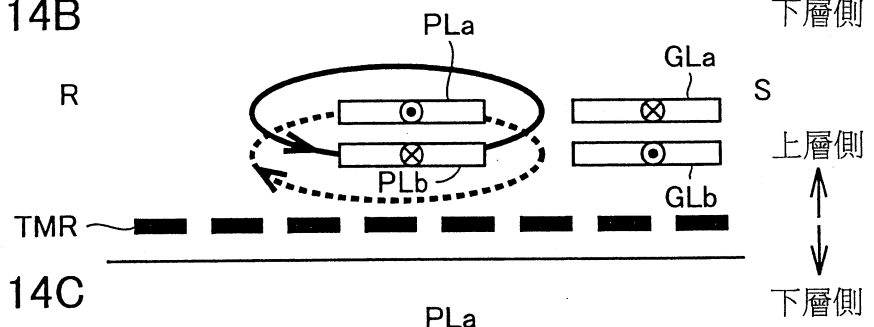


圖 14C

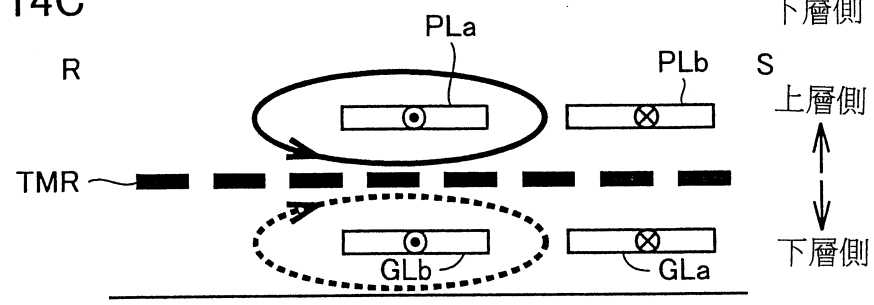


圖 15

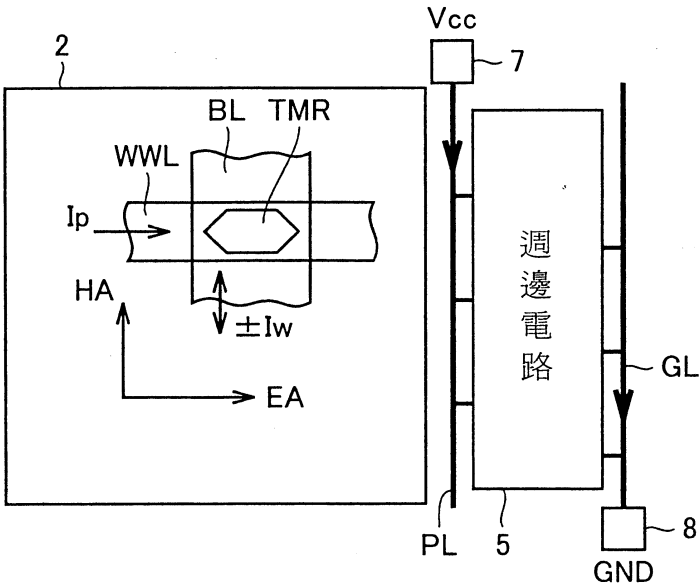


圖 16

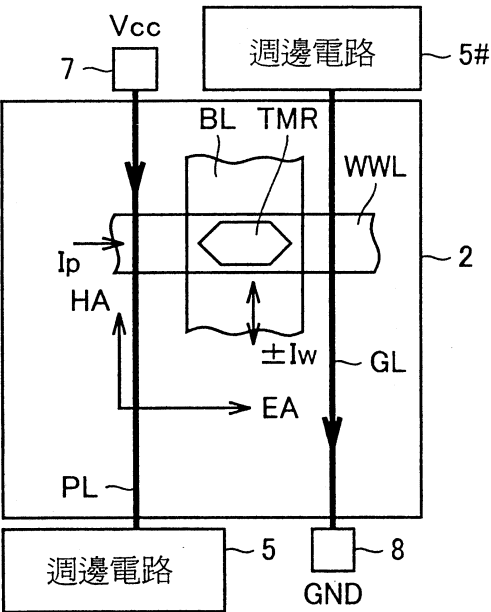


圖 17

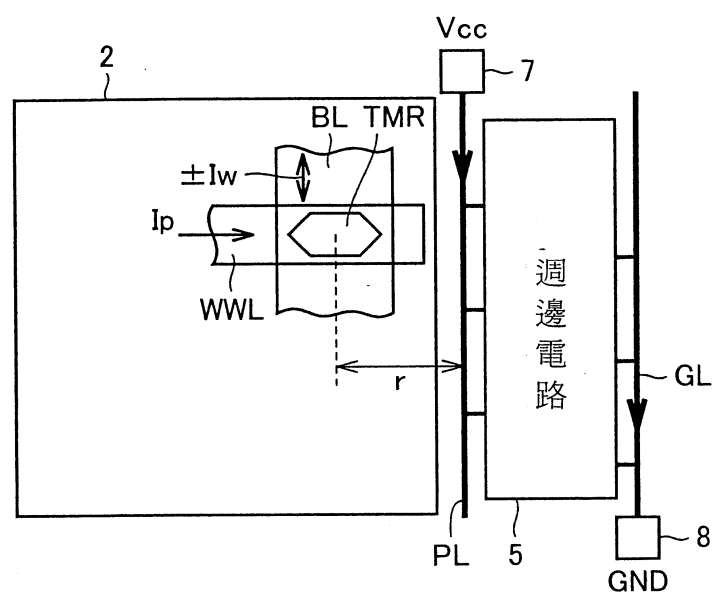


圖 18

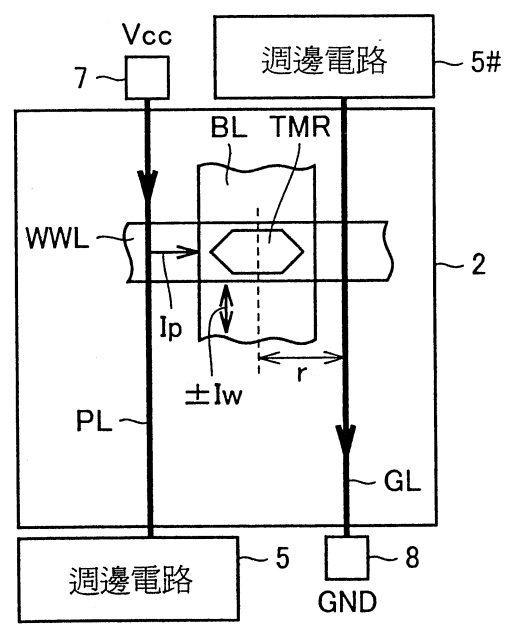


圖 19

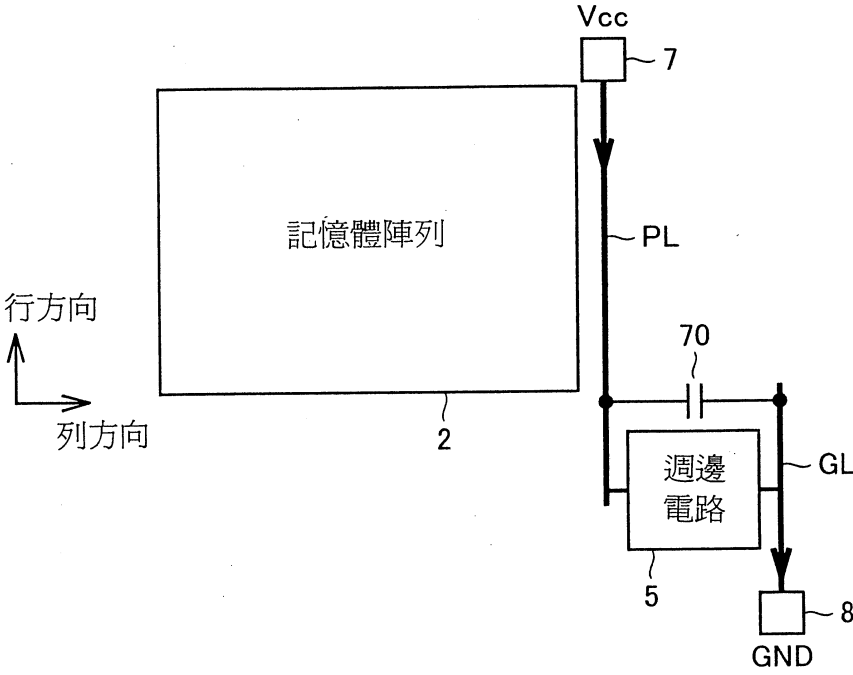


圖 20

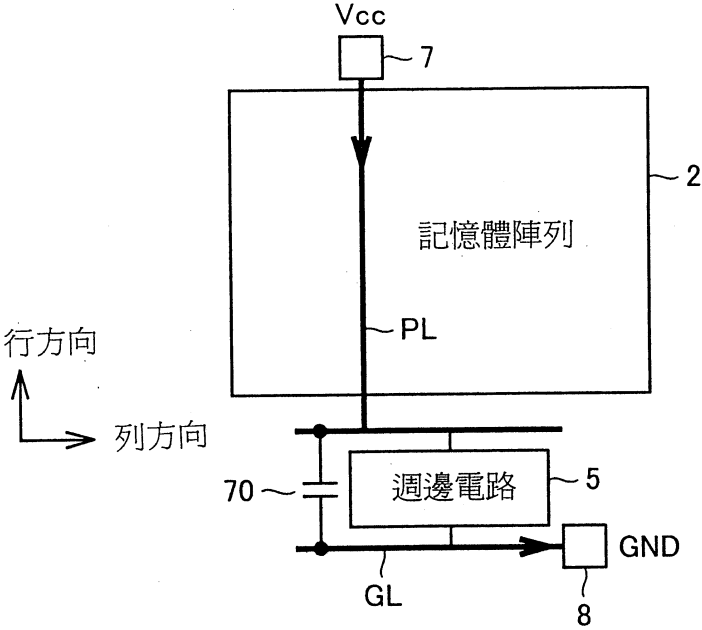


圖 21

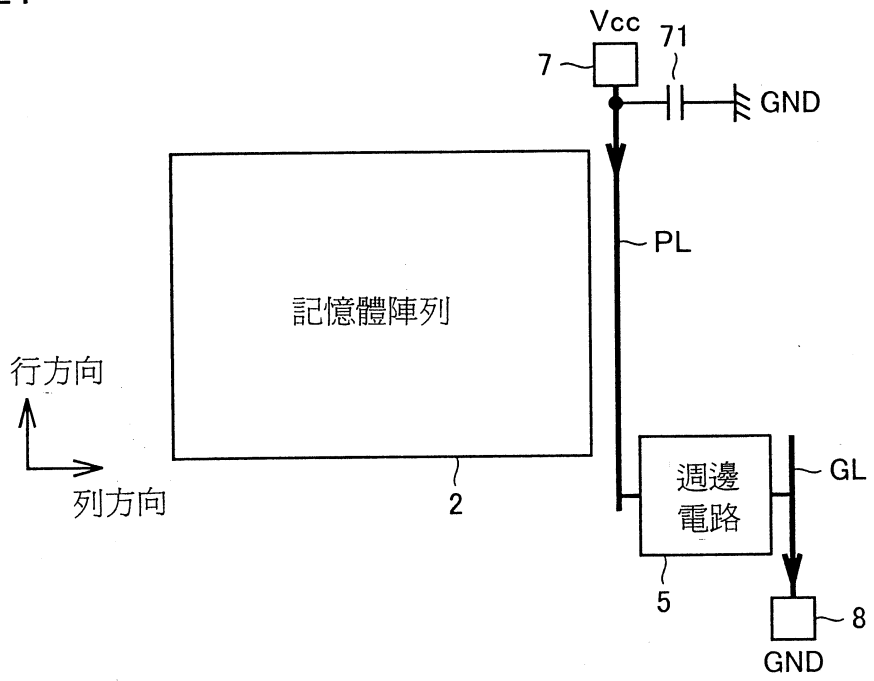


圖 22

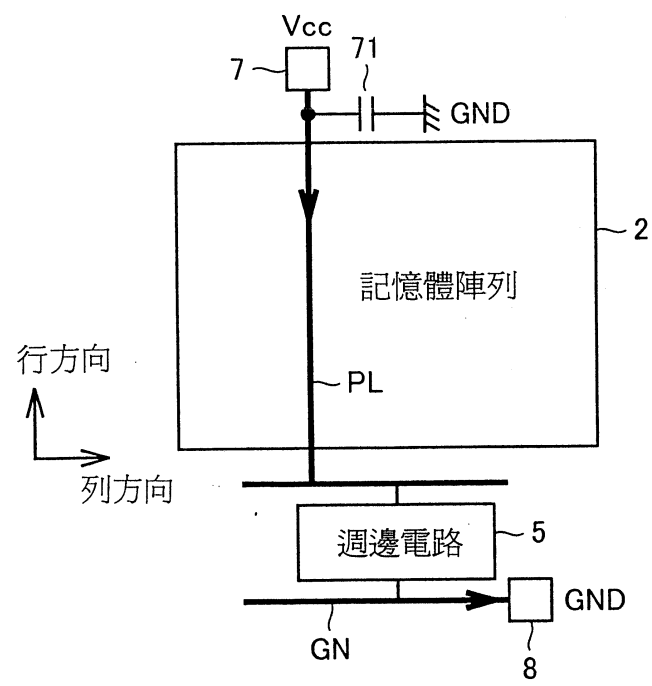


圖 23

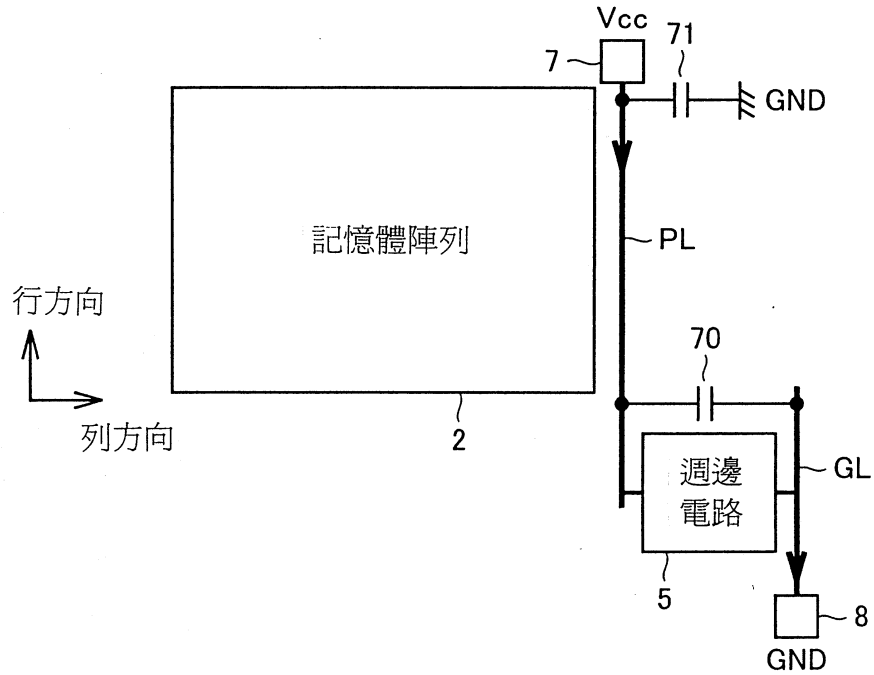


圖 24

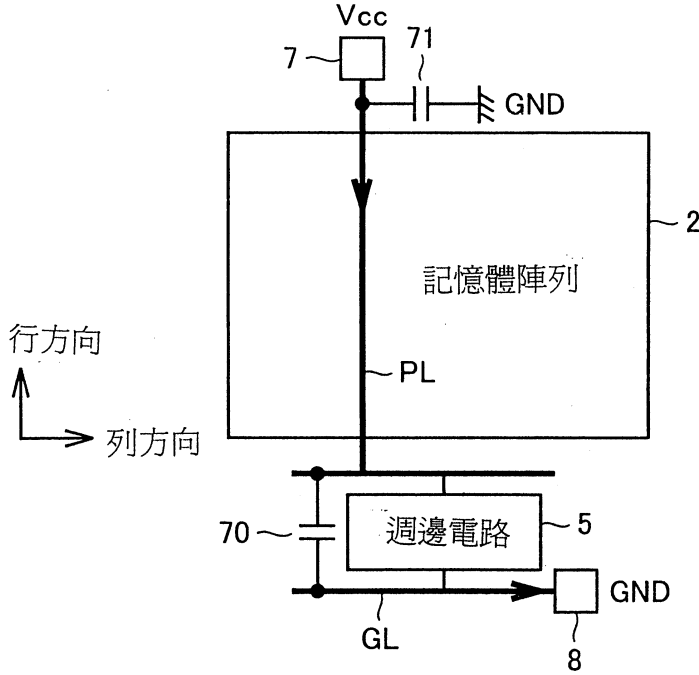


圖 25

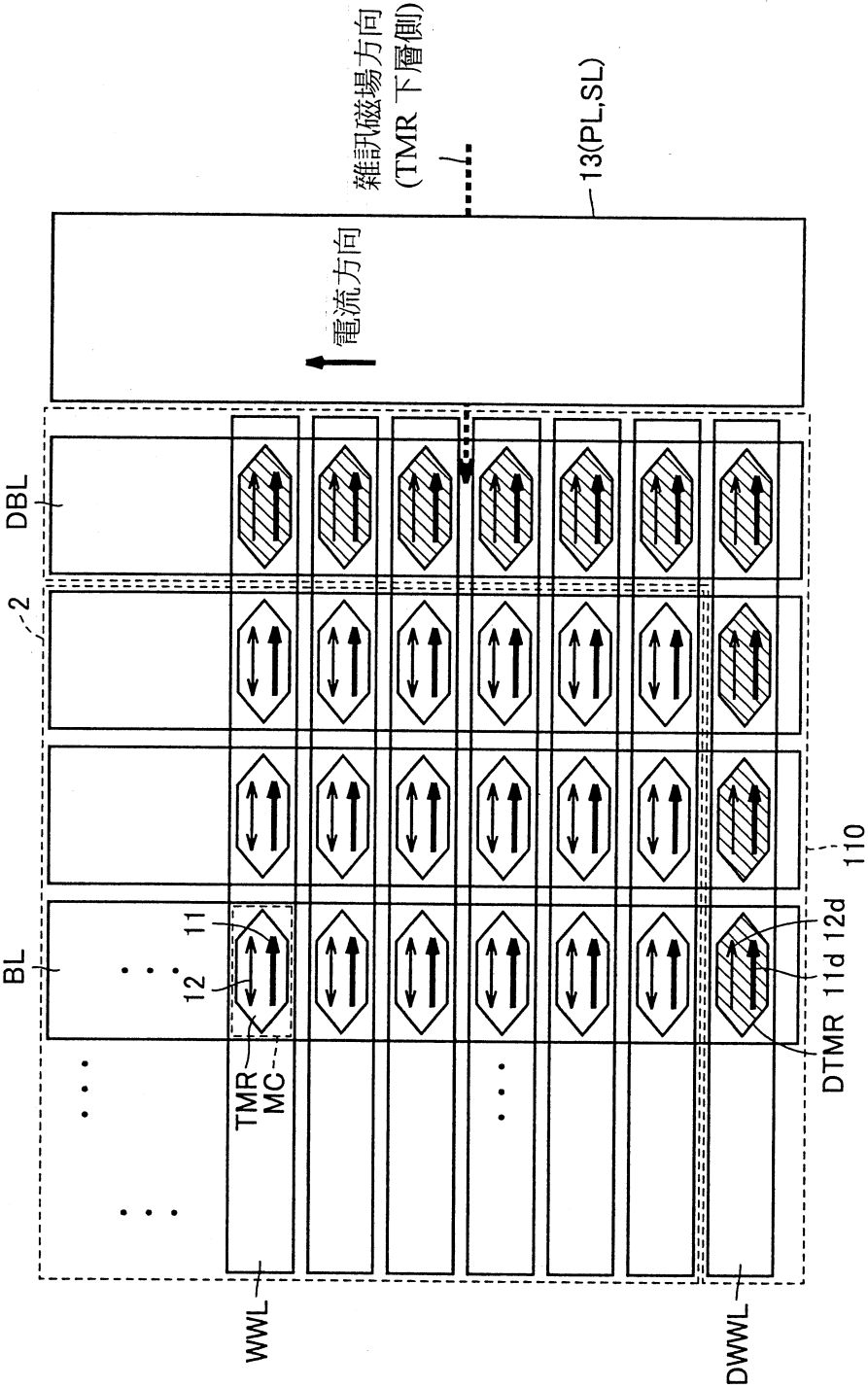
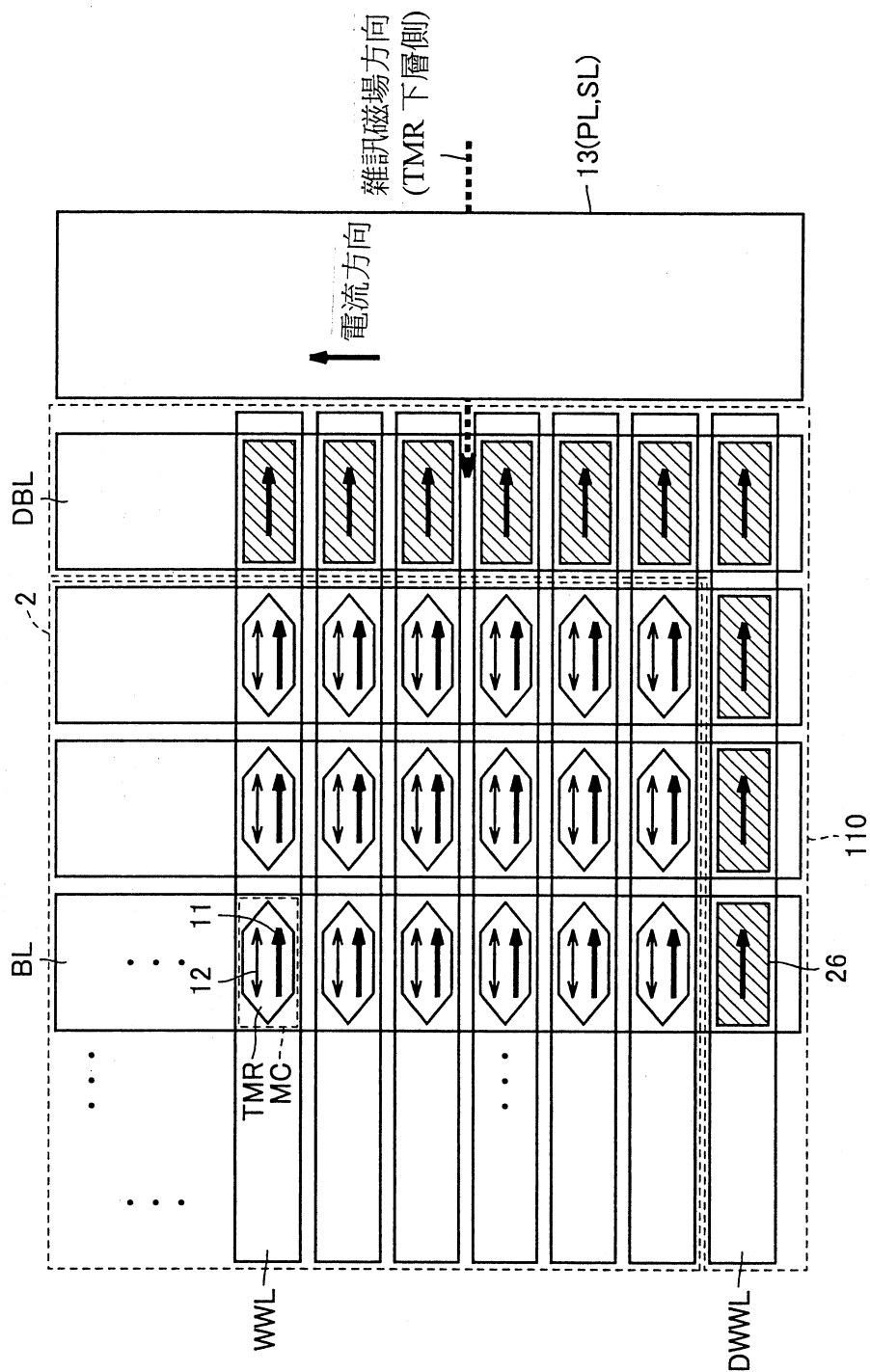
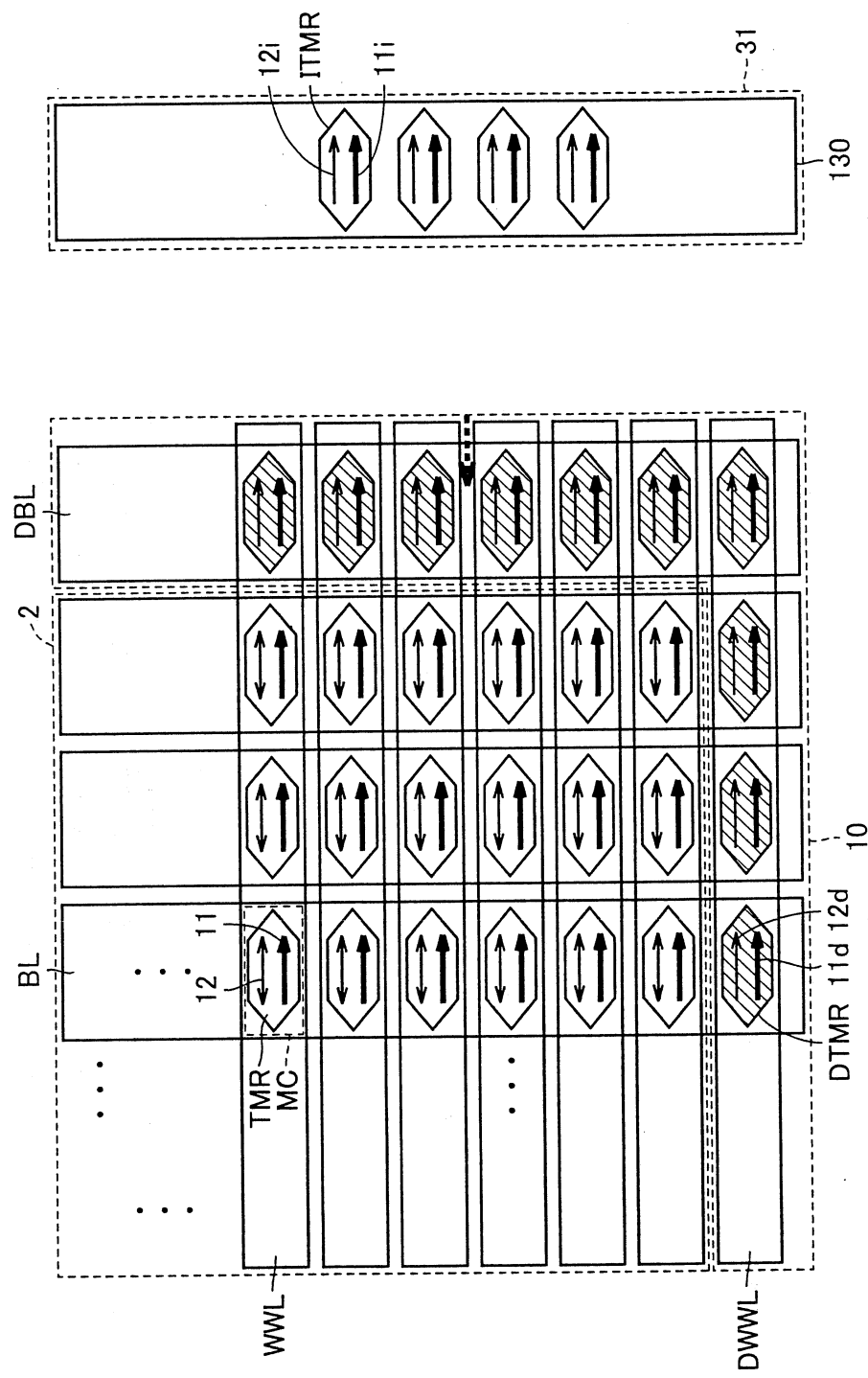


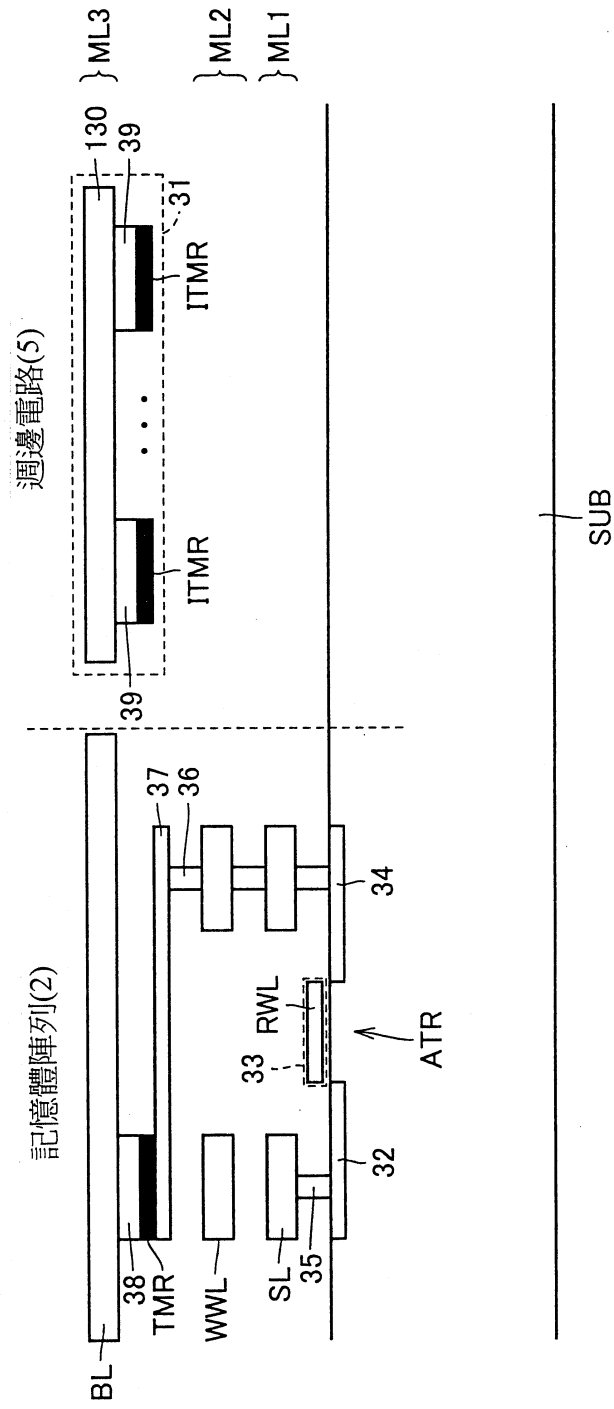
圖 26

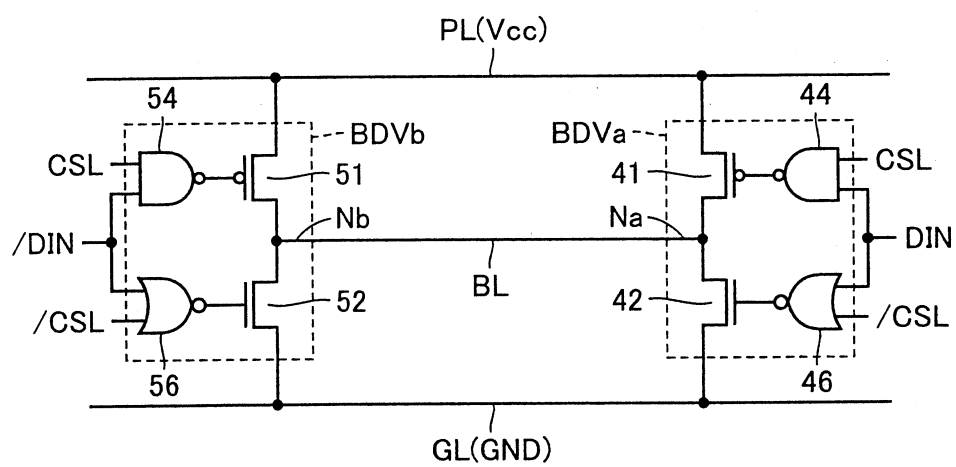


27



28





31

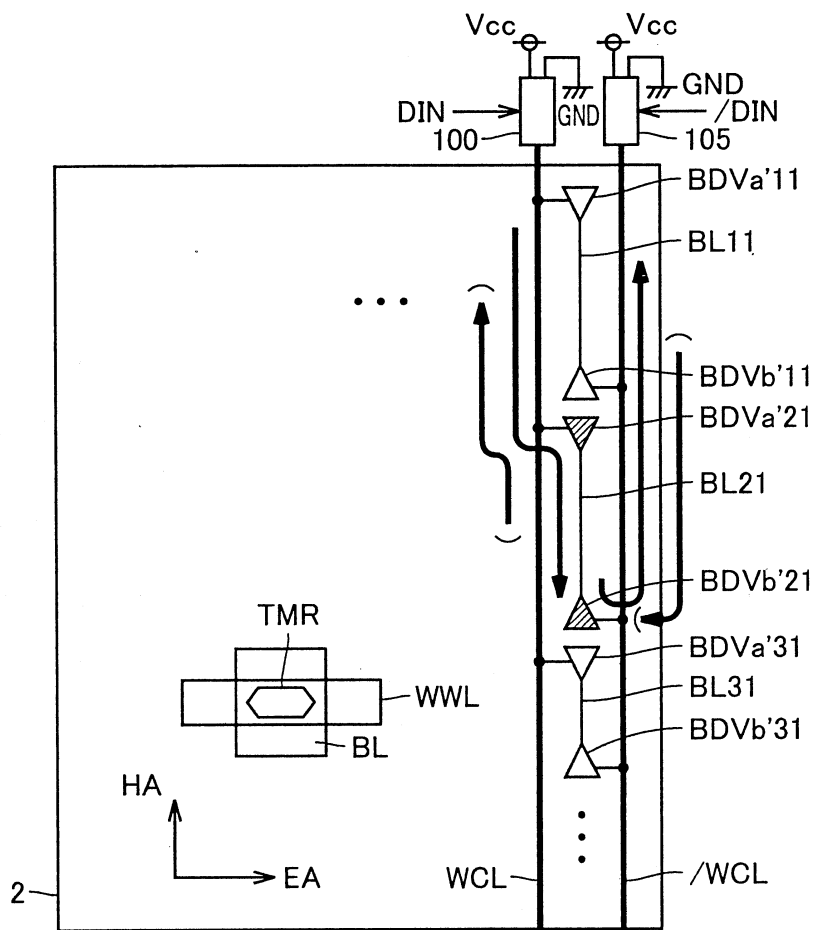
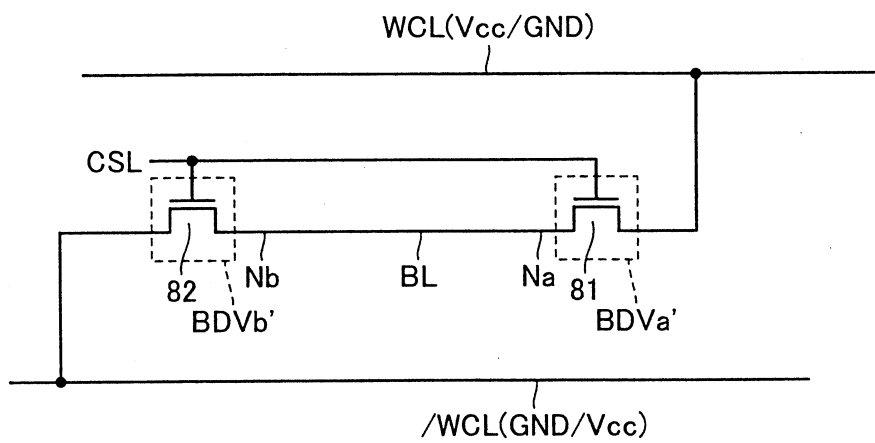
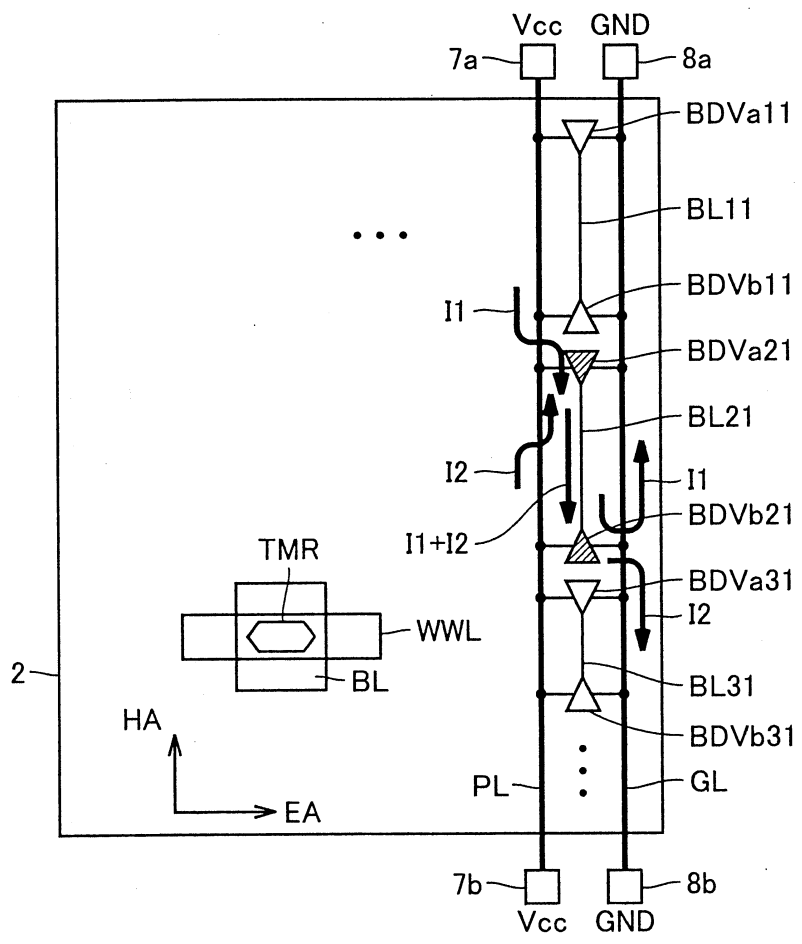


圖 32





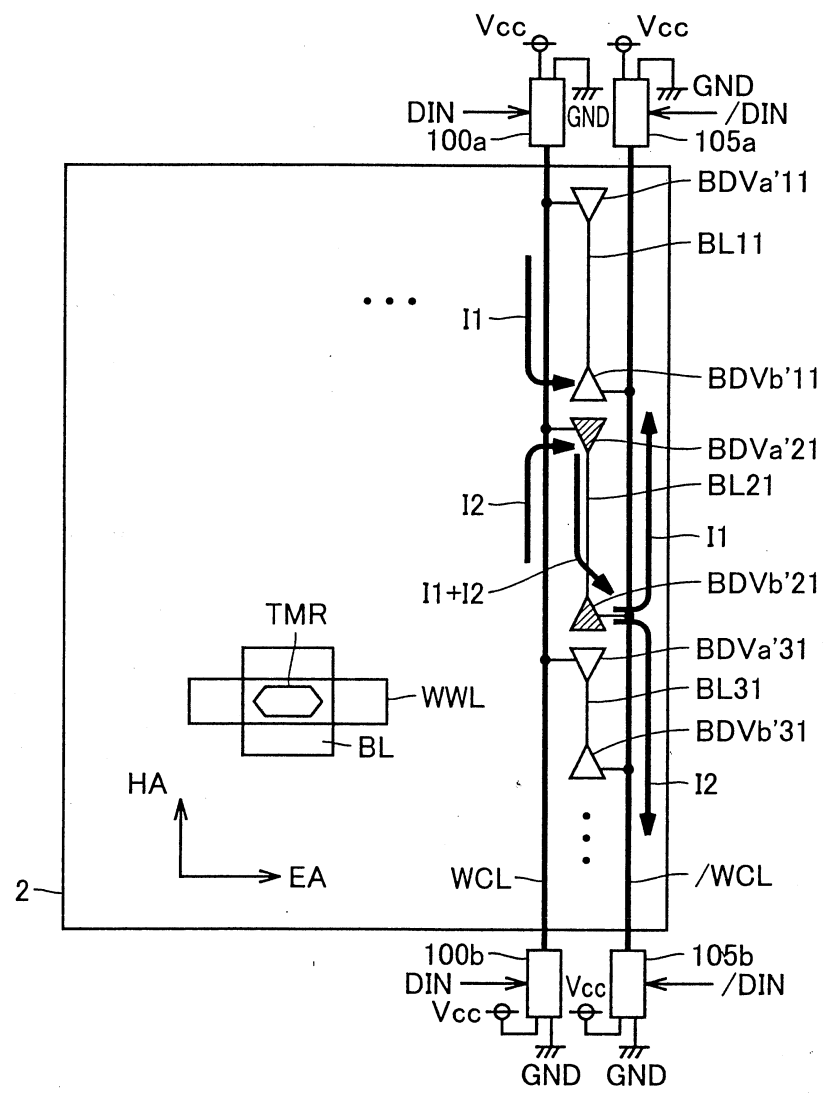


圖 35

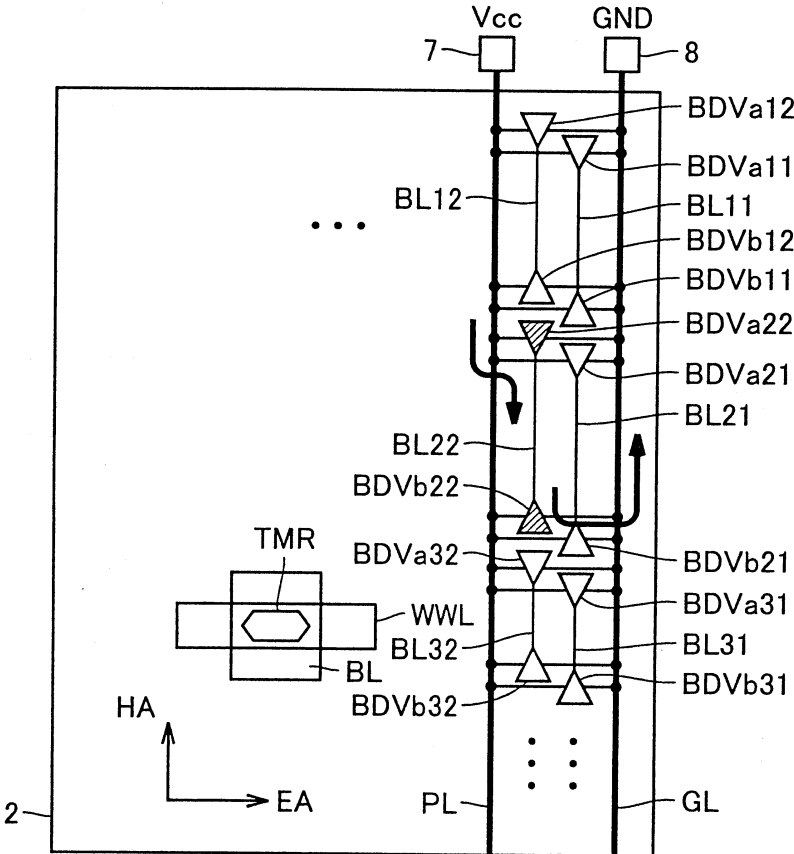


圖 36

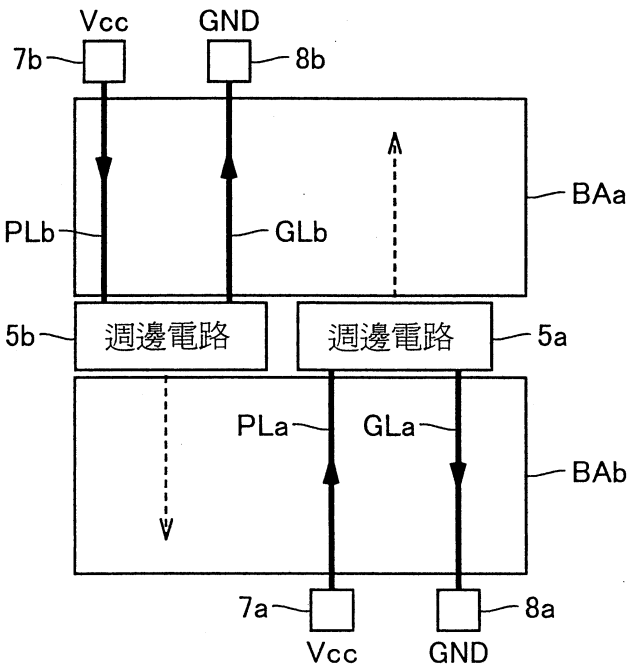
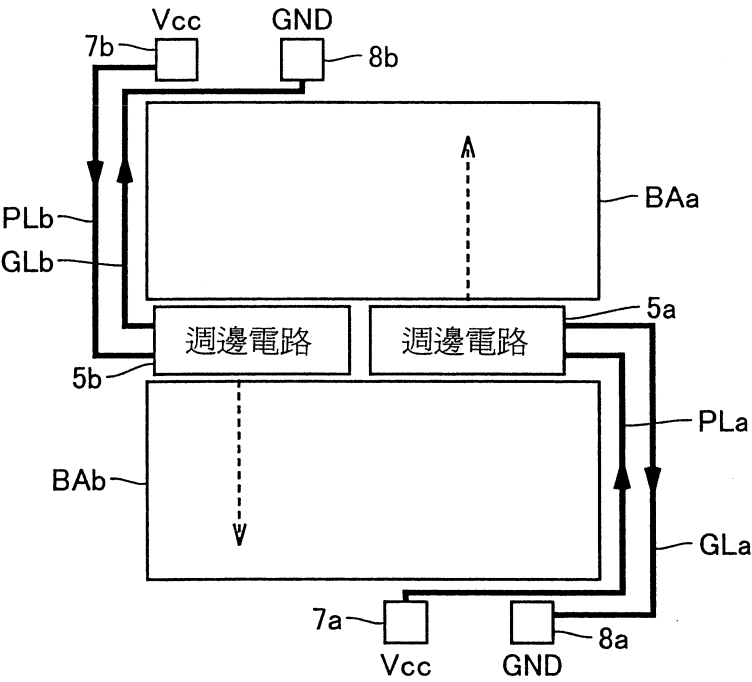


圖 37



38

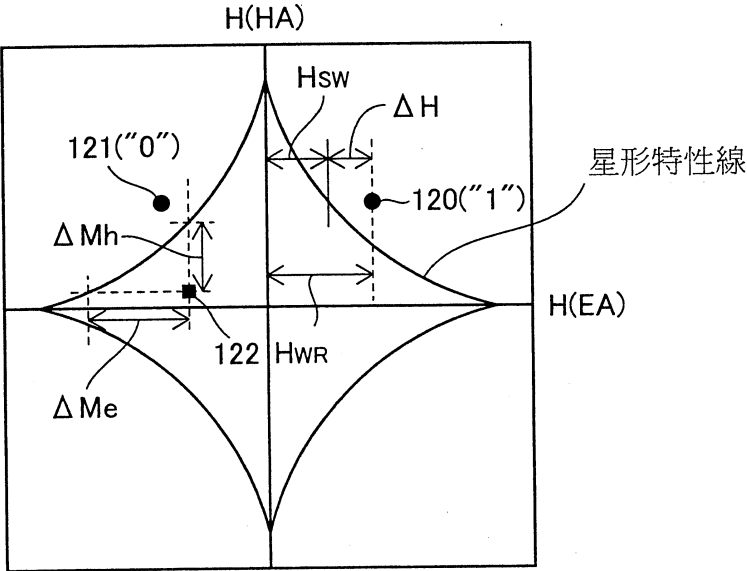


圖 39

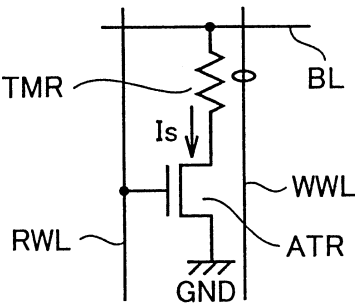


圖 40

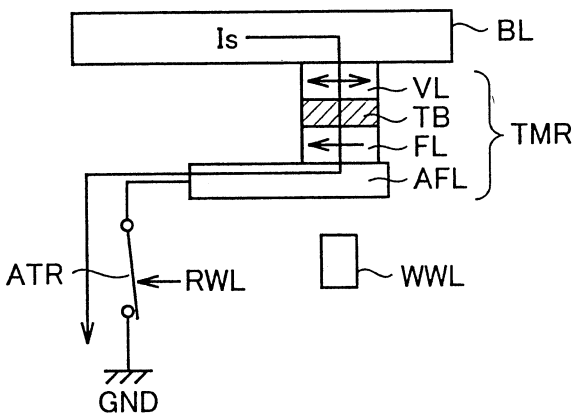


圖 41

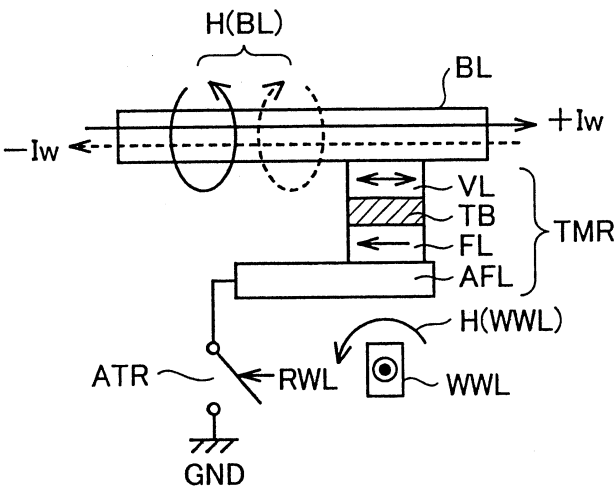


圖 42

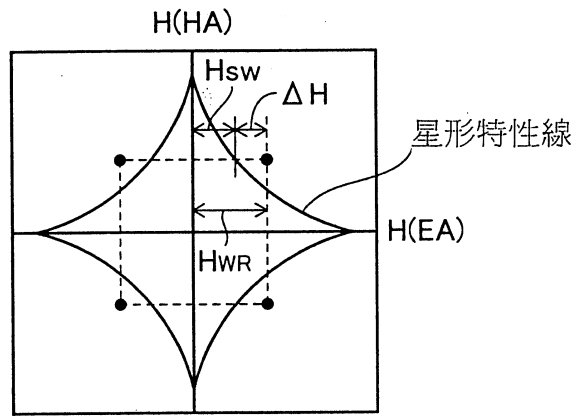


圖 43

