

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 6 日(06.10.2016)



(10) 国際公開番号

WO 2016/158226 A1

(51) 国際特許分類:
H01L 31/0747 (2012.01)

(21) 国際出願番号: PCT/JP2016/057042

(22) 国際出願日: 2016 年 3 月 7 日(07.03.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-074454 2015 年 3 月 31 日(31.03.2015) JP

(71) 出願人: 株式会社カネカ(KANEKA CORPORATION) [JP/JP]; 〒5308288 大阪府大阪市北区中之島二丁目 3 番 1 8 号 Osaka (JP).

(72) 発明者: 河▲崎▼ 勇人(KAWASAKI, Hayato); 〒5660072 大阪府摂津市鳥飼西 5-1-1 株式会社カネカ内 Osaka (JP). 吉河 訓太(YOSHIKAWA, Kunta); 〒5660072 大阪府摂津市鳥飼西 5-1-1 株式会社カネカ内 Osaka (JP). 中野 邦裕(NAKANO, Kunihiko); 〒5660072 大阪府摂津市鳥飼西 5-1-1 株式会社カネカ内 Osaka (JP). 小西 克典(KONISHI, Katsunori); 〒5660072 大阪府摂津市鳥飼西 5-1-1 株式会社カネカ内 Osaka (JP). 山本 憲治(YAMAMOTO, Kenji);

〒5660072 大阪府摂津市鳥飼西 5-1-1 株式会社カネカ内 Osaka (JP).

(74) 代理人: 新宅 将人, 外(SHINTAKU, Masato et al.); 〒5410054 大阪府大阪市中央区南本町 4 丁目 5-7 東亜ビル いざなぎ国際特許事務所 Osaka (JP).

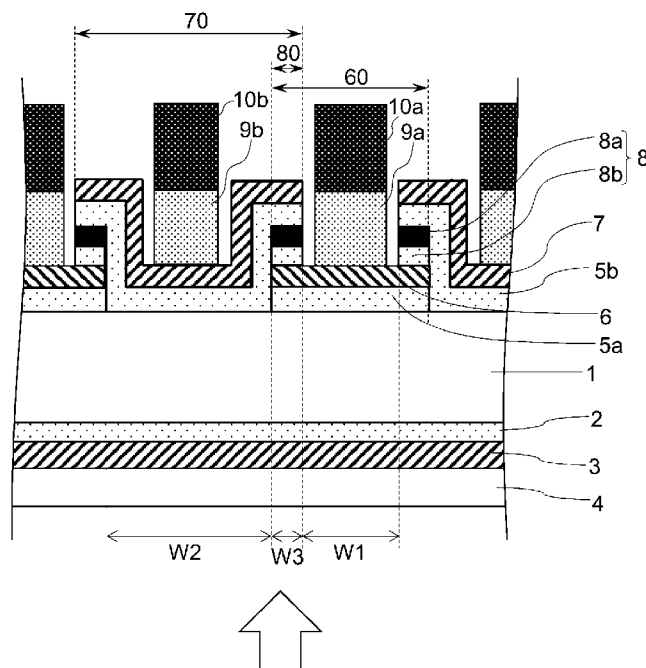
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロアジア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: SOLAR CELL AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 太陽電池及びその製造方法



(57) Abstract: This solar cell has an n-type semiconductor layer (6) and a p-type semiconductor layer (7) on a first main surface of a crystal silicon substrate. The n-type semiconductor layer is provided across a part on a p-type semiconductor layer forming region where the p-type semiconductor layer is provided, and a p-type semiconductor layer non-forming region where the p-type semiconductor layer is not provided. In a region where the n-type semiconductor layer is provided, said region being on the p-type semiconductor layer forming region, a protection layer (8) is provided between the p-type semiconductor layer and the n-type semiconductor layer. The protection layer is provided with: a base protection layer (8b) that is provided in contact with the p-type semiconductor layer; and an insulating layer (8a) that is provided on the base protection layer. The base protection layer includes an intrinsic silicon-based layer or an n-type silicon-based layer.

(57) 要約: 太陽電池は、結晶シリコン基板の第一主面上に n 型半導体層 (6) 及び p 型半導体層 (7) を有する。n 型半導体層は、p 型半導体層が設けられた p 型半導体層形成領域上の一部と、p 型半導体層非形成領域上の一部とに跨るように設けられている。p 型半導体層形成領域上において、p 型半導体層と n 型半導体層の間には保護層 (8) が設けられている。保護層は、p 型半導体層に接して設けられた下地保護層 (8b) と、下地保護層上に設けられた絶縁層 (8a) とを備える。下地保護層は、真性シリコン系層及び n 型シリコン系層のいずれかを含む。

導体層が設けられていない p 型半導体層非形成領域上に跨るように設けられている。p 型半導体層形成領域上において、p 型半導体層と n 型半導体層の間には保護層 (8) が設けられている。保護層は、p 型半導体層に接して設けられた下地保護層 (8b) と、下地保護層上に設けられた絶縁層 (8a) とを備える。下地保護層は、真性シリコン系層及び n 型シリコン系層のいずれかを含む。

WO 2016/158226 A1

WO 2016/158226 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：太陽電池及びその製造方法

技術分野

[0001] 本発明は、太陽電池及びその製造方法に関する。

背景技術

[0002] 一般的な結晶シリコン系太陽電池は、両面電極型であり、結晶シリコン基板の一方の面に p 型半導体層、他方の面に n 型半導体層を備え、p 層側及び n 層側のいずれかが受光面である。受光面及び裏面には、効率良く電流を取り出すために、金属電極が設けられている。受光面から太陽光が取り込まれると、結晶シリコン基板内で電子正孔対が生じ、p 層上及び n 層上のそれぞれに設けられた電極を通じて電流が取り出される。両面電極型太陽電池では、受光面側の金属電極による太陽光の遮蔽（シャドーイングロス）が、変換効率を下げる原因となっている。

[0003] 金属電極によるシャドーイングロスのない太陽電池として、結晶シリコン基板の裏面側に p 型半導体層及び n 型半導体層の両方を設け、これらの上に電極を形成した裏面電極（バックコンタクト）型太陽電池の開発が進められている。バックコンタクト型太陽電池では、受光面側に電極を形成する必要が無い場合、太陽光の受光効率を高め、変換効率を向上できる。

[0004] バックコンタクト型太陽電池では、裏面側に p 型半導体層及び n 型半導体層の両方を形成する必要がある。そのため、有効領域が広く、p n 間のリークが少なく、かつ簡素な工程により各層をパターンニング可能な方法が求められている。

[0005] 図 4 は、特許文献 1 に開示されているバックコンタクト型太陽電池の作製方法の工程概念図である。まず、図 4（a）に示すように、結晶シリコン基板 1 の受光面側に真性半導体層 2 が形成され、裏面側に真性半導体層 5 a 及び第一導電型半導体層 6 がこの順に形成される。次に、図 4（b）に示すように、受光面側の真性半導体層 2 上に受光面側保護層 4 が形成され、裏面側

の第一導電型半導体層 6 上に絶縁層 8 a が形成される。

[0006] 次に、図 4 (c) に示すように、裏面側の絶縁層 8 a の一部をエッチングにより除去し、続いて図 4 (d) に示すように、第一導電型半導体層 6 及び真性半導体層 5 a の一部をエッチングにより除去し、結晶シリコン基板 1 を露出させる。

[0007] その後、図 4 (e) に示すように、第一導電型半導体層 6 及び絶縁層 8 a を含む裏面側の略全面に真性半導体層 5 b 及び第二導電型半導体層 7 を形成する。図 4 (f) に示すように、絶縁層 8 a 上の第二半導体層 7 及び真性半導体層 5 b の一部をエッチングにより除去した後、図 4 (g) に示すように、第二導電型半導体層 7 をマスクとして絶縁層 8 a をエッチングし、第一導電型半導体層 6 を露出させる。以上の工程により、シリコン基板の裏面側にパターン状の半導体層 (p 層及び n 層) を形成できる (図 2 参照)。最後に、図 4 (h) に示すように、第一導電型半導体層 6 及び第二導電型半導体層 7 に電極を形成することにより、バックコンタクト型太陽電池が完成する。

[0008] 絶縁層 8 a は酸化シリコン、窒化シリコン、又は酸窒化シリコン等のシリコン合金で構成され、フッ酸 (HF) 水溶液等の酸系エッチャント (エッチング剤) を用いたエッチングにより除去される。第一導電型半導体層 6 及び第二導電型半導体層 7 は、例えば導電型シリコンで構成される。絶縁層 8 a のエッチング工程 (図 4 (g)) において、第二導電型半導体層 7 をエッチングマスクとして用い、第一導電型半導体層 6 が露出した時点でエッチングを終了させることにより、絶縁層 8 a をパターンエッチングするためのマスク層の形成を省略できる。

先行技術文献

特許文献

[0009] 特許文献1：特開 2012-028718 号公報

発明の概要

発明が解決しようとする課題

- [0010] 特許文献 1 に記載の方法によりバックコンタクト型太陽電池を作製した場合、以下の問題が生じることが、本発明者らの検討により判明した。すなわち、第一導電型半導体層としての p 型半導体層上に絶縁層として SiO₂ を形成し、その上に第二導電型半導体層としての n 型半導体層を形成後に、フッ酸等の酸系エッチャントを用いて p 型半導体層上の絶縁層を除去すると、コンタクト抵抗の増加及び開放電圧の低下等の問題が生じる。
- [0011] 上記に鑑み、本発明は、パターニングに起因する特性低下が抑制されたバックコンタクト型太陽電池の提供を目的とする。

課題を解決するための手段

- [0012] 上記特許文献 1 の方法では、絶縁層のパターニング時のエッチャントが p 型半導体層に接触してダメージを与えることが、特性低下の原因であると考えられる。p 型半導体層と絶縁層との間に、下地層として真性シリコン系層又は／及び n 型シリコン系層を設けることにより、絶縁層のエッチングに用いられるエッチャントと p 型半導体層との接触を防止できる。そのため、コンタクト抵抗及び開放電圧が改善されたバックコンタクト型の結晶シリコン系太陽電池が得られる。
- [0013] 本発明は、結晶シリコン基板の第一主面上に、n 型半導体層と p 型半導体層とを備える太陽電池及びその製造方法に関する。結晶シリコン基板の第一主面上において、n 型半導体層は、p 型半導体層が設けられた p 型半導体層形成領域上の一部と、p 型半導体層が設けられていない p 型半導体層非形成領域とに跨るように設けられている。p 型半導体層上の n 型半導体層が設けられた領域（p 型半導体層形成領域と n 型半導体層形成領域とが重複する領域）では、p 型半導体層と n 型半導体層の間に保護層が設けられている。保護層は、p 型半導体層側から、真性シリコン系層及び n 型シリコン系層のうち少なくともいずれか一方を有する下地層と、絶縁層と、をこの順に有することが好ましい。
- [0014] 保護層における下地層（下地保護層）は、真性シリコン系層であることが

好ましい。保護層における絶縁層は、酸化シリコン、窒化シリコン及び酸窒化シリコンから選ばれる少なくとも一種であることが好ましい。p型半導体層はp型シリコン系層であることが好ましい。

[0015] 本発明の製造方法は、結晶シリコン基板の第一主面上に、p型半導体層及び保護層がこの順に設けられたp型半導体層形成領域と、p型半導体層及び保護層のいずれも設けられていないp型半導体層非形成領域とを形成する工程（パターン層形成工程）、結晶シリコン基板の第一主面上において、p型半導体層が設けられたp型半導体層形成領域と、p型半導体層が設けられていないp型半導体層非形成領域とを覆うようにn型半導体層を形成する工程（n型半導体層形成工程）、p型半導体層上の保護層の一部が露出するように、p型半導体層上におけるn型半導体層の一部を除去する工程（n型半導体層パターニング工程）、及びp型半導体層の一部が露出するように、p型半導体層上の露出した保護層を除去する工程（保護層パターニング工程）をこの順に有する。

[0016] 一実施形態において、パターン層形成工程は、結晶シリコン基板の第一主面上にp型半導体層を形成する工程（p型半導体層形成工程）、p型半導体層の第一主面上に保護層を形成する工程（保護層形成工程）、及び結晶シリコン基板の第一主面上におけるp型半導体層の一部を除去する工程（p型半導体層パターニング工程）をこの順に有する。p型半導体層上の全面に保護層形成後、p型半導体層除去前に、保護層の一部を除去して保護層の間にp型半導体層を露出させる工程（p層露出パターニング工程）を実施してもよい。

[0017] 保護層パターニング工程では、絶縁層と下地保護層とが、異なるエッチャントを用いて順次除去されることが好ましい。絶縁層のエッチングには、絶縁層に対するエッチングレートが下地保護層に対するエッチングレートよりも大きいエッチャントを用いることが好ましい。絶縁層を除去後の下地保護層エッチングには、下地保護層に対するエッチングレートがp型半導体層に対するエッチングレートよりも大きいエッチャントを用いることが好ましい。

。下地保護層の除去に用いられるエッチャントは、下地保護層に対するエッチングレートが絶縁層に対するエッチングレートよりも大きいことが好ましい。

[0018] 絶縁層は、フッ酸等を含む酸系エッチャントを用いてエッチングされることが好ましい。絶縁層を除去後、KOHやNaOH等を含むアルカリ系エッチャントを用いて下地保護層がエッチングされることが好ましい。

発明の効果

[0019] p型半導体層の保護層として、p型半導体層側から順に、所定の下地保護層と絶縁層とを設けることにより、絶縁層のエッチングを下地保護層によってストップさせることができる。そのため、絶縁層のエッチングに用いられるエッチャントのp型半導体層への接触を防止し、その結果、コンタクト抵抗の増加及び開放電圧の低下を抑制できる。

図面の簡単な説明

[0020] [図1]本発明の一実施形態を示す太陽電池の模式的断面図である。

[図2]バックコンタクト型太陽電池における半導体層形成領域の形状の一例を示す模式的平面図である。

[図3]本発明の一実施形態の製造工程を示す工程概念図である。

[図4]関連技術における太陽電池の製造工程を示す工程概念図である。

発明を実施するための形態

[0021] 以下、本発明の好ましい実施形態について説明する。下記の実施形態は、単なる例示であり、本発明は下記の実施形態に何ら限定されない。

[0022] 図2は、バックコンタクト型太陽電池におけるp型半導体層形成領域及びn型半導体層形成領域の形状を説明するための模式的平面図であり、電極形成前のバックコンタクト型太陽電池を第一主面側からみた図である。図1は本発明の一実施形態にかかるバックコンタクト型太陽電池の模式的断面図であり、図2の左右方向の断面に相当する。図1の矢印は太陽光の入射方向を示す。すなわち、図1の下側（第二主面）が太陽光を受光する受光面であり、上側（第一主面）が太陽電池の裏面である。図2において、p型半導体層

6の形成領域60とn型半導体層7の形成領域70とは、互いに噛み合う楕型に設けられている。p型半導体層形成領域及びn型半導体層形成領域は楕型である必要はなく、例えば、櫛歯を繋ぐ部分（所謂バスバー部分）が設けられていない形状でもよい。p型半導体層形成領域とn型半導体層形成領域とが重複する境界領域（保護層形成領域80）には、図1に示すように保護層8が設けられている。

[0023] 図1に示すバックコンタクト型太陽電池では、結晶シリコン基板1の第一主面上に、真性シリコン系層5a、5b、p型半導体層6、n型半導体層7、保護層8、第一電極9a、9b、及び第二電極10a、10bが設けられている。第一主面上の各層はパターンニングされている。

[0024] n型半導体層7は、p型半導体層6が設けられた領域（p型半導体層形成領域60）の一部である保護層形成領域80と、p型半導体層が設けられていない領域（p型半導体層非形成領域）とに跨って設けられている。すなわち、n型半導体層7は、p型半導体層非形成領域の全体と、p型半導体層非形成領域に隣接する2つのp型半導体層形成領域とに跨るように設けられている。

[0025] p型半導体層形成領域60とn型半導体層形成領域70とが重複する領域（図2においてハッチングが付されている領域）が保護層形成領域80であり、p型半導体層6とn型半導体層7との間に保護層8が設けられている。保護層8は、p型半導体層7側から、p型半導体層7に接して設けられた下地保護層8b、及び絶縁層8aをこの順に有する。絶縁層8aは下地保護層8bに接して設けられていることが好ましい。下地保護層8bは、真性シリコン系層及びn型シリコン系層の少なくともいずれか一方を含む。下地保護層8bは、真性シリコン系層とn型シリコン系層の積層構造を有していてもよい。p型半導体層6上にp側電極9a、9bが設けられ、n型半導体層7上にn側電極9b、10bが設けられている。

[0026] p型半導体層形成領域60の幅、及びn型半導体層形成領域70の幅は、いずれも特に限定されず、互いに等しくても異なってもよい。また、こ

これらの領域の幅は、場所によって異なってもよい。保護層形成領域 80（p 型半導体層形成領域と n 型半導体層形成領域とが重複する領域）の幅も特に限定されない。保護層形成領域 80 の幅 W3 は、例えば 10～500 μm 程度に設定される。p 型半導体層形成領域 60 から両端の保護層形成領域を除いた領域の幅 W1、及び n 型半導体層形成領域 70 から両端の保護層形成領域を除いた領域の幅 W2 は、例えば 100～1500 μm 程度に設定される。

[0027] 図 3 は、図 1 に示すバックコンタクト型太陽電池の製造工程を説明するための工程概念図である。以下では、これらの図を参照して、本発明の一実施形態に係る太陽電池の作製工程を説明する。

[0028] まず、結晶シリコン基板 1 を用意する。結晶シリコン基板は、単結晶シリコン及び多結晶シリコンのいずれでもよい。結晶シリコン基板の導電型は、n 型、p 型のいずれでもよい。後述の実施例では、n 型単結晶シリコン基板を用いた例を示す。結晶シリコン基板 1 は、表面にテクスチャ構造が形成されることが好ましい。テクスチャは第一主面及び第二主面のいずれに形成されてもよく、両面に形成されてもよい。

[0029] [第一主面上の各層の形成及びパターニング]

<パターン層形成工程>

図 3（d）に示すように、結晶シリコン基板 1 の第一主面上に、p 型半導体層 6 及び保護層 8 がこの順に設けられた p 型半導体層形成領域と、p 型半導体層及び保護層のいずれも設けられていない p 型半導体層非形成領域とが形成される。p 型半導体層形成領域では、結晶シリコン基板 1 と p 型半導体層 6 との間に、真性シリコン系層 5a が設けられることが好ましい。

[0030] p 型半導体層 6 は p 型のドーパントが添加された層であり、ボロンが添加された p 型シリコン系層であることが好ましい。中でも、不純物拡散の抑制や直列抵抗低下の観点から、p 型非晶質シリコン層が特に好ましい。非晶質シリコン系層には、粒径が 50 nm 程度以下の微結晶シリコンが微量に析出していてもよい。p 型半導体層 6 の膜厚は特に限定されず、例えば 3～50

n m程度に設定される。

[0031] 本明細書における膜厚は、製膜面に対して垂直方向の厚みを意味する。主面が平坦な場合は主面に垂直な方向の厚みを意味し、主面にテクスチャ構造を有する場合等は、テクスチャの斜面に垂直な方向の厚みを意味する。各層の膜厚は、分光エリプソメトリーにより測定できる。

[0032] 真性シリコン系層5 aとしては、シリコンと水素で構成される真性非晶質シリコンが好ましい。結晶シリコン基板1上に、CVD法により真性水素化非晶質シリコンを製膜することにより、結晶シリコン基板への不純物拡散を抑えつつ表面パッシベーションを有効に行うことができる。真性シリコン系層は発電には直接寄与しないため、その厚さは、パッシベーション効果が得られる範囲で設定され、1～50 nm程度が好ましく、1～15 nm程度がより好ましい。

[0033] p型半導体層形成領域に、真性シリコン系層5 a、p型半導体層6及び保護層8が積層されたパターン層を形成する方法としては、p型半導体層非形成領域に対応する領域をマスクにより遮蔽して、p型半導体層形成領域に各層を順次製膜する方法；及び結晶シリコン基板1上の略全面に形成された各層をエッチング等によりパターニングする方法等が挙げられる。以下では、図3(a)～(d)を参照して、基板上の略全面に形成された各層をエッチングすることによりパターン層を形成する形態について説明する。

[0034] (p型半導体層形成工程)

図3(a)に示すように、結晶シリコン基板1の第一主面側の略全面にp型半導体層6が形成される。前述のように、結晶シリコン基板1とp型半導体層6との間には、真性シリコン系層5 aが形成されることが好ましい。ここで、「略全面」とは、主面の90%以上を意味する。真性シリコン系層5 a及びp型半導体層6は、第一主面上の95%以上の領域に形成されることが好ましく、全面に形成されることが好ましい。なお、全面とは、製膜時の放電異常等による基板端部の製膜ムラやピンホール等の極小面積の例外を除いた全領域を意味する。

[0035] (保護層形成工程)

次に、図3(b)に示すように、p型半導体層6上に、保護層8として、p型半導体層側から順に、下地保護層8b及び絶縁層8aが形成される。絶縁層8aは、絶縁性を有し、p型半導体層形成領域におけるp型半導体層6とn型半導体層7とのリークを抑制できるものであれば、その材料は特に限定されない。エッチングによるパターニングが容易であることから、絶縁層8aは、酸化シリコン、窒化シリコン、酸窒化シリコン等のシリコン合金を含むことが好ましく、これらの成分のいずれかを主成分とすることが好ましい。なお、本明細書において「主成分とする」とは、含有量が50重量%よりも多いことを意味する。中でも70重量%以上が好ましく、85重量%以上がより好ましい。絶縁層8aは、酸化シリコン層、窒化シリコン層、酸窒化シリコン層又はそれらの積層物から構成されることが好ましい。中でも、エッチング加工の容易さの点から、酸化シリコンが特に好ましい。

[0036] 上述のように、本発明においては、p型半導体層の保護層8として、絶縁層8aに加えて、p型半導体層6に接する下地保護層8bが設けられる。下地保護層8bは、真性シリコン系層及びn型シリコン系層のうちの少なくともいずれか一方を有する。真性シリコン系層としては、真性非晶質シリコン系層が好ましく、真性非晶質シリコンが特に好ましい。n型シリコン系層としては、n型非晶質シリコン系層が好ましく、n型非晶質シリコンが特に好ましい。絶縁層8aに加えて、下地保護層8bにも、p型半導体層形成領域におけるp型半導体層6とn型半導体層7とのリーク抑制効果を持たせる観点から、下地保護層8bは真性シリコン系層であることが特に好ましい。

[0037] 下地保護層8bの膜厚は、p型半導体層6を覆えていれば特に限定されず、例えば1～50nm程度に設定される。保護層8の膜厚、すなわち、下地保護層8bの膜厚と絶縁層8aの合計膜厚は、保護層8によりp型半導体層6とn型半導体層7との絶縁を維持できる範囲であれば特に限定されず、例えば5～300nm程度に設定される。

[0038] 真性シリコン系層及びn型シリコン系層は、いずれも、アルカリ系エッチ

ャントによりエッチング可能であり、フッ酸等の酸系エッチャントに対するエッチング耐性を有する。一方、p型半導体層6及び絶縁層8aは酸系エッチャントによりエッチング可能であり、アルカリ系エッチャントに対するエッチング耐性を有する。そのため、後述する保護層パターニング工程において、絶縁層8aと下地保護層8bとの選択エッチングを容易に実施可能である。また、p型半導体層6はアルカリ系エッチャントに対する耐性が高いため、アルカリ系エッチャントを用いた下地保護層8bのエッチング時に、p型半導体層6のエッチング耐性が高く、p型半導体層の劣化を抑制できる。

[0039] (p型半導体層パターニング工程)

図3(c)に示すように、保護層8の一部をエッチングにより除去する(p層露出パターニング工程)。保護層8が除去される領域は、p型半導体層非形成領域に対応している。これにより、保護層8が残存している保護層形成領域と、保護層が除去された保護層非形成領域が形成される。保護層非形成領域では、p型半導体層が露出する。保護層の一部を除去する方法としては、例えば、保護層を残存させるべき領域の表面をマスクやレジスト等により被覆(保護)した後、被覆領域以外(非保護領域)をエッチングする方法等が挙げられる。

[0040] 続いて、図3(d)に示すように、保護層8を除去した領域(保護層非形成領域)において、保護層の間に露出したp型半導体層6及びその下に設けられた真性シリコン系層5aをエッチングにより除去し、結晶シリコン基板1の第一主面を露出させる。これにより、p型半導体層6(及び真性シリコン系層5a)が残存しているp型半導体層形成領域と、p型半導体層(及び真性シリコン系層5a)が除去されたp型半導体層非形成領域とが形成される。保護層8のうち、絶縁層8aを除去するエッチャントとしては、フッ酸水溶液等の酸系エッチャントが好ましく用いられる。p型半導体層を除去するエッチャントとしては、フッ酸を有するものが好ましく、中でもフッ酸と硝酸の混酸が特に好ましく用いられる。

[0041] <洗浄工程>

図3（d）に示すように、p型半導体層6と保護層8とが積層されたパターン層を形成後は、p型半導体層非形成領域において結晶シリコン基板1が露出している。エッチングにより各層のパターニングを実施した場合は、p型半導体層形成領域における保護層8の表面や、p型半導体層非形成領域の結晶シリコン基板の表面に、エッチングにより除去された膜やエッチャント等が付着している可能性がある。そのため、パターン層形成後、n型半導体層形成前に、基板の洗浄工程を実施することが好ましい。洗浄工程に用いられる洗浄液は、結晶シリコン基板の表面を清浄化可能であれば特に限定されない。結晶シリコン基板の表面洗浄効果が高いことから、洗浄液としてフッ酸を含有する水溶液を用いることが好ましい。フッ酸を含有する水溶液を用いて洗浄を行う場合、絶縁層8aがフッ酸によってエッチングされるため、エッチング量を考慮して、絶縁層8aを予め厚く形成しておくことが好ましい。

[0042] ＜n型半導体層形成工程＞

図3（e）に示すように、p型半導体層形成領域及びp型半導体層非形成領域の全面を覆うように、n型半導体層7が形成される。n型半導体層7はn型のドーパントが添加された層であり、リンが添加されたn型シリコン系層であることが好ましい。中でもn型非晶質シリコン系層がより好ましく、n型非晶質シリコンが特に好ましい。n型半導体層7の膜厚は特に限定されず、例えば3～50nm程度に設定される。結晶シリコン基板1とp型半導体層6との間には、真性シリコン系層5bが設けられることが好ましい。真性シリコン系層5bとしては、シリコンと水素で構成される真性水素化非晶質シリコンが好ましい。真性シリコン系層5bの膜厚や組成は、p型半導体層6の下に設けられる真性シリコン系層5aと同一でもよく、異なってもよい。

[0043] ＜n型半導体層パターニング工程＞

図3（f）に示すように、保護層8上のn型半導体層7の一部をエッチングによって除去する。保護層8とn型半導体層7との間に真性シリコン系層

5 b が設けられている場合は、真性シリコン系層 5 b も n 型半導体層 7 と同様に除去される。n 型半導体層をエッチングする際は、n 型半導体層を残存させるべき領域の表面をマスクやレジスト等により被覆することにより、エッチャントから保護する。n 型半導体層 7 及び真性シリコン系層 5 b の除去には、KOH や NaOH を含むアルカリ系エッチャントが好ましく用いられる。

[0044] n 型半導体層パターニング工程では、p 型半導体層 6 及び保護層 8 が設けられた領域（p 型半導体層形成領域）の幅方向の中央部の n 型半導体層 7 及び真性シリコン系層 5 b が除去される。これにより、n 型半導体層 7 の間に保護層 8 が露出する。p 型半導体層形成領域において n 型半導体層 7 が残存している領域、すなわち、p 型半導体層 6 と n 型半導体層の両方が設けられている領域では、p 型半導体層 6 と n 型半導体層 7 との間に保護層 8 が設けられているため、p n 間のリークが抑制される。

[0045] <保護層パターニング工程>

n 型半導体層パターニング工程後、図 3（g）及び（h）に示すように、n 型半導体層が除去された領域に露出した保護層 8 をエッチングにより除去する。これにより、n 型半導体層 7 の間に p 型半導体層 6 が露出する。この際、p 型半導体層 6 が露出し、かつ p 型半導体層形成領域上の保護層 8 が残存していればよい。好ましくは、n 型半導体層の間に露出している保護層の全部が除去される。

[0046] まず、図 3（g）に示すように、絶縁層 8 a の一部をエッチングにより除去することにより、絶縁層 8 a の間に下地保護層 8 b が露出する。続いて、図 3（h）に示すように、絶縁層 8 a の間（n 型半導体層 7 の間）に露出した下地保護層 8 b をエッチングにより除去することにより、n 型半導体層 7 の間に p 型半導体層 6 が露出する。

[0047] 絶縁層 8 a を除去するためのエッチャントは、p 型半導体層非形成領域に露出している n 型半導体層 7 等に対するダメージが少ないものであればよく、下地保護層 8 b を除去するエッチャントとしては、その下に設けられてい

る p 型半導体層 6 等へのダメージが少ないものであればよい。絶縁層 8 a を除去するためのエッチャントとしては、絶縁層に対するエッチングレートが下地保護層に対するエッチングレートよりも大きく、下地保護層を実質的に溶解しないエッチャントを用いることが好ましい。下地保護層 8 b を除去するためのエッチャントとしては、下地保護層に対するエッチングレートが p 型半導体層に対するエッチングレートよりも大きく、p 型半導体層を実質的に溶解しないエッチャントを用いることが好ましい。下地保護層 8 b を除去するためのエッチャントは、下地保護層に対するエッチングレートが絶縁層に対するエッチングレートよりも大きく、絶縁層を実質的に溶解しないことが好ましい。

[0048] 上述のように、絶縁層 8 a が、酸化シリコン、窒化シリコン、酸窒化シリコン又はそれらの積層物から構成される場合、絶縁層 8 a の除去にはフッ酸等の酸系エッチャントを使用することが好ましい。酸化シリコン、窒化シリコン、酸窒化シリコン等は、酸系エッチャントに対するエッチングレートが大きく、NaOH や KOH 等のアルカリ系エッチャントに対するエッチングレートが小さい。一方、下地保護層 8 b を構成する真性シリコンや n 型シリコンは、酸系エッチャントに対するエッチングレートが小さいため、酸系エッチャントでは実質的にエッチングされない。そのため、酸系エッチャントを用いて絶縁層 8 a をエッチングすれば、下地保護層 8 b が露出した時点でエッチングが止まり、選択エッチングが可能となる。

[0049] 絶縁層 8 a をエッチング後、アルカリ系エッチャントを用いて下地保護層 8 b をエッチングすることが好ましい。アルカリ系エッチャントは、真性シリコンや n 型シリコンに対するエッチングレートが大きいいため、下地保護層 8 b は、アルカリ系エッチャントで容易にエッチング可能である。一方、p 型半導体層 6 は、アルカリ系エッチャントに対するエッチングレートが小さい。アルカリ系エッチャントを用いた場合は、p 型半導体層 6 が露出した時点でエッチングが止まるため、p 型半導体層へのダメージを抑制しながら下地保護層 8 b を選択的にエッチングして、p 型半導体層を露出させることが

できる。

[0050] また、アルカリ系エッチャントは、絶縁層 8 a の酸化シリコン、窒化シリコン、酸窒化シリコン等のエッチングレートが小さいため、下地保護層 8 b のエッチング時に、絶縁層 8 a が除去された領域の拡大が抑制される。そのため、p 型半導体層 6 と n 型半導体層 7 との間に、下地保護層 8 b と絶縁層 8 a とが積層された保護層 8 を残存させることができ、p n 間のリークを抑制できる。

[0051] 図 3 (g), (h) に示すように、保護層パターニング工程の間、p 型半導体層非形成領域の表面には、n 型半導体層 7 が露出している。下地保護層 8 b の除去にアルカリ系エッチャントを用いると、n 型半導体層 7 もエッチングされる場合がある。下地保護層 8 b のエッチングの際に、n 型半導体層 7 がエッチング除去されることを防止するために、n 型半導体層 7 を下地保護層 8 b よりも大きな膜厚で形成しておくか、n 型半導体層 7 をマスクやレジスト等により被覆して保護しておくことが好ましい。

[0052] <電極形成工程>

上記の様に半導体層を形成後、図 3 (i) に示すように、p 型半導体層 6 及び n 型半導体層 7 上のそれぞれに電極 9 a, 10 a、及び電極 9 b, 10 b が形成される（電極形成工程）。以上の工程により、図 1 に示すバックコンタクト型太陽電池の第一主面上の各層の形成が完了する。

[0053] [関連技術との対比]

図 4 に示すように、p 型半導体層 6 に接する保護層として絶縁層 8 a が設けられている場合は、エッチングによる絶縁層除去の際に、絶縁層のエッチングにより露出した p 型半導体層 6 がエッチャントに曝される（図 4 (g) 参照）。前述のように、p 型半導体層上の絶縁層 8 a は、パターン層形成後のフッ酸を用いた基板の表面洗浄の際にエッチングされるため、p n 間の絶縁性確保の観点から、製膜厚みを大きくしておく必要がある。絶縁層の製膜厚みにムラがある場合、製膜厚みに比例してムラによる膜厚差が拡大するため、場所によってエッチング完了時間に差が生じる。そのため、絶縁層のエ

エッチング完了後すぐにエッチャントから基板を取り出したとしても、絶縁層の製膜厚みが小さい領域では、p型半導体層が、絶縁層除去のためのエッチャントに長時間曝される。また、絶縁層の製膜時にピンホールが生じている場合、ピンホールから染み込んだエッチャントがp型半導体層に接触する。上記のように、p型非晶質シリコン等のp型半導体材料は、真性半導体材料やn型半導体材料に比べて、フッ酸等の酸系エッチャントに対する耐性が低いため、p型半導体層6が、絶縁層除去のためのエッチャントに曝されると、太陽電池の特性が低下する傾向がある。

[0054] これに対して、本発明においては、p型半導体層6と絶縁層8aとの間に、下地保護層8bとして真性シリコン系層又は／及びn型シリコン系層が設けられているため、絶縁層8aをエッチングしてもp型半導体層6が露出せず、エッチャントから保護できる（図3（g）参照）。下地保護層8bは、p型半導体層6の略全面を覆っていればエッチング時の保護層として十分に機能するため、絶縁層8aよりも膜厚が小さくてもよい。そのため、下地保護層8bは、絶縁層8aに比べると膜厚ムラの影響が小さく、エッチング完了時間の差も小さい。そのため、下地保護層8bの除去に用いられるエッチャントとp型半導体層6との接触時間を短くできる。

[0055] また、下地保護層8bの除去には、絶縁層8a除去のためのフッ酸等に比べてp型半導体層に対するダメージの少ないエッチャント（例えばアルカリ系エッチャント）を使用できる。そのため、保護層8のエッチング時のp型半導体層6の膜質の低下を防止し、高効率の太陽電池が作成可能となる。

[0056] 下地保護層8bは、絶縁層8aとは異なる材料から構成されるため、下地保護層8bは、絶縁層8aとは別の工程で製膜される。製膜時にピンホールが生じたとしても、絶縁層8aに下地保護層8bと同位置にピンホールが形成される可能性は低く、絶縁層エッチング時のピンホールを介したp型半導体層6へのエッチャントの染み込みを大幅に低減できる。そのため、p型半導体層6と絶縁層8aとの間に下地保護層8bを設けることにより、ピンホールに起因するpn間の短絡の確率を大幅に低減し、太陽電池の特性をより

高める効果が期待される。

[0057] [第二主面上の構成]

バックコンタクト型太陽電池において、受光面である第二主面は、発電及び電流の取り出しには直接寄与しない。そのため、第二主面上の構成は、太陽光の受光を妨げない限り、特に制限はない。図1に示す太陽電池では、結晶シリコン基板1の第二主面上に、真性シリコン系層2、導電型半導体層3及び受光面側保護層4がこの順に設けられている。

[0058] 結晶シリコン基板1の第二主面上には、真性シリコン系層2が形成されることが好ましい（図3（a））。真性シリコン系層2は水素を含む非晶質シリコン層が好ましい。真性シリコン系層2が設けられることにより、基板表面パッシベーションを有効に行うことができる。真性シリコン系層2は発電に寄与しないため、受光を妨げず、パッシベーション効果が得られるように膜厚を設定することが好ましい。真性シリコン系層2の膜厚は、1～50 nm程度が好ましく、1～15 nm程度がより好ましい。受光面側に真性シリコン系層2、裏面側に真性シリコン系層5aを製膜する場合、どちらを先に製膜してもよい。

[0059] 真性シリコン系層2の上には反射防止層としても機能する受光面側保護層4が形成されることが好ましい（図3（b））。受光面側保護層4は、その下に存在する層（例えば真性シリコン系層2や導電型半導体層3）を太陽電池の製造工程において保護でき、かつ光透過性を有していれば、その材料は特に制限されない。受光面側保護層4の材料としては、例えば酸化シリコン、窒化シリコン、酸窒化シリコン等のシリコン合金、これらの混合物又は積層構成が好ましい。中でも、反射防止及び対エッチャント耐性の点から窒化シリコンが特に好ましい。受光面側保護層4の膜厚は特に限定されないが、反射防止機能を付与して結晶シリコン基板1への光取り込み量を増大させる観点から膜厚を設定することが好ましく、80 nm～1 μm程度が好ましい。

[0060] 真性シリコン系層2と受光面側保護層4との間には、導電型半導体層3が

形成されてもよい（図3（b））。導電型半導体層3は、結晶シリコン基板1と同一の導電型を有することが好ましい。例えば、結晶シリコン基板がn型結晶シリコン基板の場合、導電型半導体層3としてn型半導体層が形成されることが好ましい。導電型半導体層3は、シリコン系層であることが好ましく、中でも非晶質シリコンがより好ましい。導電型半導体層3の膜厚は、例えば1～50nm程度に設定される。

[0061] [各層の形成方法]

上述のp型シリコン系層、n型シリコン系層、真性シリコン系層等のシリコン系層の製膜方法としては、プラズマCVD法が好ましい。真性シリコン系層と導電型シリコン系層をいずれもプラズマCVD法によって製膜する場合、真性シリコン系層5aとp型半導体層6、真性シリコン系層5bとn型半導体層7、受光面側の真性シリコン系層2と導電型半導体層3を、それぞれ連続して製膜できるため、工程の簡略化や汚染防止が期待できる。また、プラズマCVD法は、製膜条件によって比較的容易に膜質を制御できることから、耐エッチング性や屈折率を調整することにより、保護層としての効果の向上や光学的損失の低減が期待できる。

[0062] プラズマCVD法によるシリコン系層の製膜条件としては、基板温度100～300℃、圧力20～2600Pa、高周波パワー密度0.004～0.8W/cm²が好ましく用いられる。シリコン系層の製膜に使用される原料ガスとしては、SiH₄、Si₂H₆等のシリコン含有ガス、又はシリコン系ガスとH₂との混合ガスが好ましい。p型又はn型シリコン系層を形成するためのドーパントガスとしては、B₂H₆又はPH₃等が好ましく用いられる。PやB等の不純物の添加量は微量でよいため、予めSiH₄やH₂で希釈された混合ガスを用いることが好ましい。導電型シリコン系層の製膜時に、CH₄、CO₂、NH₃、GeH₄等の異種元素を含むガスを添加して、シリコン系薄膜を合金化することにより、シリコン系層のエネルギーギャップを変更することもできる。

[0063] 絶縁層8aの製膜方法は特に限定されない。p型半導体層6としてp型シ

リコン系層がプラズマCVD法により製膜される場合、生産性向上及び不純物低減の観点から、絶縁層8aもプラズマCVD法により製膜されることが好ましい。受光面側保護層4についても、同様に、プラズマCVD法により製膜されることが好ましい。

[0064] 図1及び図3(i)に示すように、p型半導体層6上にはp側電極が形成され、n型半導体層7上にはn側電極が形成される。p側電極及びn側電極は、それぞれ、第一電極9a, 9bとしての透明導電膜と第二電極10a, 10bとしての金属層の積層構成であることが好ましい。

[0065] 第一電極としての透明導電膜は、導電性酸化物を主成分とすることが好ましい。導電性酸化物としては、例えば、酸化亜鉛、酸化インジウム、酸化錫等を単独又は混合して用いることができる。導電性、光学特性、及び長期信頼性の観点から、酸化インジウムを主成分とするインジウム系酸化物が好ましく、中でも酸化インジウム錫(ITO)を主成分とするものがより好ましく用いられる。透明導電膜は、単層でもよく、複数の層からなる積層構造でもよい。第一電極9a及び9bの膜厚は特に限定されず、例えば10~100nm程度に設定される。

[0066] 透明導電膜の製膜方法は特に限定されないが、スパッタ法等の物理気相堆積法や、有機金属化合物と酸素又は水との反応を利用した化学気相堆積(MOCVD)法等が好ましい。いずれの製膜方法においても、熱やプラズマ放電によるエネルギーを利用することもできる。透明導電膜製膜時の基板温度は、適宜設定される。非晶質シリコン等のシリコン系層の耐熱温度を勘案すると、基板温度は200℃以下が好ましい。

[0067] 第二電極としての金属層には、AgやCu等の金属が用いられる。金属層は、スパッタ法、印刷法、めっき法等により形成される。金属層は、単層でもよく、複数の層からなる積層構造でもよい。金属層の膜厚は特に限定されず、例えば50nm~3μm程度に設定される。

実施例

[0068] 以下では、図3に示す工程により、図1に示す結晶シリコン太陽電池を作

製した実施例と、図4に示す工程により結晶シリコン系太陽電池を作製した比較例との対比により、本発明をより具体的に説明する。なお、本発明は、下記の実施例に限定されるものではない。

[0069] [実施例]

入射面方位が(100)で厚みが200 μ mのn型単結晶シリコン基板を、2重量%のフッ酸水溶液に3分間浸漬し、表面の酸化シリコン膜を除去後、超純粋によるリンスが2回行われた。この基板を、70℃に保持された5/15重量%のKOH/イソプロピルアルコール水溶液に15分間浸漬し、表面に(111)面が露出したピラミッド型のテクスチャが形成された単結晶シリコン基板を得た。

[0070] テクスチャ形成後の基板がCVD装置へ導入され、受光面(第二主面)側に真性シリコン系層2として真性非晶質シリコン層が10nmの膜厚で製膜された。その後、裏面(第一主面)側に真性シリコン系層5aとして真性非晶質シリコン層が8nmの膜厚で製膜された。これらの真性非晶質シリコン層の製膜条件は、基板温度:150℃、圧力:120Pa、SiH₄/H₂流量比:3/10、投入パワー密度:0.011W/cm²であった。なお、本実施例における薄膜の膜厚は、ガラス基板上に同条件にて製膜された薄膜の膜厚を、分光エリプソメトリー(商品名M2000、ジェー・エー・ウーラム社製)にて測定することにより求められた製膜速度から算出された値である。

[0071] 真性シリコン系層5a上に、p型半導体層6としてp型非晶質シリコン層が7nmの膜厚で製膜された。p型非晶質シリコン層の製膜条件は、基板温度が150℃、圧力60Pa、SiH₄/希釈B₂H₆流量比が1/3、投入パワー密度が0.01W/cm²であった。上記の希釈B₂H₆ガス流量は、H₂によりB₂H₆濃度が5000ppmに希釈されたガスの流量である。

[0072] 次に、真性シリコン系層2上に、受光面側保護層4として窒化シリコン層が60nmの膜厚で製膜された。その後、p型半導体層6上に、下地保護層8bとして真性非晶質シリコン層を12nmの膜厚で製膜し、その上に絶縁

層 8 a として酸化シリコン層を 260 nm の膜厚で製膜した。窒化シリコン層の製膜条件は、基板温度：140℃、圧力：80 Pa、 SiH_4/NH_3 流量比：1/4、投入パワー密度：0.2 W/cm²であった。酸化シリコン層の製膜条件は、基板温度が150℃、圧力60 Pa、 SiH_4/CO_2 流量比が1/40、投入パワー密度が0.04 W/cm²であった。

[0073] 絶縁層 8 a の一部を HF 水溶液によりエッチングした後、その下に露出した下地保護層 8 b としての真性非晶質シリコン層の一部を、KOH 水溶液によりエッチングして除去した。その後、その下に露出した p 型半導体層 6 及び真性シリコン系層 5 a を HF と HNO_3 の混酸によってエッチングし、結晶シリコン基板の第一主面を露出させた。

[0074] 基板表面を HF 水溶液により洗浄後、CVD 装置へ導入して、基板の第一主面側に真性シリコン系層 5 b として真性非晶質シリコン層を 8 nm の膜厚で製膜し、その上に n 型半導体層 7 として n 型非晶質シリコン層を 12 nm の膜厚で製膜した。n 型非晶質シリコン層の製膜条件は、基板温度が150℃、圧力60 Pa、 SiH_4 /希釈 PH_3 流量比が1/3、投入パワー密度が0.01 W/cm²であった。上記の希釈 PH_3 ガス流量は、 H_2 により PH_3 濃度が5000 ppm に希釈されたガスの流量である。

[0075] 絶縁層 8 a 上に設けられた n 型半導体層 7 及び真性シリコン系層 5 b の一部を、KOH 水溶液によってエッチングした後、その下に露出した絶縁層 8 a を HF 水溶液によってエッチングした。その後、その下に露出した下地保護層 8 b としての真性非晶質シリコン層を KOH 水溶液によりエッチングして除去し、p 型半導体層 6 の表面を露出させた。

[0076] 次に、第一主面の周縁を除く略全面に、酸化インジウム錫 (ITO) 層を 80 nm の膜厚で製膜した。酸化インジウムと酸化スズの混合焼結ターゲット用い、基板温度：室温、圧力：0.2 Pa のアルゴン雰囲気中で、0.5 W/cm² の電力を印加して製膜を行った。塩酸を用いて ITO 層の一部をたエッチング除去してパターンニングを行い、第一電極 9 a と 9 b とに分離した。

[0077] 最後に、前記第一電極 9 a, 9 b 上に、A g ペーストをスクリーン印刷して、第二電極 10 a 及び 10 b を形成した。

[0078] [比較例]

下地保護層 8 b (真性非晶質シリコン層) を形成せずに、p 型半導体層 6 上に保護層 8 として酸化シリコン層のみを形成し、下地保護層 8 b のエッチング工程を省略した以外は、実施例と同様にして結晶シリコン太陽電池を作製した。

[0079] [評価]

以上のようにして作製した実施例及び比較例の結晶シリコン太陽電池の変換特性 (開放電圧 V_{oc} 、電流密度 I_{sc} 及び曲線因子 FF) を測定した。実施例の太陽電池は、 V_{oc} が比較例の 1.06 倍、 I_{sc} が比較例の 1.02 倍、 FF が比較例の 1.31 倍であり、すべての特性が改善していた。この結果から、p 型半導体層と絶縁層との間に下地保護層を設けることにより、バックコンタクト型太陽電池の特性を向上できることがわかる。

[0080] 実施例では、比較例に比べて FF (曲率因子) が大幅に改善していた。これは、実施例では、絶縁層としての酸化シリコン層のエッチング時に用いられるフッ酸エッチャントが p 型半導体層に接触しないため、p 型半導体層としての p 型非晶質シリコン層と第一電極としての ITO 層とのコンタクトが改善されたことに関連していると考えられる。また、保護層が下地保護層としての真性非晶質シリコン層と絶縁層としての酸化シリコン層との積層構造であるため、pn 間のリーク電流が低減したことも、特性の向上に寄与していると考えられる。

符号の説明

[0081]	1	結晶シリコン基板
	2	真性シリコン系層
	3	導電型半導体層
	4	受光面側保護層
	5 a, 5 b	真性シリコン系層

6	p 型半導体層
7	n 型半導体層
8	保護層
8 a	絶縁層
8 b	下地保護層（真性シリコン系層又は／及び n 型シリコン系層）
9 a, 9 b	第一電極
10 a, 10 b	第二電極

請求の範囲

- [請求項1] 結晶シリコン基板の第一主面上に n 型半導体層及び p 型半導体層を備える太陽電池の製造方法であって、
- 結晶シリコン基板の第一主面上に、 p 型半導体層及び保護層がこの順に設けられた p 型半導体層形成領域と、 p 型半導体層及び保護層のいずれも設けられていない p 型半導体層非形成領域とを形成する、パターン層形成工程、
- 前記 p 型半導体層形成領域と前記 p 型半導体層非形成領域とを覆うように、 n 型半導体層を形成する、 n 型半導体層形成工程；
- 前記 n 型半導体層の間に前記保護層が露出するように、前記 n 型半導体層の一部を除去する、 n 型半導体層パターニング工程；及び
- 前記 n 型半導体層の間に前記 p 型半導体層が露出するように、前記 n 型半導体層の間に露出した前記保護層を除去する、保護層パターニング工程、をこの順に有し、
- 前記保護層は、前記 p 型半導体層に接して設けられた下地保護層と、前記下地保護層上に設けられた絶縁層とを有し、
- 前記下地保護層は、真性シリコン系層及び n 型シリコン系層からなる群から選択される 1 以上の層を有する、太陽電池の製造方法。
- [請求項2] 前記絶縁層が、酸化シリコン、窒化シリコン及び酸窒化シリコンからなる群から選択される 1 以上のシリコン合金を含有する、請求項 1 に記載の太陽電池の製造方法。
- [請求項3] 前記保護層パターニング工程において、
- 前記絶縁層に対するエッチングレートが前記下地保護層に対するエッチングレートよりも大きいエッチャントを用いて、前記絶縁層が除去され、
- 前記絶縁層を除去後に、前記下地保護層に対するエッチングレートが前記 p 型半導体層に対するエッチングレートよりも大きいエッチャントを用いて、前記下地保護層が除去される、請求項 1 又は 2 に記載

の太陽電池の製造方法。

- [請求項4] 前記下地保護層の除去に用いられるエッチャントは、前記下地保護層に対するエッチングレートが前記絶縁層に対するエッチングレートよりも大きい、請求項3に記載の太陽電池の製造方法。
- [請求項5] 前記絶縁層の除去に用いられるエッチャントが酸系エッチャントである、請求項1～4のいずれか1項に記載の太陽電池の製造方法。
- [請求項6] 前記酸系エッチャントがフッ酸を含む、請求項5に記載の太陽電池の製造方法。
- [請求項7] 前記下地保護層の除去に用いられるエッチャントがアルカリ系エッチャントである、請求項1～6のいずれか1項に記載の太陽電池の製造方法。
- [請求項8] 前記アルカリ系エッチャントがKOH及びNaOHからなる群から選択される1以上を含む、請求項7に記載の太陽電池の製造方法。
- [請求項9] 前記下地保護層が真性シリコン系層である、請求項1～8のいずれか1項に記載の太陽電池の製造方法。
- [請求項10] 前記p型半導体層がp型シリコン系層である、請求項1～9のいずれか1項に記載の太陽電池の製造方法。
- [請求項11] 前記パターン層形成工程は、
前記結晶シリコン基板の第一主面上にp型半導体層を形成する、p型半導体層形成工程；
前記p型半導体層上に保護層を形成する、保護層形成工程；及び
前記保護層の間に露出した前記p型半導体層を除去する、p型半導体層パターンニング工程、をこの順に有する、請求項1～10のいずれか1項に記載の太陽電池の製造方法。
- [請求項12] 前記保護層形成工程と前記p型半導体層パターンニング工程との間に、前記保護層の間に前記p型半導体層が露出するように前記保護層の一部を除去する、p層露出パターンニング工程をさらに有する、請求項11に記載の太陽電池の製造方法。

[請求項13] 結晶シリコン基板の第一主面上に n 型半導体層及び p 型半導体層を備える太陽電池であって、

前記結晶シリコン基板の第一主面上において、前記 n 型半導体層は、前記 p 型半導体層が設けられた p 型半導体層形成領域上の一部と、前記 p 型半導体層が設けられていない p 型半導体層非形成領域とに跨るように設けられており、

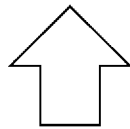
前記 p 型半導体層形成領域上に前記 n 型半導体層が設けられている領域において、前記 p 型半導体層と n 型半導体層の間に保護層が設けられており、

前記保護層は、前記 p 型半導体層に接して設けられた下地保護層と、前記下地保護層上に設けられた絶縁層とを有し、

前記下地保護層は、真性シリコン系層及び n 型シリコン系層からなる群から選択される 1 以上の層を有する、太陽電池。

[請求項14] 前記下地保護層が真性シリコン系層である、請求項 13 に記載の太陽電池。

This diagram shows a cross-sectional view of a semiconductor device. It features a substrate with multiple layers labeled 1 through 4. A trench array is formed in the substrate, with the trench bottom labeled 5a and the trench sidewall labeled 5b. The trench is filled with a material labeled 6. Above the trench, there is a layer labeled 7, which is further divided into regions 8a and 8b. The top surface of the device is covered by a layer labeled 9a, which is further divided into regions 9b and 10a. The width of the trench is labeled W2, and the width of the trench bottom is labeled W3. The width of the trench sidewall is labeled W1. The overall width of the device is labeled 70. The width of the trench bottom is labeled 80. The width of the trench sidewall is labeled 60.



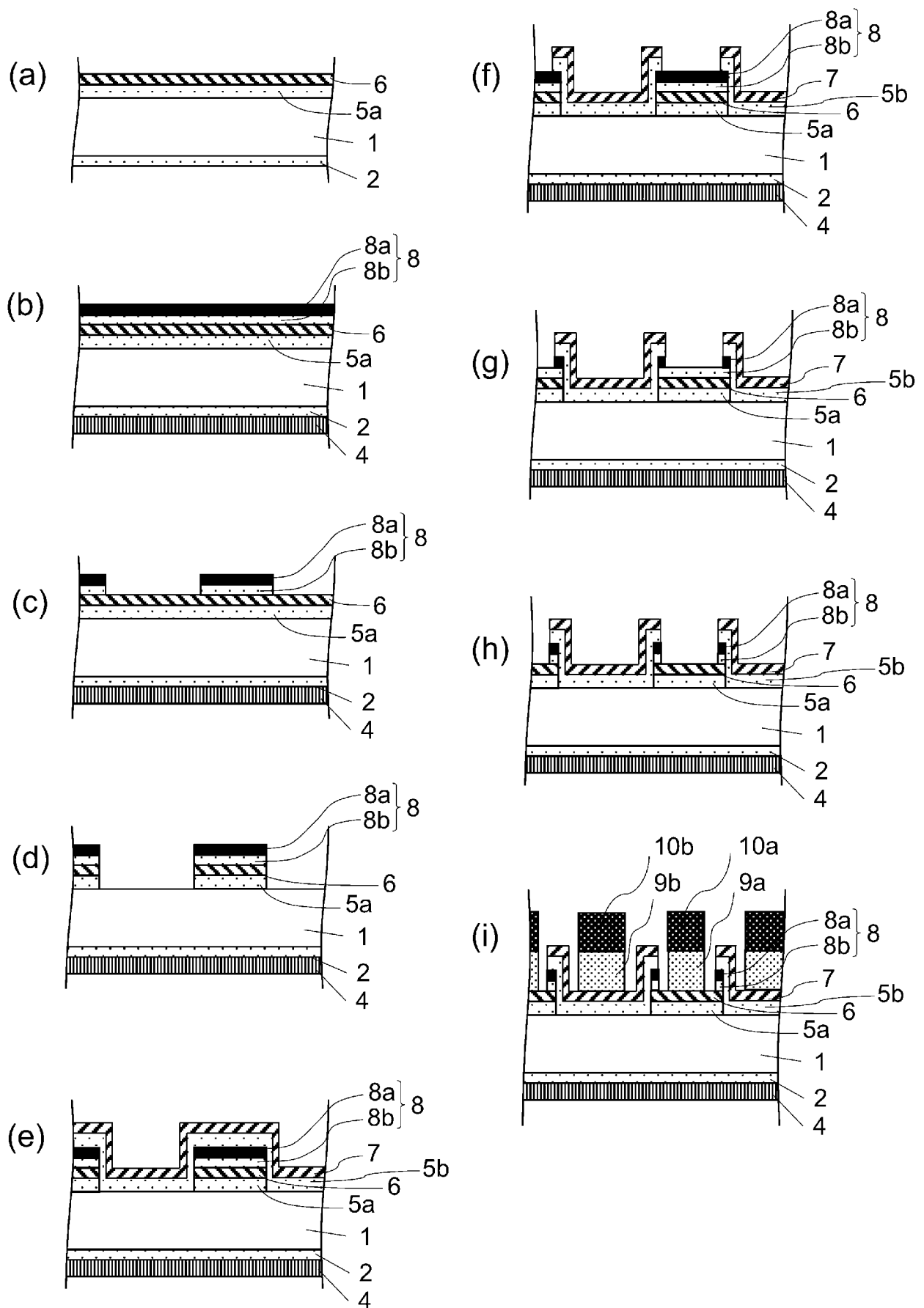
60 (10a)

80

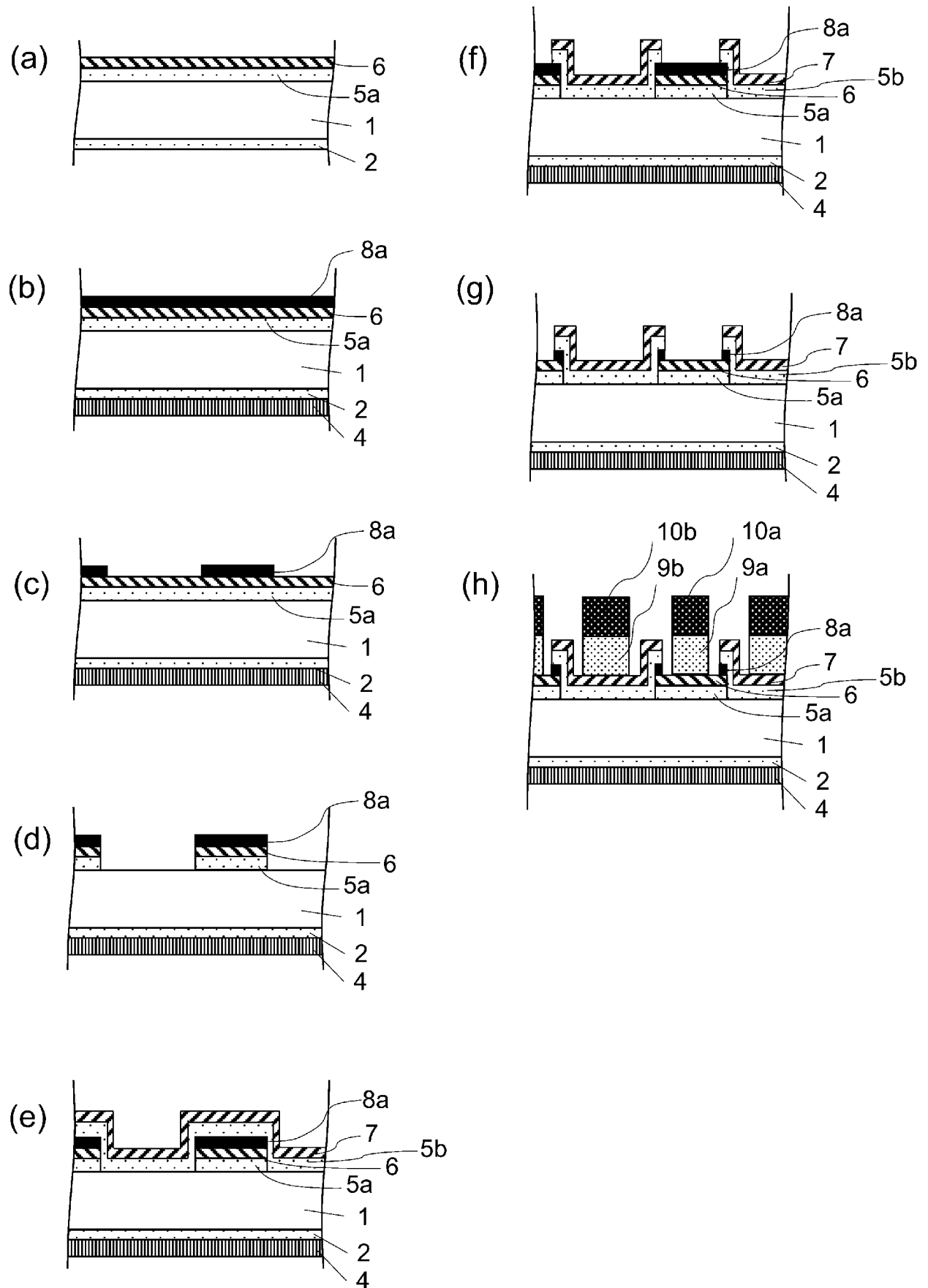
70 (10b)

This diagram shows a plan view of a rectangular substrate with rounded corners, labeled 70 (10b). A zigzag pattern, labeled 60 (10a), is formed by a series of parallel, elongated rectangular segments. The segments are arranged in a row, with their ends connected by short horizontal lines. The entire pattern is contained within the rectangular substrate.

[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/057042

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/0747(2012.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/02-31/078

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2014/0096821 A1 (AU OPTRONICS CORP.), 10 April 2014 (10.04.2014), paragraphs [0017], [0025], [0031] to [0038]; fig. 9 to 14 & WO 2014/056268 A & CN 102856328 A & TW 201415650 A	1-3, 9, 10, 13, 14 4-8, 11, 12
Y A	JP 2005-268683 A (Canon Inc.), 29 September 2005 (29.09.2005), paragraph [0023] (Family: none)	4-8, 11, 12 1-3, 9, 10, 13, 14
Y A	JP 2007-134655 A (Sharp Corp.), 31 May 2007 (31.05.2007), paragraphs [0030] to [0046] (Family: none)	4-8, 11, 12 1-3, 9, 10, 13, 14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 March 2016 (30.03.16)

Date of mailing of the international search report
12 April 2016 (12.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/057042

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-125964 A (Samsung SDI Co., Ltd.), 24 June 2013 (24.06.2013), paragraphs [0062] to [0065]; fig. 3 & US 2013/0146136 A1 paragraphs [0069] to [0072]; fig. 3 & EP 2605287 A2 & CN 103165685 A & KR 10-2013-0067208 A	4-8, 11, 12 1-3, 9, 10, 13, 14
A	JP 2013-26269 A (Sanyo Electric Co., Ltd.), 04 February 2013 (04.02.2013), entire text; all drawings	1-14
A	WO 2012/132854 A1 (Sanyo Electric Co., Ltd.), 04 October 2012 (04.10.2012), entire text; all drawings & US 2014/0020753 A1 the whole document & WO 2012/132854 A1	1-14
A	US 2014/0166094 A1 (Loscutoff Paul, Cousins Peter J.), 19 June 2014 (19.06.2014), the whole document & WO 2014/099321 A1 & DE 112013006055 T & TW 201436272 A & AU 2013363569 A & KR 10-2015-0096720 A & CN 105103300 A	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L31/0747(2012.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L31/02-31/078

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2014/0096821 A1 (AU OPTRONICS CORP) 2014.04.10, Paragraphs 0017, 0025, 0031-0038, FIGs. 9-14	1-3, 9, 10, 13, 14
Y	WO 2014/056268 A & CN 102856328 A & TW 201415650 A	4-8, 11, 12
Y	JP 2005-268683 A (キヤノン株式会社)	4-8, 11, 12
A	2005.09.29, 段落 0023 (ファミリーなし)	1-3, 9, 10, 13, 14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

30.03.2016

国際調査報告の発送日

12.04.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 俊彦

2 K

4 7 5 3

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2007-134655 A (シャープ株式会社) 2007.05.31, 段落 0030-0046 (ファミリーなし)	4-8, 11, 12 1-3, 9, 10, 13, 14
Y A	JP 2013-125964 A (三星エスディアイ株式会社) 2013.06.24, 段落 0062-0065, 図 3 & US 2013/0146136 A1, paragraphs 0069-0072, FIG. 3 & EP 2605287 A2 & CN 103165685 A & KR 10-2013-0067208 A	4-8, 11, 12 1-3, 9, 10, 13, 14
A	JP 2013-26269 A (三洋電機株式会社) 2013.02.04, 全文、全図	1-14
A	WO 2012/132854 A1 (SANYO ELECTRIC CO., LTD.) 2012.10.04, 全文、全図 & US 2014/0020753 A1, the whole document & WO 2012/132854 A1	1-14
A	US 2014/0166094 A1 (Loscutoff Paul, Cousins Peter J.) 2014.06.19, the whole document & WO 2014/099321 A1 & DE 112013006055 T & TW 201436272 A & AU 2013363569 A & KR 10-2015-0096720 A & CN 105103300 A	1-14