I872085

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I872085 B**

(45)公告日： 中華民國 114 (2025) 年 02 月 11 日

(21)申請案號：109120903　(22)申請日： 中華民國 109 (2020) 年 06 月 19 日

(51)Int. Cl.：　*H10F10/00　(2025.01)*　*H10F55/10　(2025.01)*

H04N5/30　(2006.01)

(30)優先權：2019/06/26　日本　2019-118647

(71)申請人：日商索尼半導體解決方案公司 (日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION　(JP)

日本

(72)發明人：伊藤大介 ITO, DAISUKE (JP) ；富田一行 TOMIDA, KAZUYUKI (JP) ；羽根田雅希 HANEDA, MASAKI (JP) ；鈴木毅 SUZUKI, TSUYOSHI (JP) ；南孝明 MINAMI, TAKAAKI (JP)

(74)代理人：陳長文

(56)參考文獻：

CN	109328395A	JP	2014-22561A
JP	2015-32687A	US	2018/0152657A1
US	2018/0323231A1		

審查人員：林君濤

申請專利範圍項數：18 項　圖式數：104　共 326 頁

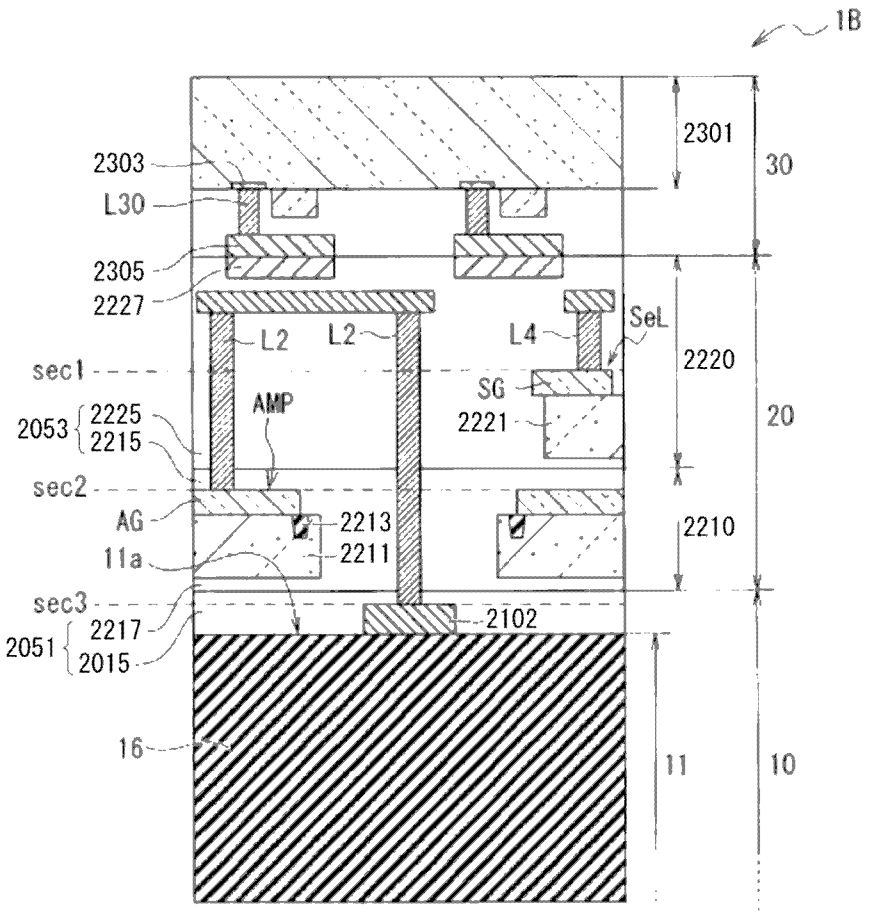
(54)名稱

攝像裝置

(57)摘要

本發明之一實施形態之攝像裝置具備：第 1 基板，其具有進行光電轉換之感測像素；第 2 基板，其具有基於從上述感測像素輸出之電荷而輸出像素信號之像素電路；及第 3 基板，其具有對上述像素信號進行信號處理之處理電路；且上述第 1 基板、上述第 2 基板及上述第 3 基板依序積層，於從上述感測像素讀出電荷至輸出上述像素信號為止之電路周圍之至少任一區域設置有低介電常數區域。

指定代表圖：



【圖46】

符號簡單說明：

1B:攝像裝置

10:第 1 基板

11:半導體基板

11a:正面

16:元件分離層

20:第 2 基板

30:第 3 基板

2015:絕緣膜

2051,2053:層間絕緣膜

2102:共通焊墊電極

2210:下側基板

2211:半導體基板

2213:元件分離層

2215:絕緣膜

2217:絕緣膜

2220:上側基板

2221:半導體基板

2225:絕緣膜

2227:焊墊電極

2301:半導體基板

2303:矽化物

2305:焊墊電極

AG:閘極電極

AMP:放大電晶體

L2:配線

L4:配線

L30:配線

SEL:選擇電晶體

SG:閘極電極

公告本

I872085

【發明摘要】

【中文發明名稱】

攝像裝置

【中文】

本發明之一實施形態之攝像裝置具備：第1基板，其具有進行光電轉換之感測像素；第2基板，其具有基於從上述感測像素輸出之電荷而輸出像素信號之像素電路；及第3基板，其具有對上述像素信號進行信號處理之處理電路；且上述第1基板、上述第2基板及上述第3基板依序積層，於從上述感測像素讀出電荷至輸出上述像素信號為止之電路周圍之至少任一區域設置有低介電常數區域。

【指定代表圖】

圖46

【代表圖之符號簡單說明】

1B:攝像裝置

10:第1基板

11:半導體基板

11a:正面

16:元件分離層

20:第2基板

30:第3基板

2015:絕緣膜

2051, 2053:層間絕緣膜

2102:共通焊墊電極

2210:下側基板

2211:半導體基板

2213:元件分離層

2215:絕緣膜

2217:絕緣膜

2220:上側基板

2221:半導體基板

2225:絕緣膜

2227:焊墊電極

2301:半導體基板

2303:矽化物

2305:焊墊電極

AG:閘極電極

AMP:放大電晶體

L2:配線

L4:配線

L30:配線

SEL:選擇電晶體

SG:閘極電極

【發明說明書】

【中文發明名稱】

攝像裝置

【技術領域】

【0001】

本發明係關於一種攝像裝置。

【先前技術】

【0002】

二維構造之攝像裝置的單位像素之面積之微細化可藉由導入微細程序及提高安裝密度來實現。近年來，為了實現攝像裝置之進一步之小型化及像素之高密度化，開發了一種三維構造之攝像裝置。三維構造之攝像裝置係例如藉由將具有複數個感測像素之半導體基板、及具有對利用各感測像素獲得之信號進行處理之信號處理電路的半導體基板相互積層而構成(參照專利文獻1)。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本專利特開2010-245506號公報

【發明內容】

【0004】

於三維構造之攝像裝置中，與二維構造之攝像裝置相比，內部之電路構造較為複雜，容易更顯著地出現不理想之電子零件或配線所具有之電阻成分、電容成分及感應成分之影響。因此，於三維構造之攝像裝置中，

期望抑制電子零件或配線中產生電阻成分、電容成分及感應成分之影響。

【0005】

因此，較理想的是提供一種能夠藉由減少因三維構造產生之電容成分，從而提高特性之攝像裝置。

【0006】

本發明之一實施形態之攝像裝置具備：第1基板，其具有進行光電轉換之感測像素；第2基板，其具有基於從上述感測像素輸出之電荷而輸出像素信號之像素電路；及第3基板，其具有對上述像素信號進行信號處理之處理電路；且上述第1基板、上述第2基板及上述第3基板依序積層，於從上述感測像素讀出電荷至輸出上述像素信號為止之電路周圍之至少任一區域設置有低介電常數區域。

【0007】

於本發明之一實施形態之攝像裝置中，具備：第1基板，其具有進行光電轉換之感測像素；第2基板，其具有基於從上述感測像素輸出之電荷而輸出像素信號之像素電路；及第3基板，其具有對上述像素信號進行信號處理之處理電路；且上述第1基板、上述第2基板及上述第3基板依序積層，於從上述感測像素讀出電荷至輸出上述像素信號為止之電路周圍之至少任一區域設置有低介電常數區域。藉此，例如，攝像裝置可於具有積層第2絕緣層而得之第2半導體基板之第2基板中，降低第2絕緣層中所包含之配線、或第2半導體基板之周圍之空間之介電常數。

【圖式簡單說明】

【0008】

圖1係表示本發明之一實施形態之攝像裝置1的概略構成之一例之模

式圖。

圖2係表示感測像素12及像素電路22之一例之電路圖。

圖3係表示感測像素12及像素電路22之另一例之電路圖。

圖4係表示感測像素12及像素電路22之另一例之電路圖。

圖5係表示感測像素12及像素電路22之另一例之電路圖。

圖6係表示複數個像素電路22與複數條垂直信號線24之連接之一例的電路圖。

圖7係表示攝像裝置1之積層方向的剖面構成之一例之縱向剖視圖。

圖8係表示攝像裝置1之水平方向的剖面構成之一例之模式圖。

圖9係表示攝像裝置1之水平方向的剖面構成之一例之模式圖。

圖10係表示攝像裝置1之水平面內之配線佈局之一例的模式圖。

圖11係表示攝像裝置1之水平面內之配線佈局之一例的模式圖。

圖12係表示攝像裝置1之水平面內之配線佈局之一例的模式圖。

圖13係表示攝像裝置1之水平面內之配線佈局之一例的模式圖。

圖14係表示第1實施形態之攝像裝置1之積層方向的剖面構成之一例之縱向剖視圖。

圖15係表示複數個感測像素12共有浮動擴散部FD之攝像裝置1之積層方向之剖面構成的縱向剖視圖。

圖16係表示像素區域13之第2半導體基板21與分離絕緣層53之平面配置之俯視圖。

圖17係表示像素區域13之貫通配線54、連接部59及閘極電極之平面配置之俯視圖。

圖18係表示像素區域13之連接配線55之平面配置之俯視圖。

圖19係表示像素區域13之配線層56中所包含之配線之平面配置的俯視圖。

圖20A係說明低介電常數區域90A之形成方法之一例之縱向剖視圖。

圖20B係說明低介電常數區域90A之形成方法之一例之縱向剖視圖。

圖20C係說明低介電常數區域90A之形成方法之一例之縱向剖視圖。

圖20D係說明低介電常數區域90A之形成方法之一例之縱向剖視圖。

圖20E係說明低介電常數區域90B、90C之形成方法之一例之縱向剖視圖。

圖20F係說明低介電常數區域90B、90C之形成方法之一例之縱向剖視圖。

圖20G係說明低介電常數區域90B、90C之形成方法之一例之縱向剖視圖。

圖21係說明低介電常數區域90A、90B、90C之剖面形狀之變化之模式性剖視圖。

圖22A係說明低介電常數區域90A之形成方法之另一例之各工序的縱向剖視圖。

圖22B係說明低介電常數區域90A之形成方法之另一例之各工序的縱向剖視圖。

圖22C係說明低介電常數區域90A之形成方法之另一例之各工序的縱向剖視圖。

圖22D係說明低介電常數區域90A之形成方法之另一例之各工序的縱向剖視圖。

圖22E係說明低介電常數區域90A之形成方法之另一例之各工序的縱

向剖視圖。

圖22F係說明低介電常數區域90A之形成方法之另一例之各工序的縱向剖視圖。

圖22G係說明低介電常數區域90A之形成方法之另一例之各工序的縱向剖視圖。

圖22H係說明低介電常數區域90A之形成方法之另一例之各工序的縱向剖視圖。

圖23係模式性地表示第2實施形態之第1基板10與第2基板20之積層體之構成的剖視圖及頂視圖。

圖24A係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖24B係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖24C係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖24D係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖24E係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖24F係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖24G係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖24H係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖24I係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖24J係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖24K係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖24L係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

圖25A係說明低介電常數區域1290之第2形成方法之各工序之縱向剖視圖。

圖25B係說明低介電常數區域1290之第2形成方法之各工序之縱向剖視圖。

圖25C係說明低介電常數區域1290之第2形成方法之各工序之縱向剖視圖。

圖25D係說明低介電常數區域1290之第2形成方法之各工序之縱向剖視圖。

圖25E係說明低介電常數區域1290之第2形成方法之各工序之縱向剖視圖。

圖25F係說明低介電常數區域1290之第2形成方法之各工序之縱向剖視圖。

圖26係表示將第1基板10與第2基板20積層而得之積層體中產生之寄

生電容之一例的模式性剖視圖。

圖27係表示於第3實施形態之第1樣態中，供設置低介電常數區域之區域之縱向剖視圖。

圖28係表示於第3實施形態之第2樣態中，供設置低介電常數區域之區域之縱向剖視圖。

圖29A係說明第1樣態中之低介電常數區域1391之第1形成方法之俯視圖及縱向剖視圖。

圖29B係說明第1樣態中之低介電常數區域1391之第1形成方法之縱向剖視圖。

圖29C係說明第1樣態中之低介電常數區域1391之第1形成方法之俯視圖及縱向剖視圖。

圖30係表示圖29A所示之開口1393之形成之變化的縱向剖視圖。

圖31A係表示第1樣態中之低介電常數區域1391之形狀之變化的俯視圖及縱向剖視圖。

圖31B係表示第1樣態中之低介電常數區域1391之形狀之變化的俯視圖及縱向剖視圖。

圖31C係表示第1樣態中之低介電常數區域1391之形狀之變化的俯視圖及縱向剖視圖。

圖31D係表示第1樣態中之低介電常數區域1391之形狀之變化的俯視圖及縱向剖視圖。

圖31E係表示第1樣態中之低介電常數區域1391之形狀之變化的俯視圖及縱向剖視圖。

圖31F係表示第1樣態中之低介電常數區域1391之形狀之變化的俯視

圖及縱向剖視圖。

圖32A係說明第1樣態中之低介電常數區域1391之第2形成方法之縱向剖視圖。

圖32B係說明第1樣態中之低介電常數區域1391之第2形成方法之縱向剖視圖。

圖32C係說明第1樣態中之低介電常數區域1391之第2形成方法之縱向剖視圖。

圖33A係表示圖32A～圖32C所示之開口1393之形成之變化的縱向剖視圖。

圖33B係表示圖32A～圖32C所示之開口1393之形成之變化的縱向剖視圖。

圖33C係表示圖32A～圖32C所示之開口1393之形成之變化的縱向剖視圖。

圖34A係表示第1樣態中之低介電常數區域1391之形狀之變化的俯視圖及縱向剖視圖。

圖34B係表示第1樣態中之低介電常數區域1391之形狀之變化的俯視圖及縱向剖視圖。

圖34C係表示第1樣態中之低介電常數區域1391之形狀之變化的俯視圖及縱向剖視圖。

圖35A係說明第1樣態中之低介電常數區域1391之第3形成方法的縱向剖視圖。

圖35B係說明第1樣態中之低介電常數區域1391之第3形成方法的縱向剖視圖。

圖35C係說明第1樣態中之低介電常數區域1391之第3形成方法的縱向剖視圖。

圖35D係說明第1樣態中之低介電常數區域1391之第3形成方法的縱向剖視圖。

圖36A係說明第1樣態中之低介電常數區域1391之第3形成方法之變化的縱向剖視圖。

圖36B係說明第1樣態中之低介電常數區域1391之第3形成方法之變化的縱向剖視圖。

圖36C係說明第1樣態中之低介電常數區域1391之第3形成方法之變化的縱向剖視圖。

圖37A係說明第1樣態中之低介電常數區域1391之第4形成方法的縱向剖視圖。

圖37B係說明第1樣態中之低介電常數區域1391之第4形成方法的縱向剖視圖。

圖37C係說明第1樣態中之低介電常數區域1391之第4形成方法的縱向剖視圖。

圖38A係說明第2樣態中之低介電常數區域1392之第1形成方法的縱向剖視圖。

圖38B係說明第2樣態中之低介電常數區域1392之第1形成方法的縱向剖視圖。

圖38C係說明第2樣態中之低介電常數區域1392之第1形成方法的縱向剖視圖。

圖38D係說明第2樣態中之低介電常數區域1392之第1形成方法的縱

向剖視圖。

圖39A係表示第2樣態中之低介電常數區域1392之形狀之變化的俯視圖。

圖39B係表示第2樣態中之低介電常數區域1392之形狀之變化的俯視圖。

圖39C係表示第2樣態中之低介電常數區域1392之形狀之變化的俯視圖。

圖39D係表示第2樣態中之低介電常數區域1392之形狀之變化的俯視圖。

圖40A係說明第2樣態中之低介電常數區域1392之第2形成方法的縱向剖視圖。

圖40B係說明第2樣態中之低介電常數區域1392之第2形成方法的縱向剖視圖。

圖40C係說明第2樣態中之低介電常數區域1392之第2形成方法的縱向剖視圖。

圖40D係說明第2樣態中之低介電常數區域1392之第2形成方法之俯視圖及縱向剖視圖。

圖41A係說明第2樣態中之低介電常數區域1932之第3形成方法之縱向剖視圖。

圖41B係說明第2樣態中之低介電常數區域1932之第3形成方法之縱向剖視圖。

圖41C係說明第2樣態中之低介電常數區域1932之第3形成方法之縱向剖視圖。

圖41D係說明第2樣態中之低介電常數區域1932之第3形成方法之縱向剖視圖。

圖41E係說明第2樣態中之低介電常數區域1932之第3形成方法之俯視圖及縱向剖視圖。

圖42A係說明第2樣態中之低介電常數區域1932之第4形成方法之縱向剖視圖。

圖42B係說明第2樣態中之低介電常數區域1932之第4形成方法之縱向剖視圖。

圖42C係說明第2樣態中之低介電常數區域1932之第4形成方法之縱向剖視圖。

圖42D係說明第2樣態中之低介電常數區域1932之第4形成方法之縱向剖視圖。

圖42E係說明第2樣態中之低介電常數區域1932之第4形成方法之俯視圖及縱向剖視圖。

圖43係表示圖7中所記載之剖面構成之一變化例之縱向剖視圖。

圖44係表示圖7中所記載之剖面構成之一變化例之縱向剖視圖。

圖45係表示第4變化例之攝像裝置的構成例之厚度方向之剖視圖。

圖46係表示第4變化例之攝像裝置的構成例之厚度方向之剖視圖。

圖47係表示第4變化例之攝像裝置的構成例之厚度方向之剖視圖。

圖48係表示第4變化例之複數個像素單元的佈局例之水平方向之剖視圖。

圖49係表示第4變化例之複數個像素單元的佈局例之水平方向之剖視圖。

圖50係表示第4變化例之複數個像素單元的佈局例之水平方向之剖視圖。

圖51係表示圖7中之切斷面Sec1及切斷面Sec2之剖面構成之一變化例的模式圖。

圖52係表示圖7中之切斷面Sec1及切斷面Sec2之剖面構成之一變化例的模式圖。

圖53係表示圖7中之切斷面Sec1及切斷面Sec2之剖面構成之一變化例的模式圖。

圖54係表示圖7中之切斷面Sec1及切斷面Sec2之剖面構成之一變化例的模式圖。

圖55係表示圖7中之切斷面Sec1及切斷面Sec2之剖面構成之一變化例的模式圖。

圖56係表示第7變化例之攝像裝置1的切斷面Sec2之剖面構成之另一例之模式圖。

圖57係表示第7變化例之攝像裝置1的切斷面Sec2之剖面構成之另一例之模式圖。

圖58係表示搭載行並聯ADC之CMOS影像感測器之電路構成的模式圖。

圖59係表示將3個基板積層而構成圖58所示之攝像裝置1之一例之模式圖。

圖60係表示第10變化例之攝像裝置1的剖面構成之一例之模式圖。

圖61係表示對將3個基板積層而構成之攝像裝置1應用包含$CoSi_2$或NiSi等矽化物之低電阻區域26之例的模式圖。

圖62係表示本發明之一實施形態之攝像裝置之功能構成之一例的方塊圖。

圖63係表示圖62所示之攝像裝置之概略構成之俯視模式圖。

圖64係表示沿著圖63所示之III-III'線之剖面構成之模式圖。

圖65係圖62所示之像素共有單元之等效電路圖。

圖66係表示複數個像素共有單元與複數條垂直信號線之連接態樣之一例的圖。

圖67係表示圖64所示之攝像裝置之具體構成之一例的剖視模式圖。

圖68A係表示圖67所示之第1基板之主要部分之平面構成之一例的模式圖。

圖68B係表示圖68A所示之第1基板之主要部分及焊墊部之平面構成之模式圖。

圖69係表示圖67所示之第2基板(半導體層)之平面構成之一例的模式圖。

圖70係表示圖67所示之第1配線層、與像素電路及第1基板之主要部分之平面構成之一例的模式圖。

圖71係表示圖67所示之第1配線層及第2配線層之平面構成之一例的模式圖。

圖72係表示圖67所示之第2配線層及第3配線層之平面構成之一例的模式圖。

圖73係表示圖67所示之第3配線層及第4配線層之平面構成之一例的模式圖。

圖74係用以說明向圖64所示之攝像裝置輸入之輸入信號之路徑的模

式圖。

圖75係用以說明圖64所示之攝像裝置之像素信號之信號路徑的模式圖。

圖76係表示圖69所示之第2基板(半導體層)之平面構成之一變化例的模式圖。

圖77係表示圖76所示之像素電路、與第1配線層及第1基板之主要部分之平面構成的模式圖。

圖78係表示圖77所示之第1配線層、與第2配線層之平面構成之一例的模式圖。

圖79係表示圖78所示之第2配線層、與第3配線層之平面構成之一例的模式圖。

圖80係表示圖79所示之第3配線層、與第4配線層之平面構成之一例的模式圖。

圖81係表示圖68A所示之第1基板之平面構成之一變化例的模式圖。

圖82係表示圖81所示之第1基板上所積層之第2基板(半導體層)之平面構成之一例的模式圖。

圖83係表示圖82所示之像素電路、與第1配線層之平面構成之一例的模式圖。

圖84係表示圖83所示之第1配線層、與第2配線層之平面構成之一例的模式圖。

圖85係表示圖84所示之第2配線層、與第3配線層之平面構成之一例的模式圖。

圖86係表示圖85所示之第3配線層、與第4配線層之平面構成之一例

的模式圖。

圖87係表示圖81所示之第1基板之平面構成之另一例的模式圖。

圖88係表示圖87所示之第1基板上所積層之第2基板(半導體層)之平面構成之一例的模式圖。

圖89係表示圖88所示之像素電路、與第1配線層之平面構成之一例的模式圖。

圖90係表示圖89所示之第1配線層、與第2配線層之平面構成之一例的模式圖。

圖91係表示圖90所示之第2配線層、與第3配線層之平面構成之一例的模式圖。

圖92係表示圖91所示之第3配線層、與第4配線層之平面構成之一例的模式圖。

圖93係表示圖64所示之攝像裝置之另一例之剖視模式圖。

圖94係用以說明向圖93所示之攝像裝置輸入之輸入信號之路徑的模式圖。

圖95係用以說明圖93所示之攝像裝置之像素信號之信號路徑的模式圖。

圖96係表示圖67所示之攝像裝置之另一例之剖視模式圖。

圖97係表示圖65所示之等效電路之另一例之圖。

圖98係表示圖68A等所示之像素分離部之另一例之俯視模式圖。

圖99係表示具備上述實施形態及其變化例之攝像裝置之攝像系統的概略構成之一例之圖。

圖100係表示圖99所示之攝像系統之攝像步序之一例的圖。

圖101係表示車輛控制系統之概略構成之一例之方塊圖。

圖102係表示車外資訊檢測部及攝像部之設置位置之一例之說明圖。

圖103係表示內視鏡手術系統之概略構成之一例之圖。

圖104係表示相機鏡頭及CCU之功能構成的一例之方塊圖。

【實施方式】

【0009】

以下，參照圖式詳細地說明本發明之實施形態。以下說明之實施形態係本發明之一具體例，本發明之技術不限於以下態樣。又，本發明之各圖所示之各構成要素之配置、尺寸及尺寸比等亦不限於各圖所示者。

【0010】

再者，按以下順序進行說明。

1.攝像裝置之構成

2.第1實施形態

3.第2實施形態

4.第3實施形態

5.變化例

6.具體例

6.1.實施形態(具有3個基板之積層構造之攝像裝置)

6.2.變化例1(平面構成之例1)

6.3.變化例2(平面構成之例2)

6.4.變化例3(平面構成之例3)

6.5.變化例4(於像素陣列部之中央部具有基板間之接點部之例)

6.6.變化例5(具有平面型之傳輸電晶體之例)

6.7.變化例6(於1個像素電路連接1個像素之例)

6.8.變化例7(像素分離部之構成例)

6.9.應用例(攝像系統)

6.10.運用例

【0011】

＜＜1.攝像裝置之構成＞＞

首先，參照圖1～圖13，對應用本發明之技術之攝像裝置進行說明。

【0012】

圖1係表示本發明之一實施形態之攝像裝置1的概略構成之一例之模式圖。如圖1所示，攝像裝置1係具備第1基板10、第2基板20及第3基板30，藉由將該等3個基板貼合而構成之三維構造之攝像裝置。再者，第1基板10、第2基板20及第3基板30依序積層。

【0013】

第1基板10包含第1半導體基板11，該第1半導體基板11具有進行光電轉換之複數個感測像素12。複數個感測像素12設置為呈方陣狀配置於第1基板10之像素區域13之內部。

【0014】

第2基板20包含第2半導體基板21，該第2半導體基板21具有基於來自感測像素12之電荷而輸出像素信號之像素電路22。像素電路22例如每4個感測像素12便設置1個，其係依序讀出被4個感測像素12加以光電轉換後之電荷之讀出電路。又，第2基板20具備於列方向上延伸之複數條像素驅動線23、及於行方向上延伸之複數條垂直信號線24。

【0015】

第3基板30包含第3半導體基板31，該第3半導體基板31具有對像素信號進行信號處理之處理電路32。又，處理電路32例如具有垂直驅動電路33、行信號處理電路34、水平驅動電路35及系統控制電路36。處理電路32可將每個感測像素12之輸出電壓Vout從水平驅動電路35輸出至外部。

【0016】

垂直驅動電路33例如以列為單位依序選擇複數個感測像素12。行信號處理電路34例如對從垂直驅動電路33所選擇之列之各感測像素12輸出之像素信號實施相關雙取樣處理。例如，行信號處理電路34可藉由實施相關雙取樣處理而提取像素信號之信號位準，保持與各感測像素12之受光量相應之像素資料。水平驅動電路35例如將行信號處理電路34中所保持之像素資料依序輸出至外部。系統控制電路36例如控制處理電路32內之各構成之驅動。據此，處理電路32可將基於各感測像素12之受光量之像素資料輸出至外部。

【0017】

圖2係表示感測像素12及像素電路22之一例之電路圖。於圖2所示之電路圖中，4個感測像素12共有1個像素電路22。此處之「共有」表示來自4個感測像素12之輸出被輸入至共通之1個像素電路22。

【0018】

各感測像素12具有相互共通之構成要素。以下，於要將各感測像素12之構成要素相互區分之情形時，對構成要素之符號之末尾賦予識別編號(1、2、3、4)。另一方面，於不用將各感測像素12相互區分之情形時，不對構成要素之符號之末尾賦予識別編號。

【0019】

感測像素12例如具有：光電二極體PD；傳輸電晶體TR，其電性連接於光電二極體PD；及浮動擴散部FD，其暫時保持經由傳輸電晶體TR從光電二極體PD輸出之電荷。光電二極體PD係藉由進行光電轉換而產生與受光量相應之電荷之光電轉換元件。傳輸電晶體TR例如為MOS(Metal-Oxide-Semiconductor，金屬氧化物半導體)電晶體。

【0020】

光電二極體PD之陰極電性連接於傳輸電晶體TR之源極，光電二極體PD之陽極電性連接於基準電位線。傳輸電晶體TR之汲極電性連接於浮動擴散部FD，傳輸電晶體TR之閘極電性連接於像素驅動線23。

【0021】

共有像素電路22之各感測像素12之浮動擴散部FD相互電性連接，且電性連接於共通之像素電路22之輸入端。像素電路22例如具有重設電晶體RST、選擇電晶體SEL及放大電晶體AMP。進而，像素電路22可選擇地具有選擇電晶體SEL。

【0022】

重設電晶體RST之源極(即像素電路22之輸入端)電性連接於浮動擴散部FD，重設電晶體RST之汲極電性連接於電源線VDD、及放大電晶體AMP之汲極，重設電晶體RST之閘極電性連接於像素驅動線23。放大電晶體AMP之源極電性連接於選擇電晶體SEL之汲極，放大電晶體AMP之閘極電性連接於重設電晶體RST之源極。選擇電晶體SEL之源極(即像素電路22之輸出端)電性連接於垂直信號線24，選擇電晶體SEL之閘極電性連接於像素驅動線23。

【0023】

成為接通狀態之傳輸電晶體TR將由光電二極體PD進行了光電轉換之電荷傳輸至浮動擴散部FD。重設電晶體RST將浮動擴散部FD之電位重設為規定之電位。成為接通狀態之重設電晶體RST將浮動擴散部FD之電位重設為電源線VDD之電位。選擇電晶體SEL控制來自像素電路22之像素信號之輸出時序。

【0024】

放大電晶體AMP產生與浮動擴散部FD中所保持之電荷之位準相應之電壓的信號作為像素信號。放大電晶體AMP構成所謂之源極隨耦型之放大器，輸出與光電二極體PD中產生之電荷之位準相應之電壓的像素信號。於選擇電晶體SEL成為接通狀態之情形時，放大電晶體AMP將浮動擴散部FD之電位放大，經由垂直信號線24將與放大之電位相應之電壓輸出至行信號處理電路34。重設電晶體RST、放大電晶體AMP及選擇電晶體SEL例如為MOS電晶體。

【0025】

圖3～圖5係表示感測像素12及像素電路22之另一例之電路圖。

【0026】

如圖3所示，選擇電晶體SEL可設置於電源線VDD及放大電晶體AMP之間。於此情形時，重設電晶體RST之汲極電性連接於電源線VDD、及選擇電晶體SEL之汲極。選擇電晶體SEL之源極電性連接於放大電晶體AMP之汲極，選擇電晶體SEL之閘極電性連接於像素驅動線23。放大電晶體AMP之源極(即像素電路22之輸出端)電性連接於垂直信號線24，放大電晶體AMP之閘極電性連接於重設電晶體RST之源極。

【0027】

又，如圖4或圖5所示，於重設電晶體RST之源極與放大電晶體AMP之閘極之間可進而設置有FD轉換增益切換電晶體FDG。

【0028】

電荷Q係以電容C與電壓V之積表示，於浮動擴散部FD之電容C較大之情形時，利用放大電晶體AMP轉換後之電壓V變低。另一方面，於像素信號之電荷Q較大之情形時，若浮動擴散部FD之電容C不足夠大，則無法利用浮動擴散部FD保持所有來自光電二極體PD之電荷Q。又，浮動擴散部FD之電容C亦重要的是大小適度，以防止經放大電晶體AMP轉換後之電壓V變得過高。因此，FD轉換增益切換電晶體FDG被設置用來切換像素電路22之電荷-電壓轉換效率。

【0029】

FD轉換增益切換電晶體FDG藉由成為接通狀態，與斷開狀態相比，可使浮動擴散部FD之電容C增大與FD轉換增益切換電晶體FDG之閘極電容相應之量。因此，藉由切換FD轉換增益切換電晶體FDG之接通或斷開之狀態，使浮動擴散部FD之電容C可變，可切換像素電路22之電荷-電壓轉換效率。

【0030】

圖6係表示複數個像素電路22與複數條垂直信號線24之連接之一例之電路圖。

【0031】

如圖6所示，於複數個像素電路22排列配置於垂直信號線24之延伸方向(例如行方向)時，複數條垂直信號線24可針對每個像素電路22各分配一條。再者，於圖6中，為了區分各垂直信號線24，對各垂直信號線24之符

號之末尾賦予識別編號(1、2、3、4)。

【0032】

圖7係表示攝像裝置1之積層方向的剖面構成之一例之縱向剖視圖。

【0033】

如圖7所示，攝像裝置1係將第1基板10、第2基板20及第3基板30依序積層而構成。於第1基板10之光入射面側(亦稱為背面側)，例如針對每個感測像素12分別設置彩色濾光片40及受光透鏡50。即，攝像裝置1係所謂之背面照射型之攝像裝置。

【0034】

第1基板10係於第1半導體基板11上積層第1絕緣層46而構成。第1半導體基板11為矽基板，例如於正面之一部分及其附近具有p型井層42，於除此以外之區域(即較p型井層42深之區域)具有光電二極體PD。p型井層42包含p型半導體區域，光電二極體PD包含與p型井層42不同導電型(具體而言為n型)之半導體區域。第1半導體基板11於p型井層42之內部具有與p型井層42不同導電型(具體而言為n型)之半導體區域即浮動擴散部FD。

【0035】

第1基板10於每個感測像素12中均具有光電二極體PD、傳輸電晶體TR及浮動擴散部FD。第1基板10於與第1半導體基板11之光入射面側為相反側(即正面側、或第2基板20側)之部分具有傳輸電晶體TR及浮動擴散部FD。

【0036】

第1基板10具有將各感測像素12分離之元件分離部43。元件分離部43於第1半導體基板11之主面之法線方向(與第1半導體基板11之表面垂直之

方向)上延伸形成，將相互鄰接之各感測像素12電性分離。元件分離部43例如包含貫通第1半導體基板11之氧化矽。

【0037】

第1基板10例如具有與元件分離部43之光電二極體PD側之側面相接之p型井層44。p型井層44包含與光電二極體PD不同導電型(具體而言為p型)之半導體區域。第1基板10例如具有與第1半導體基板11之背面相接之固定電荷膜45。固定電荷膜45包含絕緣膜，該絕緣膜為了抑制因第1半導體基板11之受光面側之界面能階引起之暗電流之產生而具有負固定電荷。作為固定電荷膜45之材料，例如可例示氧化鉿、氧化鋯、氧化鋁、氧化鈦或氧化鉭等。固定電荷膜45藉由感應出電場，而於第1半導體基板11之受光面側之界面形成抑制從界面產生電子之電洞蓄積層。

【0038】

彩色濾光片40設置於第1半導體基板11之背面側。具體而言，彩色濾光片40例如於與感測像素12對向之位置，與固定電荷膜45相接地設置於固定電荷膜45。受光透鏡50例如於與感測像素12對向之位置，與彩色濾光片40相接地設置於彩色濾光片40及固定電荷膜45。

【0039】

第2基板20係於第2半導體基板21之上積層第2絕緣層52而構成。第2半導體基板21為矽基板，每4個感測像素12具有1個像素電路22。第2基板20於第2半導體基板21之第3基板30側(即正面側)之部分具有像素電路22。第2基板20以使第2半導體基板21之背面朝向第1半導體基板11之正面側之方式貼合於第1基板10。即，第2基板20以面對背之方式與第1基板10貼合。

【0040】

於第2半導體基板21，設置有分離絕緣層53，於分離絕緣層53之內部，設置貫通配線54。貫通配線54由分離絕緣層53覆蓋側面，藉此與第2半導體基板21電性絕緣。貫通配線54於第2半導體基板21之主面之法線方向上延伸，將第1基板10之各元件及第2基板20之各元件相互電性連接。具體而言，貫通配線54將浮動擴散部FD及連接配線55電性連接。貫通配線54例如針對每個感測像素12設置一條。

【0041】

第2基板20例如於第2絕緣層52內，具有與像素電路22或第2半導體基板21電性連接之複數個連接部59。配線層56例如具有層間絕緣層57、設置於層間絕緣層57之內部之複數條像素驅動線23、及複數條垂直信號線24。配線層56例如於層間絕緣層57之內部，每4個感測像素12分別具有一條連接配線55。連接配線55將共有像素電路22之4個感測像素12之貫通配線54相互電性連接。

【0042】

配線層56進而於層間絕緣層57之內部具有複數個焊墊電極58。各焊墊電極58例如由銅(Cu)等金屬形成。各焊墊電極58於配線層56之表面露出，用於第2基板20與第3基板30之貼合、及第2基板20與第3基板30之電性連接。複數個焊墊電極58係例如針對每條像素驅動線23及垂直信號線24分別設置1個。

【0043】

此處，第2基板20可藉由複數個半導體基板與複數個絕緣層之積層構造而設置。

【0044】

具體而言，第2基板20可包含積層於厚度方向之2個半導體基板。例如，第2基板20可藉由如下方式設置：於第2半導體基板21之上所積層之第2絕緣層52之上，進而積層半導體基板。於進而設置於第2絕緣層52之上之半導體基板，例如設置電晶體，且經由連接部59與設置於第2半導體基板21之電晶體電性連接。

【0045】

即，設置於第2基板20之像素電路22可分開地設置於第2半導體基板21、及進而積層於第2絕緣層52之上之半導體基板。具體而言，像素電路22中所包含之放大電晶體AMP、重設電晶體RST及選擇電晶體SEL中之至少1個以上之電晶體可設置於第2半導體基板21，其餘電晶體設置於進而積層於第2絕緣層52之上之半導體基板。作為一例，可於第2半導體基板21設置放大電晶體AMP，於進而積層於第2絕緣層52之上之半導體基板設置重設電晶體RST及選擇電晶體SEL。

【0046】

或，第2基板20可包含積層於厚度方向之3個半導體基板。例如，第2基板20可藉由如下方式設置：於第2半導體基板21之上所積層之第2絕緣層52之上，積層上部第1半導體基板，於上部第1半導體基板之上介隔絕緣層進而積層上部第2半導體基板。於經積層之上部第1半導體基板及上部第2半導體基板，例如設置電晶體，且經由連接部59等與設置於第2半導體基板21之電晶體電性連接。

【0047】

即，設置於第2基板20之像素電路22可分開地設置於第2半導體基板

21、以及經積層之上部第1半導體基板及上部第2半導體基板。具體而言，像素電路22中所包含之放大電晶體AMP、重設電晶體RST及選擇電晶體SEL中之至少1個以上之電晶體可設置於第2半導體基板21、上部第1半導體基板及上部第2半導體基板之各者。作為一例，可於第2半導體基板21設置放大電晶體AMP，於進而設置於第2半導體基板21之上之上部第1半導體基板設置重設電晶體RST，於進而設置於上部第1半導體基板之上之上部第2半導體基板設置選擇電晶體SEL。

【0048】

於包含在厚度方向上積層之複數個半導體基板之第2基板20中，藉由分開地積層半導體基板，可進一步減小1個像素電路22所佔據之半導體基板之面積。藉由使用此種第2基板20，攝像裝置1可進一步減小攝像裝置1之晶片面積。

【0049】

又，藉由使用此種第2基板20，攝像裝置1可選擇性地擴大像素電路22中所包含之放大電晶體AMP、重設電晶體RST及選擇電晶體SEL中之任意之電晶體之面積。據此，攝像裝置1可藉由擴大放大電晶體AMP之面積而進一步減少雜訊。

【0050】

第3基板30係例如於第3半導體基板31上積層第3絕緣層61而構成。第3半導體基板31為矽基板，具有處理電路32。再者，第3基板30以正面側之面彼此貼合於第2基板20。因此，於關於第3基板30之各構成之說明中，上下之說明與圖式中之上下方向相反。第3基板30以使第3半導體基板31之正面朝向第2半導體基板21之正面側之方式貼合於第2基板20。

即，第3基板30係以面對面之方式貼合於第2基板20。

【0051】

第3基板30例如於第3絕緣層61上具有配線層62。配線層62例如具有層間絕緣層63、及設置於層間絕緣層63之內部且與處理電路32電性連接之複數個焊墊電極64。各焊墊電極64例如由銅(Cu)等金屬形成。焊墊電極64於配線層62之表面露出，用於第2基板20與第3基板30之貼合、及第2基板20與第3基板30之電性連接。第2基板20及第3基板30藉由焊墊電極58、64彼此之接合而相互電性連接。即，傳輸電晶體TR之閘極(傳輸閘極TG)經由貫通配線54及焊墊電極58、64而電性連接於處理電路32。

【0052】

圖8及圖9係表示攝像裝置1之水平方向的剖面構成之一例之模式圖。圖8及圖9之上側之圖係表示圖7之切斷面Sec1的剖面構成之一例之模式圖，圖8及圖9之下側之圖係表示圖7之切斷面Sec2的剖面構成之一例之模式圖。

【0053】

圖8中例示了於第1方向V1上，排列有2組2×2之4個感測像素12之構成，圖9中例示了於第1方向V1及第2方向V2上，排列有4組2×2之4個感測像素12之構成。

【0054】

第1方向V1與呈矩陣狀配置之複數個感測像素12之2個排列方向(例如列方向及行方向)中之一排列方向(例如列方向)平行。又，第2方向V2平行於與第1方向正交之排列方向(例如行方向)。

【0055】

貫通配線54例如針對每個感測像素12設置，將浮動擴散部FD及下述連接配線55電性連接。貫通配線47、48例如針對每個感測像素12設置。貫通配線47將第1半導體基板11之p型井層42與第2基板20內之配線電性連接。貫通配線48將傳輸閘極TG及像素驅動線23電性連接。

【0056】

如圖8所示，複數條貫通配線54、複數條貫通配線48及複數條貫通配線47於第1基板10之面內呈帶狀排列配置於第2方向V2(圖8之上下方向)。圖8中例示了複數條貫通配線54、複數條貫通配線48及複數條貫通配線47呈2行排列配置於第2方向V2之情形。

【0057】

如圖9所示，複數條貫通配線54、複數條貫通配線48及複數條貫通配線47於第1基板10之面內呈帶狀排列配置於第1方向V1(圖9之左右方向)。圖9中例示了複數條貫通配線54、複數條貫通配線48、及複數條貫通配線47呈2行排列配置於第1方向V1之情形。

【0058】

於共有像素電路22之4個感測像素12中，4個浮動擴散部FD例如介隔元件分離部43相互近接地配置。於共有像素電路22之4個感測像素12中，4個傳輸閘極TG以包圍4個浮動擴散部FD之方式配置，例如藉由4個傳輸閘極TG構成圓環形狀。

【0059】

如圖8所示，分離絕緣層53包含在第2方向V2上延伸之複數個區塊。第2半導體基板21於第2方向V2上延伸，且包含排列配置於第2方向V2之複數個島狀之區塊21A。於各區塊21A，例如設置複數組重設電晶體

RST、放大電晶體AMP及選擇電晶體SEL。4個感測像素12所共有之1個像素電路22例如包含存在於與4個感測像素12對應之區域內之重設電晶體RST、放大電晶體AMP及選擇電晶體SEL。例如，像素電路22包含分離絕緣層53之左側區塊21A內之放大電晶體AMP、分離絕緣層53之右側區塊21A內之重設電晶體RST、及選擇電晶體SEL。

【0060】

又，如圖9所示，分離絕緣層53包含在第1方向V1上延伸之複數個區塊。第2半導體基板21於第1方向V1上延伸，且包含排列配置於第1方向V1之複數個島狀之區塊21A。於各區塊21A，例如設置複數組重設電晶體RST、放大電晶體AMP及選擇電晶體SEL。4個感測像素12所共有之1個像素電路22例如包含存在於與4個感測像素12對應之區域內之重設電晶體RST、放大電晶體AMP及選擇電晶體SEL。例如，像素電路22包含分離絕緣層53之左側區塊21A內之放大電晶體AMP、分離絕緣層53之右側區塊21A內之重設電晶體RST、及選擇電晶體SEL。

【0061】

圖10～圖13係表示攝像裝置1之水平面內之配線佈局之一例的模式圖。於圖10～圖13中，與圖8同樣，表示將4個感測像素12所共有之1個像素電路22設置於與4個感測像素12對應之區域內之情形之配線佈局的一例。於圖10～圖13中，例如分別示出配線層56中設置於互不相同之層內之配線之佈局。

【0062】

如圖10所示，例如，相互鄰接之4條貫通配線54與連接配線55電性連接。貫通配線54經由連接配線55及連接部59，與分離絕緣層53之左側區

塊21A中所包含之放大電晶體AMP之閘極、及分離絕緣層53之右側區塊21A中所包含之重設電晶體RST之閘極電性連接。

【0063】

如圖11所示，例如，電源線VDD配置於與排列配置於第1方向V1之各像素電路22對應之位置。電源線VDD經由連接部59與排列配置於第1方向V1之各像素電路22之放大電晶體AMP之汲極、及重設電晶體RST之汲極電性連接。例如，2條像素驅動線23配置於與排列配置於第1方向V1之各像素電路22對應之位置。像素驅動線23中之一者例如作為與排列配置於第1方向V1之各像素電路22之重設電晶體RST之閘極電性連接的配線RSTG發揮功能。像素驅動線23中之另一者例如作為與排列配置於第1方向V1之各像素電路22之選擇電晶體SEL之閘極電性連接的配線SELG發揮功能。例如，放大電晶體AMP之源極與選擇電晶體SEL之汲極經由配線25相互電性連接。

【0064】

如圖12所示，例如，2條基準電位線VSS配置於與排列配置於第1方向V1之各像素電路22對應之位置。各基準電位線VSS於與排列配置於第2方向V2之各感測像素12對應之位置，電性連接於複數條貫通配線47。例如，4條像素驅動線23配置於與排列配置於第1方向V1之各像素電路22對應之位置。4條像素驅動線23各自作為配線TRG發揮功能，該配線TRG電性連接於與排列配置於第1方向V1之各像素電路22對應之1個感測像素12之貫通配線48。4條像素驅動線23與排列配置於第1方向V1之各感測像素12之傳輸電晶體TR之閘極電性連接。圖12中，為了區分各條配線TRG，對配線TRG之末尾賦予識別編號(1、2、3、4)。

【0065】

如圖13所示，例如，垂直信號線24配置於與排列配置於第2方向V2之各像素電路22對應之位置。垂直信號線24與排列配置於第2方向V2之各像素電路22之放大電晶體AMP之源極電性連接。

【0066】

本發明之技術應用於上文所說明之積層型之攝像裝置1。以下，對本發明之技術進行具體說明。

【0067】

＜＜2.第1實施形態＞＞

首先，參照圖14～圖22H，對本發明之第1實施形態之技術進行說明。本實施形態之技術係藉由於攝像裝置1之特定配線之周圍設置低介電常數區域，而更有效率地提高設置於第2基板20之像素電路之電性特性。

【0068】

於藉由將3個基板積層而構成之攝像裝置1中，例如，由設置於第1基板10之光電二極體PD進行光電轉換所得之電荷經由貫通配線54輸出至設置於第2基板之放大電晶體AMP。貫通配線54設置於貫通第2半導體基板21之分離絕緣層53之內部，將設置於第1基板10之配線與設置於第2基板20之配線電性連接。

【0069】

因此，於攝像裝置1中，藉由於貫通配線54、分離絕緣層53及第2半導體基板21之間形成電容器構造，而形成寄生電容。所形成之寄生電容對經放大電晶體AMP放大之前之電荷帶來影響，因此會使像素電路22中將電荷轉換為電壓時之轉換效率降低。

【0070】

本實施形態之技術係鑒於上述情況而想出。本實施形態之技術係於將從感測像素12之浮動擴散部FD讀出之電荷轉換為像素信號之電路周圍的至少一部分區域設置低介電常數區域。據此，本實施形態之技術可減少由寄生電容對像素信號造成之影響。

【0071】

繼而，參照圖14，更具體地說明本實施形態之技術。圖14係表示本實施形態之攝像裝置1之積層方向的剖面構成之一例之縱向剖視圖。

【0072】

如圖14所示，第1基板10於由元件分離部43劃定之區域具有光電二極體PD。由光電二極體PD進行光電轉換所得之電荷經由具有傳輸閘極TG之傳輸電晶體TR，輸出至浮動擴散部FD。所輸出之電荷由浮動擴散部FD暫時保持後，經由貫通配線54輸出至設置於第2半導體基板21之像素電路22。

【0073】

貫通配線54於第1半導體基板11及第2半導體基板21之積層方向上延伸，設置於貫通第2半導體基板21之分離絕緣層53之內部。貫通配線54經由連接配線55及連接部59，將由浮動擴散部FD暫時保持之電荷輸出至像素電路22之放大電晶體AMP等。

【0074】

又，第2基板20於第2絕緣層52之上進而具有配線層56。配線層56例如具有層間絕緣層57、設置於層間絕緣層57之內部之複數條像素驅動線23、及複數條垂直信號線24。複數條像素驅動線23及複數條垂直信號線

24與像素電路22之選擇電晶體SEL之閘極及源極電性連接。複數條像素驅動線23及複數條垂直信號線24藉由控制選擇電晶體SEL，而控制基於從浮動擴散部FD輸出之電荷產生之像素信號之輸出時序。

【0075】

例如，貫通配線54、連接配線55、連接部59、像素驅動線23及垂直信號線24等金屬配線例如可由銅(Cu)、鋁(Al)、鎢(W)等金屬材料形成。又，於該等金屬配線之表面，為了抑制配線形成所使用之金屬之擴散，可設置碳化矽(SiC)、或碳氮化矽(SiCN)等障壁層。

【0076】

於本實施形態之攝像裝置1中，作為第1樣態，於分離絕緣層53之內部之至少一部分區域設置低介電常數區域90A。具體而言，低介電常數區域90A設置於貫通分離絕緣層53之內部之貫通配線54與第2半導體基板21之間、或貫通分離絕緣層53之內部之貫通配線54彼此之間之至少一部分區域。據此，低介電常數區域90A可使貫通配線54與第2半導體基板21或其他貫通配線54之間產生之寄生電容之大小減小。因此，低介電常數區域90A可提高利用像素電路22之放大電晶體AMP將電荷轉換為電壓時之轉換效率。

【0077】

再者，低介電常數區域90A可以包圍設置於分離絕緣層53之內部之貫通配線54之周圍之方式遍及全周設置。低介電常數區域90A藉由遍及貫通配線54之全周形成，可減小貫通配線54與存在於貫通配線54之周圍之所有導體之間產生之寄生電容。

【0078】

又，低介電常數區域90A可設置為於積層方向上大於第2半導體基板21之厚度。據此，低介電常數區域90A設置於貫通配線54與第2半導體基板21之間之積層方向之所有區域，因此，可進一步減小貫通配線54與第2半導體基板21之間產生之寄生電容。

【0079】

低介電常數區域90A係介電常數較周圍之構成第1絕緣層46、分離絕緣層53及第2絕緣層52之材料之介電常數低之區域。例如，低介電常數區域90A可構成為內部成為真空之空隙、或內部封入有空氣之空隙。又，於第1絕緣層46、分離絕緣層53及第2絕緣層52包含氧化矽(SiO_2：相對介電常數3.9)之情形時，低介電常數區域90A可由具有較氧化矽之相對介電常數低之相對介電常數之材料構成。進而，低介電常數區域90A可包含上述空隙、及嵌埋該空隙之內部之一部分之低介電常數材料。再者，作為低介電常數材料，例如可使用摻碳氧化矽(SiOC)、或多孔二氧化矽等已知為Low-k(低介電常數)材料之介電材料。

【0080】

又，於本實施形態之攝像裝置1中，作為第2樣態，在將貫通配線54至放大電晶體AM為止電性連接之配線之周圍之至少一部分區域設置低介電常數區域90B。具體而言，低介電常數區域90B設置於經由貫通配線54與浮動擴散部FD電性連接之連接配線55或連接部59之周圍之至少一部分區域。據此，低介電常數區域90B可與貫通配線54同樣地減小將貫通配線54後之元件至放大電晶體AMP電性連接之配線所產生之寄生電容。因此，低介電常數區域90B與低介電常數區域90A同樣，可提高利用像素電路22之放大電晶體AMP將電荷轉換為電壓時之轉換效率。

【0081】

低介電常數區域90B係介電常數較周圍之構成第2絕緣層52及層間絕緣層57之材料低之區域。低介電常數區域90B可與低介電常數區域90A同樣，構成為內部成為真空之空隙、或內部封入有空氣之空隙。又，低介電常數區域90B可構成為由低介電常數材料形成之區域，亦可包含空隙、及嵌埋該空隙之內部之一部分之低介電常數材料。再者，作為低介電常數材料，例如可使用摻碳氧化矽(SiOC)、或多孔二氧化矽等周知為Low-k(低介電常數)材料之介電材料。

【0082】

進而，於本實施形態之攝像裝置1中，作為第3樣態，於積層於第2絕緣層52之上之配線層56中所包含之配線之周圍的至少一部分區域設置低介電常數區域90C。具體而言，低介電常數區域90C設置於與選擇電晶體SEL之源極電性連接之複數條垂直信號線24之周圍的至少一部分區域，該選擇電晶體SEL對基於從浮動擴散部FD輸出之電荷產生之像素信號之輸出時序進行控制。據此，低介電常數區域90C可使垂直信號線24與其他配線之間產生之寄生電容減小。因此，低介電常數區域90C可實現像素電路22、或處理電路32之信號處理之高速化、及低耗電化。

【0083】

低介電常數區域90C係介電常數較周圍之構成層間絕緣層57之材料低之區域。低介電常數區域90C與低介電常數區域90A及90B同樣，可包含內部成為真空之空隙、或內部封入有空氣之空隙。又，低介電常數區域90C可構成為由低介電常數材料形成之區域，亦可包含空隙、及嵌埋該空隙之內部之一部分之低介電常數材料。再者，作為低介電常數材料，例如

可使用摻碳氧化矽(SiOC)、或多孔二氧化矽等周知為Low-k(低介電常數)材料之介電材料。

【0084】

低介電常數區域90A、90B、90C以相互獨立之方式設置。因此，於本實施形態之攝像裝置1中，可設置低介電常數區域90A、90B或90C中之至少任一個以上，亦可設置低介電常數區域90A、90B及90C之全部。

【0085】

再者，即便於第2基板20包含積層於厚度方向之複數個半導體基板之情形時，本實施形態之攝像裝置1亦可於將從浮動擴散部FD讀出之電荷轉換為像素信號之電路周圍的至少一部分之區域設置低介電常數區域。

【0086】

具體而言，於第2基板20包含積層於厚度方向之複數個半導體基板之情形時，遍及所積層之複數個半導體基板(即第2半導體基板21、及設置於第2半導體基板21之上之至少1個以上之半導體基板)，設置將從浮動擴散部FD讀出之電荷轉換為像素信號之電路。因此，可於設置在經積層之複數個半導體基板附近之配線周圍的至少一部分區域，設置低介電常數區域90A、90B、90C。低介電常數區域90A、90B、90C可分別設置於經積層之複數個半導體基板各者之附近所設置的配線周圍之區域，亦可連續地設置於經積層之複數個半導體基板各者之附近所設置的配線周圍之區域。

【0087】

據此，本實施形態之攝像裝置1可進一步有效率地提高設置於第2基板20之電路之電性特性，因此可進一步提高將從浮動擴散部FD讀出之電荷轉換為電壓時之轉換效率。

【0088】

其次，參照圖15對本實施形態之攝像裝置1之浮動擴散部FD之構成的變化進行說明。圖15係表示由複數個感測像素12共有浮動擴散部FD之攝像裝置1之積層方向之剖面構成的縱向剖視圖。

【0089】

如圖15所示，例如，浮動擴散部FD可設置於將鄰接之複數個光電二極體PD相互分離之元件分離部43之上。於浮動擴散部FD，電性連接有複數個傳輸電晶體TR，該等複數個傳輸電晶體TR分別讀出由鄰接之複數個光電二極體PD分別進行光電轉換所得之電荷。

【0090】

即，於圖15所示之攝像裝置1中，浮動擴散部FD、及浮動擴散部FD之後段之像素電路22由鄰接之感測像素12所共有。再者，共有浮動擴散部FD及像素電路22之感測像素12之數量並無特別限定，例如可為2個、4個、8個或16個。

【0091】

於此種攝像裝置1中，藉由設置低介電常數區域90A、90B、90C，能夠於複數個感測像素12中同時提高從電荷轉換為電位時之轉換效率。因此，圖15所示之攝像裝置1可利用數量更少之低介電常數區域90A、90B、90C，提高複數個感測像素12之轉換效率，因此，可抑制因低介電常數區域90A、90B、90C之形成而導致攝像裝置1整體之強度降低。

【0092】

(低介電常數區域之平面配置)

繼而，參照圖16～圖19，對本實施形態之攝像裝置1之低介電常數區

域90A、90B、90C之平面配置的一例進行說明。圖16～圖19係由排列於一方向之4個感測像素12共有浮動擴散部FD及像素電路22之情形時之平面配置的一例。

【0093】

圖16係表示像素區域13之第2半導體基板21與分離絕緣層53之平面配置之俯視圖。於圖16中，在由正方形之虛線包圍之區域分別設置感測像素12之光電二極體PD。

【0094】

如圖16所示，第2半導體基板21由分離絕緣層53分斷，分離絕緣層53對應於沿感測像素12之各光電二極體PD之一方向延伸之交界而設置。

【0095】

於第2半導體基板21，設置主動區域AA及元件分離區域SA。主動區域AA係成為場效電晶體之源極、汲極或通道區域之區域。主動區域AA包含矽、或導入有導電型雜質之矽。元件分離區域SA係將設置於主動區域AA之各場效電晶體電性分離之區域。元件分離區域SA係藉由如下方式構成：使用STI(Shallow Trench Isolation，淺溝槽隔離)法等，以不貫通第2半導體基板21之程度之深度形成絕緣層。

【0096】

圖17係表示像素區域13之貫通配線54、連接部59及閘極電極之平面配置之俯視圖。圖17中，排列於一方向之4個感測像素12共有1個浮動擴散部FD及像素電路22。

【0097】

如圖17所示，於在一方向上延伸之主動區域AA，從一端部朝向另一

端部，分別設置由4個感測像素12共有之選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG之閘極電極。

【0098】

於該等閘極電極之間，作為連接部59，設置有：接點CVout，其經由水平驅動電路35將輸出電壓輸出至外部；接點CVDD，其與供給電源電位之電源線VDD電性連接；接點CVSS，其與供給基準電位之基準電位線VSS電性連接；及接點CFD，其與浮動擴散部FD電性連接。

【0099】

於分離絕緣層53，作為貫通配線54，設置與浮動擴散部FD電性連接之貫通接點TFD、及與基準電位線VSS電性連接之貫通接點TVSS。又，於分離絕緣層53，分別設置與感測像素12各自之傳輸電晶體TR之傳輸閘極電性連接之貫通接點。

【0100】

此時，較佳為於與浮動擴散部FD電性連接之接點CFD、及貫通接點TFD之周圍之至少一部分區域，設置低介電常數區域90A。又，更佳為，於接點CFD及貫通接點TFD周圍之區域，遍及全周設置低介電常數區域90A。

【0101】

圖18係表示像素區域13之連接配線55之平面配置之俯視圖。

【0102】

如圖18所示，作為連接配線55，配置將圖17所示之各連接部59、及各貫通配線54相互電性連接之配線。此時，較佳為於與浮動擴散部FD電性連接之連接配線55周圍之至少一部分區域，設置低介電常數區域90B。

具體而言，低介電常數區域90B較佳為設置於經由接點CFD及貫通接點TFD將從浮動擴散部FD輸出之電荷傳送至放大電晶體AMP之閘極之連接配線55周圍的至少一部分區域。例如，低介電常數區域90B較佳為設置於圖18中由虛線包圍之連接配線55之周圍之至少一部分區域。

【0103】

圖19係表示像素區域13之配線層56中所包含之配線之平面配置的俯視圖。

【0104】

如圖19所示，配線層56包含在與分離絕緣層53之延伸方向平行之方向上延伸設置之電源線VDD、基準電位線VSS及垂直信號線24(VSL)。垂直信號線24設置於與感測像素12之各光電二極體PD之交界對應的區域，電源線VDD、基準電位線VSS分別設置於垂直信號線24之兩側方。此時，低介電常數區域90C較佳為設置於垂直信號線24之周圍之至少一部分區域。例如，低介電常數區域90C較佳為設置於圖19中由虛線包圍之垂直信號線24之周圍之至少一部分區域。

【0105】

(低介電常數區域之形成方法)

其次，參照圖20A～圖22H，對本實施形態之攝像裝置1之低介電常數區域90A、90B、90C之形成方法進行說明。

【0106】

首先，參照圖20A～圖20D，對低介電常數區域90A之形成方法之一例進行說明。圖20A～圖20D係說明低介電常數區域90A之形成方法之一例之縱向剖視圖。

【0107】

如圖20A所示，於形成有光電二極體PD、浮動擴散部FD及傳輸電晶體TR之第1基板10，貼合設置有分離絕緣層53之第2半導體基板21。

【0108】

其次，如圖20B所示，使用乾式蝕刻等，於分離絕緣層53之區域形成狹縫狀之開口91A。具體而言，使用乾式蝕刻等，於在後段形成貫通配線54之區域、及第2半導體基板21之間之分離絕緣層53之區域，以大致均勻寬度之狹縫形狀形成開口91A。藉由將開口91A設為大致均勻寬度之狹縫形狀，可於在後段工序中沈積第2絕緣層52時，使各開口91A均勻地封閉。

【0109】

繼而，如圖20C所示，藉由於被覆性較低之條件下進行CVD(Chemical Vapor Deposition，化學氣相沈積)等，而於第2半導體基板21之上沈積第2絕緣層52。此時，由於第2絕緣層52之沈積之被覆性較低，故於開口91A中，在內部被嵌埋之前，上部會被封閉。藉此，藉由將開口91A之上部封閉而形成之空隙成為低介電常數區域90A。

【0110】

其次，如圖20D所示，藉由依序進行光微影、蝕刻及沈積，而於第2絕緣層52形成連接部59及貫通配線54。此處，貫通配線54例如設置為與浮動擴散部FD電性連接，且與第2半導體基板21之間存在低介電常數區域90A。其後，藉由於第2絕緣層52之上設置連接配線55，而形成從連接部59及貫通配線54向其他配線之電性連接。藉由此種工序，本實施形態之攝像裝置1可形成低介電常數區域90A。

【0111】

繼而，參照圖20E～圖20G，對低介電常數區域90B、90C之形成方法之一例進行說明。圖20E～圖20G係說明低介電常數區域90B、90C之形成方法之一例之縱向剖視圖。

【0112】

如圖20E所示，藉由連續地進行圖20A及圖20D所示之工序，而於形成有光電二極體PD、浮動擴散部FD及傳輸電晶體TR之第1基板10貼合第2半導體基板21，從第2絕緣層52之表面形成連接部59及貫通配線54。進而，於連接部59、及貫通配線54之上形成連接配線55、及層間絕緣層57。

【0113】

其次，如圖20F所示，使用乾式蝕刻等，於連接配線55彼此之間之區域之一部分形成狹縫狀之開口91B。具體而言，使用乾式蝕刻等於連接配線55彼此之間之區域，以大致均勻寬度之狹縫形狀形成開口91B。藉由將開口91B設為大致均勻寬度之狹縫形狀，可於在後段工序中進一步沈積層間絕緣層57時，使各開口91B均勻地封閉。

【0114】

繼而，如圖20G所示，藉由以被覆性較低之條件進行CVD等，而於第2絕緣層52之上進一步沈積層間絕緣層57。此時，由於層間絕緣層57之沈積之被覆性較低，故於開口91B中，在內部被嵌埋之前，上部會被封閉。藉此，藉由將開口91B之上部封閉而形成之空隙成為低介電常數區域90B。藉由此種工序，本實施形態之攝像裝置1可形成低介電常數區域90B。又，同樣，本實施形態之攝像裝置1可形成低介電常數區域90C。

【0115】

圖21係說明低介電常數區域90A、90B、90C之剖面形狀之變化之模式性剖視圖。

【0116】

於上述實施形態中，以矩形形狀例示了由空隙形成之低介電常數區域90A、90B、90C之剖面形狀。然而，由空隙形成之低介電常數區域90A、90B、90C之剖面形狀可為除矩形形狀以外之形狀。

【0117】

例如，如圖21所示，對配線1192彼此之間之狹窄之圖案之絕緣層1193進行蝕刻時形成的開口1191之剖面形狀可能會因蝕刻之蝕刻劑未充分進入開口1191之底部而成為倒錐形形狀。又，於藉由CVD等將形成於配線1192彼此之間之開口1191封閉之情形時，可能會因CVD之沈積物之一部分亦進入開口1191之上部，而導致將上部封閉後之低介電常數區域90A、90B、90C之剖面形狀成為正錐形形狀或三角形形狀。

【0118】

即，由空隙形成之低介電常數區域90A、90B、90C之剖面形狀可能會因空隙之形成方法而改變。因此，低介電常數區域90A、90B、90C之剖面形狀不限於上述所說明之形狀。

【0119】

進而，參照圖22A～圖22H，對低介電常數區域90A之形成方法之另一例進行說明。圖22A～圖22H係說明低介電常數區域90A之形成方法之另一例之各工序的縱向剖視圖。

【0120】

首先，如圖22A所示，將第1基板10與第2基板20貼合，該第1基板10係於形成有光電二極體PD及浮動擴散部FD之第1半導體基板11之上積層第1絕緣層46所得，該第2基板20係於第2半導體基板21之上積層第2絕緣層52及配線層56所得。其後，使用蝕刻等，藉由蝕刻等去除將第1基板10之浮動擴散部FD與第2基板20之各種配線電性連接的貫通配線54之周圍之絕緣層，而形成開口91A。再者，可於開口91A之內側之側面及底面，成膜SiN膜作為保護膜。

【0121】

繼而，如圖22B所示，準備於表面成膜有SiO_2膜1101之貼合基板1100。

【0122】

然後，如圖22C所示，以SiO_2膜1101與配線層56對向之方式，將貼合基板1100、與第1基板10及第2基板20之積層體貼合。

【0123】

其次，如圖22D所示，將貼合基板1100從SiO_2膜1101剝離。藉此，開口91A因由同樣形成於貼合基板1100之表面之SiO_2膜1101將上部之開口面密封而成為空隙，從而形成低介電常數區域90A。

【0124】

繼而，如圖22E所示，於SiO_2膜1101之表面形成與配線層56之各種配線電性連接之焊墊電極58。

【0125】

其後，如圖22F所示，準備於第3半導體基板31積層配線層62所得之第3基板30。再者，於配線層62之表面，在與設置於SiO_2膜1101之表面之

焊墊電極58對向之位置，同樣形成焊墊電極64。

【0126】

而且，如圖22G所示，以SiO_2膜1101與配線層62對向之方式，將第1基板10及第2基板20之積層體與第3基板30貼合。此時，藉由將焊墊電極58與焊墊電極64接合，而於第2基板20之各種配線與第3基板30之各種配線之間形成電性連接。

【0127】

其後，如圖22H所示，於與形成有第1絕緣層46之面為相反側之第1基板10之背面側(即與第1半導體基板11之形成有第1絕緣層46之面為相反側之面)設置彩色濾光片40及受光透鏡50。藉此，可形成攝像裝置1。

【0128】

以上，詳細說明了本發明之第1實施形態之技術。根據本實施形態之技術，可減小從浮動擴散部FD輸出像素信號之前像素電路22之配線上所產生之寄生電容。因此，根據本實施形態之技術，能夠提高像素電路22之電荷-電壓之轉換效率。

【0129】

＜＜3.第2實施形態＞＞

其次，參照圖23～圖25F，對本發明之第2實施形態之技術進行說明。本實施形態之技術係於貫通配線54與第2半導體基板21之間更有效率地形成低介電常數區域。

【0130】

如第1實施形態中所作說明，於攝像裝置1中，在將從浮動擴散部FD讀出之電荷轉換為像素信號之電路之周圍的至少一部分區域設置低介電常

數區域，藉此可減小由寄生電容對像素信號帶來之影響。尤其是，於將3個基板積層而構成之攝像裝置1中，在貫通配線54與第2半導體基板21之間之區域設置低介電常數區域90A，藉此，可抑制因寄生電容而導致電荷-電壓之轉換效率降低之情況。

【0131】

於第1實施形態中，為了於貫通配線54與第2半導體基板21之間之規定區域設置低介電常數區域90A，對分離絕緣層53進行光微影及蝕刻。然而，於此種形成方法中，為了形成低介電常數區域90A而追加較多工序。

【0132】

本實施形態之技術係鑒於上述情況而想出。本實施形態之技術係於貫通配線54與第2半導體基板21之間自對準地形成低介電常數區域90A。據此，本實施形態之技術可減少形成低介電常數區域90A時之工序，故可以更少之追加成本，在貫通配線54與第2半導體基板21之間形成低介電常數區域90A。

【0133】

首先，參照圖23，更具體地說明本實施形態之技術。圖23係模式性地表示本實施形態中之第1基板10與第2基板20之積層體之構成的剖視圖及頂視圖。

【0134】

如圖23之上圖之剖視圖所示，於本實施形態之積層體中，將第1基板10與第2基板20貼合，該第1基板10係將第1絕緣層1246(對應於第1絕緣層46)積層於第1半導體基板1211(對應於第1半導體基板11)所得，該第2基板20係將第2絕緣層1252(對應於第2絕緣層52)積層於第2半導體基板

1221(對應於第2半導體基板21)所得。再者，第2半導體基板1221(對應於第2半導體基板21)由以貫通第2半導體基板1221之方式設置之分離絕緣層1253(對應於分離絕緣層53)分斷。

【0135】

於第2基板1220之第2半導體基板1221，例如設置場效電晶體Tr2。場效電晶體Tr2例如包含：閘極電極1230，其介隔閘極絕緣膜1231設置於第2半導體基板1221之上；側壁絕緣膜1232，其設置於閘極電極1230之側面；源極區域1221S及汲極區域1221D，其等隔著閘極電極1230設置於兩側之第2半導體基板1221。又，於閘極電極1230、源極區域1221S及汲極區域1221D之上部，分別設置閘極接點1259、源極接點1259S及汲極接點1259D。又，於第1基板1210之第1半導體基板1211，例如設置與場效電晶體Tr2相同構造之場效電晶體Tr1。

【0136】

此處，設置於第1基板1210之場效電晶體Tr1之各端子藉由以貫通分離絕緣層1253之方式設置之貫通配線1254，於未圖示之區域與設置於第2基板1220之場效電晶體Tr2之各端子電性連接。

【0137】

於本實施形態之技術中，如圖23之下圖之頂視圖所示，低介電常數區域1290以沿著分離絕緣層1253之外周，遍及全周包圍貫通配線1254之方式設置於第2半導體基板1221之側方。據此，低介電常數區域1290可減小貫通配線1254與第2半導體基板1221之間產生之寄生電容。

【0138】

低介電常數區域1290係與構成分離絕緣層1253之材料相比介電常數

較低之區域。低介電常數區域1290可構成為內部為真空之空隙、或內部封入有空氣之空隙。或者，低介電常數區域1290可構成為由低介電常數材料形成之區域，亦可包含空隙、及利用低介電常數材料嵌埋該空隙之一部分之區域。再者，作為低介電常數材料，例如可使用摻碳氧化矽(SiOC)、或多孔二氧化矽等周知為Low-k(低介電常數)材料之介電材料。

【0139】

於下文將進行敍述，本實施形態之技術中，低介電常數區域1290係使用在形成分離絕緣層1253時設置於第2半導體基板1221之貫通孔之內側側面之側壁而形成。因此，根據本實施形態之技術，能夠沿著分離絕緣層1253之外周自對準地形成低介電常數區域1290。

【0140】

再者，如第1實施形態中亦提及，即便於第2基板20包含積層於厚度方向之複數個半導體基板之情形時，亦可應用本實施形態之技術。具體而言，於第2基板20包含積層於厚度方向之複數個半導體基板之情形時，低介電常數區域1290可沿著貫通所積層之複數個半導體基板(即第2半導體基板21、及設置於第2半導體基板21之上之至少1個以上之半導體基板)之分離絕緣層1253之外周自對準地形成。

【0141】

(低介電常數區域之第1形成方法)

其次，參照圖24A～圖24L，對本實施形態之低介電常數區域1290之第1形成方法進行說明。圖24A～圖24L係說明低介電常數區域1290之第1形成方法之各工序之縱向剖視圖。

【0142】

首先，如圖24A所示，於第2半導體基板1221之上成膜SiN膜1261及抗蝕層1281之後進行蝕刻，藉此，於後段中供形成分離絕緣層1253之區域形成開口1271。開口1271較佳為以可於後段之蝕刻中大致貫通第2半導體基板1221之程度之深度設置。

【0143】

繼而，如圖24B所示，將抗蝕層1281剝離之後，於形成有開口1271之第2半導體基板1221之上，沿著第2半導體基板1221之表面形狀沈積SiO_2膜1262及SiN膜1263。

【0144】

其次，如圖24C所示，使用乾式蝕刻，遍及整個面對SiO_2膜1262及SiN膜1263進行回蝕，藉此，於開口1271之側面形成側壁1263A。

【0145】

繼而，如圖24D所示，藉由對第2半導體基板1221中將成為元件分離區域之區域、及後段中供形成分離絕緣層1253之區域進行蝕刻，而分別形成開口1272及開口1273。此時，開口1273可以第2半導體基板1221之一部分殘留之方式(即以不貫通第2半導體基板1221之方式)設置，亦可以貫通第2半導體基板1221之方式設置。

【0146】

其次，如圖24E所示，利用包含SiO_2之分離絕緣層1253嵌埋開口1272及開口1273，並進行CMP(Chemical Mechanical Polish，化學機械研磨)，使表面平坦化。此時，對分離絕緣層1253實施之CMP要進行至側壁1263A之前端露出為止。藉此，可於後段工序中，從露出面去除側壁1263A。

【0147】

繼而，如圖24F所示，藉由將SiN剝離而去除側壁1263A及SiN膜1261。藉此，於設置有側壁1263A之區域形成作為低介電常數區域1290發揮功能之空隙。於圖24E所示之工序中，側壁1263A之一部分於分離絕緣層1253之表面露出，故而可於圖24F所示之工序中利用蝕刻等方法將其去除。

【0148】

其次，如圖24G所示，於沈積閘極絕緣膜1231之後，沈積包含多晶矽等之閘極電極層1233。關於閘極電極層1233，於嵌埋性較低之條件下進行閘極電極層1233之沈積，藉此，可抑制閘極電極層1233進入作為空隙之低介電常數區域1290。

【0149】

其後，如圖24H所示，藉由對閘極電極層1233進行蝕刻，而形成閘極電極1230。進而，藉由向閘極電極1230之兩側之第2半導體基板1221導入導電型雜質，而形成LDD(Lightly Doped Drain，輕微摻雜之汲極)區域。

【0150】

繼而，如圖24I所示，於第2半導體基板1221、分離絕緣層1253及閘極電極1230之上，在嵌埋性較低之條件下沈積SiO_2膜1265，藉此使空隙之上部封閉。

【0151】

進而，如圖24J所示，沿著閘極電極1230之表面形狀沈積SiN膜之後，進行回蝕，藉此形成側壁絕緣膜1232。其後，向側壁絕緣膜1232之

更外側之第2半導體基板1221導入導電型雜質，藉此形成源極區域1221S及汲極區域1221D。

【0152】

其次，如圖24K所示，於藉由至圖24J為止之工序形成之第2基板20貼合設置有場效電晶體Tr1之第1基板10。具體而言，藉由去除第2基板20之背面側之第2半導體基板1221，分離絕緣層1253將第2半導體基板1221完全分斷，其後，於第2基板20之背面側貼合第1基板10。

【0153】

繼而，如圖24L所示，於第2半導體基板1221之上沈積第2絕緣層1252。其後，於形成有分離絕緣層1253之區域，形成從第2絕緣層1252到達第1基板10之場效電晶體Tr1之各種端子之接點，藉此可形成圖23所示之第1基板10與第2基板20之積層體。

【0154】

(低介電常數區域之第2形成方法)

其次，參照圖25A～圖25F，對本實施形態之低介電常數區域1290之第2形成方法進行說明。圖25A～圖25F係說明低介電常數區域1290之第2形成方法之各工序之縱向剖視圖。

【0155】

首先，藉由經過與圖24A～圖24D所示之工序相同之工序，而於第2半導體基板1221形成開口1272及開口1273。

【0156】

其次，如圖25A所示，利用包含SiO_2之分離絕緣層1253嵌埋開口1272及開口1273，並進行CMP(Chemical Mechanical Polish)，藉此使表

面平坦化。此時，對分離絕緣層1253之CMP係以側壁1263A之前端不露出之程度進行，側壁1263A之去除係於閘極電極1230等形成後進行。據此，可防止於形成閘極電極1230時，因去除側壁1263A而形成之空隙再次被填埋。

【0157】

繼而，如圖25B所示，藉由將SiN剝離而去除SiN膜1261。另一方面，側壁1263A殘存。其後，再次進行分離絕緣層1253之蝕刻，藉此使側壁1263A之前端於分離絕緣層1253之表面露出。

【0158】

其次，如圖25C所示，於沈積閘極絕緣膜1231之後，進行包含多晶矽等之閘極電極層之沈積及圖案化，藉此形成閘極電極1230。進而，於閘極電極1230之上表面，形成SiO_2膜1230A。

【0159】

其後，如圖25D所示，藉由向閘極電極1230兩側之第2半導體基板1221導入導電型雜質，而形成LDD(Lightly Doped Drain)區域。其次，於沿著閘極電極1230之表面形狀沈積SiO_2膜之後，進行回蝕，藉此形成側壁絕緣膜1232A。繼而，藉由向側壁絕緣膜1232A之更外側之第2半導體基板1221導入導電型雜質，而形成源極區域1221S及汲極區域122D。

【0160】

然後，如圖25E所示，將SiN剝離，藉此去除側壁1263A。藉此，於設置有側壁1263A之區域形成作為低介電常數區域1290發揮功能之空隙。

【0161】

繼而，如圖25F所示，於分離絕緣層1253之上，在嵌埋性較低之條件

下沈積SiO_2膜1265，藉此使空隙之上部封閉。其次，沿著閘極電極1230之表面形狀沈積SiN膜。其後，經過與圖24K～圖24L所示之工序相同之工序，藉此可形成與圖23所示之第1基板10與第2基板20之積層體相同之積層體。

【0162】

以上，對本發明之第2實施形態之技術進行詳細說明。根據本實施形態之技術，即便不使用微影等，亦可自對準地於貫通配線1254與第2半導體基板1221之間形成包含空隙之低介電常數區域1290。因此，根據本實施形態之技術，可於貫通配線1254與第2半導體基板1221之間，以更低成本形成低介電常數區域1290。

【0163】

再者，於包含空隙之低介電常數區域1290之內部，可殘存未去除完之側壁1263A。即便於此種情形時，低介電常數區域1290亦可減小貫通配線1254與第2半導體基板1221之間產生之寄生電容之大小。

【0164】

＜＜4.第3實施形態＞＞

繼而，參照圖26～42E，對本發明之第3實施形態之技術進行說明。本實施形態之技術係藉由於第2半導體基板21之附近設置低介電常數區域，而減小因將第1基板10與第2基板20貼合所得之三維構造而產生之寄生電容。

【0165】

於藉由將3個基板積層而構成之攝像裝置1中，第1半導體基板11與第2半導體基板21介隔第1絕緣層46而積層。寄生電容係因利用2個導體夾著

絕緣體而產生，因此，於所積層之第2半導體基板21，存在於三維之多個方向上之導體之間可能產生寄生電容。

【0166】

例如，圖26中表示第2半導體基板21所產生之寄生電容之一例。圖26係表示於將第1基板10與第2基板20積層而成之積層體產生之寄生電容之一例之模式性剖視圖。

【0167】

如圖26所示，例如，於本實施形態之積層體中，將第1基板10與第2基板20貼合，該第1基板10係將第1絕緣層1342(對應於第1絕緣層46)積層於第1半導體基板1311(對應於第1半導體基板11)而成，該第2基板20係將第2絕緣層1352(對應於第2絕緣層52)積層於第2半導體基板1321(對應於第2半導體基板21)而成。又，第2半導體基板1321(對應於第2半導體基板21)係藉由以貫通第2半導體基板1321之方式設置之分離絕緣層1353(對應於分離絕緣層53)而分斷。於第1基板10，設置作為傳輸電晶體之閘極之傳輸閘極TG，於第2基板20，設置包含閘極電極1322之場效電晶體Tr2。進而，設置於第1基板10之傳輸電晶體等各端子係藉由以貫通分離絕緣層1353之方式設置之貫通配線1360，於未圖示之區域與設置於第2基板1320之場效電晶體Tr2之閘極接點1359電性連接。

【0168】

此處，第2半導體基板1321於側方、例如貫通配線1360之間產生寄生電容。又，第2半導體基板1321於下方、例如傳輸電晶體之傳輸閘極TG之間產生寄生電容。尤其是，於使第2半導體基板1321厚度更薄，且第1絕緣層1342之厚度變薄之情形時，第2半導體基板1321與傳輸閘極TG之距

離變近。於此種情形時，場效電晶體Tr2與傳輸閘極TG之間產生之寄生電容及回授偏壓對場效電晶體Tr2之特性帶來較大影響。

【0169】

本實施形態之技術係鑒於上述情況而想出。本實施形態之技術係為了減小上述寄生電容之大小，而於第2半導體基板1321之側方或下方設置低介電常數區域。

【0170】

參照圖27及圖28，更具體地說明本實施形態之技術。圖27係表示本實施形態之第1樣態中之供設置低介電常數區域之區域的縱向剖視圖。圖28係表示本實施形態之第2樣態中之供設置低介電常數區域之區域的縱向剖視圖。

【0171】

如圖27所示，於本實施形態之攝像裝置1中，作為第1樣態，於第2半導體基板1321(對應於第2半導體基板21)之側方設置低介電常數區域1391。具體而言，低介電常數區域1391於面內方向上，至少設置於第2半導體基板1321與設置在分離絕緣層1353之貫通配線1360之間之區域。據此，低介電常數區域1391可減小第2半導體基板1321與貫通配線1360之間產生之寄生電容之大小。

【0172】

所謂低介電常數區域1391係與構成分離絕緣層1353之材料相比，介電常數較低之區域。例如，低介電常數區域1391可構成為內部成為真空之空隙區域、或內部封入有空氣之空隙區域。又，低介電常數區域1391亦可為利用與構成分離絕緣層1353之材料相比相對介電常數較低之材料

形成之區域。進而，低介電常數區域1391亦可包含空隙區域、及利用低介電常數材料嵌埋該空隙區域之一部分後之區域。再者，作為低介電常數材料，例如可使用摻碳氧化矽(SiOC)、或多孔二氧化矽等周知為Low-k(低介電常數)材料之介電材料。

【0173】

又，如圖28所示，於本實施形態之攝像裝置1中，作為第2樣態，於第2半導體基板(對應於第2半導體基板21)之下方設置低介電常數區域1392。具體而言，低介電常數區域1392於積層方向上，設置於第2半導體基板1321與傳輸電晶體之傳輸閘極TG之間之區域。例如，低介電常數區域1392至少設置於如下區域，即，於在積層方向上俯視第2半導體基板1321時，第2半導體基板1321與傳輸閘極TG重合之區域。據此，低介電常數區域1392可減小第2半導體基板1321與傳輸閘極TG之間產生之寄生電容之大小。

【0174】

所謂低介電常數區域1392係與構成第1絕緣層1342之材料相比，介電常數較低之區域。例如，低介電常數區域1392可構成為內部成為真空之空隙區域、或內部封入有空氣之空隙區域。又，低介電常數區域1392亦可為利用相對介電常數較構成第1絕緣層1342之材料低之材料形成之區域。進而，低介電常數區域1392亦可包含空隙區域、及利用低介電常數材料嵌埋該空隙區域之一部分後之區域。再者，作為低介電常數材料，例如可使用摻碳氧化矽(SiOC)、或多孔二氧化矽等周知為Low-k(低介電常數)材料之介電材料。

【0175】

再者，於第2基板20包含積層於厚度方向之複數個半導體基板之情形時，在所積層之複數個半導體基板(即第2半導體基板21、及設置於第2半導體基板21之上之至少1個以上之半導體基板)之側方，可設置低介電常數區域1391(第1樣態)。又，於所積層之複數個半導體基板(即第2半導體基板21、及設置於第2半導體基板21之上之至少1個以上之半導體基板)之下方，可設置低介電常數區域1392(第2樣態)。據此，本實施形態之攝像裝置1可更有效率地減少第2基板20中所包含之半導體基板與配線或電極之間產生之寄生電容。

【0176】

(第1樣態)

以下，參照圖29A～圖36C，更詳細地說明本實施形態之技術之第1樣態。

【0177】

圖29A～圖29C係說明第1樣態中之低介電常數區域1391之第1形成方法之俯視圖及縱向剖視圖。

【0178】

如圖29A所示，第1絕緣層1342係藉由將包含蝕刻速率不同之複數種絕緣材料之膜積層而構成。具體而言，第1絕緣層1342係藉由將蝕刻速率互不相同之SiO_2膜與SiN膜交替地積層而構成。

【0179】

於第1絕緣層1342之上，設置第2半導體基板1321及分離絕緣層1353。於第2半導體基板1321之上，介隔未圖示之閘極絕緣膜而設置閘極電極1322，藉此配置場效電晶體Tr2。於場效電晶體Tr2之閘極電極

1322，電性連接閘極接點1359，於第2半導體基板1321之源極或汲極區域，電性連接源極或汲極接點1358。再者，於第2半導體基板1321及閘極電極1322之正面，可成膜作為應力襯墊膜(stress liner film)、或蝕刻終止膜發揮功能之SiN膜1365。

【0180】

於分離絕緣層1353，設置分離絕緣層1353、及貫通第1絕緣層1342之貫通配線1360。貫通配線1360於未圖示之區域中將第1基板10之各種配線與第2基板20之各種配線電性連接。

【0181】

於低介電常數區域1391之第1形成方法中，首先，藉由依序進行使用硬質遮罩之微影、第2絕緣層1352之乾式蝕刻、SiN膜1365之去除及分離絕緣層1353之乾式蝕刻，而於第2半導體基板1321與貫通配線1360之間之區域形成開口1393。此時，第1絕緣層1342包含與SiO_2膜蝕刻速率不同之SiN膜，因此第1絕緣層1342之向積層方向之蝕刻於SiN膜終止。

【0182】

其次，如圖29B所示，於開口1393之內側之側面及底面成膜包含SiN之襯墊膜1366。襯墊膜1366可提高開口1393之內側之側面、及底面之強度，因此係防止開口1393因內部應力等而變形或變化之膜。

【0183】

繼而，如圖29C所示，藉由使用嵌埋性較低之條件之CVD(Chemical Vapor Deposition)等而使低介電常數層1354沈積於襯墊膜1366之上，藉此，於開口1393之底部被嵌埋之前將開口1393之上部封閉。藉此，可於形成有開口1393之區域形成包含空隙之低介電常數區域1391。再者，作

為形成低介電常數層1354之材料，可適當使用公知之材料作為Low-k材料。其後，藉由使用CMP(Chemical Mechanical Polish)使低介電常數層1354平坦化，可於低介電常數層1354之上進而形成配線層等。

【0184】

圖30係表示圖29A所示之開口1393之形成之變化的俯視圖及縱向剖視圖。如圖30所示，第1絕緣層1342可設置為不包含SiN膜之SiO_2膜之單層膜。於此種情形時，由於不存在成為蝕刻終止層之SiN膜，故分離絕緣層1353及第1絕緣層1342之積層方法之蝕刻終點係利用蝕刻時間進行控制。

【0185】

因此，當無嚴格地控制第1絕緣層1342之積層方向之蝕刻終點之要求時，藉由省略第1絕緣層1342中之SiN膜之形成，可進一步簡化形成第1絕緣層1342之工序。

【0186】

圖31A～圖31F係表示第1樣態中之低介電常數區域1391之形狀之變化的俯視圖及縱向剖視圖。

【0187】

如圖31A所示，低介電常數區域1391設置為空隙。低介電常數區域1391設置於第2半導體基板1321與貫通配線1360之間之至少一部分區域。第2半導體基板1321之面內之與貫通配線1360及第2半導體基板1321之排列方向正交之方向的低介電常數區域1391之長度較佳為較貫通配線1360及第2半導體基板1321之兩者長。又，積層方向之低介電常數區域1391之長度較佳為大於第2半導體基板1321之厚度。即，於與貫通配線1360及第

2半導體基板1321之排列方向垂直之面處將低介電常數區域1391切斷所得之剖面較佳為具有包含與貫通配線1360對向之第2半導體基板1321之面的大小。據此，低介電常數區域1391可進一步減小第2半導體基板1321與貫通配線1360之間之寄生電容之大小。

【0188】

如圖31B所示，低介電常數區域1391可設置為空隙，且以狹縫形狀之平面形狀設置。於此種情形時，更容易將形成於分離絕緣層1353之開口之上部封閉，因此，可更容易形成低介電常數區域1391。

【0189】

如圖31C所示，低介電常數區域1391可設置為空隙，且與貫通配線1360近接地設置。低介電常數區域1391只要為第2半導體基板1321與貫通配線1360之間之空間，則不論設置於第2半導體基板1321側或貫通配線1360側之哪一者，均可發揮相同之效果。

【0190】

如圖31D所示，低介電常數區域1391可設置為空隙，且以大致正方形形狀設置。低介電常數區域1391之大小越大，越可減小第2半導體基板1321、及貫通配線1360之間產生之寄生電容。然而，於低介電常數區域1391之大小過大之情形時，低介電常數區域1391會使第1基板10及第2基板之整體強度降低。因此，於優先考慮第1基板10及第2基板之整體強度之情形時，低介電常數區域1391設置為不過大之形狀。

【0191】

如圖31E所示，低介電常數區域1391可設置為空隙，且設置於貫通配線1360之周圍區域。於此種情形時，於第2半導體基板1321與貫通配線

1360之間設置低介電常數區域1391，因此，低介電常數區域1391可減小第2半導體基板1321與貫通配線1360之間之寄生電容之大小。

【0192】

如圖31F所示，於設置複數條貫通配線1360之情形時，低介電常數區域1391除設置於第2半導體基板1321及貫通配線1360之間之區域以外，還可設置於貫通配線1360彼此之間之區域。於此種情形時，低介電常數區域1391亦可減小複數條貫通配線1360之間產生之寄生電容之大小。

【0193】

繼而，圖32A～圖32C係說明第1樣態中之低介電常數區域1391之第2形成方法之俯視圖及縱向剖視圖。

【0194】

如圖32A所示，於第2形成方法中，與第1形成方法不同點在於，對分離絕緣層1353之蝕刻使用濕式蝕刻。

【0195】

如圖32A所示，具體而言，首先，於進行使用硬質遮罩之微影、及第2絕緣層1352之去除之後，在SiN膜1365設置開口1393。

【0196】

其次，如圖32B所示，經由形成於SiN膜1365之開口1393，使濕式蝕刻液(例如氟化氫水溶液)作用於分離絕緣層1353。藉此，可對分離絕緣層1353進行濕式蝕刻，於第2半導體基板1321與貫通配線1360之間之區域形成空隙。

【0197】

於濕式蝕刻中，與乾式蝕刻相比，蝕刻區域各向同性地擴大，因

此，空隙之形狀於第2半導體基板1321之面內方向及積層方向上成為圓形或球形形狀。因此，即便於設置在SiN膜1365之開口1393之大小較小之情形時，亦可於分離絕緣層1353形成較大之空隙。

【0198】

對第1絕緣層1342之濕式蝕刻之深度可由第1絕緣層1342中之與SiO_2膜蝕刻速率不同之SiN膜之形成位置進行控制。另一方面，分離絕緣層1353之面內方向之濕式蝕刻之擴散可利用蝕刻時間進行控制。

【0199】

繼而，如圖32C所示，藉由使用嵌埋性較低之條件之CVD等，從SiN膜1365之上沈積低介電常數層1354，藉此將開口1393封閉。藉此，形成於分離絕緣層1353之空隙成為低介電常數區域1391。再者，作為形成低介電常數層1354之材料，可適當使用公知之材料作為Low-k材料。其後，藉由使用CMP(Chemical Mechanical Polish)使低介電常數層1354平坦化，可於低介電常數層1354之上進而形成配線層等。

【0200】

於第2形成方法中，被設置用來形成空隙之開口之開口面較小，因此可抑制於形成低介電常數層1354時，Low-k材料等進入空隙內。又，於第2形成方法中，可更容易地使空隙之上部封閉。

【0201】

圖33A～圖33C係表示圖32A～圖32C所示之開口1393之形成之變化的俯視圖及縱向剖視圖。

【0202】

如上所述，於濕式蝕刻中，蝕刻區域各向同性地擴大。因此，如圖

33A～圖33C所示，於嚴格地控制進行濕式蝕刻之範圍之情形時，在SiN膜1367中預先劃定形成低介電常數區域1391之區域。

【0203】

具體而言，藉由依序進行使用硬質遮罩之微影、及SiN膜1367之成膜，而於分離絕緣層1353形成底面及側面由SiN膜1367覆蓋之區域。其後，如圖33A所示，藉由微影而於SiN膜1365設置開口1393。

【0204】

其次，如圖33B所示，經由形成於SiN膜1365之開口1393，使濕式蝕刻液(例如氟化氫水溶液)作用於分離絕緣層1353。藉此，可對分離絕緣層1353進行濕式蝕刻，於第2半導體基板1321與貫通配線1360之間之區域形成空隙。此時，濕式蝕刻液作用於分離絕緣層1353之區域係由SiN膜1367劃定，因此，可防止因過蝕刻而導致濕式蝕刻液作用於非期望之區域。

【0205】

繼而，如圖33C所示，藉由使用嵌埋性較低之條件之CVD等而從SiN膜1365之上沈積低介電常數層1354，藉此將開口1393封閉。藉此，形成於分離絕緣層1353之空隙成為低介電常數區域1391。其後，藉由使用CMP(Chemical Mechanical Polish)使低介電常數層1354平坦化，可於低介電常數層1354之上進而形成配線層等。

【0206】

圖34A～圖34C係表示第1樣態中之低介電常數區域1391之形狀之變化的俯視圖及縱向剖視圖。

【0207】

如圖34A所示，低介電常數區域1391設置為空隙。低介電常數區域

1391設置於第2半導體基板1321與貫通配線1360之間之至少一部分區域。第2半導體基板1321之面內之與貫通配線1360及第2半導體基板1321之排列方向正交之方向的低介電常數區域1391之長度較佳為較貫通配線1360及第2半導體基板1321之兩者長。又，積層方向之低介電常數區域1391之形成深度較佳為大於第2半導體基板1321之厚度。

【0208】

如圖34B所示，低介電常數區域1391可設置為空隙，可與貫通配線1360近接地設置。低介電常數區域1391只要為第2半導體基板1321與貫通配線1360之間之空間，則不論設置於第2半導體基板1321側或貫通配線1360側之哪一者，均可發揮相同之效果。

【0209】

如圖34C所示，低介電常數區域1391可設置為空隙，且與貫通配線1360及第2半導體基板1321之兩者近接地設置。於此種情形時，低介電常數區域1391遍及貫通配線1360及第2半導體基板1321之間之區域整體設置。

【0210】

如圖34A～圖34C所示，低介電常數區域1391之位置可利用對分離絕緣層1353進行濕式蝕刻時之開口1393之位置進行控制。又，低介電常數區域1391之大小及深度可利用濕式蝕刻之程序時間進行控制。再者，即便視需要而配置SiN膜等難以濕式蝕刻之構成，亦能夠控制供形成低介電常數區域1391之區域之大小及深度。

【0211】

圖35A～圖35D係說明第1樣態中之低介電常數區域1391之第3形成方

法之縱向剖視圖。

【0212】

如圖35A所示，首先，藉由蝕刻而去除遍及整個面形成於第1絕緣層1342之上之第2半導體基板1321、SiN膜1371及SiO_2膜1372之一部分區域，形成開口1393。形成開口1393之區域係形成分離絕緣層1353之區域。

【0213】

其次，如圖35B所示，沿著開口1393之形狀成膜SiO_2膜1373，以便提高有機樹脂1394之附著性。其後，於形成低介電常數區域1391之開口1393之區域嵌埋有機樹脂1394，於形成分離絕緣層1353之開口1393之區域嵌埋SiO_2膜(未圖示)。即，於形成有開口1393之區域中之貫通配線1360及第2半導體基板1321之間之一部分區域，嵌埋後段工序中被去除而成為空隙之有機樹脂1394。有機樹脂1394可使用有機Low-k材料，例如可使用以SiLK(註冊商標，道康寧(Dow Corning)公司)為代表之聚芳醚(PAE)樹脂。

【0214】

繼而，如圖35C所示，於第2半導體基板1321之上，介隔未圖示之閘極絕緣膜而設置閘極電極1322，藉此形成場效電晶體Tr2。又，於場效電晶體Tr2之閘極電極1322、及第2半導體基板1321之源極或汲極區域，分別電性連接閘極接點1359、及源極或汲極接點1358。於第2半導體基板1321及閘極電極1322之正面，形成作為應力襯墊膜或蝕刻終止膜發揮功能之SiN膜1365。

【0215】

進而，於分離絕緣層1353，在未圖示之區域形成將第1基板10之各種配線與第2基板20之各種配線電性連接之貫通配線1360。例如，貫通配線1360可以貫通分離絕緣層1353及第1絕緣層1342之方式設置。

【0216】

其次，如圖35D所示，經由到達有機樹脂1394之通孔，使用反應性離子蝕刻(Reactive Ion Etching：RIE)來去除嵌埋分離絕緣層1353之有機樹脂1394。藉此，可於嵌埋有機樹脂1394之區域形成成為低介電常數區域1391之空隙。根據第3形成方法，可於嵌埋有機樹脂1394之區域，選擇性地形成成為低介電常數區域1391之空隙。

【0217】

圖36A～圖36C係說明第1樣態中之低介電常數區域1391之第3形成方法之變化的縱向剖視圖。

【0218】

首先，如圖35A所示，藉由蝕刻而去除遍及整個面形成於第1絕緣層1342之上之第2半導體基板1321、SiN膜1371及SiO_2膜1372之一部分區域，形成開口1393。其次，如圖36A所示，暫時利用分離絕緣層1353嵌埋開口1393後，藉由微影及蝕刻而選擇性地去除形成低介電常數區域1391之區域之分離絕緣層1353，嵌埋有機樹脂1394。

【0219】

繼而，如圖36C所示，與圖35C所示之工序同樣，於第2半導體基板1321之上，形成場效電晶體Tr2，於場效電晶體Tr2之各端子分別電性連接閘極接點1359及源極或汲極接點1358。進而，於分離絕緣層1353，以貫通分離絕緣層1353及第1絕緣層1342之方式，在未圖示之區域形成將第

1基板10之各種配線與第2基板20之各種配線電性連接之貫通配線1360。

【0220】

繼而，如圖36D所示，與圖35D所示之工序同樣，使用反應性離子蝕刻(Reactive Ion Etching：RIE)，經由到達有機樹脂1394之通孔而去除嵌埋分離絕緣層1353之有機樹脂1394。藉此，可於嵌埋有機樹脂1394之區域形成成為低介電常數區域1391之空隙。

【0221】

圖36A～圖36D中所說明之第3形成方法之變化可更嚴格地控制供嵌埋有機樹脂1394之區域。因此，可防止因存在有機樹脂1394而導致貫通配線1360之形成難度增大。

【0222】

圖37A～圖37C係說明第1樣態中之低介電常數區域1391之第4形成方法之縱向剖視圖。

【0223】

如圖37A～圖37C所示，於低介電常數區域1391之第4形成方法中，在將第1基板10與第2基板20電性連接之貫通配線1360之周圍之由SiN膜1365包圍之區域形成低介電常數區域1391。

【0224】

具體而言，第1基板10係藉由於第1半導體基板1311積層第1絕緣層1342而構成，第2基板20係藉由於第2半導體基板1321積層第2絕緣層1352而構成。於第1基板10，設置光電二極體(未圖示)，於第2基板20，設置對利用光電二極體進行光電轉換所得之信號電荷進行信號處理之場效電晶體Tr2(亦稱為像素電晶體)。設置於第1基板10之各配線或各端子係利用通過

以貫通第2半導體基板1321之方式設置之分離絕緣層1353的貫通配線1360，例如經由閘極接點1359與閘極電極1359電性連接。設置於第2半導體基板1321之側方之貫通配線1360之周圍區域由SiN膜1365包圍，低介電常數區域1391設置於由SiN膜1365包圍之區域。

【0225】

參照圖37A～圖37C對此種低介電常數區域1391之形成方法進行說明。

【0226】

例如，如圖37A所示，以包圍第2基板20之分離絕緣層1353之一部分或全部區域之方式形成SiN膜1365。其後，以貫通由SiN膜1365包圍之區域之方式形成貫通配線1360。藉此，於第2半導體基板1321之側方，設置包圍貫通配線1360之周圍區域之SiN膜1365。再者，SiN膜1365例如可與場效電晶體Tr2之閘極電極1322之側壁絕緣膜1322S連續地設置。

【0227】

其次，如圖37B所示，藉由微影及反應性離子蝕刻(Reactive Ion Etching：RIE)，形成開口1393，該開口1393貫通第2絕緣層1352及上側之SiN膜1365，到達由SiN膜1365包圍之區域之內部。其後，沿著開口1393之使第2絕緣層1352露出之內側面形成SiN膜1366。

【0228】

繼而，如圖37C所示，經由開口1393，使蝕刻液流入由SiN膜1365包圍之區域，藉此進行濕式蝕刻，去除由SiN膜1365包圍之區域之內部之分離絕緣層1353。藉此，於貫通配線1360之周圍形成作為空隙之低介電常數區域1391。再者，低介電常數區域1391可為空隙本身，亦可嵌埋摻碳

氧化矽(SiOC)或多孔二氧化矽等Low-k材料。

【0229】

根據低介電常數區域1391之第4形成方法，可將形成低介電常數區域1391之區域限定為由SiN膜1365包圍之區域，因此可抑制低介電常數區域1391之形狀或大小之偏差。

【0230】

又，於第4形成方法中，預先在分離絕緣層1353形成由SiN膜1365包圍之區域，藉此可將形成低介電常數區域1391時之追加工序僅設為微影、RIE蝕刻及濕式蝕刻。因此，第4形成方法可以更低成本形成低介電常數區域1391。

【0231】

(第2樣態)

以下，參照圖38A～圖42E，更詳細地說明本實施形態之技術之第2樣態。

【0232】

圖38A～圖38D係說明第2樣態中之低介電常數區域1392之第1形成方法之縱向剖視圖。

【0233】

如圖38A所示，首先，使第1基板10之第1絕緣層1342之一部分開口，沿著開口之形狀沈積SiN膜1343。

【0234】

其次，如圖38B所示，於形成有開口之第1絕緣層1342之上，貼合保持於支持基板1380之第2半導體基板1321、及絕緣層1344。與形成於第1

絕緣層1342之開口對向之絕緣層1344之面平坦，因此，於形成在第1絕緣層1342之開口與絕緣層1344之間，形成包含空隙之低介電常數區域1392。

【0235】

其後，如圖38C所示，將支持基板1380剝離後，於第2半導體基板1321之上形成SiN膜1371及SiO_2膜1372。繼而，藉由蝕刻而去除第2半導體基板1321、SiN膜1371、及SiO_2膜1372之一部分區域。

【0236】

其次，如圖38D所示，利用分離絕緣層1353嵌埋藉由蝕刻去除之區域，形成場效電晶體Tr2及貫通配線1360。具體而言，於第2半導體基板1321之上，介隔未圖示之閘極絕緣膜設置閘極電極1322，藉此形成場效電晶體Tr2。又，於場效電晶體Tr2之閘極電極1322、及第2半導體基板1321之源極或汲極區域，分別電性連接閘極接點1359、及源極或汲極接點1358。於第2半導體基板1321及閘極電極1322之正面，形成作為應力襯墊膜或蝕刻終止膜發揮功能之SiN膜1365。

【0237】

進而，於分離絕緣層1353，在未圖示之區域形成將第1基板10之各種配線與第2基板20之各種配線電性連接之貫通配線1360。例如，貫通配線1360可以貫通分離絕緣層1353及第1絕緣層1342之方式設置。

【0238】

據此，可利用相對較少之追加工序，於第2半導體基板1321之下方形成包含空隙之低介電常數區域1392。低介電常數區域1392例如為矩形形狀，可形成於第2半導體基板1321之平面區域之內側之區域。

【0239】

圖39A～圖39D係表示第2樣態中之低介電常數區域1392之形狀之變化的俯視圖。

【0240】

如圖39A所示，設置為空隙之低介電常數區域1392可延伸設置至第2半導體基板1321之平面區域之外側。又，如圖39B所示，設置為空隙之低介電常數區域1392可以相互平行地配置之複數個矩形形狀來設置。又，如圖39C所示，設置為空隙之低介電常數區域1392可設置於較第2半導體基板1321之平面區域大之區域。進而，如圖39D所示，設置為空隙之低介電常數區域1392可以相互平行地配置之複數個矩形形狀，延伸設置至第2半導體基板1321之平面區域之外側。

【0241】

於第1形成方法中，在低介電常數區域1392與第2半導體基板1321之間，設置有絕緣層1344。因此，低介電常數區域1392與第2半導體基板1321可採用相互獨立之平面形狀。

【0242】

其次，圖40A～圖40D係說明第2樣態中之低介電常數區域1392之第2形成方法之縱向剖視圖。

【0243】

如圖40A及圖40B所示，於在第1絕緣層1342之上形成有SiN膜1343之第1基板10之上，貼合保持於支持基板1380之第2半導體基板1321、及絕緣層1344。此處，設置於第2半導體基板1321之上的絕緣層1344之一部分開口，在第2半導體基板1321之背面、形成於絕緣層1344之開口、與第

1絕緣層1342之上之SiN膜1343之間形成包含空隙之低介電常數區域1392。

【0244】

其後，如圖40C所示，將支持基板1380剝離後，於第2半導體基板1321之上形成SiN膜1371及SiO_2膜1372。繼而，藉由蝕刻而去除第2半導體基板1321、SiN膜1371及SiO_2膜1372之一部分區域。

【0245】

其次，如圖40D所示，利用分離絕緣層1353嵌埋藉由蝕刻去除之區域，形成場效電晶體Tr2及貫通配線1360。具體而言，於第2半導體基板1321之上，介隔未圖示之閘極絕緣膜設置閘極電極1322，藉此形成場效電晶體Tr2。又，於場效電晶體Tr2之閘極電極1322、及第2半導體基板1321之源極或汲極區域，分別電性連接閘極接點1359、及源極或汲極接點1358。於第2半導體基板1321及閘極電極1322之正面，形成作為應力襯墊膜或蝕刻終止膜發揮功能之SiN膜1365。

【0246】

進而，於分離絕緣層1353，在未圖示之區域形成將第1基板10之各種配線與第2基板20之各種配線電性連接之貫通配線1360。例如，貫通配線1360可以貫通分離絕緣層1353及第1絕緣層1342之方式設置。

【0247】

據此，與第1形成方法同樣，可於第2半導體基板1321之下方形成包含空隙之低介電常數區域1392。低介電常數區域1392例如為矩形形狀，可形成於第2半導體基板1321之平面區域之內側之區域。

【0248】

於第2形成方法中，第2半導體基板1321之背面於低介電常數區域1390露出。因此，低介電常數區域1392可採用除如圖39C所示之低介電常數區域1392之平面區域較第2半導體基板1321之平面區域大之情形以外的任意之平面形狀。

【0249】

繼而，圖41A～圖41E係說明第2樣態中之低介電常數區域1932之第3形成方法之縱向剖視圖。

【0250】

如圖41A及圖41B所示，於在第1絕緣層1342之上形成有SiN膜1343之第1基板10之上，貼合保持於支持基板1380之第2半導體基板1321、及包含有機樹脂1394之絕緣層1344。

【0251】

此處，於設置於第2半導體基板1321之上之絕緣層1344，形成有開口，所形成之開口被由有機Low-k材料構成之有機樹脂1394嵌埋。作為有機Low-k材料，例如可使用以SiLK(註冊商標，道康寧(Dow Corning)公司)為代表之聚芳醚(PAE)樹脂。由有機Low-k材料構成之有機樹脂1394係藉由於後段選擇性地去除，而形成包含空隙之低介電常數區域1390。

【0252】

其後，如圖41C所示，將支持基板1380剝離後，於第2半導體基板1321之上形成SiN膜1371及SiO_2膜1372。繼而，藉由蝕刻而去除第2半導體基板1321、SiN膜1371及SiO_2膜1372之一部分區域。藉此，設置於第2半導體基板1321之上之有機樹脂1394從第2半導體基板1321之側面露出。

【0253】

繼而，如圖41D所示，使用反應性離子蝕刻(Reactive Ion Etching：RIE)，去除露出之有機樹脂1394。藉此，於第2半導體基板1321之下方形成包含空隙之低介電常數區域1392。

【0254】

其次，如圖41E所示，利用分離絕緣層1353嵌埋圖41C所示之工序之蝕刻中已去除之區域，形成場效電晶體Tr2及貫通配線1360。具體而言，於第2半導體基板1321之上，介隔未圖示之閘極絕緣膜設置閘極電極1322，藉此形成場效電晶體Tr2。又，於場效電晶體Tr2之閘極電極1322、及第2半導體基板1321之源極或汲極區域，分別電性連接閘極接點1359、及源極或汲極接點1358。於第2半導體基板1321及閘極電極1322之正面，形成作為應力襯墊膜或蝕刻終止膜發揮功能之SiN膜1365。

【0255】

進而，於分離絕緣層1353，在未圖示之區域形成將第1基板10之各種配線與第2基板20之各種配線電性連接之貫通配線1360。例如，貫通配線1360可以貫通分離絕緣層1353及第1絕緣層1342之方式設置。

【0256】

據此，可與第1形成方法同樣，於第2半導體基板1321之下方形成包含空隙之低介電常數區域1392。低介電常數區域1392例如可設為從第2半導體基板1321之平面區域之一邊延伸至另一邊之複數個矩形形狀而形成。

【0257】

於第3形成方法中，藉由形成分離絕緣層1353時之蝕刻使有機樹脂1394露出，藉此於後段之RIE中去除有機樹脂1394。因此，低介電常數區

域1392可採用如圖38D、圖39B所示之低介電常數區域1392之平面區域包含於第2半導體基板1321之平面區域之內部之情形、及如圖39C所示之低介電常數區域1392之平面區域較第2半導體基板1321之平面區域大之情形以外的任意之平面形狀。

【0258】

繼而，圖42A～圖42E係說明第2樣態中之低介電常數區域1932之第4形成方法之縱向剖視圖。

【0259】

如圖42A及圖42B所示，於在第1絕緣層1342之上形成有SiN膜1343之第1基板10之上，貼合保持於支持基板1380之第2半導體基板1321、及包含有機樹脂1394之絕緣層1344。

【0260】

此處，於設置於第2半導體基板1321之上之絕緣層1344，形成有開口，所形成之開口被由有機Low-k材料構成之有機樹脂1394嵌埋。作為有機Low-k材料，例如可使用以SiLK(註冊商標，道康寧(Dow Corning)公司)為代表之聚芳醚(PAE)樹脂。由有機Low-k材料構成之有機樹脂1394係藉由於後段選擇性地去除，而形成包含空隙之低介電常數區域1390。第4形成方法與第3形成方法之不同點在於，形成有機樹脂1394之區域僅為第2半導體基板1321之下方。

【0261】

其後，如圖42C所示，將支持基板1380剝離後，於第2半導體基板1321之上形成SiN膜1371及SiO_2膜1372。繼而，藉由蝕刻而去除第2半導體基板1321、SiN膜1371及SiO_2膜1372之一部分區域。藉此，設置於第2

半導體基板1321之上之有機樹脂1394從第2半導體基板1321之側面露出。

【0262】

繼而，如圖42D所示，使用反應性離子蝕刻(Reactive Ion Etching：RIE)，去除露出之有機樹脂1394。藉此，於第2半導體基板1321之下方形成包含空隙之低介電常數區域1392。

【0263】

其次，如圖42E所示，利用分離絕緣層1353嵌埋圖42C所示之工序之蝕刻中已去除之區域，形成場效電晶體Tr2及貫通配線1360。具體而言，於第2半導體基板1321之上，介隔未圖示之閘極絕緣膜設置閘極電極1322，藉此形成場效電晶體Tr2。又，於場效電晶體Tr2之閘極電極1322、及第2半導體基板1321之源極或汲極區域，分別電性連接閘極接點1359、及源極或汲極接點1358。於第2半導體基板1321及閘極電極1322之正面，形成作為應力襯墊膜或蝕刻終止膜發揮功能之SiN膜1365。

【0264】

進而，於分離絕緣層1353，在未圖示之區域形成將第1基板10之各種配線與第2基板20之各種配線電性連接之貫通配線1360。例如，貫通配線1360可以貫通分離絕緣層1353及第1絕緣層1342之方式設置。

【0265】

據此，可與第1形成方法同樣，於第2半導體基板1321之下方形成包含空隙之低介電常數區域1392。低介電常數區域1392例如可設為從第2半導體基板1321之平面區域之一邊延伸至另一邊之矩形形狀而形成。

【0266】

於第4形成方法中，藉由形成分離絕緣層1353時之蝕刻使有機樹脂

1394露出，藉此於後段之RIE中去除有機樹脂1394。因此，低介電常數區域1392可採用除如圖38D、圖39B所示之低介電常數區域1392之平面區域包含於第2半導體基板1321之平面區域之內部之情形、及如圖39C所示之低介電常數區域1392之平面區域較第2半導體基板1321之平面區域大之情形以外的任意之平面形狀。

【0267】

以上，詳細地說明了本發明之第3實施形態之技術。根據本實施形態之技術，可減小第2半導體基板21與貫通配線54或傳輸閘極TG等之間產生之寄生電容之大小。因此，根據本實施形態之技術，於三維構造之攝像裝置1中，能夠提高設置於第2半導體基板21之場效電晶體之電氣特性。

【0268】

＜＜5.變化例＞＞

以下，對應用本發明之技術之攝像裝置1之變化例進行說明。

【0269】

(第1變化例)

首先，參照圖43，對作為攝像裝置1之積層方向之剖面構成之一變化例的第1變化例進行說明。圖43係表示圖7中所記載之剖面構成之一變化例之縱向剖視圖。

【0270】

如圖43所示，於第1變化例之攝像裝置1中，傳輸電晶體TR具有平面型之傳輸閘極TG。因此，傳輸閘極TG未貫通p型井層42，而形成於第1半導體基板11之正面。即便於對傳輸電晶體TR使用平面型之傳輸閘極TG之情形時，攝像裝置1亦可發揮與上述相同之效果。

【0271】

(第2變化例)

其次，參照圖44，對作為攝像裝置1之積層方向之剖面構成之一變化例的第2變化例進行說明。圖44係表示圖7中所記載之剖面構成之一變化例之縱向剖視圖。

【0272】

如圖44所示，於第2變化例之攝像裝置1中，於與第1基板10之周邊區域14對應之區域形成第2基板20與第3基板30之電性連接。周邊區域14係與設置於第1基板10之像素區域13之周緣的邊緣區域對應之區域。於第2變化例之攝像裝置1中，第2基板20在與周邊區域14對應之區域具有複數個焊墊電極58，第3基板30於與周邊區域14對應之區域具有複數個焊墊電極64。藉此，第2基板20及第3基板30藉由設置於與周邊區域14對應之區域之焊墊電極58、64彼此之接合而相互電性連接。因此，於第2變化例之攝像裝置1中，與於對應於像素區域13之區域將焊墊電極58、64彼此接合之情形相比，可減少焊墊電極58、64彼此之接合影響到像素區域13之可能性。

【0273】

(第3變化例)

進而，參照圖45～圖50，對第3變化例之攝像裝置1B之構成例進行說明。圖45～圖47係表示第3變化例之攝像裝置1B之構成例之厚度方向的剖視圖。圖48～圖50係表示第3變化例之攝像裝置1B之複數個像素單元PU的佈局例之水平方向之剖視圖。再者，圖48～圖50所示之剖視圖僅為模式圖，並非旨在嚴格且準確地表示實際構造之圖。為了易於理解地說明

紙面上之攝像裝置1B之構成，圖48～圖50所示之剖視圖於位置sec1至sec3處，有意地改變電晶體及雜質擴散層之水平方向上之位置並示出。

【0274】

具體而言，於圖45所示之攝像裝置1B之像素單元PU中，位置sec1處之剖面係將圖48於A1-A1'線處切斷後之剖面，位置sec2處之剖面係將圖49於B1-B1'線處切斷後之剖面，位置sec3處之剖面係將圖50於C1-C1'線處切斷後之剖面。同樣，於圖46所示之攝像裝置1B中，位置sec1處之剖面係將圖48於A2-A2'線處切斷後之剖面，位置sec2處之剖面係將圖49於B2-B2'線處切斷後之剖面，位置sec3處之剖面係將圖50於C2-C2'線處切斷後之剖面。於圖47所示之攝像裝置1B中，位置sec1處之剖面係將圖48於A3-A3'線處切斷後之剖面，位置sec2處之剖面係將圖49於B3-B3'線處切斷後之剖面，位置sec3處之剖面係將圖50於C3-C3'線處切斷後之剖面。

【0275】

如圖45～圖50所示，於第1基板(底部基板)10之正面10a(一面)側積層有第2基板20。於第1基板10之正面10a側設置有光電二極體PD、傳輸電晶體TR及浮動擴散部FD。光電二極體PD、傳輸電晶體TR及浮動擴散部FD分別設置於每個感測像素12。

【0276】

第1基板10之另一面(例如背面)為光入射面。攝像裝置1B係背面照射型之攝像裝置，於背面設置有彩色濾光片及受光透鏡。彩色濾光片及受光透鏡分別設置於每個感測像素12。

【0277】

第1基板10所具有之第1半導體基板11例如包含矽基板。於第1半導體

基板11之正面之一部分及其附近，設置有第1導電型(例如p型)之井層WE，於較井層WE深之區域設置有第2導電型(例如n型)之光電二極體PD。又，於井層WE內，設置有p型之濃度較井層WE高之井接點層、及n型之浮動擴散部FD。井接點層係為了減小井層WE與配線之接觸電阻而設置。

【0278】

於第1半導體基板11，設置有將相互相鄰之感測像素12彼此電性分離之元件分離層16。元件分離層16具有例如STI(Shallow Trench Isolation，淺溝槽隔離)構造，於第1半導體基板11之深度方向上延伸。元件分離層16例如包含氧化矽。又，於第1半導體基板11中，在元件分離層16與光電二極體PD之間，設置有雜質擴散層17。例如，雜質擴散層17具有延伸設置於第1半導體基板11之厚度方向上之p型層及n型層。p型層位於元件分離層16側，n型層位於光電二極體PD側。

【0279】

於第1半導體基板11之正面11a側，設置有絕緣膜2015。絕緣膜2015係例如將氧化矽膜(SiO)、氮化矽膜(SiN)、氮氧化矽膜(SiON)或碳氮化矽膜(SiCN)中之1個或該等中之2個以上積層而得之膜。

【0280】

第2基板20具有下側基板2210及上側基板2220。下側基板2210具有半導體基板2211。半導體基板2211係例如包含單晶矽之矽基板。於半導體基板2211之一面(例如正面2211a)側，設置有放大電晶體AMP、及包圍放大電晶體AMP之周圍之元件分離層2213。相鄰之像素單元PU之其中一者之放大電晶體AMP與另一者之放大電晶體AMP係藉由元件分離層2213

而電性分離。

【0281】

下側基板2210具有覆蓋半導體基板2211之正面2211a之絕緣膜2215。放大電晶體AMP及元件分離層2213由絕緣膜2215覆蓋。又，下側基板2210具有覆蓋半導體基板2211之另一面(例如背面2211b)之絕緣膜2217。絕緣膜2215、2217係例如將SiO、SiN、SiON或SiCN中之1個或該等中之2個以上積層而得之膜。第1基板10之絕緣膜2015與下側基板2210之絕緣膜2217相互接合，構成層間絕緣膜2051。

【0282】

上側基板2220具有半導體基板2221。半導體基板2221係例如包含單晶矽之矽基板。於半導體基板2221之一面(例如正面2221a)側設置有重設電晶體RST及選擇電晶體SEL、以及元件分離層2223。例如，元件分離層2223分別設置於重設電晶體RST與選擇電晶體SEL之間、及選擇電晶體SEL與半導體基板2221之井層之間。

【0283】

上側基板2220具有覆蓋半導體基板2221之正面2221a、背面2221b及側面之絕緣膜2225。絕緣膜2225係例如將SiO、SiN、SiON或SiCN中之1個或該等中之2個以上積層而得之膜。下側基板2210之絕緣膜2215與上側基板2220之絕緣膜2225相互接合，構成層間絕緣膜2053。

【0284】

攝像裝置1B具有設置於層間絕緣膜2051、2053中，與第1基板10或第2基板20之至少一者電性連接之複數條配線L1至L10。配線L1將放大電晶體AMP之汲極與電源線VDD電性連接。配線L2將1個像素單元PU中所

包含之4個浮動擴散部FD與放大電晶體AMP之閘極電極AG電性連接。配線L3將放大電晶體AMP之源極與選擇電晶體SEL之汲極電性連接。配線L4將選擇電晶體SEL之閘極電極SG與像素驅動線電性連接。

【0285】

配線L5將選擇電晶體SEL之源極與垂直信號線電性連接。配線L6將重設電晶體RST之汲極與電源線VDD電性連接。配線L7將重設電晶體RST之閘極電極RG與像素驅動線電性連接。配線L8將重設電晶體RST之源極與配線L2電性連接。配線L9將傳輸電晶體TR之閘極電極TG與像素驅動線電性連接。配線L10將井接點層與供給基準電位(例如接地電位：0 V)之基準電位線電性連接。

【0286】

於配線L1～L10中，延伸設置於積層體之厚度方向之部分包含鎢(W)，延伸設置於與積層體之厚度方向正交之方向(例如水平方向)之部分包含銅(Cu)或以Cu為主成分之Cu合金。但，構成配線L1～L10之材料並不限於該等，亦可由其他材料構成。

【0287】

第2基板20具有與上述配線L1～L10中之任意配線(例如配線L1、L4～L7、L9、L10)連接之複數個焊墊電極2227。複數個焊墊電極2227例如包含Cu或Cu合金。

【0288】

第3基板30配置於第2基板20中之與第1基板10相向之面之相反側(例如正面側)。第3基板30具備半導體基板2301、覆蓋半導體基板2301之正面2301a側之絕緣膜2304、設置於半導體基板2301之正面2301a側之複數

條配線L30、及分別連接於複數條配線L30之焊墊電極2305。再者，如下所述，第3基板30與第2基板20之正面彼此貼合。因此，半導體基板2301之正面2301a朝向下側。

【0289】

半導體基板2301係例如包含單晶矽之矽基板。於半導體基板2301之正面2301a側，設置有構成邏輯電路之複數個電晶體及雜質擴散層。絕緣膜2304覆蓋構成邏輯電路之複數個電晶體或雜質擴散層。於絕緣膜2304，設置有與該等電晶體或雜質擴散層連接之接觸孔。

【0290】

配線L30設置於接觸孔內。於配線L30中，延伸設置於第3基板30之厚度方向之部分包含鈦(Ti)或鈷(Co)，延伸設置於與第3基板30之厚度方向正交之方向(例如水平方向)的部分包含Cu或以Cu為主成分之Cu合金。但，構成配線L30之材料並不限於該等，亦可利用其他材料構成。

【0291】

於配線L30與半導體基板2301之連接部，形成有矽化物2303(例如鈦矽化物(TiSi)或鈷矽化物($CoSi_2$)。藉由矽化物2303，配線L30與半導體基板2301之連接更接近歐姆接觸，接觸電阻減小。藉此，可謀求邏輯電路之運算速度之高速化。

【0292】

再者，於第1基板10及第2基板20，未形成矽化物。藉此，於形成第1基板10及第2基板20時，能夠執行超過矽化物之耐熱溫度之溫度下之熱處理等。但，亦可於第1基板10及第2基板20之至少一者形成有矽化物。

【0293】

複數個焊墊電極2305包含例如Cu或Cu合金。於攝像裝置1B之厚度方向上，第3基板30之焊墊電極2305以與第2基板20之焊墊電極2227相向之方式電性連接。例如，焊墊電極2305、2227以相互相向之狀態進行Cu-Cu接合而一體化。藉此，第2基板20與第3基板30電性連接，並且第2基板20與第3基板30之貼合強度提高。

【0294】

於第3變化例之攝像裝置1B中，可針對複數個感測像素12之每一個配置1個浮動擴散部用接點。例如，相互相鄰之4個感測像素12可共有1個浮動擴散部用接點。同樣，可針對複數個感測像素12之每一個配置1個井用接點。例如，相互相鄰之4個感測像素12可共有1個井用接點。

【0295】

具體而言，如圖46及圖50所示，攝像裝置1B可共有以橫跨複數個感測像素12之方式配置之共通焊墊電極2102、及設置於共通焊墊電極2102上之1條配線L2。例如，於攝像裝置1B，存在俯視下4個感測像素12之各浮動擴散部FD1～FD4介隔元件分離層16相互相鄰之區域。於該區域設置有共通焊墊電極2102。共通焊墊電極2102以橫跨4個浮動擴散部FD1～FD4之方式配置，與4個浮動擴散部FD1～FD4分別電性連接。共通焊墊電極2102例如包含摻雜有n型雜質或p型雜質之多晶矽膜。

【0296】

又，於共通焊墊電極2102之中心部上設置有1條配線L2(即浮動擴散部用接點)。如圖46、圖48～圖50所示，共通焊墊電極2102之中心部上所設置之配線L2以從第1基板10貫穿第2基板20之下側基板2210之方式延伸設置至第2基板20之上側基板2220，經由設置於上側基板2220之配線等與

放大電晶體AMP之閘極電極AG連接。

【0297】

如圖45及圖50所示，攝像裝置1B可共有以橫跨複數個感測像素12之方式配置之共通焊墊電極2110、及設置於共通焊墊電極2110上之1條配線L10。例如，於攝像裝置1B，存在俯視下4個感測像素12之各井層WE介隔元件分離層16相互相鄰之區域。於該區域設置有共通焊墊電極2110。共通焊墊電極2110以橫跨4個感測像素12之各井層WE之方式配置，分別與4個感測像素12之各井層WE電性連接。舉一例而言，共通焊墊電極2110配置於排列在Y軸方向之一個共通焊墊電極2102與另一個共通焊墊電極2102之間。於Y軸方向上，共通焊墊電極2102、2110交替地排列配置。共通焊墊電極2110例如包含摻雜有n型雜質或p型雜質之多晶矽膜。

【0298】

又，於共通焊墊電極2110之中心部上設置有1條配線L10(即井用接點)。如圖45、圖48～圖50所示，共通焊墊電極2110之中心部上所設置之配線L10以從第1基板10貫穿第2基板20之下側基板2210之方式延伸設置至第2基板20之上側基板2220，經由設置於上側基板2220之配線等與供給基準電位(例如，接地電位：0 V)之基準電位線連接。

【0299】

共通焊墊電極2110之中心部上所設置之配線L10分別電性連接於共通焊墊電極2110之上表面、設置於下側基板2210之貫通孔之內側面、及設置於上側基板2220之貫通孔之內側面。藉此，第1基板10之第1半導體基板11之井層WE、及第2基板20之下側基板2210之井層及上側基板2220之井層連接於基準電位(例如，接地電位：0 V)。

【0300】

第3變化例之攝像裝置1B進而具備共通焊墊電極2102、2110，該共通焊墊電極2102、2110設置於構成第1基板10之第1半導體基板11之正面11a側，以橫跨相互相鄰之複數個(例如4個)感測像素12之方式配置。共通焊墊電極2102與4個感測像素12之浮動擴散部FD電性連接，因此，可針對每4個感測像素12，使連接於浮動擴散部FD之配線L2共通化。又，共通焊墊電極2110與4個感測像素12之井層WE電性連接，因此，可針對每4個感測像素12，使連接於井層WE之配線L10共通化。藉此，配線L2、L10之條數減少，因此能夠減小感測像素12之面積，能夠實現攝像裝置1B之小型化。

【0301】

(第4變化例)

繼而，參照圖51及圖52，對作為攝像裝置1之水平方向之剖面構成之一變化例的第4變化例進行說明。圖51及圖52之上側之圖係表示圖7中之切斷面Sec1之剖面構成之一變化例的模式圖，圖51及圖52之下側之圖係表示圖7中之切斷面Sec2之剖面構成之一變化例的模式圖。

【0302】

如圖51及圖52所示，複數條貫通配線54、複數條貫通配線48及複數條貫通配線47於第1基板10之面內呈帶狀排列配置於第1方向V1(圖51及圖52之左右方向)。圖51及圖52中例示了複數條貫通配線54、複數條貫通配線48及複數條貫通配線47呈2行排列配置於第1方向V1之情形。

【0303】

於共有像素電路22之4個感測像素12中，4個浮動擴散部FD例如介隔

元件分離部43相互近接地配置。於共有像素電路22之4個感測像素12中，4個傳輸閘極TG(TG1、TG2、TG3、TG4)以包圍4個浮動擴散部FD之方式配置。例如，4個傳輸閘極TG以成為圓環形狀之方式配置。

【0304】

分離絕緣層53包含在第1方向V1上延伸之複數個區塊。第2半導體基板21包含在第1方向V1上延伸且排列配置於第1方向V1之複數個島狀之區塊21A。於各區塊21A，例如設置重設電晶體RST、放大電晶體AMP及選擇電晶體SEL。4個感測像素12所共有之1個像素電路22例如不與4個感測像素12對應地配置，而於第2方向V2上錯開地配置。

【0305】

於圖51中，4個感測像素12所共有之1個像素電路22於第2基板20中，包含處於使與4個感測像素12對應之區域於第2方向V2上錯開之區域內的重設電晶體RST、放大電晶體AMP及選擇電晶體SEL。例如，4個感測像素12所共有之1個像素電路22包含1個區塊21A內之放大電晶體AMP、重設電晶體RST及選擇電晶體SEL。

【0306】

於圖52中，4個感測像素12所共有之1個像素電路22於第2基板20上，包含位於使與4個感測像素12對應之區域於第2方向V2上錯開之區域內的重設電晶體RST、放大電晶體AMP、選擇電晶體SEL及FD轉換增益切換電晶體FDG。例如，4個感測像素12所共有之1個像素電路22包含1個區塊21A內之放大電晶體AMP、重設電晶體RST、選擇電晶體SEL及FD轉換增益切換電晶體FDG。

【0307】

於第4變化例之攝像裝置1中，4個感測像素12所共有之1個像素電路22不與4個感測像素12正對地配置，而從與4個感測像素12正對之位置朝第2方向V2偏移地配置。根據該構成，第4變化例之攝像裝置1可使配線25縮短，或省略配線25而利用共通之雜質區域構成放大電晶體AMP之源極及選擇電晶體SEL之汲極。因此，第4變化例之攝像裝置1可使像素電路22之尺寸縮小。

【0308】

(第5變化例)

其次，參照圖53，對作為攝像裝置1之水平方向之剖面構成之一變化例的第5變化例進行說明。圖53係表示圖7中之切斷面Sec1及切斷面Sec2之剖面構成之一變化例的模式圖。

【0309】

如圖53所示，第2半導體基板21包含介隔分離絕緣層53排列配置於第1方向V1及第2方向V2之複數個島狀之區塊21A。於各區塊21A，例如設置有一組重設電晶體RST、放大電晶體AMP及選擇電晶體SEL。於此種情形時，第5變化例之攝像裝置1可藉由分離絕緣層53抑制相互鄰接之像素電路22彼此之串擾，因此可抑制圖像之解像度降低、或由混色所致之畫質降低。

【0310】

(第6變化例)

繼而，參照圖54，對作為攝像裝置1之水平方向之剖面構成之一變化例的第6變化例進行說明。圖54係表示圖7中之切斷面Sec1及切斷面Sec2之剖面構成之一變化例的模式圖。

【0311】

於圖54中，第2半導體基板21之4個感測像素12所共有之1個像素電路22例如不與4個感測像素12對應地配置，而於第1方向V1上偏移地配置。又，於第6變化例之攝像裝置1中，第2半導體基板21包含介隔分離絕緣層53排列配置於第1方向V1及第2方向V2之複數個島狀之區塊21A。於各區塊21A，例如設置有一組重設電晶體RST、放大電晶體AMP及選擇電晶體SEL。進而，於第6變化例之攝像裝置1中，複數條貫通配線47及複數條貫通配線54排列於第2方向V2。

【0312】

藉此，複數條貫通配線47配置於共有1個像素電路22之4條貫通配線54、與共有於該像素電路22之第2方向V2上鄰接之另一像素電路22之4條貫通配線54之間。據此，第6變化例之攝像裝置1可藉由分離絕緣層53及貫通配線47而抑制相互鄰接之像素電路22彼此之串擾，因此可抑制圖像之解像度降低、或由混色所致之畫質降低。

【0313】

(第7變化例)

其次，參照圖55～圖57，對作為攝像裝置1之水平方向之剖面構成之一變化例的第7變化例進行說明。圖55係表示圖7中之切斷面Sec1及切斷面Sec2之剖面構成之一變化例的模式圖。

【0314】

如圖55所示，於第7變化例之攝像裝置1中，第1基板10針對每個感測像素12具有光電二極體PD及傳輸電晶體TR(即傳輸閘極TG)，且每4個感測像素12共有浮動擴散部FD。因此，第7變化例之攝像裝置1係每4個感測

像素12便設置有1條貫通配線54。

【0315】

又，於第7變化例之攝像裝置1中，於使與共有1個浮動擴散部FD之4個感測像素12對應之單位區域在第2方向V2上錯開1個感測像素12後之每個區域，設置有貫通配線47。即，於第7變化例之攝像裝置1中，在與共有1個浮動擴散部FD之4個感測像素12對應之單位區域和與該單位區域於第2方向V2上鄰接之鄰接單位區域之間設置貫通配線47。又，貫通配線47由存在於貫通配線47之周圍之單位區域之2個感測像素12、及存在於貫通配線47之周圍之鄰接單位區域之2個感測像素12所共有。

【0316】

進而，於第7變化例之攝像裝置1中，第1基板10具有針對每個感測像素12將光電二極體PD及傳輸電晶體TR分離之元件分離部43。於自法線方向俯視第1半導體基板11之主面之情形時，元件分離部43未完全包圍感測像素12之周圍，而於浮動擴散部FD(即貫通配線54)之附近、及貫通配線47之附近具有間隙(未形成區域)。藉由該間隙，可實現4個感測像素12共有貫通配線54、及單位區域與鄰接單位區域之間之4個感測像素12共有貫通配線47。再者，於第7變化例之攝像裝置1中，第2基板20針對共有浮動擴散部FD之每4個感測像素12，具有像素電路22。

【0317】

圖56及圖57係表示第7變化例之攝像裝置1之切斷面Sec2之剖面構成之另一例的模式圖。如圖56所示，第1基板10可針對每個感測像素12具有光電二極體PD及傳輸電晶體TR，且每4個感測像素12共有浮動擴散部FD。進而，第1基板10可具有針對每個感測像素12將光電二極體PD及傳

輸電晶體TR分離之元件分離部43。又，如圖57所示，可針對每個感測像素12具有光電二極體PD及傳輸電晶體TR，且每4個感測像素12共有浮動擴散部FD。進而，第1基板10可具有針對每個感測像素12將光電二極體PD及傳輸電晶體TR分離之元件分離部43。

【0318】

(第8變化例)

繼而，參照圖58，對作為攝像裝置1之電路構成之一變化例的第8變化例進行說明。圖58係表示搭載行並聯ADC(Analog to Digital Converter)之CMOS影像感測器之電路構成之模式圖。

【0319】

如圖58所示，第8變化例之攝像裝置1具備像素區域13、垂直驅動電路33、行信號處理電路34、參照電壓供給部38、水平驅動電路35、水平輸出線37及系統控制電路36，上述像素區域13呈方陣狀(即矩陣狀)二維配置有包含光電轉換元件之複數個感測像素12。

【0320】

系統控制電路36基於主時脈MCK，產生成為垂直驅動電路33、行信號處理電路34、參照電壓供給部38及水平驅動電路35等之動作之基準之時脈信號及控制信號等。系統控制電路36進而將所產生之時脈信號及控制信號供給至垂直驅動電路33、行信號處理電路34、參照電壓供給部38及水平驅動電路35。

【0321】

垂直驅動電路33分別形成於像素區域13之形成有各感測像素12的第1基板10、及形成有像素電路22之第2基板20。行信號處理電路34、參照電

壓供給部38、水平驅動電路35、水平輸出線37及系統控制電路36形成於第3基板30。

【0322】

此處省略圖示，但感測像素12例如具有光電二極體PD、及將由光電二極體PD進行光電轉換後之電荷傳輸至浮動擴散部FD之傳輸電晶體TR。像素電路22例如具有：重設電晶體RST，其控制浮動擴散部FD之電位；放大電晶體AMP，其輸出與浮動擴散部FD之電位相應之信號；及選擇電晶體SEL，其用以進行像素選擇。

【0323】

於像素區域13，二維配置感測像素12。例如，於呈n列m行之矩陣狀配置有感測像素12之像素區域13中，逐列佈線像素驅動線23，逐行佈線垂直信號線24。於複數條像素驅動線23之一端，分別連接有與垂直驅動電路33之各列對應之輸出端。垂直驅動電路33包含移位暫存器等，經由複數條像素驅動線23進行像素區域13之列位址或列掃描之控制。

【0324】

行信號處理電路34例如具有針對像素區域13之每一像素行、即每條垂直信號線24設置之ADC(類比-數位轉換電路)34-1～34-m。行信號處理電路34藉由ADC，將從像素區域13之各感測像素12逐行輸出之類比信號轉換為數位信號後輸出。

【0325】

參照電壓供給部38例如具有DAC(數位-類比轉換電路)38A，產生位準隨著時間經過呈傾斜狀變化之所謂斜坡(RAMP)波形之參照電壓Vref。再者，參照電壓供給部38可使用除DAC38A以外之機構，產生斜坡波形之

參照電壓Vref。

【0326】

DAC38A基於來自系統控制電路36之控制信號CS1、及時脈CK，產生斜坡波形之參照電壓Vref，對行信號處理電路34之ADC34-1～34-m供給所產生之參照電壓Vref。

【0327】

再者，ADC34-1～34-m各自構成為能夠選擇性地執行對應於各動作模式之AD轉換動作，所謂各動作模式包括：正常圖框率模式，其採用讀出所有感測像素12之資訊之漸進式掃描方式；及高速圖框率模式，其藉由與正常圖框率模式時相比，將感測像素12之曝光時間設定為1/N，而使圖框率提高至N倍(例如2倍)。該動作模式之切換係藉由來自系統控制電路36之控制信號CS2、CS3之控制而進行。又，系統控制電路36基於來自外部之系統控制器(未圖示)之指示資訊，產生用以切換正常圖框率模式與高速圖框率模式各動作模式之控制信號CS2、CS3。

【0328】

ADC34-1～34-m全部為相同構成，因此，此處列舉ADC34-m為例進行說明。

【0329】

ADC34-m具有比較器34A、可逆計數器(U/DCNT)34B、傳輸開關34C及記憶體裝置34D。

【0330】

比較器34A將與從像素區域13之第m行之各感測像素12輸出之信號相應的垂直信號線24之信號電壓Vx與從參照電壓供給部38供給之斜坡波形

之參照電壓Vref進行比較。比較器34A例如於參照電壓Vref大於信號電壓Vx之情形時將輸出Vco設為「H(High，高)」位準，於參照電壓Vref為信號電壓Vx以下之情形時將輸出Vco設為「L(Low，低)」位準。

【0331】

可逆計數器34B為異步計數器。可逆計數器34B基於從系統控制電路36賦予之控制信號CS2，從系統控制電路36供給時脈CK。可逆計數器34B藉由與該時脈CK同步地進行遞減(DOWN)計數或遞增(UP)計數，而計測比較器34A之從比較動作開始至結束為止之比較期間。

【0332】

具體而言，於正常圖框率模式下，可逆計數器34B藉由於來自1個感測像素12之第1次讀出動作時進行遞減計數而計測第1次讀出時之比較時間。又，可逆計數器34B藉由於第2次讀出動作時進行遞增計數而計測第2次讀出時之比較時間。

【0333】

另一方面，於高速圖框率模式下，可逆計數器34B使某列之感測像素12之計數結果保持不變。其後，可逆計數器34B對下一列之感測像素12，繼承前一次計數結果而進行第1次讀出動作時之遞減計數，藉此計測第1次讀出時之比較時間。又，可逆計數器34B藉由於第2次讀出動作時進行遞增計數而計測第2次讀出時之比較時間。

【0334】

傳輸開關34C基於從系統控制電路36賦予之控制信號CS3而動作。傳輸開關34C藉由於正常圖框率模式下，在對某列之感測像素12之可逆計數器34B之計數動作完成之時刻成為接通(關閉)狀態，而將可逆計數器34B

之計數結果傳輸至記憶體裝置34D。

【0335】

另一方面，例如於N＝2之高速圖框率下，傳輸開關34C於對某列之感測像素12之可逆計數器34B的計數動作完成之時刻保持斷開(打開)狀態不變。其後，傳輸開關34C於對下一列之感測像素12之可逆計數器34B之計數動作完成之時刻成為接通狀態，藉此，將關於可逆計數器34B之垂直2像素量之計數結果傳輸至記憶體裝置34D。

【0336】

以此方式，從像素區域13之各感測像素12經由垂直信號線24逐行供給之類比信號係藉由ADC34-1～34-m之比較器34A及可逆計數器34B之動作，而轉換為N位元之數位信號並儲存於記憶體裝置34D中。

【0337】

水平驅動電路35包含移位暫存器等，進行行信號處理電路34之ADC34-1～34-m之行位址及行掃描之控制。水平驅動電路35藉由控制各ADC34-1～34-m，而將經AD轉換之N位元之數位信號依序讀出至水平輸出線37。所讀出之N位元之數位信號經由水平輸出線37以攝像資料之形式輸出。

【0338】

再者，雖未特別圖示，但除上述構成要素以外，還可設置對經由水平輸出線37輸出之攝像資料實施各種信號處理之電路等。

【0339】

於第8變化例之攝像裝置1中，可經由傳輸開關34C將可逆計數器34B之計數結果選擇性地傳輸至記憶體裝置34D。據此，於第8變化例之攝像

裝置1中，能夠獨立地控制可逆計數器34B之計數動作、及可逆計數器34B之計數結果之向水平輸出線37之讀出動作。

【0340】

(第9變化例)

其次，參照圖59，對作為攝像裝置1之積層構造之一變化例之第9變化例進行說明。圖59係表示將3個基板積層而構成圖58所示之攝像裝置1之一例之模式圖。

【0341】

如圖59所示，第9變化例之攝像裝置1係將第1基板10、第2基板20及第3基板積層而構成。於第1基板10中，在中央部分形成有包含複數個感測像素12之像素區域13，在像素區域13之周圍形成有垂直驅動電路33。又，於第2基板20中，在中央部分形成有包含複數個像素電路22之像素電路區域15，在像素電路區域15之周圍形成有垂直驅動電路33。進而，於第3基板30中，形成有行信號處理電路34、水平驅動電路35、系統控制電路36、水平輸出線37及參照電壓供給部38。再者，垂直驅動電路33可如上所述形成於第1基板10及第2基板20之兩者，亦可僅形成於第1基板10，還可僅形成於第2基板20。

【0342】

第9變化例之攝像裝置1可抑制因將基板彼此電性連接之構造引起之晶片尺寸之擴大、或像素面積之擴大。據此，第9變化例之攝像裝置1能夠使單位像素之面積進一步微細化。

【0343】

(第10變化例)

繼而，參照圖60及圖61，對作為攝像裝置1之剖面構成之一變化例的第10變化例進行說明。圖60係表示第10變化例之攝像裝置1的剖面構成之一例之模式圖。

【0344】

於上文所說明之實施形態及變化例中，表示攝像裝置1將第1基板10、第2基板20及第3基板30該等3個基板積層而構成之例。然而，本發明之技術並不限於上述例示。例如，攝像裝置1亦可將第1基板10及第2基板20該等2個基板積層而構成。

【0345】

如圖60所示，於此種情形時，處理電路32例如分開地形成於第1基板10及第2基板20。

【0346】

於處理電路32中之設置於第1基板10側之電路32A中設置電晶體，該電晶體具有將包含可耐高溫程序之材料(例如high-k(高介電常數)材料)之高介電常數膜與金屬閘極電極積層而成之閘極構造。

【0347】

另一方面，於處理電路32中之設置於第2基板20側之電路32B中，在與源極電極及汲極電極相接之雜質擴散區域之表面形成有包含$CoSi_2$或NiSi等矽化物之低電阻區域26。包含矽化物之低電阻區域係由半導體基板之材料與金屬之化合物形成，耐熱性較高。因此，可於形成感測像素12時使用熱氧化等高溫程序。又，包含$CoSi_2$或NiSi等矽化物之低電阻區域26可減小接觸電阻，因此可使處理電路32之運算速度高速化。

【0348】

再者，包含$CoSi_2$或NiSi等矽化物之低電阻區域26可設置於上文所說明之實施形態及變化例之攝像裝置1。具體而言，於將第1基板10、第2基板20及第3基板30該等3個基板積層而構成之攝像裝置1中，亦可設置包含$CoSi_2$或NiSi等矽化物之低電阻區域26。圖61係表示對將3個基板積層而構成之攝像裝置1應用包含$CoSi_2$或NiSi等矽化物之低電阻區域26之例的模式圖。

【0349】

如圖61所示，於第3基板30之處理電路32中，可於與源極電極及汲極電極相接之雜質擴散區域之表面形成包含$CoSi_2$或NiSi等矽化物之低電阻區域26。藉此，可於形成感測像素12時，使用熱氧化等高溫程序。又，包含$CoSi_2$或NiSi等矽化物之低電阻區域26可減小接觸電阻，因此可使處理電路32之運算速度高速化。

【0350】

＜＜6.具體例＞＞

上文所說明之本發明之技術可應用於各種攝像裝置等。以下，列舉具體例來說明應用本發明之技術之攝像裝置、及具備該攝像裝置之機器。

【0351】

＜6.1.實施形態＞

[攝像裝置1之功能構成]

圖62係表示本發明之一實施形態之攝像裝置(攝像裝置1)之功能構成之一例的方塊圖。

【0352】

圖62之攝像裝置1例如包含輸入部510A、列驅動部520、時序控制部

530、像素陣列部540、行信號處理部550、圖像信號處理部560及輸出部510B。

【0353】

於像素陣列部540，呈陣列狀重複配置有像素541。更具體而言，包含複數個像素之像素共有單元539成為重複單位，該重複單位呈由列方向及行方向構成之陣列狀重複配置。再者，本說明書中，為了方便起見，有時將列方向稱為H方向，將與列方向正交之行方向稱為V方向。於圖62之例中，1個像素共有單元539包含4個像素(像素541A、541B、541C、541D)。像素541A、541B、541C、541D分別具有光電二極體PD(下述圖67等所圖示)。像素共有單元539係共有1個像素電路(下述圖64之像素電路210)之單位。換言之，針對每4個像素(像素541A、541B、541C、541D)具有1個像素電路(下述像素電路210)。藉由使該像素電路分時動作，而依序讀出像素541A、541B、541C、541D各自之像素信號。像素541A、541B、541C、541D以例如2列x2行之方式配置。於像素陣列部540，設置有像素541A、541B、541C、541D、與複數條列驅動信號線542及複數條垂直信號線(行讀出線)543。列驅動信號線542將像素陣列部540中並列排列於列方向上之複數個像素共有單元539各自所包含之像素541驅動。將像素共有單元539中之並列排列於列方向之各像素驅動。以下將參照圖65詳細地說明，於像素共有單元539設置有複數個電晶體。為了分別驅動該等複數個電晶體，於1個像素共有單元539連接有複數條列驅動信號線542。於垂直信號線(行讀出線)543，連接有像素共有單元539。經由垂直信號線(行讀出線)543從像素共有單元539中所包含之各像素541A、541B、541C、541D讀出像素信號。

【0354】

列驅動部520例如包含決定用於進行像素驅動之列之位置之列位址控制部、換言之為列解碼器部、及產生用以驅動像素541A、541B、541C、541D之信號之列驅動電路部。

【0355】

行信號處理部550例如具備負載電路部，該負載電路部連接於垂直信號線543，形成像素541A、541B、541C、541D(像素共有單元539)及源極隨耦電路。行信號處理部550亦可具有放大電路部，該放大電路部將經由垂直信號線543從像素共有單元539讀出之信號放大。行信號處理部550亦可具有雜訊處理部。於雜訊處理部中，例如，從自像素共有單元539讀出之作為光電轉換之結果之信號中去除系統之雜訊位準。

【0356】

行信號處理部550例如具有類比數位轉換器(ADC)。於類比數位轉換器中，從像素共有單元539讀出之信號或上述雜訊處理後之類比信號被轉換為數位信號。ADC例如包含比較器部及計數器部。於比較器部中，將成為轉換對象之類比信號與成為其比較對象之參照信號加以比較。於計數器部中，對至比較器部之比較結果反轉為止之時間進行計測。行信號處理部550可包含進列掃描讀出行之控制之水平掃描電路部。

【0357】

時序控制部530基於向裝置輸入之基準時脈信號或時序控制信號，向列驅動部520及行信號處理部550供給控制時序之信號。

【0358】

圖像信號處理部560係對光電轉換後所獲得之資料、換言之、攝像裝

置1之攝像動作後所獲得之資料實施各種信號處理之電路。圖像信號處理部560例如包含圖像信號處理電路部及資料保持部。圖像信號處理部560亦可包含處理器部。

【0359】

圖像信號處理部560中執行之信號處理之一例係色調曲線修正處理，該色調曲線修正處理係當經AD轉換之攝像資料為拍攝較暗被攝體所得之資料時，使其具有多個灰階，當經AD轉換之攝像資料為拍攝較亮被攝體所得之資料時，減少灰階。於此情形時，關於基於哪種色調曲線來修正攝像資料之灰階，較理想的是將色調曲線之特性資料預先記憶於圖像信號處理部560之資料保持部中。

【0360】

輸入部510A例如用於從裝置外部向攝像裝置1輸入上述基準時脈信號、時序控制信號及特性資料等。時序控制信號例如為垂直同步信號及水平同步信號等。特性資料例如用於供記憶至圖像信號處理部560之資料保持部。輸入部510A例如包含輸入端子511、輸入電路部512、輸入振幅變更部513、輸入資料轉換電路部514及電源供給部(未圖示)。

【0361】

輸入端子511係用以輸入資料之外部端子。輸入電路部512用以將輸入至輸入端子511之信號擷取至攝像裝置1之內部。於輸入振幅變更部513中，由輸入電路部512擷取之信號之振幅變更為容易於攝像裝置1之內部利用之振幅。於輸入資料轉換電路部514中，輸入資料之資料行之排列變更。輸入資料轉換電路部514例如包含並行串列轉換電路。於該並行串列轉換電路中，作為輸入資料而接收到之串列信號被轉換為並行信號。再

者，於輸入部510A中，可省略輸入振幅變更部513及輸入資料轉換電路部514。電源供給部基於從外部向攝像裝置1供給之電源，供給被設定為攝像裝置1之內部所需之各種電壓之電源。

【0362】

於將攝像裝置1與外部之記憶體裝置連接時，於輸入部510A，可設置有接收來自外部之記憶體裝置之資料之記憶體介面電路。外部之記憶體裝置例如為快閃記憶體、SRAM(Static Random Access Memory，靜態隨機存取記憶體)及DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)等。

【0363】

輸出部510B向裝置外部輸出圖像資料。該圖像資料例如為利用攝像裝置1拍攝之圖像資料、及利用圖像信號處理部560進行信號處理後之圖像資料等。輸出部510B例如包含輸出資料轉換電路部515、輸出振幅變更部516、輸出電路部517及輸出端子518。

【0364】

輸出資料轉換電路部515例如包含並行串列轉換電路，於輸出資料轉換電路部515中，攝像裝置1內部所使用之並行信號被轉換為串列信號。輸出振幅變更部516將於攝像裝置1之內部使用之信號之振幅變更。振幅變更後之信號容易於連接在攝像裝置1外部之外部裝置中利用。輸出電路部517係從攝像裝置1之內部向裝置外部輸出資料之電路，藉由輸出電路部517，驅動連接於輸出端子518之攝像裝置1外部之配線。於輸出端子518中，從攝像裝置1向裝置外部輸出資料。於輸出部510B中，可省略輸出資料轉換電路部515及輸出振幅變更部516。

【0365】

於將攝像裝置1與外部之記憶體裝置連接時，於輸出部510B，可設置有向外部之記憶體裝置輸出資料之記憶體介面電路。外部之記憶體裝置例如為快閃記憶體、SRAM及DRAM等。

【0366】

[攝像裝置1之概略構成]

圖63及圖64係表示攝像裝置1之概略構成之一例之圖。攝像裝置1具備3個基板(第1基板100、第2基板200、第3基板300)。圖63係模式性地表示第1基板100、第2基板200、第3基板300各自之平面構成之圖，圖64模式性地表示相互積層之第1基板100、第2基板200及第3基板300之剖面構成。圖64對應於沿著圖63所示之III-III'線之剖面構成。攝像裝置1係將3個基板(第1基板100、第2基板200、第3基板300)貼合後構成之三維構造之攝像裝置。第1基板100包含半導體層100S及配線層100T。第2基板200包含半導體層200S及配線層200T。第3基板300包含半導體層300S及配線層300T。此處，為了方便起見，將第1基板100、第2基板200及第3基板300之各基板所包含之配線與其周圍之層間絕緣膜合併所得者稱為設置於各基板(第1基板100、第2基板200及第3基板300)之配線層(100T、200T、300T)。第1基板100、第2基板200及第3基板300依序積層，沿著積層方向，按照半導體層100S、配線層100T、半導體層200S、配線層200T、配線層300T及半導體層300S之順序配置。關於第1基板100、第2基板200及第3基板300之具體構成將在下文進行敘述。圖64所示之箭頭表示光L向攝像裝置1之入射方向。本說明書中，為了方便起見，於以下之剖視圖中，有時將攝像裝置1之光入射側稱為「下」「下側」「下方」，將與光入射側相

反之側稱為「上」「上側」「上方」。又，本說明書中，為了方便起見，關於具備半導體層及配線層之基板，有時將配線層之一側稱為正面，將半導體層之一側稱為背面。再者，說明書之記載不限於上述稱法。攝像裝置1例如成為光從具有光電二極體之第1基板100之背面側入射的背面照射型攝像裝置。

【0367】

關於像素陣列部540及像素陣列部540中所包含之像素共有單元539，均使用第1基板100及第2基板200之兩者來構成。於第1基板100，設置有像素共有單元539所具有之複數個像素541A、541B、541C、541D。該等像素541各自具有光電二極體(下述光電二極體PD)及傳輸電晶體(下述傳輸電晶體TR)。於第2基板200，設置有像素共有單元539所具有之像素電路(下述像素電路210)。像素電路讀出從像素541A、541B、541C、541D各自之光電二極體經由傳輸電晶體傳輸來之像素信號，或者重設光電二極體。該第2基板200除具有此種像素電路外，還具有於列方向上延伸之複數條列驅動信號線542及於行方向上延伸之複數條垂直信號線543。第2基板200進而具有於列方向上延伸之電源線544(下述電源線VDD等)。第3基板300例如具有輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B。列驅動部520例如於第1基板100、第2基板200及第3基板300之積層方向(以下簡稱為積層方向)上，一部分設置於與像素陣列部540重疊之區域。更具體而言，列驅動部520於積層方向上，設置於與像素陣列部540之H方向之端部附近重疊之區域(圖63)。行信號處理部550例如設置於在積層方向上一部分與像素陣列部540重疊之區域。更具體而言，行信號處理部550設置於在積層方向上與

像素陣列部540之V方向之端部附近重疊之區域(圖63)。雖省略圖示，但輸入部510A及輸出部510B亦可配置於第3基板300以外之部分，例如亦可配置於第2基板200。或者，亦可於第1基板100之背面(光入射面)側設置輸入部510A及輸出部510B。再者，作為其他名稱，設置於上述第2基板200之像素電路有時亦被稱作像素電晶體電路、像素電晶體群、像素電晶體、像素讀出電路或讀出電路。本說明書中，使用像素電路這一名稱。

【0368】

第1基板100與第2基板200例如藉由貫通電極(下述圖67之貫通電極120E、121E)而電性連接。第2基板200與第3基板300例如經由接點部201、202、301、302而電性連接。於第2基板200設置有接點部201、202，於第3基板300設置有接點部301、302。第2基板200之接點部201與第3基板300之接點部301相接，第2基板200之接點部202與第3基板300之接點部302相接。第2基板200具有設置有複數個接點部201之接點區域201R、及設置有複數個接點部202之接點區域202R。第3基板300具有設置有複數個接點部301之接點區域301R、及設置有複數個接點部302之接點區域302R。接點區域201R、301R於積層方向上，設置於像素陣列部540與列驅動部520之間(圖64)。換言之，接點區域201R、301R例如設置於列驅動部520(第3基板300)與像素陣列部540(第2基板200)於積層方向上重疊之區域或其附近區域。接點區域201R、301R例如配置於此種區域中之H方向之端部(圖63)。於第3基板300中，例如，在與列驅動部520之一部分、具體而言為列驅動部520之H方向之端部重疊之位置設置有接點區域301R(圖63、圖64)。接點部201、301例如將設置於第3基板300之列驅動部520與設置於第2基板200之列驅動信號線542連接。接點部201、301

例如亦可將設置於第3基板300之輸入部510A與電源線544及基準電位線(下述基準電位線VSS)連接。接點區域202R、302R於積層方向上設置於像素陣列部540與行信號處理部550之間(圖64)。換言之，接點區域202R、302R例如設置於行信號處理部550(第3基板300)與像素陣列部540(第2基板200)於積層方向上重疊之區域或其附近區域。接點區域202R、302R例如配置於此種區域中之V方向之端部(圖63)。於第3基板300中，例如於與行信號處理部550之一部分、具體而言為行信號處理部550之V方向之端部重疊的位置設置有接點區域301R(圖63、圖64)。接點部202、302例如用於將從像素陣列部540所具有之複數個像素共有單元539各自輸出之像素信號(與利用光電二極體進行光電轉換後產生之電荷量對應之信號)向設置於第3基板300之行信號處理部550連接。像素信號從第2基板200被發送至第3基板300。

【0369】

如上所述，圖64係攝像裝置1之剖視圖之一例。第1基板100、第2基板200、第3基板300經由配線層100T、200T、300T電性連接。例如，攝像裝置1具有將第2基板200與第3基板300電性連接之電性連接部。具體而言，利用由導電材料形成之電極形成接點部201、202、301、302。導電材料例如由銅(Cu)、鋁(Al)、金(Au)等金屬材料形成。接點區域201R、202R、301R、302R例如可藉由將形成為電極之配線彼此直接接合，而將第2基板與第3基板電性連接，從而進行第2基板200與第3基板300之信號之輸入及/或輸出。

【0370】

將第2基板200與第3基板300電性連接之電性連接部可設置於所期望

之部位。例如，可設置於如圖64中記載為接點區域201R、202R、301R、302R之在積層方向上與像素陣列部540重疊之區域。又，亦可將電性連接部設置於在積層方向上不與像素陣列部540重疊之區域。具體而言，亦可設置於在積層方向上與配置於像素陣列部540之外側之周邊部重疊的區域。

【0371】

於第1基板100及第2基板200，例如設置有連接孔部H1、H2。連接孔部H1、H2貫通第1基板100及第2基板200(圖64)。連接孔部H1、H2設置於像素陣列部540(或與像素陣列部540重疊之部分)之外側(圖63)。例如，連接孔部H1配置於H方向上較像素陣列部540靠外側之位置，連接孔部H2配置於V方向上較像素陣列部540靠外側之位置。例如，連接孔部H1到達設置於第3基板300之輸入部510A，連接孔部H2到達設置於第3基板300之輸出部510B。連接孔部H1、H2可為空腔，亦可於至少一部分含有導電材料。例如具有於作為輸入部510A及/或輸出部510B而形成之電極連接接合線之構成。或具有將作為輸入部510A及/或輸出部510B而形成之電極與設置於連接孔部H1、H2之導電材料連接之構成。設置於連接孔部H1、H2之導電材料可嵌埋至連接孔部H1、H2之一部分或全部，導電材料亦可形成於連接孔部H1、H2之側壁。

【0372】

再者，圖64中設為於第3基板300設置輸入部510A及輸出部510B之構造，但不限於此。例如，因經由配線層200T、300T將第3基板300之信號發送至第2基板200，故亦可將輸入部510A及/或輸出部510B設置於第2基板200。同樣，因經由配線層100T、200T將第2基板200之信號發送至第1

基板100，故亦可將輸入部510A及/或輸出部510B設置於第1基板100。

【0373】

圖65係表示像素共有單元539之構成之一例之等效電路圖。像素共有單元539包含複數個像素541(圖65中，示出像素541A、541B、541C、541D該等4個像素541)、連接於該等複數個像素541之1個像素電路210、及連接於像素電路210之垂直信號線5433。像素電路210例如包含4個電晶體、具體而言為放大電晶體AMP、選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG。如上所述，像素共有單元539藉由使1個像素電路210分時動作，而將像素共有單元539中所包含之4個像素541(像素541A、541B、541C、541D)各自之像素信號依序向垂直信號線543輸出。將1個像素電路210連接於複數個像素541，利用1個像素電路210分時輸出該等複數個像素541之像素信號之態樣稱為「複數個像素541共有1個像素電路210」。

【0374】

像素541A、541B、541C、541D具有相互共通之構成要素。以下，為了將像素541A、541B、541C、541D之構成要素相互區分開，對像素541A之構成要素之符號之末尾賦予識別編號1，對像素541B之構成要素之符號之末尾賦予識別編號2，對像素541C之構成要素之符號之末尾賦予識別編號3，對像素541D之構成要素之符號之末尾賦予識別編號4。於無需將像素541A、541B、541C、541D之構成要素相互區分之情形時，省略像素541A、541B、541C、541D之構成要素之符號之末尾的識別編號。

【0375】

像素541A、541B、541C、541D例如具有光電二極體PD、與光電二極體PD電性連接之傳輸電晶體TR、及電性連接於傳輸電晶體TR之浮動擴散部FD。於光電二極體PD(PD1、PD2、PD3、PD4)中，陰極電性連接於傳輸電晶體TR之源極，陽極電性連接於基準電位線(例如接地)。光電二極體PD將入射之光進行光電轉換，產生與其受光量相應之電荷。傳輸電晶體TR(傳輸電晶體TR1、TR2、TR3、TR4)例如為n型CMOS(Complementary Metal Oxide Semiconductor，互補金氧半導體)電晶體。於傳輸電晶體TR中，汲極電性連接於浮動擴散部FD，閘極電性連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542(參照圖62)中之一部分。傳輸電晶體TR將於光電二極體PD產生之電荷傳輸至浮動擴散部FD。浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)係p型半導體層中所形成之n型擴散層區域。浮動擴散部FD係暫時保持從光電二極體PD傳輸來之電荷之電荷保持機構，且係產生與上述電荷量相應之電壓之電荷-電壓轉換機構。

【0376】

1個像素共有單元539中所包含之4個浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)相互電性連接，並且電性連接於放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極。FD轉換增益切換電晶體FDG之汲極連接於重設電晶體RST之源極，FD轉換增益切換電晶體FDG之閘極連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。重設電晶體RST之汲極連接於電源線VDD，重設電晶體RST之閘極連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。放大

電晶體AMP之閘極連接於浮動擴散部FD，放大電晶體AMP之汲極連接於電源線VDD，放大電晶體AMP之源極連接於選擇電晶體SEL之汲極。選擇電晶體SEL之源極連接於垂直信號線543，選擇電晶體SEL之閘極連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。

【0377】

當傳輸電晶體TR成為接通狀態時，傳輸電晶體TR將光電二極體PD之電荷傳輸至浮動擴散部FD。傳輸電晶體TR之閘極(傳輸閘極TG)例如包含所謂之垂直型電極，且如下述圖67所示，以從半導體層(下述圖67之半導體層100S)之正面延伸至到達PD之深度為止之方式設置。重設電晶體RST將浮動擴散部FD之電位重設為規定之電位。當重設電晶體RST成為接通狀態時，將浮動擴散部FD之電位重設為電源線VDD之電位。選擇電晶體SEL控制來自像素電路210之像素信號之輸出時序。放大電晶體AMP產生與浮動擴散部FD中所保持之電荷之位準相應之電壓的信號作為像素信號。放大電晶體AMP經由選擇電晶體SEL連接於垂直信號線543。該放大電晶體AMP於行信號處理部550中，與連接於垂直信號線543之負載電路部(參照圖62)一起構成源極隨耦。當選擇電晶體SEL成為接通狀態時，放大電晶體AMP將浮動擴散部FD之電壓經由垂直信號線543輸出至行信號處理部550。重設電晶體RST、放大電晶體AMP及選擇電晶體SEL例如為N型CMOS電晶體。

【0378】

FD轉換增益切換電晶體FDG係於變更浮動擴散部FD中之電荷-電壓轉換之增益時使用。一般而言，於暗處拍攝時像素信號較小。基於Q＝

CV，進行電荷電壓轉換時，若浮動擴散部FD之電容(FD電容C)較大，則利用放大電晶體AMP轉換為電壓時之V會變小。另一方面，於亮處，像素信號變大，因此，若FD電容C變大，則浮動擴散部FD無法將光電二極體PD之電荷全部接收完。進而，為了使利用放大電晶體AMP轉換為電壓時之V不會變得過大(換言之，為了使利用放大電晶體AMP轉換為電壓時之V變小)，必須使FD電容C變大。根據上述內容，於使FD轉換增益切換電晶體FDG接通時，與FD轉換增益切換電晶體FDG相應之閘極電容增大，因此FD電容C整體變大。另一方面，於使FD轉換增益切換電晶體FDG斷開時，FD電容C整體變小。如此，藉由切換FD轉換增益切換電晶體FDG之接通/斷開，能夠使FD電容C變化，從而切換轉換效率。FD轉換增益切換電晶體FDG例如為N型CMOS電晶體。

【0379】

再者，亦可為未設置FD轉換增益切換電晶體FDG之構成。此時，例如，像素電路210包含例如放大電晶體AMP、選擇電晶體SEL及重設電晶體RST該等3個電晶體。像素電路210例如具有放大電晶體AMP、選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG等像素電晶體中之至少1個。

【0380】

選擇電晶體SEL可設置於電源線VDD與放大電晶體AMP之間。於此情形時，重設電晶體RST之汲極電性連接於電源線VDD及選擇電晶體SEL之汲極。選擇電晶體SEL之源極電性連接於放大電晶體AMP之汲極，選擇電晶體SEL之閘極電性連接於列驅動信號線542(參照圖62)。放大電晶體AMP之源極(像素電路210之輸出端)電性連接於垂直信號線543，放大電

晶體AMP之閘極電性連接於重設電晶體RST之源極。再者，雖省略圖示，但共有1個像素電路210之像素541之數量可為4個以外。例如，可為2個或8個像素541共有1個像素電路210。

【0381】

圖66係表示複數個像素共有單元539與垂直信號線543之連接態樣之一例之圖。例如，將排列於行方向之4個像素共有單元539分為4個群組，於該4個群組分別連接有垂直信號線543。為了簡化說明，圖66中示出4個群組各自具有1個像素共有單元539之例，但4個群組亦可各自包含複數個像素共有單元539。如此，於攝像裝置1中，亦可將排列於行方向之複數個像素共有單元539分為包含1個或複數個像素共有單元539之群組。例如，於該群組分別連接有垂直信號線543及行信號處理部550，從而可從各個群組同時讀出像素信號。或者，於攝像裝置1中，亦可將1條垂直信號線543連接於排列在行方向之複數個像素共有單元539。此時，從連接於1條垂直信號線543之複數個像素共有單元539分時依序讀出像素信號。

【0382】

[攝像裝置1之具體構成]

圖67係表示攝像裝置1之與第1基板100、第2基板200及第3基板300之主面垂直之方向的剖面構成之一例之圖。圖67係為了易於理解而模式性地表示構成要素之位置關係之圖，可與實際之剖面不同。於攝像裝置1中，依序積層有第1基板100、第2基板200及第3基板300。攝像裝置1進而於第1基板100之背面側(光入射面側)具有受光透鏡401。於受光透鏡401與第1基板100之間可設置有彩色濾光片層(未圖示)。受光透鏡401例如設置於像素541A、541B、541C、541D之各者。攝像裝置1係例如背面照射型

之攝像裝置。攝像裝置1具有配置於中央部之像素陣列部540、及配置於像素陣列部540之外側之周邊部540B。

【0383】

第1基板100從受光透鏡401側起依序具有絕緣膜111、固定電荷膜112、半導體層100S及配線層100T。半導體層100S包含例如矽基板。半導體層100S例如於正面(配線層100T側之面)之一部分及其附近具有p型井層115，於除此以外之區域(較p型井層115深之區域)具有n型半導體區域114。例如，由該n型半導體區域114及p型井層115構成pn接面型光電二極體PD。p型井層115係p型半導體區域。

【0384】

圖68A係表示第1基板100之平面構成之一例之圖。圖68A主要示出第1基板100之像素分離部117、光電二極體PD、浮動擴散部FD、VSS接點區域118及傳輸電晶體TR之平面構成。使用圖67及圖68A來說明第1基板100之構成。

【0385】

於半導體層100S之正面附近，設有浮動擴散部FD及VSS接點區域118。浮動擴散部FD包含設置於p型井層115內之n型半導體區域。像素541A、541B、541C、541D各自之浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)例如與像素共有單元539之中央部相互近接地設置(圖68A)。詳細情況將於下文進行敍述，該像素共有單元539中所包含之4個浮動擴散部(浮動擴散部FD1、FD2、FD3、FD4)於第1基板100內(更具體而言為配線層100T內)，經由電性連接機構(下述焊墊部120)相互電性連接。進而，浮動擴散部FD經由電性機構(下述貫通電極120E)從第1基板

100連接至第2基板200(更具體而言，從配線層100T連接至配線層200T)。於第2基板200(更具體而言為配線層200T之內部)，藉由該電性機構將浮動擴散部FD電性連接於放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極。

【0386】

VSS接點區域118係電性連接於基準電位線VSS之區域，與浮動擴散部FD分開地配置。例如，於像素541A、541B、541C、541D中，在各像素之V方向之一端配置有浮動擴散部FD，在另一端配置有VSS接點區域118(圖68A)。VSS接點區域118例如由p型半導體區域構成。VSS接點區域118連接於例如接地電位或固定電位。藉此，向半導體層100S供給基準電位。

【0387】

於第1基板100，設置有光電二極體PD、浮動擴散部FD及VSS接點區域118、以及傳輸電晶體TR。該光電二極體PD、浮動擴散部FD、VSS接點區域118及傳輸電晶體TR分別設置於像素541A、541B、541C、541D。傳輸電晶體TR設置於半導體層100S之正面側(與光入射面側相反之側、第2基板200側)。傳輸電晶體TR具有傳輸閘極TG。傳輸閘極TG例如包含與半導體層100S之正面對向之水平部分TGb、及設置於半導體層100S內之垂直部分TGa。垂直部分TGa於半導體層100S之厚度方向上延伸。垂直部分TGa之一端與水平部分TGb相接，另一端設置於n型半導體區域114內。藉由利用此種垂直型電晶體構成傳輸電晶體TR，不易產生像素信號之傳輸不良，能夠提高像素信號之讀出效率。

【0388】

傳輸閘極TG之水平部分TGb從與垂直部分TGa對向之位置例如於H方向上朝向像素共有單元539之中央部延伸(圖68A)。藉此，可使到達傳輸閘極TG之貫通電極(下述貫通電極TGV)之H方向之位置接近與浮動擴散部FD及VSS接點區域118連接之貫通電極(下述貫通電極120E、121E)之H方向之位置。例如，設置於第1基板100之複數個像素共有單元539具有相互相同之構成(圖68A)。

【0389】

於半導體層100S，設置有將像素541A、541B、541C、541D相互分離之像素分離部117。像素分離部117於半導體層100S之法線方向(與半導體層100S之表面垂直之方向)上延伸而形成。像素分離部117以將像素541A、541B、541C、541D相互分隔之方式設置，具有例如格子狀之平面形狀(圖68A、圖68B)。像素分離部117例如將像素541A、541B、541C、541D相互電性及光學性分離。像素分離部117例如包含遮光膜117A及絕緣膜117B。遮光膜117A係例如使用鎢(W)等。絕緣膜117B設置於遮光膜117A與p型井層115或n型半導體區域114之間。絕緣膜117B例如包含氧化矽(SiO)。像素分離部117例如具有FTI(Full Trench Isolation，全溝槽隔離)構造，貫通半導體層100S。雖未圖示，但像素分離部117不限於貫通半導體層100S之FTI構造。例如，亦可為不貫通半導體層100S之DTI(Deep Trench Isolation，深溝槽隔離)構造。像素分離部117於半導體層100S之法線方向上延伸，形成於半導體層100S之一部分之區域。

【0390】

於半導體層100S，例如設置有第1釘紮區域113及第2釘紮區域116。第1釘紮區域113設置於半導體層100S之背面附近，配置於n型半導體區域

114與固定電荷膜112之間。第2釘紮區域116設置於像素分離部117之側面、具體而言為像素分離部117與p型井層115或n型半導體區域114之間。第1釘紮區域113及第2釘紮區域116例如由p型半導體區域構成。

【0391】

於半導體層100S與絕緣膜111之間，設置有具有負固定電荷之固定電荷膜112。藉由固定電荷膜112所感應出之電場，於半導體層100S之受光面(背面)側之界面形成作為電洞蓄積層之第1釘紮區域113。藉此，抑制由半導體層100S之受光面側之界面能階引起之暗電流之產生。固定電荷膜112例如由具有負固定電荷之絕緣膜形成。作為該具有負固定電荷之絕緣膜之材料，例如可列舉氧化鉿、氧化鋯、氧化鋁、氧化鈦或氧化鉭。

【0392】

於固定電荷膜112與絕緣膜111之間，設置有遮光膜117A。該遮光膜117A可與構成像素分離部117之遮光膜117A連續地設置。該固定電荷膜112與絕緣膜111之間之遮光膜117A例如選擇性地設置於半導體層100S內之與像素分離部117對向之位置。絕緣膜111以覆蓋該遮光膜117A之方式設置。絕緣膜111例如包含氧化矽。

【0393】

設置於半導體層100S與第2基板200之間之配線層100T從半導體層100S側起依序具有層間絕緣膜119、焊墊部120、121、鈍化膜122、層間絕緣膜123及接合膜124。傳輸閘極TG之水平部分TGb例如設置於該配線層100T。層間絕緣膜119遍及半導體層100S之整個正面設置，與半導體層100S相接。層間絕緣膜119例如包含氧化矽膜。再者，配線層100T之構成不限於上述構成，只要為具有配線及絕緣膜之構成即可。

【0394】

圖68B示出圖68A所示之平面構成、及焊墊部120、121之構成。焊墊部120、121設置於層間絕緣膜119上之選擇性區域。焊墊部120用於將像素541A、541B、541C、541D各自之浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)相互連接。焊墊部120例如在每個像素共有單元539中，配置於俯視下之像素共有單元539之中央部(圖68B)。該焊墊部120以橫跨像素分離部117之方式設置，與浮動擴散部FD1、FD2、FD3、FD4各自之至少一部分重疊而配置(圖67、圖68B)。具體而言，焊墊部120形成於如下區域，即，於與半導體層100S之表面垂直之方向上，與共有像素電路210之複數個浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)各自之至少一部分、及形成於共有該像素電路210之複數個光電二極體PD(光電二極體PD1、PD2、PD3、PD4)之間之像素分離部117之至少一部分重疊的區域。於層間絕緣膜119，設置有用以將焊墊部120與浮動擴散部FD1、FD2、FD3、FD4電性連接之連接孔120C。連接孔120C設置於像素541A、541B、541C、541D之各者。例如，藉由將焊墊部120之一部分嵌埋至連接孔120C，而將焊墊部120與浮動擴散部FD1、FD2、FD3、FD4電性連接。

【0395】

焊墊部121用於將複數個VSS接點區域118相互連接。例如，藉由焊墊部121將V方向上相鄰之一像素共有單元539之設置於像素541C、541D的VSS接點區域118、與另一像素共有單元539之設置於像素541A、541B之VSS接點區域118電性連接。焊墊部121例如以橫跨像素分離部117之方式設置，與該等4個VSS接點區域118各自之至少一部分重疊地配置。具體

而言，焊墊部121形成於如下區域，即，於與半導體層100S之表面垂直之方向上，與複數個VSS接點區域118各自之至少一部分、及形成於該等複數個VSS接點區域118之間之像素分離部117之至少一部分重疊的區域。於層間絕緣膜119，設置有用以將焊墊部121與VSS接點區域118電性連接之連接孔121C。連接孔121C設置於像素541A、541B、541C、541D之各者。例如，藉由於連接孔121C嵌埋焊墊部121之一部分，而將焊墊部121與VSS接點區域118電性連接。例如，排列於V方向之複數個像素共有單元539各自之焊墊部120及焊墊部121配置於H方向上之大致相同之位置(圖68B)。

【0396】

藉由設置焊墊部120，可減少整個晶片中之用於從各浮動擴散部FD連接至像素電路210(例如放大電晶體AMP之閘極電極)之配線。同樣，藉由設置焊墊部121，可減少整個晶片中之向各VSS接點區域118供給電位之配線。藉此，能夠實現如下效果等：縮小晶片整體之面積；抑制微細化後之像素之配線間之電氣干擾；及/或因零件件數削減而使得成本削減。

【0397】

焊墊部120、121可設置於第1基板100、第2基板200之所期望之位置。具體而言，可將焊墊部120、121設置於配線層100T、半導體層200S之絕緣區域212之任一者。於設置於配線層100T之情形時，可使焊墊部120、121與半導體層100S直接接觸。具體而言，焊墊部120、121可為與浮動擴散部FD及/或VSS接點區域118之各者之至少一部分直接連接之構成。又，亦可為如下構成：從連接於焊墊部120、121之浮動擴散部FD及/或VSS接點區域118之各者設置連接孔120C、121C，於配線層100T、半

導體層200S之絕緣區域212之所期望之位置設置焊墊部120、121。

【0398】

尤其是，於將焊墊部120、121設置於配線層100T之情形時，可減少半導體層200S之絕緣區域212中之連接於浮動擴散部FD及/或VSS接點區域118之配線。藉此，可削減形成像素電路210之第2基板200中之用於形成貫通配線之絕緣區域212之面積，上述貫通配線用於從浮動擴散部FD連接至像素電路210。因此，能夠確保形成像素電路210之第2基板200之面積較大。藉由確保像素電路210之面積，可使像素電晶體形成得較大，可有助於藉由雜訊減少等來提高畫質。

【0399】

尤其是，於在像素分離部117使用FTI構造之情形時，浮動擴散部FD及/或VSS接點區域118較佳為設置於各像素541，因此，藉由使用焊墊部120、121之構成，可大幅削減將第1基板100與第2基板200連接之配線。

【0400】

又，如圖68B所示，例如連接複數個浮動擴散部FD之焊墊部120與連接複數個VSS接點區域118之焊墊部121於V方向上呈直線狀交替地配置。又，焊墊部120、121形成於被複數個光電二極體PD、複數個傳輸閘極TG或複數個浮動擴散部FD包圍之位置。藉此，可於形成複數個元件之第1基板100自由地配置除浮動擴散部FD及VSS接點區域118以外之元件，可謀求晶片整體之佈局之效率化。又，能夠確保形成於各像素共有單元539之元件之佈局之對稱性，抑制各像素541之特性之偏差。

【0401】

焊墊部120、121例如包含多晶矽(Poly Si)、更具體而言為添加有雜

質之摻雜多晶矽。焊墊部120、121較佳為包含多晶矽、鎢(W)、鈦(Ti)及氮化鈦(TiN)等耐熱性較高之導電性材料。藉此，可於將第2基板200之半導體層200S貼合於第1基板100後，形成像素電路210。以下，說明其理由。再者，於以下說明中，將使第1基板100與第2基板200之半導體層200S貼合後，形成像素電路210之方法稱為第1製造方法。

【0402】

此處，亦可考慮於在第2基板200形成像素電路210後，將其與第1基板100貼合(以下稱為第2製造方法)。於該第2製造方法中，在第1基板100之正面(配線層100T之正面)及第2基板200之正面(配線層200T之正面)分別預先形成電性連接用之電極。若將第1基板100與第2基板200貼合，則與此同時，形成於第1基板100之正面與第2基板200之正面之各者之電性連接用之電極彼此接觸。藉此，第1基板100所包含之配線與第2基板200所包含之配線之間形成電性連接。因此，藉由設為使用第2製造方法所得之攝像裝置1之構成，例如可根據第1基板100與第2基板200各自之構成，使用適當之程序製造，能夠製造高品質、高性能之攝像裝置。

【0403】

於此種第2製造方法中，將第1基板100與第2基板200貼合時，有時會因貼合用之製造裝置而產生對位之誤差。又，第1基板100及第2基板200例如具有直徑達數十cm左右之大小，於將第1基板100與第2基板200貼合時，有在該第1基板100、第2基板200各部之微觀區域產生基板之伸縮之虞。引起該基板之伸縮之原因在於，基板彼此接觸之時點存在少許偏差。有時會因此種第1基板100及第2基板200之伸縮，而導致形成於第1基板100之正面及第2基板200之正面之各者的電性連接用電極之位置產生誤

差。於第2製造方法中，較佳為預先採取應對處理，以使即便產生此種誤差，第1基板100及第2基板200各自之電極彼此亦會接觸。具體而言，預先考慮到上述誤差而使第1基板100及第2基板200之電極之至少一者、較佳為兩者增大。因此，若使用第2製造方法，則例如形成於第1基板100或第2基板200之正面之電極之大小(基板平面方向之大小)大於自第1基板100或第2基板200之內部沿厚度方向延伸至正面之內部電極之大小。

【0404】

另一方面，藉由利用耐熱性之導電材料構成焊墊部120、121，能夠使用上述第1製造方法。於第1製造方法中，形成包含光電二極體PD及傳輸電晶體TR等之第1基板100後，將該第1基板100與第2基板200(半導體層2000S)貼合。此時，第2基板200之狀態為尚未形成構成像素電路210之主動元件及配線層等之圖案。由於第2基板200為形成圖案之前之狀態，故即便將第1基板100與第2基板200貼合時其等之貼合位置產生誤差，亦不會因該貼合誤差而導致第1基板100之圖案與第2基板200之圖案之間之對位產生誤差。其原因在於，第2基板200之圖案係於將第1基板100與第2基板200貼合後形成。再者，於要在第2基板形成圖案時，例如，於用以形成圖案之曝光裝置中，將形成於第1基板之圖案作為對位對象，而形成圖案。鑒於上述理由，於第1製造方法中，第1基板100與第2基板200之貼合位置之誤差對於製造攝像裝置1不成問題。鑒於相同理由，於第1製造方法中，第2製造方法中產生之基板之伸縮所引起之誤差對於製造攝像裝置1亦不成問題。

【0405】

第1製造方法中，以此方式將第1基板100與第2基板200(半導體層

200S)貼合後，於第2基板200上形成主動元件。其後，形成貫通電極120E、121E及貫通電極TGV(圖67)。於上述貫通電極120E、121E、TGV之形成中，例如從第2基板200之上方，使用曝光裝置之縮小投影曝光，形成貫通電極之圖案。由於使用縮小曝光投影，故即便第2基板200與曝光裝置之對位產生誤差，該誤差之大小於第2基板200中亦僅為上述第2製造方法中之誤差之幾分之一(縮小曝光投影倍率之倒數)。因此，藉由設為使用第1製造方法形成之攝像裝置1之構成，形成於第1基板100與第2基板200之各者之元件彼此之對位變得容易，能夠製造高品質、高性能之攝像裝置。

【0406】

使用此種第1製造方法製造之攝像裝置1具有與使用第2製造方法製造之攝像裝置不同之特徵。具體而言，於藉由第1製造方法製造之攝像裝置1中，例如，貫通電極120E、121E、TGV從第2基板200至第1基板100為大致固定之粗細(基板平面方向之大小)。或者，當貫通電極120E、121E、TGV具有錐形形狀時，其係具有固定斜率之錐形形狀。具有此種貫通電極120E、121E、TGV之攝像裝置1容易使像素541微細化。

【0407】

此處，當藉由第1製造方法製造攝像裝置1時，將第1基板100與第2基板200(半導體層200S)貼合後，於第2基板200形成主動元件，因此第1基板100亦會受到形成主動元件時所需之加熱處理之影響。因此，如上所述，設置於第1基板100之焊墊部120、121較佳為使用耐熱性較高之導電材料。例如，焊墊部120、121較佳為使用與第2基板200之配線層200T中所包含之配線材之至少一部分相比熔點較高(即耐熱性較高)之材料。例

如，焊墊部120、121使用摻雜多晶矽、鎢、鈦或者氮化鈦等耐熱性較高之導電材。藉此，可使用上述第1製造方法來製造攝像裝置1。

【0408】

鈍化膜122例如以覆蓋焊墊部120、121之方式，遍及半導體層100S之整個正面設置(圖67)。鈍化膜122例如包含氮化矽(SiN)膜。層間絕緣膜123隔著鈍化膜122覆蓋焊墊部120、121。該層間絕緣膜123例如遍及半導體層100S之整個正面設置。層間絕緣膜123例如包含氧化矽(SiO)膜。接合膜124設置於第1基板100(具體而言為配線層100T)與第2基板200之接合面。即，接合膜124與第2基板200相接。該接合膜124遍及第1基板100之整個主面設置。接合膜124例如包含氮化矽膜。

【0409】

受光透鏡401例如隔著固定電荷膜112及絕緣膜111與半導體層100S對向(圖67)。受光透鏡401設置於例如與像素541A、541B、541C、541D各自之光電二極體PD對向之位置。

【0410】

第2基板200從第1基板100側起依序具有半導體層200S及配線層200T。半導體層200S包含矽基板。於半導體層200S中，遍及厚度方向設置有井區域211。井區域211例如為p型半導體區域。於第2基板200，設置有針對每個像素共有單元539配置之像素電路210。該像素電路210例如設置於半導體層200S之正面側(配線層200T側)。於攝像裝置1中，以第2基板200之背面側(半導體層200S側)朝向第1基板100之正面側(配線層100T側)之方式，將第2基板200貼合於第1基板100。即，第2基板200以面對背(face to back)之方式貼合於第1基板100。

【0411】

圖69～圖73模式性地表示第2基板200之平面構成之一例。圖69中示出設置於半導體層200S之正面附近之像素電路210之構成。圖70模式性地表示配線層200T(具體而言為下述第1配線層W1)、及連接於配線層200T之半導體層200S及第1基板100之各部之構成。圖71～圖73示出配線層200T之平面構成之一例。以下，使用圖67及圖69～圖73對第2基板200之構成進行說明。於圖69及圖70中，以虛線表示光電二極體PD之外形(像素分離部117與光電二極體PD之交界)，以點線表示與構成像素電路210之各電晶體之閘極電極重疊之部分之半導體層200S與元件分離區域213或絕緣區域212之交界。於與放大電晶體AMP之閘極電極重疊之部分，在通道寬度方向之一方，設置有半導體層200S與元件分離區域213之交界、及元件分離區域213與絕緣區域212之交界。

【0412】

於第2基板200，設置有將半導體層200S分斷之絕緣區域212、及設置於半導體層200S之厚度方向之一部分之元件分離區域213(圖67)。例如，於在H方向上相鄰之2個像素電路210之間所設置之絕緣區域212，配置有與該等2個像素電路210連接之2個像素共有單元539之貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)(圖70)。

【0413】

絕緣區域212具有與半導體層200S之厚度大致相同之厚度(圖67)。半導體層200S由該絕緣區域212分斷。於該絕緣區域212配置有貫通電極120E、121E及貫通電極TGV。絕緣區域212例如包含氧化矽。

【0414】

貫通電極120E、121E係於厚度方向上貫通絕緣區域212而設置。貫通電極120E、121E之上端連接於配線層200T之配線(下述第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)。上述貫通電極120E、121E貫通絕緣區域212、接合膜124、層間絕緣膜123及鈍化膜122而設置，其下端連接於焊墊部120、121(圖67)。貫通電極120E用於將焊墊部120與像素電路210電性連接。即，藉由貫通電極120E，將第1基板100之浮動擴散部FD電性連接於第2基板200之像素電路210。貫通電極121E用於將焊墊部121與配線層200T之基準電位線VSS電性連接。即，藉由貫通電極121E將第1基板100之VSS接點區域118電性連接於第2基板200之基準電位線VSS。

【0415】

貫通電極TGV於厚度方向上貫通絕緣區域212而設置。貫通電極TGV之上端連接於配線層200T之配線。該貫通電極TGV貫通絕緣區域212、接合膜124、層間絕緣膜123、鈍化膜122及層間絕緣膜119而設置，其下端連接於傳輸閘極TG(圖67)。此種貫通電極TGV用於將像素541A、541B、541C、541D各自之傳輸閘極TG(傳輸閘極TG1、TG2、TG3、TG4)與配線層200T之配線(列驅動信號線542之一部分、具體而言為下述圖72之配線TRG1、TRG2、TRG3、TRG4)電性連接。即，藉由貫通電極TGV將第1基板100之傳輸閘極TG與第2基板200之配線TRG電性連接，向各傳輸電晶體TR(傳輸電晶體TR1、TR2、TR3、TR4)發送驅動信號。

【0416】

絕緣區域212係用於與半導體層200S絕緣地設置上述貫通電極

120E、121E及貫通電極TGV之區域，上述貫通電極120E、121E及貫通電極TGV用於將第1基板100與第2基板200電性連接。例如，於在H方向上相鄰之2個像素電路210(像素共有單元539)之間所設置之絕緣區域212，配置有與該等2個像素電路210連接之貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)。絕緣區域212例如於V方向上延伸設置(圖69、圖70)。此處，藉由對傳輸閘極TG之水平部分TGb之配置進行設計，而配置成與垂直部分TGa之位置相比，貫通電極TGV之H方向之位置更接近貫通電極120E、121E之H方向之位置(圖68A、圖70)。例如，貫通電極TGV配置於H方向上與貫通電極120E、120E大致相同之位置。藉此，可將貫通電極120E、121E及貫通電極TGV統一設置於在V方向上延伸之絕緣區域212。作為另一配置例，亦可考慮僅於與垂直部分TGa重疊之區域設計水平部分TGb。於此情形時，在垂直部分TGa之大致正上方形成貫通電極TGV，例如於各像素541之H方向及V方向之大致中央部配置貫通電極TGV。此時，貫通電極TGV之H方向之位置與貫通電極120E、121E之H方向之位置大幅偏移。於貫通電極TGV及貫通電極120E、121E之周圍，為了與近接之半導體層200S電性絕緣而例如設置絕緣區域212。於貫通電極TGV之H方向之位置與貫通電極120E、121E之H方向之位置相隔較遠之情形時，必須於貫通電極120E、121E、TGV各自之周圍獨立地設置絕緣區域212。因此，半導體層200S被細小地分斷。與此相比，於在V方向上延伸之絕緣區域212統一配置貫通電極120E、121E及貫通電極TGV之佈局可使半導體層200S之H方向之大小變大。因此，能夠確保半導體層200S中之半導體元件形成區域之面積較大。藉此，例如，能夠使放大電晶體AMP之尺寸變大，從而抑制雜訊。

【0417】

如參照圖65所作說明，像素共有單元539具有如下構造：將設置於複數個像素541之各者之浮動擴散部FD之間電性連接，該等複數個像素541共有1個像素電路210。而且，上述浮動擴散部FD間之電性連接係藉由設置於第1基板100之焊墊部120而完成(圖67、圖68B)。設置於第1基板100之電性連接部(焊墊部120)與設置於第2基板200之像素電路210經由1個貫通電極120E而電性連接。作為另一構造例，亦可考慮將浮動擴散部FD間之電性連接部設置於第2基板200。於此情形時，在像素共有單元539設置分別與浮動擴散部FD1、FD2、FD3、FD4連接之4個貫通電極。因此，於第2基板200中，貫通半導體層200S之貫通電極之數量增加，使該等貫通電極之周圍絕緣之絕緣區域212變大。與此相比，於第1基板100設置焊墊部120之構造(圖67、圖68B)可減少貫通電極之數量，使絕緣區域212變小。因此，能夠確保半導體層200S中之半導體元件形成區域之面積較大。藉此，例如，能夠使放大電晶體AMP之尺寸變大，從而抑制雜訊。

【0418】

元件分離區域213設置於半導體層200S之正面側。元件分離區域213具有STI(Shallow Trench Isolation，淺溝槽隔離)構造。於該元件分離區域213中，半導體層200S於厚度方向(與第2基板200之表面垂直之方向)上被刻蝕，於該刻蝕部嵌埋有絕緣膜。該絕緣膜例如包含氧化矽。元件分離區域213根據像素電路210之佈局，將構成像素電路210之複數個電晶體間元件分離。半導體層200S(具體而言為井區域211)延伸至元件分離區域213之下方(半導體層200S之深部)。

【0419】

此處，參照圖68A、圖68B及圖69，說明第1基板100上之像素共有單元539之外形形狀(基板平面方向之外形形狀)與第2基板200上之像素共有單元539之外形形狀之差異。

【0420】

於攝像裝置1中，遍及第1基板100及第2基板200之兩者，設置有像素共有單元539。例如，設置於第1基板100之像素共有單元539之外形形狀與設置於第2基板200之像素共有單元539之外形形狀互不相同。

【0421】

圖68A、圖68B中，以一點鏈線示出像素541A、541B、541C、541D之外形線，以粗線示出像素共有單元539之外形形狀。例如，第1基板100之像素共有單元539包含於H方向上鄰接配置之2個像素541(像素541A、541B)、及與該等2個像素541(像素541A、541B)於V方向上鄰接配置之2個像素541(像素541C、541D)。即，第1基板100之像素共有單元539包含鄰接之2列×2行之4個像素541，第1基板100之像素共有單元539具有大致正方形之外形形狀。於像素陣列部540中，此種像素共有單元539以H方向上為2像素間距(相當於2個像素541之間距)，且V方向上為2像素間距(相當於2個像素541之間距)之方式鄰接排列。

【0422】

圖69及圖70中，以一點鏈線示出像素541A、541B、541C、541D之外形線，以粗線示出像素共有單元539之外形形狀。例如，第2基板200之像素共有單元539之外形形狀於H方向上較第1基板100之像素共有單元539小，於V方向上較第1基板100之像素共有單元539大。例如，第2基板200之像素共有單元539於H方向上以相當於1個像素之大小(區域)形成，於V

方向上以相當於4個像素之大小形成。即，第2基板200之像素共有單元539係以相當於鄰接之呈1列x4行排列之像素之大小形成，第2基板200之像素共有單元539具有大致長方形之外形形狀。

【0423】

例如，於各像素電路210中，選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG依序排列配置於V方向(圖69)。如上所述，將各像素電路210之外形形狀設置為大致長方形，藉此，可於一方向(圖69中為V方向)上排列配置4個電晶體(選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG)。藉此，可於一個擴散區域(連接於電源線VDD之擴散區域)共有放大電晶體AMP之汲極及重設電晶體RST之汲極。例如，亦可將各像素電路210之形成區域設置為大致正方形(參照下述圖82)。於此情形時，沿著一方向配置2個電晶體，難以於一個擴散區域共有放大電晶體AMP之汲極及重設電晶體RST之汲極。因此，藉由將像素電路210之形成區域設置為大致長方形，可容易將4個電晶體近接地配置，使像素電路210之形成區域變小。即，可實施像素之微細化。又，於無需使像素電路210之形成區域變小時，可使放大電晶體AMP之形成區域變大，從而抑制雜訊。

【0424】

例如，於半導體層200S之正面附近，除設置有選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG以外，還設置有與基準電位線VSS連接之VSS接點區域218。VSS接點區域218例如由p型半導體區域構成。VSS接點區域218經由配線層200T之配線及貫通電極121E電性連接於第1基板100(半導體層100S)之VSS接點區域118。該

VSS接點區域218例如隔著元件分離區域213，設置於與FD轉換增益切換電晶體FDG之源極相鄰之位置(圖69)。

【0425】

其次，參照圖68B及圖69，說明設置於第1基板100之像素共有單元539與設置於第2基板200之像素共有單元539之位置關係。例如，排列於第1基板100之V方向之2個像素共有單元539中之一(例如圖68B之紙面上側)像素共有單元539與排列於第2基板200之H方向之2個像素共有單元539中之一(例如圖69之紙面左側)像素共有單元539連接。例如，排列於第1基板100之V方向之2個像素共有單元539中之另一(例如圖68B之紙面下側)像素共有單元539與排列於第2基板200之H方向之2個像素共有單元539中之另一(例如圖69之紙面右側)像素共有單元539連接。

【0426】

例如，排列於第2基板200之H方向之2個像素共有單元539中，一像素共有單元539之內部佈局(電晶體等之配置)與使另一像素共有單元539之內部佈局於V方向及H方向上反轉之佈局大致相同。以下，說明藉由該佈局而獲得之效果。

【0427】

排列於第1基板100之V方向之2個像素共有單元539中，各焊墊部120配置於像素共有單元539之外形形狀之中央部、即像素共有單元539之V方向及H方向之中央部(圖68B)。另一方面，如上所述，第2基板200之像素共有單元539具有於V方向上較長之大致長方形之外形形狀，因此，例如連接於焊墊部120之放大電晶體AMP配置在從像素共有單元539之V方向之中央朝紙面上方偏移之位置。例如，當排列於第2基板200之H方向之2

個像素共有單元539之內部佈局相同時，一像素共有單元539之放大電晶體AMP與焊墊部120(例如，圖7之紙面上側之像素共有單元539之焊墊部120)之距離相對較短。但是，另一像素共有單元539之放大電晶體AMP與焊墊部120(例如，圖7之紙面下側之像素共有單元539之焊墊部120)之距離變長。因此，有該放大電晶體AMP與焊墊部120之連接所需之配線之面積變大，像素共有單元539之配線佈局變得複雜之虞。該情況可能會對攝像裝置1之微細化產生影響。

【0428】

對此，於排列在第2基板200之H方向之2個像素共有單元539中，使相互之內部佈局至少於V方向上反轉，藉此，可縮短該等2個像素共有單元539之兩者之放大電晶體AMP與焊墊部120之距離。因此，與使排列於第2基板200之H方向之2個像素共有單元539之內部佈局相同之構成相比，更容易實施攝像裝置1之微細化。再者，第2基板200之複數個像素共有單元539各自之平面佈局於圖69所記載之範圍內為左右對稱，但若還包含下述圖70所記載之第1配線層W1之佈局在內，則為左右非對稱。

【0429】

又，排列於第2基板200之H方向之2個像素共有單元539之內部佈局較佳為相互於H方向上亦反轉。以下，說明其理由。如圖70所示，排列於第2基板200之H方向之2個像素共有單元539分別連接於第1基板100之焊墊部120、121。例如，於排列在第2基板200之H方向之2個像素共有單元539的H方向之中央部(排列於H方向之2個像素共有單元539之間)配置有焊墊部120、121。因此，藉由使排列於第2基板200之H方向之2個像素共有單元539之內部佈局相互於H方向上亦反轉，可縮小第2基板200之複數個

像素共有單元539之各者與焊墊部120、121之距離。即，容易進一步實施攝像裝置1之微細化。

【0430】

又，第2基板200之像素共有單元539之外形線之位置可不與第1基板100之像素共有單元539之任一外形線之位置一致。例如，排列於第2基板200之H方向之2個像素共有單元539中之一(例如圖70之紙面左側)像素共有單元539中，V方向之其中一條(例如圖70之紙面上側)外形線配置於對應之第1基板100之像素共有單元539(例如圖68B之紙面上側)之V方向之其中一條外形線的外側。又，排列於第2基板200之H方向之2個像素共有單元539中的另一個(例如圖70之紙面右側)像素共有單元539中，V方向之另一條(例如圖70之紙面下側)外形線配置於對應之第1基板100之像素共有單元539(例如圖68B之紙面下側)之V方向之另一條外形線的外側。如此，藉由配置第2基板200之像素共有單元539與第1基板100之像素共有單元539之兩者，能夠縮短放大電晶體AMP與焊墊部120之距離。因此，容易實施攝像裝置1的微細化。

【0431】

又，於第2基板200之複數個像素共有單元539之間，外形線彼此之位置可不一致。例如，排列於第2基板200之H方向之2個像素共有單元539以V方向之外形線之位置偏移之方式配置。藉此，能夠縮短放大電晶體AMP與焊墊部120之距離。因此，容易實施攝像裝置1之微細化。

【0432】

參照圖68B及圖70，對像素陣列部540中之像素共有單元539之重複配置進行說明。第1基板100之像素共有單元539具有於H方向上為2個像素

541之大小、及於V方向上為2個像素541之大小(圖68B)。例如，於第1基板100之像素陣列部540中，該相當於4個像素541之大小之像素共有單元539以H方向上為2像素間距(相當於2個像素541之間距)，且V方向上為2像素間距(相當於2個像素541之間距)之方式鄰接地重複排列。或者，亦可於第1基板100之像素陣列部540設置2個像素共有單元539於V方向上鄰接配置而成之一對像素共有單元539。於第1基板100之像素陣列部540中，例如，該一對像素共有單元539以H方向上為2像素間距(相當於2個像素541之間距)，且V方向上為4像素間距(相當於4個像素541之間距)之方式鄰接地重複排列。第2基板200之像素共有單元539具有於H方向上為1個像素541之大小、及於V方向上為4個像素541之大小(圖70)。例如，於第2基板200之像素陣列部540，設置有一對像素共有單元539，該一對像素共有單元539包含2個該相當於4個像素541之大小之像素共有單元539。該像素共有單元539於H方向上鄰接配置，且上於V方向錯開地配置。於第2基板200之像素陣列部540中，例如該一對像素共有單元539以H方向上為2像素間距(相當於2個像素541之間距)，且V方向上為4像素間距(相當於4個像素541之間距)之方式，無間隙而鄰接地重複排列。藉由此種像素共有單元539之重複配置，可無間隙地配置像素共有單元539。因此，容易實施攝像裝置1之微細化。

【0433】

放大電晶體AMP例如較佳為鰭(Fin)式等三維構造(圖67)。藉此，閘極寬度之有效大小變大，能夠抑制雜訊。選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG例如具有平面構造。放大電晶體AMP可具有平面構造。或者，選擇電晶體SEL、重設電晶體RST或FD轉換增益

切換電晶體FDG可具有三維構造。

【0434】

配線層200T例如包含鈍化膜221、層間絕緣膜222及複數條配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)。鈍化膜221例如與半導體層200S之正面相接，覆蓋半導體層200S之整個正面。該鈍化膜221覆蓋選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG各自之閘極電極。層間絕緣膜222設置於鈍化膜221與第3基板300之間。藉由該層間絕緣膜222將複數條配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)分離。層間絕緣膜222例如包含氧化矽。

【0435】

於配線層200T，例如從半導體層200S側起，依序設置有第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4及接點部201、202，其等藉由層間絕緣膜222而相互絕緣。於層間絕緣膜222，設置有複數個連接部，該等連接部將第1配線層W1、第2配線層W2、第3配線層W3或第4配線層W4與其等之下層連接。連接部係於設置在層間絕緣膜222之連接孔埋設有導電材料之部分。例如，於層間絕緣膜222，設置有將第1配線層W1與半導體層200S之VSS接點區域218連接之連接部218V。例如，此種連接第2基板200之元件彼此之連接部之孔徑與貫通電極120E、121E及貫通電極TGV之孔徑不同。具體而言，連接第2基板200之元件彼此之連接孔之孔徑較佳為小於貫通電極120E、121E及貫通電極TGV之孔徑。以下，說明其理由。設置於配線層200T內之連接部(連接部218V等)之深度小於貫通電極120E、121E及貫通電極TGV之深度。因此，連接部與貫通

電極120E、121E及貫通電極TGV相比，可容易地向連接孔嵌埋導電材。藉由使該連接部之孔徑小於貫通電極120E、121E及貫通電極TGV之孔徑，容易實施攝像裝置1之微細化。

【0436】

例如，藉由第1配線層W1，將貫通電極120E與放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極(具體而言為到達FD轉換增益切換電晶體FDG之源極之連接孔)連接。第1配線層W1例如將貫通電極121E與連接部218V連接，藉此，將半導體層200S之VSS接點區域218與半導體層100S之VSS接點區域118電性連接。

【0437】

其次，使用圖71～圖73，對配線層200T之平面構成進行說明。圖71係表示第1配線層W1及第2配線層W2之平面構成之一例的圖。圖72係表示第2配線層W2及第3配線層W3之平面構成之一例的圖。圖73係表示第3配線層W3及第4配線層W4之平面構成之一例的圖。

【0438】

例如，第3配線層W3包含於H方向(列方向)上延伸之配線TRG1、TRG2、TRG3、TRG4、SELL、RSTL、FDGL(圖72)。該等配線相當於參照圖65說明之複數條列驅動信號線542。配線TRG1、TRG2、TRG3、TRG4分別用於向傳輸閘極TG1、TG2、TG3、TG4發送驅動信號。配線TRG1、TRG2、TRG3、TRG4分別經由第2配線層W2、第1配線層W1及貫通電極120E連接於傳輸閘極TG1、TG2、TG3、TG4。配線SELL用於向選擇電晶體SEL之閘極發送驅動信號，配線RSTL用於向重設電晶體RST之閘極發送驅動信號，配線FDGL用於向FD轉換增益切換電晶體FDG

之閘極發送驅動信號。配線SELL、RSTL、FDGL分別經由第2配線層W2、第1配線層W1及連接部而連接於選擇電晶體SEL、重設電晶體RST、FD轉換增益切換電晶體FDG各自之閘極。

【0439】

例如，第4配線層W4包含於V方向(行方向)上延伸之電源線VDD、基準電位線VSS及垂直信號線543(圖73)。電源線VDD經由第3配線層W3、第2配線層W2、第1配線層W1及連接部而連接於放大電晶體AMP之汲極及重設電晶體RST之汲極。基準電位線VSS經由第3配線層W3、第2配線層W2、第1配線層W1及連接部218V而連接於VSS接點區域218。又，基準電位線VSS經由第3配線層W3、第2配線層W2、第1配線層W1、貫通電極121E及焊墊部121而連接於第1基板100之VSS接點區域118。垂直信號線543經由第3配線層W3、第2配線層W2、第1配線層W1及連接部而連接於選擇電晶體SEL之源極(Vout)。

【0440】

接點部201、202可設置於俯視下與像素陣列部540重疊之位置(例如圖64)，或者可設置於像素陣列部540之外側之周邊部540B(例如圖67)。接點部201、202設置於第2基板200之正面(配線層200T側之面)。接點部201、202包含例如Cu(銅)及Al(鋁)等金屬。接點部201、202於配線層200T之正面(第3基板300側之面)露出。接點部201、202被用於第2基板200與第3基板300之電性連接、及第2基板200與第3基板300之貼合。

【0441】

圖67中，圖示出於第2基板200之周邊部540B設置有周邊電路之例。該周邊電路可包含列驅動部520之一部分或行信號處理部550之一部分

等。又，如圖64中所記載，可不於第2基板200之周邊部540B配置周邊電路，而將連接孔部H1、H2配置於像素陣列部540之附近。

【0442】

第3基板300例如從第2基板200側起依序具有配線層300T及半導體層300S。例如，半導體層300S之正面設置於第2基板200側。半導體層300S包含矽基板。於該半導體層300S之正面側之部分，設置有電路。具體而言，於半導體層300S之正面側之部分，例如設置有輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B中之至少一部分。設置於半導體層300S與第2基板200之間之配線層300T例如包含層間絕緣膜、由該層間絕緣膜分離之複數條配線層、及接點部301、302。接點部301、302於配線層300T之正面(第2基板200側之面)露出，接點部301與第2基板200之接點部201相接，接點部302與第2基板200之接點部202相接。接點部301、302與形成於半導體層300S之電路(例如輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B之至少任一者)電性連接。接點部301、302例如包含Cu(銅)及鋁(Al)等金屬。例如，外部端子TA經由連接孔部H1連接於輸入部510A，外部端子TB經由連接孔部H2連接於輸出部510B。

【0443】

此處，對攝像裝置1之特徵進行說明。

【0444】

一般而言，攝像裝置包含光電二極體及像素電路作為主要構成。此處，若增大光電二極體之面積，則光電轉換後產生之電荷增加，其結果，

將改善像素信號之信號/雜訊比(S/N比)，攝像裝置能夠輸出更佳之圖像資料(圖像資訊)。另一方面，若增大像素電路中所包含之電晶體之尺寸(尤其是放大電晶體之尺寸)，則像素電路中產生之雜訊減少，其結果，將改善攝像信號之S/N比，攝像裝置能夠輸出更佳之圖像資料(圖像資訊)。

【0445】

但是，對於在同一半導體基板上設置有光電二極體及像素電路之攝像裝置，認為若在半導體基板之有限之面積中增大光電二極體之面積，則會導致像素電路所具備之電晶體之尺寸變小。又，認為若增大像素電路所具備之電晶體之尺寸，則會導致光電二極體之面積變小。

【0446】

為了解決該等問題，例如，本實施形態之攝像裝置1使用如下構造：複數個像素541共有1個像素電路210，且將共有之像素電路210與光電二極體PD重疊地配置。藉此，能夠實現於半導體基板之有限之面積中，儘可能地增大光電二極體PD之面積，且儘可能地增大像素電路210所具備之電晶體之尺寸。藉此，能夠改善像素信號之S/N比，攝像裝置1能夠輸出更佳之圖像資料(圖像資訊)。

【0447】

於實現複數個像素541共有1個像素電路210，且將該1個像素電路210與光電二極體PD重疊配置之構造時，連接於1個像素電路210之複數條配線從複數個像素541各自之浮動擴散部FD延伸。為了確保形成像素電路210之半導體基板200之面積較大，例如可將該等延伸之複數條配線之間相互連接，形成彙總為1條之連接配線。關於從VSS接點區域118延伸之複數條配線亦同樣可將延伸之複數條配線之間相互連接，形成彙總為1條之

連接配線。

【0448】

例如，認為當於形成像素電路210之半導體基板200上，形成將從複數個像素541各自之浮動擴散部FD延伸之複數條配線之間相互連接之連接配線時，會導致供形成像素電路210所包含之電晶體之面積變小。同樣，認為當於形成像素電路210之半導體基板200上，形成將從複數個像素541各自之VSS接點區域118延伸之複數條配線之間相互連接並彙總為1條的連接配線時，會因此導致供形成像素電路210所包含之電晶體之面積變小。

【0449】

為了解決該等問題，例如本實施形態之攝像裝置1可具備如下構造，即，複數個像素541共有1個像素電路210，且將共有之像素電路210與光電二極體PD重疊地配置，於第1基板100設置有將上述複數個像素541各自之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將上述複數個像素541各自所具備之VSS接點區域118之間相互連接後彙總為1條之連接配線。

【0450】

此處，若使用上文所述的第2製造方法作為用以將下述連接配線設置於第1基板100之製造方法，則例如可根據第1基板100及第2基板200各自之構成，使用適當之程序進行製造，能夠製造高品質、高性能之攝像裝置，上述連接配線係指將上述複數個像素541各自之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將上述複數個像素541各自之VSS接點區域118之間相互連接後彙總為1條之連接配線。又，能夠利用簡單之程序形成第1基板100及第2基板200之連接配線。具體而言，於使用上述第2製

造方法之情形時，於成為第1基板100與第2基板200之貼合交界面之第1基板100之正面與第2基板200之正面，分別設置連接於浮動擴散部FD之電極、及連接於VSS接點區域118之電極。進而，較佳為使形成於該等2個基板正面之電極增大，以使得於將第1基板100與第2基板200貼合時，即便設置於該等2個基板正面之電極間產生位置偏移，形成於該等2個基板正面之電極彼此亦會接觸。於此情形時，認為難以於攝像裝置1所具備之各像素之有限之面積中配置上述電極。

【0451】

為了解決於第1基板100與第2基板200之貼合交界面處需要較大電極之問題，例如本實施形態之攝像裝置1可使用上文所述之第1製造方法作為複數個像素541共有1個像素電路210，且將所共有之像素電路210與光電二極體PD重疊地配置之製造方法。藉此，形成於第1基板100及第2基板200之各者之元件彼此之對位變得容易，從而能夠製造高品質、高性能之攝像裝置。進而，可具備藉由使用該製造方法而產生之固有構造。即，具備將第1基板100之半導體層100S、配線層100T、第2基板200之半導體層200S及配線層200T依序積層而得之構造、換言之、將第1基板100與第2基板200以面對背之方式積層而得之構造，且具備貫通電極120E、121E，上述貫通電極120E、121E係從第2基板200之半導體層200S之正面側，貫通半導體層200S及第1基板100之配線層100T後到達第1基板100之半導體層100S之正面。

【0452】

於第1基板100設置有將上述複數個像素541各自之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將上述複數個像素541各自之VSS

接點區域118之間相互連接後彙總為1條之連接配線的構造中，使用上述第1製造方法將該構造與第2基板200積層而於第2基板200形成像素電路210時，形成像素電路210所具備之主動元件時所需之加熱處理有可能會影響到第1基板100上所形成之上述連接配線。

【0453】

因此，為了解決形成上述主動元件時之加熱處理會對上述連接配線造成影響之問題，本實施形態之攝像裝置1較理想的是，對將上述複數個像素541各自之浮動擴散部FD彼此相互連接後彙總為1條之連接配線、及將上述複數個像素541各自之VSS接點區域118之間相互連接後彙總為1條之連接配線使用耐熱性較高之導電材料。具體而言，耐熱性較高之導電材料可使用與第2基板200之配線層200T中所包含之配線材之至少一部分相比熔點較高之材料。

【0454】

如此，例如本實施形態之攝像裝置1藉由具備如下構造，可不於第1基板100與第2基板200之界面具備較大之電極，而於第1基板100設置將複數個像素541各自所具備之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將複數個像素541各自所具備之VSS接點區域118之間相互連接後彙總為1條之連接配線，上述構造係指：(1)將第1基板100與第2基板200以面對背之方式積層而得之構造(具體而言，將第1基板100之半導體層100S、配線層100T、第2基板200之半導體層200S及配線層200T依序積層之構造)；(2)設置有貫通電極120E、121E之構造，上述貫通電極120E、121E係從第2基板200之半導體層200S之正面側，貫通半導體層200S及第1基板100之配線層100T後到達第1基板100之半導體層100S之正面；及(3)

利用耐熱性較高之導電材料形成將複數個像素541各自所具備之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將複數個像素541各自所具備之VSS接點區域118之間相互連接後彙總為1條之連接配線的構造。

【0455】

[攝像裝置1之動作]

其次，使用圖74及圖75對攝像裝置1之動作進行說明。圖74及圖75係對圖64補充了表示各信號之路徑之箭頭之圖。圖74係以箭頭表示從外部輸入至攝像裝置1之輸入信號、電源電位及基準電位之路徑之圖。圖75係以箭頭表示從攝像裝置1輸出至外部之像素信號之信號路徑之圖。例如，經由輸入部510A輸入至攝像裝置1之輸入信號(例如像素時脈及同步信號)被傳送至第3基板300之列驅動部520，由列驅動部520產生列驅動信號。該列驅動信號經由接點部301、201發送至第2基板200。進而，該列驅動信號經由配線層200T內之列驅動信號線542，到達像素陣列部540之各像素共有單元539。到達第2基板200之像素共有單元539之列驅動信號中之除傳輸閘極TG以外之驅動信號被輸入至像素電路210，將像素電路210中所包含之各電晶體驅動。傳輸閘極TG之驅動信號經由貫通電極TGV輸入至第1基板100之傳輸閘極TG1、TG2、TG3、TG4，將像素541A、541B、541C、541D驅動(圖74)。又，從攝像裝置1之外部供給至第3基板300之輸入部510A(輸入端子511)之電源電位及基準電位經由接點部301、201發送至第2基板200，經由配線層200T內之配線，供給至像素共有單元539各自之像素電路210。基準電位亦進而經由貫通電極121E供給至第1基板100之像素541A、541B、541C、541D。另一方面，第1基板100之像素541A、541B、541C、541D中經光電轉換之像素信號經由貫通電極120E

針對每個像素共有單元539分別發送至第2基板200之像素電路210。基於該像素信號而產生之像素信號從像素電路210經由垂直信號線543及接點部202、302發送至第3基板300。該像素信號經第3基板300之行信號處理部550及圖像信號處理部560進行處理後，經由輸出部510B輸出至外部。

【0456】

[效果]

本實施形態中，像素541A、541B、541C、541D(像素共有單元539)與像素電路210設置於互不相同之基板(第1基板100及第2基板200)。藉此，與使像素541A、541B、541C、541D及像素電路210形成於同一基板之情形相比，可擴大像素541A、541B、541C、541D及像素電路210之面積。其結果，能夠增大藉由光電轉換而獲得之像素信號之量，且能夠減少像素電路210之電晶體雜訊。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。又，能夠實現攝像裝置1之微細化(換言之，像素尺寸之縮小及攝像裝置1之小型化)。攝像裝置1藉由縮小像素尺寸，能夠使每單位面積之像素數增加，能夠輸出高畫質之圖像。

【0457】

又，於攝像裝置1中，藉由設置於絕緣區域212之貫通電極120E、121E將第1基板100與第2基板200相互電性連接。例如，亦可考慮藉由焊墊電極彼此之接合將第1基板100與第2基板200連接之方法、或藉由貫通半導體層之貫通配線(例如TSV(Thorough Si Via，矽穿孔))連接之方法。與此種方法相比，藉由於絕緣區域212設置貫通電極120E、121E，能夠縮小第1基板100及第2基板200之連接所需之面積。藉此，可縮小像素尺

寸，使攝像裝置1更小型化。又，藉由單位像素之面積之進一步微細化，能夠進一步提高解像度。於無需晶片尺寸之小型化時，可擴大像素541A、541B、541C、541D及像素電路210之形成區域。其結果，能夠增大藉由光電轉換而獲得之像素信號之量，且能夠減少像素電路210所具備之電晶體之雜訊。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0458】

又，於攝像裝置1中，像素電路210與行信號處理部550及圖像信號處理部560設置於互不相同之基板(第2基板200及第3基板300)。藉此，相比將像素電路210與行信號處理部550及圖像信號處理部560形成於同一基板之情形，可擴大像素電路210之面積、行信號處理部550及圖像信號處理部560之面積。藉此，能夠減少於行信號處理部550產生之雜訊，能夠於圖像信號處理部560搭載更高級之圖像處理電路。因此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0459】

又，於攝像裝置1中，將像素陣列部540設置於第1基板100及第2基板200，且將行信號處理部550及圖像信號處理部560設置於第3基板300。又，將第2基板200與第3基板300連接之接點部201、202、301、302形成於像素陣列部540之上方。因此，接點部201、202、301、302可不受像素陣列所具備之各種配線之佈局上之干擾而自由地佈局。藉此，可將接點部201、202、301、302用於第2基板200與第3基板300之電性連接。藉由使用接點部201、202、301、302，例如行信號處理部550及圖像信號處理部560之佈局自由度提高。藉此，能夠減少於行信號處理部550產生之雜

訊，能夠於圖像信號處理部560搭載更高級之圖像處理電路。因此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0460】

又，於攝像裝置1中，像素分離部117貫通半導體層100S。藉此，即便於因單位像素之面積之微細化而使相鄰之像素(像素541A、541B、541C、541D)之距離接近之情形時，亦能夠抑制像素541A、541B、541C、541D之間之混色。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0461】

又，於攝像裝置1中，於每個像素共有單元539均設置有像素電路210。藉此，與將像素電路210設置於像素541A、541B、541C、541D之各者情形相比，能夠使構成像素電路210之電晶體(放大電晶體AMP、重設電晶體RST、選擇電晶體SEL、FD轉換增益切換電晶體FDG)之形成區域增大。例如，藉由使放大電晶體AMP之形成區域增大，能夠抑制雜訊。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0462】

進而，於攝像裝置1中，於第1基板100設置有將4個像素(像素541A、541B、541C、541D)之浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)電性連接之焊墊部120。藉此，與將此種焊墊部120設置於第2基板200之情形相比，能夠減少將第1基板100與第2基板200連接之貫通電極(貫通電極120E)之數量。因此，能夠使絕緣區域212變小，能夠以充分

之大小確保構成像素電路210之電晶體之形成區域(半導體層200S)。藉此，能夠減少像素電路210所具備之電晶體之雜訊，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0463】

以下，對上述實施形態之攝像裝置1之變化例進行說明。於以下之變化例中，對與上述實施形態共通之構成附上相同符號進行說明。

【0464】

＜6.2.變化例1＞

圖76～圖80係表示上述實施形態之攝像裝置1之平面構成之一變化例之圖。圖76模式性地表示第2基板200之半導體層200S之正面附近之平面構成，對應於上述實施形態中所說明之圖69。圖77模式性地表示第1配線層W1、連接於第1配線層W1之半導體層200S及第1基板100之各部之構成，對應於上述實施形態中所說明之圖70。圖78表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中所說明之圖71。圖79表示第2配線層W2及第3配線層W3之平面構成之一例，對應於上述實施形態中所說明之圖72。圖80表示第3配線層W3及第4配線層W4之平面構成之一例，對應於上述實施形態中所說明之圖73。

【0465】

於本變化例中，如圖77所示，排列於第2基板200之H方向之2個像素共有單元539中之一(例如紙面右側)像素共有單元539之內部佈局成為使另一(例如紙面左側)像素共有單元539之內部佈局僅於H方向上反轉後之構成。又，一像素共有單元539之外形線與另一像素共有單元539之外形線之間之V方向之偏移較上述實施形態中所說明之偏移(圖70)大。如此，藉

由增大V方向之偏移，能夠縮小另一像素共有單元539之放大電晶體AMP與連接於其之焊墊部120(圖7中所記載之排列於V方向之2個像素共有單元539中之另一(紙面下側)焊墊部120)之間之距離。藉由此種佈局，圖76～圖80中所記載之攝像裝置1之變化例1可不使排列於H方向之2個像素共有單元539之平面佈局在V方向上相互反轉，而可使其面積與上述實施形態中所說明之第2基板200之像素共有單元539之面積相同。再者，第1基板100之像素共有單元539之平面佈局與上述實施形態中所說明之平面佈局(圖68A、圖68B)相同。因此，本變化例之攝像裝置1能夠獲取與上述實施形態中所說明之攝像裝置1相同之效果。第2基板200之像素共有單元539之配置不限於上述實施形態及本變化例中所說明之配置。

【0466】

＜6.3.變化例2＞

圖81～圖86係表示上述實施形態之攝像裝置1之平面構成之一變化例的圖。圖81模式性地表示第1基板100之平面構成，對應於上述實施形態中所說明之圖68A。圖82模式性地表示第2基板200之半導體層200S之正面附近之平面構成，對應於上述實施形態中所說明之圖69。圖83模式性地表示第1配線層W1、連接於第1配線層W1之半導體層200S及第1基板100各部之構成，對應於上述實施形態中所說明之圖70。圖84表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中所說明之圖71。圖85表示第2配線層W2及第3配線層W3之平面構成之一例，對應於上述實施形態中所說明之圖72。圖86表示第3配線層W3及第4配線層W4之平面構成之一例，對應於上述實施形態中所說明之圖73。

【0467】

於本變化例中，各像素電路210之外形具有大致正方形之平面形狀(圖82等)。於該方面，本變化例之攝像裝置1之平面構成與上述實施形態中所說明之攝像裝置1之平面構成不同。

【0468】

例如，第1基板100之像素共有單元539與上述實施形態中所作說明相同，遍及2列x2行之像素區域形成，具有大致正方形之平面形狀(圖81)。例如，於各像素共有單元539中，一像素行之像素541A及像素541C之傳輸閘極TG1、TG3之水平部分TGb朝從與垂直部分TGa重疊之位置朝向H方向上之像素共有單元539之中央部之方向(更具體而言，朝向像素541A、541C之外緣之方向且朝向像素共有單元539之中央部之方向)延伸，另一像素行之像素541B及像素541D之傳輸閘極TG2、TG4之水平部分TGb朝從與垂直部分TGa重疊之位置朝向H方向上之像素共有單元539之外側之方向(更具體而言，朝向像素541B、541D之外緣之方向且朝向像素共有單元539之外側之方向)延伸。連接於浮動擴散部FD之焊墊部120設置在像素共有單元539之中央部(像素共有單元539之H方向及V方向之中央部)，連接於VSS接點區域118之焊墊部121至少於H方向上(圖81中之H方向及V方向上)設置於像素共有單元539之端部。

【0469】

作為另一配置例，亦可考慮僅於與垂直部分TGa對向之區域設置傳輸閘極TG1、TG2、TG3、TG4之水平部分TGb。此時，與上述實施形態中所說明之內容相同，容易將半導體層200S細小地分斷。因此，不易使像素電路210之電晶體形成得較大。另一方面，當使傳輸閘極TG1、TG2、TG3、TG4之水平部分TGb如上述變化例般，從與垂直部分TGa重疊之位

置朝H方向延伸時，與上述實施形態中所作說明相同，能夠增大半導體層200S之寬度。具體而言，能夠以近接於貫通電極120E之H方向之位置之方式，配置與傳輸閘極TG1、TG3連接之貫通電極TGV1、TGV3之H方向之位置，且能夠以近接於貫通電極121E之H方向之位置之方式，配置與傳輸閘極TG2、TG4連接之貫通電極TGV2、TGV4之H方向之位置(圖83)。藉此，與上述實施形態中所作說明相同，能夠使於V方向上延伸之半導體層200S之寬度(H方向之大小)變大。因此，能夠增大像素電路210之電晶體之尺寸、尤其是放大電晶體AMP之尺寸。其結果，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0470】

第2基板200之像素共有單元539例如與第1基板100之像素共有單元539之H方向及V方向之大小大致相同，例如遍及與大致2列x2行之像素區域對應之區域設置。例如，於各像素電路210中，選擇電晶體SEL及放大電晶體AMP以排列於V方向之方式配置於在V方向上延伸之1個半導體層200S，FD轉換增益切換電晶體FDG及重設電晶體RST以排列於V方向之方式配置於在V方向上延伸之1個半導體層200S。設置有該選擇電晶體SEL及放大電晶體AMP之1個半導體層200S與設置有FD轉換增益切換電晶體FDG及重設電晶體RST之1個半導體層200S介隔絕緣區域212排列於H方向。該絕緣區域212於V方向上延伸(圖82)。

【0471】

此處，參照圖82及圖83對第2基板200之像素共有單元539之外形進行說明。例如，圖81所示之第1基板100之像素共有單元539與設置於焊墊部120之H方向之一側(圖83之紙面左側)之放大電晶體AMP及選擇電晶體

SEL、以及設置於焊墊部120之H方向之另一側(圖83之紙面右側)之FD轉換增益切換電晶體FDG及重設電晶體RST連接。包含該放大電晶體AMP、選擇電晶體SEL、FD轉換增益切換電晶體FDG及重設電晶體RST之第2基板200之像素共有單元539之外形係由以下之4個外緣決定。

【0472】

第1外緣係包含選擇電晶體SEL及放大電晶體AMP之半導體層200S的V方向之一端(圖83之紙面上側之端部)之外緣。該第1外緣設置於該像素共有單元539中所包含之放大電晶體AMP、與在該像素共有單元539之V方向之一側(圖83之紙面上側)相鄰之像素共有單元539中所包含之選擇電晶體SEL之間。更具體而言，第1外緣設置於該等放大電晶體AMP與選擇電晶體SEL之間之元件分離區域213之V方向的中央部。第2外緣係包含選擇電晶體SEL及放大電晶體AMP之半導體層200S的V方向之另一端(圖83之紙面下側之端部)之外緣。該第2外緣設置於該像素共有單元539中所包含之選擇電晶體SEL、與在該像素共有單元539之V方向之另一側(圖83之紙面下側)相鄰之像素共有單元539中所包含之放大電晶體AMP之間。更具體而言，第2外緣設置於該等選擇電晶體SEL與放大電晶體AMP之間之元件分離區域213之V方向之中央部。第3外緣係包含重設電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S的V方向之另一端(圖83之紙面下側之端部)之外緣。該第3外緣設置於該像素共有單元539中所包含之FD轉換增益切換電晶體FDG、與在該像素共有單元539之V方向之另一側(圖83之紙面下側)相鄰之像素共有單元539中所包含之重設電晶體RST之間。更具體而言，第3外緣設置於該等FD轉換增益切換電晶體FDG與重設電晶體RST之間之元件分離區域213之V方向的中央部。第4外緣係包含重設電晶

體RST及FD轉換增益切換電晶體FDG之半導體層200S的V方向之一端(圖83之紙面上側之端部)之外緣。該第4外緣設置於該像素共有單元539中所包含之重設電晶體RST、與在該像素共有單元539之V方向之一側(圖83之紙面上側)相鄰之像素共有單元539中所包含之FD轉換增益切換電晶體FDG(未圖示)之間。更具體而言，第4外緣設置於該等重設電晶體RST與FD轉換增益切換電晶體FDG之間之元件分離區域213(未圖示)之V方向的中央部。

【0473】

此種包含第1、第2、第3、第4外緣之第2基板200之像素共有單元539之外形中，第3、第4外緣相對於第1、第2外緣朝V方向之一側偏移地配置(換言之，朝V方向之一側偏移)。藉由使用此種佈局，可使放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極均儘可能地近接於焊墊部120配置。因此，容易使連接該等之配線之面積變小，容易實施攝像裝置1之微細化。再者，VSS接點區域218設置於包含選擇電晶體SEL及放大電晶體AMP之半導體層200S、與包含重設電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S之間。例如，複數個像素電路210具有相互相同之配置。

【0474】

具有此種第2基板200之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。第2基板200之像素共有單元539之配置不限於上述實施形態及本變化例中所說明之配置。

【0475】

＜6.4.變化例3＞

圖87～圖92係表示上述實施形態之攝像裝置1之平面構成之一變化例的圖。圖87模式性地表示第1基板100之平面構成，對應於上述實施形態中所說明之圖68B。圖88模式性地表示第2基板200之半導體層200S之正面附近之平面構成，對應於上述實施形態中所說明之圖69。圖89模式性地表示第1配線層W1、及連接於第1配線層W1之半導體層200S及第1基板100之各部之構成，對應於上述實施形態中所說明之圖70。圖90表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中所說明之圖71。圖91表示第2配線層W2及第3配線層W3之平面構成之一例，對應於上述實施形態中所說明之圖72。圖92表示第3配線層W3及第4配線層W4之平面構成之一例，對應於上述實施形態中所說明之圖73。

【0476】

於本變化例中，第2基板200之半導體層200S在H方向上延伸(圖89)。即，大致對應於使上述圖82等所示之攝像裝置1之平面構成旋轉90度後之構成。

【0477】

例如，與上述實施形態中所作說明相同，第1基板100之像素共有單元539遍及2列x2行之像素區域形成，具有大致正方形之平面形狀(圖87)。例如，於各像素共有單元539中，一像素列之像素541A及像素541B之傳輸閘極TG1、TG2於V方向上朝向像素共有單元539之中央部延伸，另一像素列之像素541C及像素541D之傳輸閘極TG3、TG4於V方向上朝像素共有單元539之外側方向延伸。與浮動擴散部FD連接之焊墊部120設置於像素共有單元539之中央部，與VSS接點區域118連接之焊墊部121至少於V方向上設置於(圖87中之V方向及H方向上)像素共有單元539之端部。此

時，傳輸閘極TG1、TG2之貫通電極TGV1、TGV2之V方向之位置接近貫通電極120E之V方向之位置，傳輸閘極TG3、TG4之貫通電極TGV3、TGV4之V方向之位置接近貫通電極121E之V方向之位置(圖89)。因此，根據與上述實施形態中所說明之理由相同之理由，可增大於H方向上延伸之半導體層200S之寬度(V方向之大小)。因此，可增大放大電晶體AMP之尺寸，從而抑制雜訊。

【0478】

於各像素電路210中，選擇電晶體SEL及放大電晶體AMP排列配置於H方向，於隔著絕緣區域212在V方向上與選擇電晶體SEL相鄰之位置配置有重設電晶體RST(圖88)。FD轉換增益切換電晶體FDG與重設電晶體RST排列配置於H方向。VSS接點區域218呈島狀設置於絕緣區域212。例如，第3配線層W3於H方向上延伸(圖91)，第4配線層W4於V方向上延伸(圖92)。

【0479】

具有此種第2基板200之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。第2基板200之像素共有單元539之配置不限於上述實施形態及本變化例中所說明之配置。例如，上述實施形態及變化例1中所說明之半導體層200S可於H方向上延伸。

【0480】

＜6.5.變化例4＞

圖93係模式性地表示上述實施形態之攝像裝置1之剖面構成之一變化例的圖。圖93對應於上述實施形態中所說明之圖64。於本變化例中，攝像裝置1除具有接點部201、202、301、302以外，於與像素陣列部540之

中央部對向之位置還具有接點部203、204、303、304。於該方面，本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1不同。

【0481】

接點部203、204設置於第2基板200，與第3基板300之接合面露出。接點部303、304設置於第3基板300，於與第2基板200之接合面露出。接點部203與接點部303相接，接點部204與接點部304相接。即，於該攝像裝置1中，第2基板200與第3基板300除藉由接點部201、202、301、302連接以外，還藉由接點部203、204、303、304連接。

【0482】

其次，使用圖94及圖95對該攝像裝置1之動作進行說明。圖94中以箭頭表示從外部輸入至攝像裝置1之輸入信號、電源電位及基準電位之路徑。圖95中，以箭頭表示從攝像裝置1輸出至外部之像素信號之信號路徑。例如，經由輸入部510A輸入至攝像裝置1之輸入信號被傳送至第3基板300之列驅動部520，由列驅動部520產生列驅動信號。該列驅動信號經由接點部303、203發送至第2基板200。進而，該列驅動信號經由配線層200T內之列驅動信號線542，到達像素陣列部540之各像素共有單元539。到達第2基板200之像素共有單元539之列驅動信號中之除傳輸閘極TG以外之驅動信號被輸入至像素電路210，將像素電路210中所包含之各電晶體驅動。傳輸閘極TG之驅動信號經由貫通電極TGV輸入至第1基板100之傳輸閘極TG1、TG2、TG3、TG4，將像素541A、541B、541C、541D驅動。又，從攝像裝置1之外部供給至第3基板300之輸入部510A(輸入端子511)之電源電位及基準電位經由接點部303、203發送至第2基板200，經由配線層200T內之配線，供給至像素共有單元539各自之像素電路210。

基準電位進而亦經由貫通電極121E供給至第1基板100之像素541A、541B、541C、541D。另一方面，第1基板100之像素541A、541B、541C、541D中經光電轉換之像素信號針對每個像素共有單元539分別發送至第2基板200之像素電路210。基於該像素信號而產生之像素信號從像素電路210經由垂直信號線543及接點部204、304發送至第3基板300。該像素信號經第3基板300之行信號處理部550及圖像信號處理部560進行處理後，經由輸出部510B輸出至外部。

【0483】

具有此種接點部203、204、303、304之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。可根據經過接點部303、304之作為配線之連接端的第3基板300之電路等之設計來變更接點部之位置及數量等。

【0484】

＜6.6.變化例5＞

圖96係表示上述實施形態之攝像裝置1之剖面構成之一變化例的圖。圖96對應於上述實施形態中所說明之圖67。於本變化例中，在第1基板100設置有具有平面構造之傳輸電晶體TR。於該方面，本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1不同。

【0485】

該傳輸電晶體TR之傳輸閘極TG僅由水平部分TGb構成。換言之，傳輸閘極TG不具有垂直部分TGa，而與半導體層100S對向地設置。

【0486】

具有此種平面構造之傳輸電晶體TR之攝像裝置1亦可獲得與上述實施

形態中所說明之效果相同之效果。進而，亦可想到，藉由於第1基板100設置平面型之傳輸閘極TG，與於第1基板100設置垂直型之傳輸閘極TG之情形相比，可使光電二極體PD形成至更靠半導體層100S之正面附近為止，因此使得飽和信號量(Qs)增加。又，亦可想到，於第1基板100形成平面型之傳輸閘極TG之方法與於第1基板100形成垂直型之傳輸閘極TG之方法相比，製造工序數較少，不易產生由製造工序造成之對光電二極體PD之不良影響。

【0487】

＜6.7.變化例6＞

圖97係表示上述實施形態之攝像裝置1之像素電路之一變化例的圖。圖97對應於上述實施形態中所說明之圖65。於本變化例中，每一個像素(像素541A)均設置有像素電路210。即，像素電路210並非複數個像素所共有。於該方面，本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1不同。

【0488】

本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1之相同點在於，將像素541A與像素電路210設置於互不相同之基板(第1基板100及第2基板200)。因此，本變化例之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。

【0489】

＜6.8.變化例7＞

圖98係表示上述實施形態中所說明之像素分離部117之平面構成之一變化例的圖。可於包圍像素541A、541B、541C、541D之各者之像素分

離部117設置間隙。即，像素541A、541B、541C、541D可不被像素分離部117包圍全周。例如，像素分離部117之間隙設置於焊墊部120、121附近(參照圖68B)。

【0490】

於上述實施形態中，說明了像素分離部117具有貫通半導體層100S之FTI構造之例(參照圖67)，但像素分離部117亦可具有除FTI構造以外之構成。例如，像素分離部117可不設置為完全貫通半導體層100S，亦可具有所謂之DTI(Deep Trench Isolation)構造。

【0491】

＜6.9.應用例＞

圖99係表示具備上述實施形態及其變化例之攝像裝置1之攝像系統7的概略構成之一例之圖。

【0492】

攝像系統7係例如數位靜態相機或攝錄影機等攝像裝置、智慧型手機或平板型終端等移動終端裝置等電子機器。攝像系統7例如具備上述實施形態及其變化例之攝像裝置1、DSP(Digital Signal Processing，數位信號處理)電路243、圖框記憶體244、顯示部245、記憶部246、操作部247及電源部248。於攝像系統7中，上述實施形態及其變化例之攝像裝置1、DSP電路243、圖框記憶體244、顯示部245、記憶部246、操作部247及電源部248經由匯流排線249相互連接。

【0493】

上述實施形態及其變化例之攝像裝置1輸出相應於入射光之圖像資料。DSP電路243係對從上述實施形態及其變化例之攝像裝置1輸出之信號

(圖像資料)進行處理之信號處理電路。圖框記憶體244以圖框為單位暫時保持由DSP電路243處理後之圖像資料。顯示部245例如包含液晶面板或有機EL(Electro Luminescence，電致發光)面板等面板型顯示裝置，顯示利用上述實施形態及其變化例之攝像裝置1拍攝到之動態圖像或靜態圖像。記憶部246將利用上述實施形態及其變化例之攝像裝置1拍攝到之動態圖像或靜態圖像之圖像資料記錄至半導體記憶體或硬碟等記錄媒體。操作部247根據使用者之操作，發出攝像系統7所具有之各種功能相關之操作指令。電源部248將成為上述實施形態及其變化例之攝像裝置1、DSP電路243、圖框記憶體244、顯示部245、記憶部246及操作部247之動作電源之各種電源適當供給至該等供給對象。

【0494】

其次，對攝像系統7中之攝像步序進行說明。

【0495】

圖100表示攝像系統7中之攝像動作之流程圖之一例。使用者藉由對操作部247進行操作而指示攝像開始(步驟S101)。如此一來，操作部247將攝像指令傳送至攝像裝置1(步驟S102)。攝像裝置1(具體而言為系統控制電路36)當接收到攝像指令時，執行規定之攝像方式之攝像(步驟S103)。

【0496】

攝像裝置1將藉由攝像獲得之圖像資料輸出至DSP電路243。此處，所謂圖像資料係指基於浮動擴散部FD中暫時保持之電荷而產生之像素信號之所有像素的資料。DSP電路243基於從攝像裝置1輸入之圖像資料進行規定之信號處理(例如雜訊減少處理等)(步驟S104)。DSP電路243使已進

行規定之信號處理之圖像資料保持於圖框記憶體244，圖框記憶體244將圖像資料記憶於記憶部246(步驟S105)。以此方式，進行攝像系統7中之攝像。

【0497】

於本應用例中，將上述實施形態及其變化例之攝像裝置1應用於攝像系統7。藉此，可使攝像裝置1小型化或者高精細化，從而能夠提供一種小型或者高精細之攝像系統7。

【0498】

＜6.10.運用例＞

[運用例1]

本發明之技術(本技術)可運用於多種製品。例如，本發明之技術亦可以搭載於汽車、電動汽車、油電混合車、機車、腳踏車、個人移動設備、飛機、無人飛機、船舶、機器人等任一種移動體之裝置之形式實現。

【0499】

圖101係表示作為可應用本發明之技術之移動體控制系統之一例的車輛控制系統之概略構成例之方塊圖。

【0500】

車輛控制系統12000具備經由通信網路12001連接之複數個電子控制單元。於圖101所示之例中，車輛控制系統12000具備驅動系統控制單元12010、車身系統控制單元12020、車外資訊檢測單元12030、車內資訊檢測單元12040、及綜合控制單元12050。又，作為綜合控制單元12050之功能構成，圖示出微電腦12051、聲音圖像輸出部12052、及車載網路I/F(interface，介面)12053。

【0501】

驅動系統控制單元12010根據各種程式，控制與車輛之驅動系統相關之裝置之動作。例如，驅動系統控制單元12010作為內燃機或驅動用馬達等用以產生車輛驅動力之驅動力產生裝置、用以將驅動力傳遞至車輪之驅動力傳遞機構、調節車輛之轉向角之轉向機構、及產生車輛制動力之制動裝置等的控制裝置發揮功能。

【0502】

車身系統控制單元12020根據各種程式，控制裝設於車體之各種裝置之動作。例如，車身系統控制單元12020作為無鑰匙進入系統、智慧型鑰匙系統、電動窗裝置、或者頭燈、倒行燈、剎車燈、轉向燈或霧燈等各種燈之控制裝置發揮功能。於此情形時，可對車身系統控制單元12020輸入從代替鑰匙之可攜式機器發送之電波或各種開關之信號。車身系統控制單元12020受理該等電波或信號之輸入，控制車輛之門鎖裝置、電動窗裝置、燈等。

【0503】

車外資訊檢測單元12030檢測搭載有車輛控制系統12000之車輛之外部之資訊。例如，於車外資訊檢測單元12030連接攝像部12031。車外資訊檢測單元12030使攝像部12031拍攝車外之圖像，並且接收所拍攝到之圖像。車外資訊檢測單元12030可基於所接收到之圖像進行人、車、障礙物、標識或路面上之文字等之物體檢測處理或距離檢測處理。

【0504】

攝像部12031係接收光，並輸出與該光之受光量相應之電信號之光感測器。攝像部12031可將電信號以圖像之形式輸出，亦可以測距資訊之形

式輸出。又，攝像部12031所接收之光可為可見光，亦可為紅外線等不可見光。

【0505】

車內資訊檢測單元12040檢測車內之資訊。於車內資訊檢測單元12040例如連接檢測駕駛員狀態之駕駛員狀態檢測部12041。駕駛員狀態檢測部12041包含例如拍攝駕駛員之相機，車內資訊檢測單元12040可基於從駕駛員狀態檢測部12041輸入之檢測資訊，算出駕駛員之疲勞程度或集中程度，亦可判別出駕駛員是否在打瞌睡。

【0506】

微電腦12051可基於由車外資訊檢測單元12030或車內資訊檢測單元12040獲取之車內外之資訊，運算驅動力產生裝置、轉向機構或制動裝置之控制目標值，對驅動系統控制單元12010輸出控制指令。例如，微電腦12051可進行以實現ADAS(Advanced Driver Assistance System，先進駕駛輔助系統)之功能為目的之協調控制，該ADAS包含避免車輛碰撞或緩和衝擊、基於車間距離之跟隨行駛、車速維持行駛、車輛之碰撞警告、或車輛之行車線偏離警告等。

【0507】

又，微電腦12051藉由基於由車外資訊檢測單元12030或車內資訊檢測單元12040獲取之車輛周圍之資訊，對驅動力產生裝置、轉向機構或制動裝置等進行控制，可進行以不依賴駕駛員之操作而自主行駛之自動駕駛等為目的之協調控制。

【0508】

又，微電腦12051可基於由車外資訊檢測單元12030獲取之車外之資

訊，對車身系統控制單元12020輸出控制指令。例如，微電腦12051可根據由車外資訊檢測單元12030偵測到之前方車或對向車之位置控制頭燈，進行將遠光切換為近光等以實現防眩為目的之協調控制。

【0509】

聲音圖像輸出部12052向能夠以視覺或聽覺方式，對車輛之搭乘者或車外通知資訊的輸出裝置傳送聲音及圖像中之至少一者之輸出信號。於圖101之例中，作為輸出裝置，例示有音頻揚聲器12061、顯示部12062及儀錶板12063。顯示部12062例如可包含機載顯示器及抬頭顯示器中之至少一者。

【0510】

圖102係表示攝像部12031之設置位置之例之圖。

【0511】

於圖102中，車輛12100具有攝像部12101、12102、12103、12104、12105作為攝像部12031。

【0512】

攝像部12101、12102、12103、12104、12105例如設置於車輛12100之前保險桿、側鏡、後保險桿、尾門及車室內之前擋玻璃之上部等位置。前保險桿所配備之攝像部12101及車室內之前擋玻璃之上部所配備之攝像部12105主要獲取車輛12100前方之圖像。側鏡所配備之攝像部12102、12103主要獲取車輛12100側方之圖像。後保險桿或尾門所配備之攝像部12104主要獲取車輛12100之後方之圖像。由攝像部12101及12105獲取之前方之圖像主要用於檢測前方車或行人、障礙物、信號機、交通標識或行車線等。

【0513】

再者，於圖102中示出攝像部12101至12104之攝影範圍之一例。攝像範圍12111表示設置於前保險桿之攝像部12101之攝像範圍，攝像範圍12112、12113分別表示設置於側鏡之攝像部12102、12103之攝像範圍，攝像範圍12114表示設置於後保險桿或尾門之攝像部12104之攝像範圍。例如，藉由將利用攝像部12101至12104拍攝到之圖像資料重疊，可獲得從上方觀察車輛12100所得之俯瞰圖像。

【0514】

攝像部12101至12104之至少一者可具有獲取距離資訊之功能。例如，攝像部12101至12104之至少一者可為包含複數個攝像元件之立體相機，亦可為具有相位差檢測用之像素之攝像元件。

【0515】

例如，微電腦12051藉由基於自攝像部12101至12104獲得之距離資訊，求出距攝像範圍12111至12114內之各立體物之距離、及該距離隨時間之變化(相對於車輛12100之相對速度)，尤其可提取位於車輛12100之行進路上之最近且沿與車輛12100大致相同之方向以規定之速度(例如，0 km/h以上)行駛之立體物作為前方車。進而，微電腦12051可設定應預先確保靠近前方車之車間距離，進行自動剎車控制(亦包含跟隨停止控制)或自動加速控制(亦包含跟隨發動控制)等。如此，能夠進行以不依賴駕駛員之操作而自主行駛之自動駕駛等為目的之協調控制。

【0516】

例如，微電腦12051可基於自攝像部12101至12104獲得之距離資訊，將與立體物相關之立體物資料分類為二輪車、普通車輛、大型車輛、

行人、電線桿等其他立體物進行提取，用於自動避讓障礙物。例如，微電腦12051將車輛12100之周邊之障礙物辨別為車輛12100之駕駛員能夠視認之障礙物與難以視認之障礙物。而且，微電腦12051可判斷表示與各障礙物之碰撞之危險度之碰撞風險，於碰撞風險為設定值以上而存在碰撞可能性之狀況時，經由音頻揚聲器12061或顯示部12062對駕駛員輸出警報、或者經由驅動系統控制單元12010進行強制減速或避讓轉向，藉此進行用於避免碰撞之駕駛支援。

【0517】

攝像部12101至12104之至少一者可為檢測紅外線之紅外線相機。例如，微電腦12051可藉由判定攝像部12101至12104之攝像圖像中是否存在行人而辨識行人。該行人之辨識係藉由例如以下兩個步序進行：提取作為紅外線相機之攝像部12101至12104之攝像圖像中之特徵點之步序、及對表現出物體之輪廓之一連串特徵點進行圖案匹配處理而判別是否為行人之步序。若微電腦12051判定攝像部12101至12104之攝像圖像中存在行人，並辨識出行人，則聲音圖像輸出部12052以對該所辨識之行人重疊顯示用於強調之方形輪廓線之方式控制顯示部12062。又，聲音圖像輸出部12052亦可以將表示行人之圖符等顯示於所期望之位置之方式控制顯示部12062。

【0518】

以上，對可應用本發明之技術之移動體控制系統之一例進行了說明。本發明之技術可應用於以上說明之構成中之攝像部12031。具體而言，上述實施形態及其變化例之攝像裝置1可應用於攝像部12031。藉由對攝像部12031應用本發明之技術，可獲得雜訊較少之高精細之拍攝圖

像，因此，可於移動體控制系統中進行利用拍攝圖像之高精度之控制。

【0519】

[運用例2]

圖103係表示可應用本發明之技術(本技術)之內視鏡手術系統的概略構成之一例之圖。

【0520】

於圖103中，圖示出手術實施者(醫生)11131使用內視鏡手術系統11000對病床11133上之患者11132進行手術之情況。如圖所示，內視鏡手術系統11000包含內視鏡11100、氣腹管11111或能量處理器具11112等其他手術器具11110、支持內視鏡11100之支持臂裝置11120、及搭載有用於內視鏡下手術之各種裝置之手推車11200。

【0521】

內視鏡11100包含將距前端規定長度之區域插入患者11132之體腔內之鏡筒11101、及連接於鏡筒11101之基端之相機鏡頭11102。於圖示之例中，圖示出構成為具有硬性鏡筒11101之所謂硬性鏡之內視鏡11100，但內視鏡11100亦可構成為具有軟性鏡筒之所謂軟性鏡。

【0522】

於鏡筒11101之前端設置有供物鏡嵌入之開口部。於內視鏡11100連接有光源裝置11203，由該光源裝置11203產生之光藉由延伸設置於鏡筒11101之內部之導光件而引導至該鏡筒之前端，經由物鏡向患者11132之體腔內之觀察對象照射。再者，內視鏡11100可為直視鏡，亦可為斜視鏡或側視鏡。

【0523】

於相機鏡頭11102之內部設置有光學系統及攝像元件，來自觀察對象之反射光(觀察光)藉由該光學系統而聚光於該攝像元件。藉由該攝像元件將觀察光進行光電轉換，而產生與觀察光對應之電信號、即與觀察圖像對應之圖像信號。該圖像信號以RAW資料之形式被傳送至相機控制單元(CCU：Camera Control Unit)11201。

【0524】

CCU11201包含CPU(Central Processing Unit，中央處理單元)或GPU(Graphics Processing Unit，圖像處理單元)等，統一控制內視鏡11100及顯示裝置11202之動作。進而，CCU11201從相機鏡頭11102接收圖像信號，並對該圖像信號實施例如顯影處理(解馬賽克處理)等用以顯示基於該圖像信號所產生之圖像之各種圖像處理。

【0525】

顯示裝置11202藉由來自CCU11201之控制，顯示基於由該CCU11201實施圖像處理後之圖像信號所產生之圖像。

【0526】

光源裝置11203例如包含LED(Light Emitting Diode，發光二極體)等光源，將拍攝手術部位等時之照射光供給至內視鏡11100。

【0527】

輸入裝置11204係針對內視鏡手術系統11000之輸入介面。使用者可經由輸入裝置11204對內視鏡手術系統11000輸入各種資訊或指示。例如，使用者輸入旨在變更內視鏡11100之攝像條件(照射光之種類、倍率及焦點距離等)之指示等。

【0528】

處理器具控制裝置11205對用於組織之燒灼、切開或血管之閉合等之能量處理器具11112之驅動進行控制。氣腹裝置11206為了確保內視鏡11100之視野及手術實施者之作業空間，而經由氣腹管11111向該體腔內送入氣體，以使患者11132之體腔膨脹。記錄器11207係能夠記錄與手術相關之各種資訊之裝置。印表機11208係能夠將與手術相關之各種資訊以文本、圖像或圖表等各種形式印刷之裝置。

【0529】

再者，向內視鏡11100供給拍攝手術部位時之照射光之光源裝置11203例如可包含LED、雷射光源或由該等之組合構成之白色光源。於藉由RGB雷射光源之組合構成白色光源之情形時，可高精度地控制各色(各波長)之輸出強度及輸出時點，因此，於光源裝置11203中可進行攝像圖像之白平衡之調整。又，於此情形時，將來自各RGB雷射光源之雷射光分時向觀察對象照射，與該照射時點同步地控制相機鏡頭11102之攝像元件之驅動，藉此亦能夠分時拍攝與各RGB對應之圖像。根據該方法，即便不於該攝像元件設置彩色濾光片，亦可獲得彩色圖像。

【0530】

又，光源裝置11203亦可以按照規定之時間間隔變更所輸出之光強度之方式控制該驅動。與該光強度之變更時點同步地控制相機鏡頭11102之攝像元件之驅動而分時獲取圖像，並將該圖像合成，藉此可產生不存在所謂曝光不足及曝光過度之高動態範圍之圖像。

【0531】

又，光源裝置11203亦可構成為能夠供給與特殊光觀察對應之規定波長頻帶之光。於特殊光觀察中，例如進行如下之所謂窄頻帶光觀察

(Narrow Band Imaging)：利用身體組織中之光吸收之波長依存性，照射與通常觀察時之照射光(即白色光)相比為窄頻帶之光，藉此以高對比度拍攝黏膜表層之血管等規定之組織。或於特殊光觀察中，亦可進行利用藉由照射激發光產生之螢光來獲得圖像之螢光觀察。於螢光觀察中，可進行如下操作等：對身體組織照射激發光而觀察來自該身體組織之螢光(自發螢光觀察)；或將吲哚菁綠(ICG)等試劑局部注射至身體組織並且對該身體組織照射與該試劑之螢光波長對應之激發光來獲得螢光圖像。光源裝置11203可構成為能夠供給與此種特殊光觀察對應之窄頻帶光及/或激發光。

【0532】

圖104係表示圖103所示之相機鏡頭11102及CCU11201之功能構成之一例的方塊圖。

【0533】

相機鏡頭11102具有透鏡單元11401、攝像部11402、驅動部11403、通信部11404及相機鏡頭控制部11405。CCU11201具有通信部11411、圖像處理部11412及控制部11413。相機鏡頭11102與CCU11201藉由傳輸纜線11400而以能夠互相通信之方式連接。

【0534】

透鏡單元11401設置於與鏡筒11101之連接部之光學系統。從鏡筒11101之前端擷取之觀察光被引導至相機鏡頭11102，入射至該透鏡單元11401。透鏡單元11401係將包含變焦透鏡及聚焦透鏡在內之複數個透鏡組合而構成。

【0535】

攝像部11402包含攝像元件。構成攝像部11402之攝像元件可為1個

(所謂單板式)，亦可為複數個(所謂多板式)。於攝像部11402構成為多板式之情形時，例如可利用各攝像元件產生與RGB之各者對應的圖像信號，將該等圖像信號合成，藉此獲得彩色圖像。或者，攝像部11402可構成為具有用以分別獲取與3D(Three Dimensional，三維)顯示對應之右眼用及左眼用之圖像信號之1對攝像元件。藉由進行3D顯示，手術實施者11131能夠更準確地把握手術部位處之活體組織之深度。再者，於攝像部11402構成為多板式之情形時，亦可與各攝像元件對應地設置複數個系統之透鏡單元11401。

【0536】

又，攝像部11402可不必設置於相機鏡頭11102。例如，攝像部11402亦可設置於鏡筒11101之內部且物鏡之正後方。

【0537】

驅動部11403包含致動器，藉由來自相機鏡頭控制部11405之控制，使透鏡單元11401之變焦透鏡及聚焦透鏡沿著光軸移動規定之距離。藉此，可適當調整利用攝像部11402獲得之攝像圖像之倍率及焦點。

【0538】

通信部11404包含用以與CCU11201之間收發各種資訊之通信裝置。通信部11404將從攝像部11402獲得之圖像信號以RAW資料之形式經由傳輸纜線11400傳送至CCU11201。

【0539】

又，通信部11404從CCU11201接收用以控制相機鏡頭11102之驅動之控制信號，並供給至相機鏡頭控制部11405。該控制信號例如包含旨在指定攝像圖像之圖框率之資訊、旨在指定攝像時之曝光值之資訊、及/或

旨在指定攝像圖像之倍率及焦點之資訊等與攝像條件相關之資訊。

【0540】

再者，上述圖框率或曝光值、倍率、焦點等攝像條件可由使用者適當指定，亦可基於所獲取之圖像信號而由CCU11201之控制部11413自動設定。於後者之情形時，於內視鏡11100搭載有所謂AE(Auto Exposure，自動曝光)功能、AF(Auto Focus，自動對焦)功能及AWB(Auto White Balance，自動白平衡)功能。

【0541】

相機鏡頭控制部11405基於經由通信部11404接收到之來自CCU11201之控制信號，對相機鏡頭11102之驅動進行控制。

【0542】

通信部11411包含用以與相機鏡頭11102之間收發各種資訊之通信裝置。通信部11411從相機鏡頭11102接收經由傳輸纜線11400傳送之圖像信號。

【0543】

又，通信部11411對相機鏡頭11102傳送用以控制相機鏡頭11102之驅動之控制信號。圖像信號或控制信號可藉由電通信或光通信等傳送。

【0544】

圖像處理部11412對從相機鏡頭11102傳送來之作為RAW資料之圖像信號實施各種圖像處理。

【0545】

控制部11413進行與基於內視鏡11100之手術部位等之攝像、及藉由手術部位等之攝像獲得之攝像圖像之顯示相關的各種控制。例如，控制部

11413產生用以控制相機鏡頭11102之驅動之控制信號。

【0546】

又，控制部11413基於經圖像處理部11412實施圖像處理後之圖像信號，使顯示裝置11202顯示反映出手術部位等之攝像圖像。此時，控制部11413亦可使用各種圖像辨識技術，辨識攝像圖像內之各種物體。例如，控制部11413藉由對攝像圖像中所包含之物體之邊緣形狀或顏色等進行檢測，可辨識出鉗子等手術器具、特定之活體部位、出血、能量處理器具11112使用時之霧氣等。控制部11413亦可於使顯示裝置11202顯示攝像圖像時，使用該辨識結果，使各種手術支援資訊重疊顯示於該手術部位之圖像中。藉由將手術支援資訊重疊顯示，且對手術實施者11131進行提示，可減輕手術實施者11131之負擔或使手術實施者11131確實地進行手術。

【0547】

連接相機鏡頭11102及CCU11201之傳輸纜線11400係與電信號之通信對應之電信號纜線、與光通信對應之光纖、或該等之複合纜線。

【0548】

此處，於圖示之例中，使用傳輸纜線11400以有線之方式進行通信，但相機鏡頭11102與CCU11201之間之通信亦可以無線方式進行。

【0549】

以上，對可應用本發明之技術之內視鏡手術系統之一例進行了說明。本發明之技術可較佳地應用於以上說明之構成中的設置於內視鏡11100之相機鏡頭11102之攝像部11402。藉由對攝像部11402應用本發明之技術，可使攝像部11402小型化或高精細化，因此，可提供小型或高精細之內視鏡11100。

【0550】

以上，列舉第1～第3實施形態、變化例及具體例，說明本發明之技術。但，本發明之技術並不限於上述實施形態等，可進行各種變化。

【0551】

進而，各實施形態中所說明之構成及動作並非全部為本發明之必需構成及動作。例如，各實施形態之構成要素中之未記載於表示本發明之最上位概念之獨立請求項的構成要素應當理解為任意之構成要素。

【0552】

本說明書及隨附之申請專利範圍整體所使用之術語應當解釋為「非限定性」術語。例如，「包含」或「被包含」之術語應當解釋為「不限於記載為被包含者」。「具有」之術語應當解釋為「不限於被記載為所具有者」。

【0553】

本說明書中所使用之術語係僅為了方便說明而使用者，包含不限定構成及動作之術語。例如，「右」、「左」、「上」、「下」等術語僅表示所參照之圖式上之方向。又，「內側」、「外側」之術語分別表示朝向關注要素之中心之方向、從關注要素之中心離開之方向。對與該等類似之術語或相同主旨之術語亦相同。

【0554】

再者，本發明之技術亦可採用如下構成。根據具備以下構成之本發明之技術，於具有積層有第2絕緣層之第2半導體基板之第2基板中，可降低第2絕緣層中所包含之配線或第2半導體基板之周圍空間之介電常數。因此，本發明之技術可減小因攝像裝置之三維構造而產生之電容成分，提高

攝像裝置之特性。本發明之技術所發揮之效果並不限於文中所記載之效果，亦可為本發明中未記載之任一效果。

(1)

一種攝像裝置，其具備：

第1基板，其具有進行光電轉換之感測像素；

第2基板，其具有基於從上述感測像素輸出之電荷而輸出像素信號之像素電路；及

第3基板，其具有對上述像素信號進行信號處理之處理電路；且

上述第1基板、上述第2基板及上述第3基板依序積層，

於從上述感測像素讀出電荷至輸出上述像素信號為止之電路周圍之至少任一區域設置有低介電常數區域。

(2)

如上述(1)所記載之攝像裝置，其中上述感測像素具有：光電轉換元件；傳輸電晶體，其電性連接於上述光電轉換元件；及浮動擴散部，其暫時保持經由上述傳輸電晶體從上述光電轉換元件輸出之上述電荷；且

上述像素電路具有：重設電晶體，其將上述浮動擴散部之電位重設為規定之電位；放大電晶體，其產生與上述浮動擴散部中所保持之上述電荷之位準相應的電壓之信號作為上述像素信號；及選擇電晶體，其控制來自上述放大電晶體之上述像素信號之輸出時序。

(3)

如上述(2)所記載之攝像裝置，其中上述第1基板包含第1半導體基板，該第1半導體基板於正面側設置有上述光電轉換元件、上述傳輸電晶體及上述浮動擴散部，

上述第2基板包含第2半導體基板，該第2半導體基板於正面側設置有上述重設電晶體、上述放大電晶體及上述選擇電晶體，

上述第2基板將上述第2半導體基板之與上述正面相反之背面側朝向上述第1半導體基板之上述正面側，而貼合於上述第1半導體基板之上述正面側。

(4)

如上述(3)所記載之攝像裝置，其中上述感測像素與上述像素電路藉由貫通配線而電性連接，上述貫通配線設置於貫通上述第2半導體基板之貫通孔之內部，

上述低介電常數區域至少設置於上述貫通孔之內部之上述貫通配線之周圍區域。

(5)

如上述(4)所記載之攝像裝置，其中上述貫通配線將上述浮動擴散部與上述放大電晶體電性連接。

(6)

如上述(4)或(5)所記載之攝像裝置，其中上述第1基板針對每個上述感測像素具有上述光電轉換元件及上述傳輸電晶體，且每複數個上述感測像素共有上述浮動擴散部，

上述第2基板針對共有上述浮動擴散部之每複數個上述感測像素具有上述像素電路，

上述貫通配線將每複數個上述感測像素所共有之上述浮動擴散部與上述放大電晶體電性連接。

(7)

如上述(4)至(6)中任一項所記載之攝像裝置，其中上述低介電常數區域至少設置於上述貫通配線與上述第2半導體基板之間之區域。

(8)

如上述(7)所記載之攝像裝置，其中上述低介電常數區域設置於遍及全周包圍上述貫通配線之區域。

(9)

如上述(4)至(8)中任一項所記載之攝像裝置，其中上述低介電常數區域設置於沿著上述貫通孔之內周之區域。

(10)

如上述(9)所記載之攝像裝置，其中上述低介電常數區域設置在相當於上述貫通孔之內側面之側壁之區域。

(11)

如上述(9)或(10)所記載之攝像裝置，其中上述貫通配線於上述貫通孔之內部設置有複數條。

(12)

如上述(4)至(11)中任一項所記載之攝像裝置，其中上述低介電常數區域設置於上述重設電晶體、上述放大電晶體或上述選擇電晶體之任一者以上之側方之區域。

(13)

如上述(12)所記載之攝像裝置，其中上述低介電常數區域至少設置於與上述第2半導體基板之側方對應之區域。

(14)

如上述(13)所記載之攝像裝置，其中上述低介電常數區域設置於由蝕

刻速率與嵌埋上述貫通孔之絕緣材料不同之絕緣材料包圍之區域。

(15)

如上述(4)至(14)中任一項所記載之攝像裝置，其中上述低介電常數區域設置於上述重設電晶體、上述放大電晶體或上述選擇電晶體之任一者以上之下方之區域。

(16)

如上述(15)所記載之攝像裝置，其中上述低介電常數區域至少設置於從積層方向俯視時設置於上述第2半導體基板之上述放大電晶體與設置於上述第1半導體基板之上述傳輸電晶體之閘極電極重合之平面區域。

(17)

如上述(15)或(16)所記載之攝像裝置，其中上述低介電常數區域與上述第2半導體基板之上述背面鄰接地設置。

(18)

如上述(4)至(17)中任一項所記載之攝像裝置，其中在設置於上述第2基板之配線中與上述貫通配線電性連接之配線之周圍區域，設置上述低介電常數區域。

(19)

如上述(1)至(18)中任一項所記載之攝像裝置，其中上述低介電常數區域之平面形狀為矩形形狀。

(20)

如上述(1)至(19)中任一項所記載之攝像裝置，其中上述低介電常數區域為空隙區域。

【0555】

本申請案基於在日本專利局於2019年6月26日提出申請之日本專利申請編號2019-118647號主張優先權，藉由參照而將該申請案之全部內容引用於本申請案。

【0556】

只要為本領域技術人員，則理解可根據設計上之條件或其他因素，想到各種修正、組合、次組合及變更，其等包含於隨附之申請專利範圍或其均等物之範圍中。

【符號說明】

【0557】

1:攝像裝置

1B:攝像裝置

7:攝像系統

10:第1基板

10a:正面

11:第1半導體基板

11a:正面

12:感測像素

13:像素區域

15:像素電路區域

16:元件分離層

17:雜質擴散層

20:第2基板

21:第2半導體基板

21A:區塊

22:像素電路

23:像素驅動線

24:垂直信號線

25:配線

26:低電阻區域

30:第3基板

31:第3半導體基板

32:處理電路

33:垂直驅動電路

34:行信號處理電路

34-1～34-m:ADC

34A:比較器

34B:可逆計數器(U/DCNT)

34C:傳輸開關

34D:記憶體裝置

35:水平驅動電路

36:系統控制電路

38:參照電壓供給部

38A:DAC

40:彩色濾光片

42:p型井層

43:元件分離部

44:p型井層

45:固定電荷膜

46:第1絕緣層

47:貫通配線

48:貫通配線

50:受光透鏡

52:第2絕緣層

53:分離絕緣層

54:貫通配線

55:連接配線

56:配線層

57:層間絕緣層

58:焊墊電極

59:連接部

61:第3絕緣層

62:配線層

63:層間絕緣層

64:焊墊電極

90A:低介電常數區域

90B:低介電常數區域

90C:低介電常數區域

91A:開口

91B:開口

100:第1基板

100S:半導體層

100T:配線層

111:絕緣膜

112:固定電荷膜

113:釘紮區域

114:n型半導體區域

115:p型井層

116:釘紮區域

117:像素分離部

117A:遮光膜

117B:絕緣膜

117b:像素分離部

118:VSS接點區域

119:層間絕緣膜

120:焊墊部

120C:連接孔

120E, 121E:貫通電極

121C:連接孔

122:鈍化膜

123:層間絕緣膜

124:接合膜

200:第2基板

200S:半導體層

201, 202:接點部

201R, 301R:接點區域

202R, 302R:接點區域

210:像素電路

211:井區域

212:絕緣區域

213:元件分離區域

218:VSS接點區域

218V:連接部

221:鈍化膜

222:層間絕緣膜

243:DSP電路

244:圖框記憶體

245:顯示部

246:記憶部

247:操作部

248:電源部

249:匯流排線

300:第3基板

300S:半導體層

300T:配線層

301, 302:接點部

401:受光透鏡

510A:輸入部

510B:輸出部

511:輸入端子

512:輸入電路部

513:輸入振幅變更部

514:輸入資料轉換電路部

515:輸出資料轉換電路部

516:輸出振幅變更部

517:輸出電路部

518:輸出端子

520:列驅動部

530:時序控制部

539:像素共有單元

540:像素陣列部

541A, 541B, 541C, 541D:像素

542:列驅動信號線

543:垂直信號線

544:電源線

550:行信號處理部

560:圖像信號處理部

1100:基板

1101:SiO_2膜

1211:第1半導體基板

1220:第2基板

1221:第2半導體基板

1221D:汲極區域

1221S:源極區域

1230:閘極電極

1230A: SiO_2膜

1231:閘極絕緣膜

1232:側壁絕緣膜

1232A:側壁絕緣膜

1246:第1絕緣層

1252:第2絕緣層

1253:分離絕緣層

1254:貫通配線

1259:閘極接點

1259D:汲極接點

1259S:源極接點

1261: SiN膜

1262: SiO_2膜

1263: SiN膜

1263A:側壁

1265: SiO_2膜

1271:開口

1272:開口

1273:開口

1281:抗蝕層

1290:低介電常數區域

1311:第1半導體基板

1320:第2基板

1321:第2半導體基板

1322:閘極電極

1322S:側壁絕緣膜

1342:第1絕緣層

1343: SiN膜

1344:絕緣層

1352:第2絕緣層

1353:分離絕緣層

1354:低介電常數層

1358:源極或汲極接點

1359:閘極接點

1360:貫通配線

1365: SiN膜

1366:襯墊膜

1367: SiN膜

1371: SiN膜

1372: SiO_2膜

1373: SiO_2膜

1380:支持基板

1391:低介電常數區域

1392:低介電常數區域

1393:開口

1394:有機樹脂

2015:絕緣膜

2051, 2053:層間絕緣膜

2102:共通焊墊電極

2110:共通焊墊電極

2210:下側基板

2211:半導體基板

2211a:正面

2211b:背面

2213:元件分離層

2215:絕緣膜

2217:絕緣膜

2220:上側基板

2221:半導體基板

2221a:正面

2221b:背面

2223:元件分離層

2225:絕緣膜

2227:焊墊電極

2301:半導體基板

2301a:正面

2303:矽化物

2304:絕緣膜

2305:焊墊電極

11100:內視鏡

11101:鏡筒

11102:相機鏡頭

11110:其他手術器具

11111:氣腹管

11112:能量處理器具

11120:支持臂裝置

11131:手術實施者

11132:患者

11133:病床

11200:手推車

11201: CCU

11202:顯示裝置

11203:光源裝置

11204:輸入裝置

11205:處理器具控制裝置

11206:氣腹裝置

11207:記錄器

11208:印表機

11400:傳輸纜線

11401:透鏡單元

11402:攝像部

11403:驅動部

11404:通信部

11405:相機鏡頭控制部

11411:通信部

11412:圖像處理部

11413:控制部

12000:車輛控制系統

12001:通信網路

12010:驅動系統控制單元

12020:車身系統控制單元

12030:車外資訊檢測單元

12031:攝像部

12040:車內資訊檢測單元

12041:駕駛者狀態檢測部

12050:綜合控制單元

12051:微電腦

12052:聲音圖像輸出部

12053:車載網路I/F

12061:音頻揚聲器

12062:顯示部

12063:儀錶板

12100:車輛

12101, 12102, 12103, 12104, 12105:攝像部

12111:攝像範圍

12112, 12113:攝像範圍

12114:攝像範圍

AA:主動區域

AG:閘極電極

AMP:放大電晶體

CFD:接點

CVDD:接點

CVout:接點

CVSS:接點

FD, FD1, FD2, FD3, FD4:浮動擴散部

FDG:FD轉換增益切換電晶體

FDGL:配線

H1, H2:連接孔部

L1～L10:配線

L30:配線

PD, PD1, PD2, PD3, PD4:光電二極體

PU:像素單元

RG:閘極電極

RST:重設電晶體

RSTL:配線

SA:元件分離區域

SEL:選擇電晶體

SELG:配線

SELL:配線

SG:閘極電極

TA:外部端子

TB:外部端子

TFD:貫通接點

TG, TG1, TG2, TG3, TG4:傳輸閘極

TGa:垂直部分

TGb:水平部分

TGV, TGV1, TGV2, TGV3, TGV4:貫通電極

TR, TR1, TR2, TR3, TR4:傳輸電晶體

Tr1:場效電晶體

Tr2:場效電晶體

TRG1, TRG2, TRG3, TRG4:配線

TVSS:貫通接點

VDD:電源線

Vout:源極

VSL:垂直信號線

VSS:基準電位線

W1, W2, W3, W4:配線層

WE:井層

【發明申請專利範圍】

【請求項1】

一種攝像裝置，其具備：

第1基板，其具有進行光電轉換之感測像素；

第2基板，其具有基於從上述感測像素輸出之電荷而輸出像素信號之像素電路；及

第3基板，其具有對上述像素信號進行信號處理之處理電路；且

上述第1基板、上述第2基板及上述第3基板依序積層，

於從上述感測像素讀出電荷至輸出上述像素信號為止之電路周圍之至少任一區域設置有低介電常數區域；

上述第2基板包含第2半導體基板；

上述感測像素與上述像素電路藉由貫通配線而電性連接，上述貫通配線設置於貫通上述第2半導體基板之貫通孔之內部；

上述低介電常數區域至少設置於上述貫通孔之內部之上述貫通配線之周圍區域；

上述低介電常數區域包含至少設置於上述貫通配線與上述第2半導體基板之間之區域的第1低介電常數區域。

【請求項2】

如請求項1之攝像裝置，其中上述感測像素具有：光電轉換元件；傳輸電晶體，其電性連接於上述光電轉換元件；及浮動擴散部，其暫時保持經由上述傳輸電晶體從上述光電轉換元件輸出之上述電荷；且

上述像素電路具有：重設電晶體，其將上述浮動擴散部之電位重設為規定之電位；放大電晶體，其產生與上述浮動擴散部中所保持之上述電

荷之位準相應的電壓之信號作為上述像素信號；及選擇電晶體，其控制來自上述放大電晶體之上述像素信號之輸出時序。

【請求項3】

如請求項2之攝像裝置，其中上述第1基板包含第1半導體基板，該第1半導體基板於正面側設置有上述光電轉換元件、上述傳輸電晶體及上述浮動擴散部，

於上述第2半導體基板之正面側設置有上述重設電晶體、上述放大電晶體及上述選擇電晶體，

上述第2基板將上述第2半導體基板之與上述正面相反之背面側朝向上述第1半導體基板之上述正面側，而貼合於上述第1半導體基板之上述正面側。

【請求項4】

如請求項3之攝像裝置，其中上述貫通配線將上述浮動擴散部與上述放大電晶體電性連接。

【請求項5】

如請求項3之攝像裝置，其中上述第1基板針對每個上述感測像素具有上述光電轉換元件及上述傳輸電晶體，且每複數個上述感測像素共有上述浮動擴散部，

上述第2基板針對共有上述浮動擴散部之每複數個上述感測像素具有上述像素電路，

上述貫通配線將每複數個上述感測像素所共有之上述浮動擴散部與上述放大電晶體電性連接。

【請求項6】

如請求項1之攝像裝置，其中上述第1低介電常數區域設置於遍及全周包圍上述貫通配線之區域。

【請求項7】

如請求項1之攝像裝置，其中上述低介電常數區域包含設置於沿著上述貫通孔之內周之區域的第2低介電常數區域。

【請求項8】

如請求項7之攝像裝置，其中上述第2低介電常數區域設置在相當於上述貫通孔之內側面之側壁之區域。

【請求項9】

如請求項7之攝像裝置，其中上述貫通配線於上述貫通孔之內部設置有複數條。

【請求項10】

如請求項3之攝像裝置，其中上述低介電常數區域包含設置於上述重設電晶體、上述放大電晶體或上述選擇電晶體之任一者以上之側方之區域的第3低介電常數區域。

【請求項11】

如請求項10之攝像裝置，其中上述第3低介電常數區域至少設置於與上述第2半導體基板之側方對應之區域。

【請求項12】

如請求項11之攝像裝置，其中上述第3低介電常數區域設置於由蝕刻速率與嵌埋上述貫通孔之絕緣材料不同之絕緣材料包圍之區域。

【請求項13】

如請求項3之攝像裝置，其中上述低介電常數區域包含設置於上述重

設電晶體、上述放大電晶體或上述選擇電晶體之任一者以上之下方之區域的第4低介電常數區域。

【請求項14】

如請求項13之攝像裝置，其中上述第4低介電常數區域至少設置於從積層方向俯視時設置於上述第2半導體基板之上述放大電晶體與設置於上述第1半導體基板之上述傳輸電晶體之閘極電極重合之平面區域。

【請求項15】

如請求項13之攝像裝置，其中上述第4低介電常數區域與上述第2半導體基板之上述背面鄰接地設置。

【請求項16】

如請求項1之攝像裝置，其中上述低介電常數區域包含設置在設置於上述第2基板之配線中與上述貫通配線電性連接之配線之周圍區域的第5低介電常數區域。

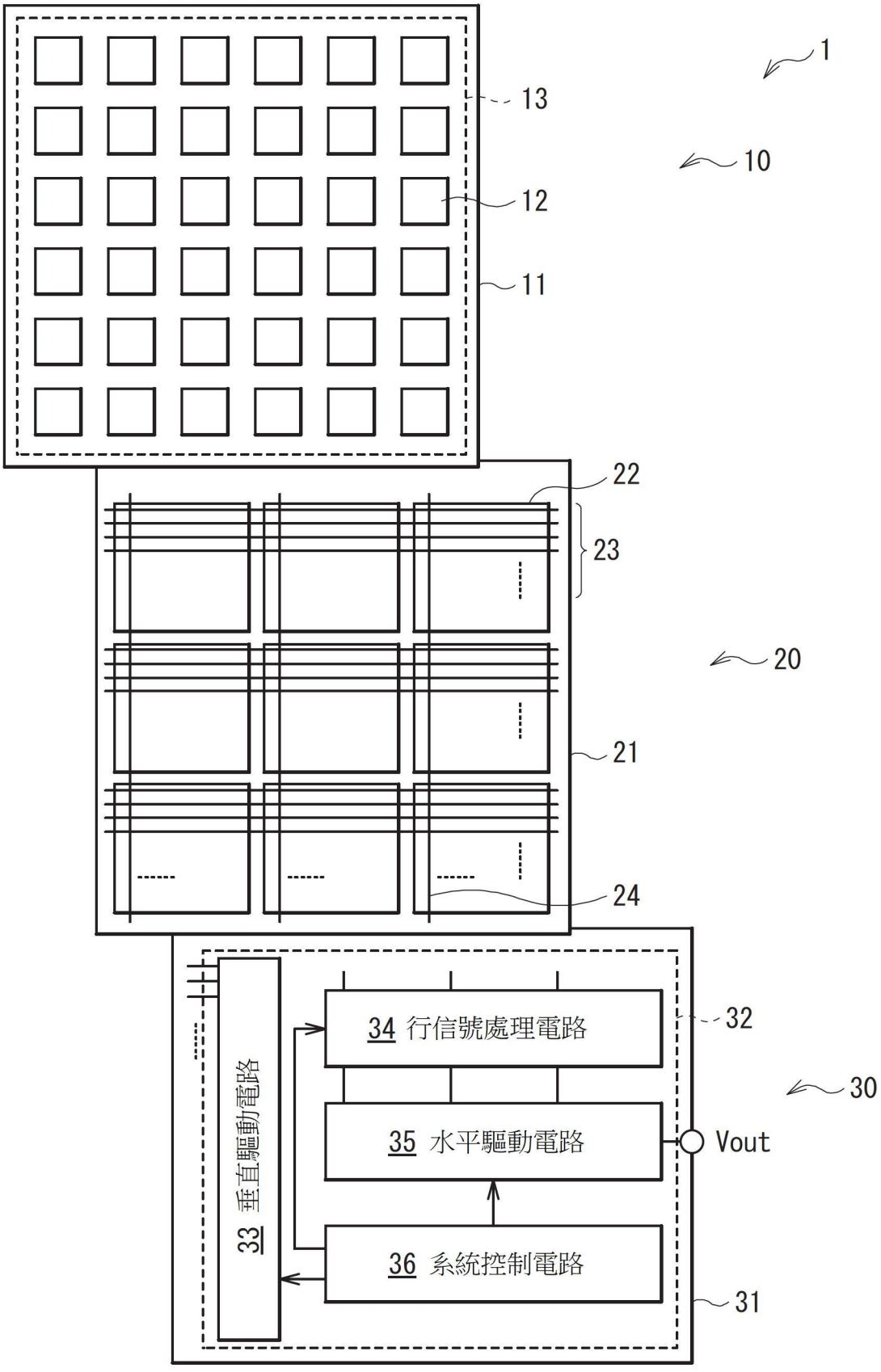
【請求項17】

如請求項1之攝像裝置，其中上述第1低介電常數區域之平面形狀為矩形形狀。

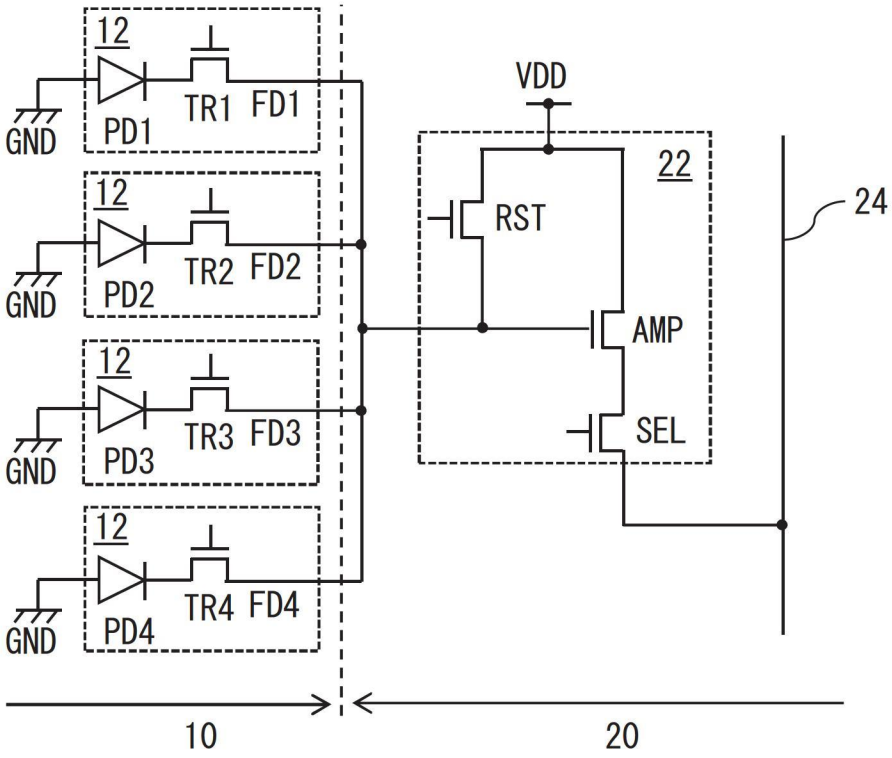
【請求項18】

如請求項1之攝像裝置，其中上述第1低介電常數區域為空隙區域。

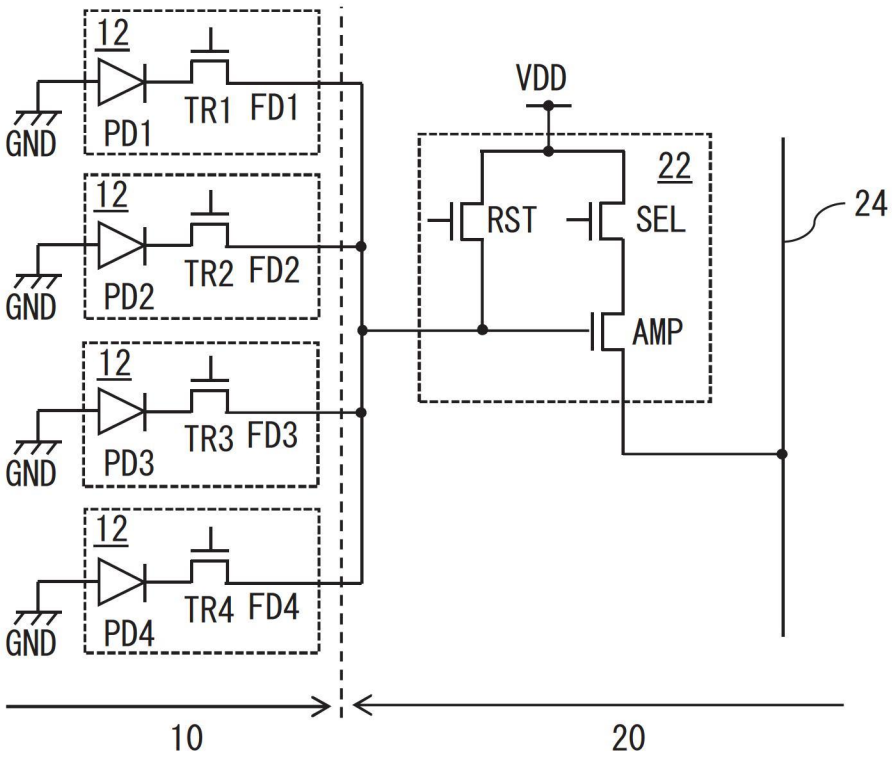
【發明圖式】


1
10
13
12
11
22
23
20
21
24
34 行信號處理電路
32
30
35 水平驅動電路
Vout
33 垂直驅動電路
36 系統控制電路
31

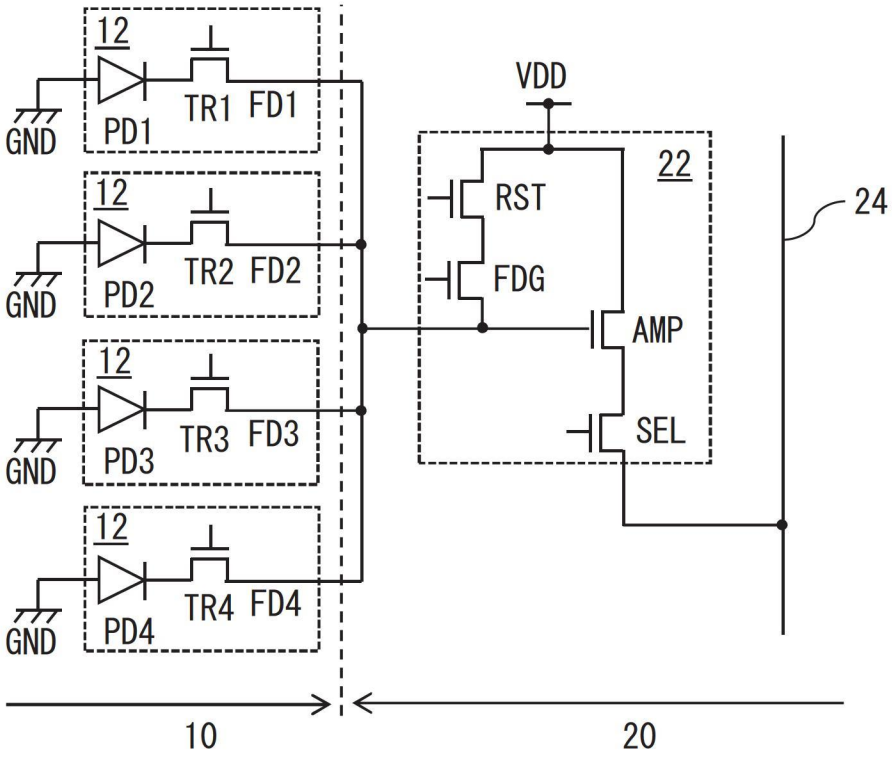
【圖1】


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
AMP
SEL
24
10
20

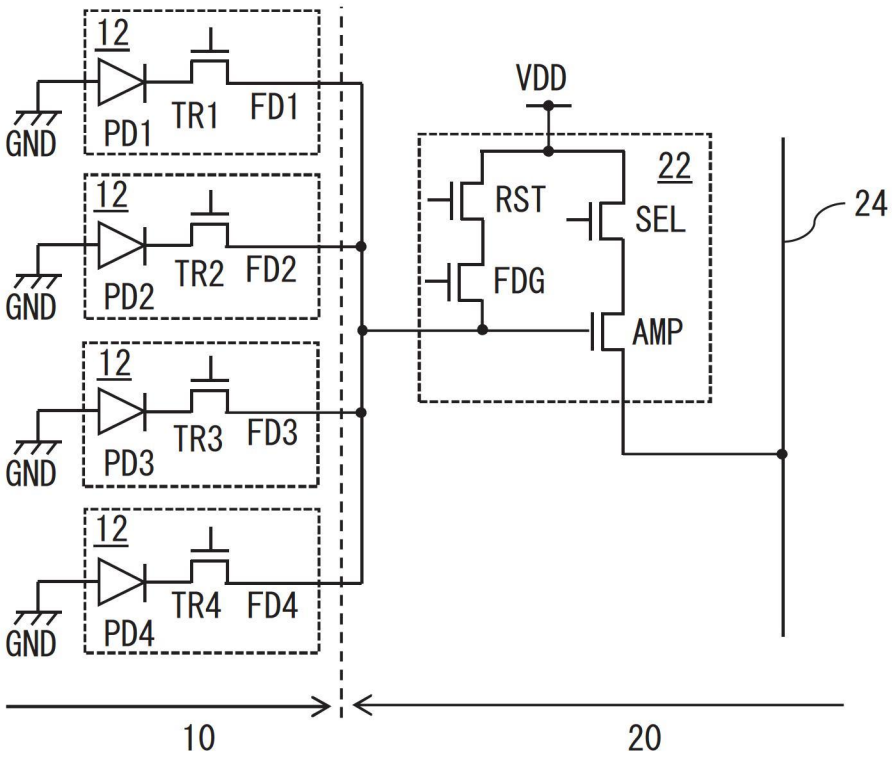
【圖2】


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
SEL
AMP
24
10
20

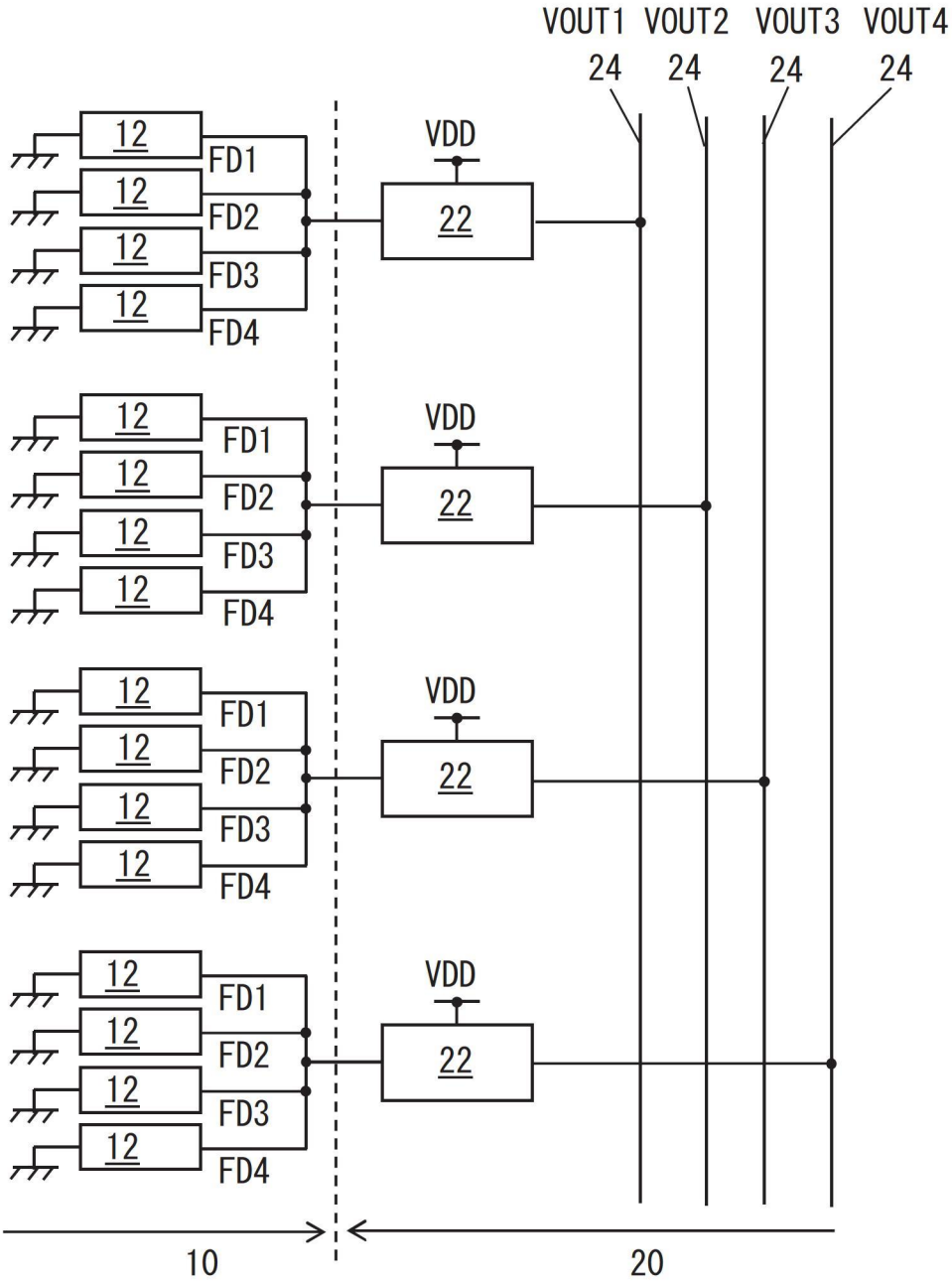
【圖3】


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
FDG
AMP
SEL
24
10
20

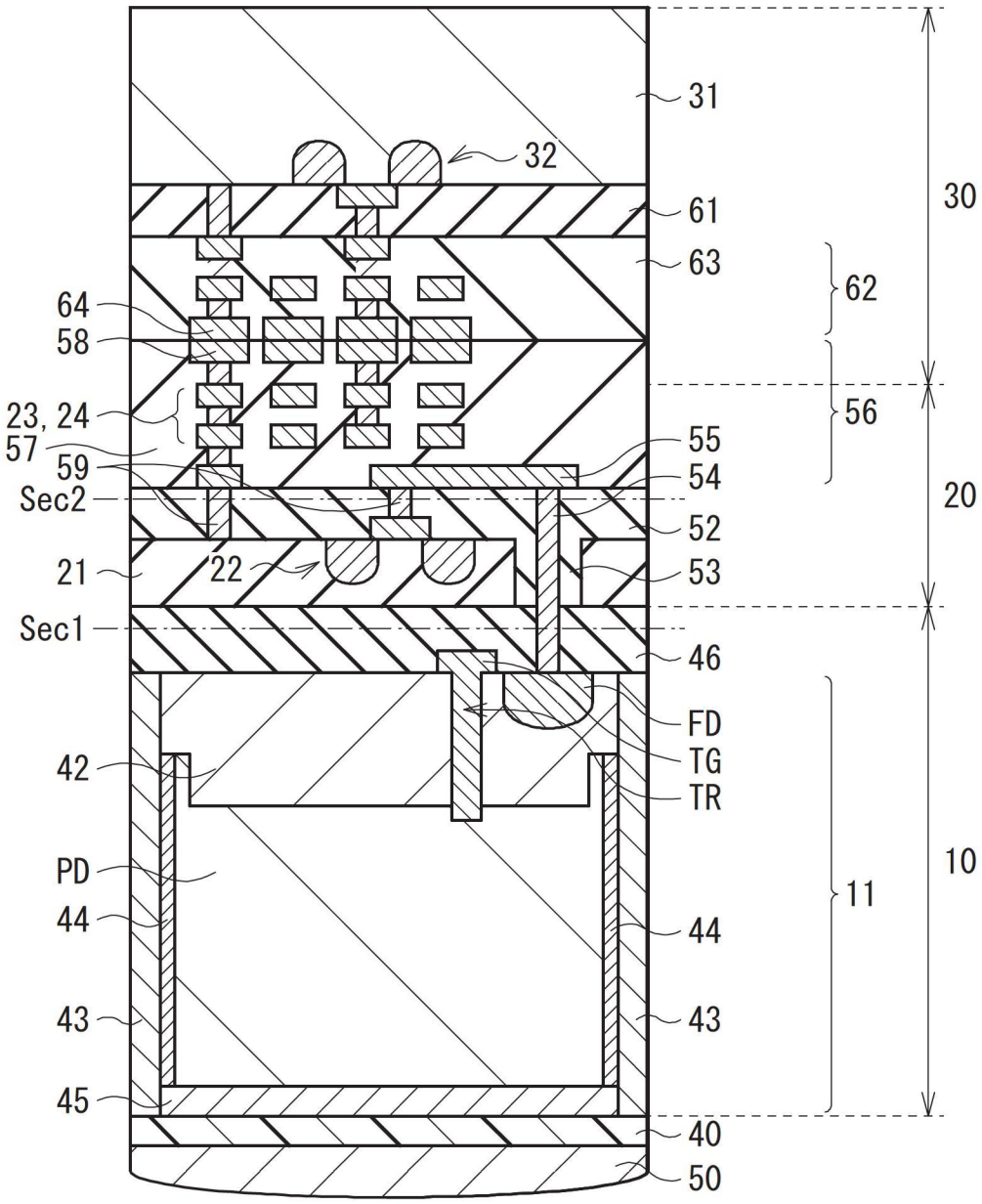
【圖4】


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
SEL
FDG
AMP
24
10
20

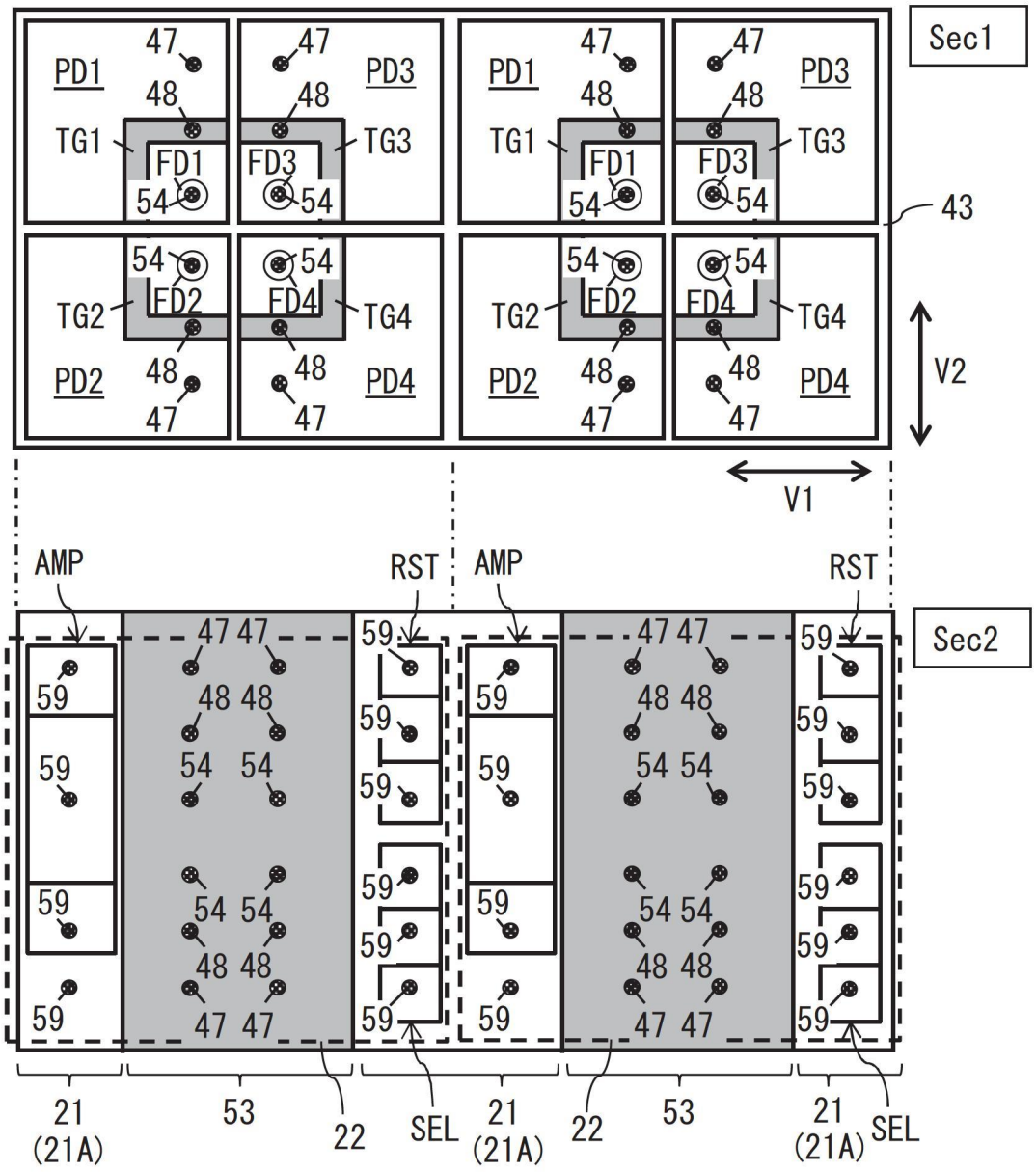
【圖5】


VOUT1
VOUT2
VOUT3
VOUT4
24
24
24
24
12
FD1
FD2
FD3
FD4
VDD
22
10
20

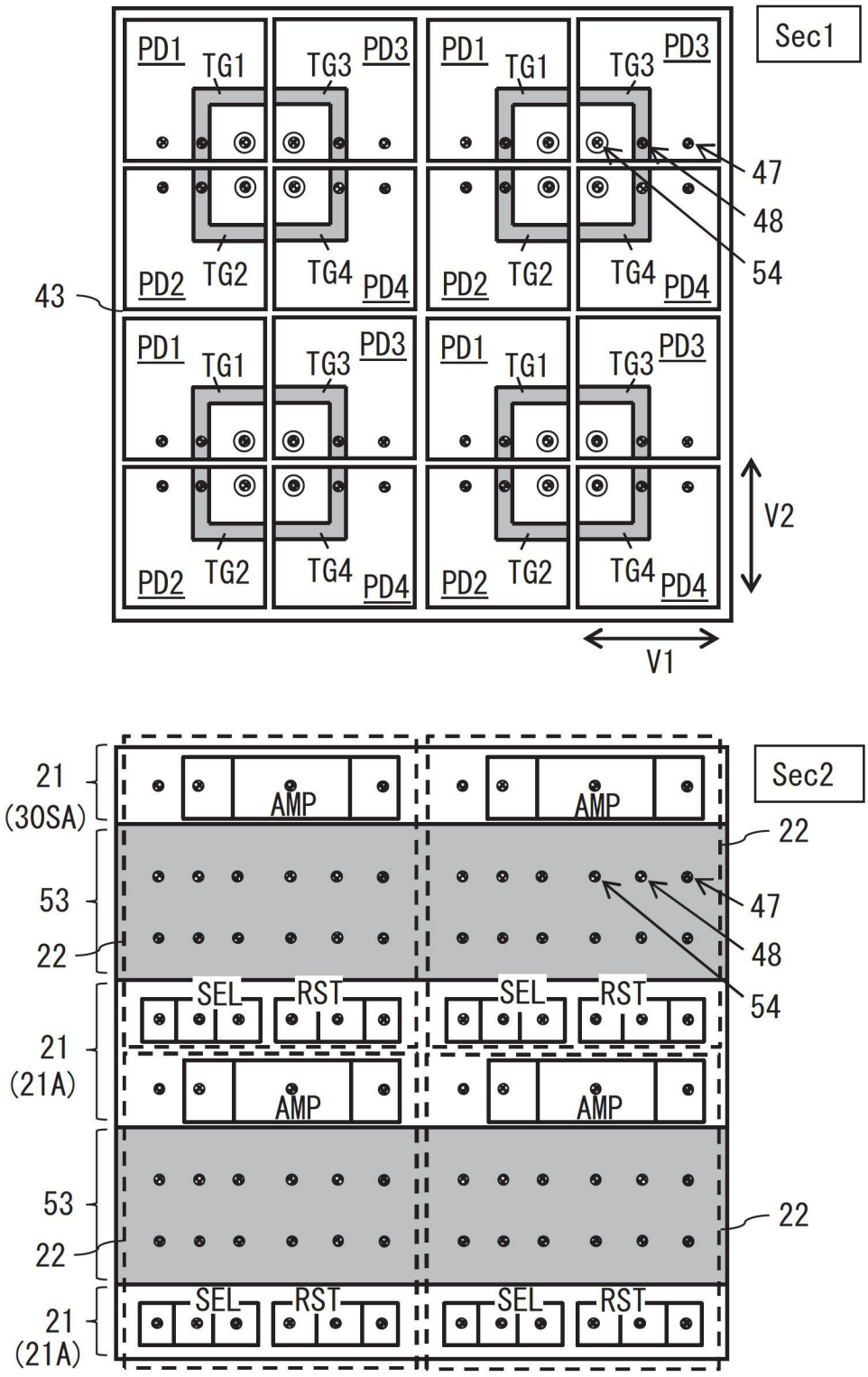
【圖6】


31
32
61
63
62
64
58
56
23, 24
57
55
59
54
Sec2
52
21
22
53
Sec1
46
FD
TG
TR
42
PD
44
11
44
43
43
45
40
50
30
20
10

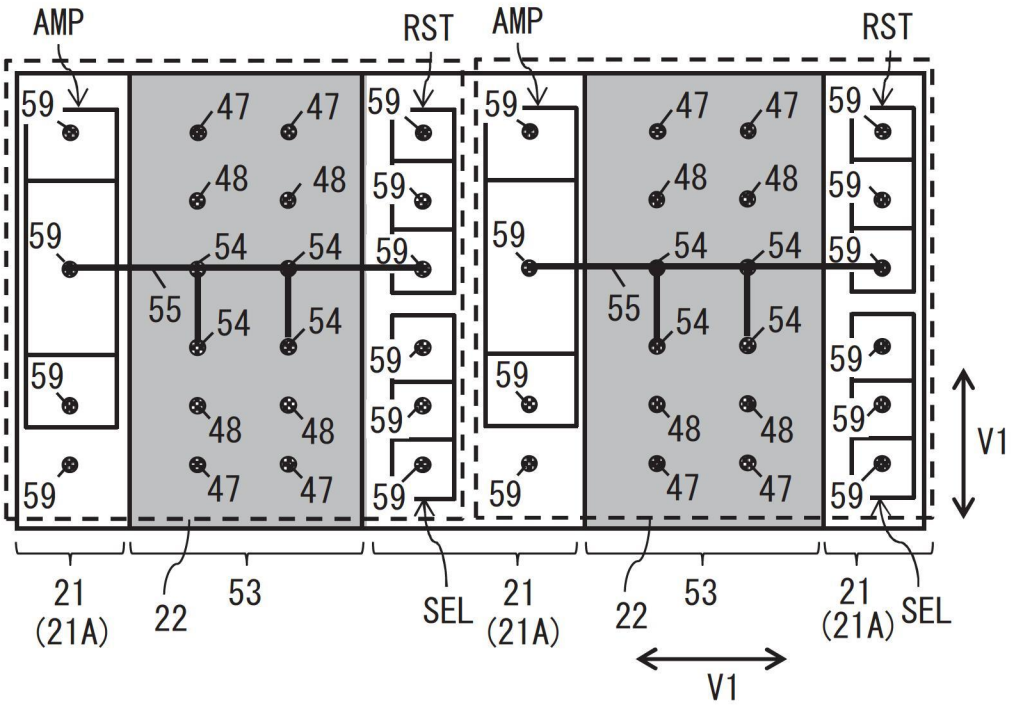
【圖7】


Sec1
PD1
PD3
PD2
PD4
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
47
48
54
43
V1
V2
AMP
RST
Sec2
59
21
(21A)
53
22
SEL

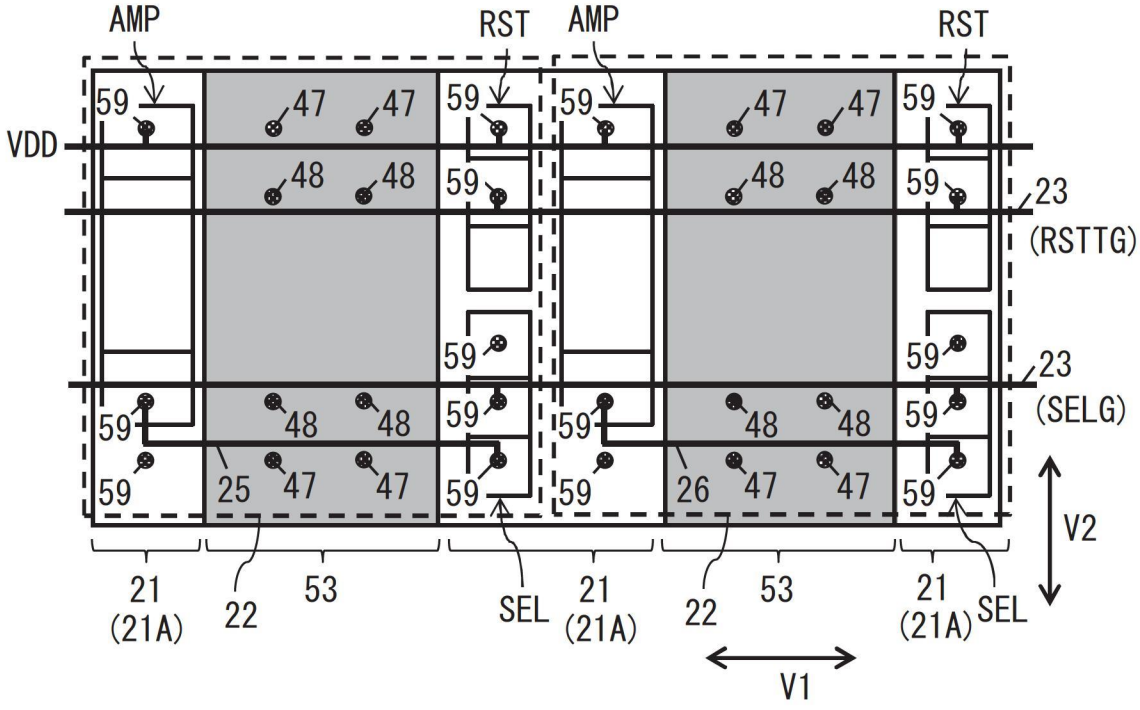
【圖8】


Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54
43
V2
V1
Sec2
21
(30SA)
AMP
22
53
SEL
RST
21
(21A)

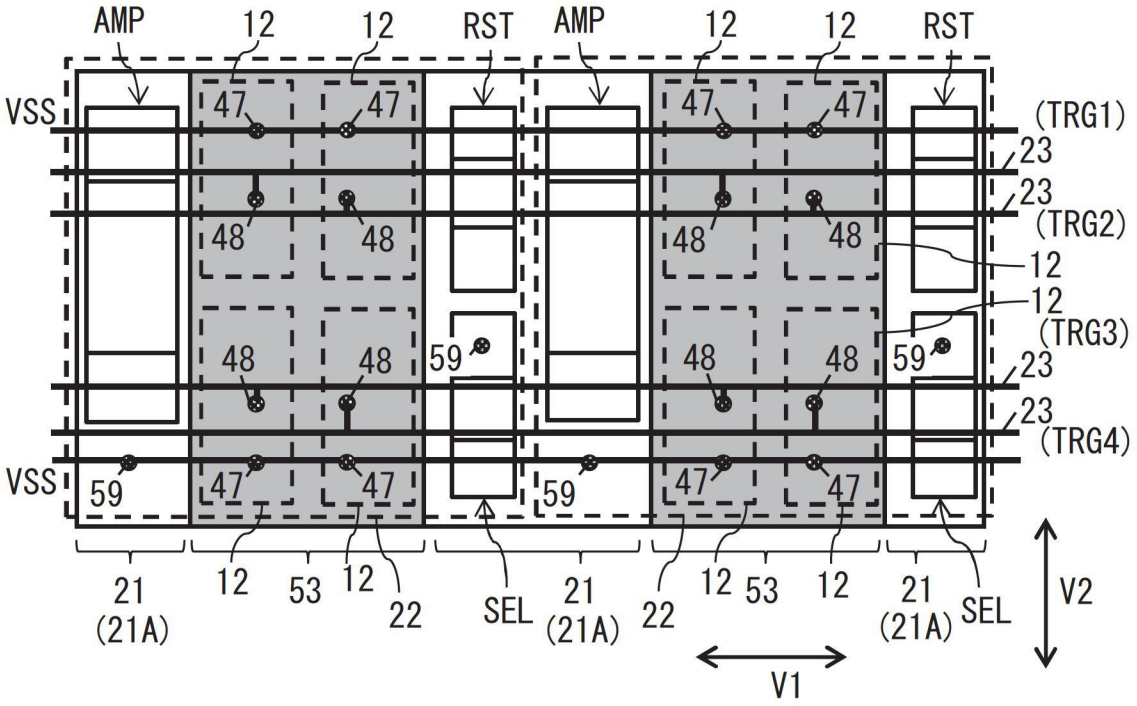
【圖9】


AMP
RST
AMP
RST
59
47
48
54
55
V1
21
(21A)
22
53
SEL

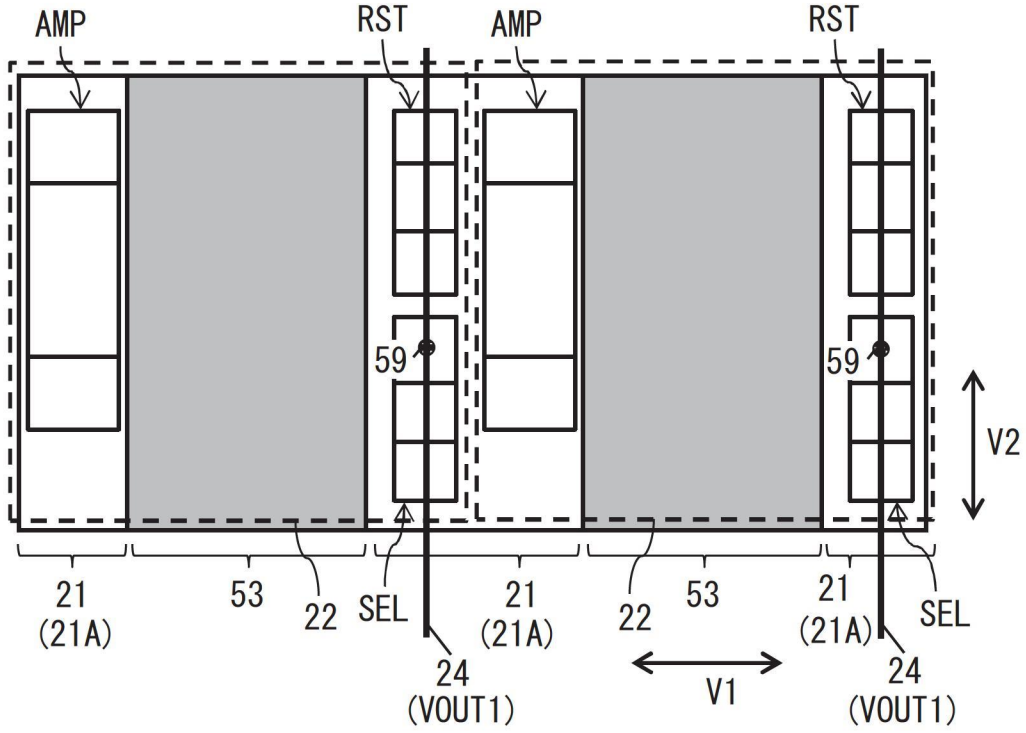
【圖10】


AMP
RST
AMP
RST
VDD
59
47
48
54
55
23
(RSTTG)
23
(SELG)
25
26
V2
V1
21
(21A)
22
53
SEL

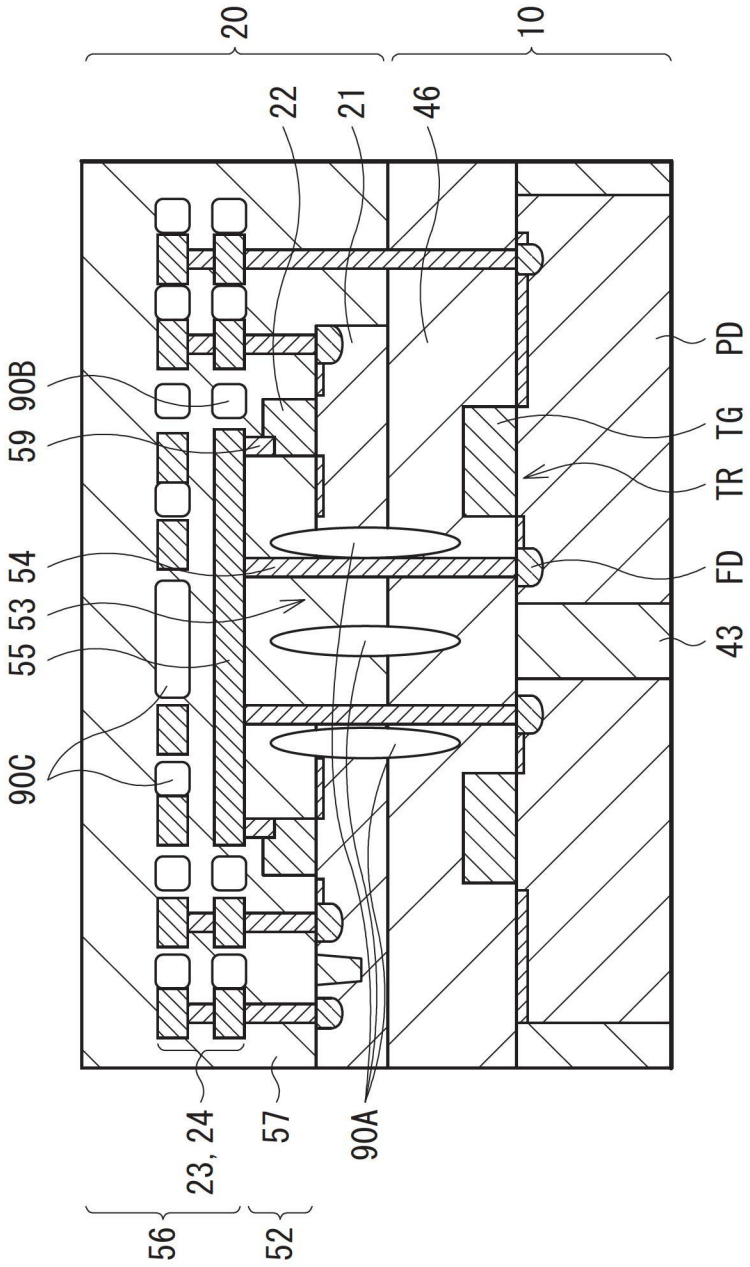
【圖11】


AMP
12
12
RST
AMP
12
12
RST
VSS
47
47
48
48
59
(TRG1)
23
23
(TRG2)
12
12
(TRG3)
23
23
(TRG4)
VSS
21
(21A)
12
53
12
22
SEL
V1
V2

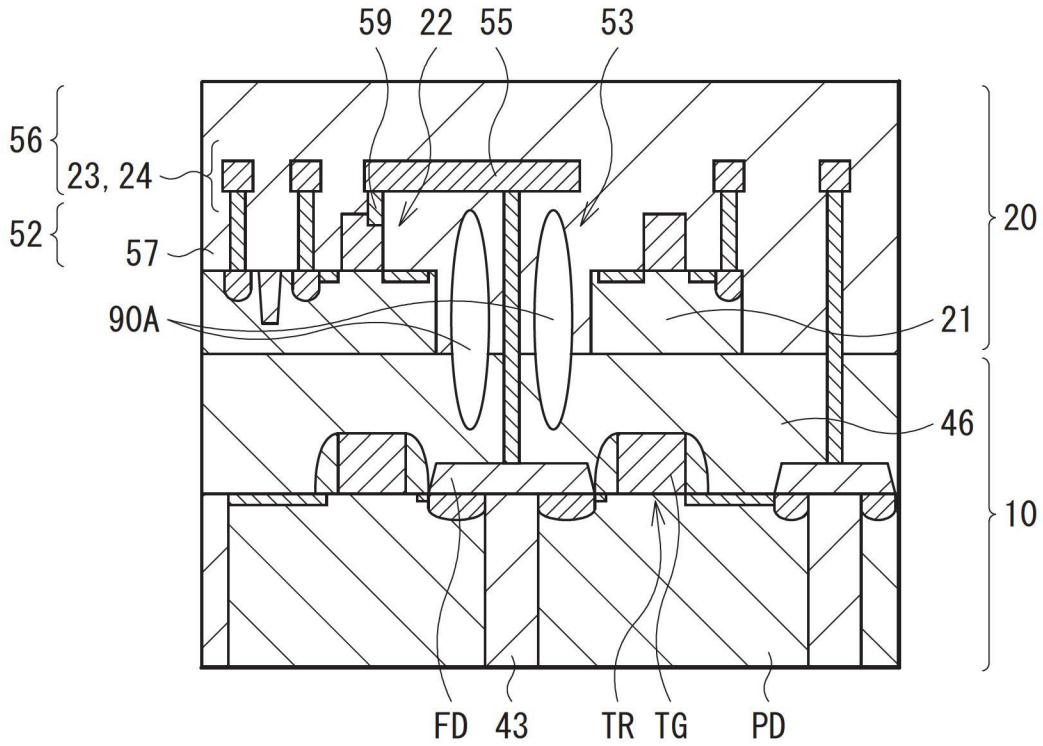
【圖12】


AMP
RST
AMP
RST
59
21
(21A)
53
22
SEL
24
(VOUT1)
V1
V2

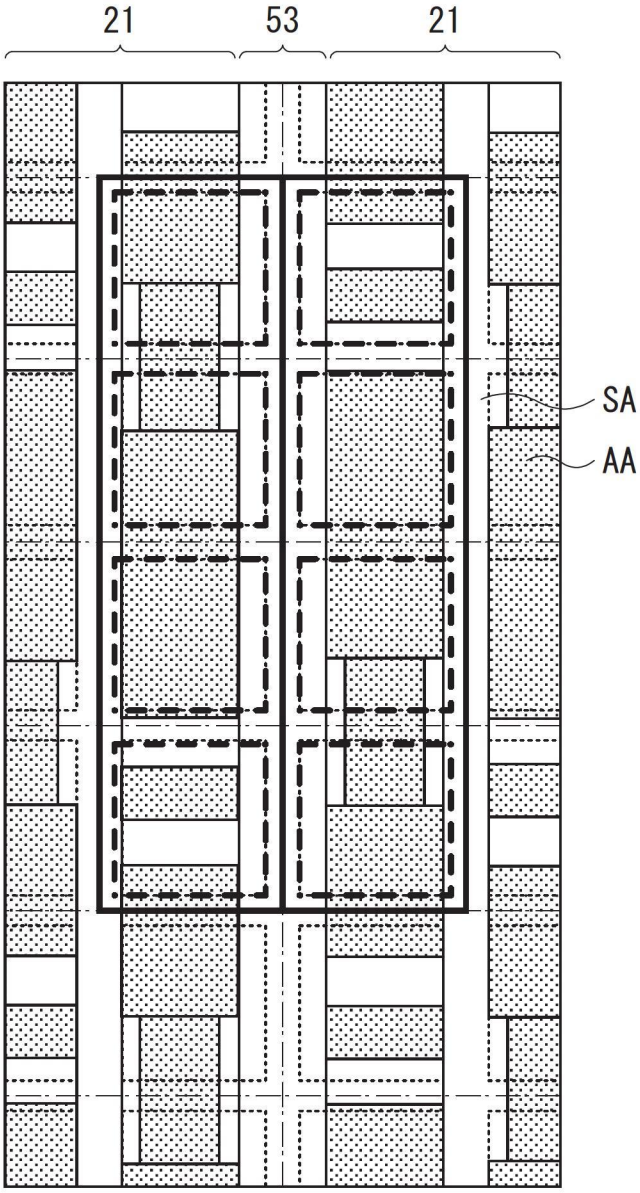
【圖13】



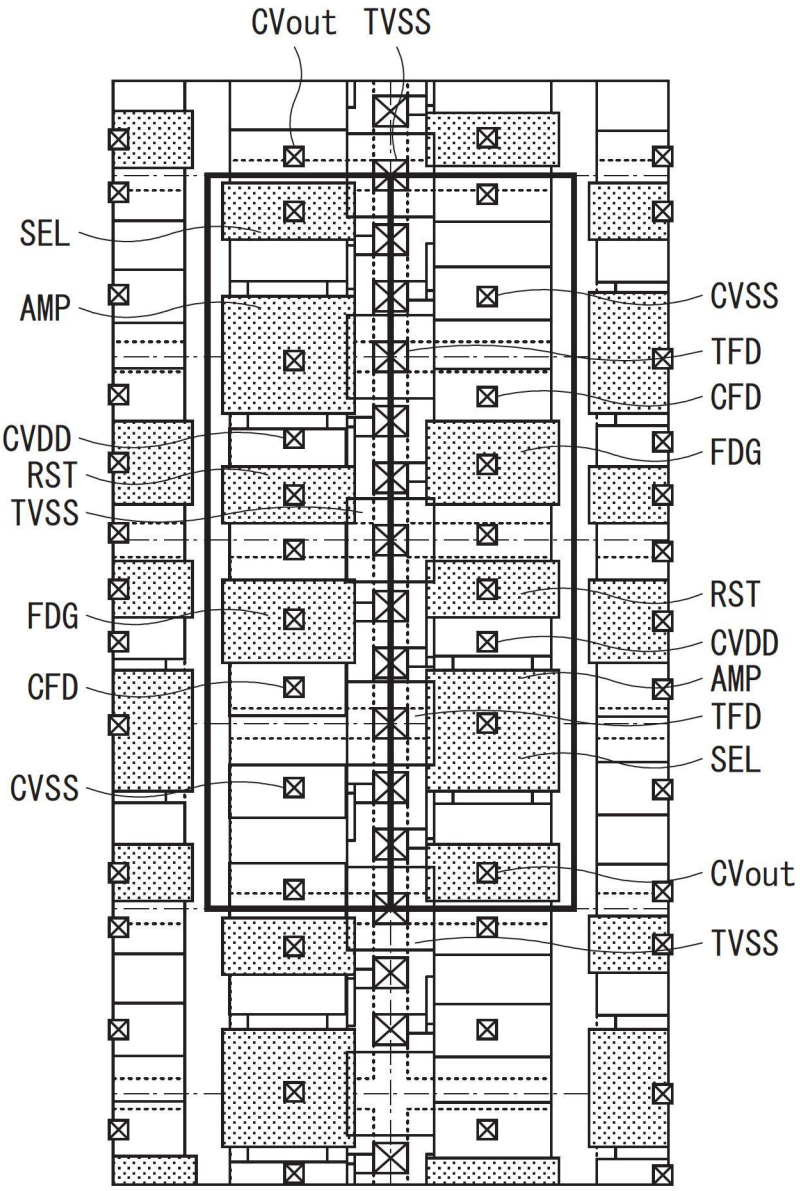
【圖14】



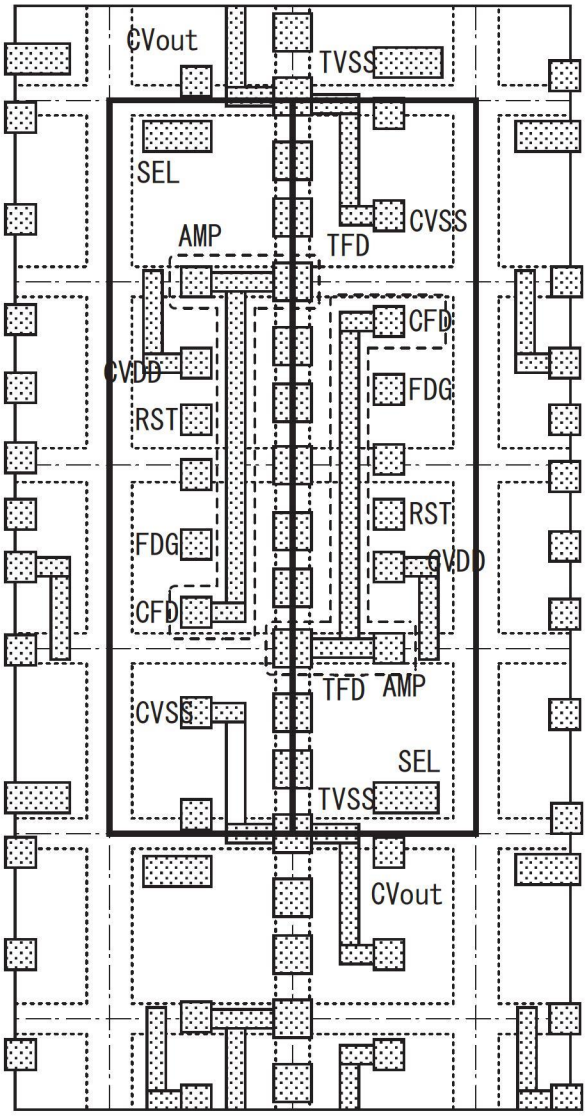
【圖15】



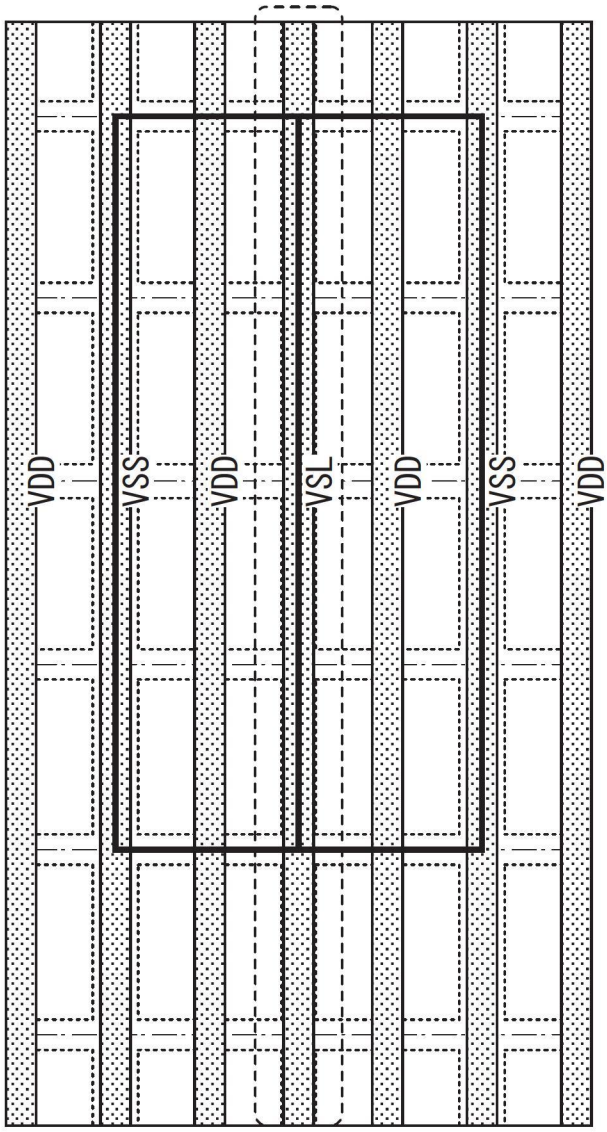
【圖16】


CVout
TVSS
SEL
AMP
CVDD
RST
TVSS
FDG
CFD
CVSS
CVSS
TFD
CFD
FDG
RST
CVDD
AMP
TFD
SEL
CVout
TVSS

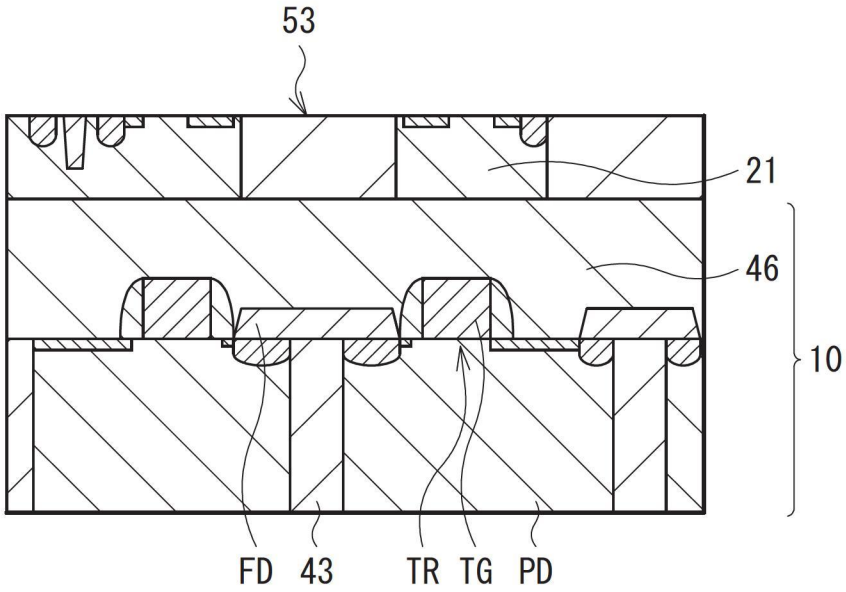
【圖17】


CVout
TVSS
SEL
CVSS
AMP
TFD
CFD
CVDD
FDG
RST
RST
FDG
CVDD
CFD
TFD
AMP
CVSS
SEL
TVSS
CVout

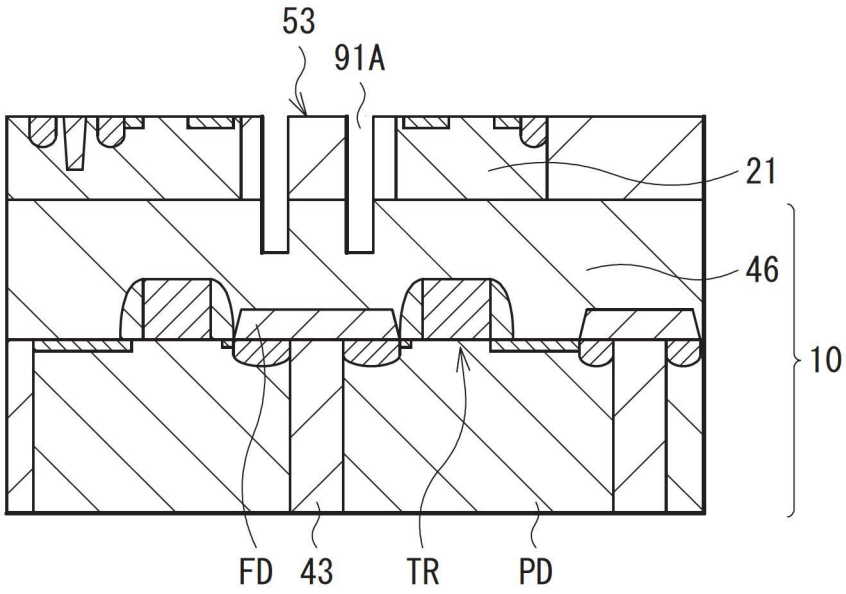
【圖18】



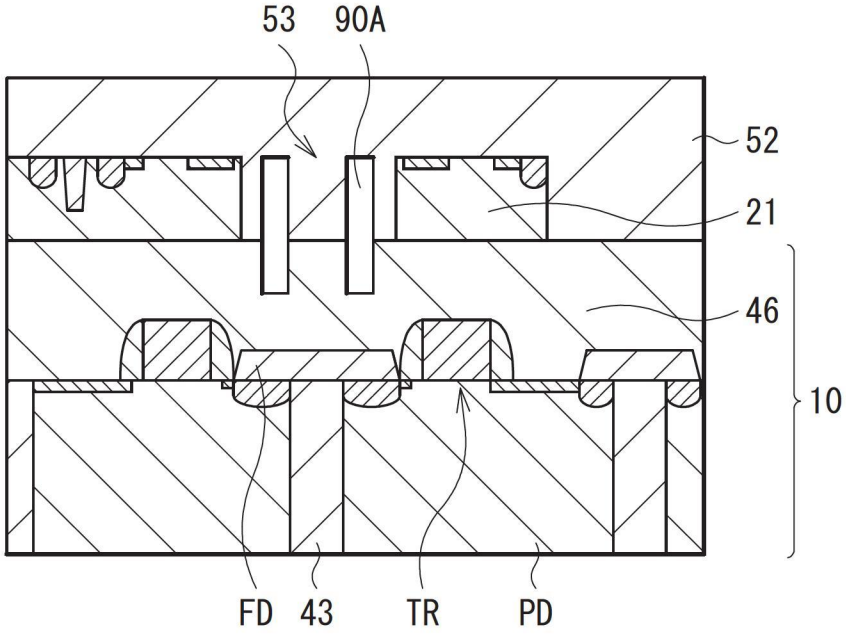
【圖19】



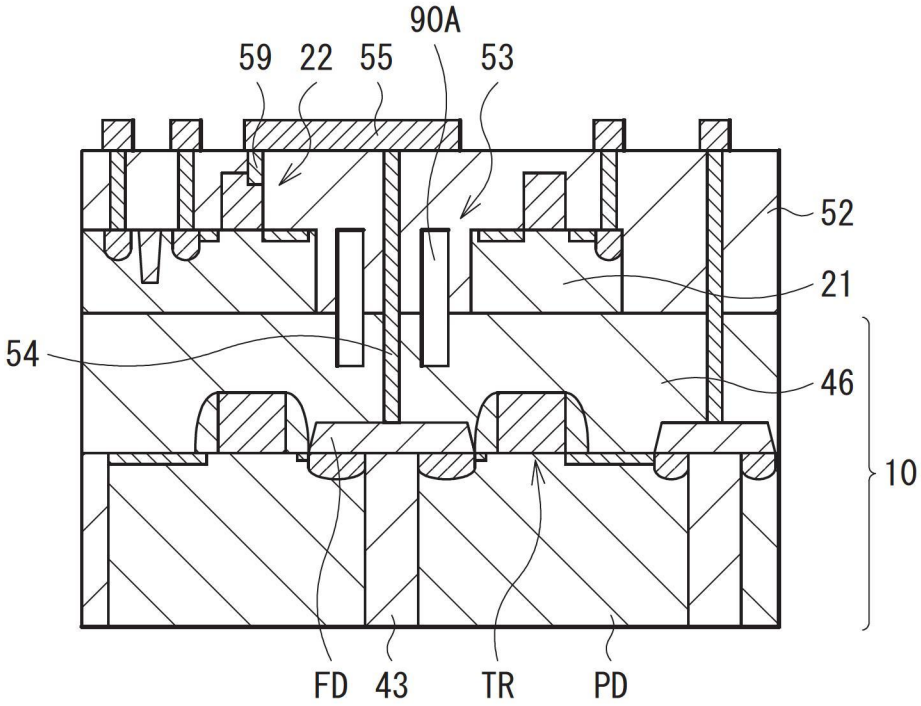
【圖20A】



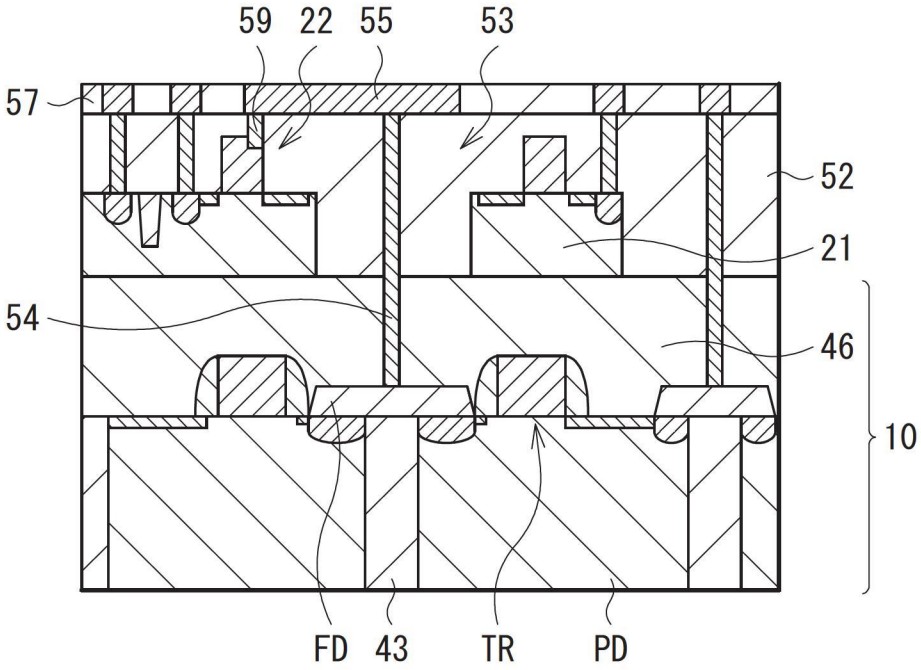
【圖20B】


53
90A
52
21
46
10
FD
43
TR
PD

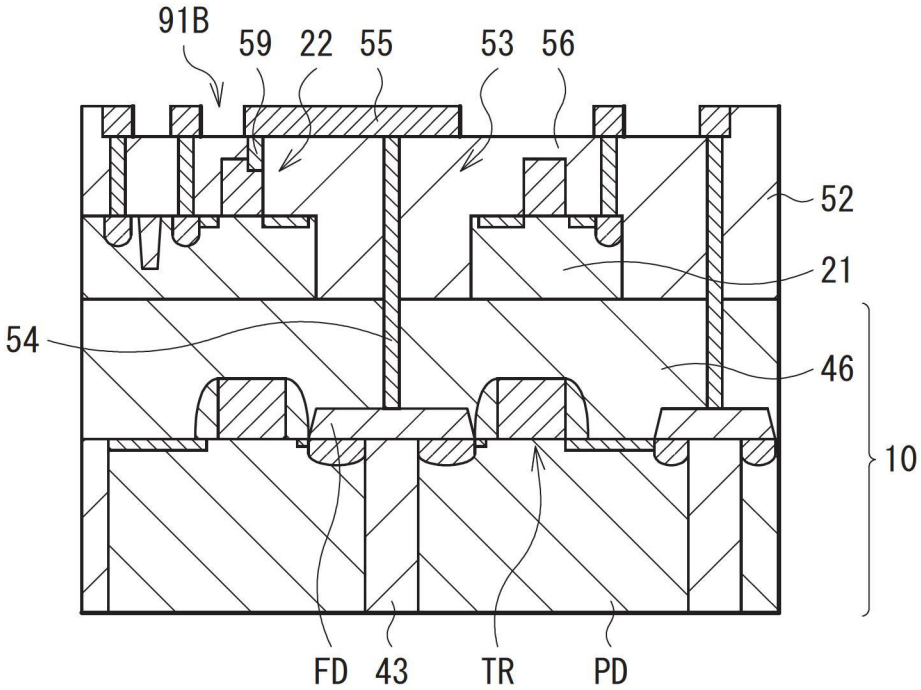
【圖20C】


90A
59
22
55
53
52
21
54
46
10
FD
43
TR
PD

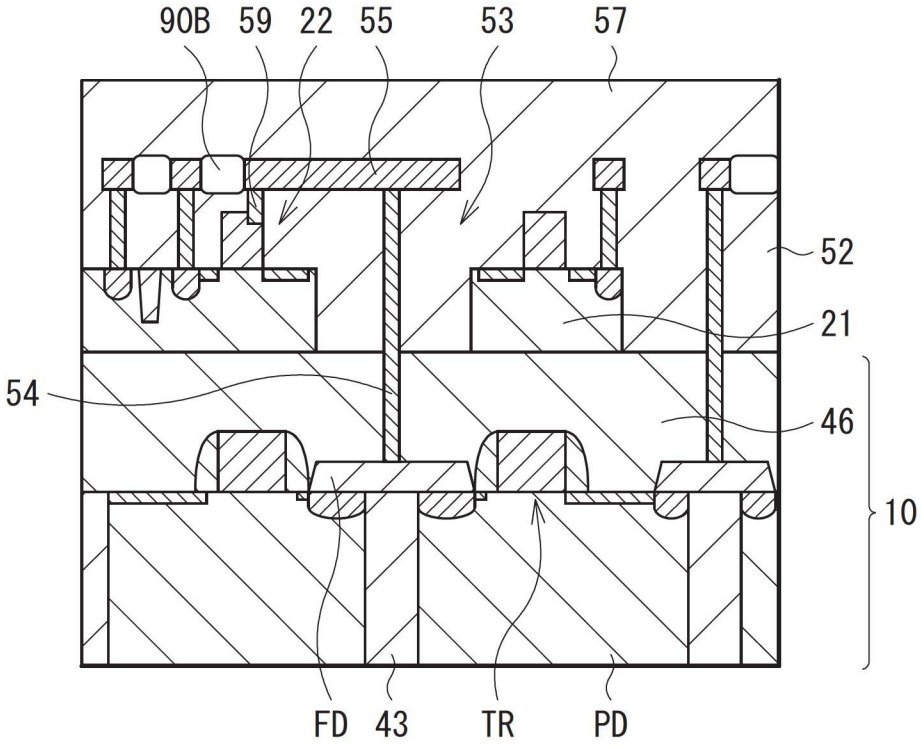
【圖20D】


59
22
55
53
57
52
21
54
46
10
FD
43
TR
PD

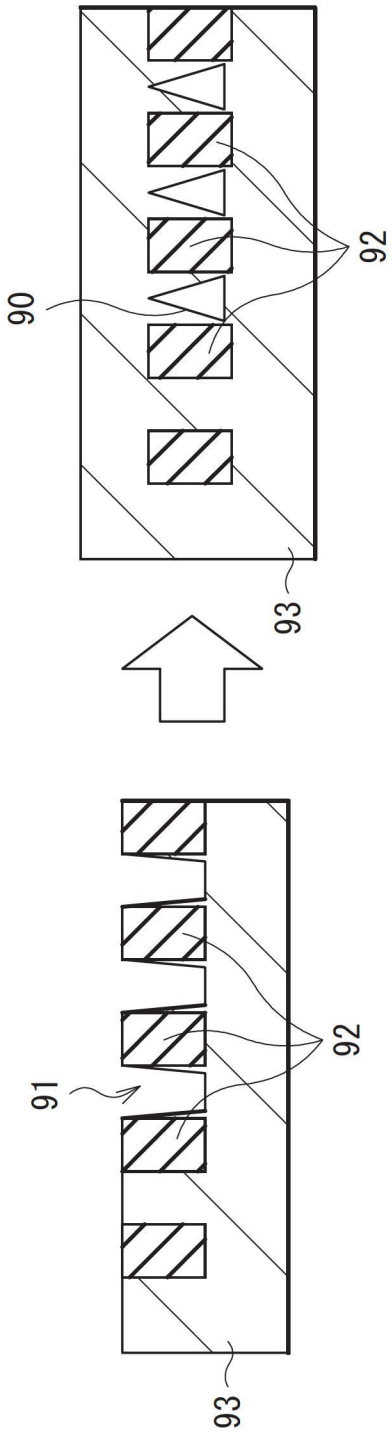
【圖20E】


91B
59
22
55
53
56
52
21
54
46
10
FD
43
TR
PD

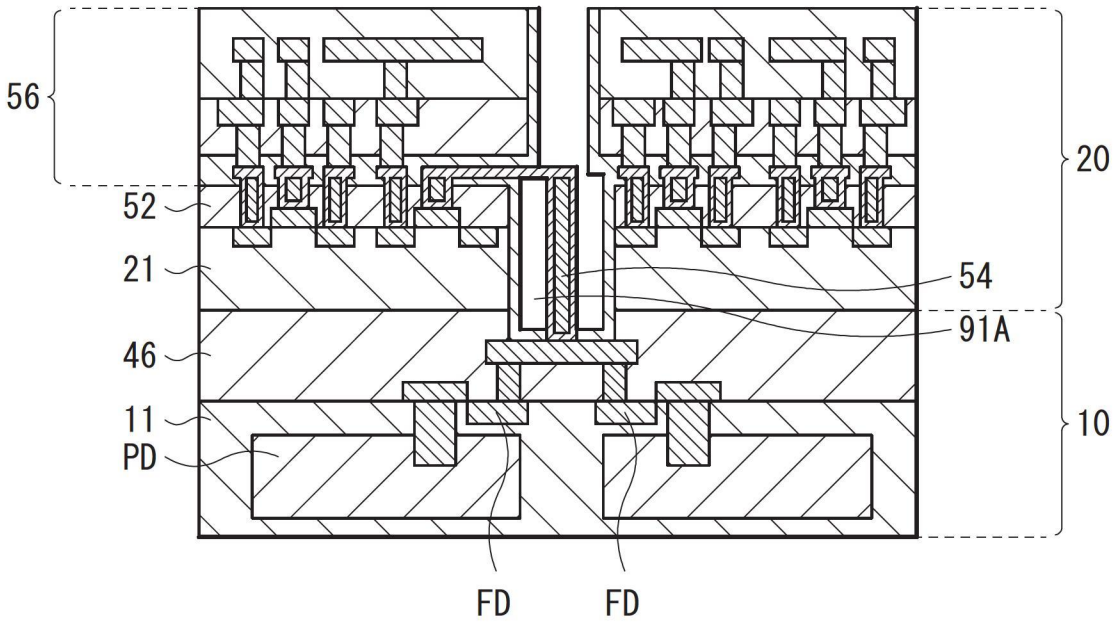
【圖20F】



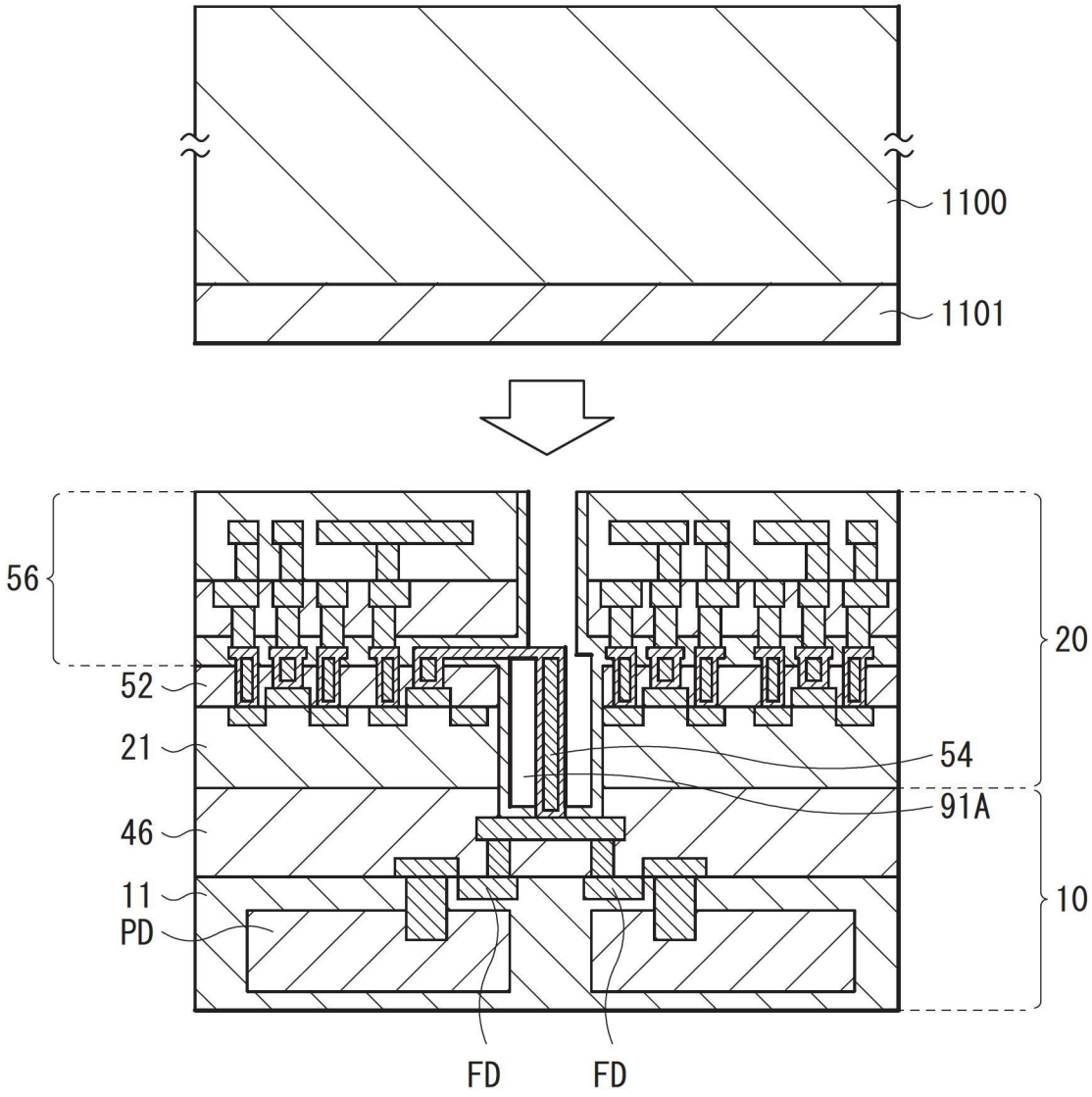
【圖20G】



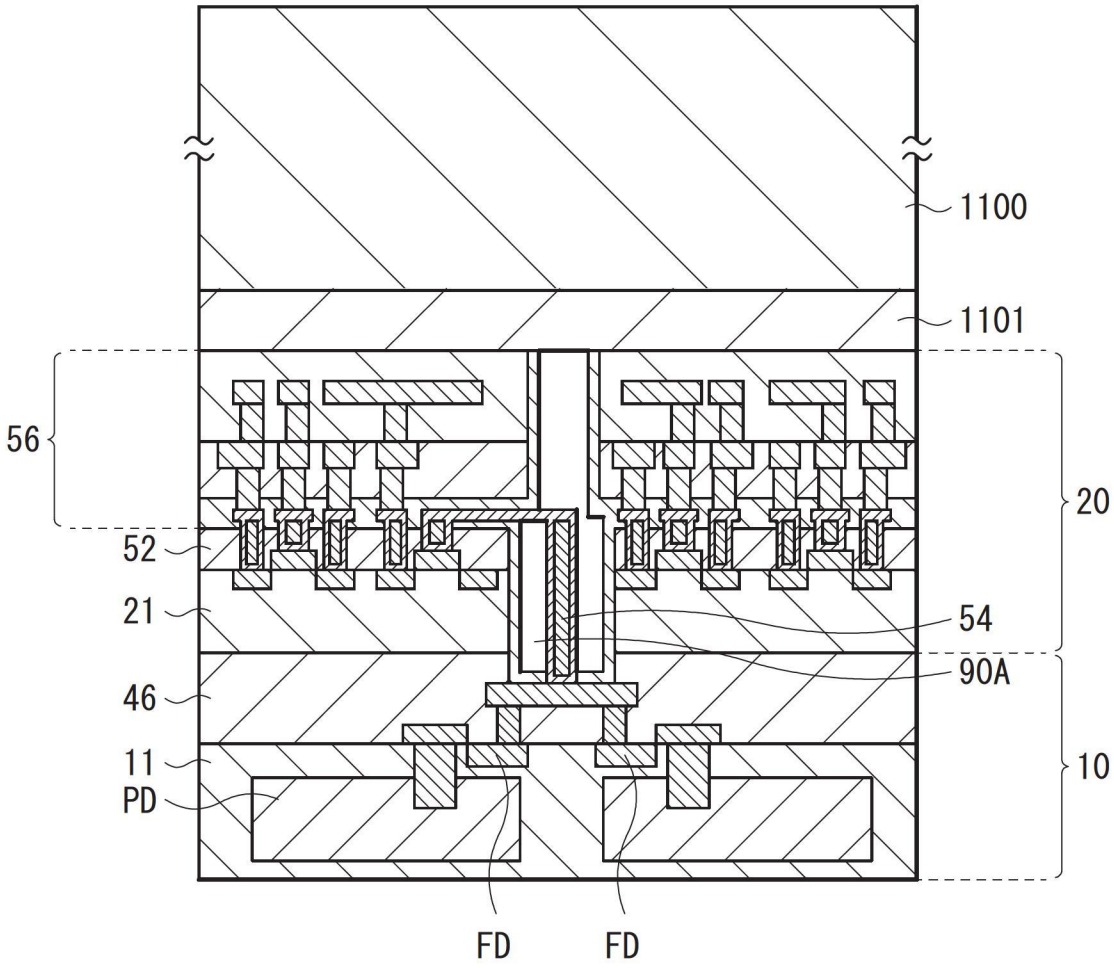
【圖21】



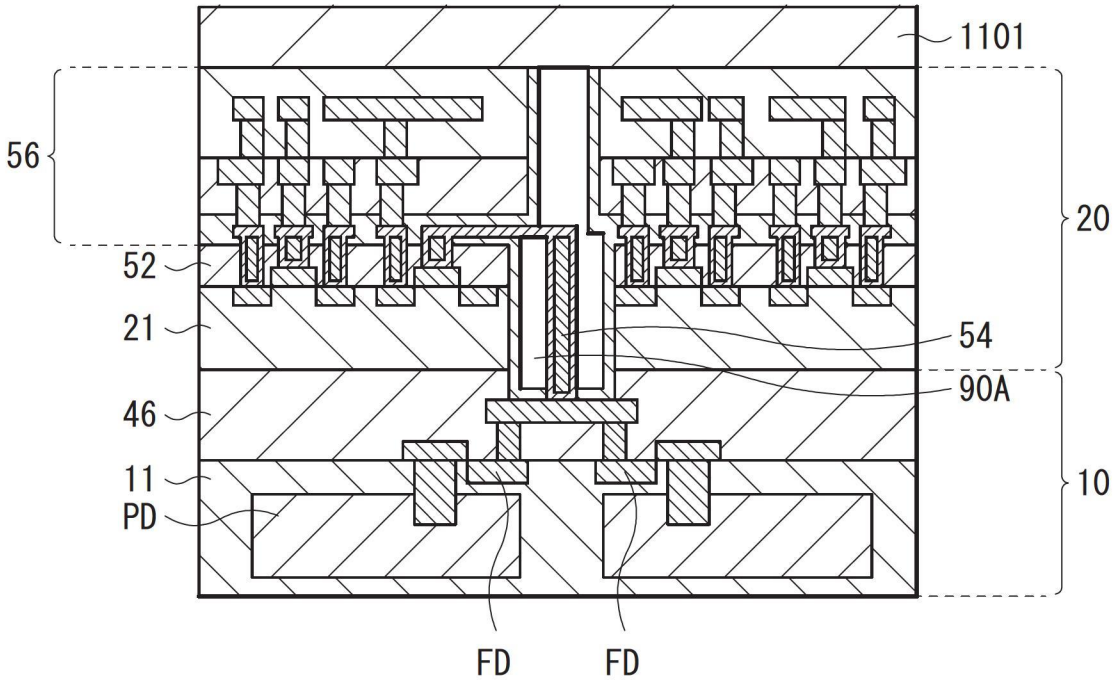
【圖22A】



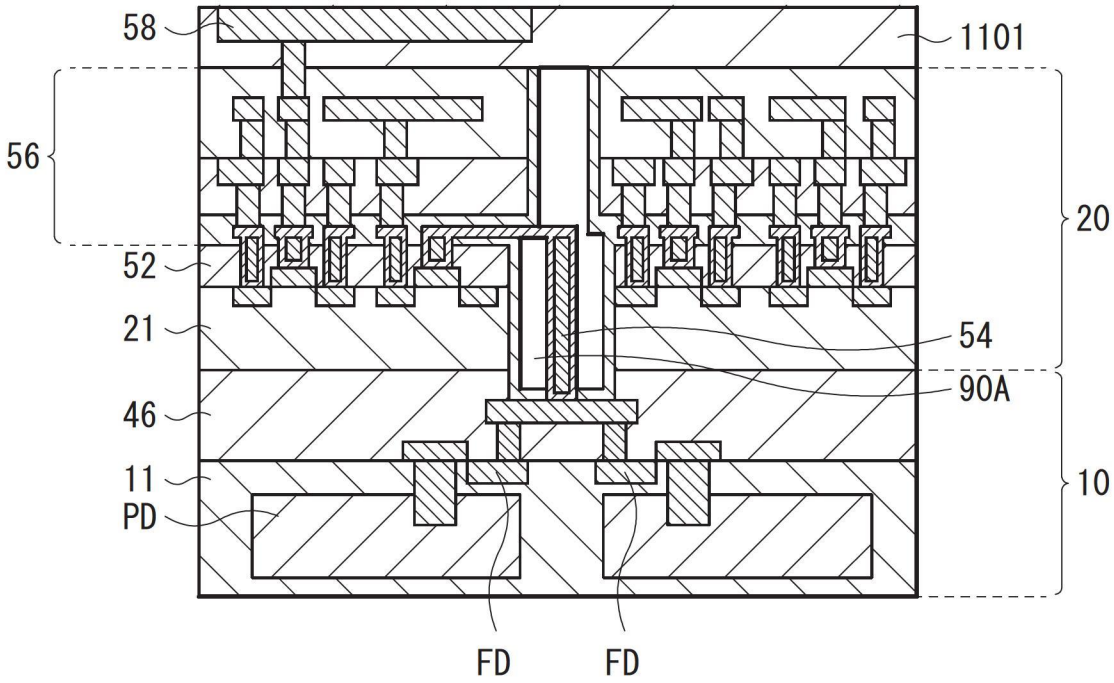
【圖22B】


1100
1101
56
20
52
21
54
90A
46
10
11
PD
FD
FD

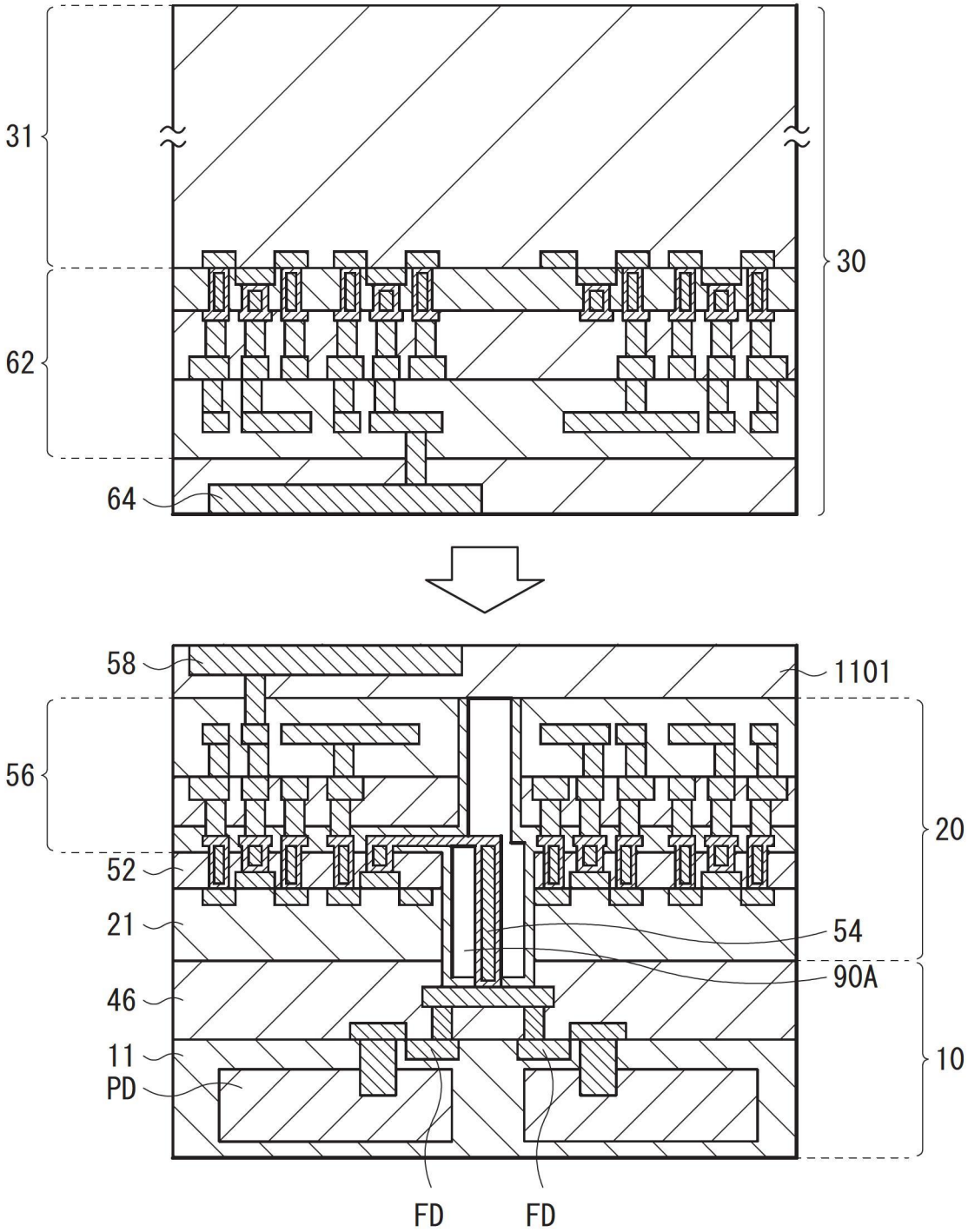
【圖22C】


1101
56
20
52
21
54
90A
46
10
11
PD
FD
FD

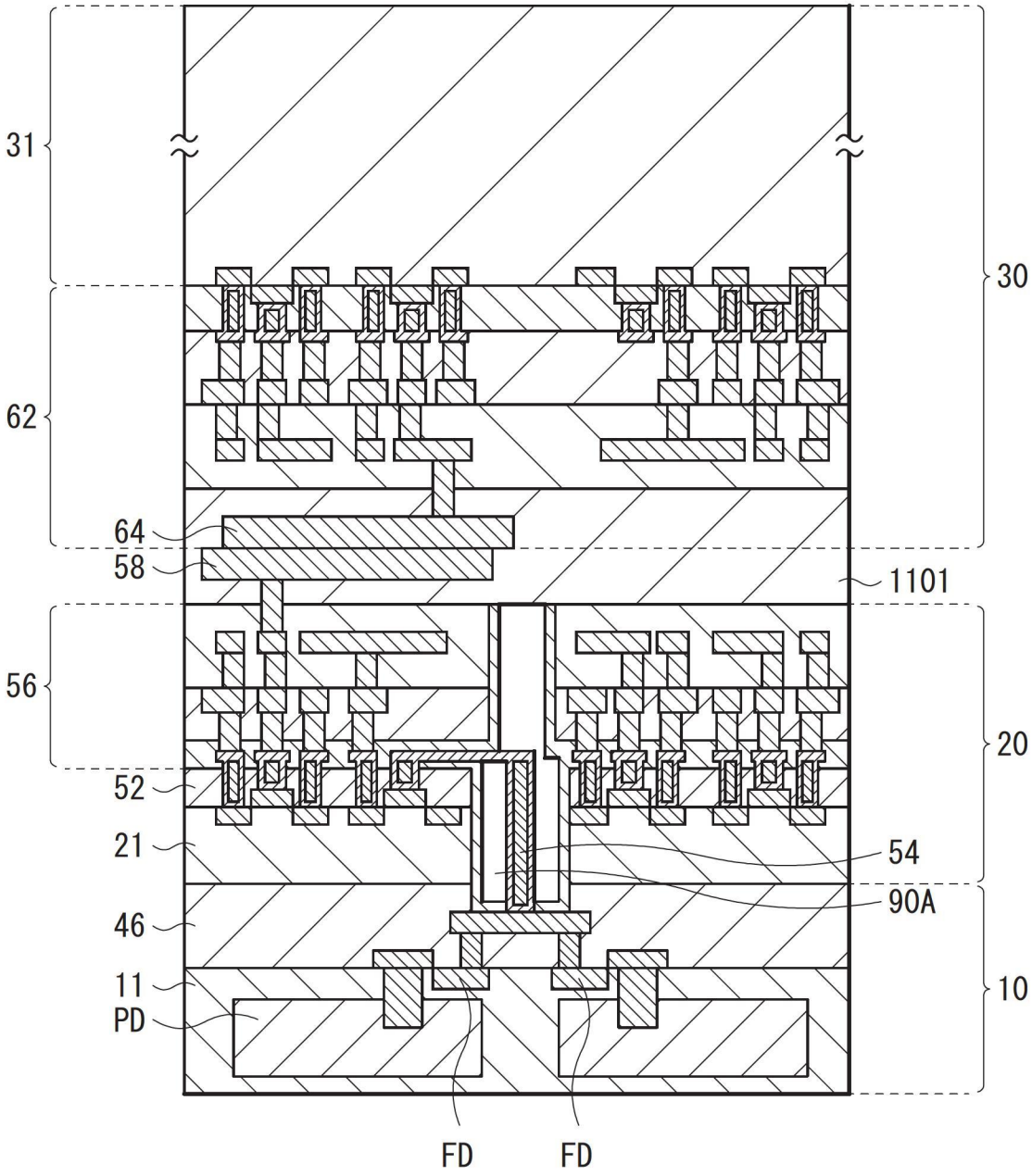
【圖22D】



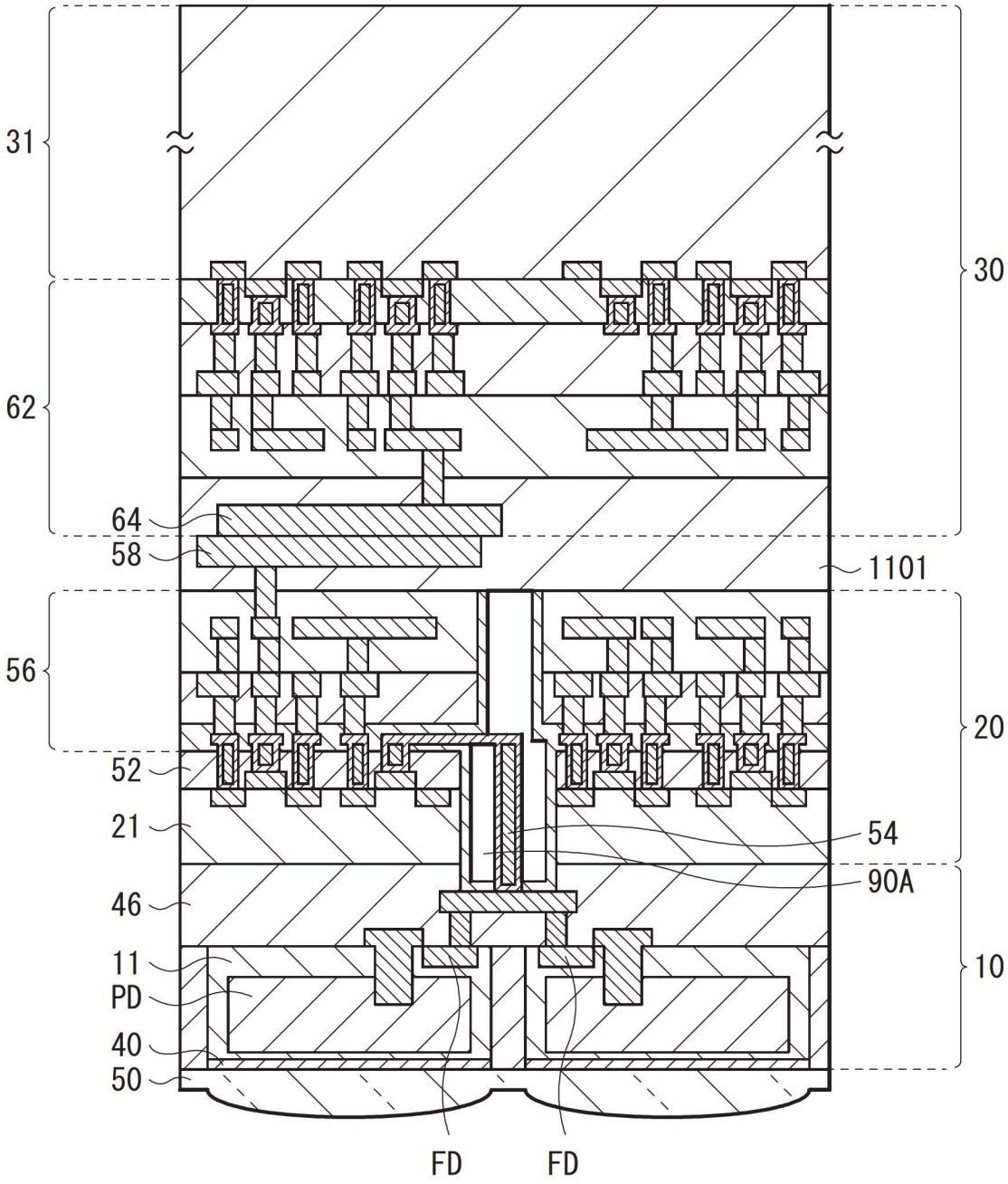
【圖22E】



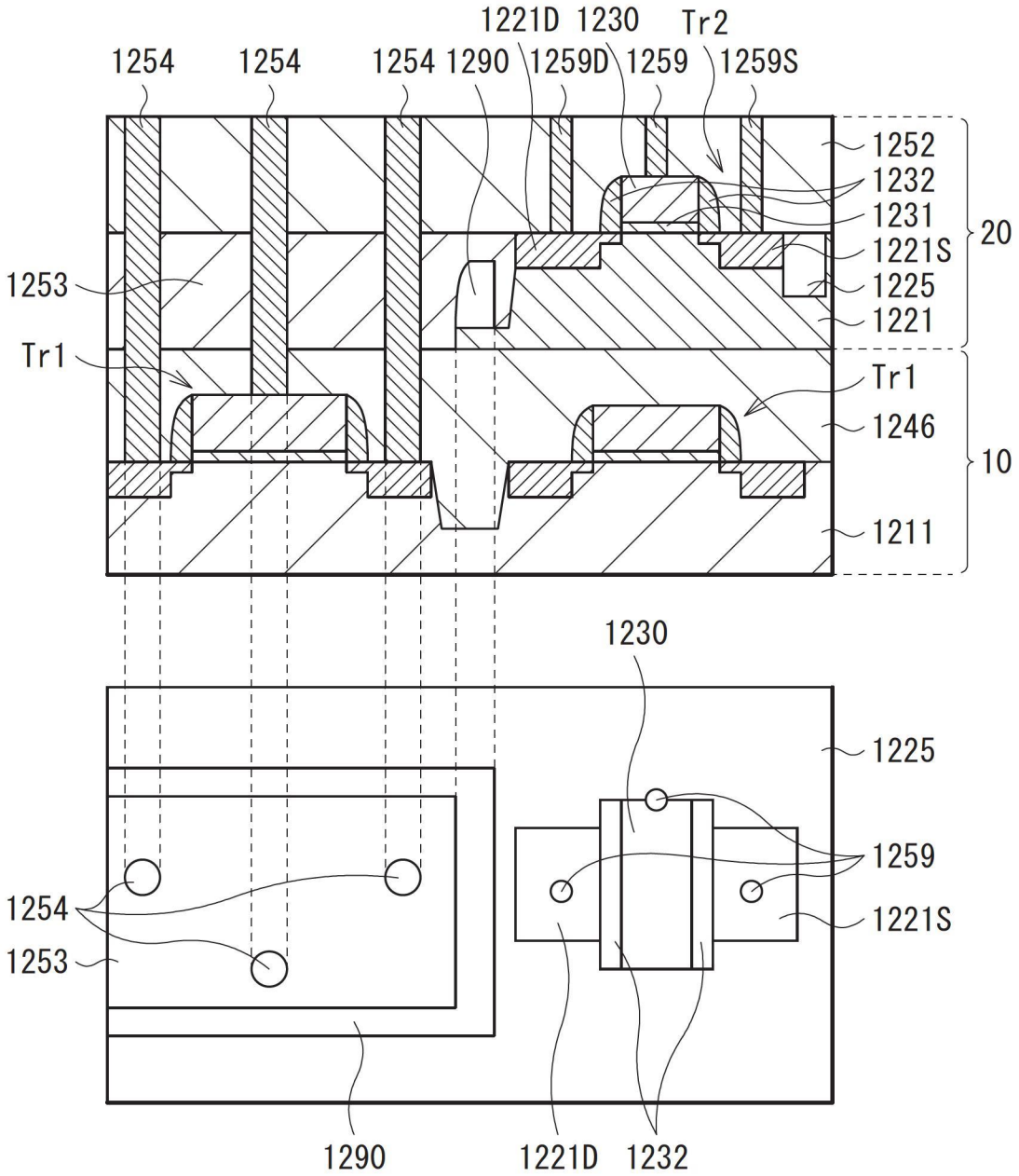
【圖22F】



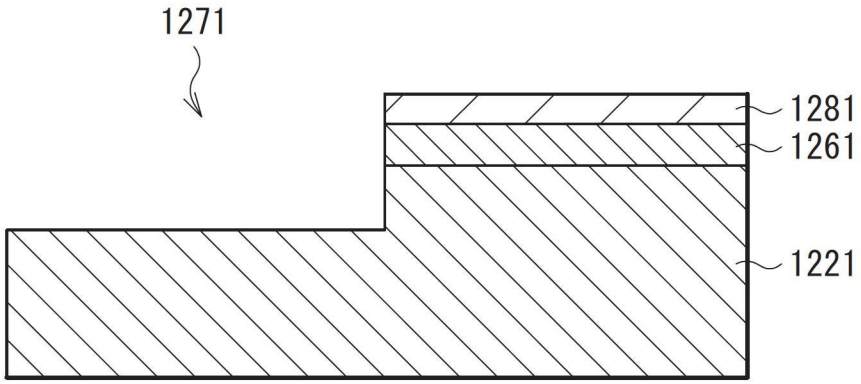
【圖22G】



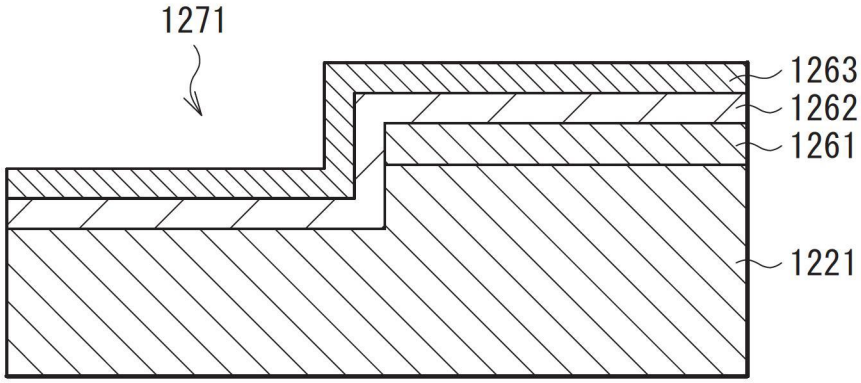
【圖22H】


1221D
1230
Tr2
1254
1254
1254
1290
1259D
1259
1259S
1252
1232
1231
1221S
1225
1221
20
1253
Tr1
Tr1
1246
10
1211
1230
1225
1259
1254
1253
1221S
1290
1221D
1232

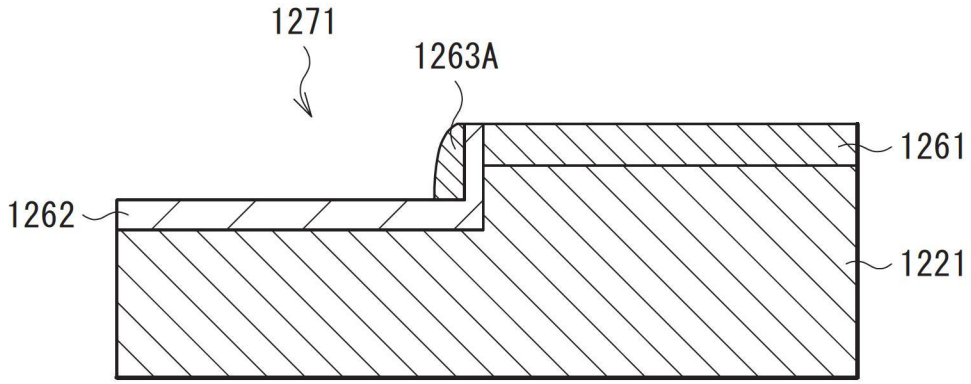
【圖23】



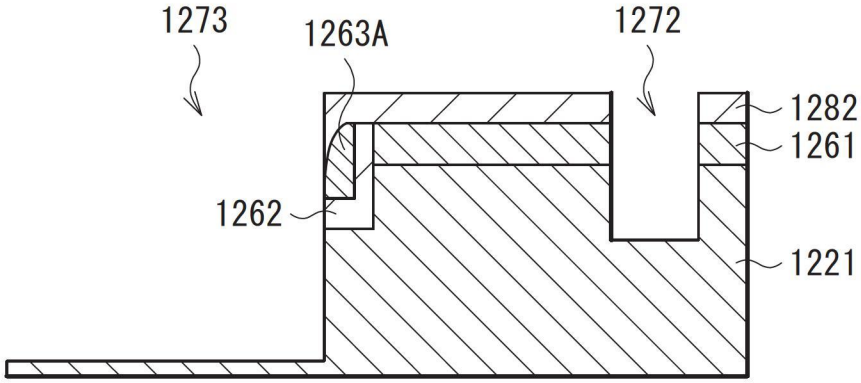
【圖24A】



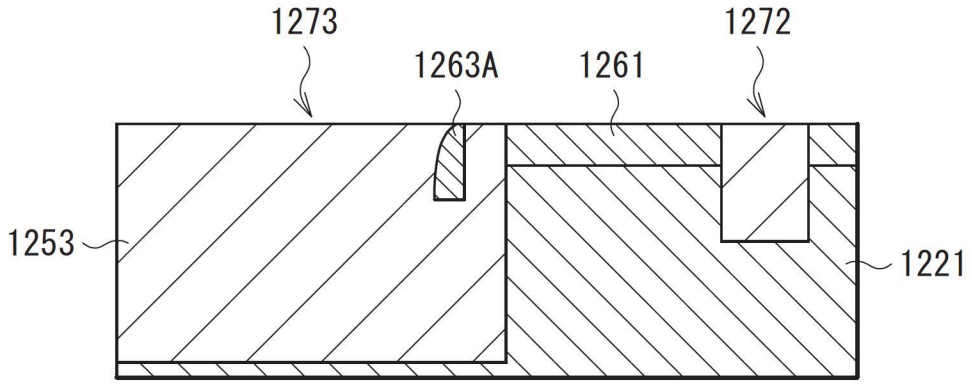
【圖24B】


1271
1263A
1261
1262
1221

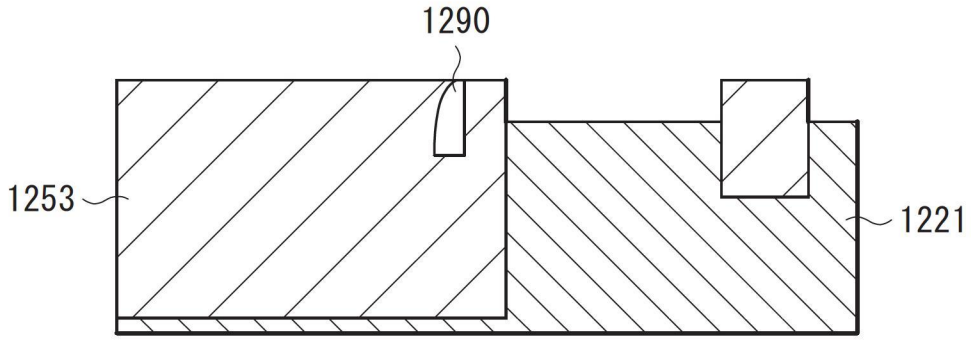
【圖24C】


1273
1263A
1272
1282
1261
1262
1221

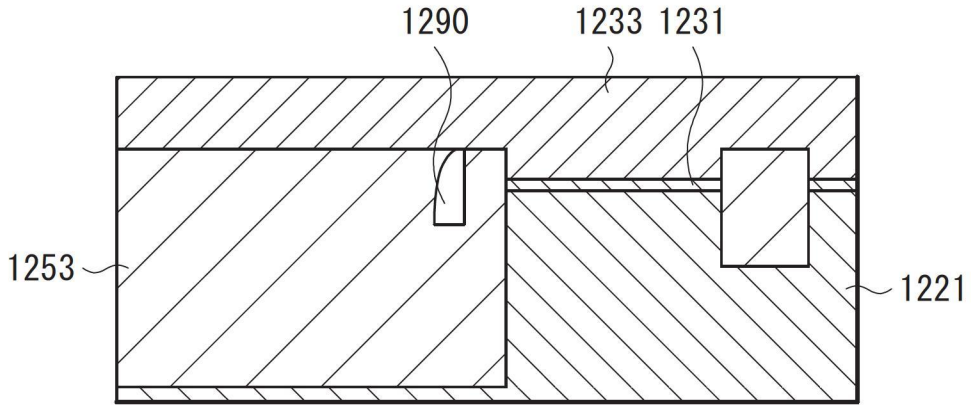
【圖24D】



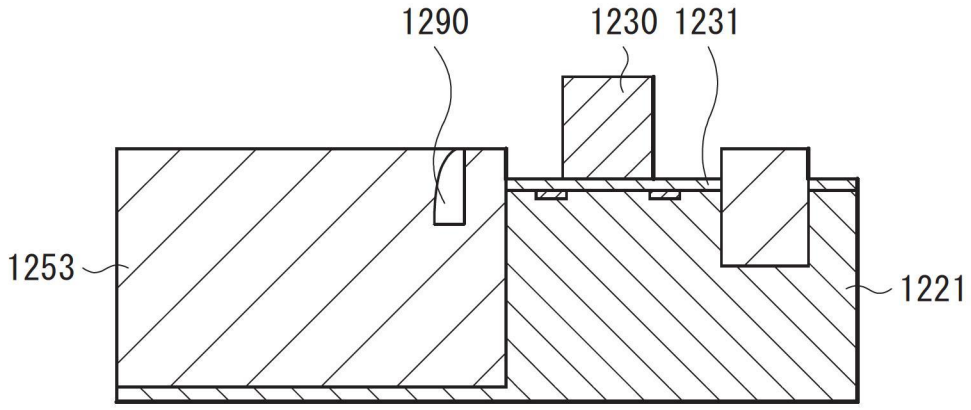
【圖24E】



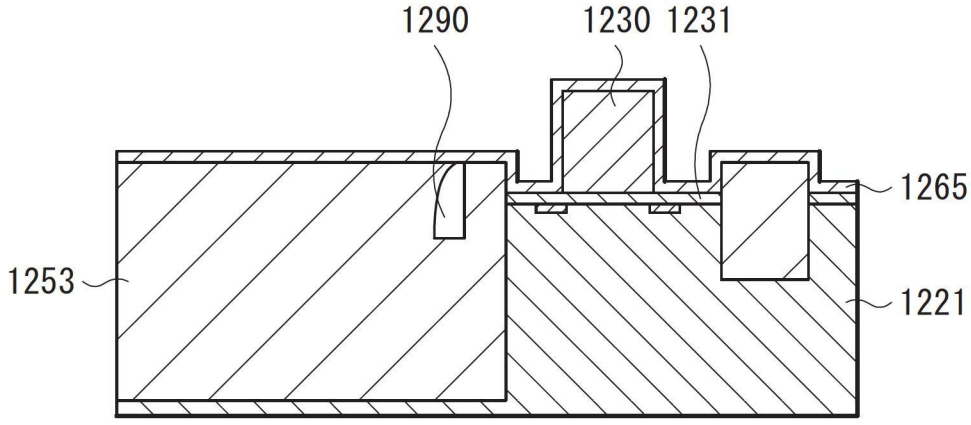
【圖24F】



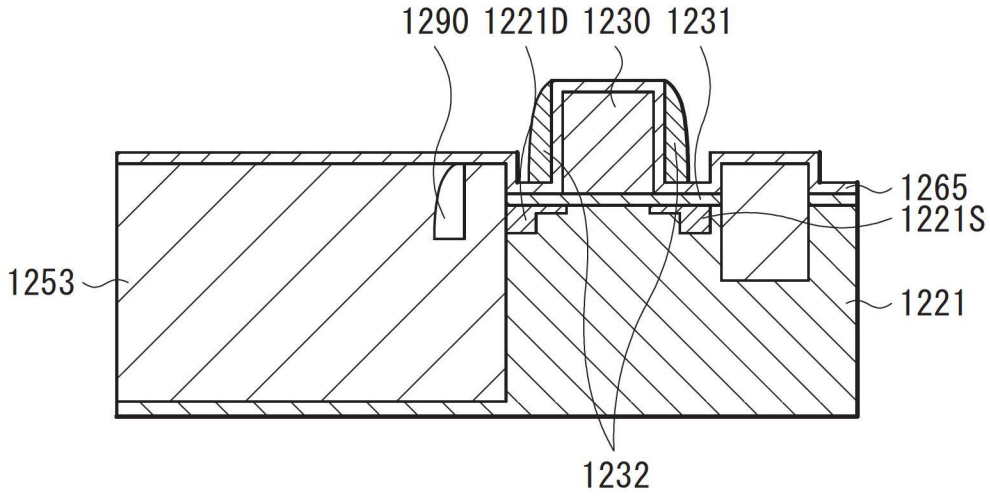
【圖24G】



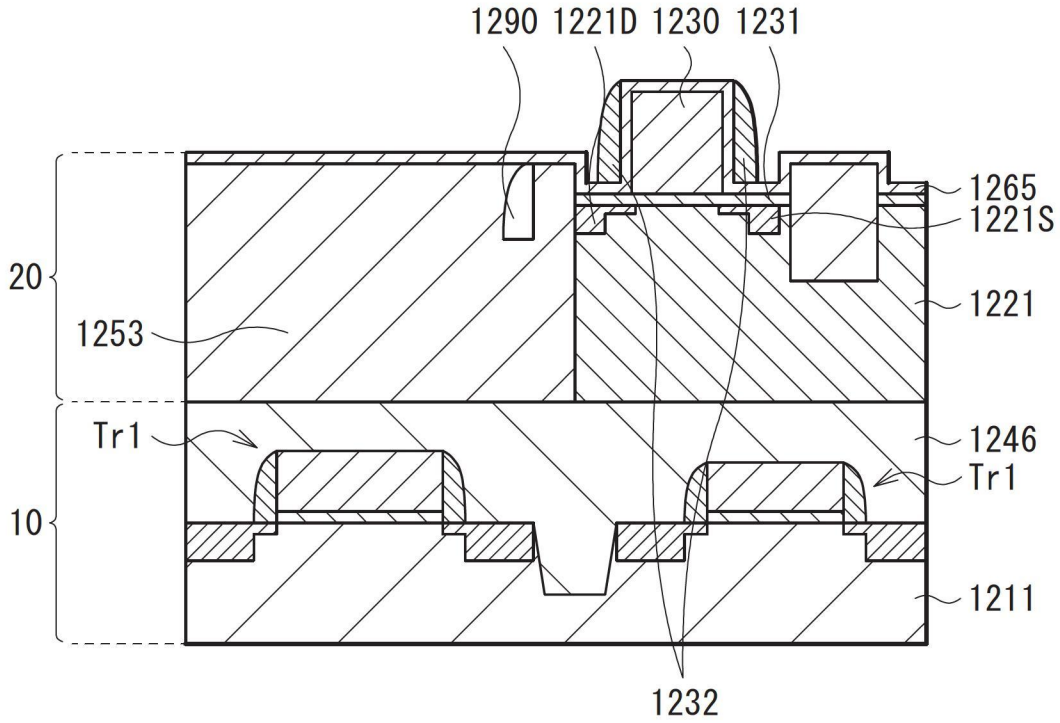
【圖24H】



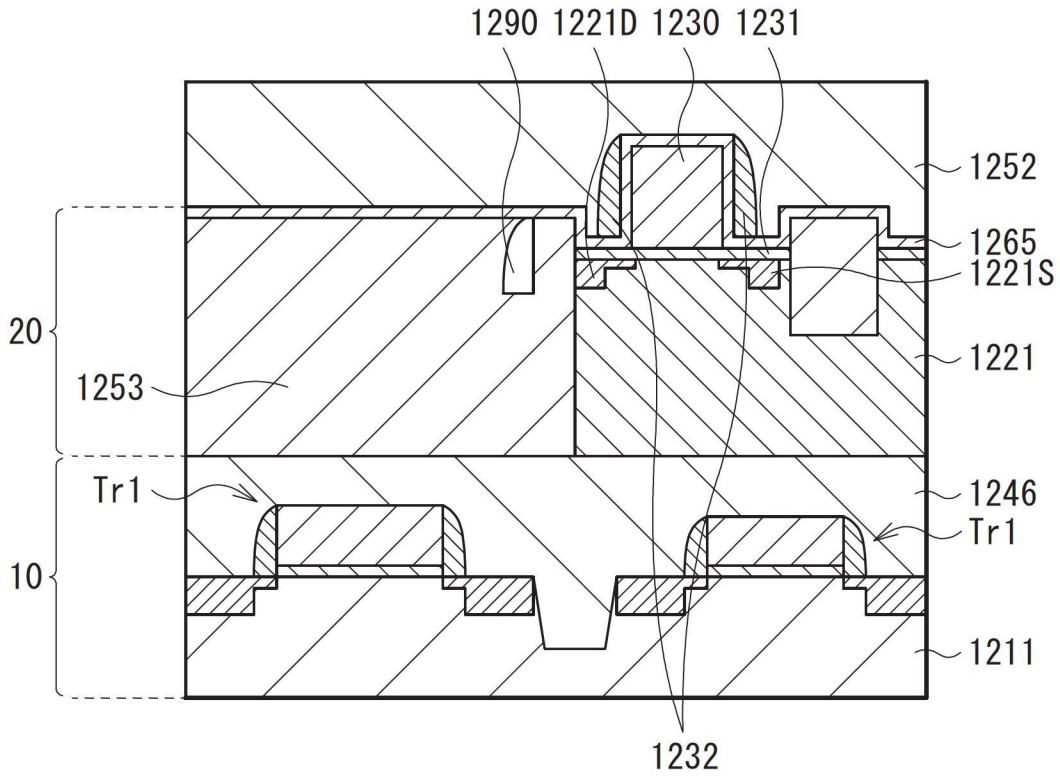
【圖24I】



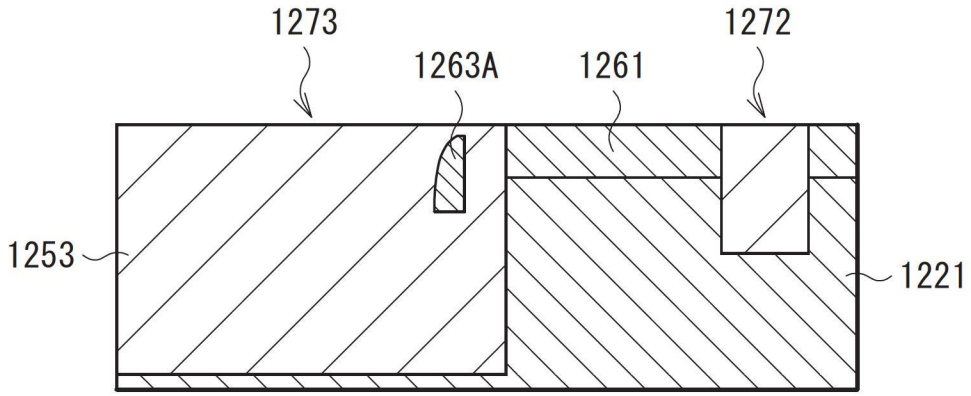
【圖24J】


1290 1221D 1230 1231
1265
1221S
1221
20
1253
Tr1
1246
Tr1
10
1211
1232

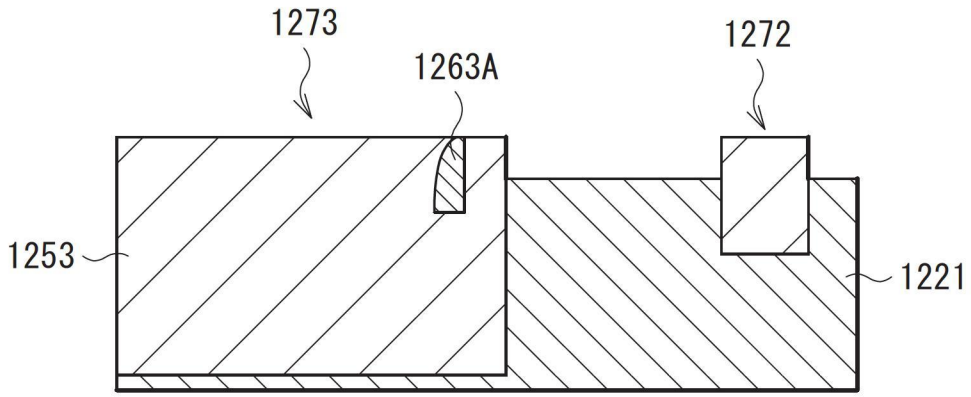
【圖24K】


1290 1221D 1230 1231
1252
1265
1221S
1221
20
1253
Tr1
1246
Tr1
10
1211
1232

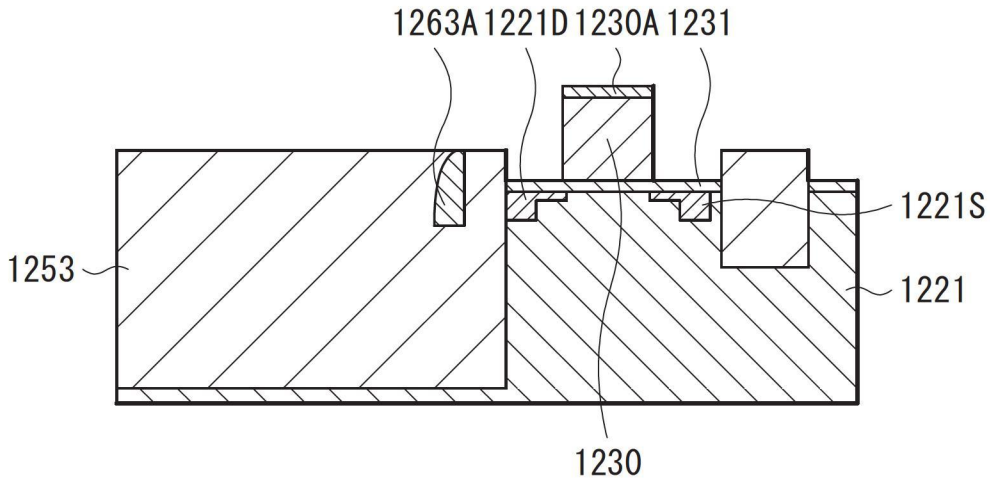
【圖24L】



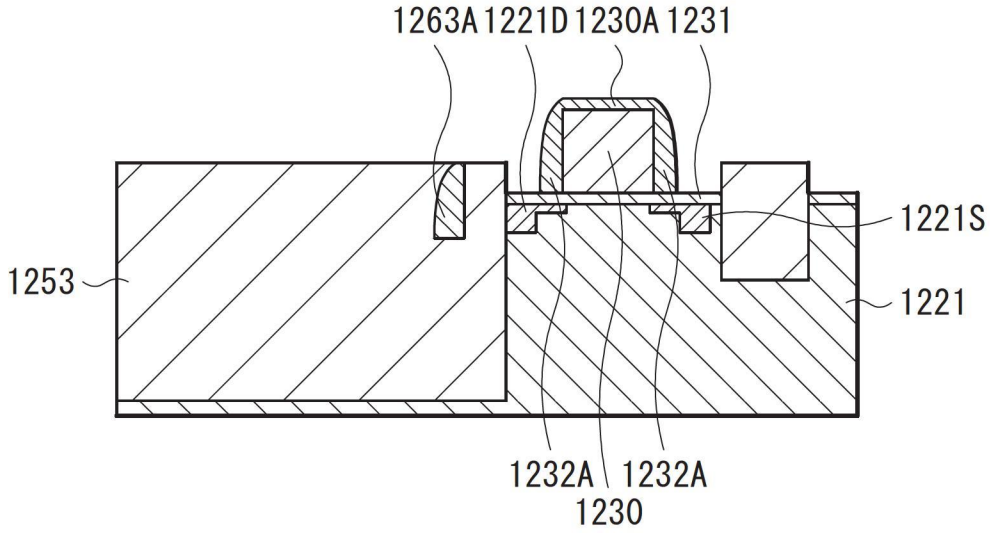
【圖25A】



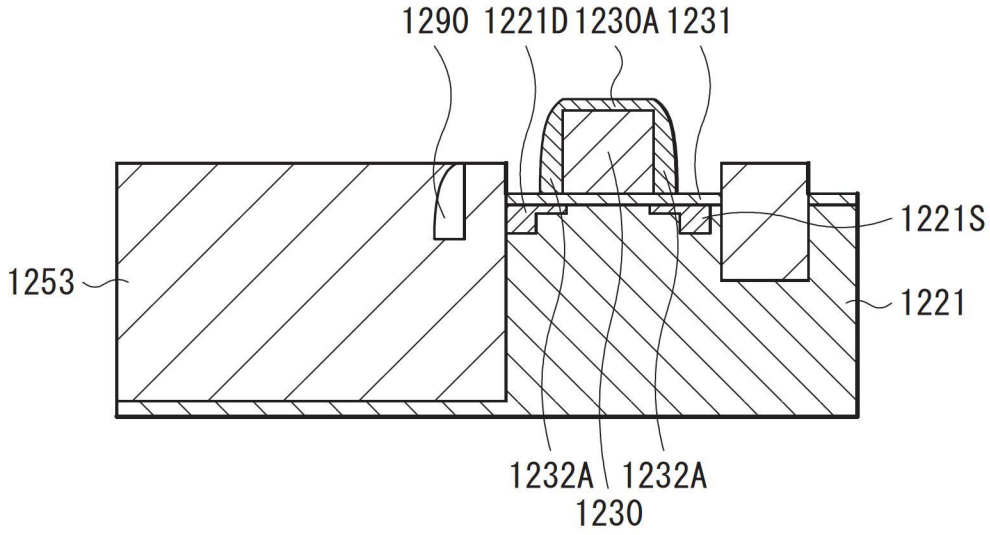
【圖25B】



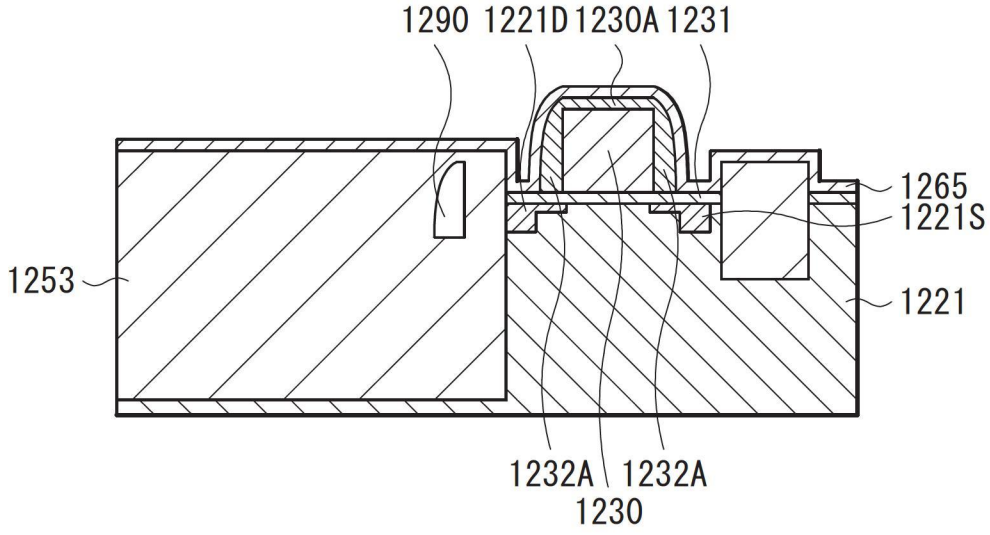
【圖25C】



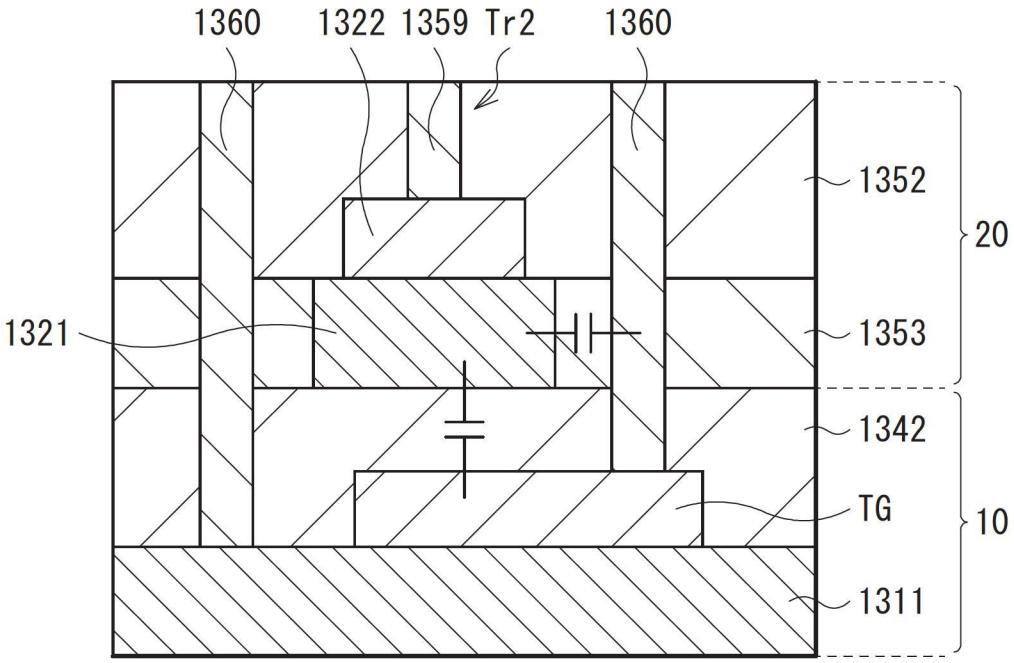
【圖25D】



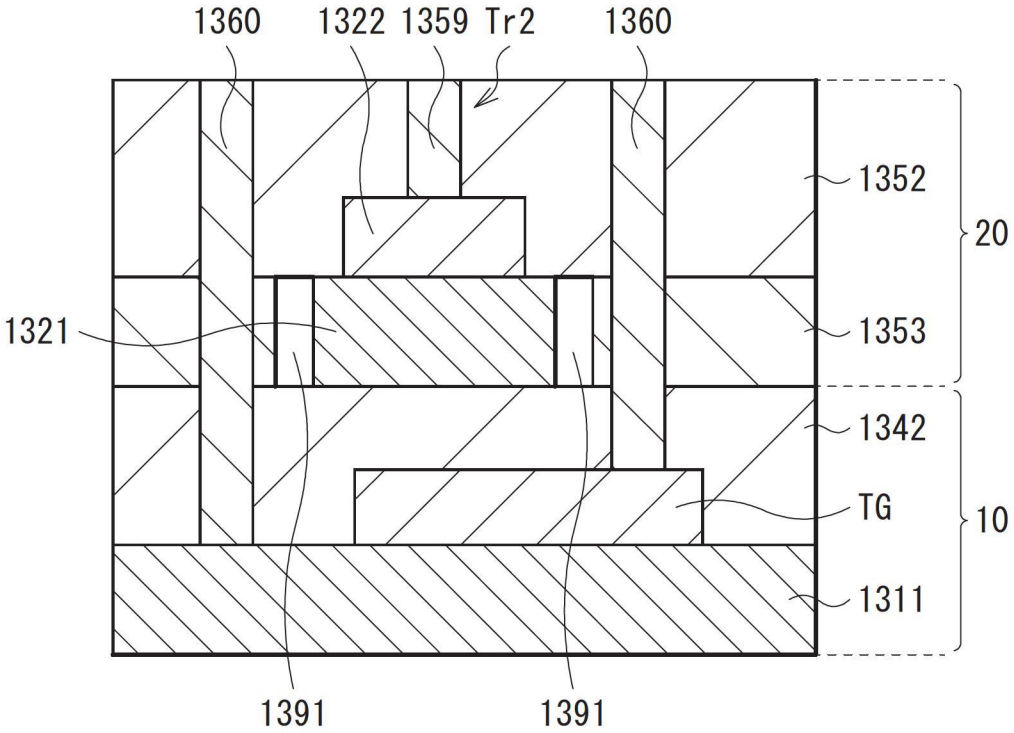
【圖25E】



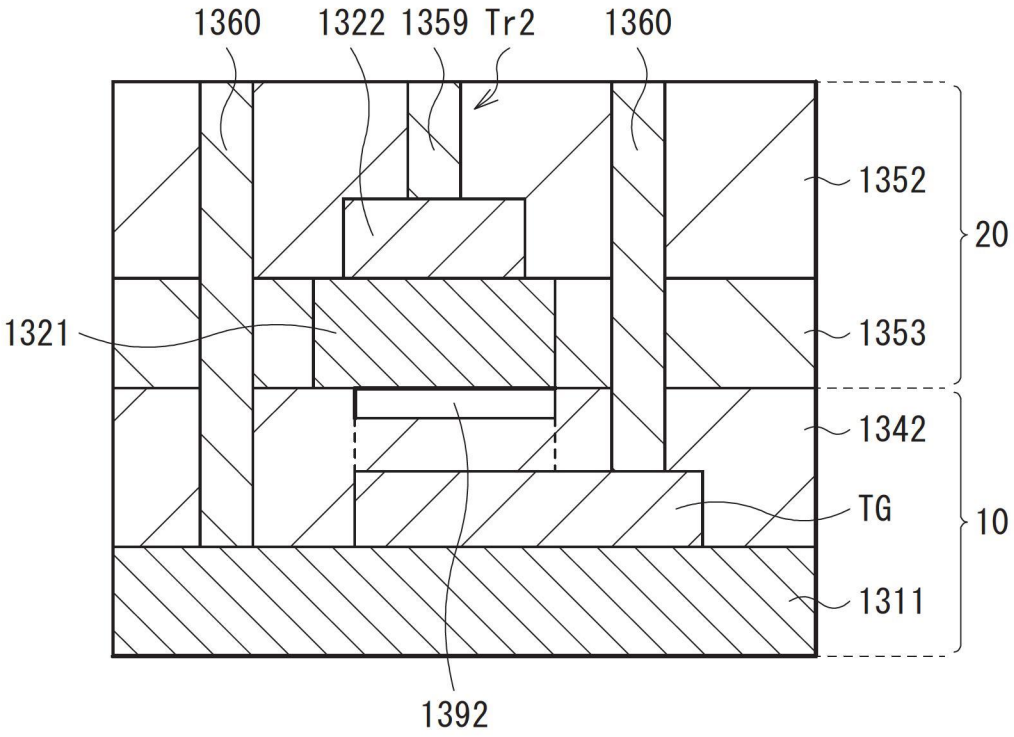
【圖25F】


1360
1322
1359
Tr2
1360
1352
20
1321
1353
1342
TG
10
1311

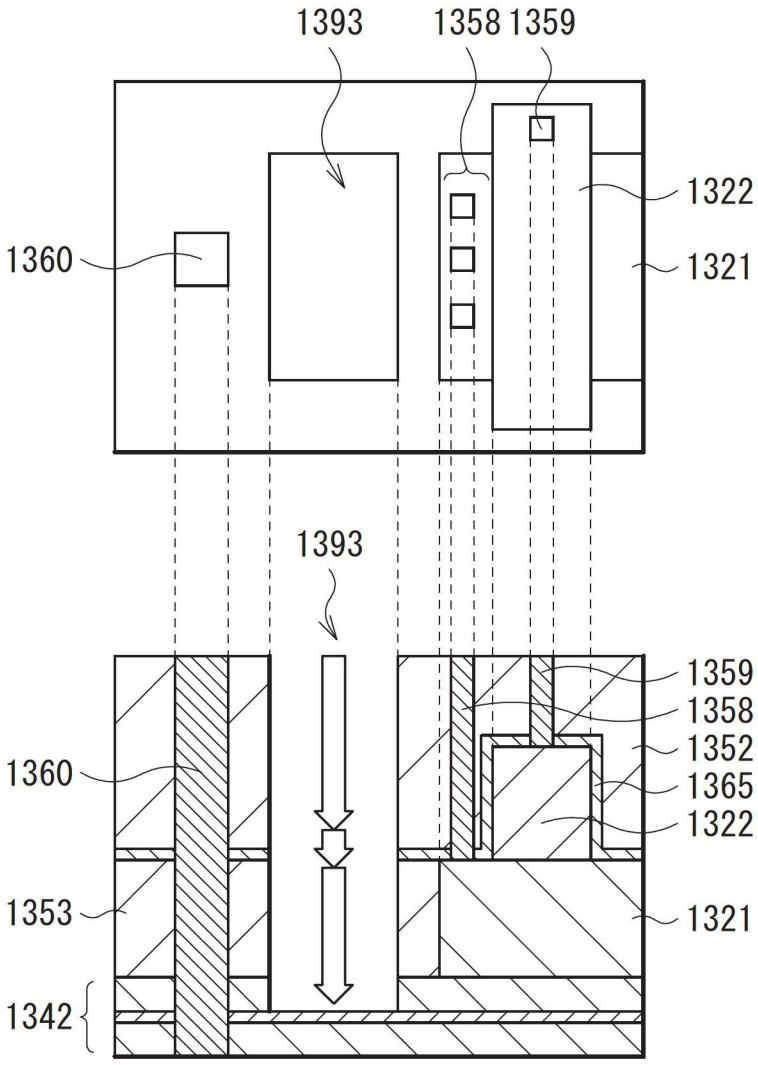
【圖26】


1360
1322
1359
Tr2
1360
1352
20
1321
1353
1342
TG
10
1311
1391
1391

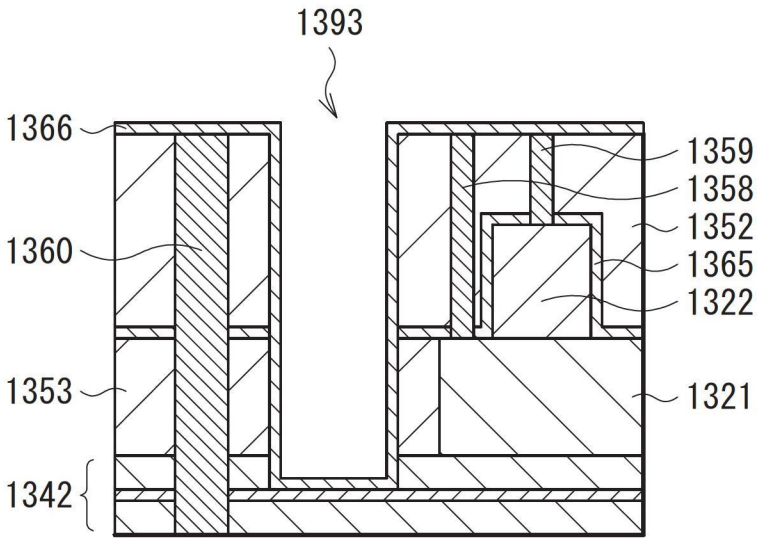
【圖27】



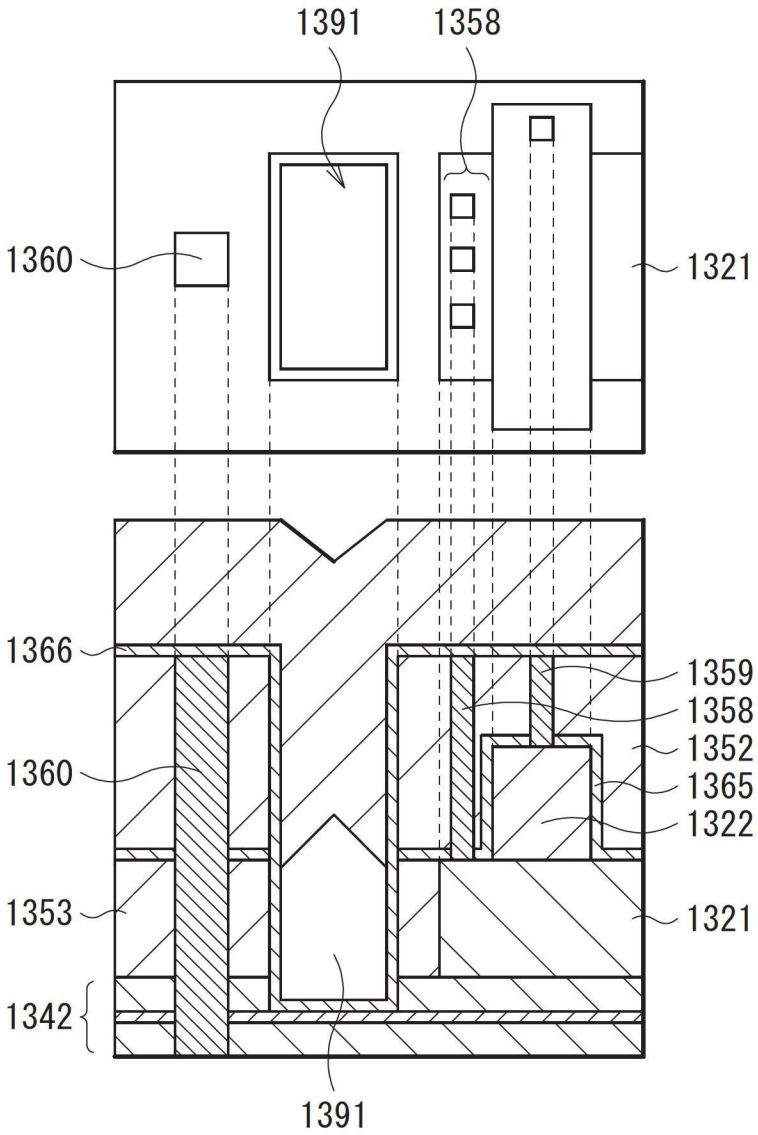
【圖28】


1393
1358
1359
1322
1360
1321
1393
1359
1358
1352
1360
1365
1322
1353
1321
1342

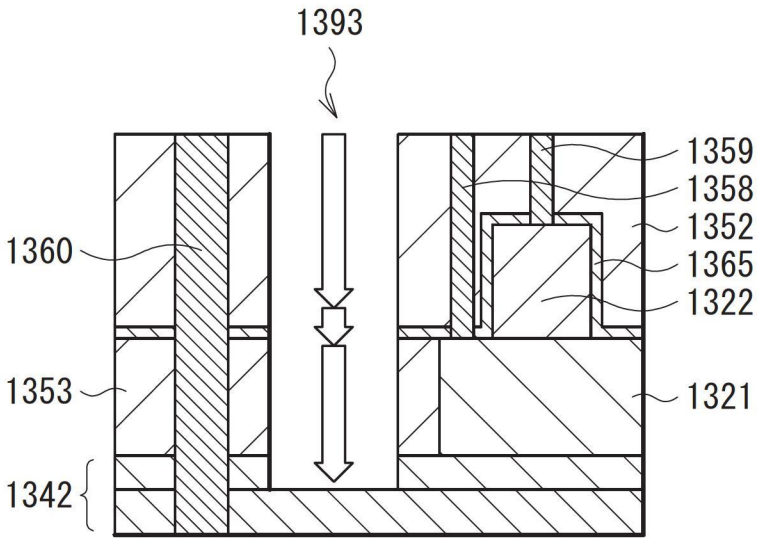
【圖29A】



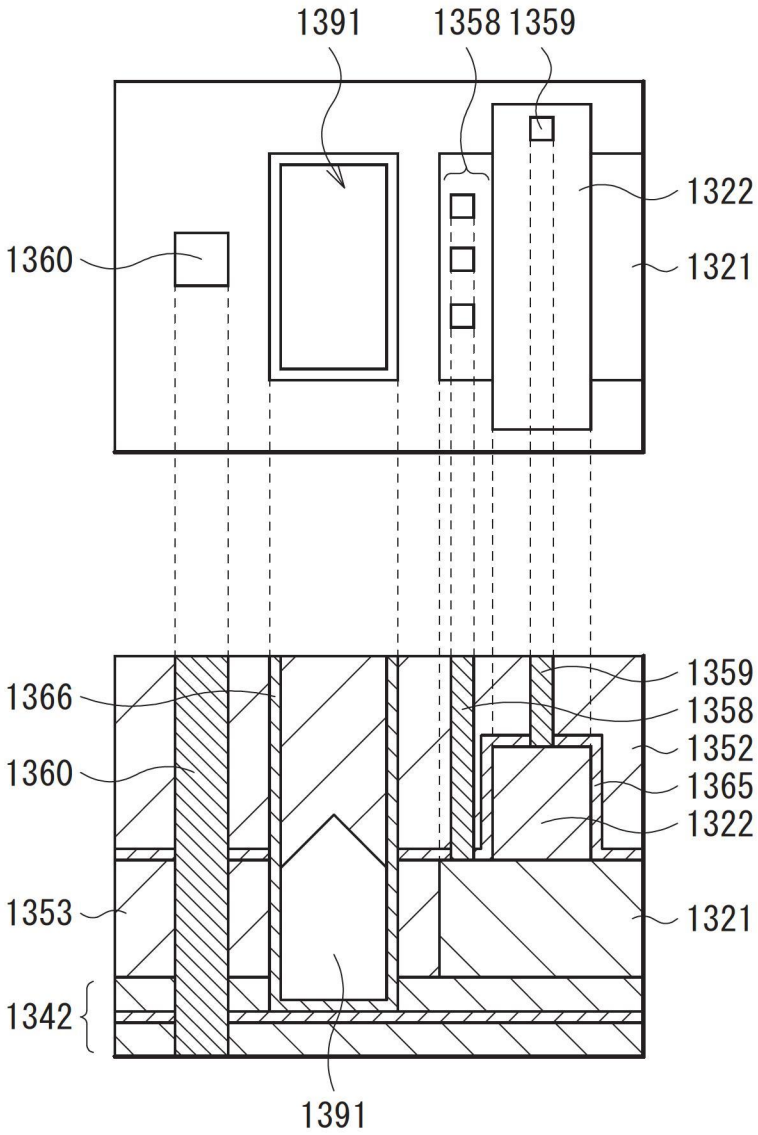
【圖29B】


1391
1358
1360
1321
1366
1359
1358
1352
1360
1365
1322
1353
1321
1342
1391

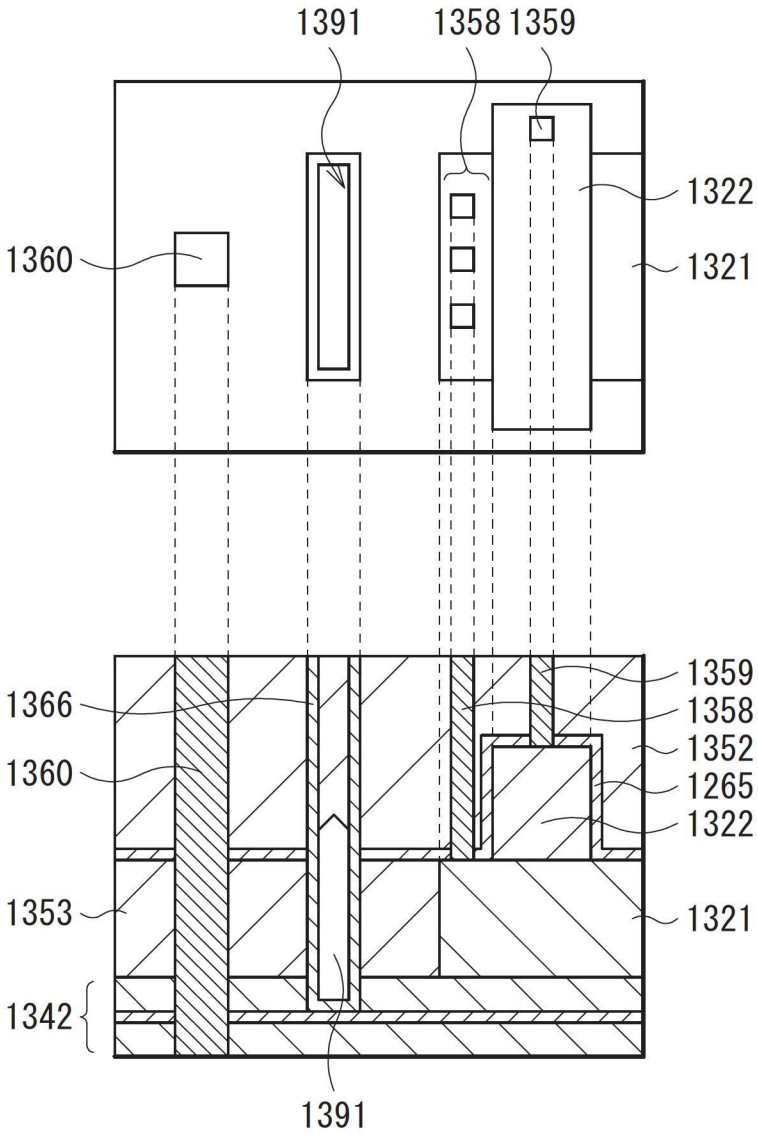
【圖29C】



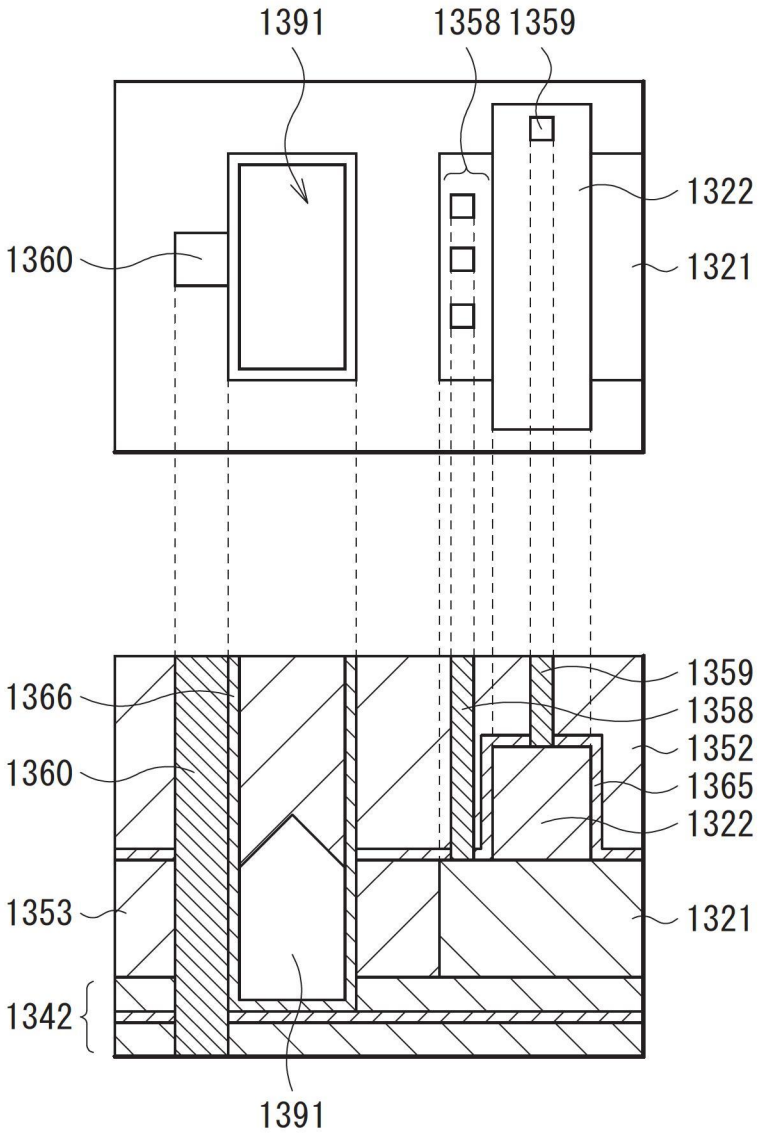
【圖30】


1391
1358
1359
1322
1360
1321
1366
1359
1358
1360
1352
1365
1322
1353
1321
1342
1391

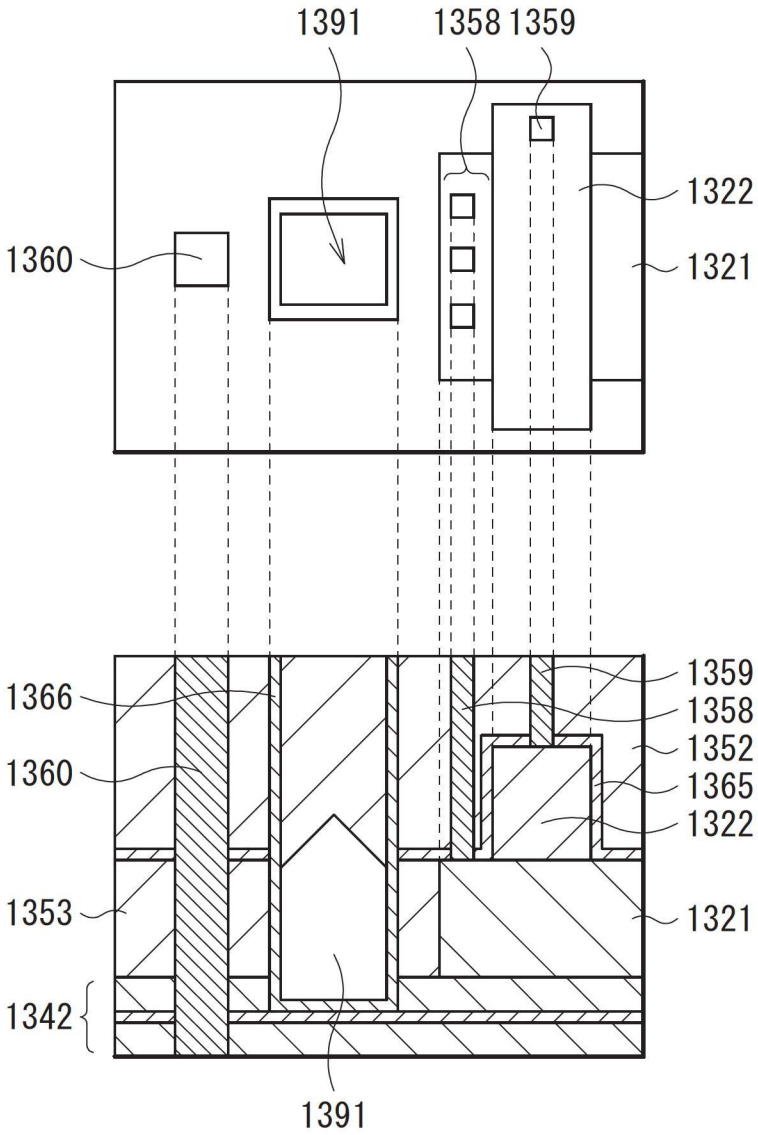
【圖31A】


1391
1358
1359
1322
1360
1321
1359
1366
1358
1360
1352
1265
1322
1353
1321
1342
1391

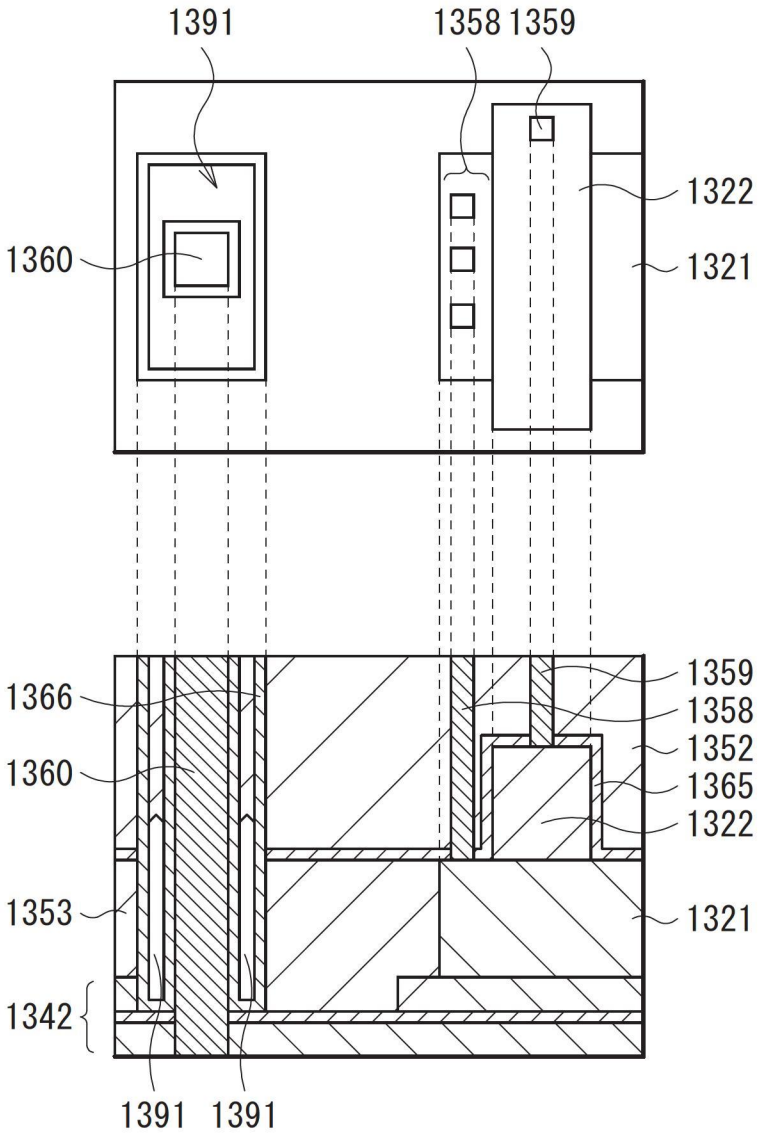
【圖31B】


1391
1358
1359
1322
1360
1321
1366
1359
1358
1360
1352
1365
1322
1353
1321
1342
1391

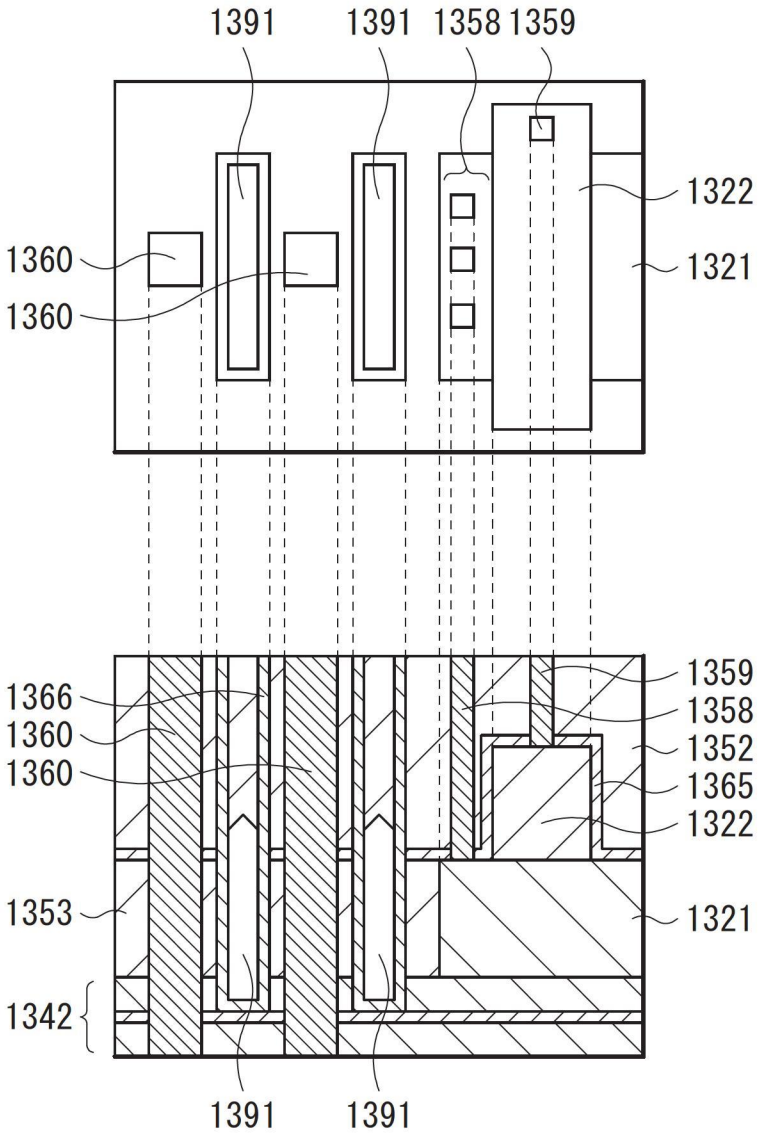
【圖31C】


1391
1358
1359
1322
1360
1321
1366
1359
1358
1360
1352
1365
1322
1353
1321
1342
1391

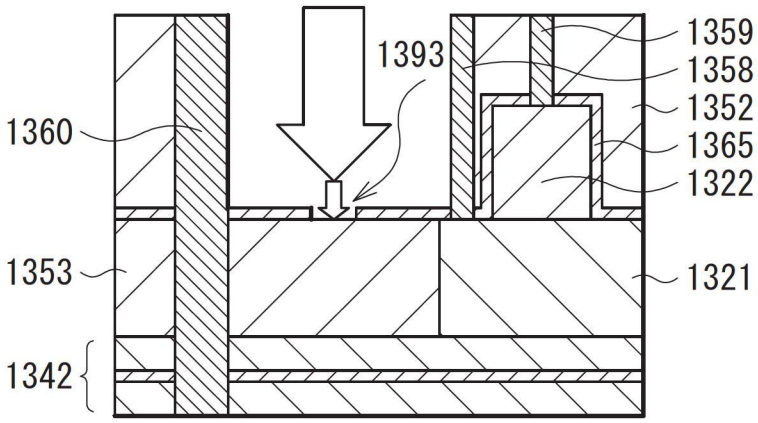
【圖31D】


1391
1358
1359
1322
1360
1321
1366
1359
1358
1360
1352
1365
1322
1353
1321
1342
1391
1391

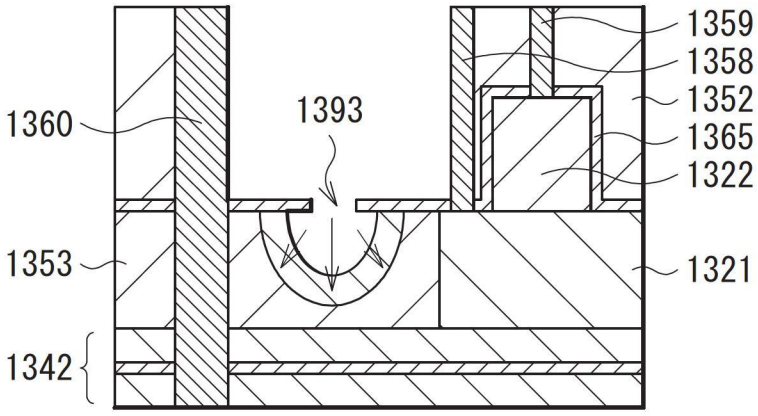
【圖31E】


1391
1391
1358
1359
1322
1321
1360
1360
1366
1360
1360
1359
1358
1352
1365
1322
1321
1353
1342
1391
1391

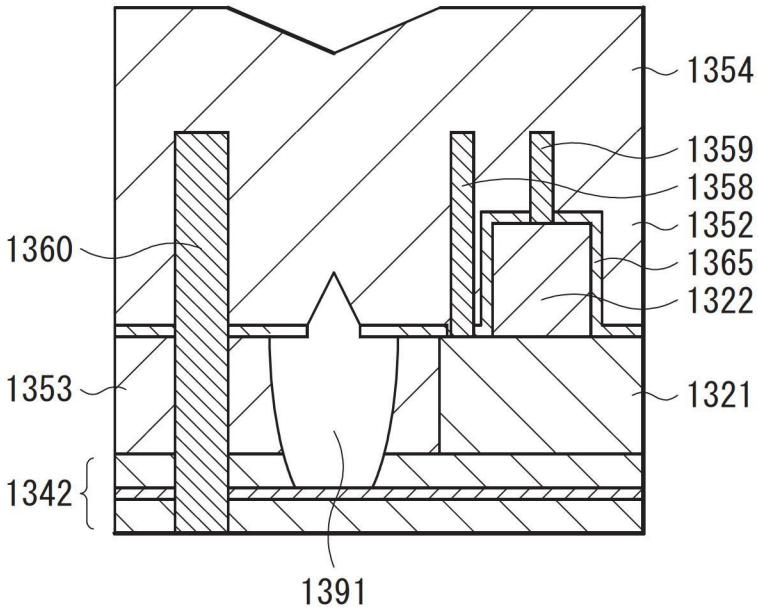
【圖31F】


1393
1359
1358
1352
1365
1322
1360
1353
1321
1342

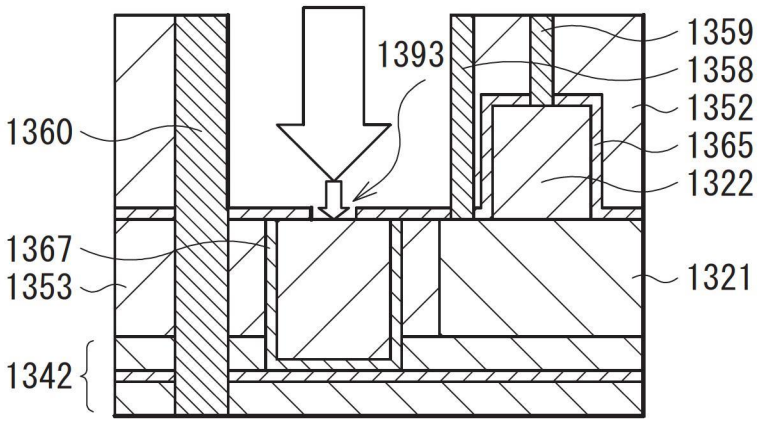
【圖32A】


1359
1358
1352
1365
1322
1393
1360
1353
1321
1342

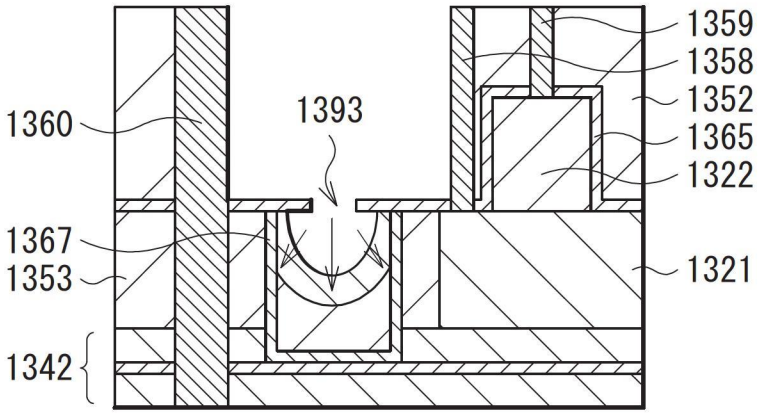
【圖32B】



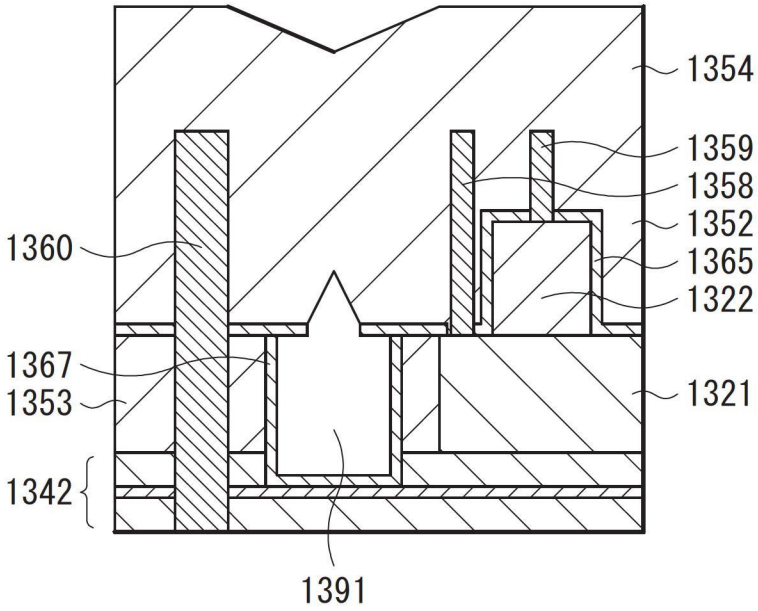
【圖32C】


1393
1359
1358
1352
1365
1322
1360
1367
1353
1321
1342

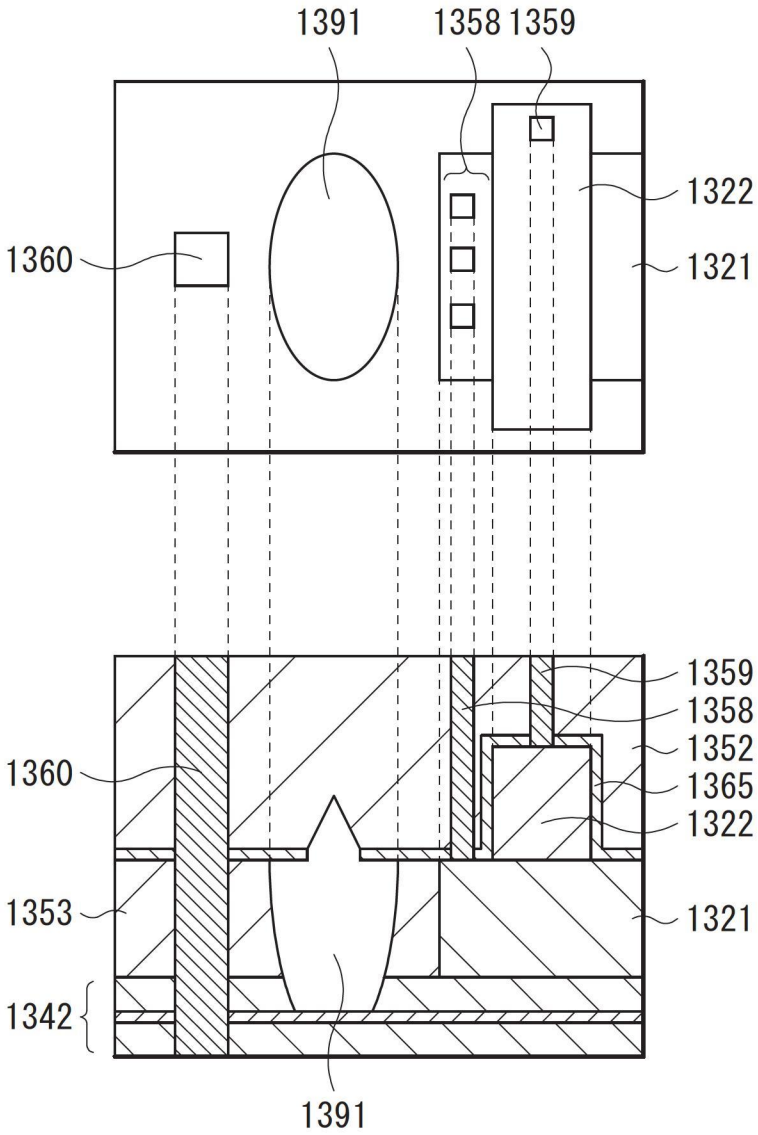
【圖33A】


1359
1358
1352
1365
1322
1393
1360
1367
1353
1321
1342

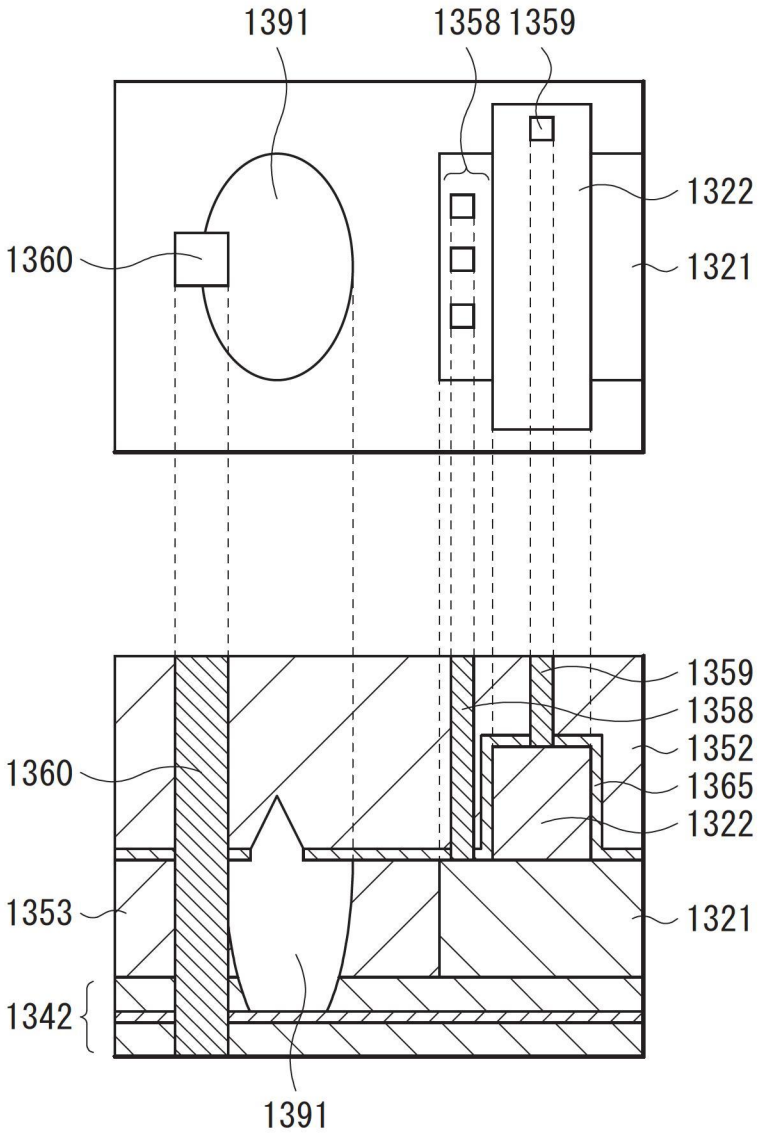
【圖33B】



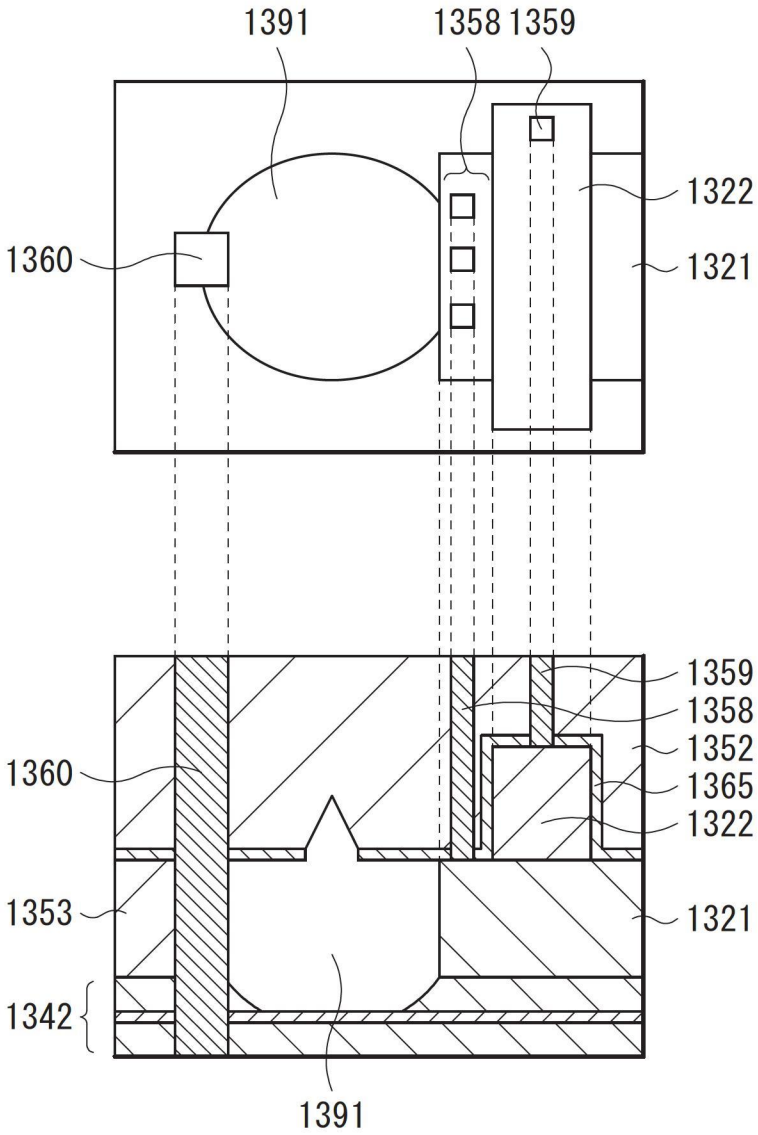
【圖33C】


1391
1358
1359
1322
1360
1321
1359
1358
1352
1360
1365
1322
1353
1321
1342
1391

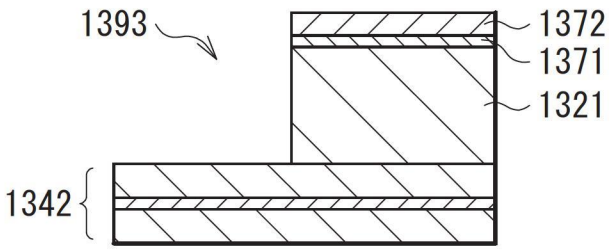
【圖34A】


1391
1358
1359
1322
1360
1321
1359
1358
1352
1360
1365
1322
1353
1321
1342
1391

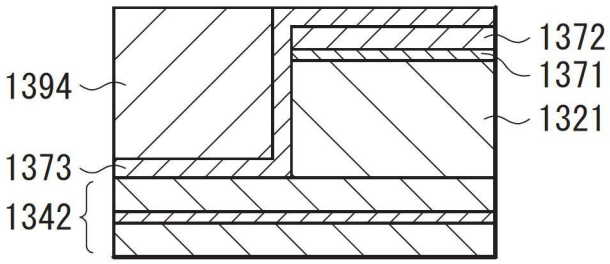
【圖34B】


1391
1358
1359
1322
1360
1321
1359
1358
1352
1360
1365
1322
1353
1321
1342
1391

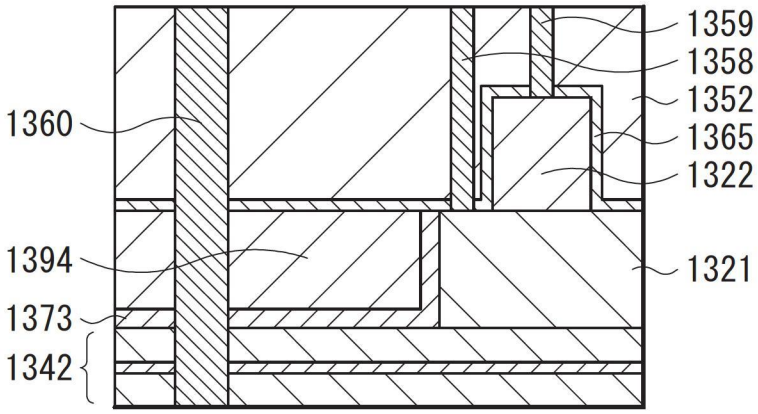
【圖34C】



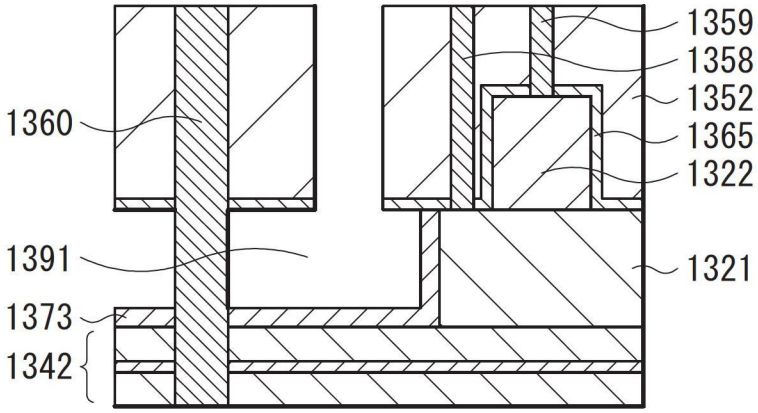
【圖35A】



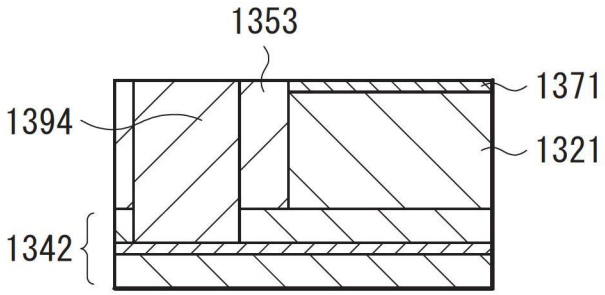
【圖35B】


1359
1358
1352
1365
1322
1360
1394
1321
1373
1342

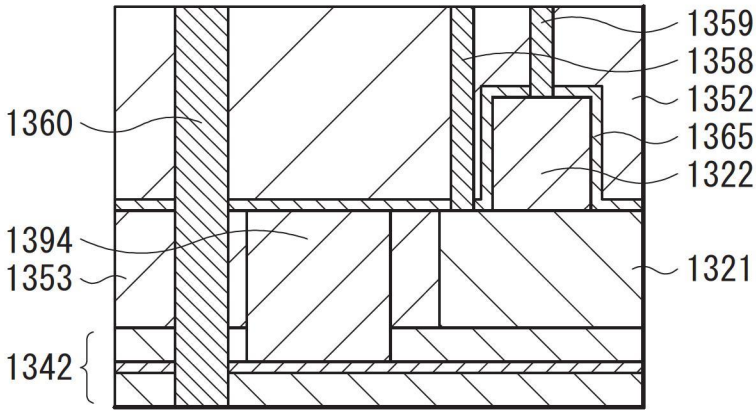
【圖35C】


1359
1358
1352
1365
1322
1360
1391
1321
1373
1342

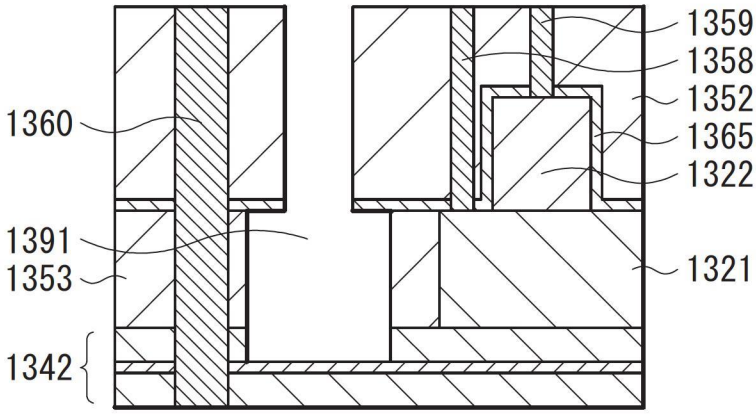
【圖35D】



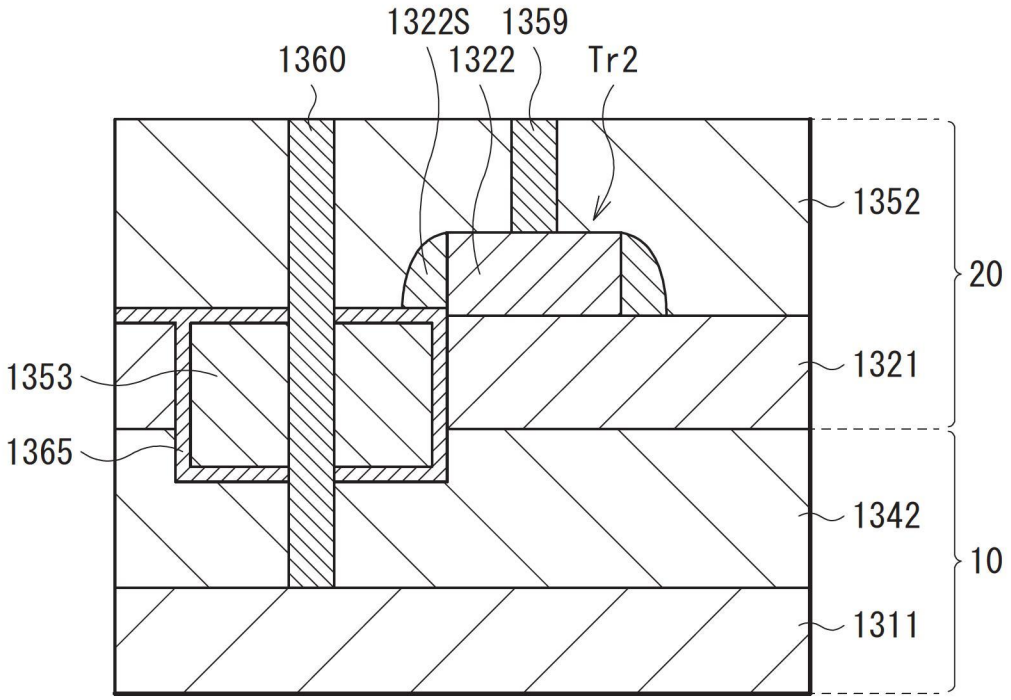
【圖36A】



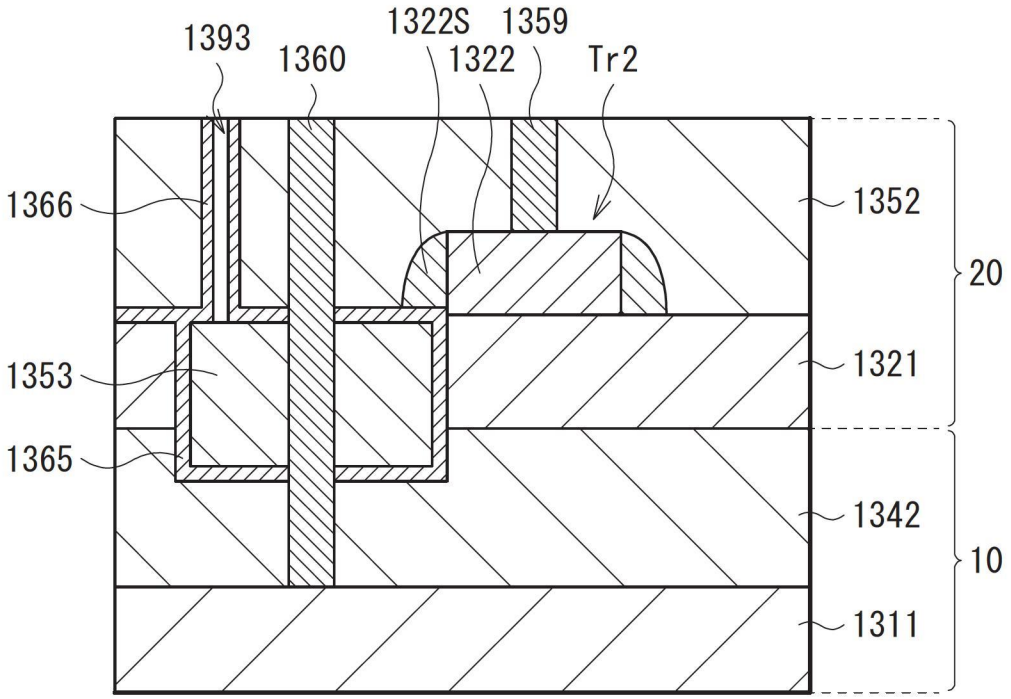
【圖36B】



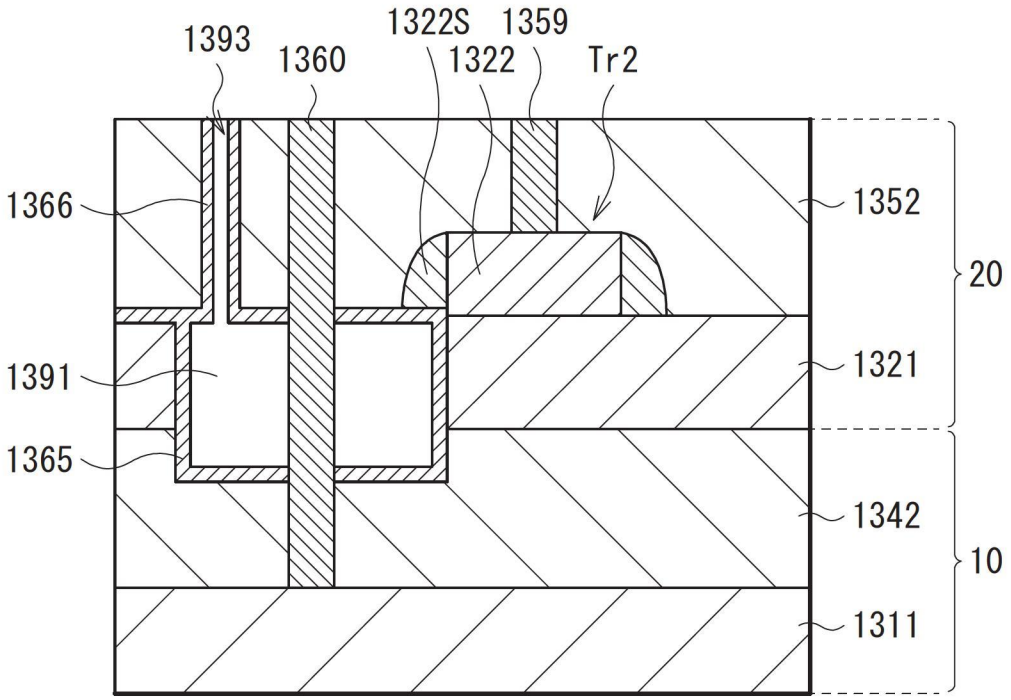
【圖36C】


1322S
1359
1360
1322
Tr2
1352
20
1353
1321
1365
1342
10
1311

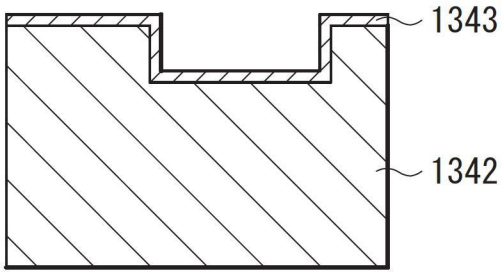
【圖37A】


1393
1322S
1359
1360
1322
Tr2
1366
1352
20
1353
1321
1365
1342
10
1311

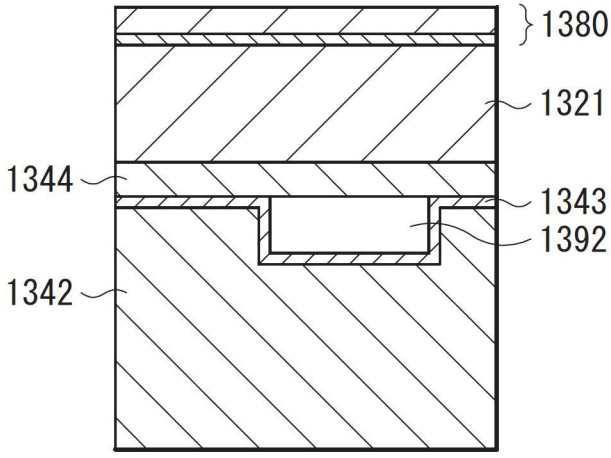
【圖37B】


1393
1360
1322S
1359
1322
Tr2
1366
1352
20
1391
1321
1365
1342
10
1311

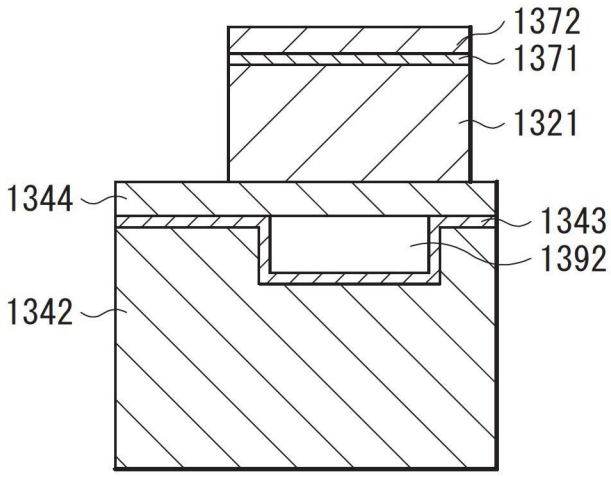
【圖37C】



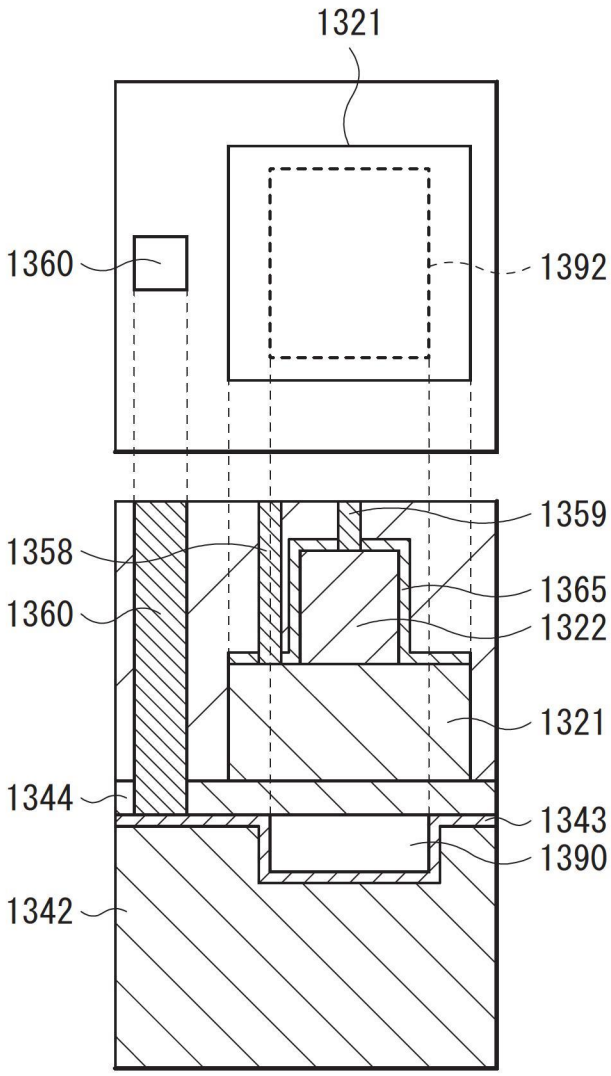
【圖38A】



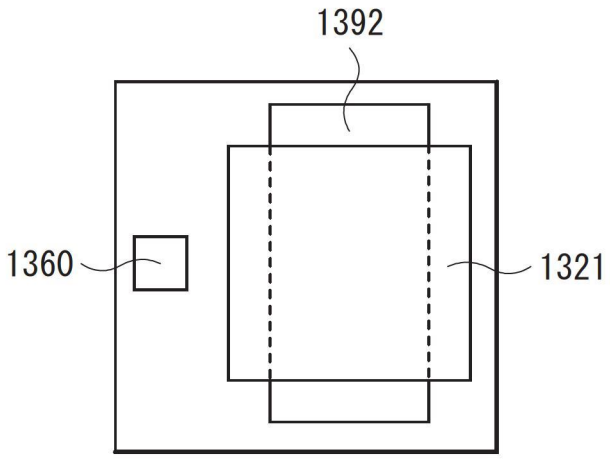
【圖38B】



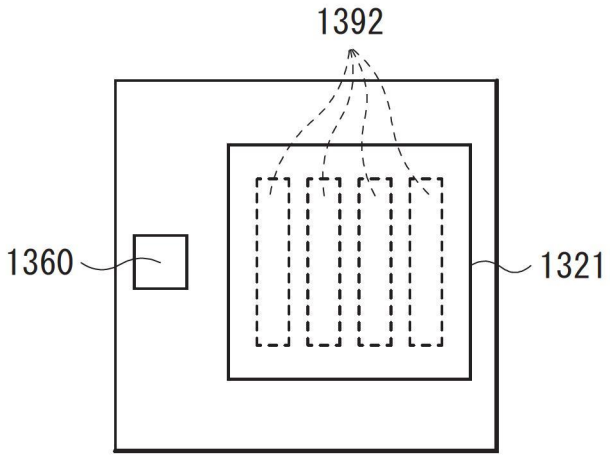
【圖38C】


1321
1360
1392
1359
1358
1365
1360
1322
1321
1344
1343
1390
1342

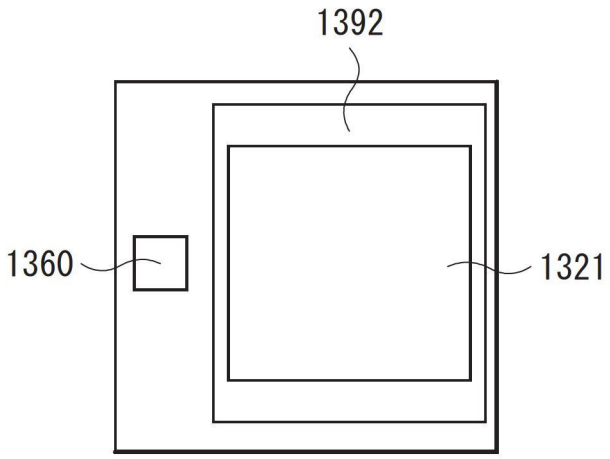
【圖38D】



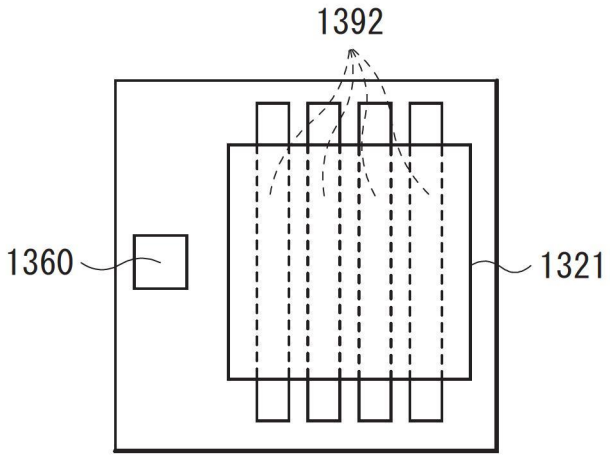
【圖39A】



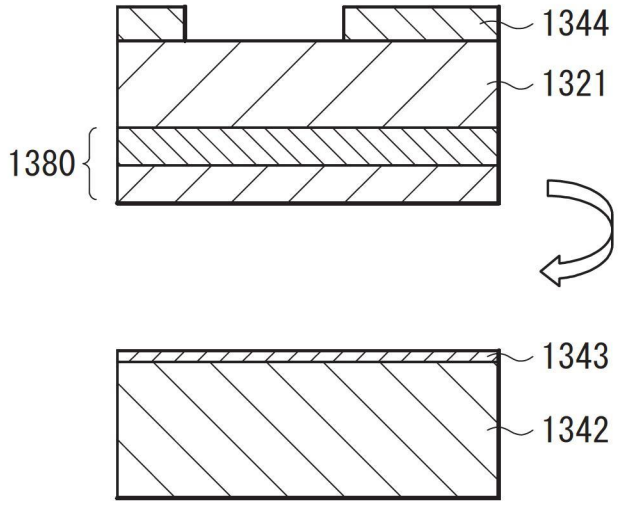
【圖39B】



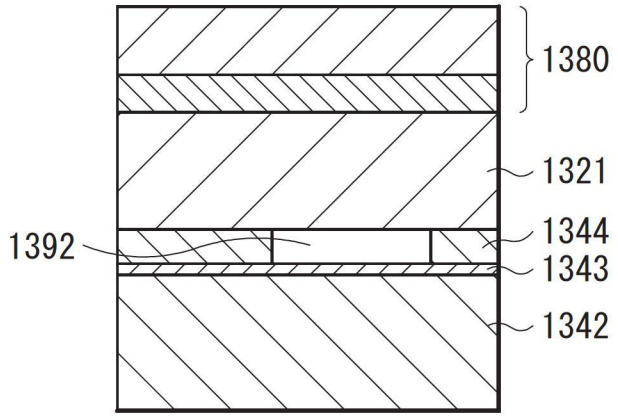
【圖39C】



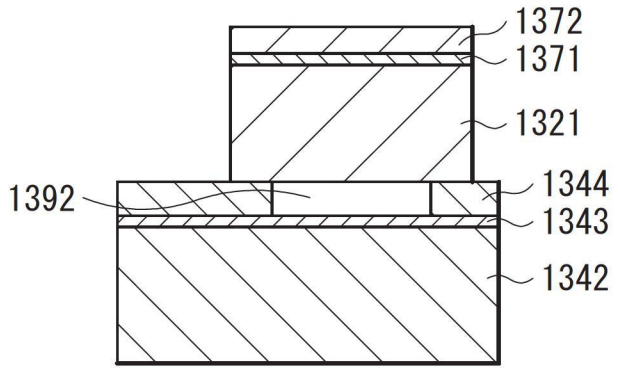
【圖39D】



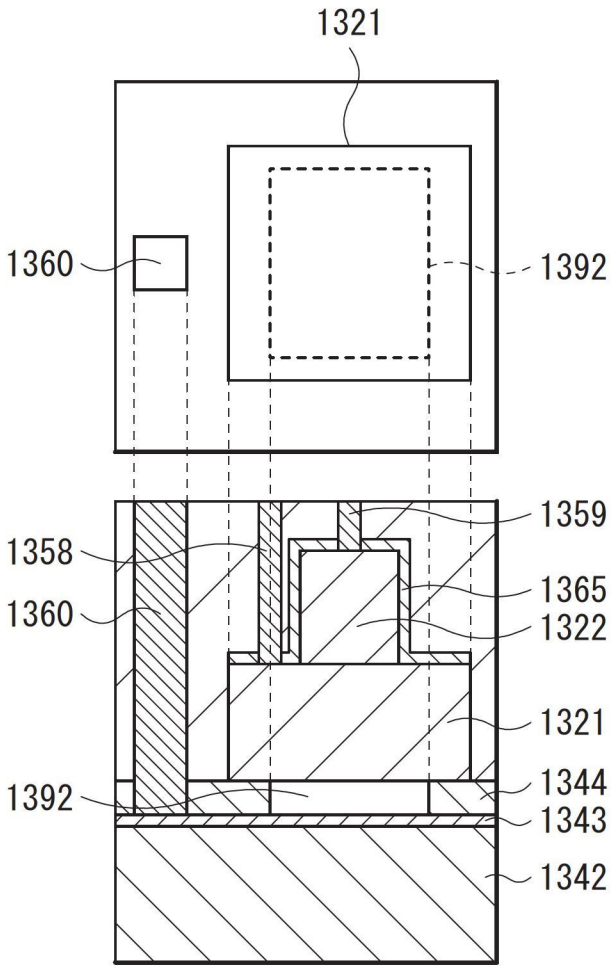
【圖40A】



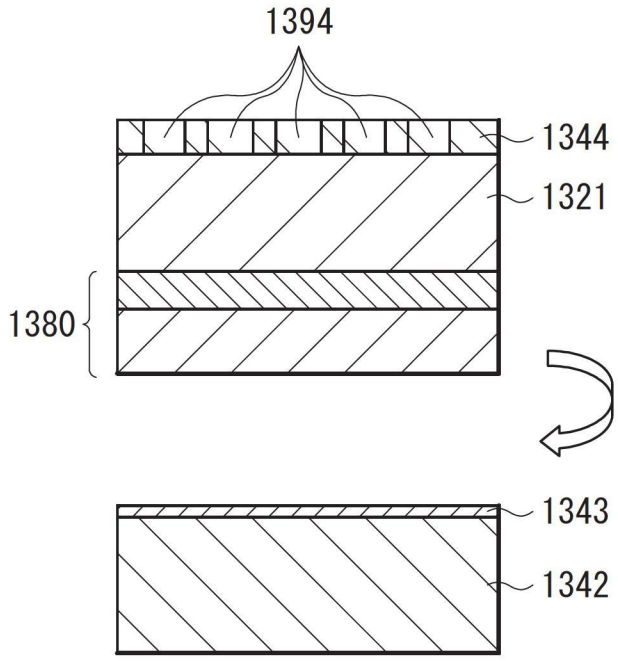
【圖40B】



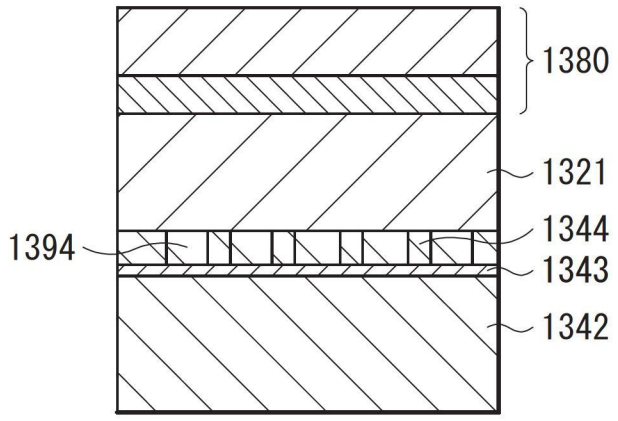
【圖40C】


1321
1360
1392
1359
1358
1365
1360
1322
1321
1344
1392
1343
1342

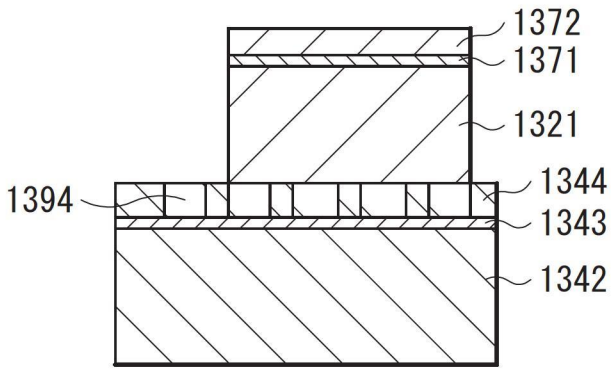
【圖40D】



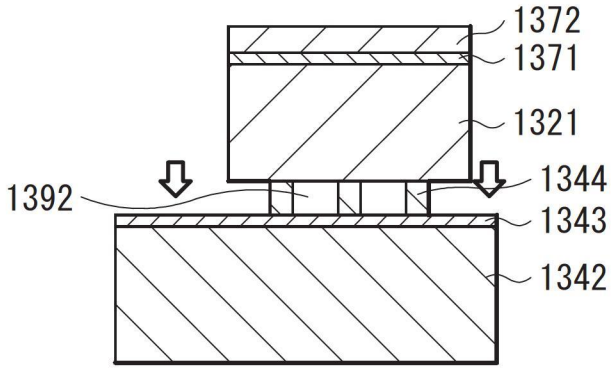
【圖41A】



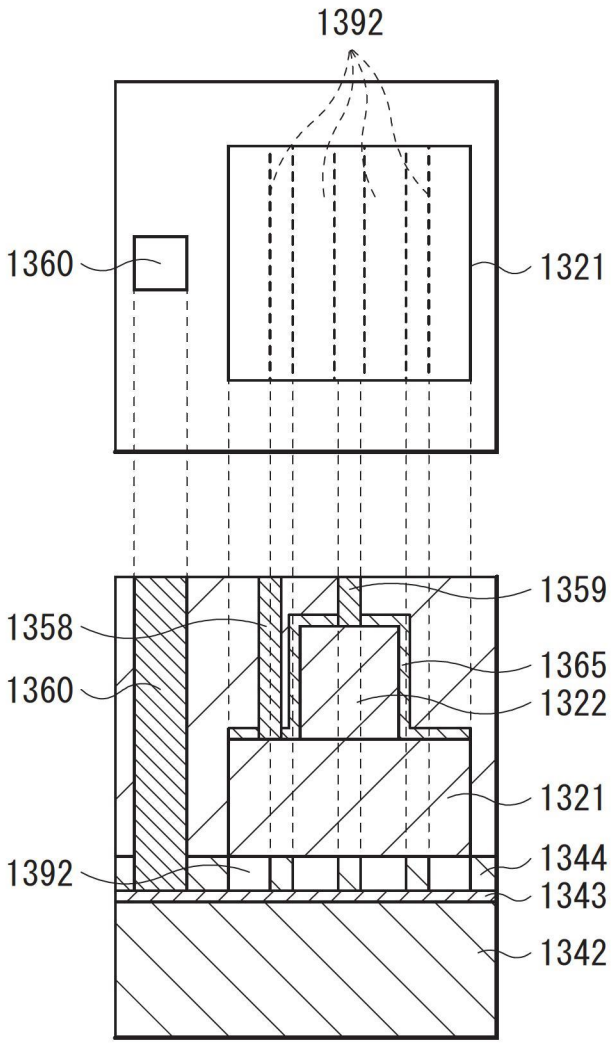
【圖41B】


1372
1371
1321
1394
1344
1343
1342

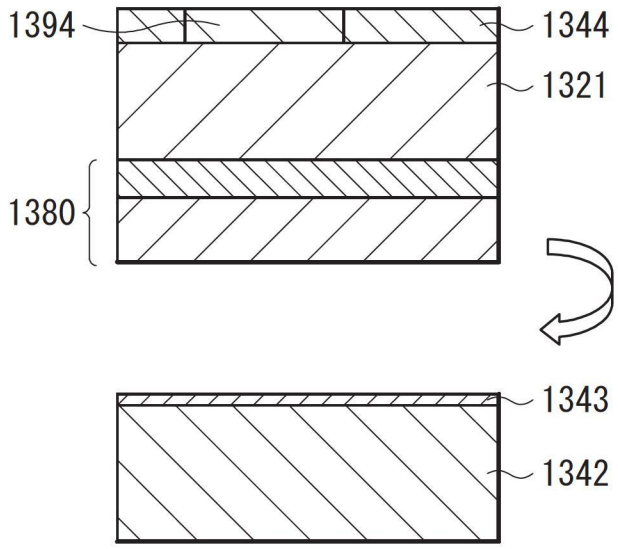
【圖41C】


1372
1371
1321
1392
1344
1343
1342

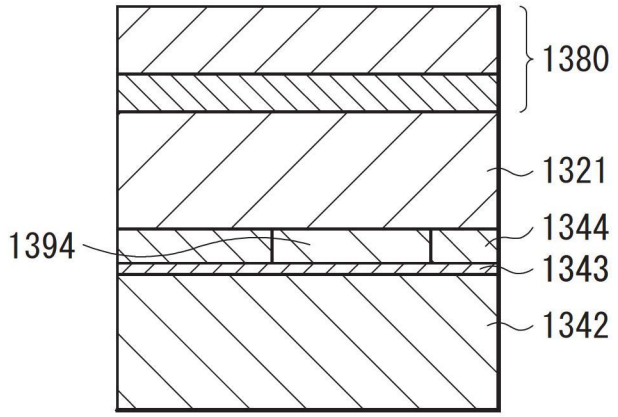
【圖41D】


1392
1360
1321
1359
1358
1365
1360
1322
1321
1344
1392
1343
1342

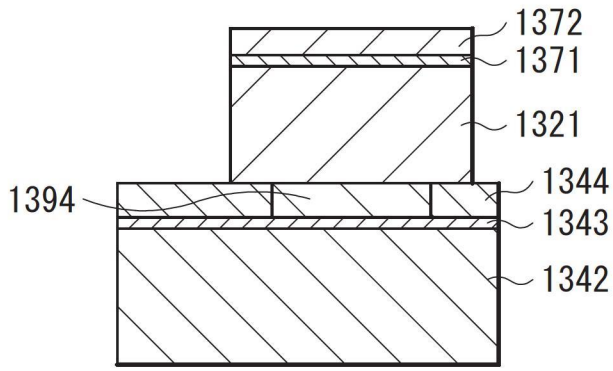
【圖41E】



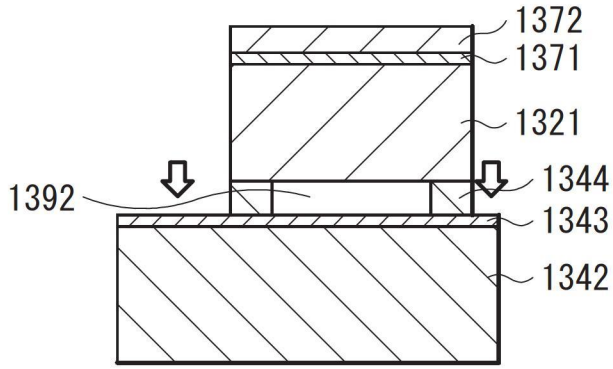
【圖42A】



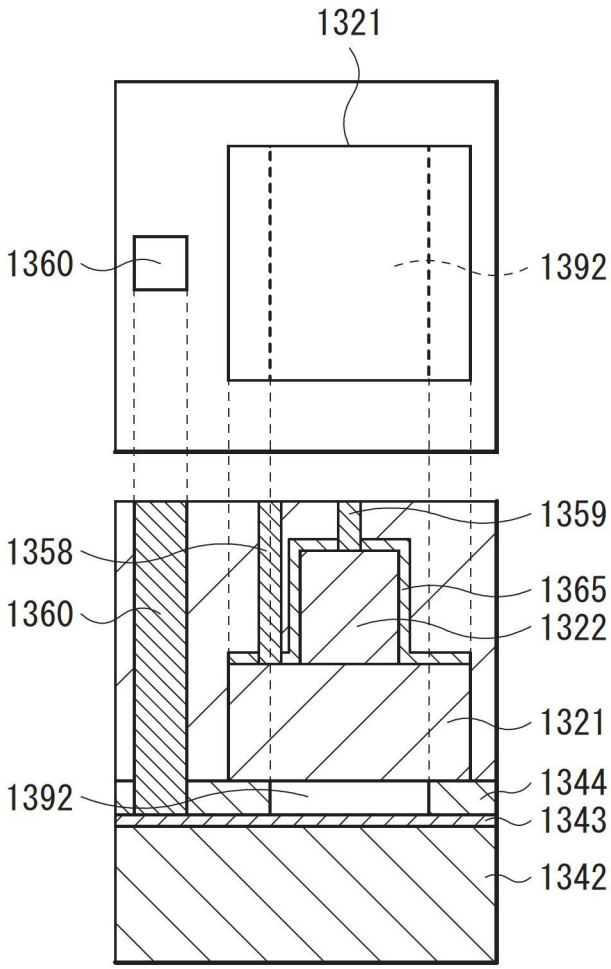
【圖42B】


1372
1371
1321
1394
1344
1343
1342

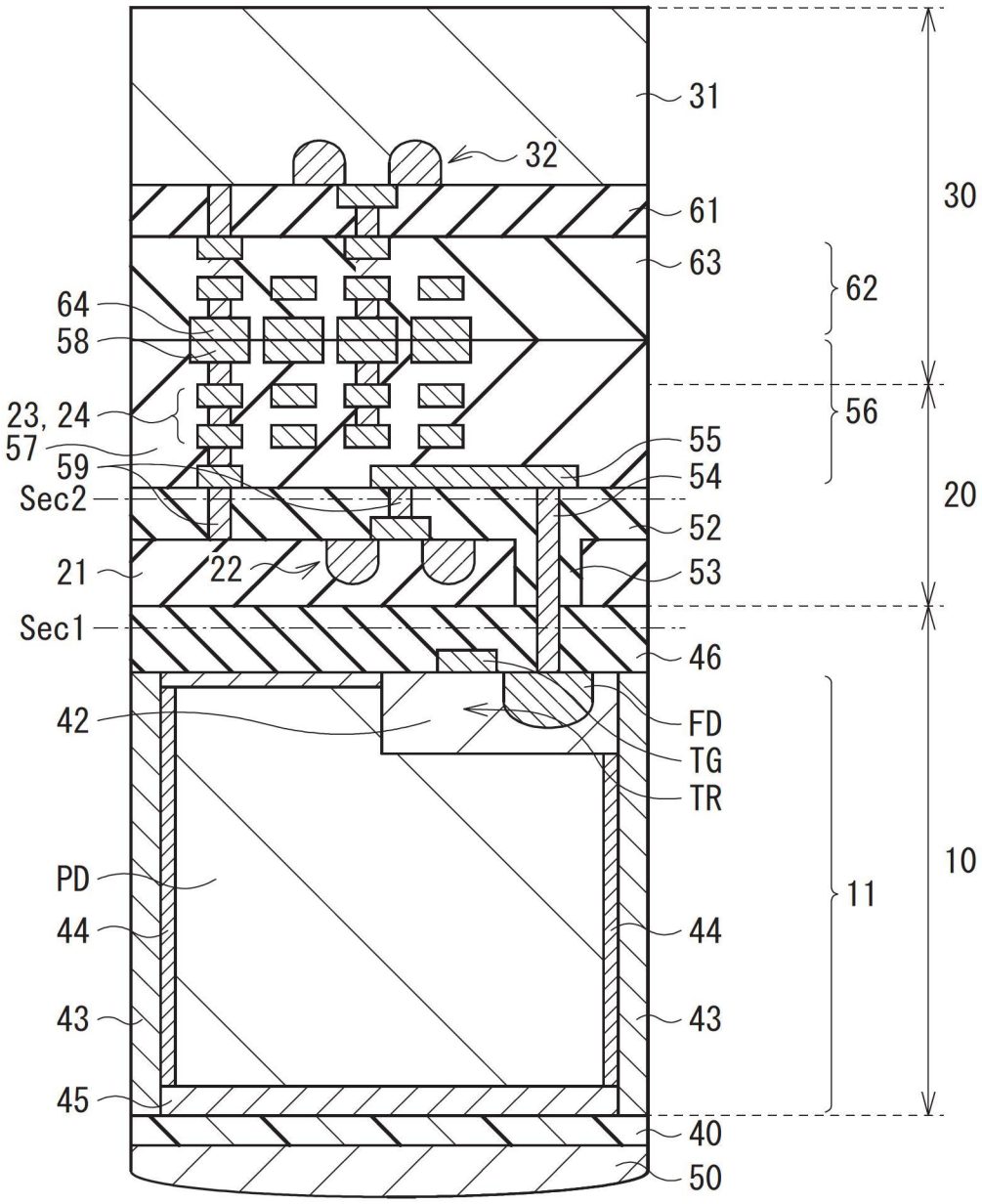
【圖42C】


1372
1371
1321
1392
1344
1343
1342

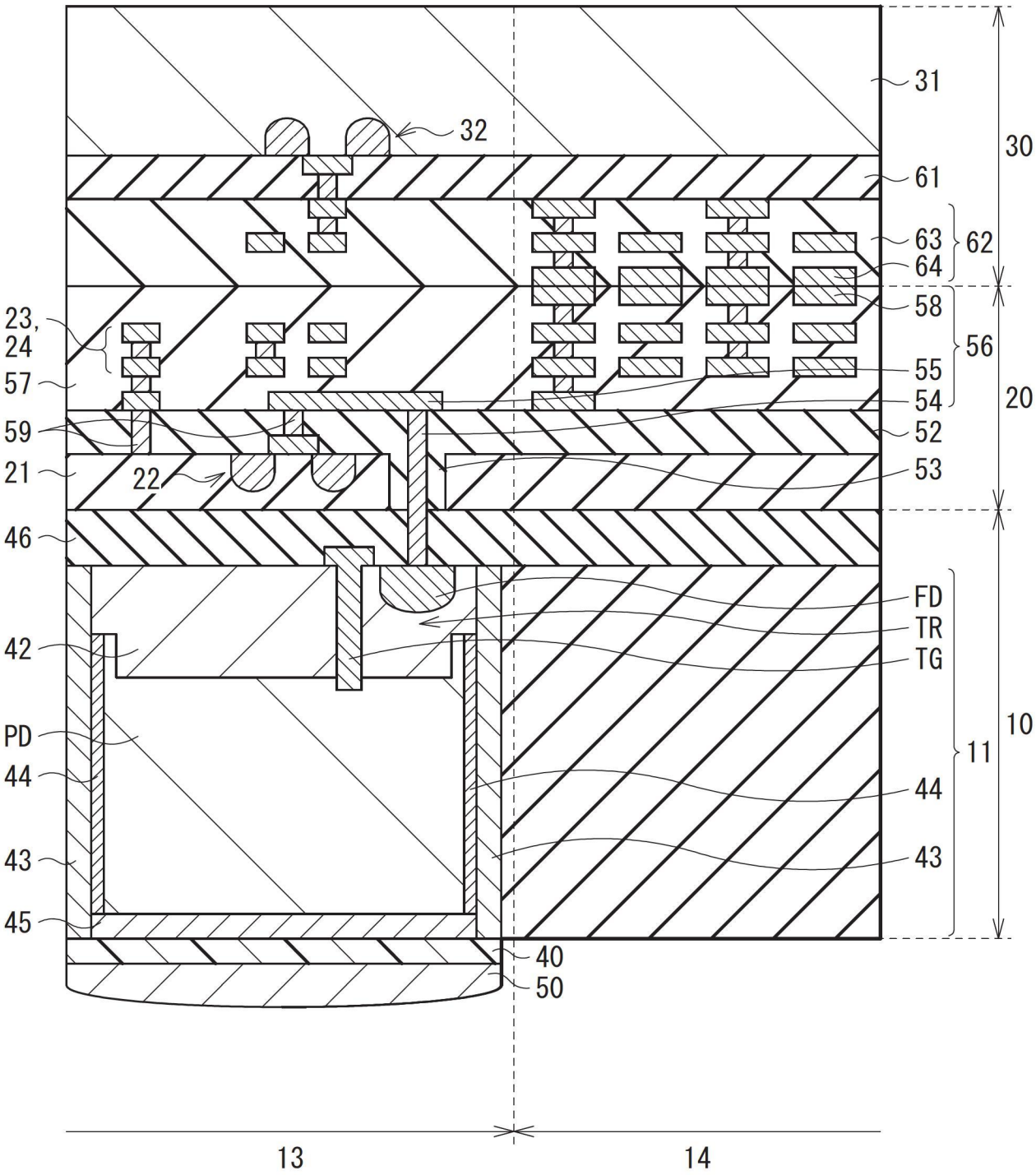
【圖42D】


1321
1360
1392
1359
1358
1365
1360
1322
1321
1344
1392
1343
1342

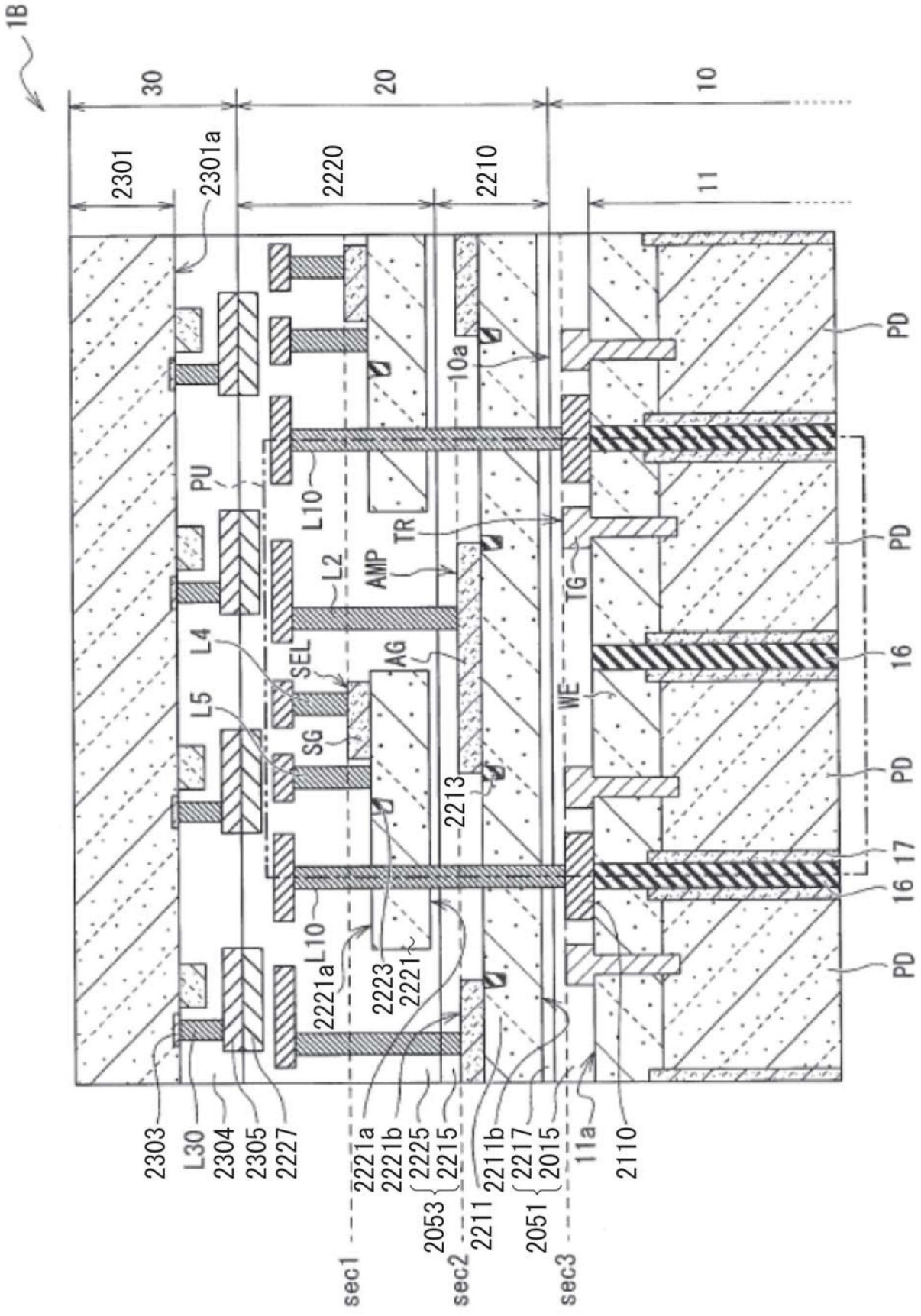
【圖42E】


31
32
61
63
64
58
23, 24
57
59
Sec2
21
22
Sec1
42
PD
44
43
45
55
54
52
53
46
FD
TG
TR
44
43
40
50
62
56
11
30
20
10

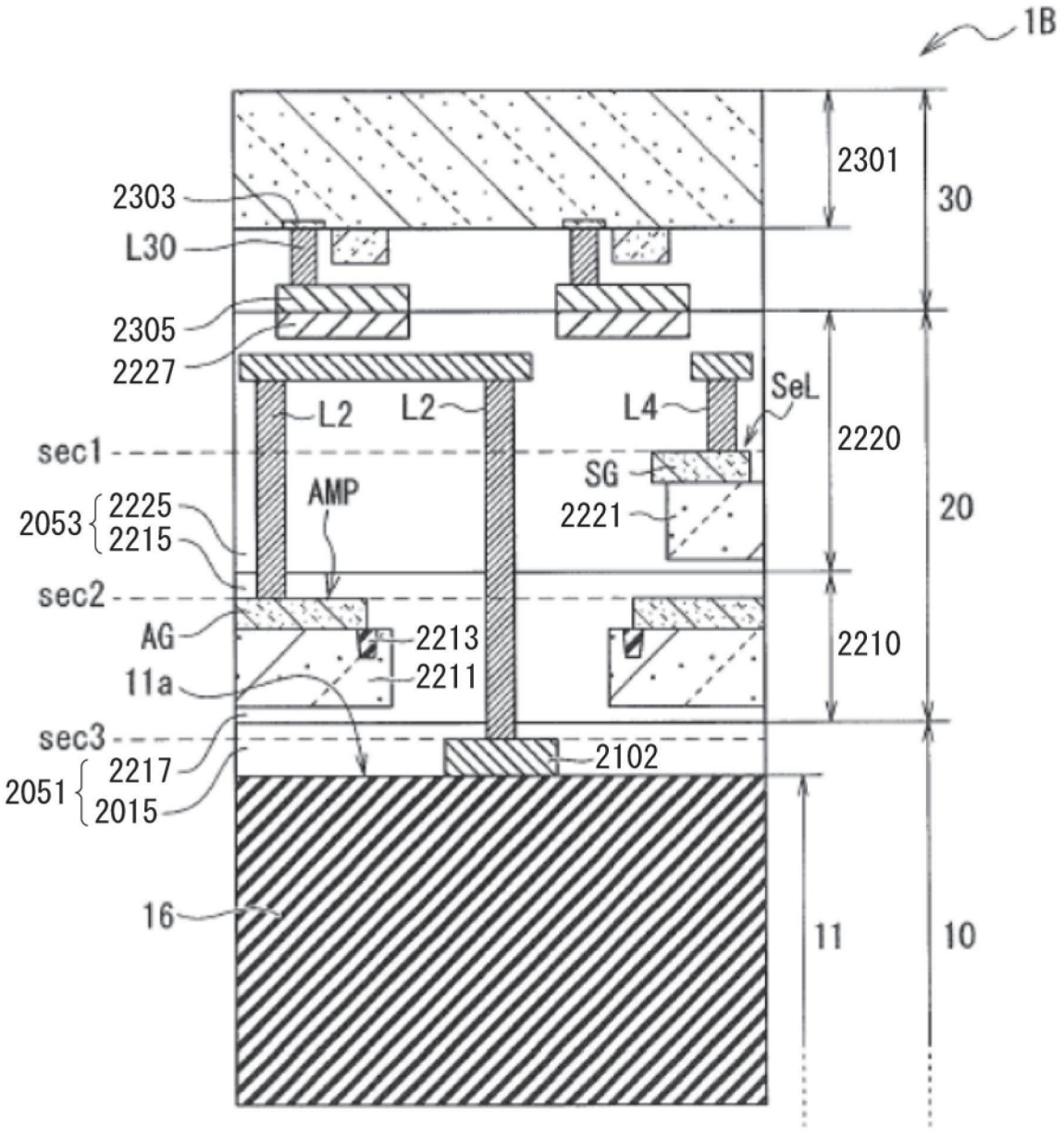
【圖43】


31
32
30
61
63
62
64
58
23,
24
56
57
55
54
20
59
52
21
22
53
46
FD
TR
42
TG
PD
10
11
44
44
43
43
45
40
50
13
14

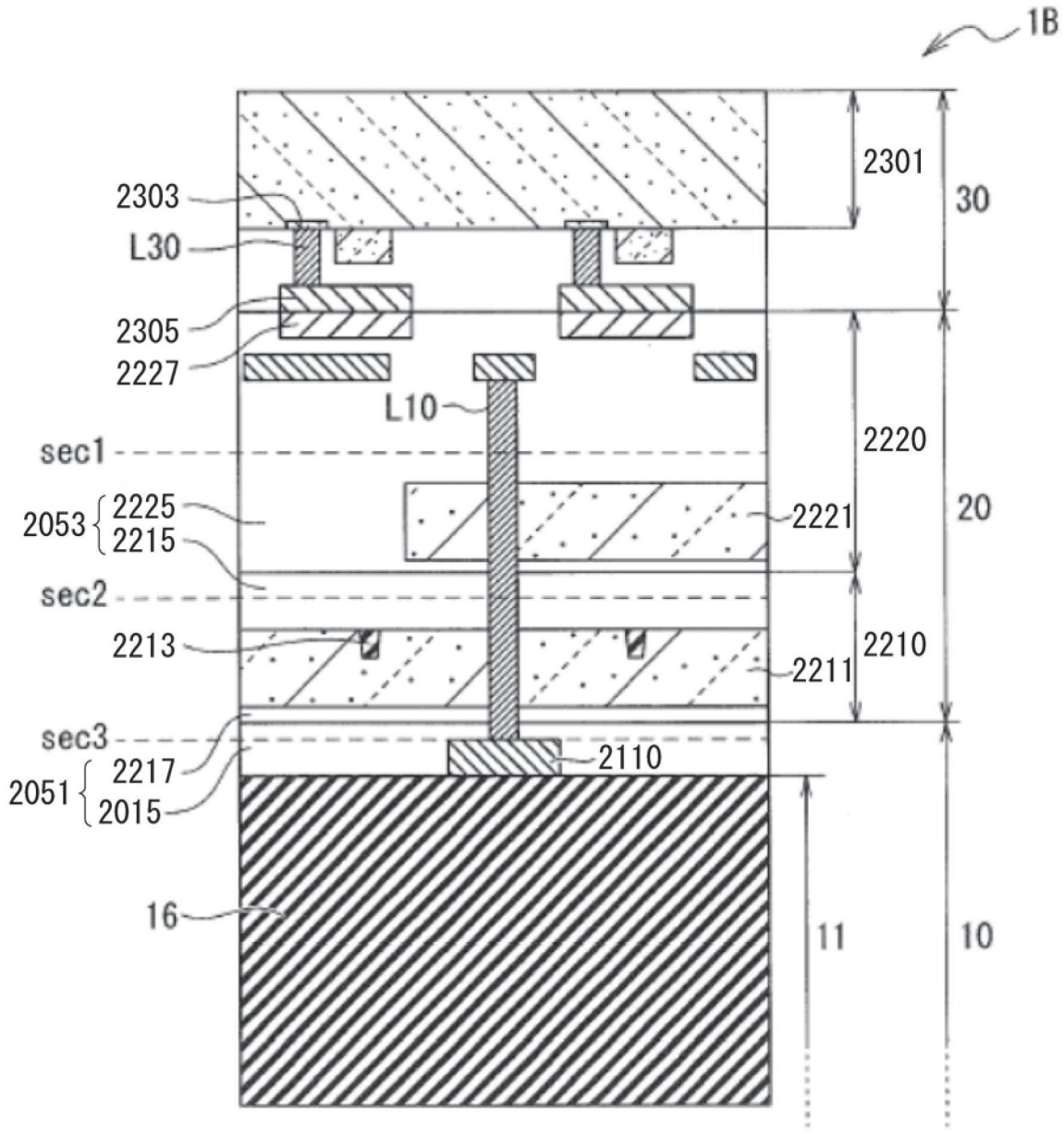
【圖44】


1B
30
20
10
2301
2301a
2220
2210
11
PD
10a
PU
L10
TR
L2
AMP
TG
L4
SEL
AG
L5
SG
WE
2213
16
17
2221a
2223
2221
2303
L30
2304
2305
2227
2221a
2221b
2225
2215
2211b
2217
2015
11a
2110
2053
2211
2051
sec1
sec2
sec3

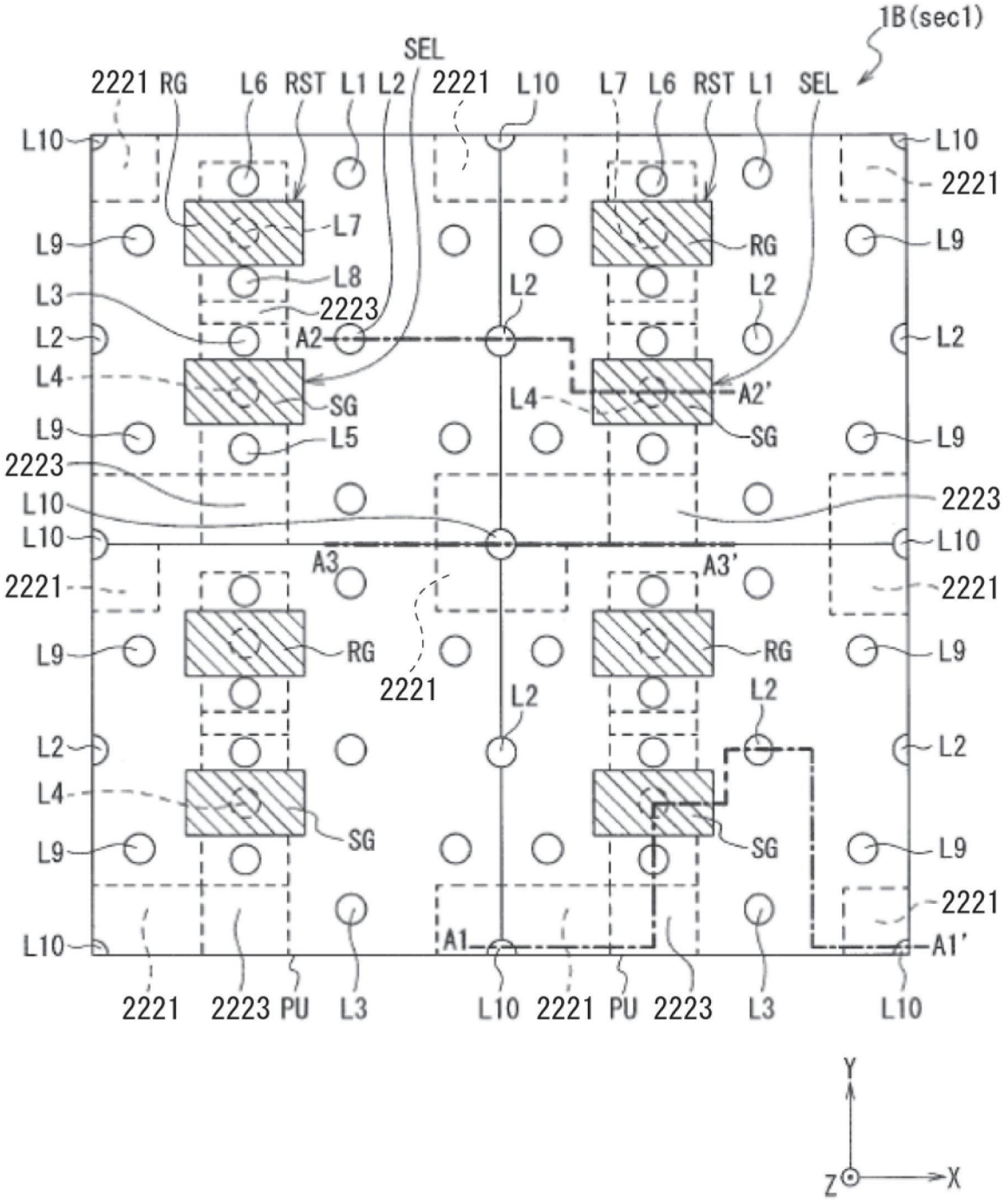
【圖45】


1B
2301
30
2303
L30
2305
2227
L2
L2
L4
SeL
2220
sec1
SG
AMP
2221
20
2053
2225
2215
sec2
AG
2213
2211
2210
11a
sec3
2102
2051
2217
2015
16
11
10

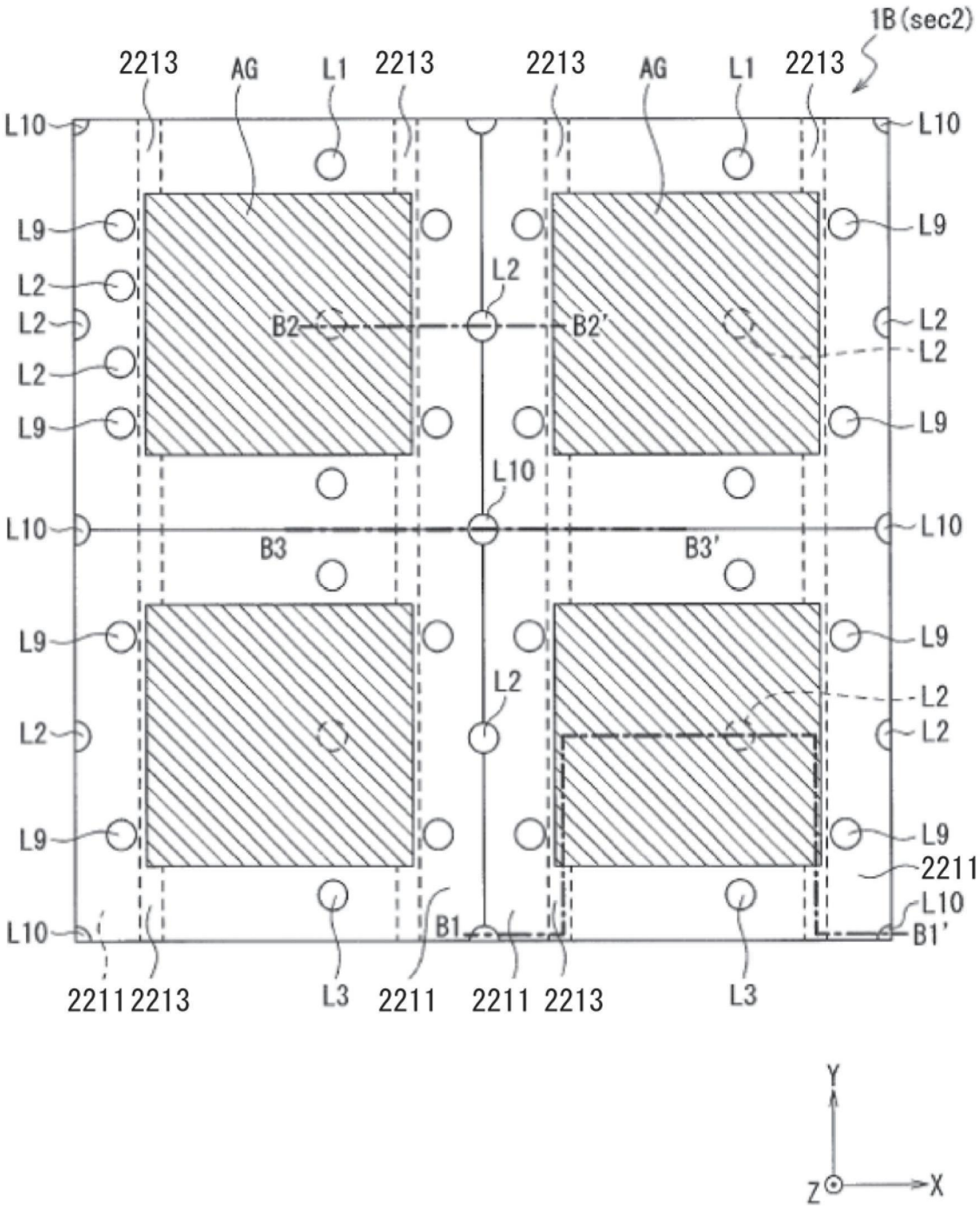
【圖46】


1B
2301
30
2303
L30
2305
2227
L10
2220
sec1
2053
2225
2215
2221
20
sec2
2213
2210
2211
sec3
2110
2051
2217
2015
16
11
10

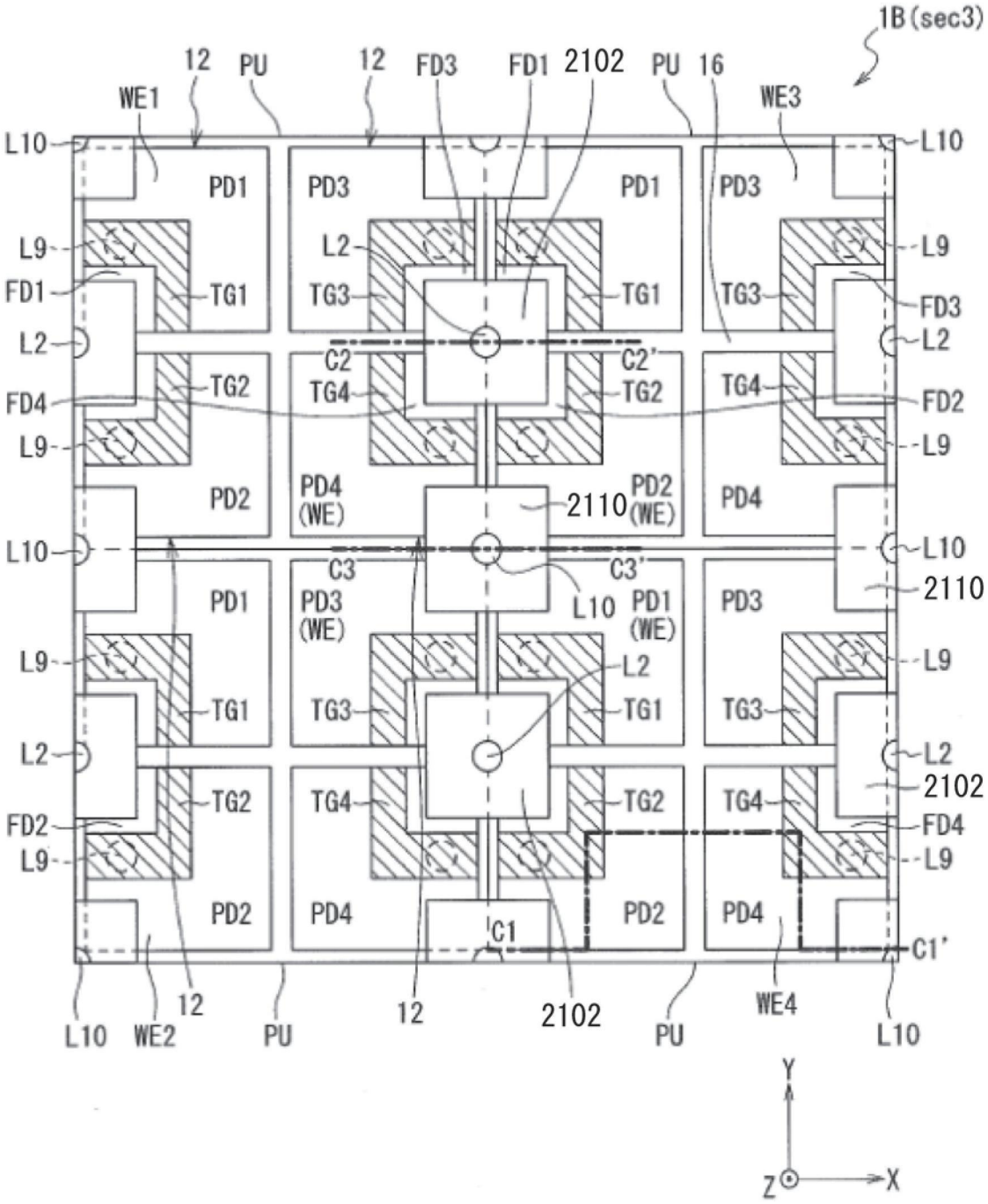
【圖47】


1B(sec1)
SEL
2221 RG
L6 RST L1 L2
2221
L10
L7 L6 RST L1 SEL
L10
2221
L9
L7
RG
L9
L8
L3
2223
L2
L2
L2
A2
L2
L4
SG
L4
A2'
L9
L5
SG
L9
2223
2223
L10
L10
L10
A3
A3'
2221
2221
L9
RG
RG
L9
2221
L2
L2
L2
L2
L4
SG
SG
L9
L9
2221
L10
A1
A1'
2221
2223 PU
L3
L10 2221 PU 2223
L3
L10
Y
Z
X

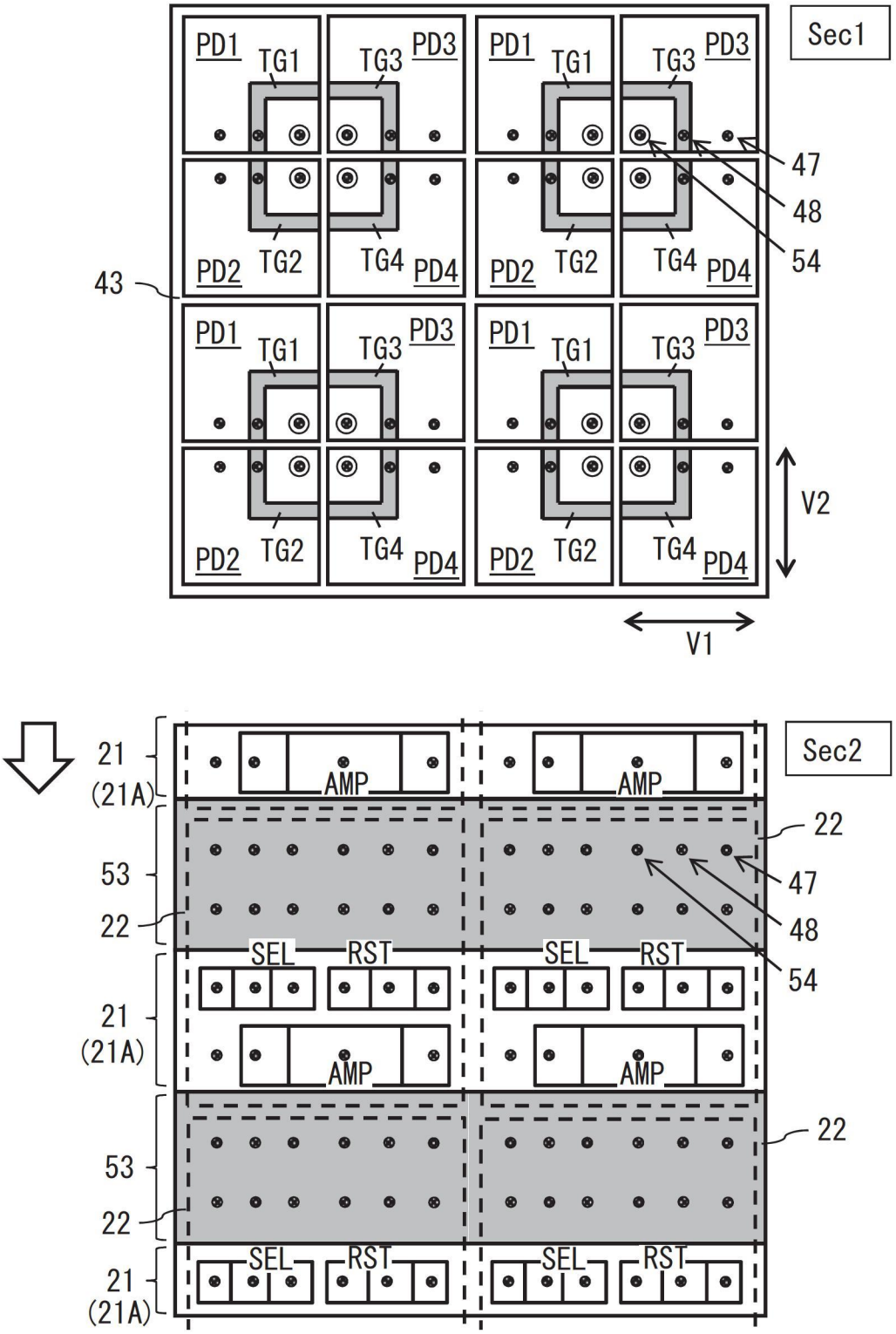
【圖48】


1B(sec2)
2213
AG
L1
2213
2213
AG
L1
2213
L10
L9
L2
B2
B2'
L10
B3
B3'
2211
B1
B1'
L3
Y
Z
X

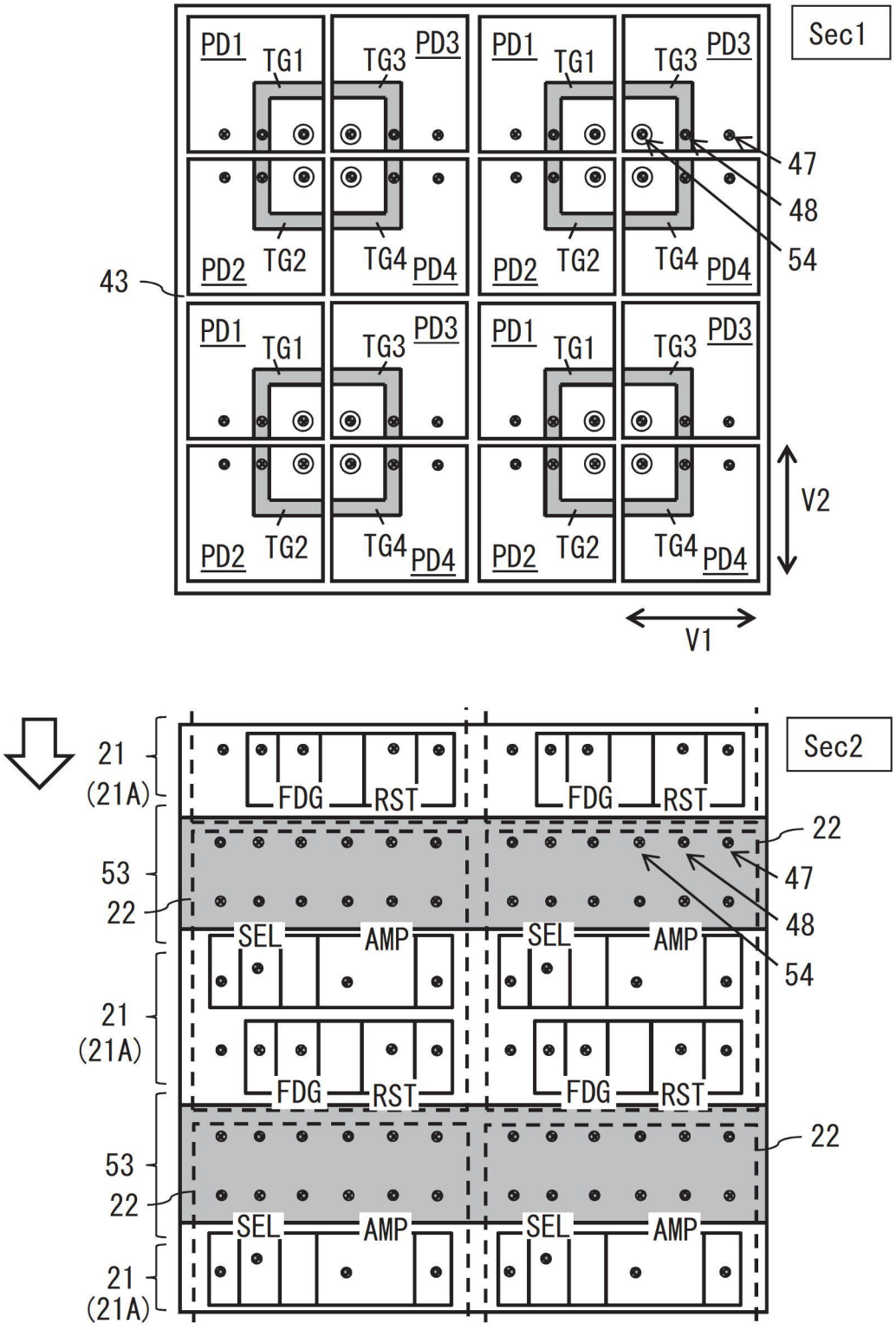
【圖49】


1B(sec3)
12
PU
12
FD3
FD1
2102
PU
16
WE1
WE3
L10
PD1
PD3
PD1
PD3
L9
L2
TG1
TG3
TG1
TG3
FD1
FD3
L2
C2
C2'
TG2
TG4
TG2
TG4
FD4
FD2
L9
PD2
PD4
(WE)
2110
PD2
(WE)
PD4
L10
C3
C3'
L10
2110
PD1
PD3
(WE)
L10
PD1
(WE)
PD3
L9
L2
L9
TG1
TG3
TG1
TG3
L2
L2
2102
TG2
TG4
TG2
TG4
FD2
FD4
L9
L9
PD2
PD4
C1
PD2
PD4
C1'
L10
WE2
12
PU
12
2102
PU
WE4
L10
Y
Z
X

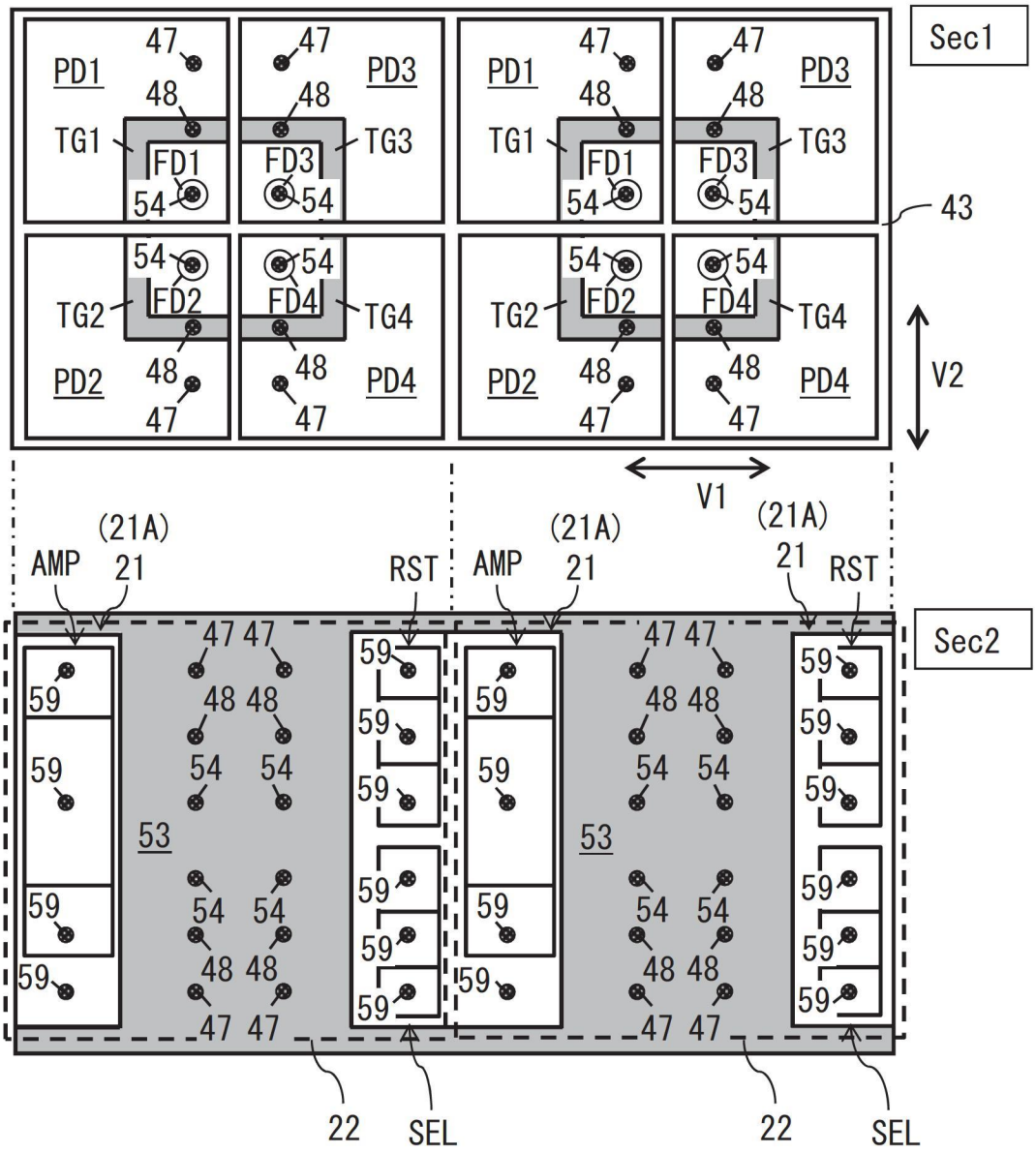
【圖50】


Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54
43
V2
V1
Sec2
21
(21A)
AMP
22
53
SEL
RST

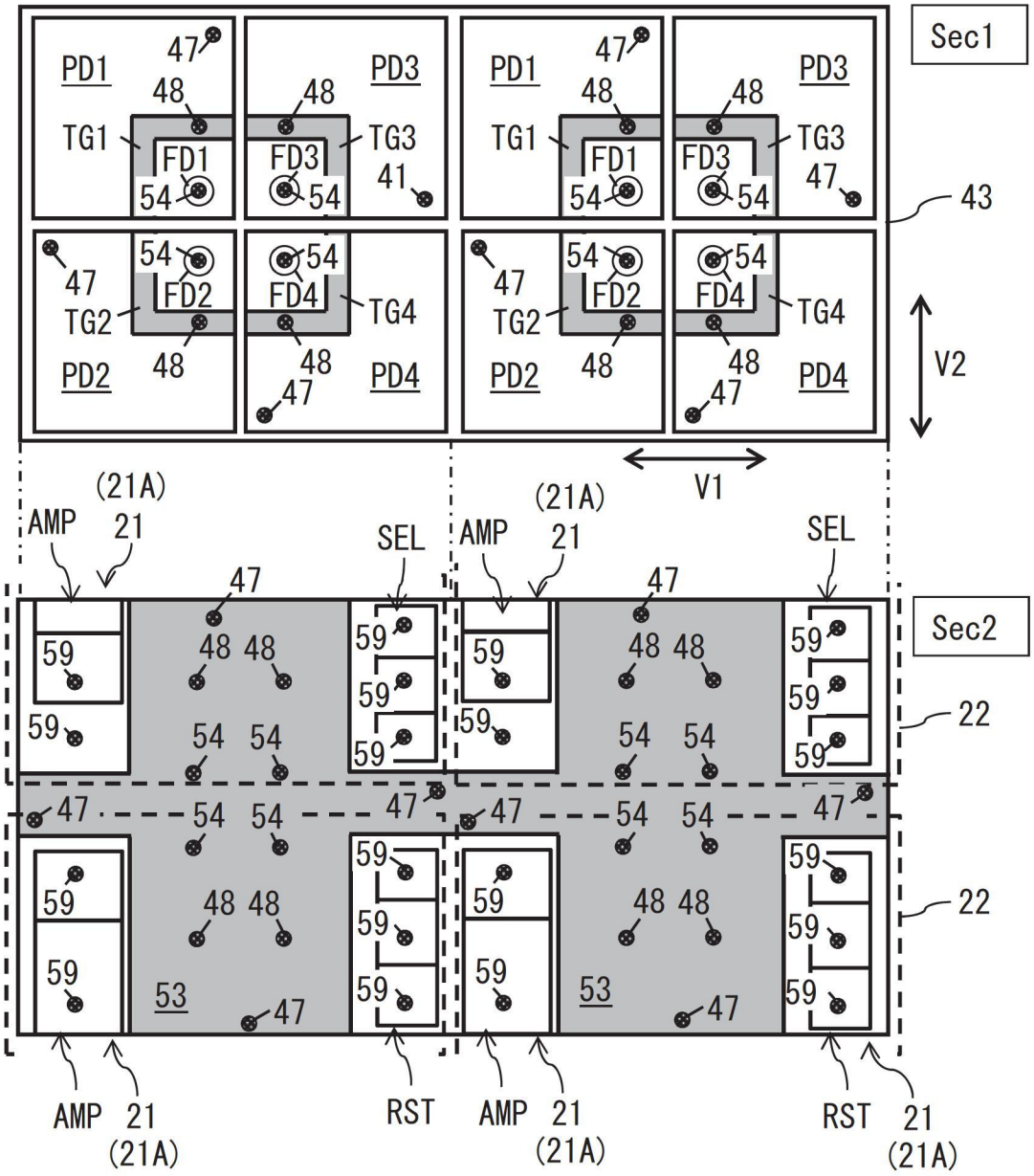
【圖51】


Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54
43
V2
V1
Sec2
21
(21A)
FDG
RST
22
53
SEL
AMP

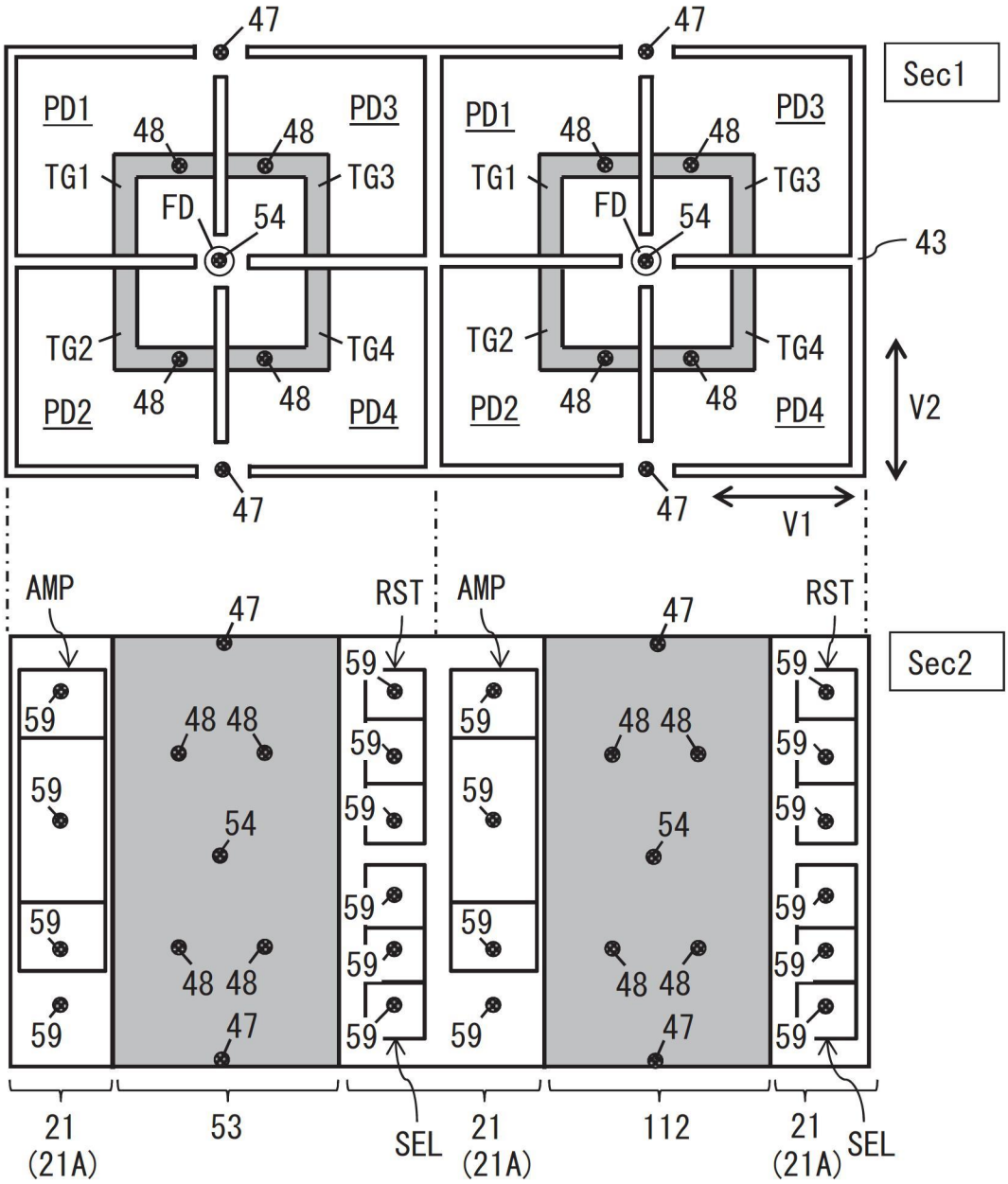
【圖52】


Sec1
PD1
PD3
PD2
PD4
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
47
48
54
43
V1
V2
(21A)
21
AMP
RST
Sec2
53
59
22
SEL

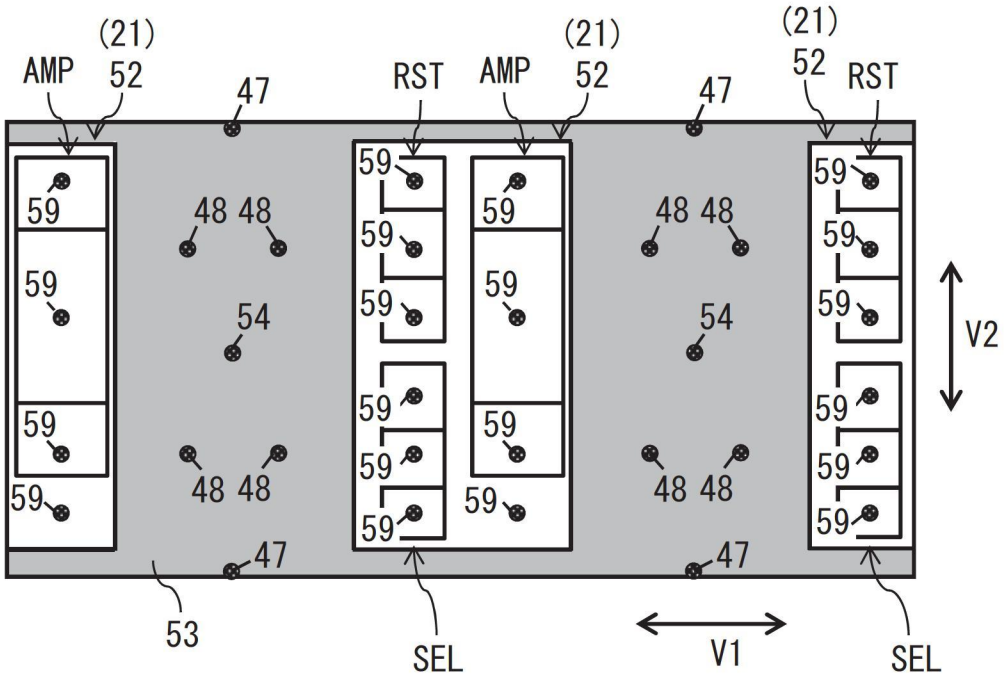
【圖53】


Sec1
PD1
PD3
PD2
PD4
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
47
48
54
41
43
V1
V2
(21A)
AMP
21
SEL
Sec2
59
53
22
RST

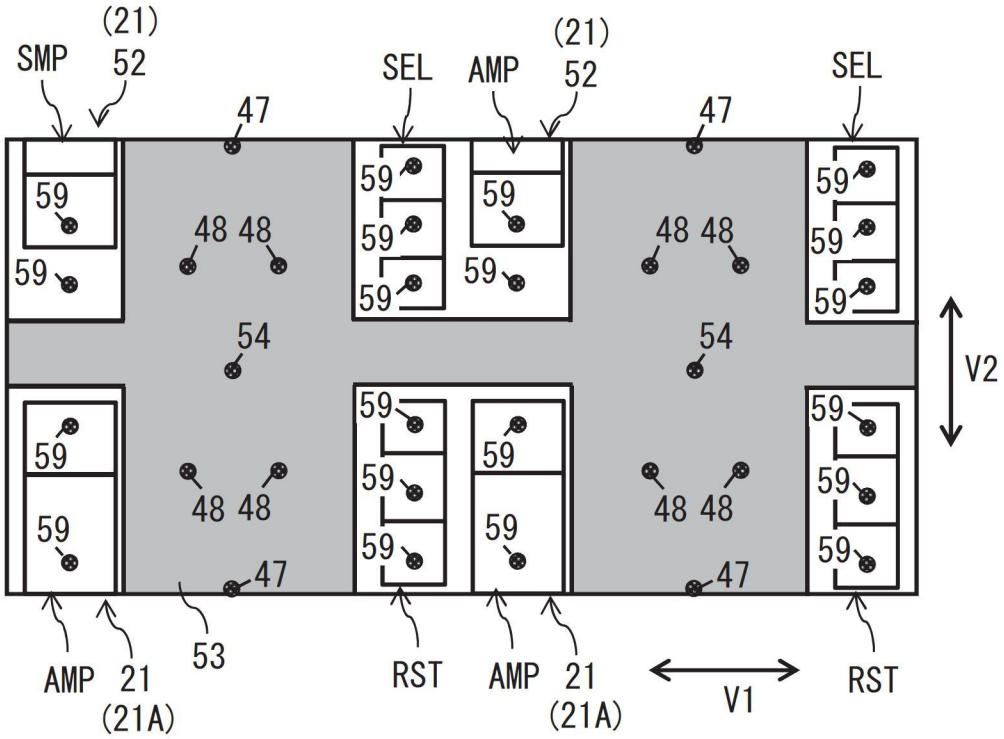
【圖54】


47
PD1
PD3
48
TG1
TG3
FD
54
43
TG2
TG4
PD2
PD4
V2
V1
Sec1
AMP
RST
59
48 48
Sec2
21
(21A)
53
SEL
112

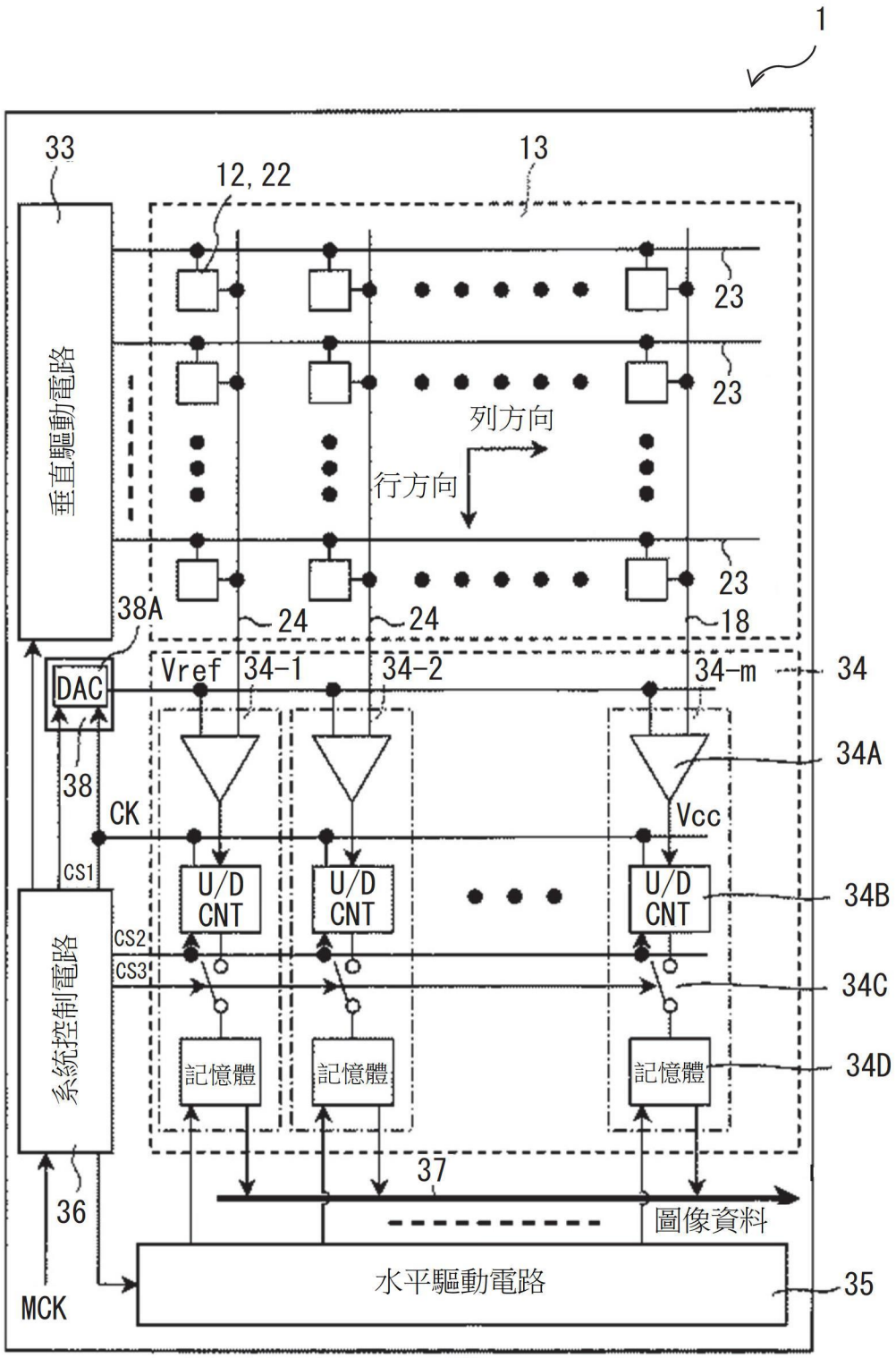
【圖55】


(21)
AMP
52
47
RST
AMP
(21)
52
47
(21)
52
RST
59
48 48
54
V2
53
SEL
V1
SEL

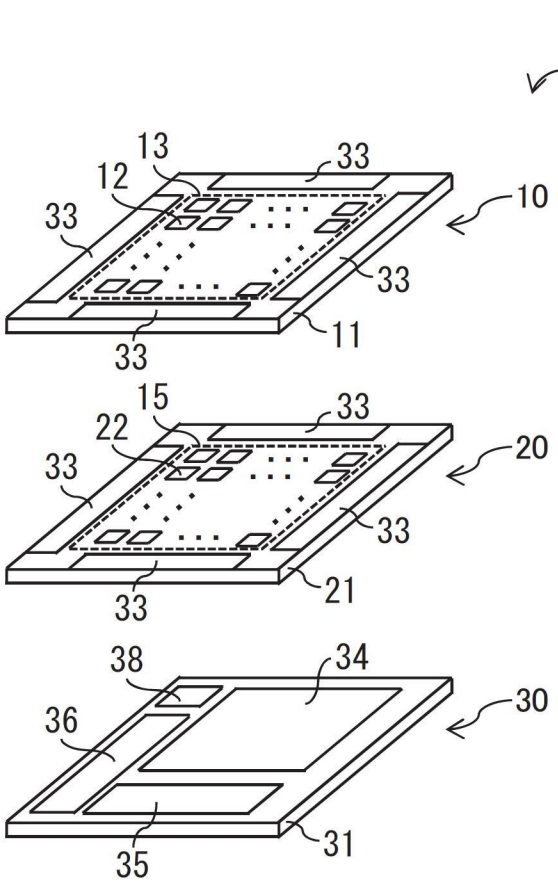
【圖56】


(21)
SMP
52
47
SEL
AMP
(21)
52
47
SEL
59
48 48
54
V2
AMP
21
(21A)
53
RST
AMP
21
(21A)
V1
RST

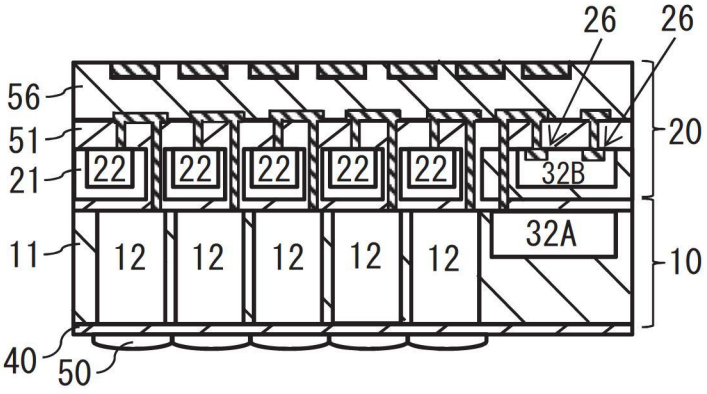
【圖57】


1
33
12, 22
13
23
23
垂直驅動電路
列方向
行方向
23
38A
24
24
18
DAC
Vref
34-1
34-2
34-m
34
34A
38
CK
Vcc
CS1
U/D CNT
U/D CNT
U/D CNT
34B
CS2
CS3
34C
系統控制電路
記憶體
記憶體
記憶體
34D
37
圖像資料
36
水平驅動電路
35
MCK

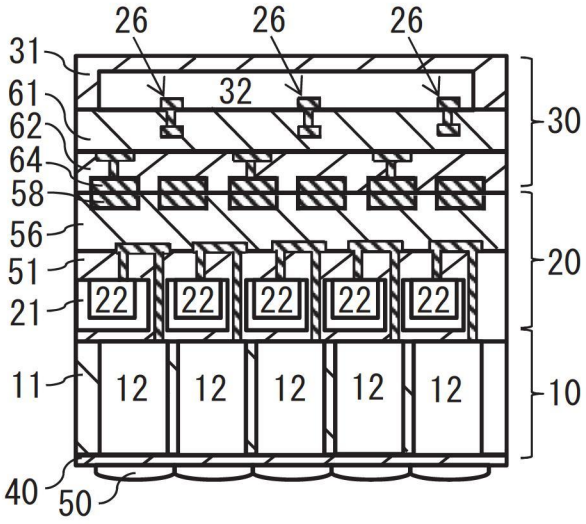
【圖58】


1
13
12
33
33
10
33
33
11
15
22
33
33
20
33
33
21
38
34
36
30
35
31

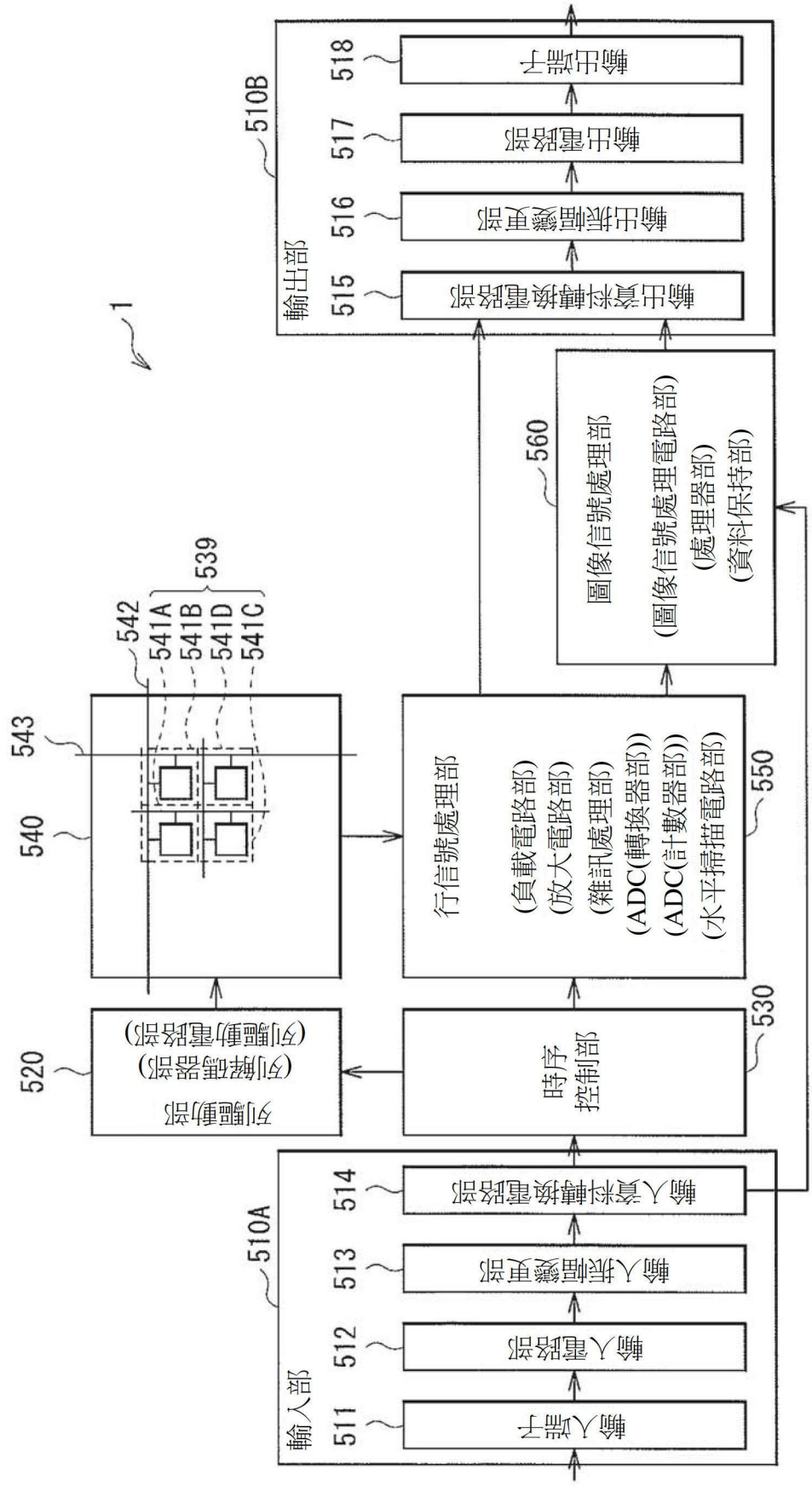
【圖59】


26
26
56
51
21
22
22
22
22
22
32B
20
11
12
12
12
12
12
32A
10
40
50

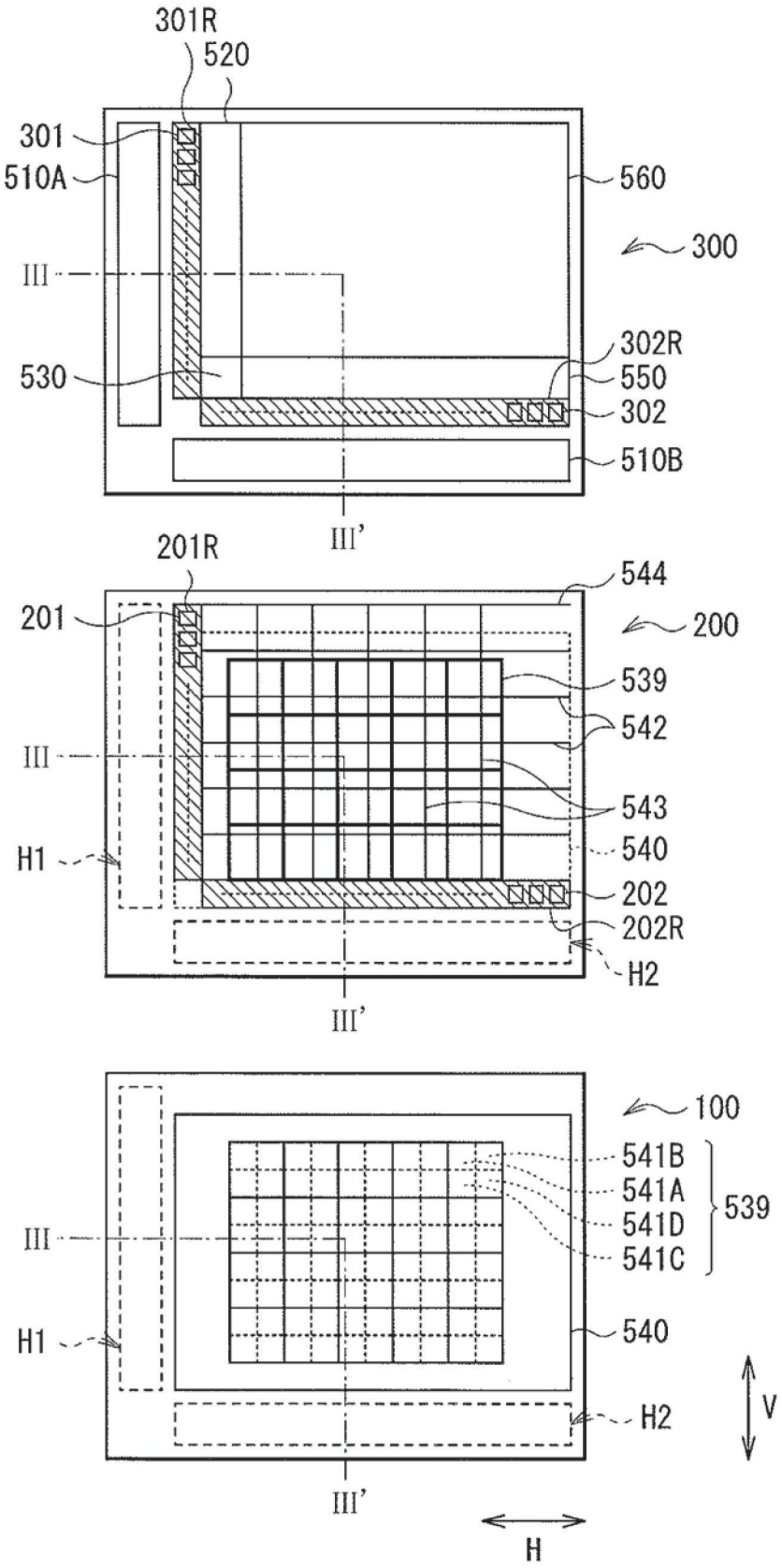
【圖60】



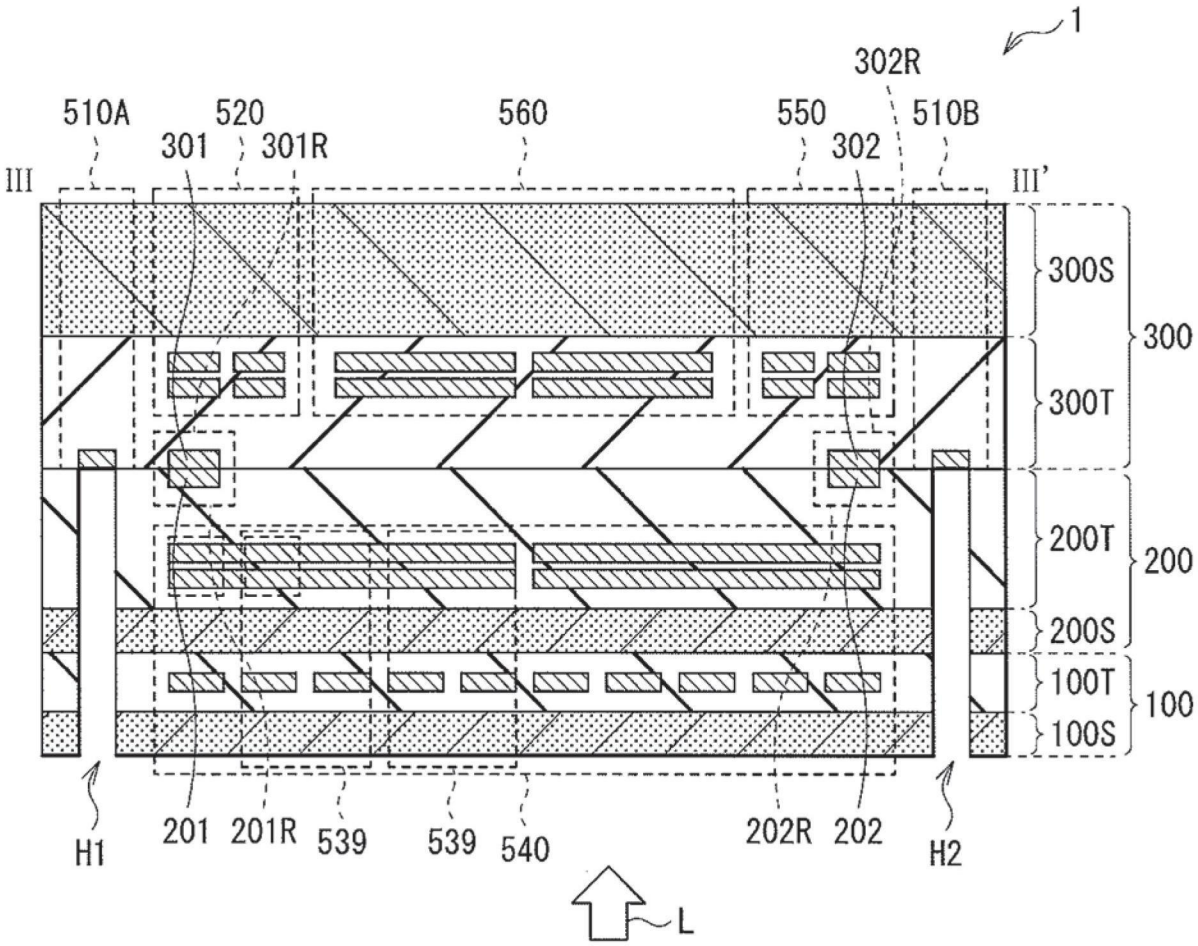
【圖61】


1
輸入部
511
輸入端子
512
輸入電路部
513
輸入振幅變更部
514
輸入資料轉換電路部
510A
520
列驅動部
(列解碼器部)
(列驅動電路部)
530
時序
控制部
540
543
542
541A
541B
541D
541C
539
550
行信號處理部
(負載電路部)
(放大電路部)
(雜訊處理部)
(ADC(轉換器部))
(ADC(計數器部))
(水平掃描電路部)
560
圖像信號處理部
(圖像信號處理電路部)
(處理器部)
(資料保持部)
輸出部
515
輸出資料轉換電路部
516
輸出振幅變更部
517
輸出電路部
518
輸出端子
510B

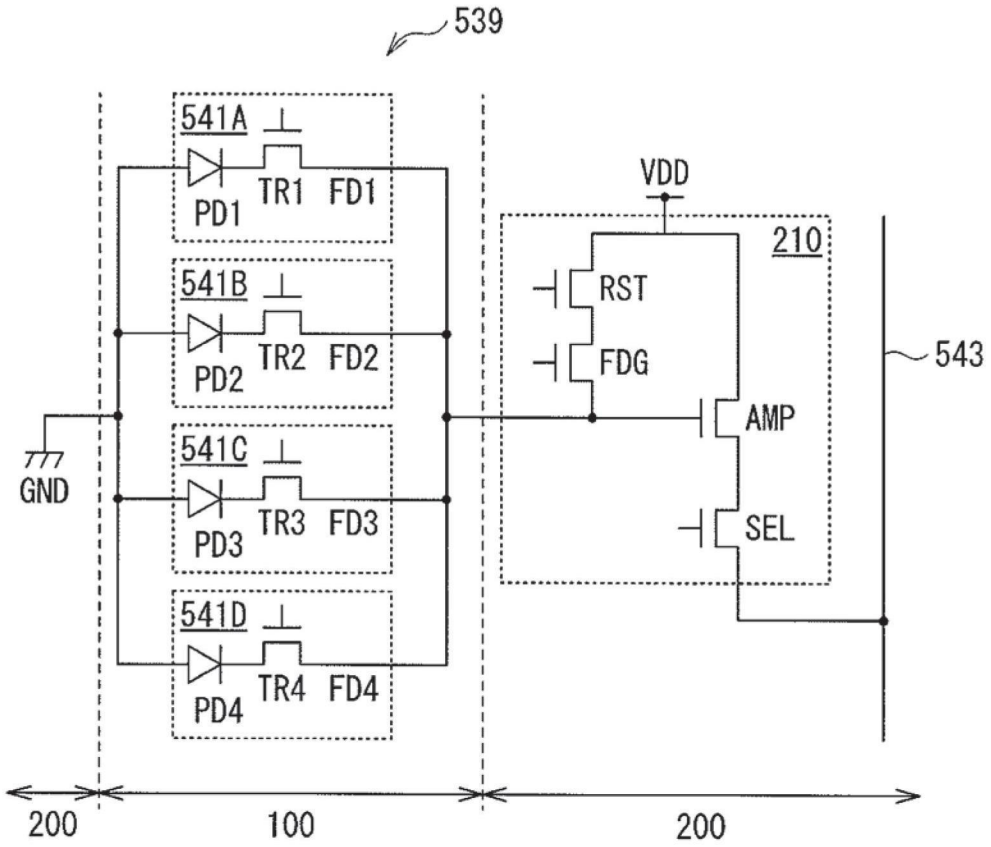
【圖62】


301R
520
301
510A
560
300
III
302R
530
550
302
510B
III'
201R
544
201
200
539
III
542
543
H1
540
202
202R
H2
III'
100
541B
541A
541D
541C
539
III
H1
540
H2
V
III'
H

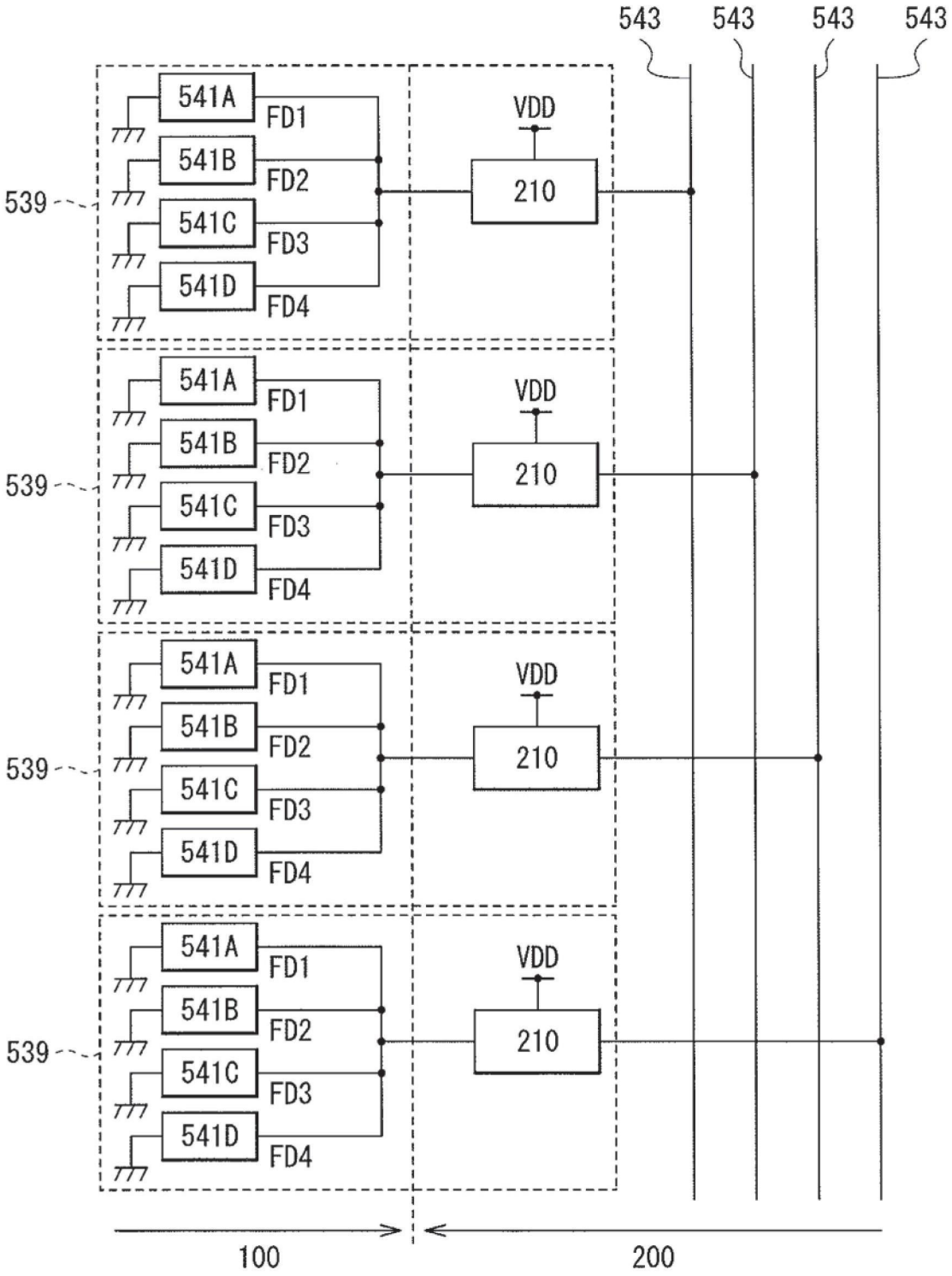
【圖63】


1
302R
510A
520
560
550
510B
301
301R
302
III
III'
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2
L

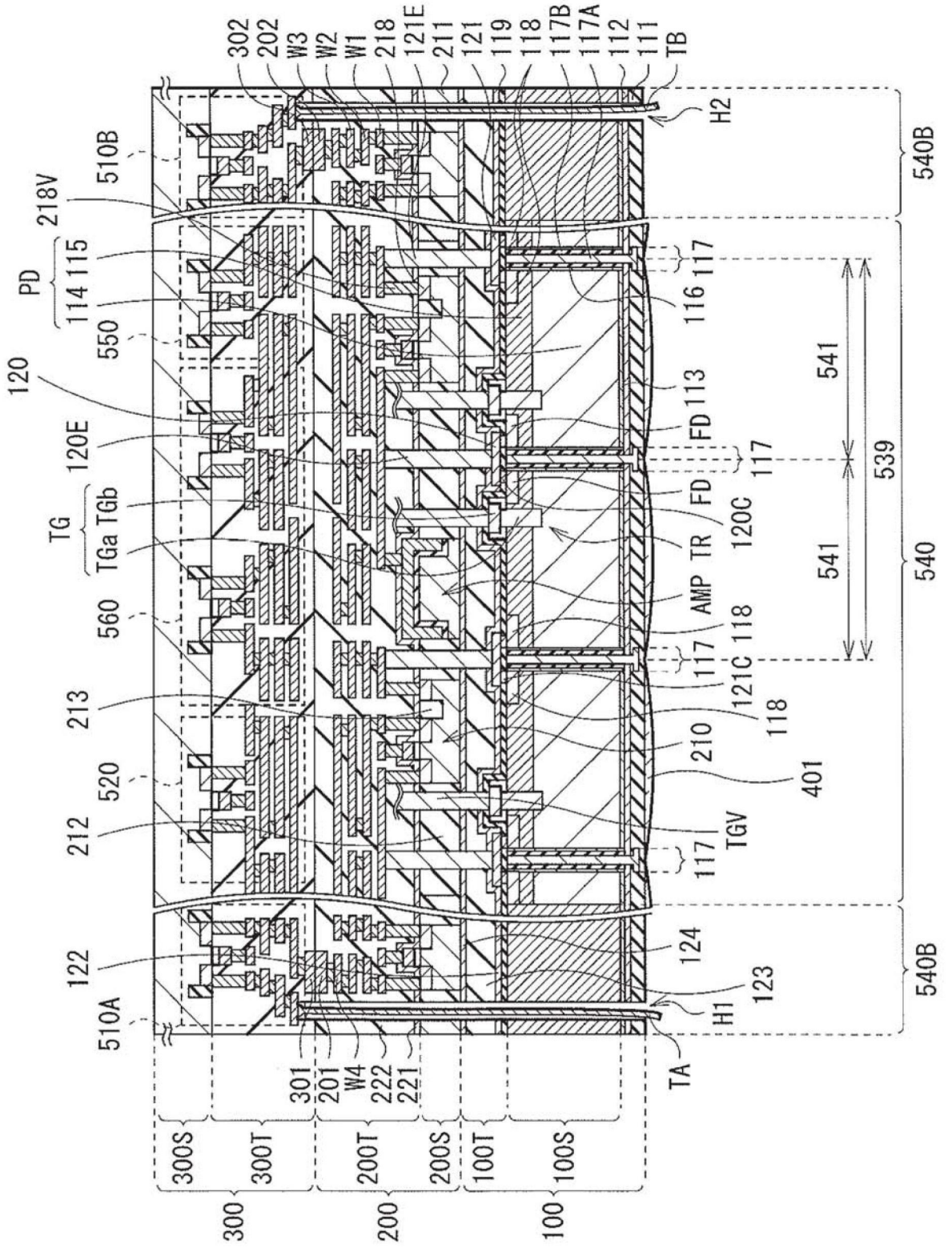
【圖64】


539
541A
PD1
TR1
FD1
541B
PD2
TR2
FD2
541C
PD3
TR3
FD3
541D
PD4
TR4
FD4
GND
VDD
210
RST
FDG
AMP
SEL
543
200
100
200

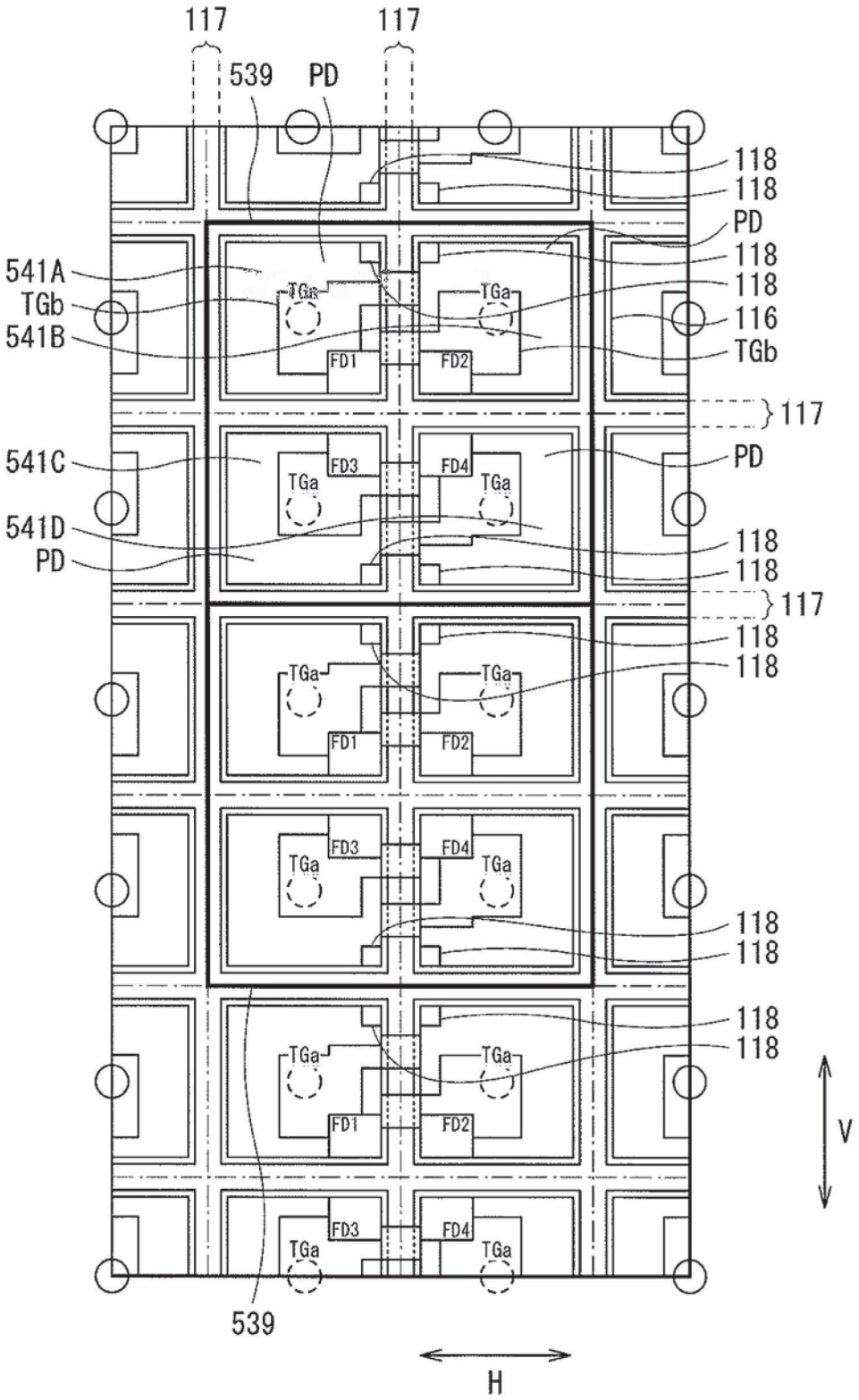
【圖65】


543
543
543
543
539
539
539
539
541A
541B
541C
541D
FD1
FD2
FD3
FD4
VDD
210
100
200

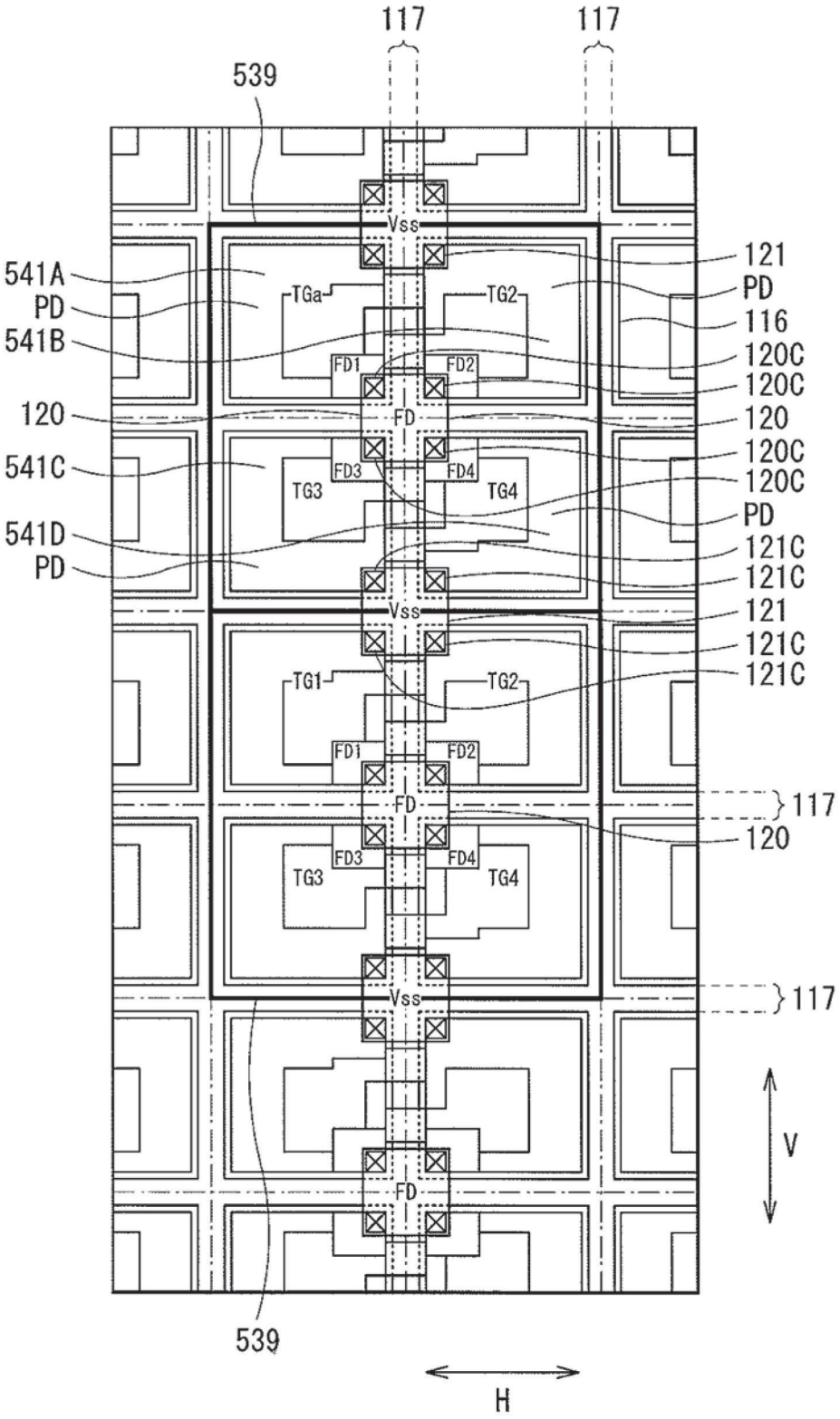
【圖66】


302
202
W3
W2
W1
218
121E
211
121
119
118
117B
117A
112
111
TB
H2
540B
510B
218V
PD
114
115
550
120
120E
TG
TGa
TGb
560
213
520
212
122
510A
116
117
FD
113
541
539
540
AMP
TR
120C
121C
210
401
TGV
124
123
H1
TA
301
201
W4
222
221
300S
300T
200T
200S
100T
100S
300
200
100

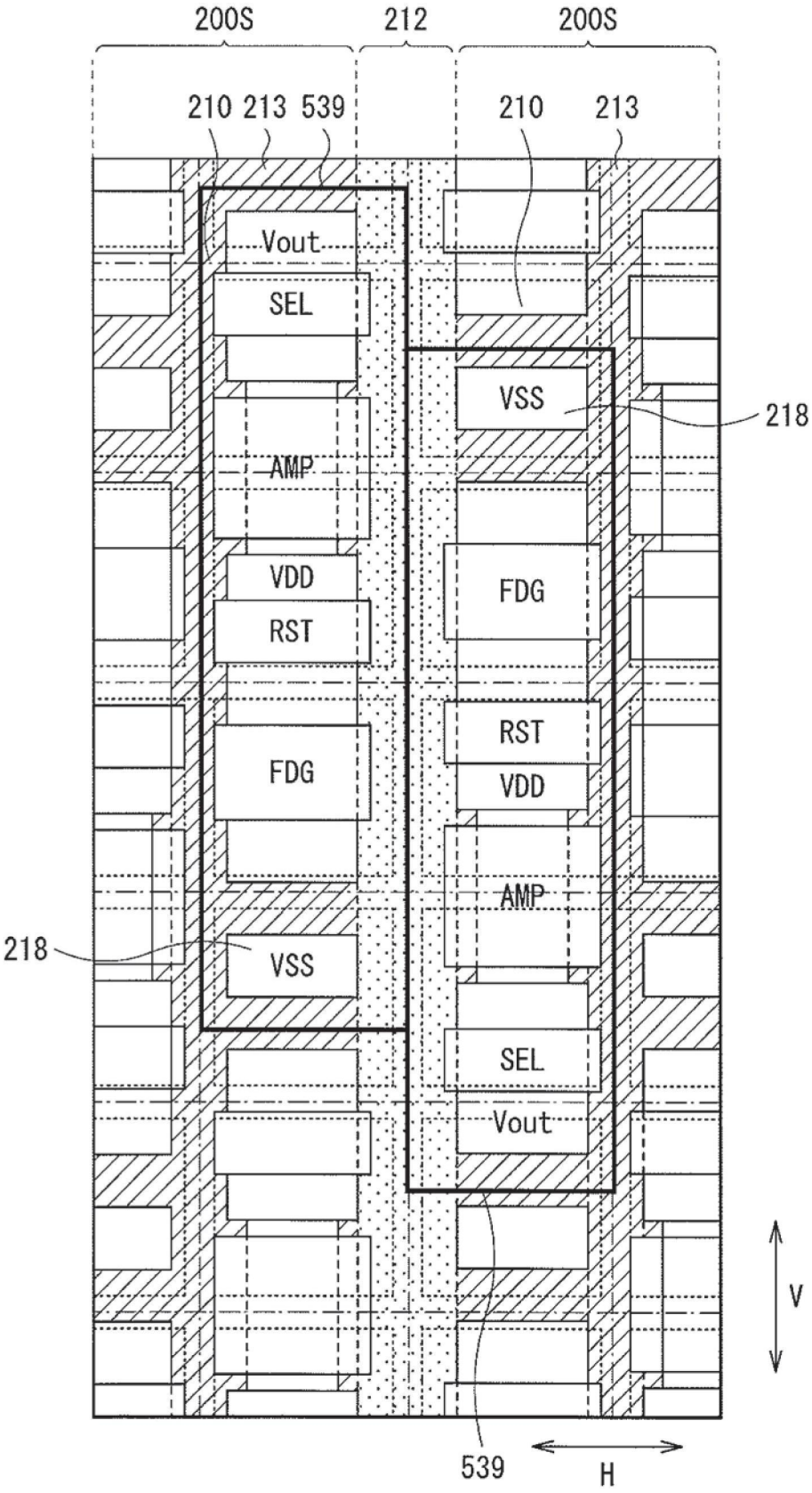
【圖67】


117
117
539
PD
118
118
PD
118
118
116
TGb
541A
TGb
541B
TGa
TGa
FD1
FD2
117
541C
541D
PD
PD
FD3
FD4
TGa
TGa
118
118
117
118
118
TGa
TGa
FD1
FD2
FD3
FD4
TGa
TGa
118
118
118
118
TGa
TGa
FD1
FD2
V
FD3
FD4
TGa
TGa
539
H

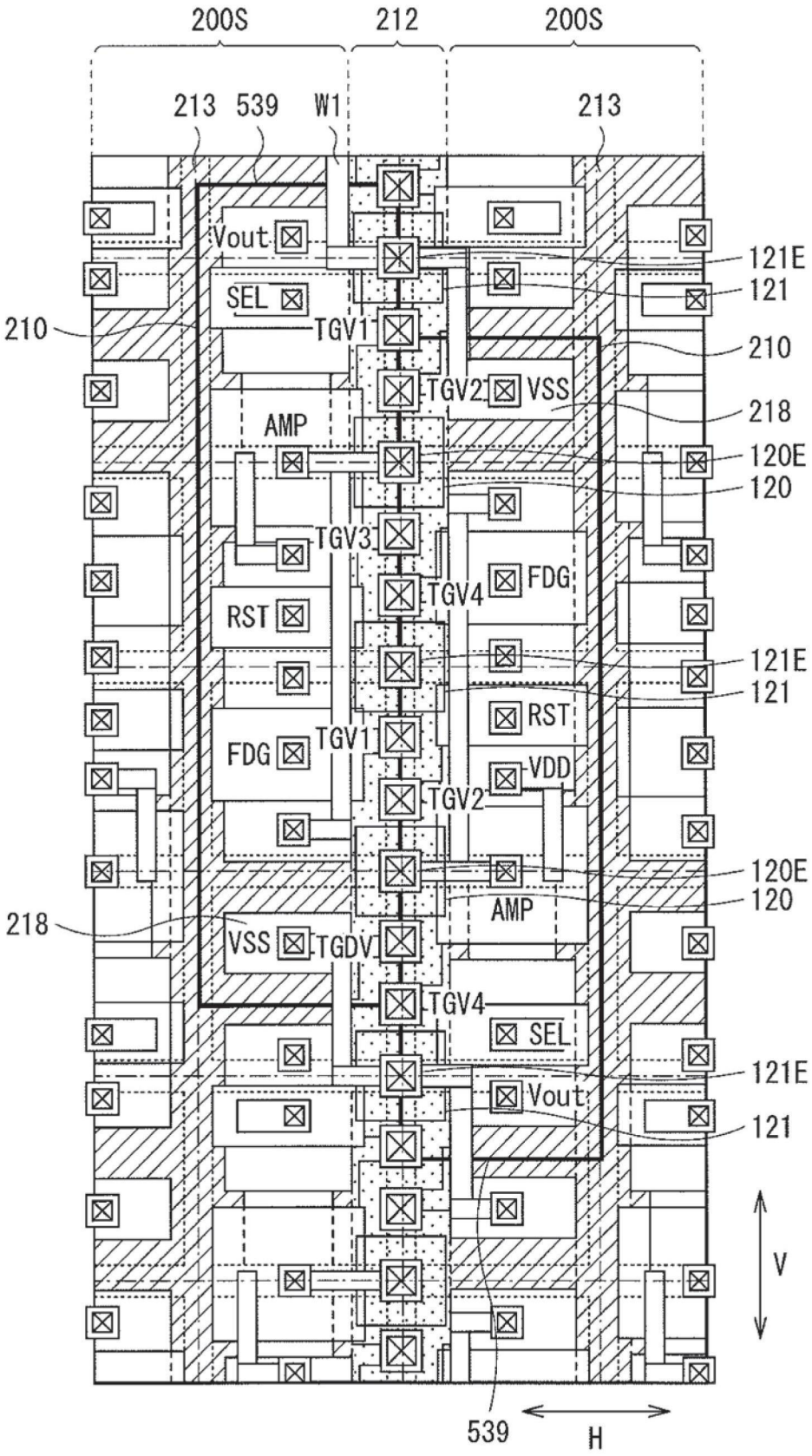
【圖68A】


117
117
539
Vss
541A
PD
541B
120
541C
541D
PD
TGa
TG2
FD1
FD2
FD
FD3
FD4
TG3
TG4
121
PD
116
120C
120C
120
120C
120C
PD
121C
121C
121
121C
121C
117
120
117
V
H
539

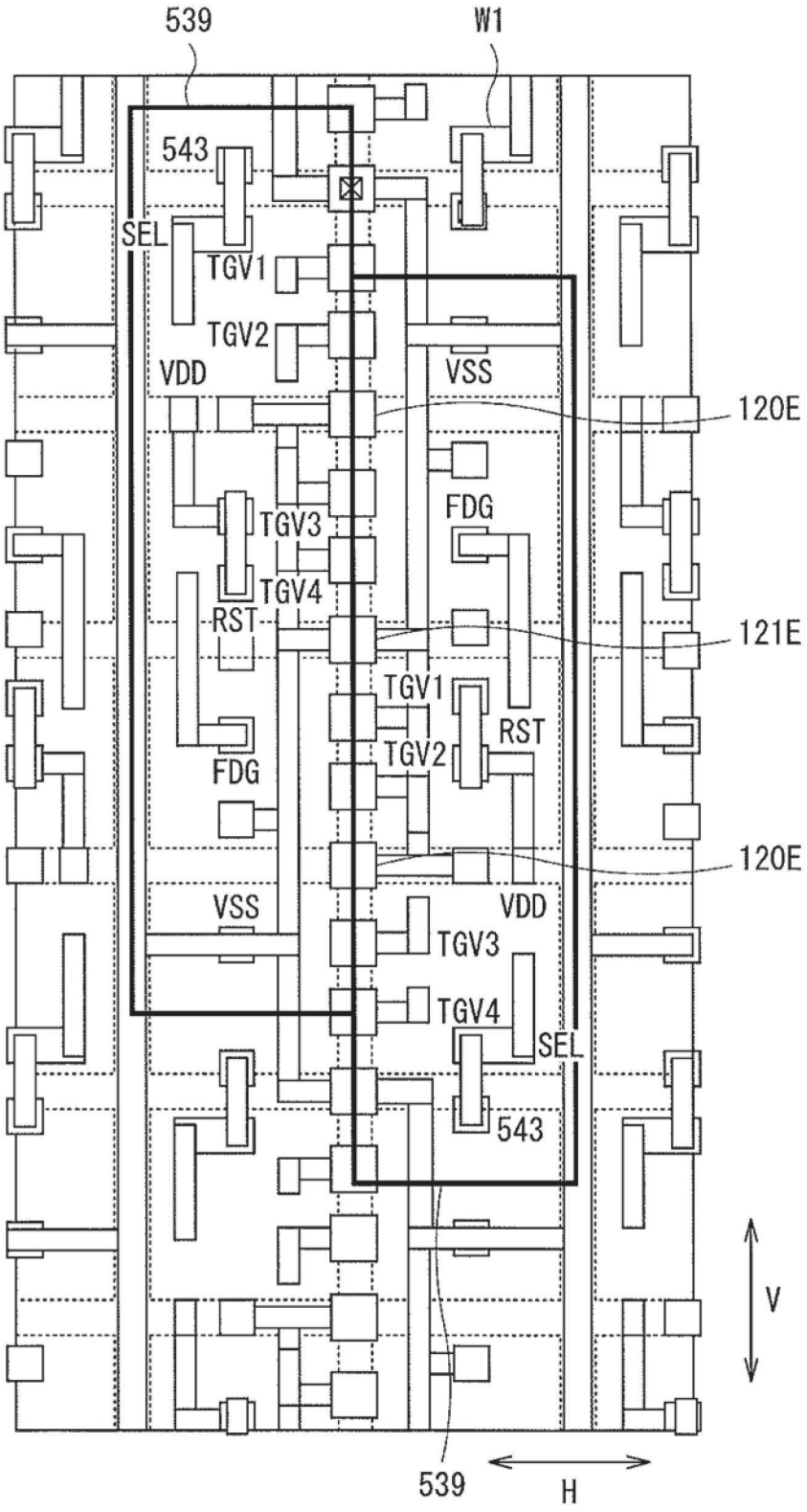
【圖68B】


200S
212
200S
210
213
539
210
213
Vout
SEL
VSS
218
AMP
VDD
RST
FDG
FDG
RST
VDD
AMP
218
VSS
SEL
Vout
V
539
H

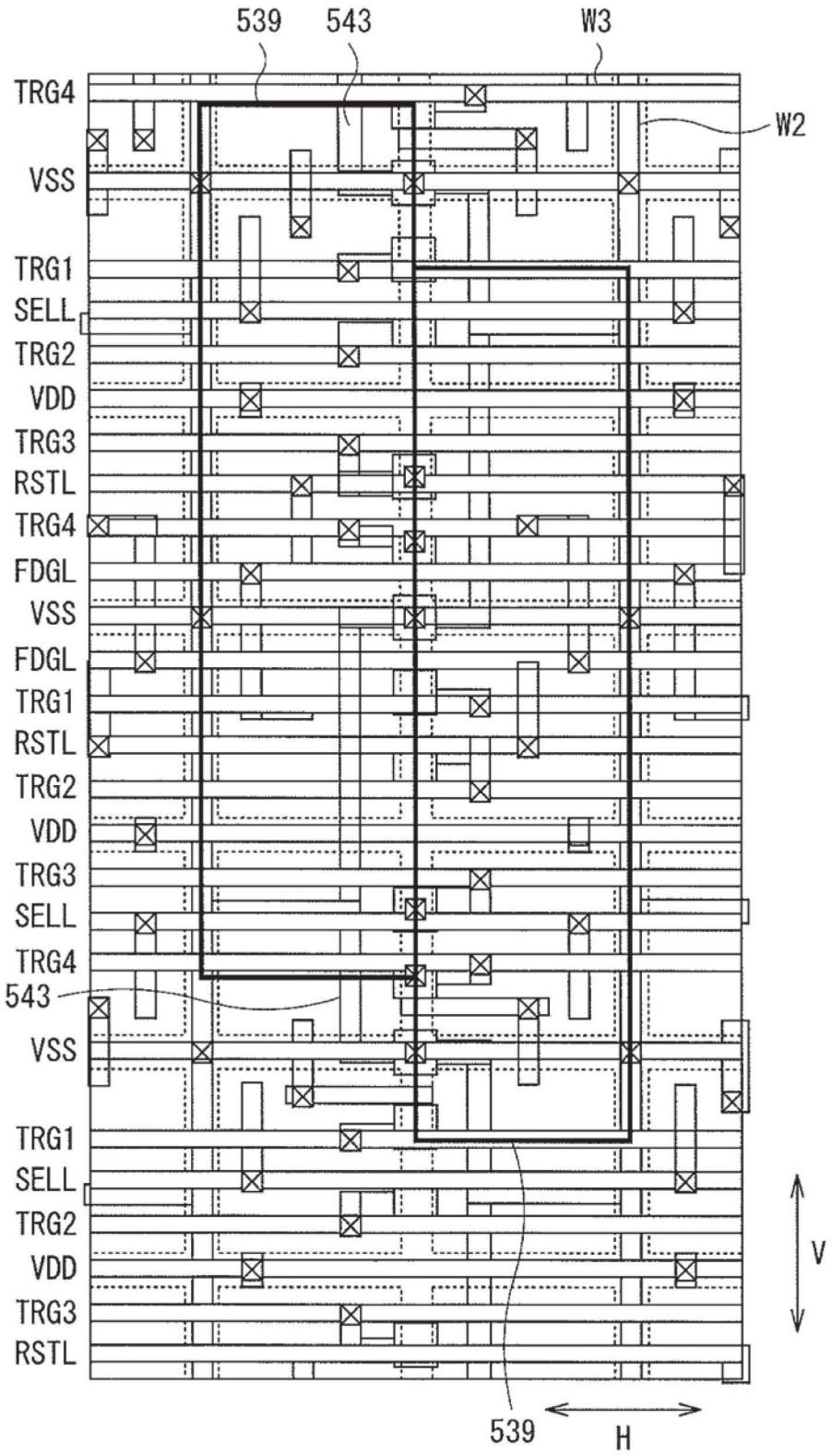
【圖69】


200S
212
200S
213
539
W1
213
Vout
121E
SEL
121
210
TGV1
210
TGV2
VSS
218
AMP
120E
120
TGV3
FDG
TGV4
RST
121E
121
RST
FDG
TGV1
VDD
TGV2
120E
120
AMP
218
VSS
TGDV
TGV4
SEL
121E
Vout
121
V
539
H

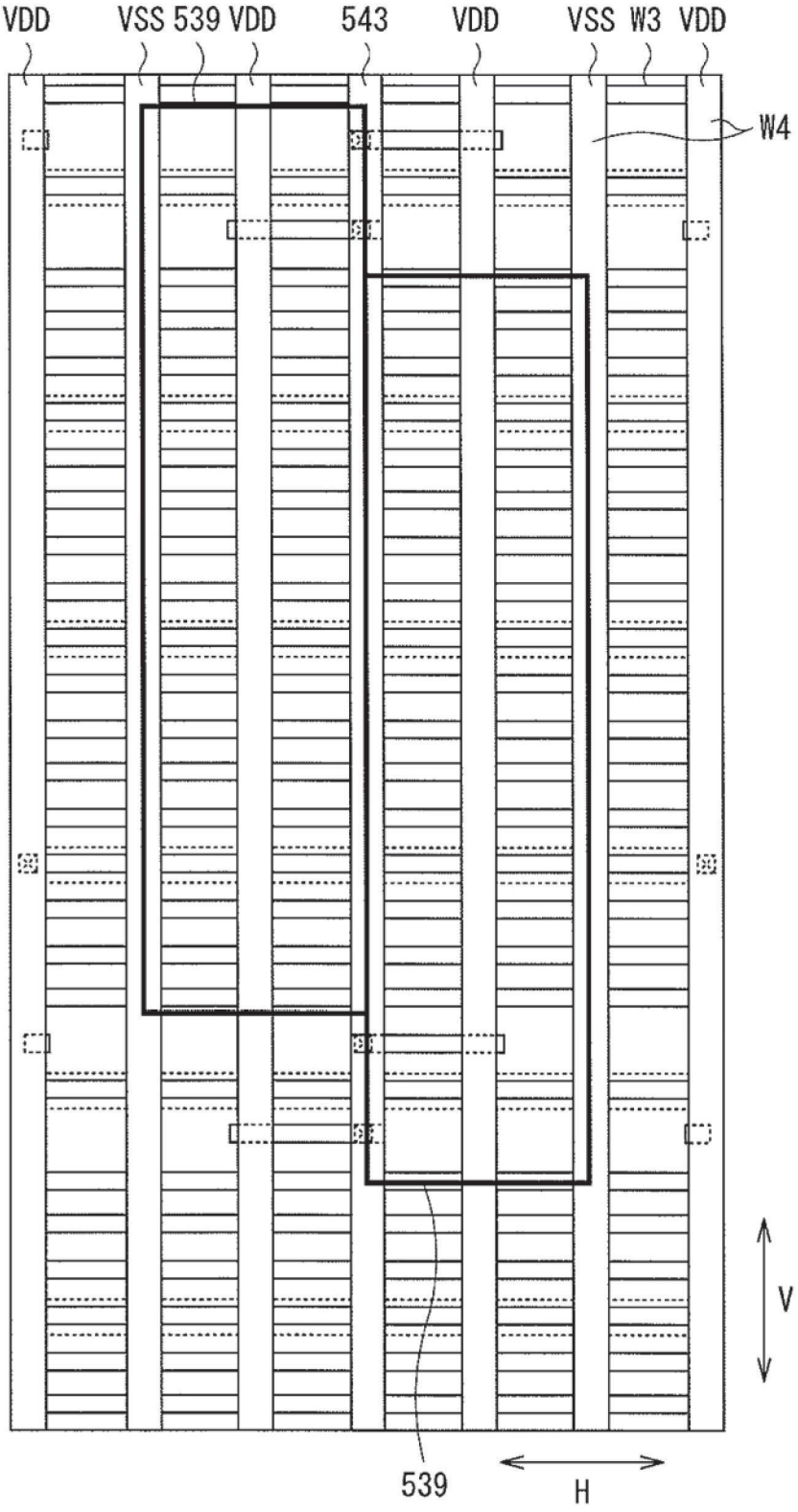
【圖70】


539
W1
543
SEL
TGV1
TGV2
VDD
VSS
120E
FDG
TGV3
TGV4
RST
121E
TGV1
RST
TGV2
FDG
120E
VSS
VDD
TGV3
TGV4
SEL
543
V
539
H

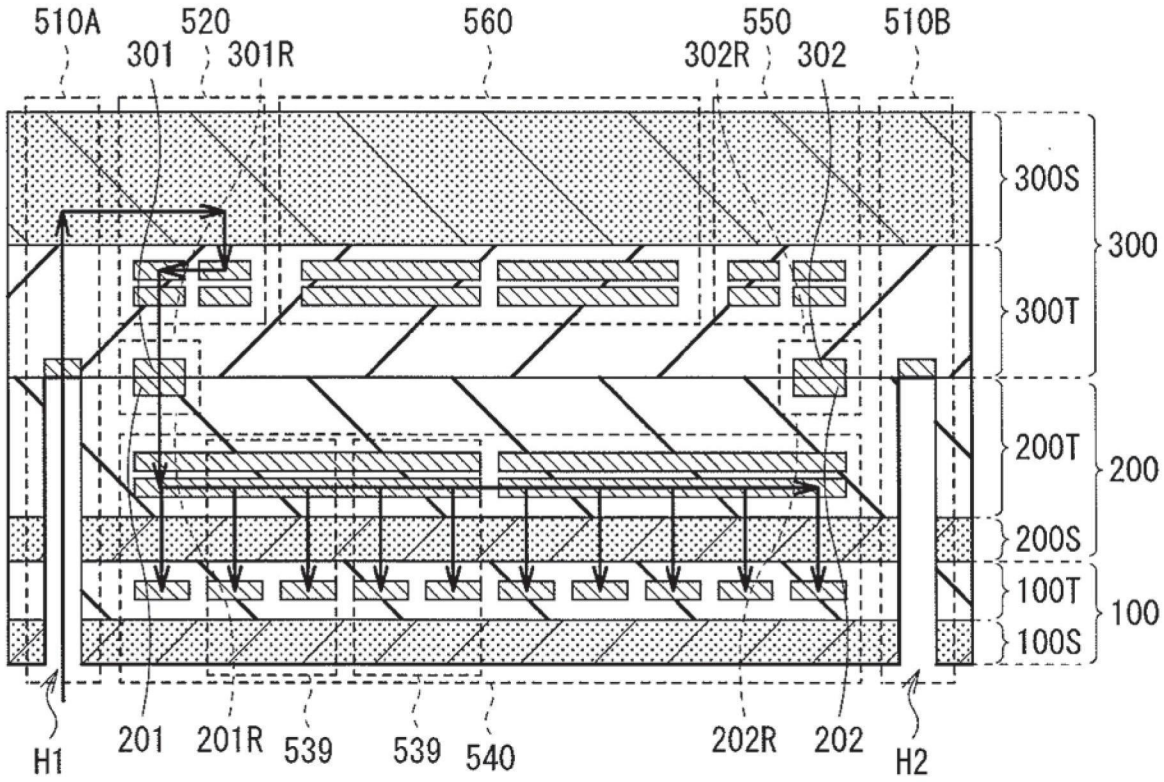
【圖71】


539
543
W3
W2
TRG4
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
FDGL
TRG1
RSTL
TRG2
VDD
TRG3
SELL
TRG4
543
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
V
539
H

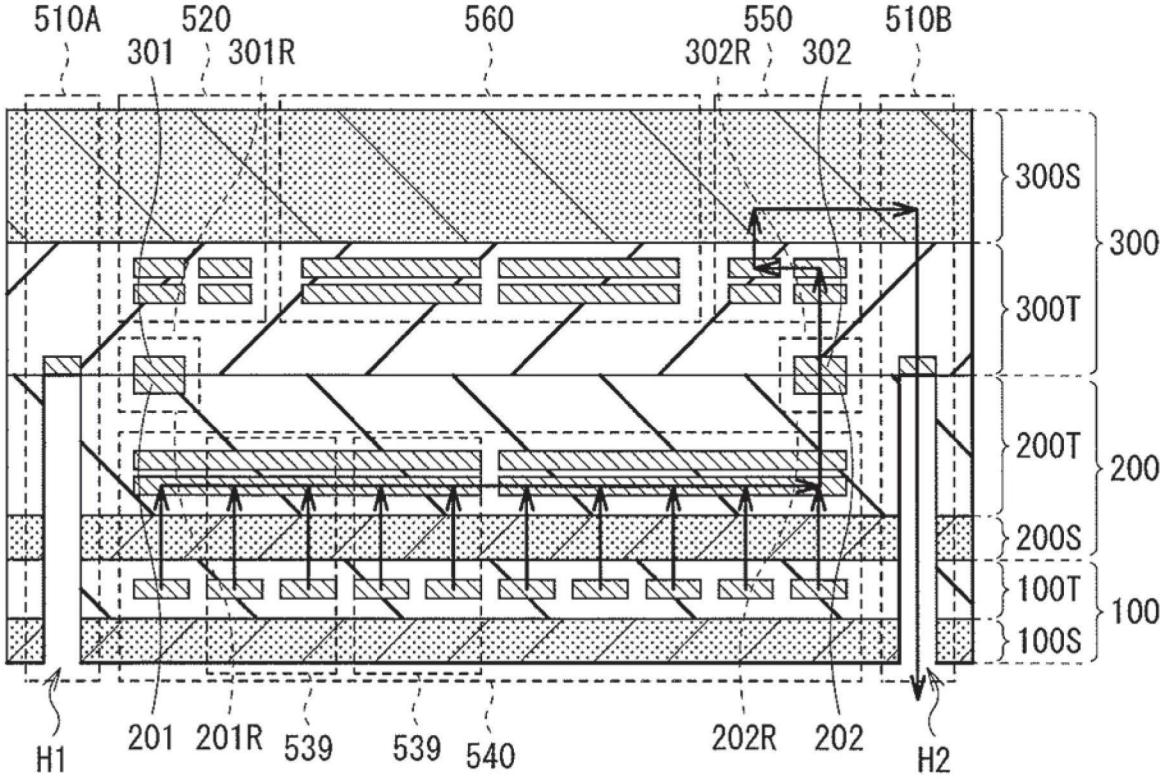
【圖72】



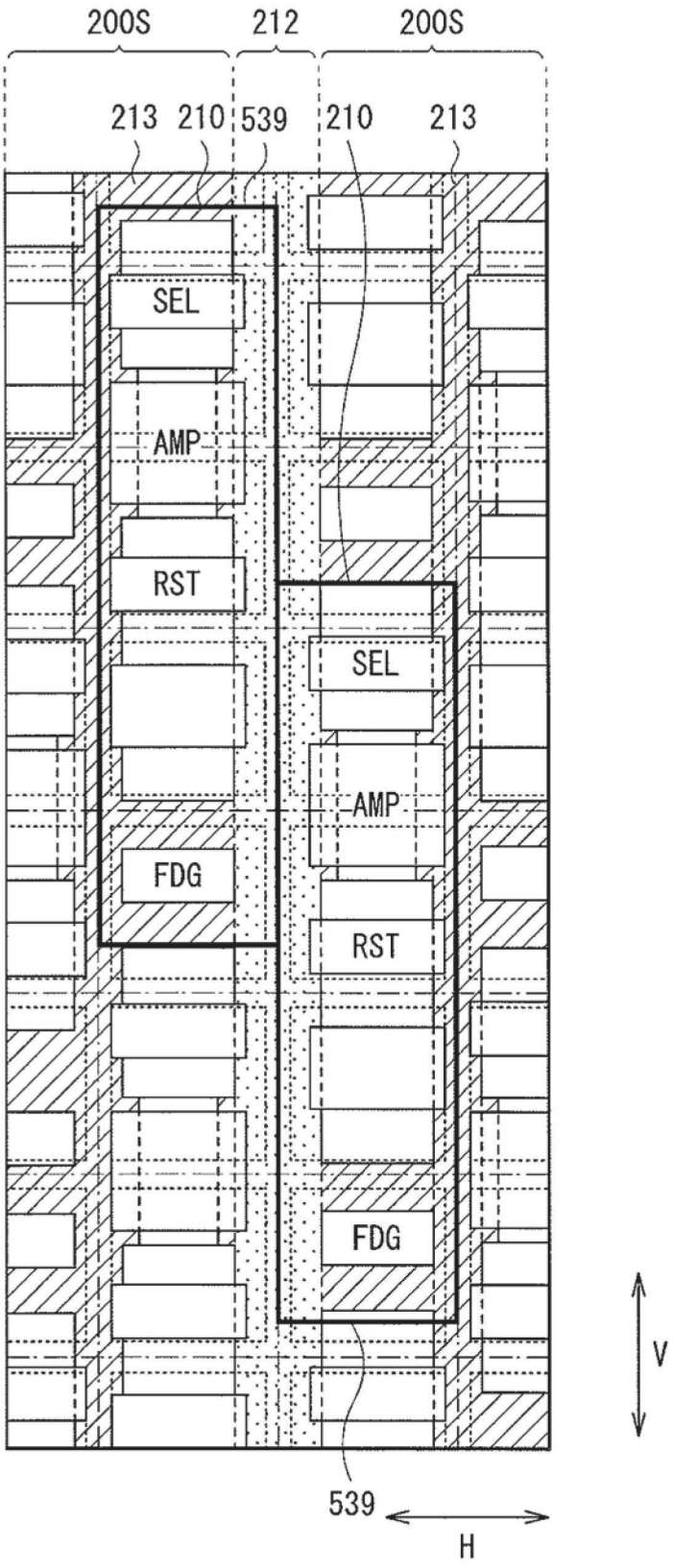
【圖73】


510A
520
301
301R
560
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2

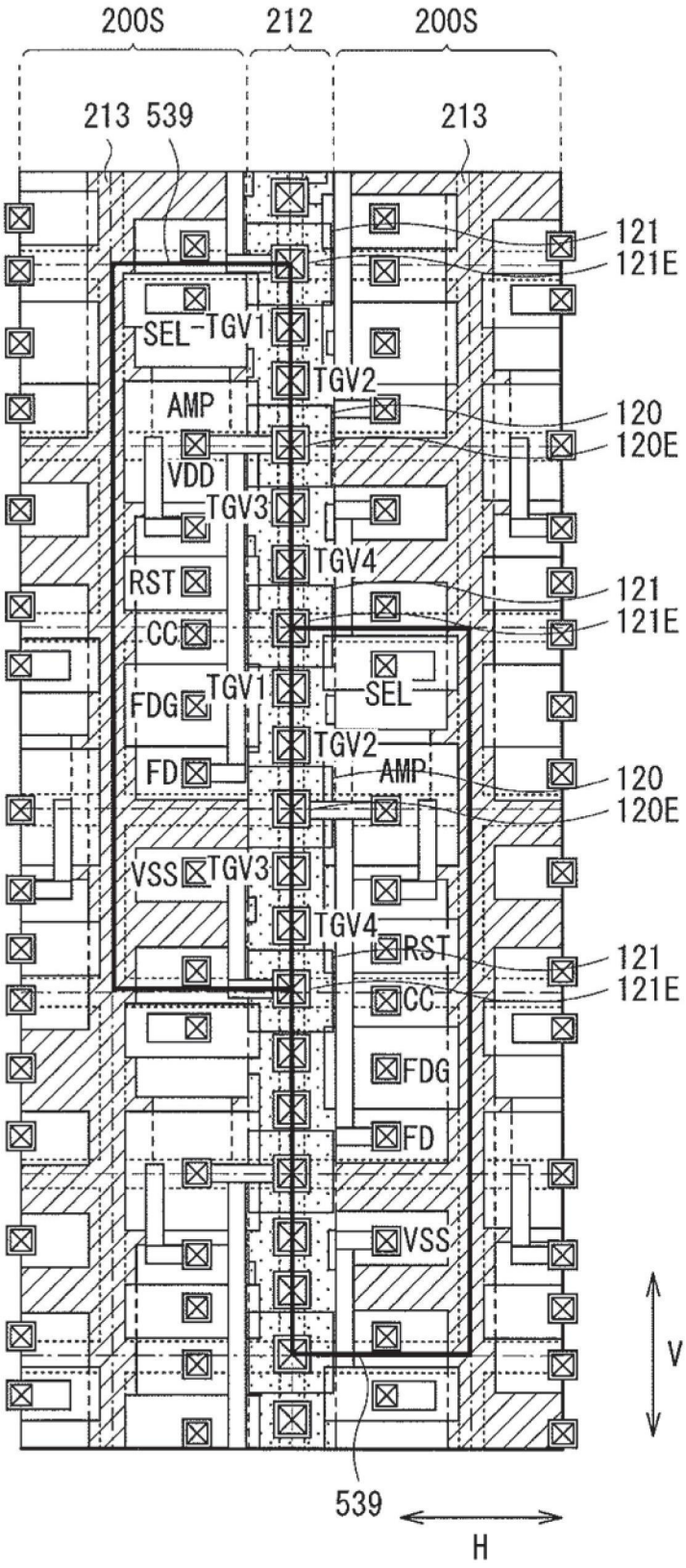
【圖74】


510A
520
301
301R
560
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2

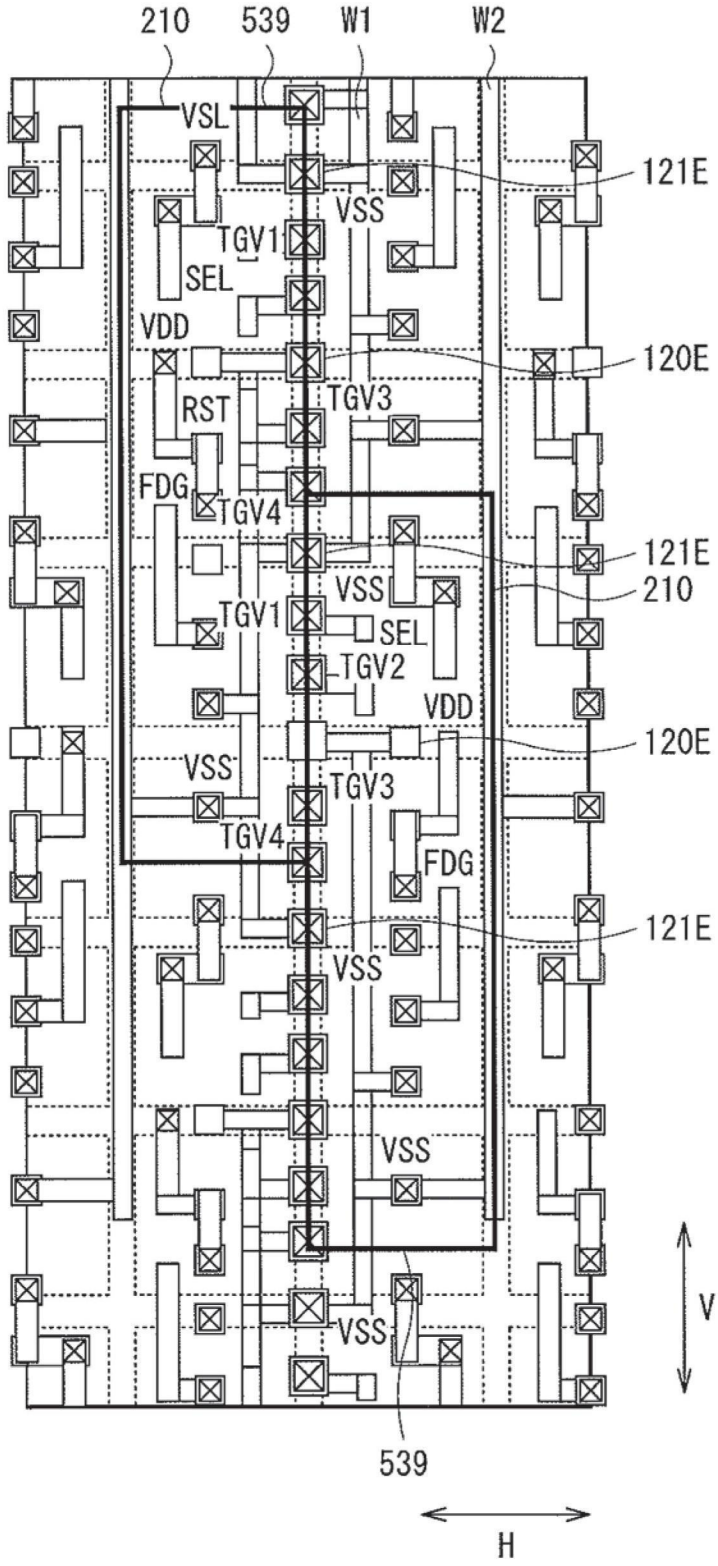
【圖75】


200S
212
200S
213
210
539
210
213
SEL
AMP
RST
SEL
AMP
FDG
RST
FDG
V
539
H

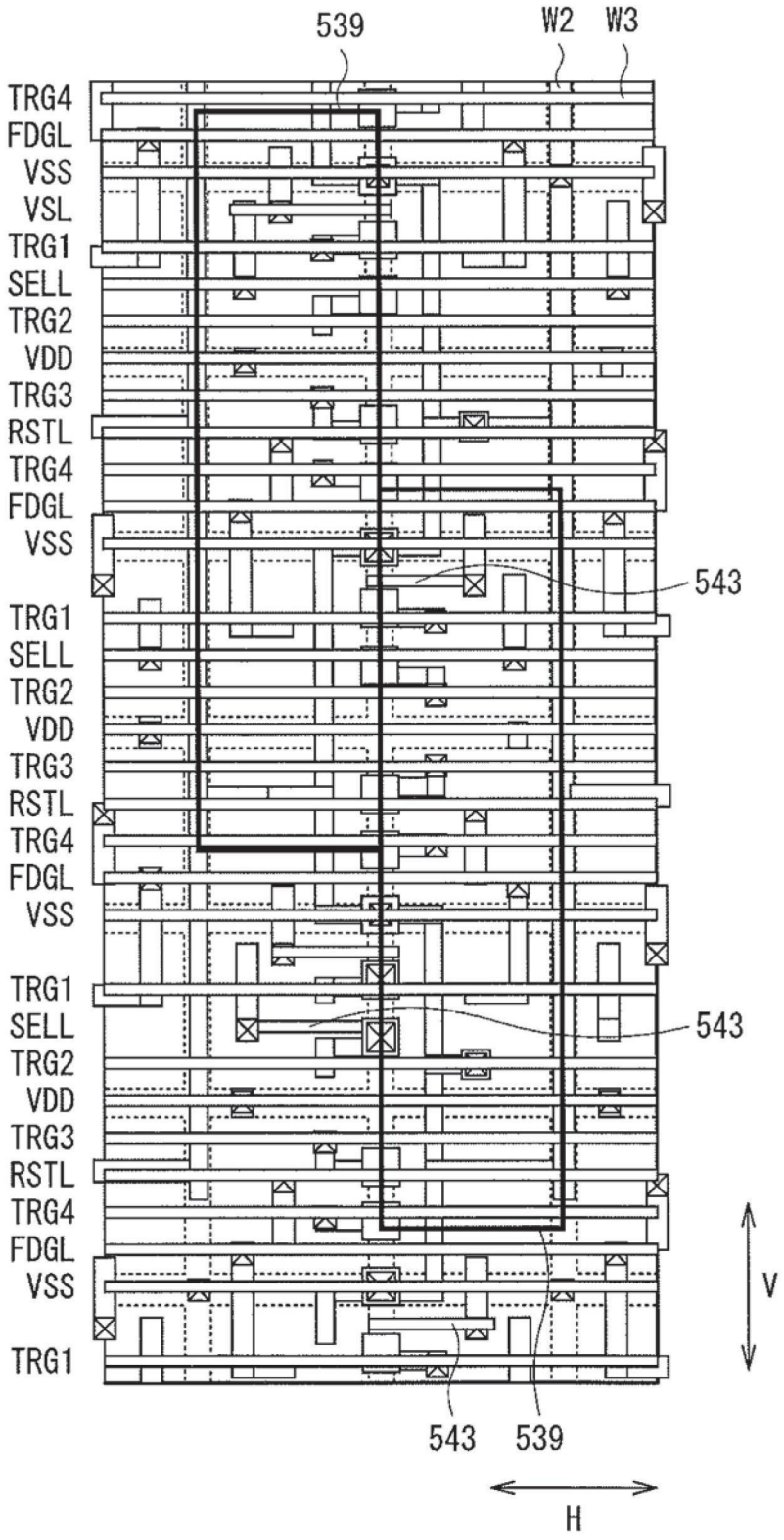
【圖76】


200S
212
200S
213
539
213
121
121E
SEL
TGV1
TGV2
AMP
120
120E
VDD
TGV3
TGV4
RST
121
121E
CC
TGV1
SEL
FDG
TGV2
AMP
FD
120
120E
VSS
TGV3
TGV4
RST
121
121E
CC
FDG
FD
VSS
V
539
H

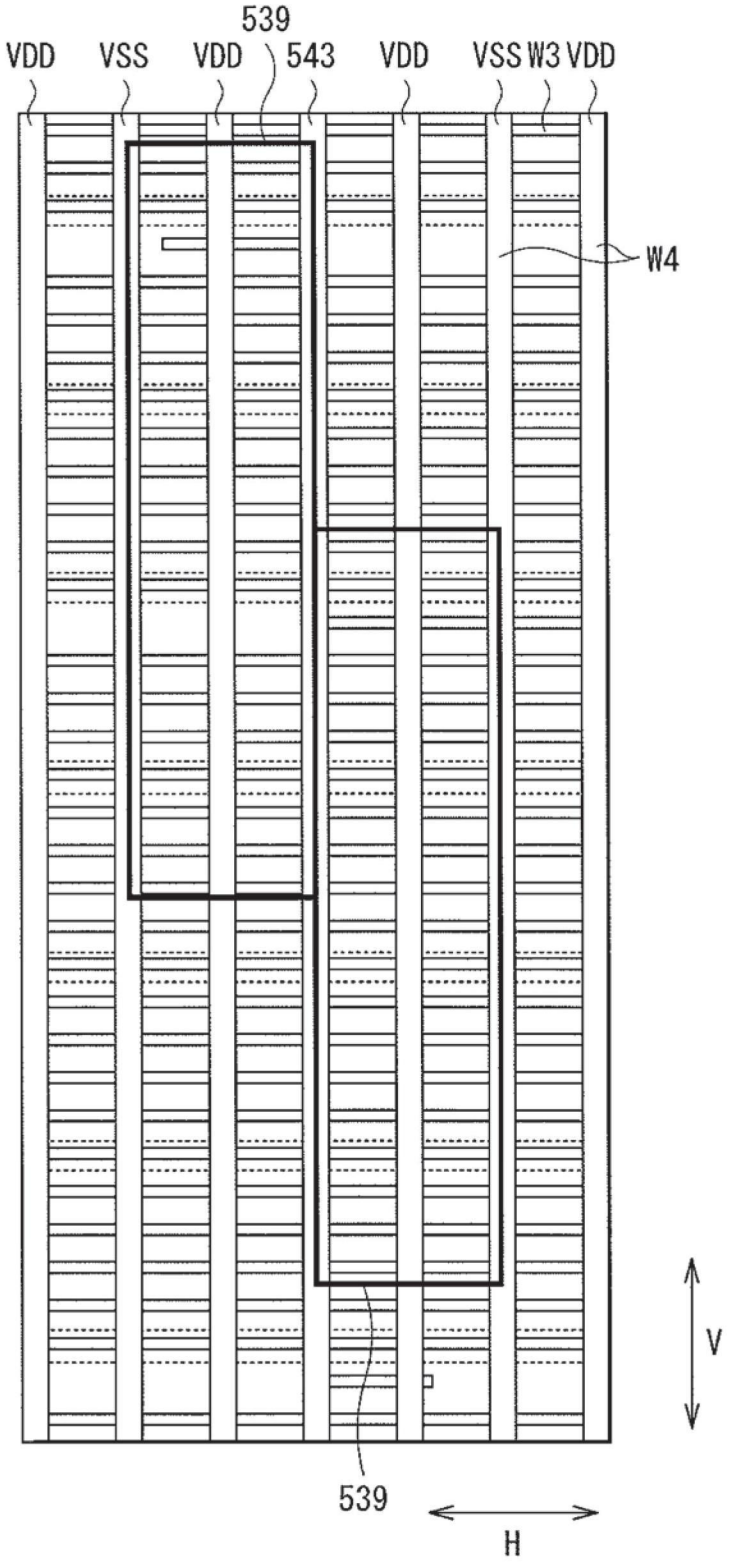
【圖77】


210
539
W1
W2
VSL
121E
VSS
TGV1
SEL
VDD
120E
TGV3
RST
FDG
TGV4
121E
VSS
210
TGV1
SEL
TGV2
VDD
120E
VSS
TGV3
TGV4
FDG
121E
VSS
VSS
VSS
V
539
H

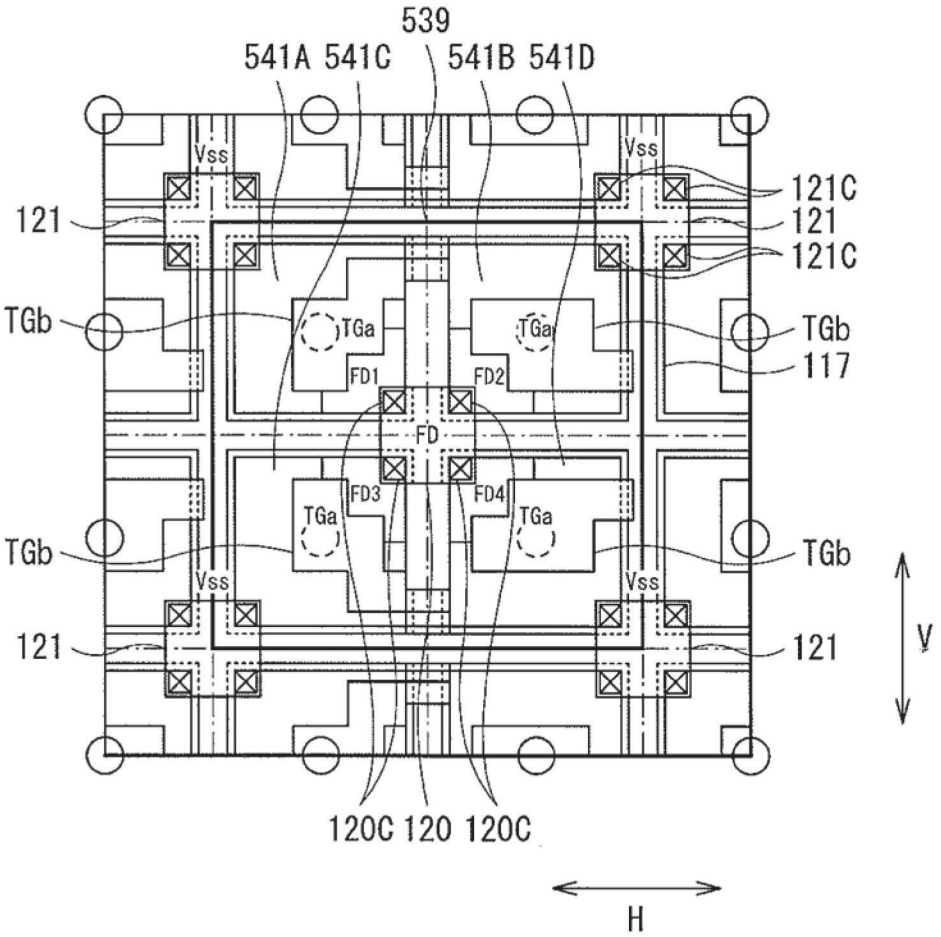
【圖78】


539
W2
W3
TRG4
FDGL
VSS
VSL
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
543
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
TRG1
543
V
543
539
H

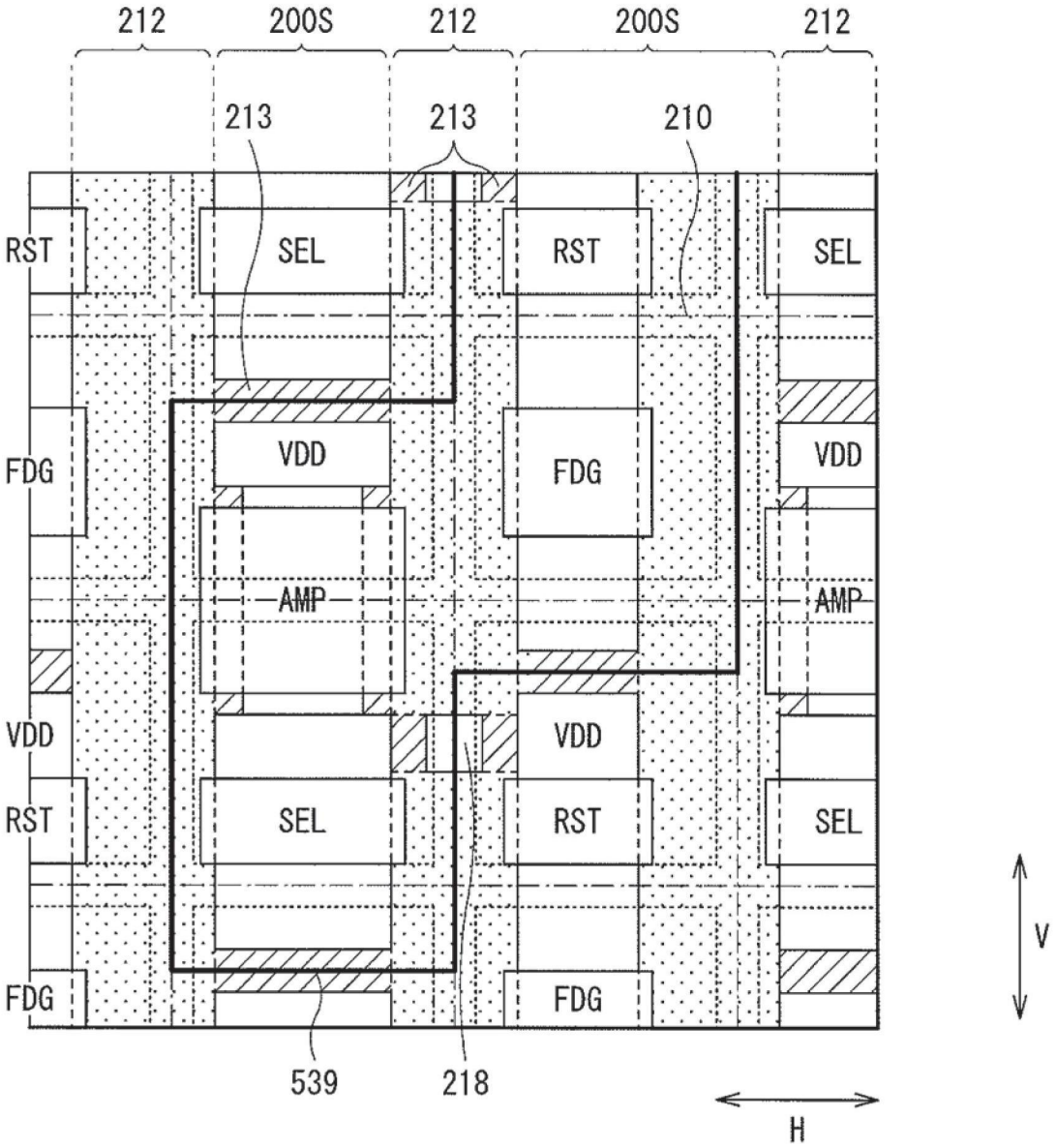
【圖79】



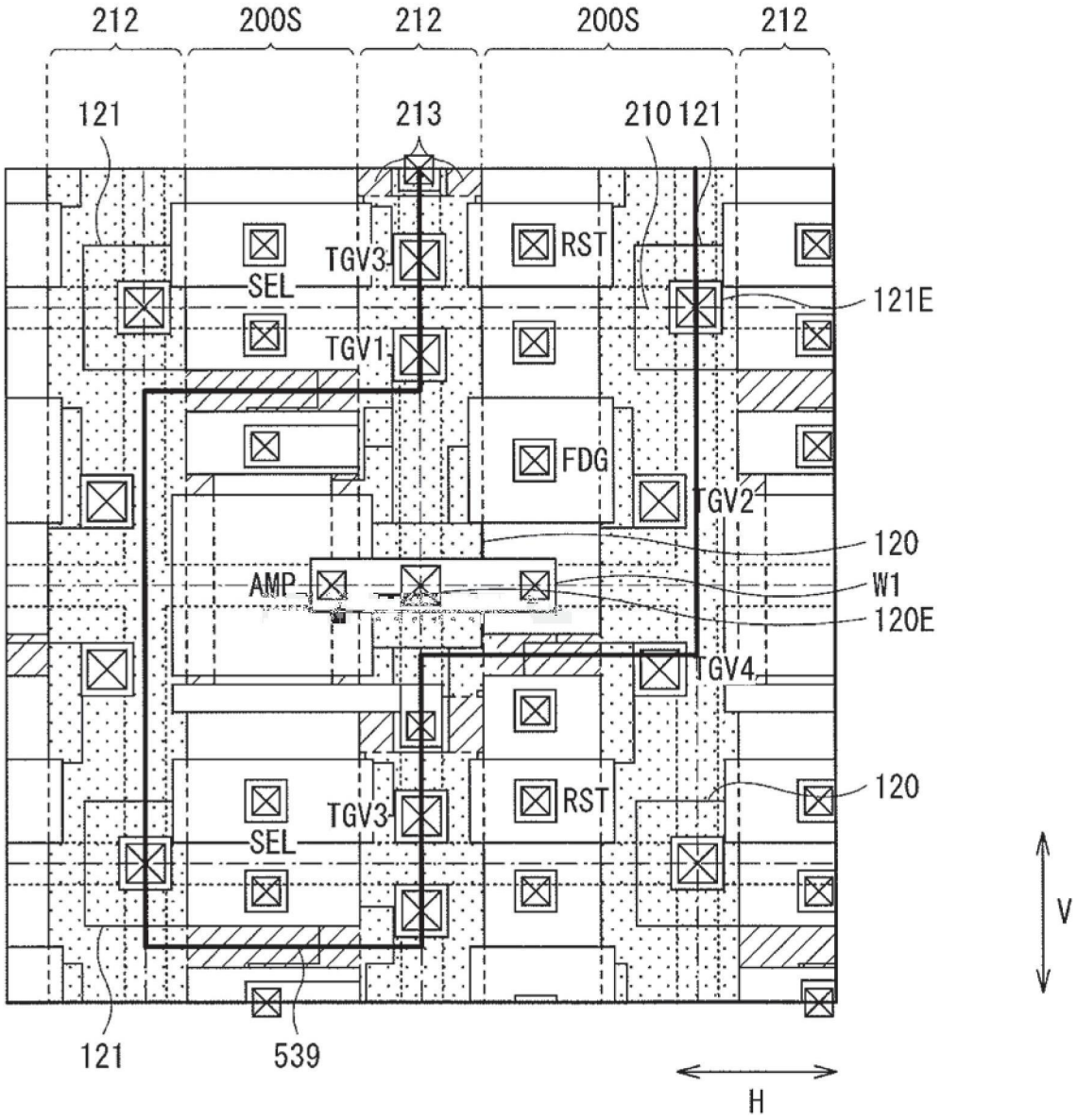
【圖80】


539
541A 541C
541B 541D
Vss
Vss
121C
121
121C
121
TGb
TGa
TGa
TGb
FD1
FD2
117
FD
FD3
FD4
TGa
TGa
TGb
TGb
Vss
Vss
121
121
V
120C 120 120C
H

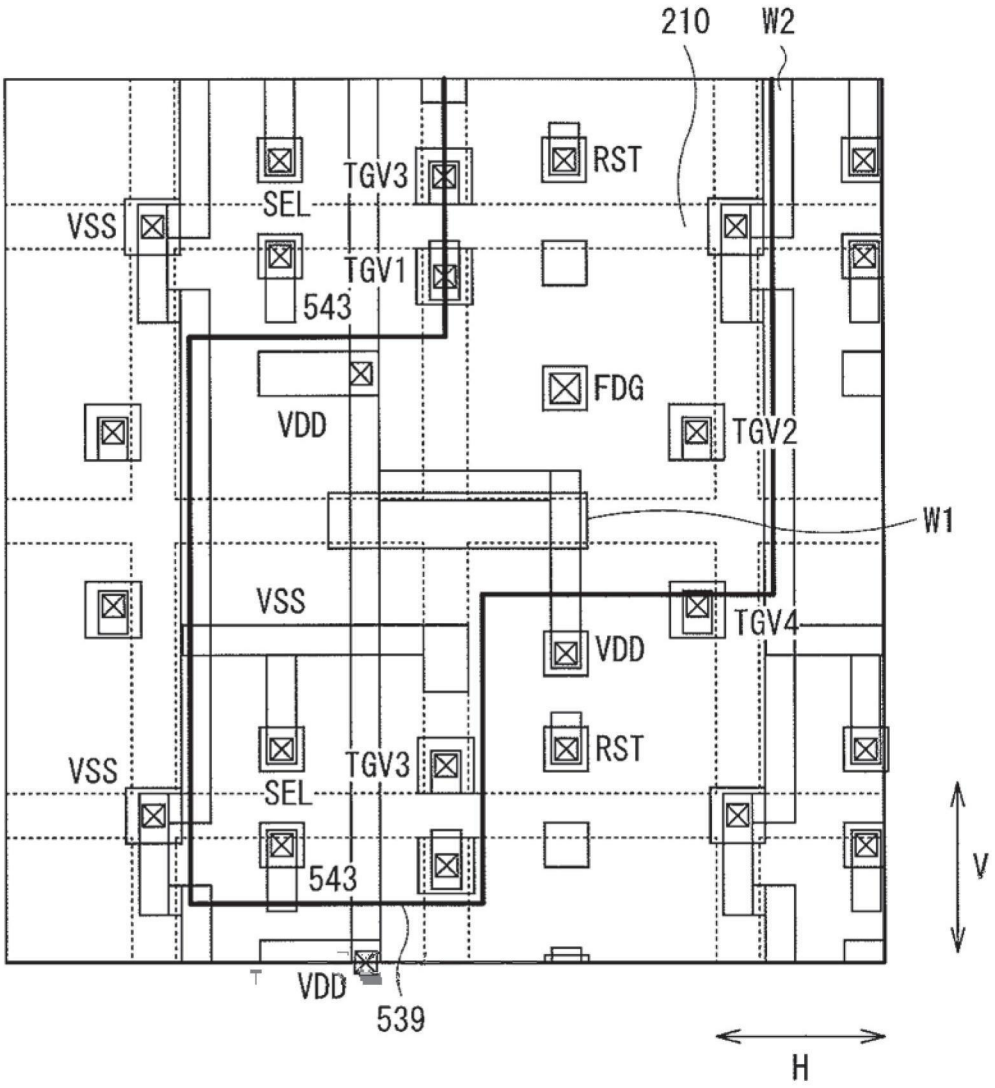
【圖81】


212
200S
212
200S
212
213
213
210
RST
SEL
RST
SEL
FDG
VDD
FDG
VDD
AMP
AMP
VDD
VDD
RST
SEL
RST
SEL
FDG
FDG
539
218
V
H

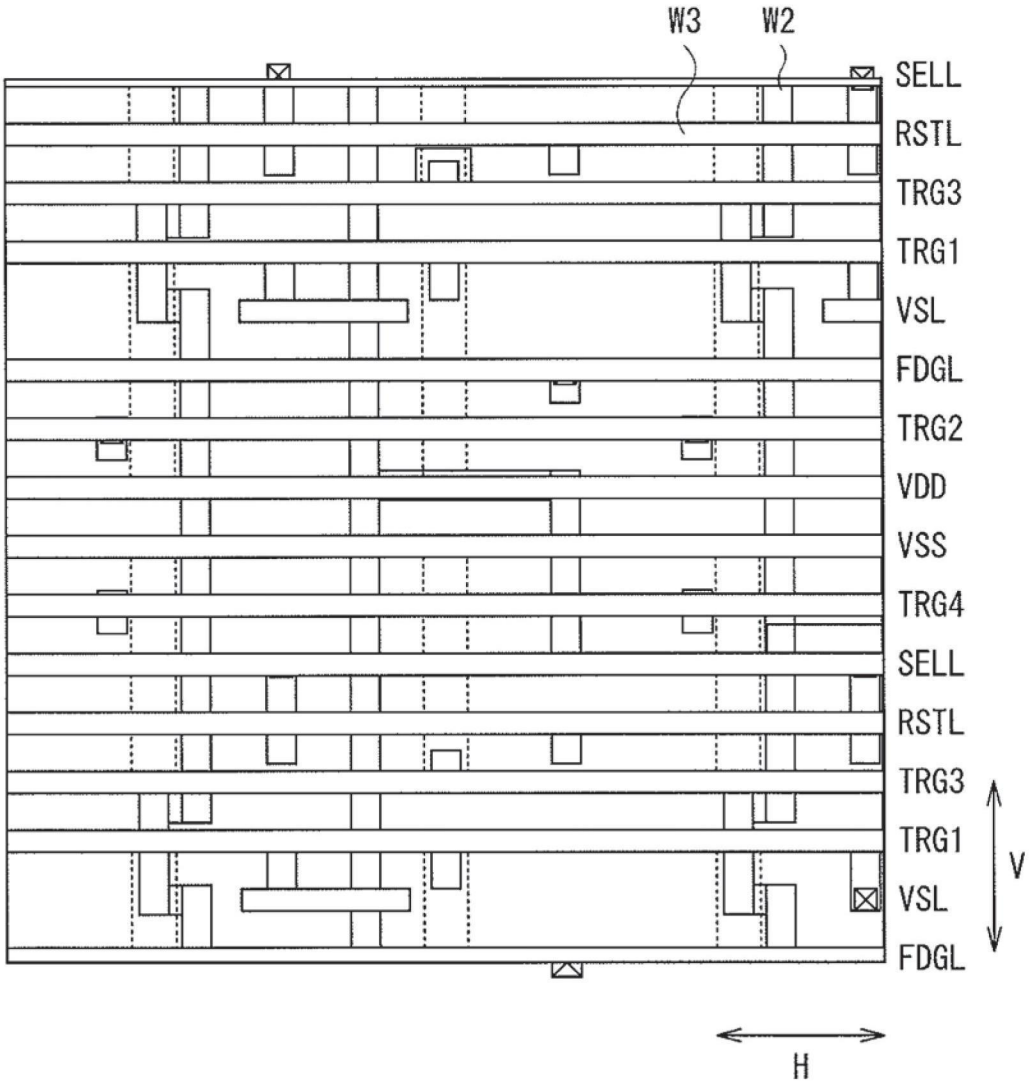
【圖82】


212
200S
212
200S
212
121
213
210
121
TGV3
SEL
RST
121E
TGV1
FDG
TGV2
120
AMP
W1
120E
TGV4
120
TGV3
SEL
RST
121
539
V
H

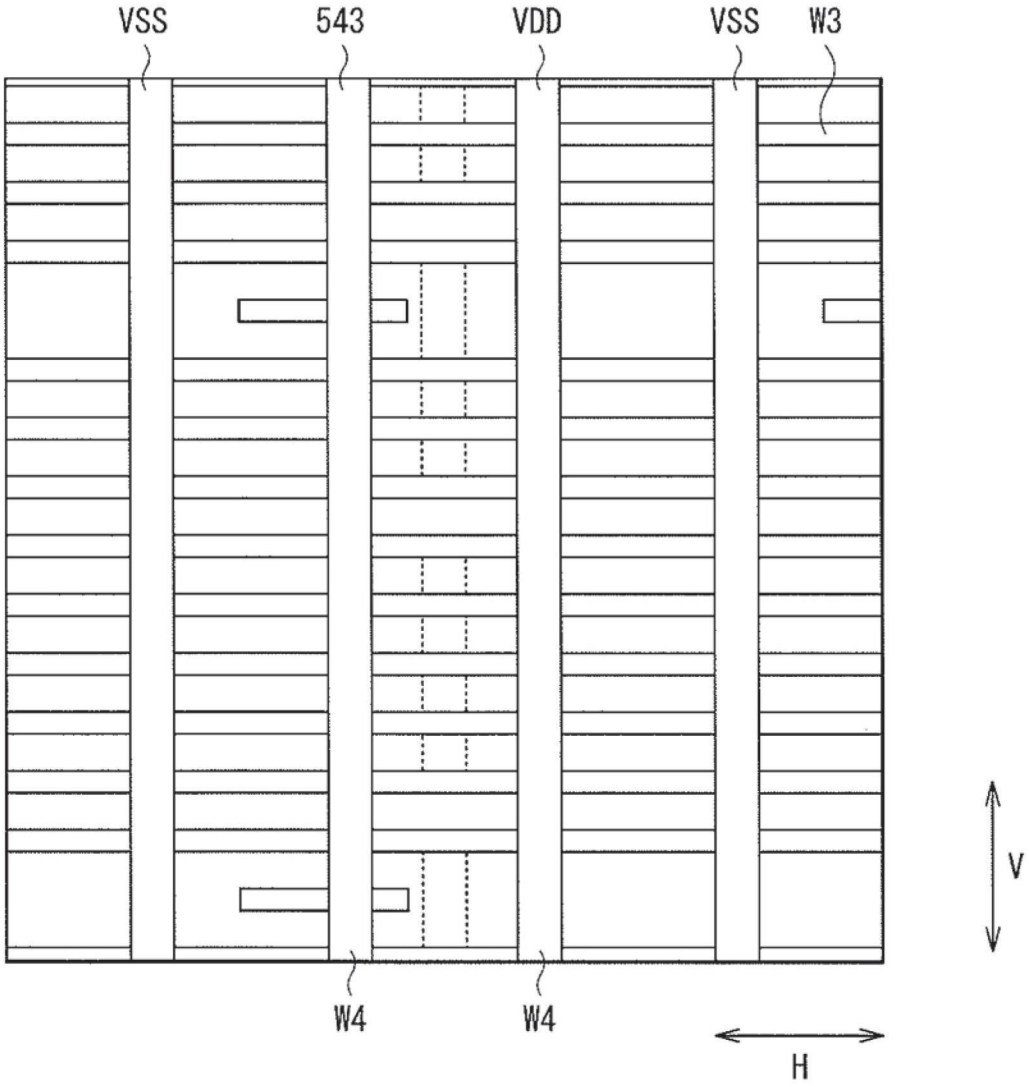
【圖83】


210
W2
RST
TGV3
SEL
VSS
TGV1
543
FDG
VDD
TGV2
W1
VSS
TGV4
VDD
RST
VSS
TGV3
SEL
543
VDD
539
V
H

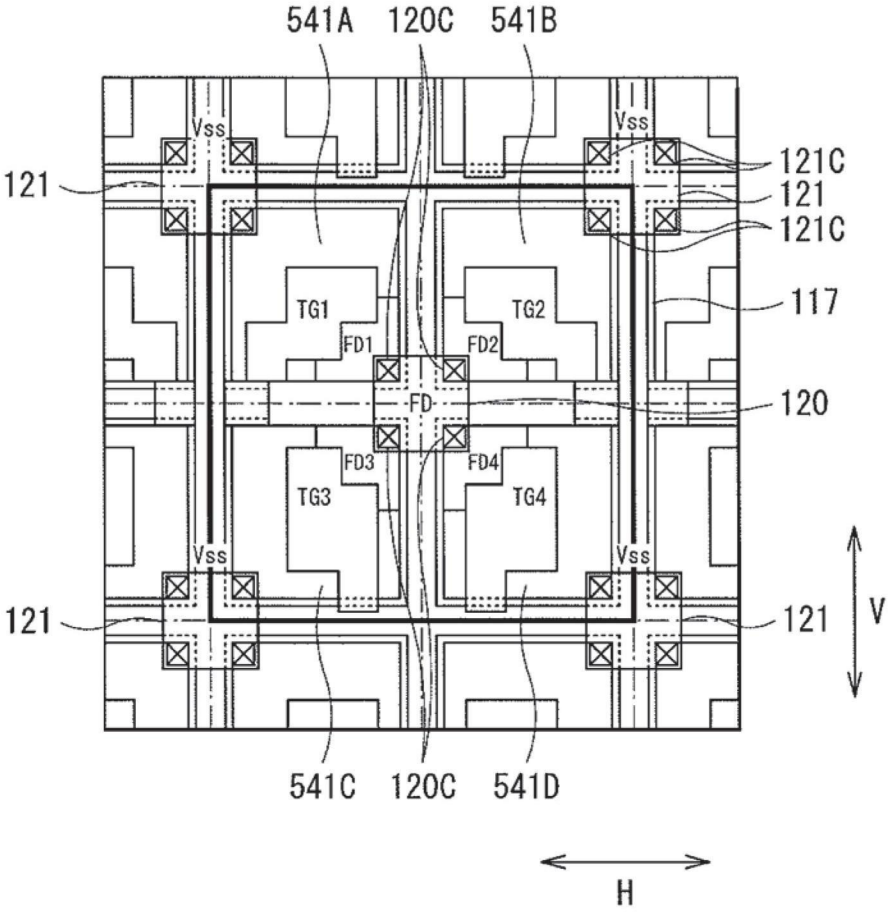
【圖84】


W3
W2
SELL
RSTL
TRG3
TRG1
VSL
FDGL
TRG2
VDD
VSS
TRG4
SELL
RSTL
TRG3
TRG1
VSL
FDGL
V
H

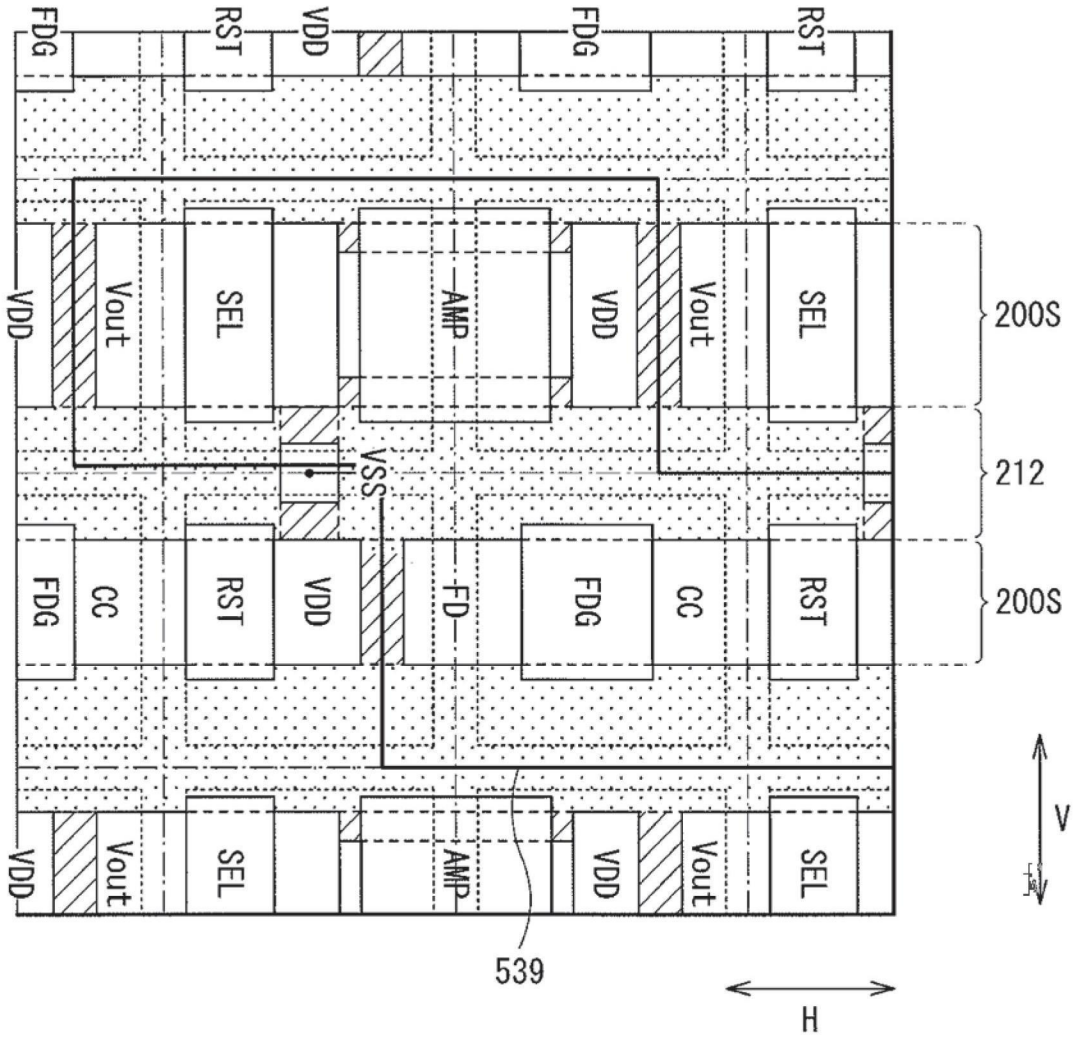
【圖85】



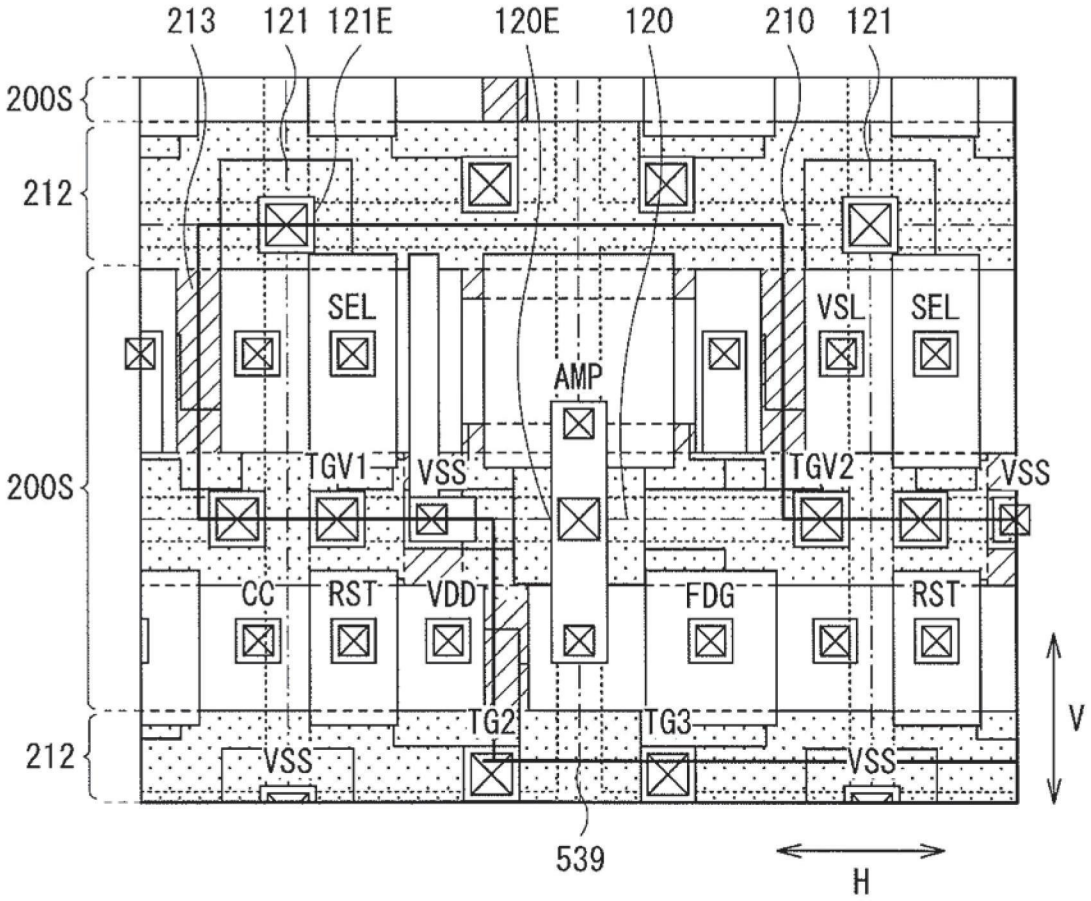
【圖86】


541A
120C
541B
Vss
Vss
121C
121
121C
121
TG1
TG2
117
FD1
FD2
FD
120
FD3
FD4
TG3
TG4
Vss
Vss
121
121
V
541C
120C
541D
H

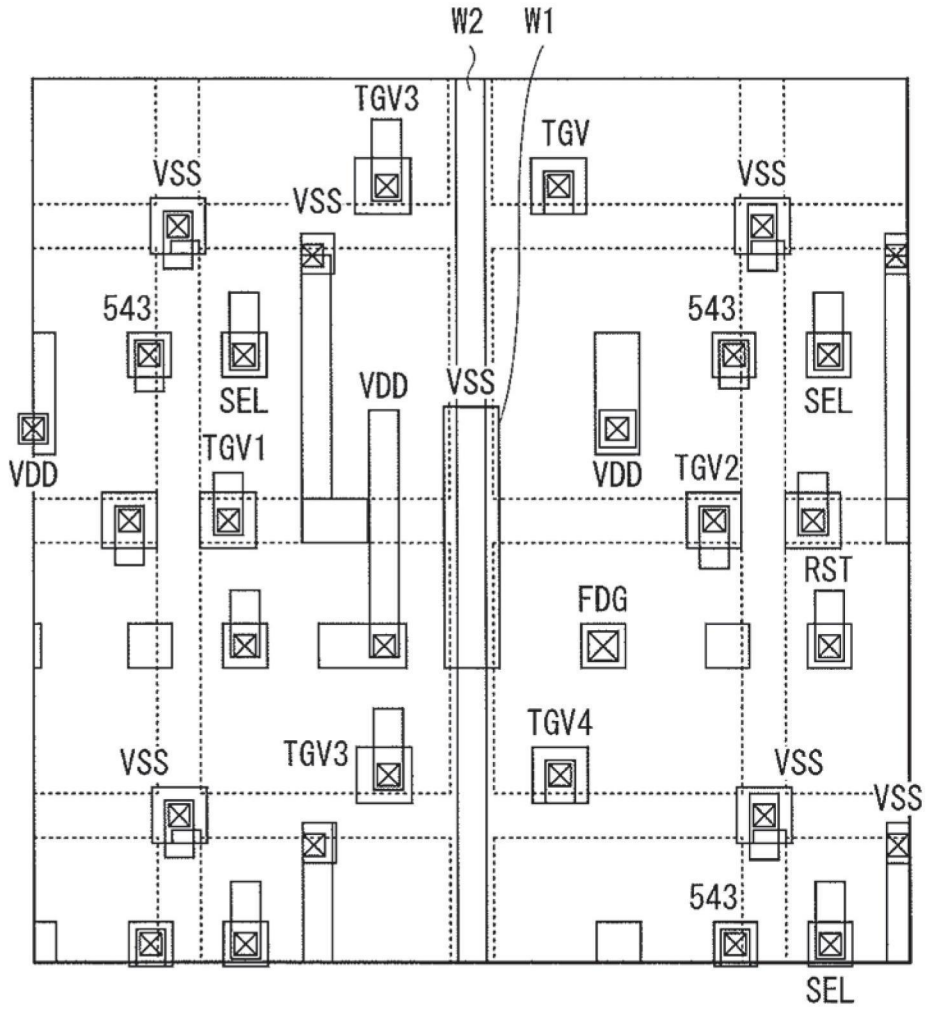
【圖87】


FDG
RST
VDD
FDG
RST
VDD
Vout
SEL
AMP
VDD
Vout
SEL
200S
212
VSS
FDG
CC
RST
VDD
FD
FDG
CC
RST
200S
VDD
Vout
SEL
AMP
VDD
Vout
SEL
539
V
H

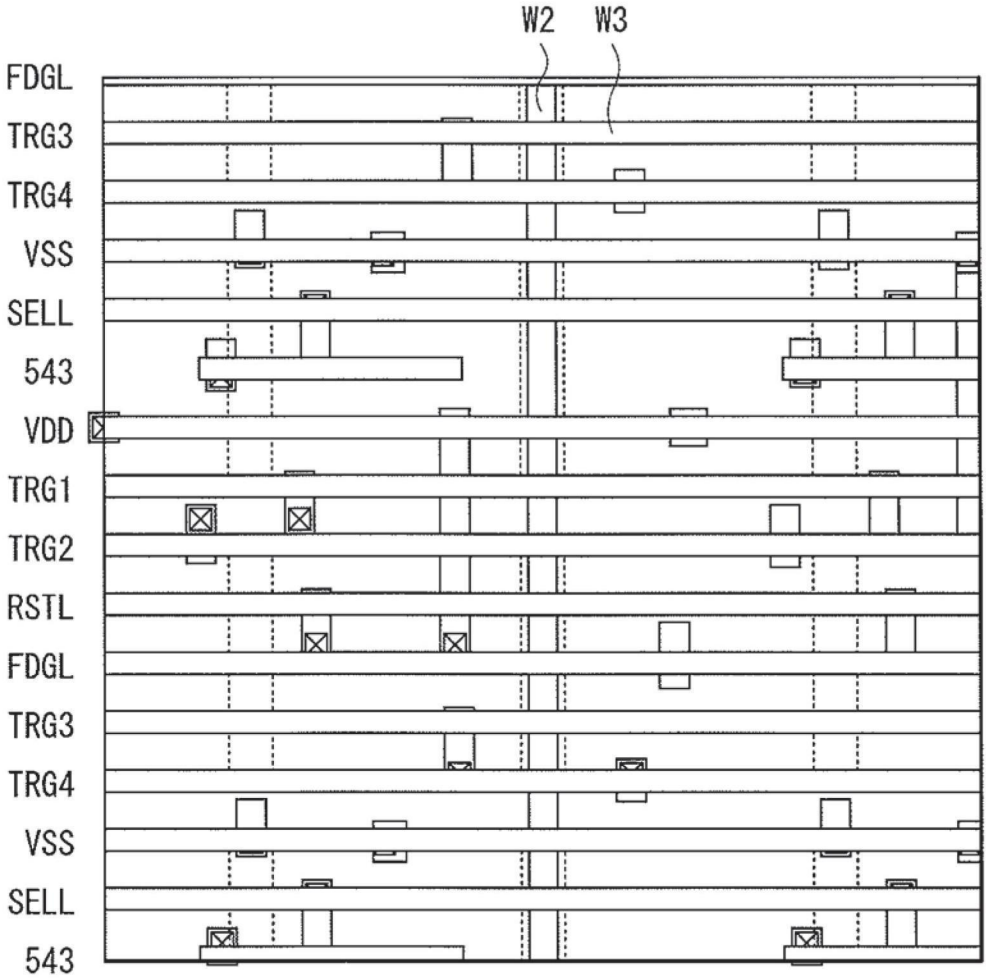
【圖88】


213
121
121E
120E
120
210
121
200S
212
200S
212
SEL
VSL
SEL
AMP
TGV1
VSS
TGV2
VSS
CC
RST
VDD
FDG
RST
TG2
TG3
VSS
VSS
539
V
H

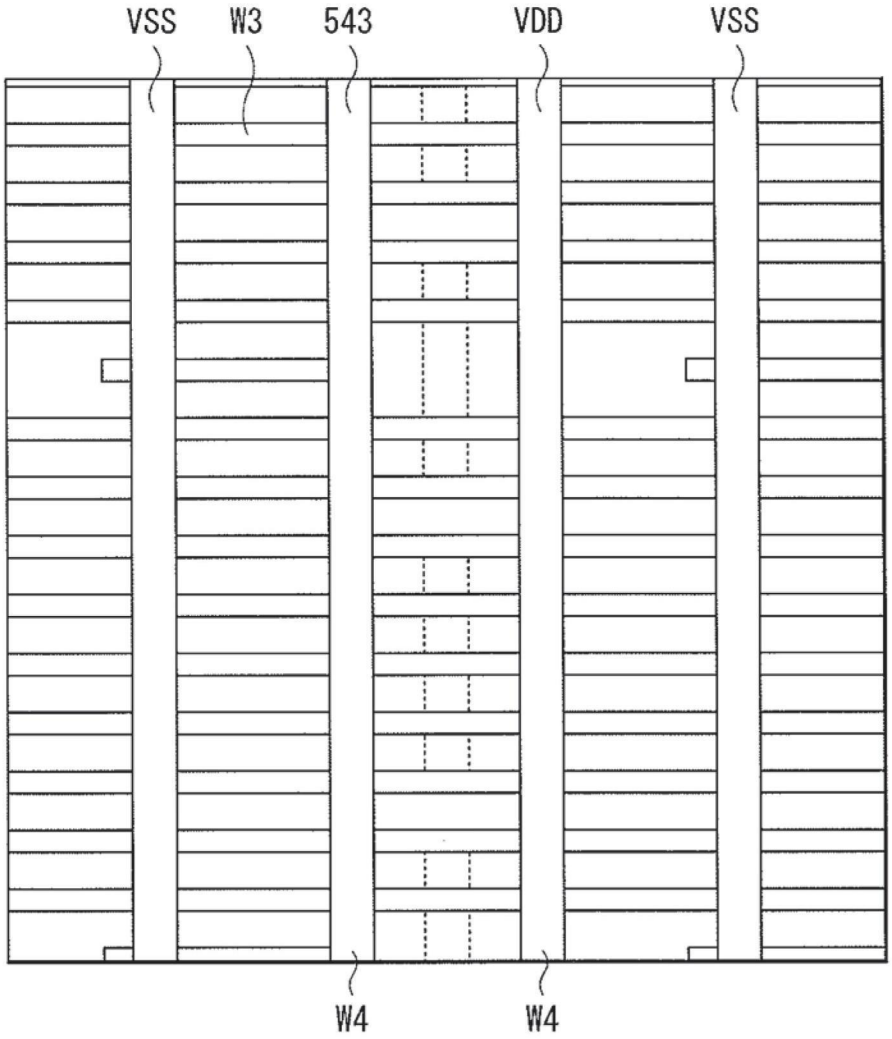
【圖89】


W2
W1
TGV3
TGV
VSS
VSS
VSS
543
543
SEL
SEL
VDD
VSS
VDD
VDD
TGV1
TGV2
RST
FDG
TGV4
TGV3
VSS
VSS
VSS
543
SEL

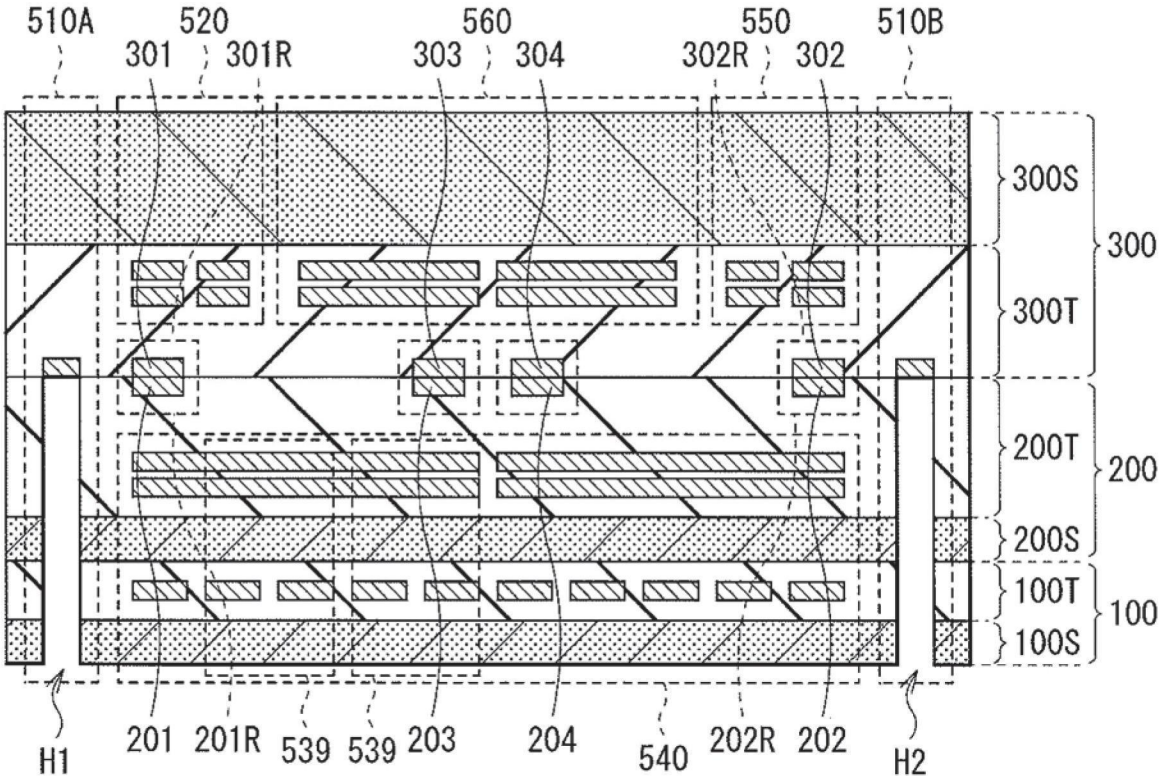
【圖90】


W2
W3
FDGL
TRG3
TRG4
VSS
SELL
543
VDD
TRG1
TRG2
RSTL
FDGL
TRG3
TRG4
VSS
SELL
543

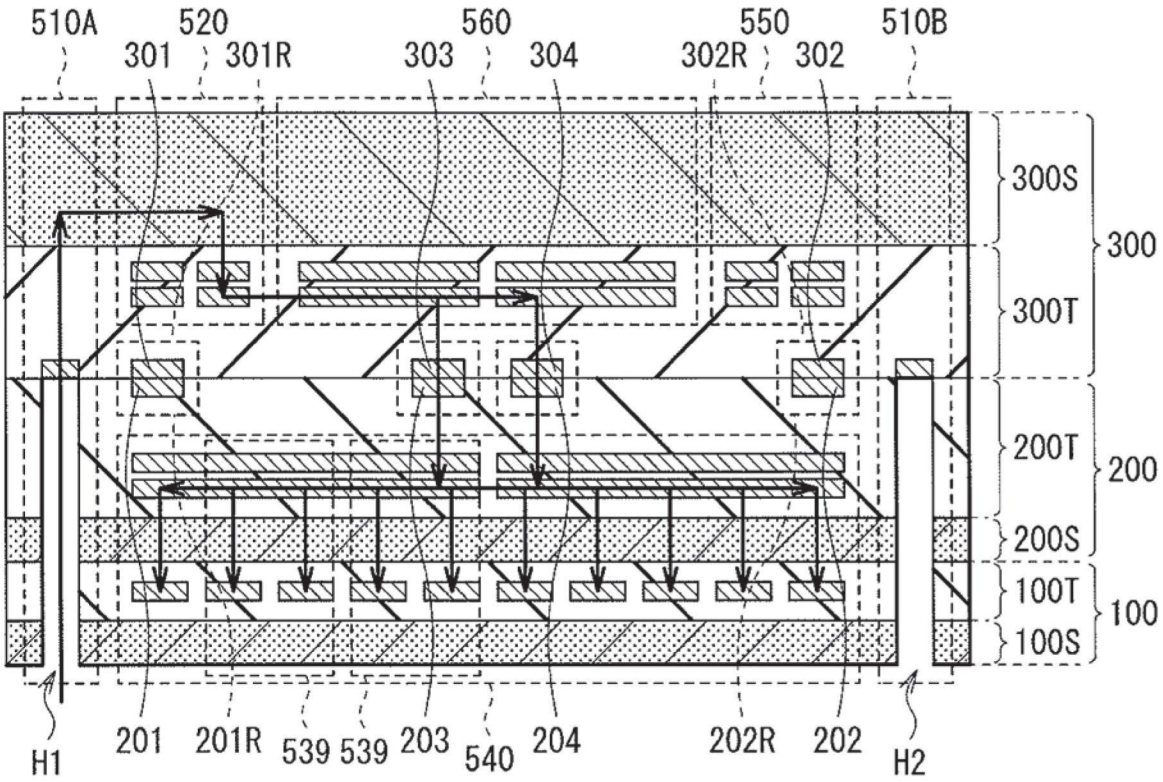
【圖91】



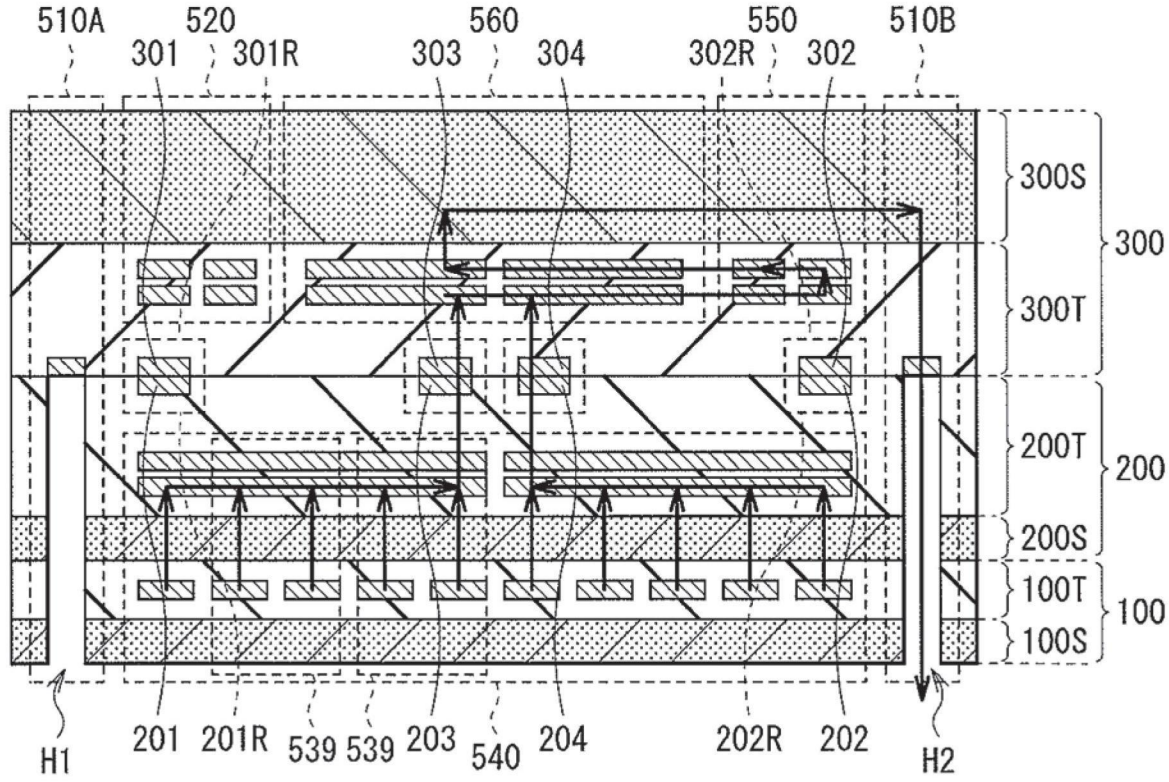
【圖92】


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300T
300
200T
200
200S
100T
100
100S
H1
201
201R
539
539
203
204
540
202R
202
H2

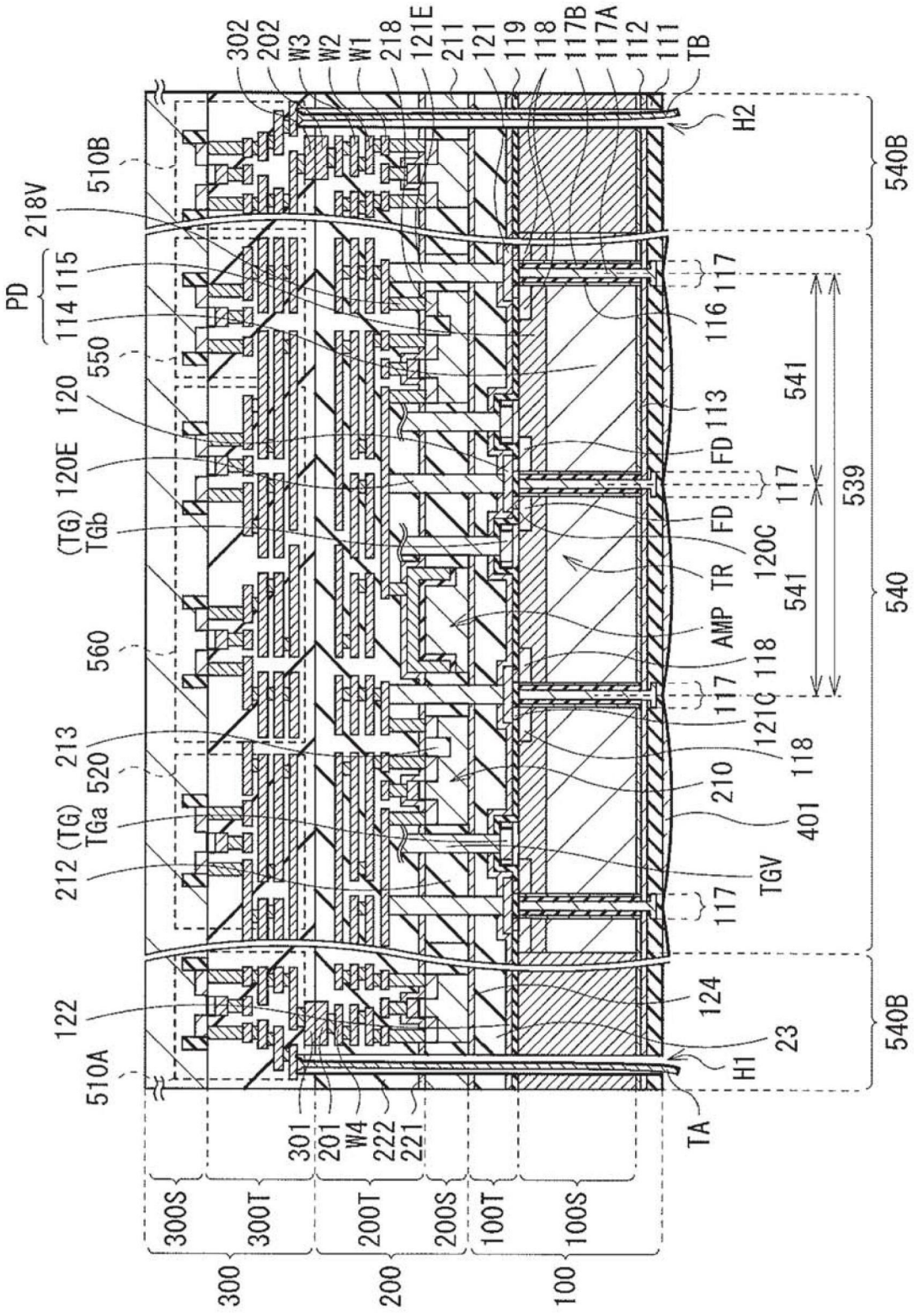
【圖93】


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300T
300
200T
200S
200
100T
100S
100
H1
201
201R
539
539
203
540
204
202R
202
H2

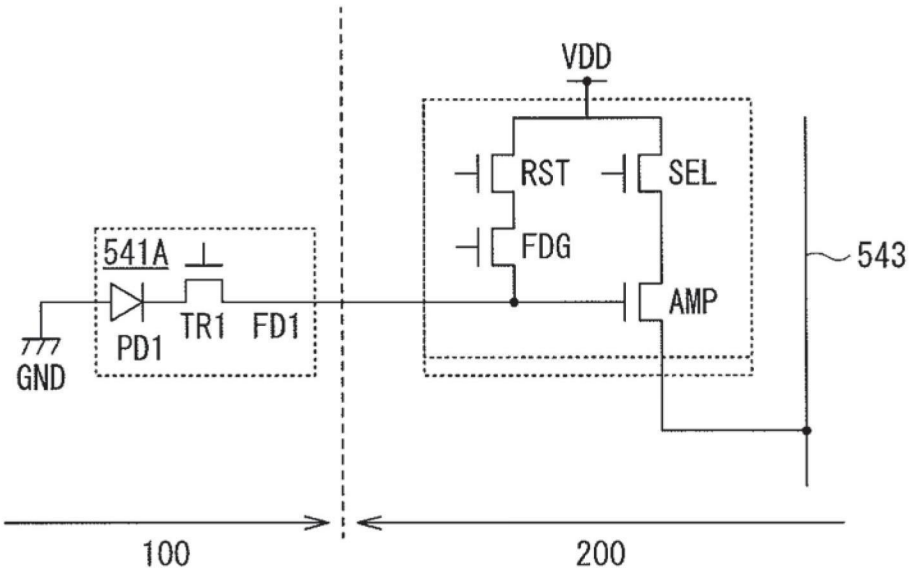
【圖94】


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300T
300
200T
200S
200
100T
100S
100
H1
201
201R
539
539
203
540
204
202R
202
H2

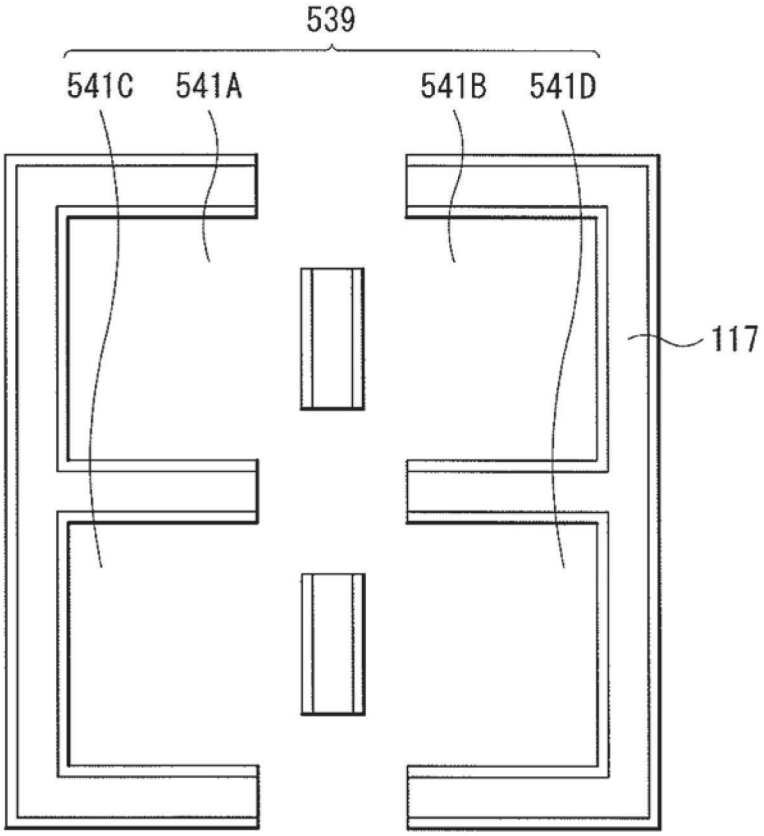
【圖95】


302
202
W3
W2
W1
218
121E
211
121
119
118
117B
117A
112
111
TB
H2
540B
510B
218V
PD
114
115
550
120
120E
(TG)
TGb
560
213
520
212
(TG)
TGa
122
510A
116
117
541
113
FD
539
120C
AMP
TR
118
121C
210
401
TGV
124
23
H1
TA
540
301
201
W4
222
221
300S
300T
200T
200S
100T
100S
300
200
100

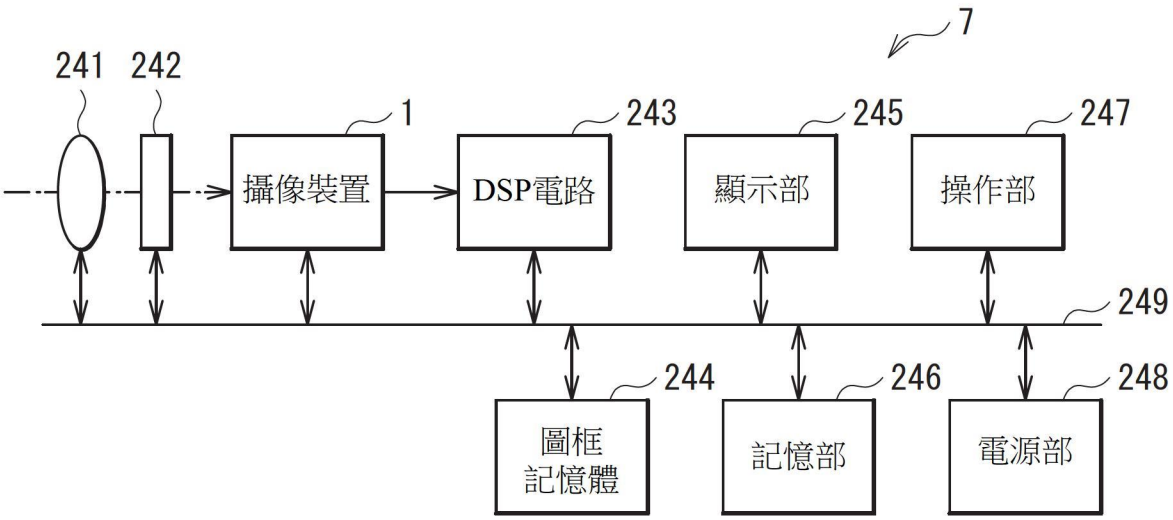
【圖96】


VDD
RST
SEL
FDG
AMP
543
541A
PD1
TR1
FD1
GND
100
200

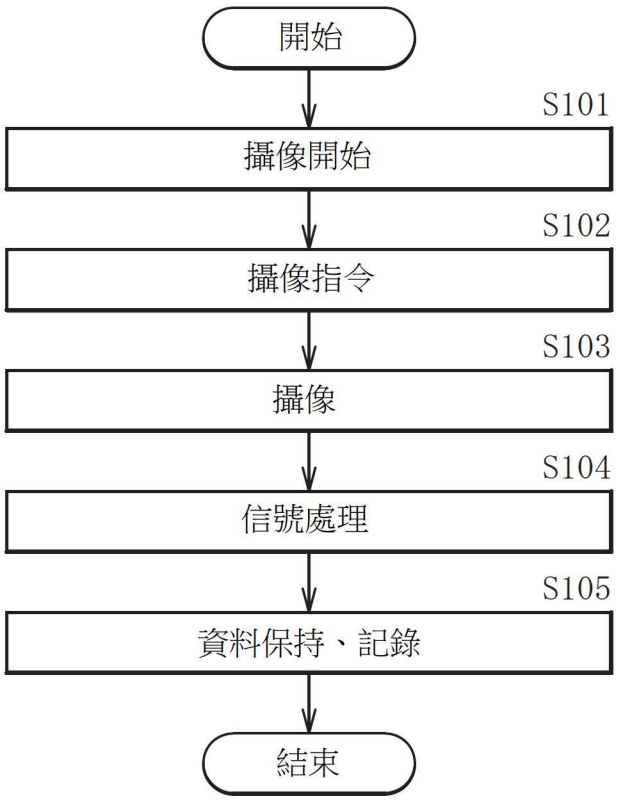
【圖97】


539
541C
541A
541B
541D
117

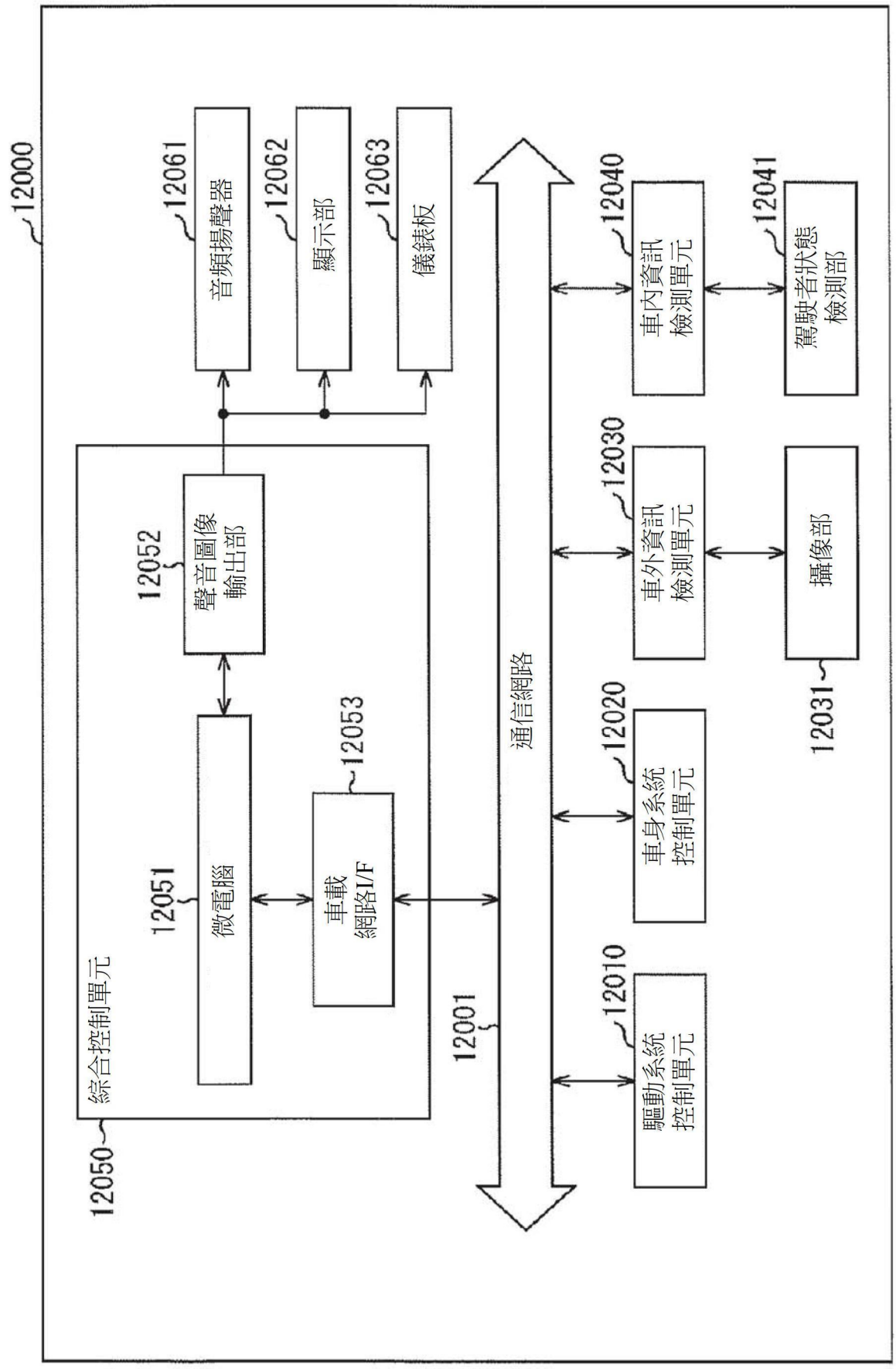
【圖98】


7
241
242
1
243
245
247
攝像裝置
DSP電路
顯示部
操作部
249
244
246
248
圖框
記憶體
記憶部
電源部

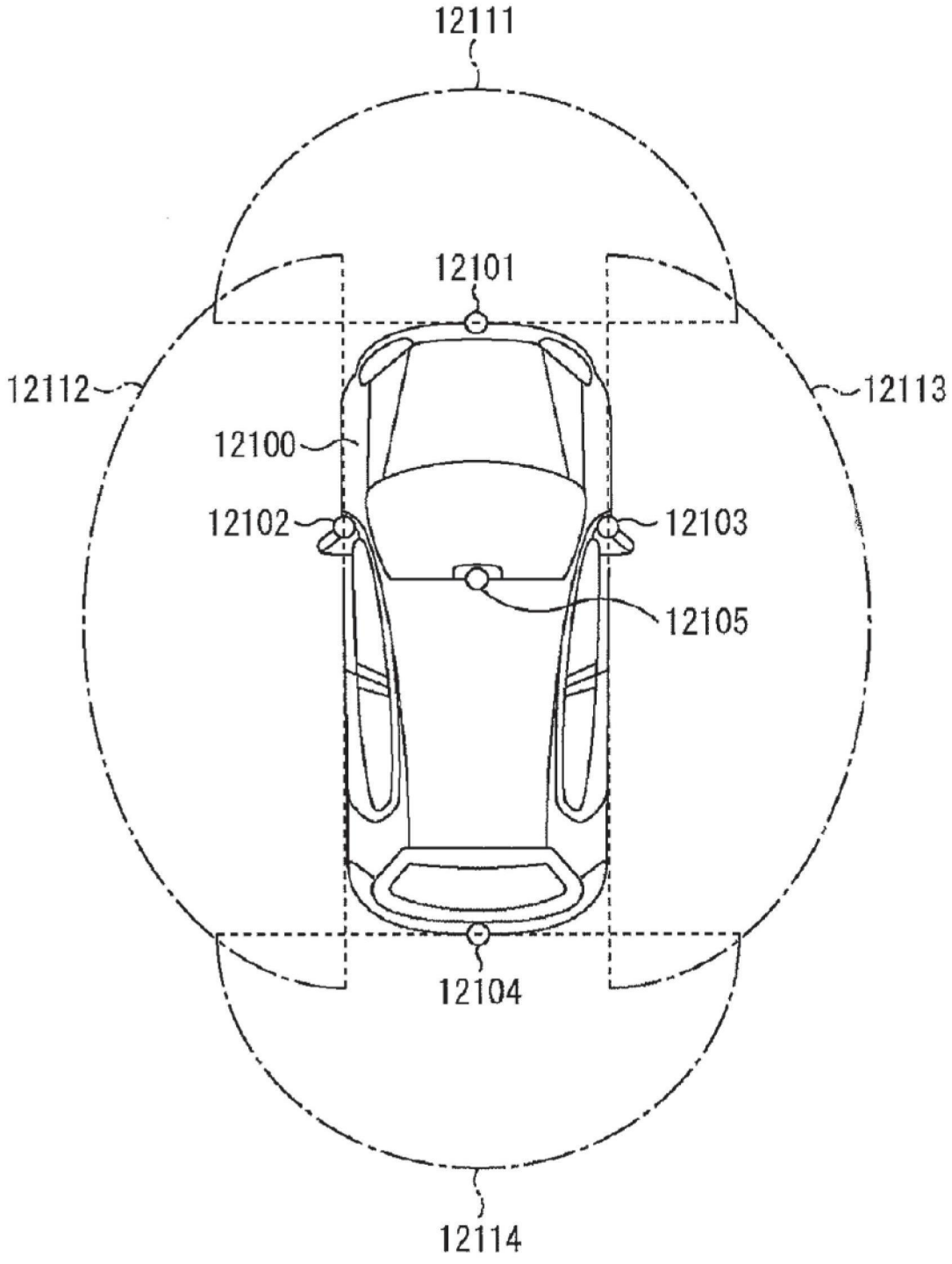
【圖99】


開始
S101
攝像開始
S102
攝像指令
S103
攝像
S104
信號處理
S105
資料保持、記錄
結束

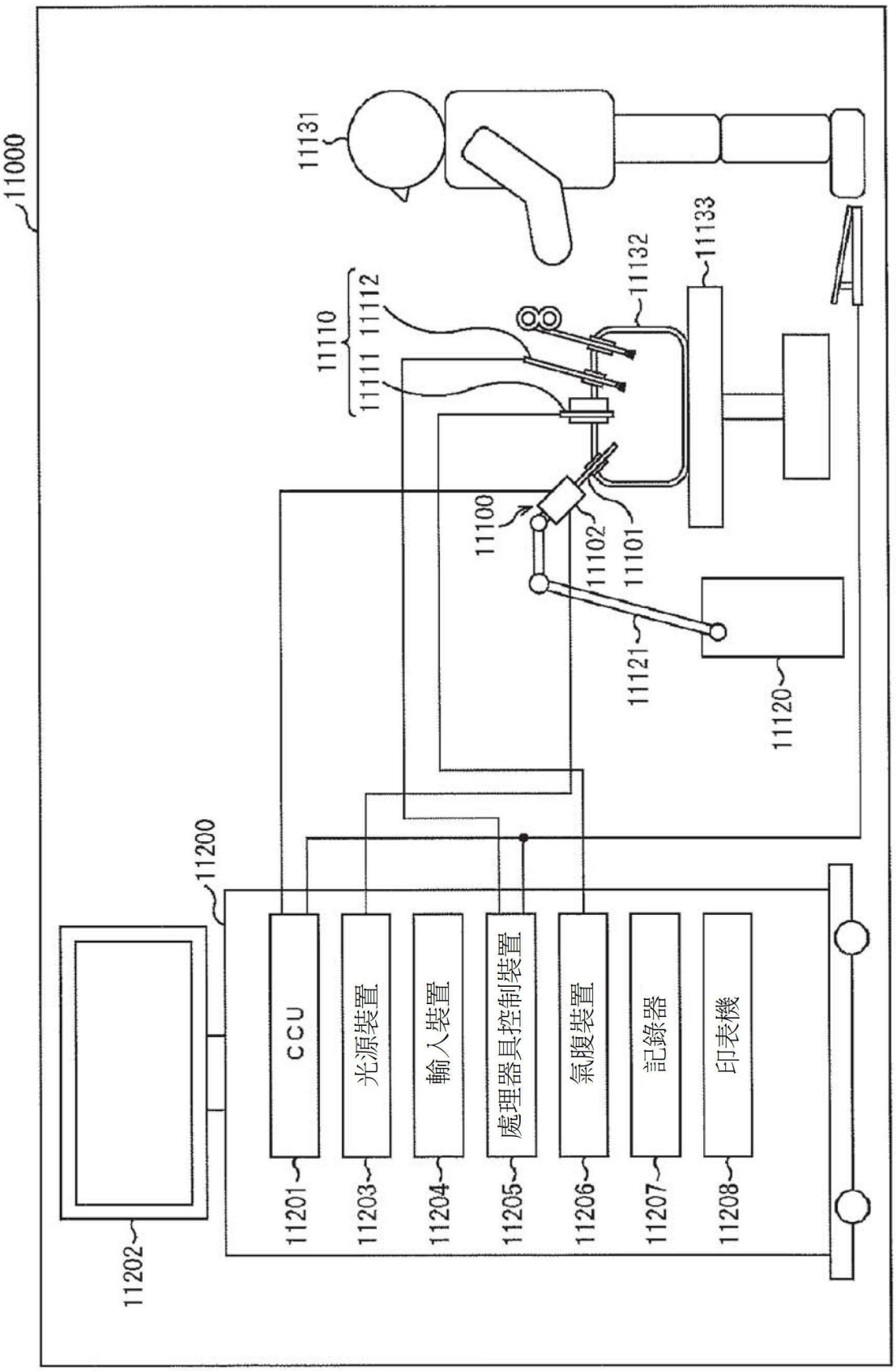
【圖100】


12000
12061
音頻揚聲器
12062
顯示部
12063
儀錶板
12052
聲音圖像
輸出部
12053
車載
網路I/F
12051
微電腦
綜合控制單元
12050
通信網路
12001
12040
車內資訊
檢測單元
12041
駕駛者狀態
檢測部
12030
車外資訊
檢測單元
12031
攝像部
12020
車身系統
控制單元
12010
驅動系統
控制單元

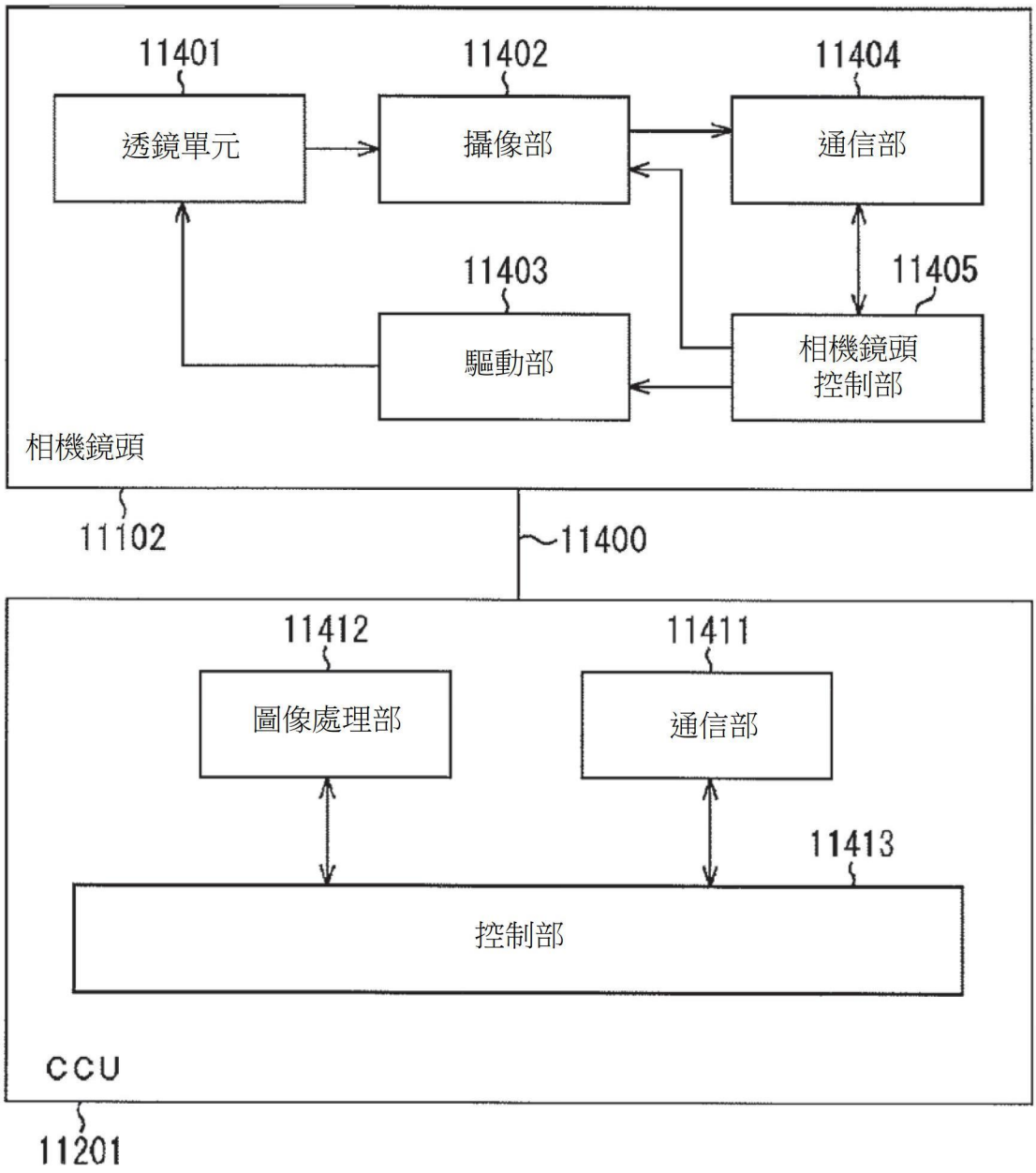
【圖101】


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

【圖102】


11000
11131
11133
11132
11110
11112
11111
11100
11102
11101
11121
11120
11200
CCU
光源裝置
輸入裝置
處理器具控制裝置
氣腹裝置
記錄器
印表機
11201
11203
11204
11205
11206
11207
11208
11202

【圖103】


11401
透鏡單元
11402
攝像部
11404
通信部
11403
驅動部
11405
相機鏡頭
控制部
相機鏡頭
11102
11400
11412
圖像處理部
11411
通信部
11413
控制部
CCU
11201

【圖104】