



(12)发明专利

(10)授权公告号 CN 104409097 B

(45)授权公告日 2017.10.13

(21)申请号 201410529867.6

(56)对比文件

(22)申请日 2014.10.10

CN 101910975 A, 2010.12.08,

(65)同一申请的已公布的文献号

CN 103426453 A, 2013.12.04,

申请公布号 CN 104409097 A

CN 102298440 A, 2011.12.28,

(43)申请公布日 2015.03.11

US 2007/0127178 A1, 2007.06.07,

(73)专利权人 北京航空航天大学

JP 特开2011-174827 A, 2011.09.08,

地址 100191 北京市海淀区学院路37号

审查员 郑婷

(72)发明人 赵恒 成元庆 郭玮 赵巍胜

(74)专利代理机构 北京慧泉知识产权代理有限公司 11232

代理人 王顺荣 唐爱华

(51)Int.Cl.

G11C 16/02(2006.01)

G11C 16/06(2006.01)

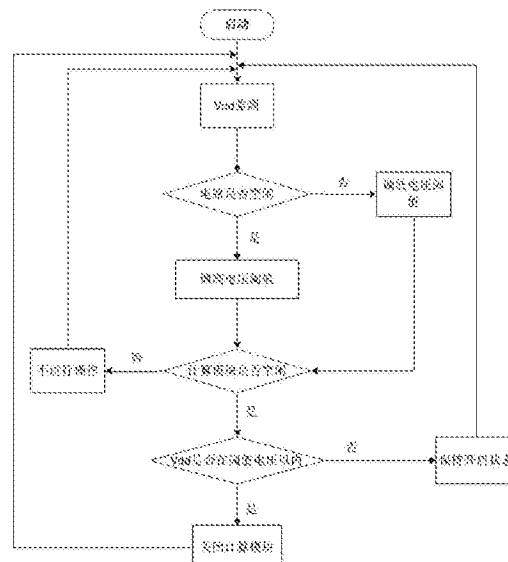
权利要求书1页 说明书3页 附图3页

(54)发明名称

一种利用电源检测实现非易失性异步逻辑电路的低功耗控制方法

(57)摘要

一种利用电源检测实现非易失性异步逻辑电路的低功耗控制方法，该方法有三大步骤：步骤一：获得Vdd监测信号；电路中需要设计一个实时监测并处理Vdd波动的模块，该模块的作用是将逻辑计算单元开关所引起的Vdd的压降记录下来，且对幅度和频率敏感，能够对Vdd波动幅度和频率的变化作出相应的响应，为利用Vdd变化来控制计算模块关闭/启动的决策提供依据；步骤二：利用步骤一中获得的Vdd监测信号，决定计算模块是否采取相应的操作来适应电路的工作状态；步骤三：通过计算模块操作对Vdd的反馈，对电压阈值进行动态调整，来获取最优电压阈值。本发明通过反馈来实时控制计算单元的关闭/启动，大幅降低电路的静态功耗。



1. 一种利用电源检测实现非易失性异步逻辑电路的低功耗控制方法，其特征在于：该方法具体步骤如下：

步骤一：获得Vdd监测信号；电路中需要设计一个实时监测并处理Vdd波动的模块，该模块的作用是将逻辑计算单元开关所引起的Vdd的压降记录下来，且对幅度和频率敏感，能够对Vdd波动幅度和频率的变化作出相应的响应，为利用Vdd变化来控制计算模块关闭/启动的决策提供依据；

步骤二：利用步骤一中获得的Vdd监测信号，决定计算模块是否采取相应的操作来适应电路的工作状态；当Vdd的波动范围在阈值内时，电路工作状态被认为是低负荷状态，此时空闲计算模块将进入关闭状态，而当需要启动该模块的时候，与该模块即将进行数据交互的模块负责发送激活信号，启动关闭的计算模块进入工作模式；所述计算模块的每个计算单元进入关闭状态之前，需要将数据存储在非易失性器件中；当计算单元再次被激活时，数据从非易失性器件中读出，因而立即启动而不需重新从外部存储器中加载数据；

步骤三：通过计算模块操作对Vdd的反馈，对电压阈值进行动态调整，来获取最优电压阈值；对阈值的调整和Vdd频率的波动强相关，当频率波动变大时，阈值应调小来避免计算模块的反复开关；反之，则将阈值调大，避免频繁的计算模块工作模式切换；

所述非易失性器件为磁性隧道结、忆阻器或相变存储器。

一种利用电源检测实现非易失性异步逻辑电路的低功耗控制方法

技术领域

[0001] 本发明基于非易失性器件(如磁性隧道结、忆阻器或相变存储器等)的异步逻辑电路,利用异步电路对不同任务电路进行不同的响应的特性,采用反馈控制的手段,提出了一种利用电源检测实现非易失性异步逻辑电路的低功耗控制方法,它是一种利用器件非易失性特性动态调整异步电路工作单元来降低功耗的控制方法。属于非易失性低功耗电路设计领域。

背景技术

[0002] 随着集成电路的高速发展,晶体管集成度迅速增加,电路复杂度不断增大,同步设计技术在设计、制造和应用中的局限性和缺陷日益凸显。异步电路设计方法作为新的设计方法和对同步设计方法的补充,成为片上系统设计的研究热点。与同步系统相比,异步系统由于没有同步时钟可以大幅降低动态功耗,且对集成电路的工艺偏差具有更强的鲁棒性,这对于基于深亚微米加工工艺的集成电路具有重要意义。

[0003] 新型半导体器件如磁性隧道结、忆阻器和相变存储器等除了低能耗,还具有非易失以及抗辐射等优良特性。它们在集成电路中的应用使得设计非易失性逻辑电路成为可能。

[0004] 和传统的同步电路相比,采用非易失性逻辑的异步电路具有以下几方面的优势:

[0005] 1.异步电路采用模块化设计,执行计算任务不依赖时钟信号触发,通过各模块间的通信来传递完成信号。和同步电路信号时间离散化相比,异步电路的信号时间连续,信号可以随时有效,一旦信号有效即可立即送出,无需像同步电路等待时钟信号特定边沿触发。在理论上异步设计的速度性能优于同步设计。

[0006] 2.低功耗。异步电路中动作的推进和传递不依靠时钟节拍,而是通过计算模块之间的握手信号交互进行。握手信号是否送出由数据的有效与否决定,这种数据驱动的方式使得电路不会进行无必要的操作,大幅降低了动态功耗。

[0007] 3.非易失性。由于电路中采用了基于电子的自旋特性的器件,数据在计算模块中的存储无需耗费额外的能源来维持,一方面可以大幅降低静态功耗,另一方面可以实现系统的快速启动。

[0008] 和成熟的同步设计方法相比,异步设计方法还存在一些具体的问题。在异步电路中,由于信号有效时间未被离散化,设计时需要仔细考虑电路每一时刻的工作状态,对如何处理电路中出现的亚稳态要加以考虑。为了实现低功耗电路的设计目标,给出计算模块关闭/启动的边界条件成为设计中面临的一个具体问题。为了解决这一问题,本发明利用电源电压Vdd的实时监测信号,采用负反馈控制的方法,来给出计算模块关闭/启动的最优电压阈值,避免造成电路的亚稳态,同时实现低功耗的设计目标。

发明内容

[0009] 1、发明目的：本发明的目的是提供一种利用电源检测实现非易失性异步逻辑电路的低功耗控制方法，它是采用一种新型的非易失性异步电路，基于Vdd电压监测，通过反馈来实时控制计算单元的关闭/启动，大幅降低电路的静态功耗。

[0010] 2、技术方案：集成电路中，电源电压Vdd会随着电路的工作状态的不同产生波动，当电路处在低负荷工作状态时，这种波动的幅度和频率都会减小，反之则波动的幅度和频率会增大。由于在异步电路中，电路由数据驱动，可以不依赖时钟，且又因为采用了具有非易失性的器件，维持数据无需供电。所以在计算单元闲时将其关闭，在任务到来时再将其启动，可以极大幅度地减小电路的静态功耗。但当电路处在高负荷工作状态时，若频繁地关闭/启动计算单元，造成电路的亚稳态，反而会导致更大的能耗。

[0011] Vdd-tracking是一种实时监测电路电源电压Vdd的技术，通过该技术，可以获取变化的Vdd信号，此信号可作为判断电路工作状态的重要依据。

[0012] 可以找到一个临界状态，当Vdd的频率和振幅大于该临界状态时，认为电路处于高负荷工作状态，若关闭空闲计算单元，可能造成电路亚稳态。而当Vdd的频率和振幅小于该临界状态时，关闭空闲状态计算单元造成电路亚稳态的概率将大大减小，于是该临界状态的判断可以作为计算模块关闭的依据。因此，问题的关键在于：给出异步计算单元关闭的边界条件，避免造成频繁地开关振荡，边界条件以电压阈值的形式给出。

[0013] 在实际应用中，由于电路执行的任务发生变化，电路的工作负荷也随之变化，因此由Vdd信号给出的电压阈值会因电路负荷的不同发生变化：电压阈值由Vdd信号给出，而电压阈值决定了计算模块采取的操作，计算模块的工作状态会反过来影响Vdd的波动。所以通过引入反馈控制，可以找到最优的电压阈值，实现电路静态功耗最优的目标。

[0014] 综上所述，本发明一种利用电源检测实现非易失性异步逻辑电路的低功耗控制方法，该方法具体步骤如下：

[0015] 步骤一：获得Vdd监测信号。如附图1所示，电路中需要设计一个可以实时监测并处理Vdd波动的模块，该模块的作用是将逻辑计算单元开关所引起的Vdd的压降记录下来，且对幅度和频率敏感，能够对Vdd波动幅度和频率的变化作出相应的响应，为利用Vdd变化来控制计算模块关闭/启动的决策提供依据。

[0016] 步骤二：如附图1所示，利用步骤一中获得的Vdd监测信号，决定计算模块是否采取相应的操作来适应电路的工作状态。当Vdd的波动范围在阈值内时，电路工作状态被认为是低负荷状态，此时空闲计算模块将进入关闭状态，而当需要启动该模块的时候，协同单元（即与该模块即将进行数据交互的模块）负责发送激活信号，启动关闭的计算模块进入工作模式。如附图1所示，每个计算单元进入关闭状态之前，需要将数据存储在非易失性器件中。当计算单元再次被激活时，数据从非易失性器件中读出，因而可以立即启动而不需重新从外部存储器中加载数据。

[0017] 步骤三：如附图2所示，通过计算模块操作对Vdd的反馈，对电压阈值进行动态调整，来获取最优电压阈值。对阈值的调整和Vdd频率的波动强相关，当频率波动变大时，阈值应调小来避免计算模块的反复开关。反之，则将阈值调大，避免频繁的计算模块工作模式切换。

[0018] 3、优点和功效：本发明根据非易失性器件构成的异步逻辑电路的特点，利用Vdd监测信号对电路计算单元进行反馈控制，实现低负荷系统空闲模块完全关闭、高负荷系统空

闲模块选择性关闭,非易失性计算模块可以保持模块关闭前的数据。在保证电路功能和不降低系统稳定性的基础上,大幅度降低了电路的静态功耗。

附图说明

[0019] 图1为控制原理,其中电源信号检测电路监测各个逻辑模块电压变化,并决定将哪些电路模块进入休眠状态。

[0020] 图2为反馈控制流程图。

[0021] 图3为本发明步骤框图

具体实施方式:

[0022] 见图3,本发明一种利用电源检测实现非易失性异步逻辑电路的低功耗控制方法,该方法具体步骤如下:

[0023] 步骤一:获得Vdd监测信号。如附图1所示,电路中需要设计一个可以实时监测并处理Vdd波动的模块,该模块的作用是将逻辑计算单元开关所引起的Vdd的压降记录下来,且对幅度和频率敏感,能够对Vdd波动幅度和频率的变化作出相应的响应,为利用Vdd变化来控制计算模块关闭/启动的决策提供依据。

[0024] 步骤二:如附图1所示,利用步骤一中获得的Vdd监测信号,决定计算模块是否采取相应的操作来适应电路的工作状态。当Vdd的波动范围在阈值内时,电路工作状态被认为是低负荷状态,此时空闲计算模块将进入关闭状态,而当需要启动该模块的时候,协同单元(即与该模块即将进行数据交互的模块)负责发送激活信号,启动关闭的计算模块进入工作模式。如附图1所示,每个计算单元进入关闭状态之前,需要将数据存储在非易失性器件中。当计算单元再次被激活时,数据从非易失性器件中读出,因而可以立即启动而不需重新从外部存储器中加载数据。

[0025] 步骤三:如附图2所示,通过计算模块操作对Vdd的反馈,对电压阈值进行动态调整,来获取最优电压阈值。对阈值的调整和Vdd频率的波动强相关,当频率波动变大时,阈值应调小来避免计算模块的反复开关。反之,则将阈值调大,避免频繁的计算模块工作模式切换。

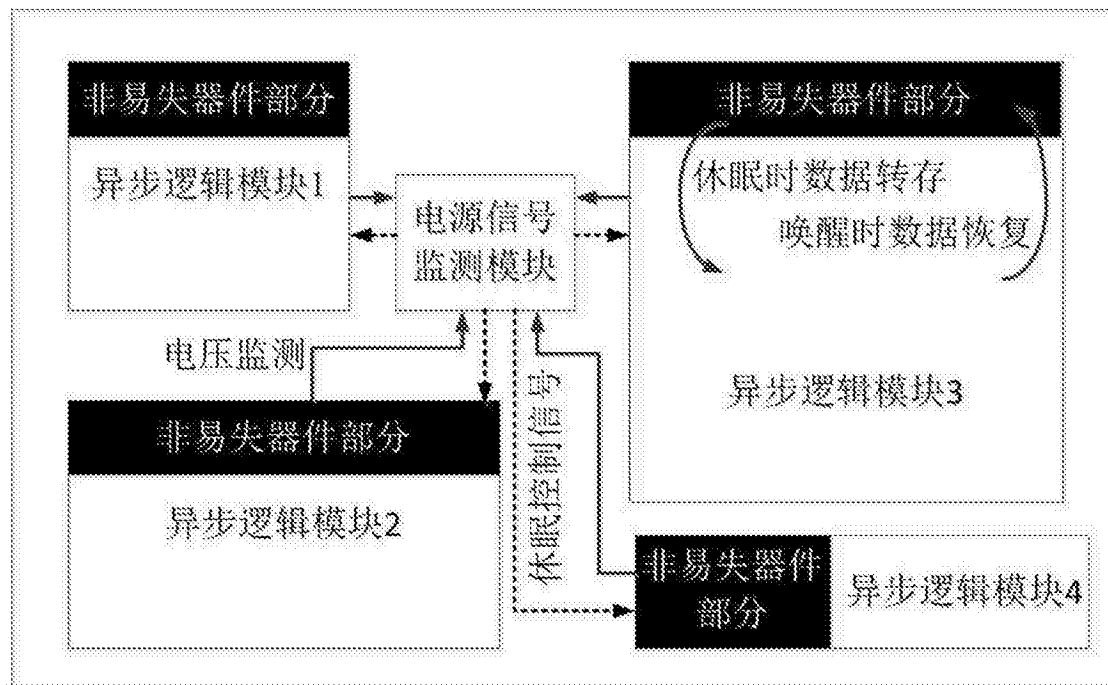


图1

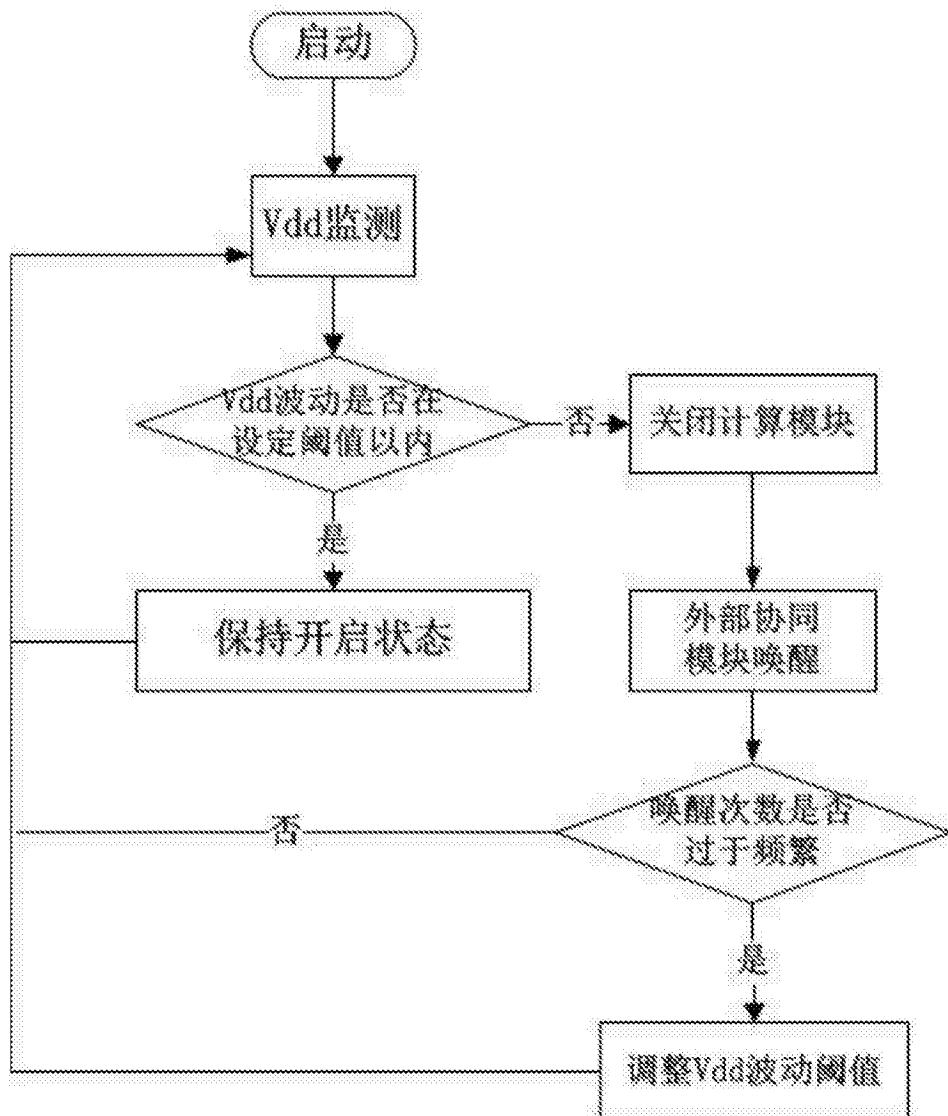


图2

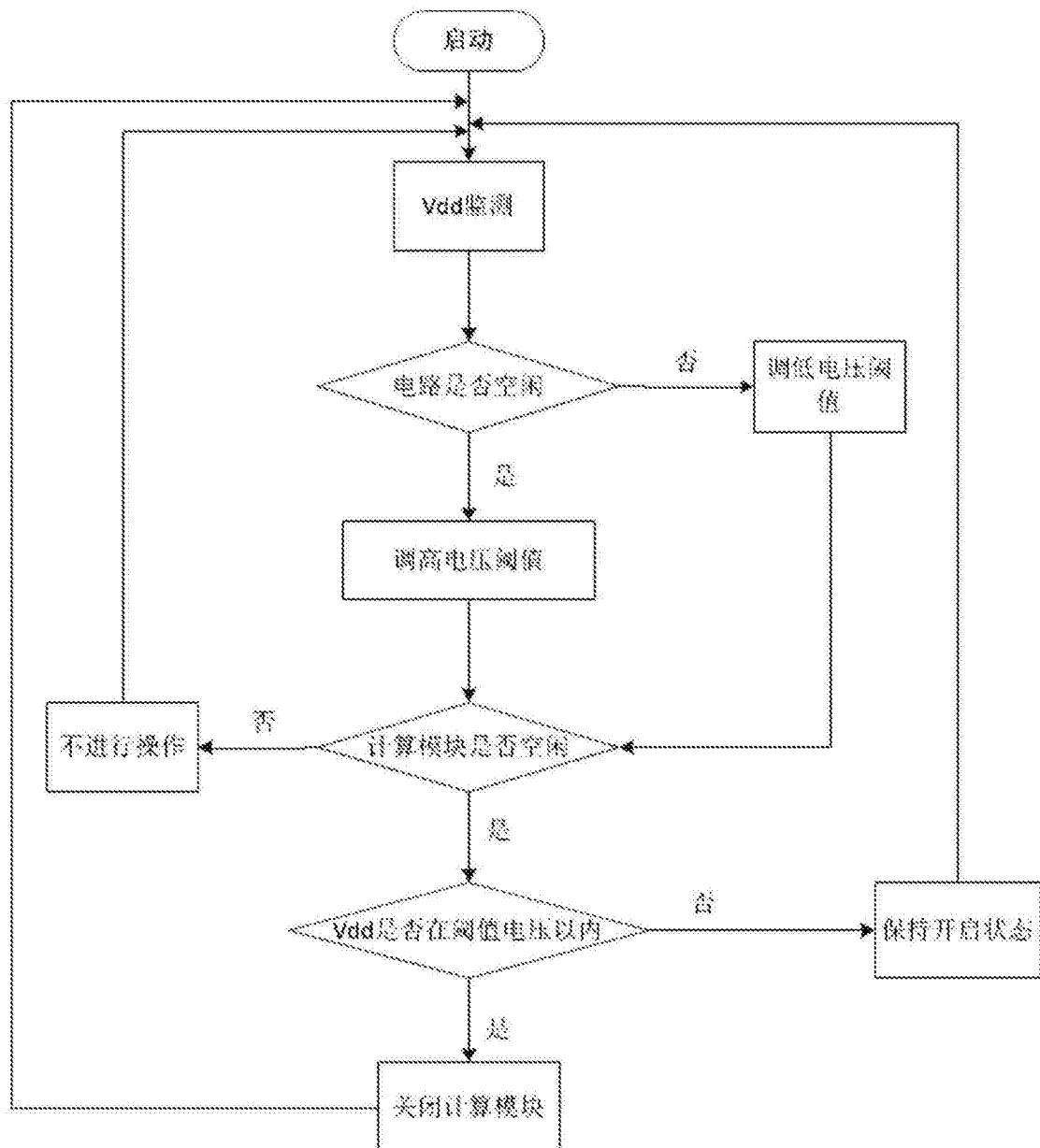


图3