(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 16/02

(45) 공고일자 2001년10월22일
(11) 등록번호 10-0298956
(24) 등록일자 2001년06월05일

(21) 출원번호 10-1994-0019354
(22) 출원일자 1994년08월05일

(65) 공개번호 특1995-0006869
(43) 공개일자 1995년03월21일

(30) 우선권주장 93-299006 1993년11월04일 일본(JP)
93-217084 1993년08월09일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 사또히로시
일본국도꾜도오우메시가베마찌7-22-4
야마자끼다까시
일본국도꾜도오우메시가베마찌10-11-102

(74) 대리인 백남기

심사관 : 이철희

(54) 반도체기억장치

요약

반도체기억장치에 관한 것으로써 리드동작의 고속화와 저소비전력화를 실현하기 위해, 센스앰프로써 CMOS래치회로를 사용하면서 그 입출력과 데이타선 또는 비트선간에 스위치회로를 마련해서 센스앰프의 증폭동작의 직전 또는 직후에 스위치회로를 오프상태로 한다.

이러한 반도체기억장치를 이용하는 것에 의해, 센스앰프의 실질적인 증폭동작에 있어서는 다수의 기억트랜지스터가 접속되는 것에 의해서 큰 기생용량을 갖는 데이타선 또는 비트선이 분리되고 센스앰프는 그 입출력의 기생용량만을 구동하면 좋으므로 고속화와 저소비전력화를 도모할 수 있다.

대표도

FIG. 1(A)

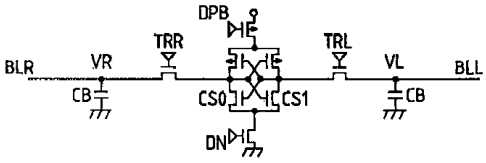
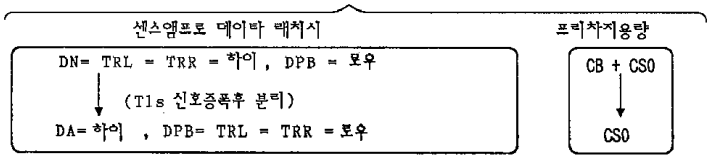


FIG. 1(B)



명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도 (a) 및 (b)는 본 발명에 관한 반도체기억장치에 사용되는 센스앰프의 동작의 개략을 설명하기 위한 기본적 구성도.

제2도는 본 발명에 관한 일괄소거형 EEPROM의 센스앰프와 메모리어레이의 1실시예를 도시한 회로도.

제3도 (a) 및 (b)는 상기 센스앰프의 리드동작의 1실시예를 설명하기 위한 파형도.

제4도 (a) 및 (b)는 상기 센스앰프의 리드동작의 다른 1실시예를 설명하기 위한 파형도.

제5도 (a) 및 (b)는 상기 센스앰프의 리드동작의 다른 1실시예를 설명하기 위한 파형도.

제6도 (a) 및 (b)는 상기 센스앰프의 리드동작의 또 다른 1실시예를 설명하기 위한 파형도.

제7도는 본 발명에 관한 일괄소거형EEPROM의 1실시예를 도시한 블럭도.

제8도는 상기 메모리매트와 그 주변부의 1실시예를 도시한 개략적인 회로도.

제9도는 본 발명에 관한 일괄소거형EEPROM의 다른 1실시예를 도시한 주요부 블럭도.

제10도는 제9도의 메모리매트와 그 주변부의 1실시예를 도시한 개략적인 회로도.

제11도는 본 발명에 관한 일괄소거형EEPROM의 다른 1실시예를 도시한 일부 블럭도.

제12도는 본 발명에 관한 일괄소거형EEPROM의 다른 1실시예를 도시한 나머지 일부의 블럭도.

제13도는 본 발명에 관한 일괄소거형EEPROM에 있어서의 데이타선과 센스앰프의 관계를 설명하기 위한 1실시예를 도시한 회로도.

제14도는 상기 제13도의 실시예에 대응한 리드동작의 1예를 설명하기 위한 파형도.

제15도는 본 발명에 관한 일괄소거형EEPROM에 있어서의 데이타선과 상기 센스앰프의 관계를 설명하기 위한 다른 1실시예를 도시한 회로도.

제16도 (a) 및 (b)는 제15도의 실시예의 회로의 동작의 1예를 설명하기 위한 파형도.

제17도는 본 발명에 관한 일괄소거형EEPROM에 있어서의 데이타선과 센스앰프의 관계를 설명하기 위한 또 다른 1실시예를 도시한 회로도.

제18도는 본 발명에 관한 일괄소거형EEPROM을 사용한 마이크로컴퓨터등의 정보처리시스템의 1실시예를 도시한 블럭도.

제19도는 본 발명에 관한 일괄소거형EEPROM을 사용한 메모리장치의 1실시예를 도시한 블럭도.

제20도는 일괄소거형EEPROM에 있어서의 소프트라이트수명의 특성도.

제21도는 메모리셀의 1예를 도시한 개략단면도.

[발명의 상세한 설명]

본 발명은 반도체기억장치에 관한 것으로써, 예를들면 일괄소거형 EEPROM(Electrically Erasable/Programmable Read Only Memory)의 고속화와 저소비전력화기술에 이용해서 유효한 기술에 관한 것이다.

전기적 일괄소거형 EEPROM은 칩에 형성된 메모리셀 모두를 일괄해서 또는 칩에 형성된 메모리셀 중, 어떤 그룹의 메모리셀군을 일괄해서 전기적으로 소거하는 기능을 갖는 불휘발성 기억장치이다.

이러한 일괄소거형 EEPROM에 관해서는 1980년의 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE의 pp152-153 , 1987의 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE의 pp76-77, IEEE J SOLID-STATE CIRCUITS, vol. 23 (1988) pp. 1157-1163에 기재되어 있다.

제21도에는 1987년의 국제전자디바이스회의 (International Electron Device Meeting)에서 발표된 전기적 일괄소거형 EEPROM의 메모리셀의 단면구조의 개요도가 도시되어 있다. 제21도의 메모리셀은 통상의 EPROM의 메모리셀과 매우 유사한 구조를 갖고 있다. 즉 메모리셀은 2층게이트구조의 절연게이트형 전계효과트랜지스터 (이하, MOSFET 또는 단지 트랜지스터라고 한다) 에 의해 구성되어 있다. 제21도에 있어서, (8)은 P형 실리콘기판, (11)은 상기 실리콘기판 (8)에 형성된 P형 확산층, (10)은 상기 실리콘기판 (8)에 형성된 저농도의 N형 확산층, (9)는 상기 P형 확산층 (11) 및 상기 N형 확산층 (10) 의 각각에 형성된 N형 확산층이다. 또, (4) 는 얇은 산화막 (7) 을 거쳐서 상기 P 형 실리콘기판 (8) 상에 형성된 플로팅게이트, (6) 은 산화막 (7) 을 거쳐서 상기 플로팅게이트 (4) 상에 형성된 콘트롤게이트, (3)은 트레인전극, (5)는 소오스전극이다. 즉 제21도의 메모리셀은 N채널형의 2층게이트구조의 MOSFET에 의해 구성되고, 이 트랜지스터에 정보가 기억된다. 여기에 있어서 정보는 실질적으로 임계값전압의 변화로써 트랜지스터에 유지된다.

이하, 특별히 기술하지 않는 한, 메모리셀에 있어서 정보를 기억하는 트랜지스터 (이하, 기억트랜지스터라고 한다) 가 N채널형의 경우에 관해서 기술한다. 제21도에 도시되어 있는 메모리셀로의 정보의 라이트동작은 EPROM의 그것과 같다. 즉 라이트동작은 드레인전극3에 접속된 드레인영역(9) 의 근방에서 발생시킨 핫캐리어를 플로팅게이트 (4)에 주

입하는 것에 의해 실행된다. 이 라이트동작에 의해 기억트랜지스터는 그 콘트롤게이트 (6)에서 본 임계값전압이 라이트동작을 실행하지 않았던 기억트랜지스터에 비해 높게 된다. 한편, 소거동작에 있어서는 콘트롤게이트 (6)을 접지하고 소오스전극 (5) 에 고전압을 인가하는 것에 의해 플로팅게이트4와 소오스전극 (5) 에 접속된 소오스영역 (9) 간에 고전계가 발생되고 얇은 산화막 (7)을 통과한 터널현상을 이용해서 플로팅게이트 (4) 에 축적된 전자가 소오스영역 (9)를 거쳐서 소오스전극 (5)에서 빼내진다. 이것에 의해 기억정보의 소거가 실행된다.

즉 소거동작에 의해 기억트랜지스터는 그 콘트롤게이트 (6) 에서 본 임계값전압이 낮아진다.

리드 동작에 있어서는 상기 메모리셀에 대해서 약한 라이트, 즉 플로팅게이트 (4) 에 대해서 바람직하지 않은 캐리어의 주입이 실행되지 않도록 드레인전극 (3) 및 콘트롤게이트 (6) 에 인가된 전압이 비교적 낮은 값으로 제한된다. 예를들면 1V정도의 저전압이 드레인전극 (3)에 인가됨과 동시에 콘트롤게이트 (6) 에 5V 정도의 저전압이 인가된다. 이들의 인가전압에 의해서 기억트랜지스터를 흐르는 채널전극의 대소를 검출하는 것에 의해 메모리셀에 기억되어 있는 정보의 "0" , " 1" 을 판정한다.

상기와 같은 기억트랜지스터로 부터의 리드동작은 메모리사이클이 약 1μs정도로 비교적 느리다. 본원 발명자는 상기와 같은 기억트랜지스터를 사용한 것에서는 다이나믹형 메모리셀과 같이 리드동작에 의해서 정보의 파괴가 실행되지 않는 것에 착안해서 고속화와 저소비전력화를 도모하는 것을 생각했다.

본 발명의 목적은 리드동작의 고속화와 저소비전력화를 실현한 반도체기억장치를 제공하는 것에 있다.

본 발명의 상기 및 그 외의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 명확하게 될 것이다.

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다. 즉 센스앰프로써 CMOS래치회로를 사용하면서 그 입출력과 데이타선 또는 비트선간에 스위치회로를 마련해서 센스앰프의 증폭동작과 직전, 또는 직후에 스위치회로를 오프상태로 한다.

상기한 수단에 따르면 센스앰프의 실질적인 증폭동작에 있어서는 다수의 기억트랜지스터가 접속되는 것에 의해서 큰 기생용량을 갖는 데이타선 또는 비트선이 분리되고, 센스앰프는 그 입출력에 결합되어 있는 기생용량만을 구동하면 좋으므로 고속화와 저소비전력화를 도모할 수 있다.

제1도 (a) 및 제1도 (b)는 본 발명에 관한 반도체기억장치에 사용되는 센스앰프의 동작의 개략을 설명하기 위한 기본적 구성도가 도시되어 있다. 센스앰프는 제1도 (a)에 도시된 바와 같이 P채널형 MOSFET과 N채널형 MOSFET으로 이루어지는 CMOS인버터회로의 입력과 출력이 서로 교차접속되어 이루어지는 CMOS래치회로, 센스앰프활성화신호DPB를 받아서 상기 P채널형의 MOSFET에 전원전압을 공급하는 P채널형 파워스위치MOSFET, 센스앰프활성화신호DN을 받아서 상기 N채널형 MOSFET에 회로의 접지전위를 공급하는 N채널형의 파워스위치MOSFET으로 구성된다.

상기 센스앰프의 1쌍의 입출력 노드에는 상기 MOSFET의 게이트용량등으로 이루어지는 비교적 작은 기생용량CS0과 CS1이 존재한다. 도시하지 않은 다수의 메모리셀이 접속되는 것에 의해서 비교적 큰 기생용량 CB를 갖도록 된 비트선(또는 데이타선) BLR, BLL은 제어신호 TRR과 TRL을 받는 스위치MOSFET을 거쳐서 상기 센스앰프의 1쌍의 입출력 노드에 접속된다.

이 실시예에서는 상기 센스앰프의 1쌍의 입출력노드에 대응해서 접속되는 1쌍의 비트선BLR과 BLL중, 선택된 비트선에 리드된 신호를 비선택으로 된 비트선의 전위를 기준전위로 해서 리드하게 한다. 예를들어 한쌍의 비트선BLR에 접속된 메모리셀의 기억정보를 리드할 때에는 그 프리챠지전압VR은 리드용의 프리챠지전압으로 되고 다른 쪽의 비선택으로 되는 비트선BLL의 프리챠지전압 VL은 상기 메모리셀로 부터의 리드되는 정보에 대해서 기준전압으로 된다.

상기 리드용의 프리챠지전압은 후술하는 메모리셀의 소프트라이트수명을 길게 하기 위해서 약 1V와 같은 비교적 낮은 전압으로 된다. 이것에 따라서 기준전압용의 프리챠지전압은 약 0.5V와 같은 리드진폭의 중간전위로 된다.

제1도 (b)에 도시되는 바와 같이 센스앰프의 입출력노드에 선택비트선으로 부터의 리드신호와 비선택비트선으로 부터의 기준전압을 공급하고 센스앰프가 진폭동작을 개시하기 전, 또는 그 직후에 상기 스위치 MOSFET은 오프상태로 된다. 이것에 의해 센스앰프는 선택된 비트선BLR의 리드신호가 하이레벨인 때, 그것을 전원전압에 대응한 풀진폭으로 증폭할 때에 프리챠지해야만 하는 프리챠지용량은 비트선용량CB가 분리되어 있으므로 입출력의 기생용량CS0으로 된다. 이 결과, 센스앰프의 부하가 가볍게 되어 저소비전력화와 고속화를 도모할 수 있다.

제7도에는 본 발명에 관한 일괄소거형EEPROM의 1실시예의 블럭도가 도시되어 있다. 제7도의 각 회로블럭은 공지의 반도체집적회로의 제조기술에 의해서 특히 제한되지 않지만, 단결정실리콘과 같은 1개의 반도체기판상에 형성된다.

이 실시예에서는 특히 제한되지 않지만, 메모리어레이는 4개의 메모리매트MAT로 구성된다. 각각의 메모리매트MAT에는 워드선WL의 선택신호를 형성하는 서브디코더SUB-DCR이 마련된다. 고집적화를 위해서 워드선의 피치가 좁게 형성되므로 메모리매트MAT간에 마련된 서브디코더SUB-DCR은 양측의 메모리매트MAT에 대해서 워드선의 선택신호를 형성한다. 그러므로 예시적으로 도시되어 있는 바와 같이 메모리매트MAT의 워드선은 그것을 사이에 두고 마련된 2개의 서브디코더SUB-DCR에 대해서 1개 건너 교대로 접속된다.

메인디코더MAN-DCR은 후술하는 바와 같이 여러개의 메모리셀을 선택하는 선택MOSFET의 선택신호, 서브디코더SUB-DCR의 선택레벨과 비선택레벨을 형성하는 회로로 구성된다. 게이트 디코더GDCR은 상기 메인디코더MAN-DCR에 의해서 선택된 1개의 메모리블럭중의 1개의 메모리셀을 선택하는 선택신호를 형성한다.

메모리매트MAT에 형성되는 기억트랜지스터는 특히 제한되지 않지만, 상기 제21도에 도시한 메모리셀과 유사한 구조를 갖는다. 단, 소거 및 라이트동작은 모두 터널전류에 의해서 플로팅게이트에 전하의 주입과 방출을 실행하는 것에 의해서 달성된다. 이 밖에 상기 제21도와 같이 라이트동작을 핫캐리어에 의해서 실행하도록 해도 좋다.

센스앰프SA는 특히 제한되지 않지만 후술하는 바와 같이 CMOS래치회로로 구성되어 있고 각각의 증폭동작이 센스앰프제어회로SAC에 의해서 제어된다. 특히 제한되지 않지만 최초의 리드사이클에서는 2조의 센스앰프군이 함께 활성화된다. 이후, 워드선의 전환을 동반하는 연속리드동작의 경우에는 한쪽의 센스앰프군으로 부터의 리드신호가 종료하고 다른 쪽의 센스앰프군으로 부터의 직렬인 리드신호의 출력이 실행되고 있는 사이에 워드선의 전환이 실행됨과 동시에 상기 한쪽의 센스앰프군이 증폭동작을 개시하도록 된다.

상기 센스앰프SA는 동작의 고속화와 저소비전력화를 위해서 데이타선에서 증폭동작에 필요한 리드신호를 받으면, 그 증폭동작의 개시직전 또는 직후에 데이타선과 분리되어 상기 페치한 신호의 증폭을 실행해서 유지하고 있다. 그러므로 Y게이트회로YG에 의해 선택된 신호가 데이타출력버퍼OB를 통해서 순차로 출력시킬수 있고, 이와 같은 신호출력동작과 병행해서 상술한 바와 같이 다음의 어드레스에 대응한 워드선의 전환을 실행할 수 있다.

스테이터스레지스터SREG는 신호TS에 의해 내부의 상태를 나타내는 스테이터스데이타를 받고, 필요에 따라서 데이타출력버퍼OB를 통해서 외부에서 동작상태를 모니터할 수 있다. 이 실시예에서는 연속 액세스동작이나 상기와 같이 전기적으로 라이트와 소거동작이 실행되는 것으로써, 각각의 동작의 도중에 있어서 내부의 상태를 외부에서 알 필요가 있으므로 상기와 같은 스테이터스레지스터SREG가 마련되는 것이다.

전압발생회로VG는 3.3 V (또는 5 V) 와 같은 전원전압VCC와 회로의 접지전위 VSS를 받고, 제어신호 TV에 의해 라이트하고, 리드 및 소거의 각 동작에 필요한 각종전압 Vpw , Vpv , Vew , Ved , Vev 및 Vr을 형성하는 DC-DC컨버터로써의 역할을 다하는 것이다.

어드레스버퍼ADB는 외부단자에서 공급되는 어드레스신호Ai의 페치를 실행해서 어드레스래치ALH에 어드레스신호를 유지시킨다. 신호TA는 상기 어드레스신호를 래치시키는 제어신호이고, TSC는 내부직렬클럭이다.

어드레스발생회로ADG는 예를들면 카운터회로를 갖고 외부에서 공급되는 클럭SC에 동기해서 발생된 내부직렬클럭TSC에 의해 어드레스스테핑동작을 실행하고 기수번째의 데이타선에 대응한 센스앰프SA를 활성화하는 어드레스신호Aye과 우수번째의 데이타선에 대응한 센스앰프SA를 활성화하는 어드레스신호Aye 및 워드선전환신호AC를 발생한다. 즉 이 실시예의 반도체기억장치에서는 지정된 개시어드레스를 입력하는 것만으로, 그 후의 연속 액세스를 위한 어드레스신호는 외부단자에서 공급되는 클럭SC에 대응해서 내부에서 발생된다. 상기 신호Ayo , Aye 및 AC와 /AC는 센스앰프제어회로SAC에 공급된다. 여기에서 신호 AC에 붙여진 /는 바신호인 것을 나타내는 것이고 이러한 신호/AC는 로우레벨이 액티브레벨인 것을 나타내고 있다. 이것은 다음의 다른 신호에 있어서도 마찬가지이다.

Y게이트YG는 Y계의 어드레스신호Ay에 의해 리드동작일 때에는 1개의 데이타선의 선택신호를 형성해서 그것에 대응된 센스앰프의 증폭신호를 선택해서 데이타출력버퍼OB에 전달한다. 라이트동작일 때에는 1개의 데이타선의 선택신호를 형성해서 데이타입력버퍼IB에 입력된 라이트데이타에 대응된 신호를 데이타선 또는 비트선에 전달한다. 본원에 있어서 데이타선과 비트선을 같은 의미로 사용하고 있다. 이들은 디지트선이라고 불리우는 경우도 있다. 커맨드디코더CDCR은 데이타입력버퍼IB에 입력된 커맨드를 해독해서 커맨드데이타Di를 다음에 설명하는 제어회로CONT에 전달한다. 신호TC는 커맨드디코더제어신호이고 커맨드의 페치나 디코더의 제어를 실행한다.

제어회로CONT는 외부단자에서 공급되는 칩인에이블신호/CE , 아웃풋인에이블신호/OE , 라이트인에이블신호/WE 및 클럭 SC와 리세트신호인 RS를 받아서 내부회로의 동작에 필요한 각종 타이밍신호를 형성한다. 신호TXM은 메인디코더제어신호이고 프로그램-프로그램검증시에 정/부 논리를 전환하는 신호이다. 신호TXG는 게이트디코더제어신호이다. 신호TV는 전원회로제어신호이다. 신호TA는 어드레스버퍼제어신호이고 어드레스의 래치등의 제어를 실행한다. 신호TI는 데이타입력버퍼제어신호이고 데이타나 커맨드의 페치등의 제어를 실행한다.

신호TO는 데이타출력버퍼제어신호이고 데이타의 출력등의 제어를 실행한다. 신호TC는 커맨드디코더제어신호이고 커맨드의 페치, 디코드등의 제어를 실행한다. 신호TS는 스테이터스레지스터제어신호이고 스테이터스레지스터SREG의 세트 또는 리세트등의 제어를 실행한다. 신호TSA는 센스앰프제어신호이고 활성화타이밍의 제어에 사용된다. 신호TSC는 내부직렬클럭이다. 신호AC는 워드선의 전환신호이다.

그 밖에 어드레스래치ALH에서 메인디코더MAN-DCR에 공급되는 신호 A x 0는 상기 선택되어야 할 메모리 블럭을 지시하는 X계의 어드레스신호이고 어드레스래치ALH에서 게이트디코더GDCR에 공급되는 신호 A x 1은 1개의 메모리 블럭중의 1개의 워드선을 지시하는 X계의 어드레스신호이다. Y게이트YG에 공급되는 신호 Ay는 Y계의 어드레스신호이다.

Vpw는 라이트시의 워드선전압이다. Vpv는 라이트검증시의 워드선전압이다. Vev는 소거검증시의 워드선전압이다. ew는 소거시의 워드선전압이다. Ved는 소거시의 데이타선전압이다. Vr은 데이타선프리챠지전압이다.

신호Oi는 데이타출력버퍼OB에서 출력된 출력데이타이고 신호 Do는 스테이터스데이타이고 신호 Di는 커맨드데이타이다. 또 신호 RDY/BUSY는 칩의 상태를 나타내는 출력신호이다.

제8도에는 상기 메모리매트와 그 주변부의 1실시예의 개략적인 회로도가 도시되어 있다. 메모리셀은 상기 제21도와 유사한 콘트롤게이트와 플로팅게이트를 구비한 적층게이트구조의 MOSFET구조로 된다. 이 실시예에서는 후술하는 바와 같이 라이트동작과 소거동작이 모두 얇은 산화막을 통과한 터널전류를 이용해서 실행된다.

상기 기억 MOSFET는 여러개가 1개 블럭으로 되어 드레인과 소오스가 공통화된다. 기억MOSFET의 공통화된 드레인은 선택MOSFETQmD를 통해서 데이타선DL에 접속된다. 기억MOSFET의 공통화인 소오스는 선택MOSFETQms를 통해서 회로의 접지전위가 부여된다. 기억MOSFET의 콘트롤게이트는 워드선WL에 접속된다. 상기 선택MOSFETQmD , Qms는 상기 워드선 WL과 평행하게 연장되는 선택선에 의해서 선택된다. 즉, 상기 선택 MOSFET에 결합되는 배선은 메인디코더MAN-DCR에 의해서 선택되는 메인워드선으로 간주된다.

상기와 같이 메모리셀을 블럭으로 나눠서 각각에 선택MOSFET을 거쳐서 데이타선DL이나 회로의 접지전위를 부여하는 구성에 의해 비선택의 메모리셀에 대한 스트레스를 경감시킬 수 있다.

즉, 워드선이 선택상태로 되고 데이타선이 비선택상태로 된 메모리셀이나 반대로 워드선이 비선택상태로 되고, 데이타선이 선택상태로 되는 것에 의해서 라이트 또는 소거동작에 있어서 데이타를 유지해야 할 메모리셀, 라이트 또는 소거동작의 실행에 의해서 그 기억내용이 고정되는 메모리셀에 상기 라이트 또는 소거용의 전압이 인가되는 것을 방지하는 것이다. 즉, 예를들면 이미 정보가 라이트되고 그것을 유지하고 있는 메모리셀의 내용이 다른 메모리셀에 대한 라이트 또는 소거동작의 실행에 의해서 변화되는 것을 방지할 수 있다. 이 구성에서는 상기 블럭내의 소수의 메모리셀에만 상기와 같은 스트레스가 걸리게 된다.

이 실시예에서는 특히 제한되지 않지만, 후술하는 바와 같이 인접하는 데이타선DL이 기수번째와 우수번째로 나눠진다. 그리고 각각에 대응해서 쇼트MOSFETQss가 마련된다. 이 쇼트MOSFETQss는 기수번째와 우수번째의 데이타선DL을 교대로 선택하도록 하고 비선택상태에 놓여지는 데이타선DL을 회로의 접지전위의 고정레벨로 해서 인접 데이타선DL에 있어서의 상호의 커플링 노이즈를 저감하는 것이다. 이와 같은 데이타선DL의 구성에 대응해서 데이타선DL에 나타난 리드신호를 증폭하는 센스앰프SA에 대해서 스위치회로로써의 트랜스퍼MOSFET (TRMOS)도 기수와 우수로 나누어져 선택된다.

상기 메인디코더MAN-DCR에 의해서 선택되는 블럭내의 메모리셀은 서브디코더SUB-DCR 에 의해서 1개가 선택된다. 서브디코더SUB-DCR 은 상기 블럭내의 1개의 워드선WL을 선택한다. 이와 같은 1개의 워드선의 선택신호는 게이트디코더GDCR에 의해서 형성된다. 즉 서브디코더SUB-DCR은 상기 게이트디코더GDCR에 의해서 형성된 워드선의 선택신호, 메인디코더MAN-DCR에 의해서 형성된 동작모드에 따라서 형성된 선택/비선택레벨을 받아서 상기 블럭내의 워드선의 선택/비선택의 구동신호를 형성한다.

[표 1]

		read	program	erase
선택	Vg	Vcc	-10V	12V
	Vd	1V	4V	-4V
	Vs	0V	오픈	-4V
비선택	Vg	0V/오픈	Vcc/0V	0V/0V
	Vd	1V/오픈	0V/오픈	-4V/오픈
	Vs	0V/오픈	오픈/오픈	-4V/오픈

리드 (read) , 라이트 (program) 및 소거 (erase)의 각 동작모드에 있어서의 기억MOSFET의 게이트전압(워드선WL) Vg , 드레인전압Vd 및 소오스전압 Vs에는 표1에 나타낸 바와 같은 각 전압이 부여된다. 이 표1에 나타낸 게이트전압 Vg , 드레인전압Vd 및 소오스전압 Vs의 상대적인 전위관계의 조합에 의해, 얇은 게이트절연막을 거쳐서 터널전류를 발생시키고 플로팅게이트에 대한 전하의 주입, 또는 방출을 실행시킨다. 이것에 의해서 그 임계값전압을 변화시켜서 라이트동작과 소거동작이 실행된다.

제21도에 도시한 소거, 라이트와 정의가 반대로 되지만, 동작에 실질적인 차이는 없다.

표1에 비선택에 있어서 / (슬래시) 에 의해 나누어서 나타낸 2개의 전압 또는 상태는 선택블럭/비선택블럭에 대응하고 있다.

즉, 비선택블럭에 있어서는 대부분의 경우, 상기와 같은 선택MOSFET의 오프상태에 의해 오픈상태로 된다. 이것에 의해 비선택블럭의 기억MOSFET에 스트레스가 걸리는 것을 방지할 수 있다.

제9도에는 본 발명에 관한 반도체기억장치의 다른 1실시예의 주요부 블럭도가 도시되어 있다. 이 실시예에서는 CMOS래치회로로 이루어지는 센스앰프의 1쌍의 입출력에 대응해서 1쌍의 메모리매트가 상하로 배치된다. 센스앰프SA는 우수 (EVEN) 데이타선용의 것과 기수 (ODD) 데이타선용의 것으로 나뉘어 진다.

제9도에 있어서는 우수용의 센스앰프SA와 기수용의 센스앰프SA가 상하로 배치되도록 도시되어 있지만, 실제로는 일직선상에 나란히 배치해도 좋다.

우수용의 센스앰프의 1쌍의 입력에는 위쪽과 아래쪽의 메모리매트의 우수번째의 데이타선이 접속된다. 기수용의 센스앰프의 1쌍의 입력에는 위쪽과 아래쪽의 메모리매트의 기수번째의 데이타선이 접속된다. 메모리매트에 대응해서 마련되는 서브디코더SUB-DCR, 메인디코더MAN-DCR 및 게이트디코더GDCR (도시하지 않음)은 상기 제7도와 같다.

센스앰프제어회로SAC는 우수용의 센스앰프활성화신호/ D0, D0과 기수용의 센스앰프활성화신호/ D1, D1 을 발생시킨다. 상기 신호 / D0은 우수용의 센스앰프SA에 전원전압을 공급하는 P채널형 MOSFET의 게이트에 공급되고, 상기 신호 D0은 우수용의 센스앰프SA에 회로의 접지전위를 공급하는 N채널형 MOSFET의 게이트에 공급된다. 마찬가지로 상기신호 / D1은 기수용의 센스앰프SA에 전원전압을 공급하는 P채널형 MOSFET의 게이트에 공급되고, 상기신호 D1은 기수용의 센스앰프SA에 회로의 접지전위를 공급하는 N채널형 MOSFET의 게이트에 공급된다. 어드레스버퍼나 입출력버퍼 및 제어회로나 전압발생회로등은 상기 제7도의 실시예와 같으므로 제7도에서는 생략되어 있다.

제10도에는 상기 메모리매트와 그 주변부의 1실시예의 개략회로도가 도시되어 있다. 메모리어레이의 구성은 제8도의 실시예와 같다. 이 실시예에서는 센스앰프SA에 대응해서 1쌍의 메모리매트가 마련되는 것에 대응해서 센스앰프SA와 상기 1쌍의 메모리매트에 대응한 데이타선의 관계가 설명된다.

센스앰프SA의 1쌍의 입출력노드는 제1의 Y계 디코더로 선택되는 스위치MOSFETYS1에 의해 그것에 대응한 입출력선에 접속된다. 이 입출력선은 제2의 Y디코더에 의해 선택되는 스위치 MOSFETYS2에 의해 기수용과 우수용에 공통으로 마련된 입출력선 I / O에 접속된다. 즉, 이 입출력선 I / O를 사이에 두고 상기 기수용과 우수용의 센스앰프 및 각각에 대응해서 마련된 제1의 Y계 디코더에 의해 선택되는 스위치가 대칭적으로 마련된다.

데이타선DL과 센스앰프SA의 입출력노드간에 마련되는 스위치MOSFET은 리드용의 프리챠지MOSFET, 라이트용의 프리챠지MOSFET 및 스위치MOSFET이다. 이들의 MOSFET에 관해서는 다음에 제15도 등에 의해 상세히 설명한다.

제11도와 제12도에는 본 발명에 관한 반도체기억장치의 다른 1실시예의 전체 블럭도가 도시되어 있다. 즉, 제11도에는 본 발명에 관한 반도체기억장치의 일부의 블럭도가 도시되고, 제12도에는 나머지의 블럭도가 도시되어 있다. 제11도와 제12도의 메모리어레이는 그들에 마련되는 센스앰프SA와 Y게이트YG의 부분이 인접하도록 대칭적으로 마련된다. 즉, 제11도와 제12도의 메모리어레이의 부분은 제9도의 것과 유사하다. 단, 이 실시예에서는 센스앰프SA를 사이에 두고 1쌍의 Y게이트YG가 마련된다. 이 Y게이트에 대응해서 1쌍의 입출력선 I/OR과 I/OL이 마련된다.

제11도의 제어회로CONT, 센스앰프제어회로SAC는 상기 제7도의 것과 같다. 또 제12도의 센스앰프제어회로SAC, 전압발생회로VG, 커맨드디코더CDCR, 스테이터스레지스터SREG 및 데이타입력버퍼1B , 데이타출력버퍼OB , 어드레스버퍼ADB, 어드레스발생회로 ADG 및 어드레스래치AL도 상기 제7와 같다. 메인앰프MA는 상기 기수측 또는 우수측의 입출력선 I/OLR의 신호를 증폭해서 데이타출력버퍼OB의 입력에 전달한다. DKMC는 데카MOS제어회로이고, 어드레스신호Aye, Ayo, 타이밍신호AC 및 T_{SA} 에 의해 기수측 또는 우수측의 센스앰프SA에 대응한 선택신호 DPBO, DNO 및 DPB1 , DN1을 발생시킨다.

이 실시예에서는 반도체기억장치의 외부단자로 되는 단자는 내부단자와 구별하도록 ○으로 나타내고 있다. 예를들면 제어회로CONT에 공급되는 제어신호/ CE , / OE, SC, / WE, RS가 외부단자이다. 어드레스버퍼ABD에 공급되는 어드레스신호Ai와 전압발생회로 VG에 마련되는 전압단자 Vcc와 Vss가 외부단자이다. 그리고 데이타입력버퍼IB에 대응한 데이타단자 Ii , 데이타출력버퍼 OB에 대응한 데이타단자 Oi와 RDY/BSUY가 외부단자이다.

제2도에는 상기 센스앰프와 메모리어레이의 1실시예의 회로도가 도시되어 있다. 제2도에는 동시에 동작하는 2개의 센스앰프, 각각에 접속되는 2쌍의 데이타선에 관련하는 회로가 대표로써 예시적으로 도시되어 있다. 그 접속관계는 예를들면 후술하는 제13도에 도시한 바와 같다.

센스앰프SA는 P채널형 MOSFET과 N채널형 MOSFET으로 이루어진 2개의 CMOS인버터회로의 입력과 출력이 교차 접속되어 이루어지는 CMOS래치회로가 사용된다. 이들의 CMOS래치회로는 P채널형 MOSFET의 소오스측에 P채널형의 공통파워스위치 MOSFETQ4를 거쳐서 전원전압이 공급되고 N채널형 MOSFET의 소오스측에 N채널형의 공통파워스위치 MOSFETQ5를 거쳐서 회로의 접지전위가 공급되는 것에 의해서 활성화된다.

이들의 파워스위치 MOSFETQ4와 Q5는 상기 다수로 이루어지는 센스앰프에 대해서 공통으로 사용되고 이들 센스앰프의 동작전류를 공급하기 위해서 비교적 큰 사이즈로 된다. 이들의 스위치 MOSFETQ4와 Q5는 상기와 같이 사이즈가 크게 되기 때문에 데카MOS라고 불리우고 있다.

상기 센스앰프를 중심으로 해서 1쌍의 비트선BL0L과 BL0R이 배치된다. 이들의 1쌍의 비트선BL0L과 BL0R은 제어신호TRL과 TRR에 의해 스위치제어되는 트랜스퍼MOSFETQ2등이 마련된다. 이 실시예에 있어서는 좌우의 비트선은 대칭적으로 회로가 배치되어 있고 다른 비트선BL1L, BL1R도 동일한 회로로 되기 때문에 다음에 설명하는 각 MOSFET을 포함해서 상기 좌측의 비트선 BL0L에 마련된 MOSFET 에만 회로기호가 붙여져 있다.

센스앰프SA의 입력노드 N0L과 N0R에는 제어신호 SETL과 SETR에 의해 스위치제어되는 리세트용의 MOSFETQ3등이 마련된다. 이들의 리세트MOSFETQ3등은 센스앰프에 입력신호가 폐치되기 전에 상기 센스앰프의 입출력노드N0L , N0R의 전위를 회로의 접지전위로 리세트시킨다.

상기 비트선BL0L과 BL0R에는 프리챠지MOSFETQ1등이 마련된다. 이들의 프리챠지MOSFETQ1등은 제어신호PRL과 PRR 에 의해서 제어된다. 이 실시예에서는 상기 제어신호RPL과 PRR의 전위는 비트선BL0L과 BL0R의 프리챠지전압에 대해서 그 임계값전압Vth만큼 높은 전위로 된다. 즉 리드동작에 있어서 후술하는 바와 같이 좌측의 비트선BL0L이 선택되었을 때에는, 상기 제어신호PRL의 전위를 약 1V와 같은 비트선 프리챠지전압에 대해서 상기 임계값전압Vth만큼 높은 전압으로 된다.

비선택측의 비트선BL0R은 그 때의 기준전압을 형성하기 위해서 이용되고 리드기준전압에 대응된 0.5V와 같은 프리챠지전압에 대해서 상기 임계값전압Vth만큼 높은 전압으로 된다. 이 때문에 상기 프리챠지MOSFETQ1 등은 소오스폴로워형태의 증폭MOSFET으로써 동작한다.

상기 비트선BL0L과 BL0R에 대응한 센스앰프의 입출력노드N0L, N0R은 칼럼스위치MOSFET을 통해서 입출력선 I/OLi와 I/ORi 에 접속된다. 이러한 칼럼스위치MOSFET의 게이트에는 Y선택신호YGi가 공급된다. 다른 비트선BL1L과 BL1R에 대응한 센스앰프의 입출력노드N1L, N1R은 칼럼스위치MOSFET 을 통해서 입출력선 I/OLi와 I/ORi 에 접속된다. 이와 같은 칼럼스위치MOSFET의 게이트에는 Y선택신호YGj가 공급된다. 이 입출력선 I/OLi와 I/ORi 는 후술하는 바와 같이 리드신호경로 및 라이트신호경로로써 공용된다.

1개의 블럭을 구성하는 기억MOSFETQm0 등의 공통화된 드레인과 비트선BL0L간에는 선택MOSFETQ0D가 마련된다. 상기 기억MOSFETQm0등의 소오스에는 선택MOSFETQ0S가 마련된다. 이들의 선택MOSFETQ0D와 Q0S의 게이트에는 메인디코더MAN-DCR에 의해 형성된 선택신호 STDL과 STSL이 공급된다. 상기 센스앰프SA에 대해서 우측에 배치된 비트선BL0R에 마련되고 기억MOSFET에 마련된 선택MOSFET의 게이트에도 상기와 동일한 선택신호STDR, STSR이 공급된다.

제3도 (a) 및 제3도 (b)에는 상기 센스앰프의 증폭동작의 1실시예를 설명하기 위한 파형도가 도시되어 있다. 제3도 (a)는 비트선BL0L에 마련된 기억MOSFET이 논리 " 0" 의 기억정보를 유지하고 있을 때, 즉 기억MOSFET의 임계값전압Vth가 워드선의 선택전위 Vcc에 대해서 높을 때 (Vth $\geq$ Vcc)를 도시하고 있다. 제3도 (b)는 비트선BL1L 에 마련

된 기억MOSFET이 논리 " 1" 의 기억정보를 유지하고 있을 때, 즉 기억MOSFET의 임계값전압 Vth가 워드선의 선택전위Vcc에 대해서 낮을 때 (Vcc≥Vth≥0)을 도시하고 있다. 또 상기 제3도 (a) 및 제3도 (b)에는 제어신호STDR이 로우레벨로 되어 좌측의 비트선BL0L, BL1L 에 접속된 기억MOSFET의 정보를 리드하는 경우가 도시되어 있다.

신호SETL 및 SETR이 로우레벨로 되어 센스앰프의 입력노드 N0L과 N0R을 회로의 접지전위에 고정하고 있던 리세트 MOSFET이 오프상태로 된다. 신호 STDL이 하이레벨로 되어 1개의 메모리블럭이 선택된다. 이것과 거의 동시에 워드선 WL0L도 하이레벨(Vcc)로 된다.

상기 X계의 선택동작이 개시되면, 신호PRL과 PRR이 비트선BL0L (BL1L) 과 BL0R (BL1R)의 프리챠지전압에 대응된 전압으로 되고, 프리챠지MOSFETQ1등은 소오스폴로워증폭MOSFET으로써 작용하고, 그 소오스에 접속된 선택메모리어레이측의 비트선BL0L(BL1L)을 약 1V로, 비선택메모리어레이측의 비트선BL0R (BL1R) 을 약 0.5 V로 프리챠지시킨다. 이 프리챠지동작이 종료하면, 신호PRL과 PRR은 로우레벨로 되고, 상기 프리챠지MOSFETQ1등은 오프상태로 된다. 그러므로 비트선BL0L (BL1L) 과 BL0R (BL1R) 은 하이임피던스상태에서 상기 프리챠지레벨을 유지하고 있다.

신호STSL이 하이레벨로 된다. 제3도 (a)와 같이 선택된 워드선에 접속된 기억MOSFET이 오프상태일 때에는 비트선 BL0L의 전위는 그대로 프리챠지레벨을 유지한다. 이것에 대해서 제3도 (b)와 같이 선택된 워드선에 접속된 기억MOSFET이 온상태일 때에는 비트선BL1L 이 디스챠지된다.

선택MOSFET, 선택블럭 및 비선택MOSFET에 있어서의 스트레스를 최소로 하기 위해서 제3도 (b)와 같이 비트선BL1L의 전위가 기준전압이하로 되는 시간이 경과하면, 신호STDL과 STSL이 모두 로우레벨로 된다. 이것에 의해 기억MOSFET에는 최대라도 비트선BL0L , BL1L과 같은 프리챠지전압밖에 인가되지 않는다.

계속해서 신호TRL과 TRR이 하이레벨로 된다. 이것에 의해 트랜스퍼MOSFETQ2등이 온상태로 되어 비트선BL0L (BL1L) 과 BL0R (BL1R) 은 센스앰프SA와 접속된다. 상기와 같은 센스앰프SA의 입력노드N0L (N1L)과 N0R (N1R)의 전위는 접지전위로 되어 있으므로 챠지셰어에 의해서 노드N0L (N1L)과 N0R (N1R) 은 각각 대응하는 비트선BL0L (BL1L) 과 BL0R (BL1R) 의 전위에 따른 전위로 된다.

이와 같은 센스앰프SA의 입력신호의 페치가 종료하면, 신호DPB가 로우레벨로, 신호DN이 하이레벨로 되어 MOSFET Q4와 Q5가 온상태로 되어 센스앰프가 증폭동작을 개시한다. 제3도 (a)에서는 상기 센스앰프SA의 증폭동작에 따라서 비트선BL0L과 노드 N0L은 하이레벨을 향해서 상승하고 비트선BL0R과 노드N0R은 로우레벨을 향해서 저하한다. 제3도 (b)에서는 상기 센스앰프SA의 증폭동작에 의해서 비트선BL1L과 노드N1L은 로우레벨을 향해서 저하하고, 비트선 BL1R과 노드N1R은 하이레벨로 을 향해서 상승한다.

이 실시예에서는 동작의 고속화와 저소비전력화를 위해서 상기 증폭개시직후에 즉, 비트선BL0L (BL1R)과 노드N0L(N1R)이 증폭동작에 의해서 약간 상승시켜진 시점에서 신호TRL과 TRR이 로우레벨로 된다. 이 신호TRL과 TRR의 로우레벨에 의해 트랜스퍼MOSFETQ2등이 오프상태로 되어 센스앰프SA와 비트선BL0L (BL1L), BL0R (BL1R)이 분리된다.

이것에 의해 센스앰프SA는 다수의 기억트랜지스터등이 접속되는 것에 의해 큰 기생용량을 갖는 비트선BL0L 이나 BL1R에서 분리되어 자신의 입력노드 (출력노드이기도 하다)에 있어서의 작은 기생용량만을 챠지업시키는 것만으로 좋으므로 고속으로 입력노드N0L이나 N1R을 전원전압 Vcc와 같은 하이레벨로 상승시킬 수 있다.

일반적으로 비트선의 기생용량은 센스앰프의 입력노드의 기생용량에 대해서 10배 이상으로 크게 되므로 상기와 같은 비트선을 전원전압 Vcc까지 챠지업하는데 필요한 전류를 삭감할 수 있음과 동시에 그 시정수를 대폭으로 저감할 수 있으므로 센스앰프SA의 고속화와 저소비전력화가 가능하게 되는 것이다.

제4도 (a) 및 제4도 (b) 에는 상기 센스앰프의 증폭동작의 다른 1실시예를 설명하기 위한 파형도가 도시되어 있다. 제4도 (a) 는 비트선BL0L에 마련된 기억MOSFET이 논리 " 0" 의 기억정보를 유지하고 있을 때, 즉 기억MOSFET의 임계값전압Vth가 워드선의 선택전위Vcc에 대해서 높을 때 (Vth≥Vcc)를 도시하고 있다. 제4도 (b) 는 비트선BL1L에 마련된 기억MOSFET이 논리 " 1" 의 기억정보를 유지하고 있을 때, 즉 기억MOSFET의 임계값전압Vth가 워드선의 선택전위Vcc에 대해서 낮을 때 (Vcc≥Vth≥0)을 도시하고 있다. 또 상기 제4도 (a) 및 제4도 (b) 에는 제어신호STDR이 로우레벨로 되어 좌측의 비트선BL0L, BL1L에 접속된 기억MOSFET 을 리드하는 경우가 도시되어 있다.

이 실시예에서는 신호TRL과 TRR을 로우레벨로 하는 타이밍이 신호DPB와 DN에 의해 센스앰프를 활성화시키는 타이밍 전에 실행된다.

즉, 상기와 같이 센스앰프가 증폭동작을 개시하기 전에 트랜스퍼MOSFET을 오프상태로 해도, 센스앰프의 입력노드N0L (N1L) 이나 N0R(N1R) 등에는 이미 기억MOSFET의 기억정보에 따라서 신호레벨과 기준전압이 페치되어 있으므로 문제없다. 이 경우에는 증폭개시시에 센스앰프SA측에서 비트선에 대해서 일절 전류를 공급하지 않으므로, 한층 고속화와 저소비전력화를 도모할 수 있다.

센스앰프가 증폭동작을 개시할때, 입력노드에는 비교적 작은 신호레벨밖에 없으므로 안정한 증폭동작을 실행시키기 위해서 동작개시시에는 작은 전류공급을 실행하는 MOSFET에 의해 동작전압을 공급하고, 증폭신호가 어느정도 크게 되고 나서 큰 전류공급을 실행하는 MOSFET에 의해 동작전압을 공급한다고 하는 2단계 증폭동작을 실행하게 하는 것이라도 좋다. 이것을 실현하기 위해서 파워스위치MOSFET을 병렬형태로 접속하고, 증폭개시시에는 상기 작은 사이즈의 MOSFET을 온상태로 하고, 그 후에 큰 사이즈의 MOSFET을 온상태로 하도록 제어하면 좋다.

제5도 (a) 및 (b) 에는 상기 센스앰프의 증폭동작의 다른 1실시예를 설명하기 위한 파형도가 도시되어 있다. 상기 제3도 (a)와 마찬가지로 제5도 (a)에는 비트선 BL0L에 마련된 기억MOSFET이 논리 " 0" 의 기억정보를 유지하고 있을 때, 즉, 기억MOSFET의 임계값전압 Vth가 워드선의 선택전위 Vcc에 대해서 높을 때(Vth≥Vcc)를 도시하고 있다. 제5도 (b) 에는 비트선 BL1L에 마련된 기억MOSFET이 논리 " 1" 의 기억정보를 유지하고 있을 때, 즉 기억MOSFET의 임계값전압Vth가 워드선의 선택전위Vcc에 대해서 낮을 때 (Vcc≥Vth≥0)를 도시하고 있다. 또 상기 제5도 (a) 및 제5도 (b) 에는 제어신호STDR이 로우레벨로 되어 좌측의 비트선BL0L , BL1L에 접속된 기억MOSFET을 리드하는 경우가 도시되어 있다.

신호SETL및 SETR이 로우레벨로 되어 센스앰프의 입력노드N0L과 N0R을 회로의 접지전위에 고정하고 있던 리세트MOSFET이 오프상태로 된다. 신호STDL이 하이레벨로 되어, 1개의 메모리블럭이 선택된다. 이것과 거의 동시에 워드선 WL0L도 하이레벨(Vcc)로 된다.

상기 X계의 선택동작이 개시되면, 신호PRL과 PRR이 비트선BL0L (BL1L)과 BL0R (BL1R)의 프리챠지전압에 대응된 전압으로 되고 프리챠지MOSFETQ1등은 소오스폴로워증폭MOSFET으로써 작용하고, 그 소오스에 접속된 선택메모리어레이측의 비트선BL0L (BL1L)을 약 1V로, 비선택메모리어레이측의 비트선BL0R (BL1R) 을 약 0.5V로 프리챠지시킨다. 이 프리챠지동작이 종료하면, 신호PRL 과 PRR은 로우레벨로 되고, 상기 프리챠지MOSFETQ1등은 오프상태로 된다. 그러므로, 비트선BL0L (BL1L) 과 BL0R (BL1R)은 하이임피던스상태에서 상기 프리챠지레벨을 유지하고 있다.

신호STSL이 하이레벨로 된다. 제5도 (a)와 같이 선택된 워드선에 접속된 기억MOSFET이 오프상태일 때에는 비트선BL0L의 전위는 그대로 프리챠지레벨을 유지한다. 이것에 대해서 제5도 (b)와 같이 선택된 워드선에 접속된 기억MOSFET이 온상태일 때에는 비트선BL0L이 디스챠지된다.

계속해서 신호TRL과 TRR이 다음과 같은 중간적인 하이레벨로 된다. 즉, 상기 제3도 (a) 및 (b)와 같이 전원전압 Vcc에 대응한 하이레벨로 하는 것이 아니라, 상기 비트선BL0L의 하이레벨의 리드에 필요한 중간레벨, 즉 비트선BL0L의 하이레벨에 대해서 스위치MOSFETQ2등의 임계값전압Vthn만큼 높게 한 전압으로 된다. 이것에 의해 트랜스퍼MOSFETQ2등이 온상태로 되어 비트선BL0L (BL1L) 과 BL0R (BL1R)은 센스앰프SA와 접속된다. 상기와 같이 센스앰프SA의 입력노드 N0L (N1L) 과 N0R (N1R)의 전위는 접지전위로 되어 있으므로 챠지셰어에 의해서 노드 N0L (NIL)과 N0R (N1R)은 각각 대응하는 비트선BL0L (BL1L) 과 BL0R (BL1R)의 전위에 따른 전위로 된다.

이와 같은 센스앰프SA의 입력신호의 페치가 종료하면, 신호DPB가 로우레벨로, 신호DN이 하이레벨로 되어 MOSFET Q4와 Q5가 온상태로 되어 센스앰프가 증폭동작을 개시한다. 제5도 (a) 에서는 상기 센스앰프SA의 증폭동작에 의해서 비트선BL0L 과 노드N0L은 하이레벨을 향해서 상승하고, 비트선BL0R 과 노드 N0R은 로우레벨을 향해서 저하한다. 제5도 (b)에서는 상기 센스앰프SA의 증폭동작에 의해서 비트선 BL1L과 노드N1L은 로우레벨을 향해서 저하하고 비트선BL1R과 노드N1R은 하이레벨을 향해서 상승한다.

본 실시예에서는 상기와 같이 스위치MOSFETQ2등의 게이트에 공급되는 신호TRL과 TRR이 중간적인 하이레벨로 되어 있으므로 센스앰프SA의 증폭동작에 의해서 노드N0L이 하이레벨로 되면, 그것에 대응한 스위치MOSFET이 자동적으로 오프상태로 되고 노드N0L의 하이레벨의 상승을 고속으로 함과 동시에 그 때의 챠지업 전류를 저감시키는 것이다. 로우레벨측의 노드 N0R에 대응한 스위치MOSFET은 온상태를 계속하고 있고, 센스앰프의 증폭동작에 따라서 비트선 BL0R의 전위도 회로의 접지전위와 같은 로우레벨로 낮아진다.

이 실시예에서는 센스앰프SA의 증폭출력의 하이레벨에 대응한 트랜스퍼MOSFET이 자동적으로 오프상태로 되고, 하이레벨리드의 비트선의 전위를 약 1V와 같은 하이레벨에 고정하므로 메모리셀로의 소프트라이트방지를 도모할 수 있다. 상기 센스앰프의 동작개시 전에 신호STSL이나 STDL을 로우레벨로 할 필요가 없고 센스앰프SA가 증폭동작을 개시한 후의 적당한 타이밍에서 상기 신호STSL이나 STDL을 로우레벨로 하면 좋으므로 타이밍설정이 용이하게 되는 것이다.

제6도 (a) 및 제6도 (b) 에는 상기 센스앰프의 증폭동작의 또다른 1실시예를 설명하기 위한 파형도가 도시되어 있다. 상기 제4도 (a)와 마찬가지로 제6도 (b)는 비트선 BL0L에 마련된 기억MOSFET이 논리 " 0" 의 기억정보를 유지하고 있을 때, 즉 기억MOSFET의 임계값전압Vth가 워드선의 선택전위Vcc에 대해서 높을 때(Vth≥Vcc)를 도시하고 있다. 제6도 (b)는 비트선BL1L에 마련된 기억MOSFET이 논리 " 1" 의 기억정보를 유지하고 있을 때, 즉 기억MOSFET의 임계값전압Vth가 워드선의 선택전위Vcc에 대해서 낮을 때 (Vcc≥Vth≥0) 를 도시하고 있다. 또 상기 제6도 (a) 및 제6도 (b)에는 제어신호STDR이 로우레벨로 되어 좌측의 비트선BL0L , BL1L에 접속된 기억MOSFET을 리드하는 경우가 도시되어 있다.

이 실시예에서는 제4도 (a) 및 제4도 (b)와 마찬가지로 신호 TRL 과 TRR을 로우레벨로 하는 타이밍이 신호DPB와 DN에 의해 센스앰프를 활성화시키는 타이밍전에 실행된다. 즉, 상기와 같이 센스앰프가 증폭동작을 개시하기 전에 트랜스퍼MOSFET을 오프상태로 해도, 센스앰프의 입력노드N0L (N1L) 이나 N0R (N1R) 등에는 이미 기억MOSFET의 기억정보에 따라서 신호레벨과 기준전압이 페치되어 있으므로 문제없다. 이 경우에는 증폭개시시에 센스앰프SA측에서 비트선에 대해서 일절 전류를 공급하지 않으므로 한층 고속화와 저소비전력화를 도모할 수 있다.

이 실시예에서는 센스앰프SA가 증폭동작을 개시하기 전에 스위치MOSFETQ2등의 게이트에 공급되는 신호TRL과 TR

R이 로우레벨로 되는 것에 착안해서 신호STDL과 STSL을 하이레벨에서 로우레벨로 하는 타이밍을 센스앰프SA가 증폭동작을 개시한 후에 실행하도록 하는 것이다. 즉, 상기와 같은 스위치MOSFETQ2등의 오프상태에 의해서 메모리셀로의 소프트라이트를 방지할 수 있으므로 상기 센스앰프의 동작개시전에 신호STSL 이나 STDL을 로우레벨로 할 필요가 없고, 센스앰프SA가 증폭동작을 개시한 후의 적당한 타이밍에서 상기 신호STSL이나 STDL을 로우레벨로 하면 좋으므로 타이밍설정이 용이하게 되는 것이다.

또 상기와 마찬가지로 센스앰프가 증폭동작을 개시할 때, 입력노드에는 비교적 작은 신호레벨밖에 없으므로 안정한 증폭동작을 실행시키기 위해서 동작개시시에는 작은 전류공급을 실행하는 MOSFET에 의해 동작전압을 공급하고, 증폭신호가 어느 정도 크게 되고 나서 큰 전류공급을 실행하는 MOSFET에 의해 동작전압을 공급한다고 하는 2단계 증폭동작을 실행하도록 하는 것이라도 좋다. 이 때문에 파워스위치MOSFET은 작은 사이즈의 MOSFET과 큰 사이즈의 MOSFET을 병렬형태로 접속하고, 증폭개시시에는 상기 작은 사이즈의 MOSFET을 온상태로 하고, 그 후에 큰 사이즈의 MOSFET을 온상태로 하도록 제어된다.

제20도에는 소프트라이트수명의 특성도가 도시되어 있다. 소프트라이트라는 것은 리드시에 논리" 1" 의 메모리셀에 논리" 0" 의 데이타를 라이트해 버리는 현상을 말한다. 즉, 리드시에 메모리셀에 전류를 흘려서 센스하지만, 이 때에 드레인전압을 높게 하면 열전자의 발생확율이 증대하고, 그 중의 전자의 일부를 플로팅게이트에 의해 페치해 버린다. 이와 같이 플로팅게이트가 전자의 페치를 실행하면, 부전위를 띄게 되어 메모리셀의 임계값전압이 높아진다.

임계값전압이 어떤 전위이상으로 높게 되면, 그 메모리셀은 논리" 1" 로써는 리드할 수 없으므로 그 기억데이타의 수명이 다하는 것으로 된다.

소프트라이트수명을 연장하기 위해서는 열전자의 발생확율을 저감시키면 좋다. 이 열전자의 발생확율을 저감시키는 방법으로써는 메모리셀의 드레인전압을 낮추는 방법이나, 드레인 근방에서의 전계를 약화시키기 위해서 공핍층을 넓히는 방법이 고려되지만 소자의 미세화를 추진하기 위해서는 공핍층을 넓히는 방법은 불리하다. 이때문에 이 실시예에서는 상기와 같이 리드시의 드레인전압을 낮추는 것이다. 제20도의 특성도에서 도시한 바와 같이 소프트라이트수명을 10년 보증하기 위해서는 메모리셀의 드레인이 접속되는 비트선BL의 프리챠지전압을 1V정도로 하고, 센스앰프의 증폭출력이 메모리셀의 드레인에 인가되지 않도록 연구하는 것이다.

제13도에는 데이타선과 상기 CMOS래치회로로 이루어지는 센스앰프의 관계를 설명하기 위한 1실시예의 회로도가 도시되어 있다. 제13도에는 센스앰프SA를 사이에 두고 배치된 2개의 메모리매트의 4개의 데이타선DL0 DL3과 그것에 대응한 4개의 센스앰프SA가 대표로써 예시적으로 도시되어 있다.

센스앰프SA는 제15도에 도시되어 있는 바와 같이 입력과 출력이 교차접속된 1쌍의 CMOS인버터회로로 구성된다. 상기 CMOS인버터회로로 이루어지는 래치회로에는 상기와 같이 전원공급용의 스위치MOSFET에 의해서 활성화가 실행되므로 실질적으로 클럭드인버터회로와 같은 동작을 실행한다. 그 때문에 제15도에서는 상기2개의 CMOS인버터회로는 클럭드인버터회로의 형태로 도시되어 있다.

상기 센스앰프의 1쌍의 입력에는 입력노드를 0V로 세트하는 MOSFET (제2도의 Q3) 이 마련된다. 이것에 의해 증폭동작을 개시하기 전에는 입력신호가 0V로 세트된다. 상기 센스앰프SA의 1쌍의 입력은 트랜스퍼MOSFET (TRMOS)를 거쳐서 데이타선 DL0 DL3에 접속된다. 트랜스퍼MOSFET은 우수번째의 데이타선DL0 , DL2와 기수번째의 데이타선 DL1 , DL2에 대응해서 2개로 나눠지고 각각 선택신호F0과 F1이 공급된다.

이것에 대응해서 우수데이타선DL0과 DL2에 마련된 프리챠지MOSFET의 게이트에는 프리챠지전압Vr0이 공급되고 기수데이타선DL1과 DL3이 마련된 프리챠지MOSFET의 게이트에는 프리챠지전압Vr1이 공급된다. 상기 선택신호 F0과 F1은 제2도의 신호TRL이나 TRR에 대응하고 있다. 전압Vr0과 Vr1도 신호PRL과 PRR에 대응하고 있다.

상기 센스앰프SA의 1쌍의 입력에는 각각에 Y게이트 YG를 구성하는 스위치MOSFET이 마련되고 각각의 게이트에는 선택신호Y0 Y3이 공급된다. 상기 Y게이트YG의 출력은 공통화되어 제2단째의 Y게이트를 구성하는 스위치MOSFET을 거쳐서 데이타 입력버퍼나 데이타출력버퍼에 인도되는 입출력용데이타선 I/O 에 접속된다.

이 실시예에서는 상기와 마찬가지로 상기 1쌍의 메모리매트는 한쪽이 활성화될 때에는 다른 쪽이 비활성화된다. 이 비활성화되는 메모리매트는 그것이 비활성상태로 됨에도 불구하고, 상기 트랜스퍼MOSFET이 온상태로 되고 그것에 대응한 데이타선이 센스앰프의 입력에 접속된다. 그리고 상기와 같이 비활성메모리매트측에서는 데이타선의 프리챠지전압Vr이 활성화되는 메모리매트의 데이타선의 하이레벨과 로우레벨의 중간전위로 되도록 낮게 설정된다. 이것에 의해 비활성측의 메모리매트의 데이타선은 센스앰프의 기준전압 (Ref . DL)로써 사용할 수 있다.

특히 제한되지 않지만 센스앰프SA가 CMOS래치회로에 의해 구성되는 것에 대응해서 라이트동작일 때에는 각 래치에 대해서 라이트데이타가 유지된다. 즉, 상기 Y게이트YG를 순차로 열어서 라이트데이타를 세트한 후에 우수용과 기수용의 트랜스퍼MOSFET을 동시에 온상태로 해서 동시에 라이트동작을 실행하도록 하는 것이다. 이러한 라이트동작에 따라서 센스앰프의 동작전압이 4V와 같은 전압으로 전환된다. 이것에 대해서 리드동작 및 라이트검증시에는 최초의 메모리사이클을 제외하고 우수와 기수의 데이타선이 교대로 지그재그형상으로 활성화된다.

제14도에는 제13도의 실시예에 대응한 리드동작의 1예를 설명하기 위한 파형도가 도시되어 있다. 제14도에는 워드선의 전환을 동반한 연속리드동작의 예가 도시되어 있다.

최초의 메모리사이클에 의해서 워드선WL0이 선택되었을 때에는 모든 데이타선DL0 DL3등이 활성화되고, 그것에 따라 모든 센스앰프가 활성화된다. 제14도에 있어서 점선으로 도시되어 있는 것은 프리챠지전압Vr, 트랜스퍼MOSFET의 선택신호이다. 선택신호Y0이 발생되어 데이타선 DL0에 대응한 데이타Dout의 출력이 실행되고 계속해서 선택신호Y2가 발생되어 데이타선DL2에 대응한 데이타Dout의 출력이 실행된다.

계속해서 선택신호Y1에 대응해서 기수번째의 데이타선DL1에 대응한 데이타Dout의 출력이 실행되는 것과 병행해서 워드선의 전환이 실행된다. 즉, 워드선WL0이 비선택으로 되고, 대신 다음의 어드레스에 대응한 워드선WL1이 선택된다. 이 워드선WL1의 선택동작에 대응해서 상기 리드동작이 종료한 우수번째의 데이타선DL0과 DL2에 대한 프리챠지동작, 센스앰프의 증폭동작이 실행된다. 이러한 워드선의 전환이 가능한 이유는 센스앰프SA와 데이타선이 트랜스퍼MOSFET에 의해서 분리되어 있기 때문이다. 즉 상기 기수번째의 데이타선DL1에 대응한 데이타Dout의 출력은 센스앰프SA에 의해서 유지되고 있는 데이타가 출력되는 것만으로 되기 때문이다.

상기 데이타선DL1에 대응한 데이타Dout의 출력에 이어서 선택신호Y3에 의해 데이타선DL3에 대응한 데이타Dout의 출력이 실행된다. 이후에, 다시 선택신호Y0이 발생되고, 워드선WL1에 대응한 데이타선DL0의 데이타Dout가 출력된다. 이 사이에 워드선WL2의 선택동작에 의해서 데이타선DL1과 DL3에 리드되어 있는 신호가 센스앰프에 의해서 증폭된다. 다음에 순차로 선택신호Y2, Y1 및 Y3에 대응해서 데이타선DL2, DL1 및 DL3에 대응한 데이타Dout가 순차출력된다. 다시 워드선의 전환이 실행되면 우수번째의 데이타선DL2에 대응한 데이타Dout의 출력이 종료한 타이밍에서 실행된다.

제15도에는 데이타선과 상기 센스앰프와의 관계를 설명하기 위한 다른 1실시예의 회로도가 도시되어 있다. 이 실시예에서는 제13도의 실시예에 대해서 자동라이트기능이 추가되어 있다.

제16도 (a) 및 제16도 (b)에는 상기 제15도의 실시예회로의 동작의 1예를 설명하기 위한 파형도가 도시되어 있다. 제

16도 (a)에는 그 라이트동작 (Program) 과 라이트검증동작 (Program Verify)의 파형도가 도시되어 있다. 이 파형도를 참조해서 상기 자동라이트기능을 설명한다. 라이트동작에 있어서는 제16도 (a)에서는 생략되어 있지만 메모리셀로의 라이트동작에 앞서서 라이트데이타TData가 Y게이트를 거쳐서 입력된다. 이 때, 센스앰프는 데카MOS가 온상태로 되어 활성화되어 있고 상기 라이트데이타를 페치하는 동작을 실행한다.

신호PWO에 의해 MOSFET이 온상태로 된다. 상기 라이트데이타TData가 로우레벨이면 그것을 받는 자동라이트회로의 MOSFET이 오프상태이므로 데이타선DL1의 전위는 로우레벨인 채로 되지만, 제16도 (a)에 도시되는 바와 같이 데이타TData가 하이레벨이면, 상기 자동라이트회로의 MOSFET는 온상태로 되고 신호PWO에 의해 온상태로 되는 MOSFET를 통해서 전원전압Vcc에 의해 챠지업된다. 이것에 의해 큰 기생용량을 갖는 데이타선DL1에 예비적인 챠지업동작이 실행된다. 이것에 의해 센스앰프에 유지되어 있는 라이트데이타가 상기 데이타선DL1의 로우레벨에 의해서 반전되어 버리는 것을 방지할 수 있다.

계속해서 신호TS0이 Vcc이상으로 높아진다. 이것에 의해 트랜스퍼MOSFET이 온상태로 되어 센스앰프를 통해서 데이타선DL1의 전위를 라이트동작에 필요한 전압4V정도로 높게한다.

제16도 (a)에는 도시되어 있지 않지만, 워드선이 -10V와 같은 전압으로 되므로 플로팅게이트와 드레인간에 드레인측을 향하는 고전압이 인가되고 플로팅게이트에서 드레인을 향해서 터널전류가 흐른다고 하는 라이트동작이 실행된다.

상기와 같은 라이트동작의 종료에 의해 신호PW0이 로우레벨로 되고, 세트MOSFET이 온상태로 되어 데이타선DL1의 전위는 로우레벨로 세트되고 라이트검증으로 이행한다. 즉, 신호RR0이 프리챠지전압Vr로 되어 데이타선DL1의 프리챠지를 실행한다.

이것에 대해서 비선택메모리매트측의 신호PR1은 상기와 같이 기준전압에 대응한 전위로 되므로 비선택메모리매트측의 데이타선DL1의 전위는 기준전압Ref . DL로 된다.

상기 데카(DEKA)MOSFET가 오프상태로 되어 센스앰프는 일단 비활성상태로 된다. 상기 라이트가 실행된 기억MOSFET의 임계값전압이 낮게 되면, 데이타선DL1의 전위는 로우레벨로 저하하고(OK Data), 라이트가 불충분하고 임계값전압이 높은 상태이면, 하이레벨 (NG Data)의 상태로 된다. 신호TS0과 TS1에 의해 트랜스퍼MOSFET이 온상태로 되고 상기 리드데이타와 기준전압Ref . DL이 센스앰프의 입력에 공급되고 데카MOSFET이 온상태로 되어 활성화시킨다.

이 검증의 결과가 상기와 같이 불충분하면, 다시 라이트동작이 실행되고, 상기와 같은 로우레벨의 신호가 얻어질 때까지 미리 결정된 회수를 한도로 해서 반복해서 실행된다. 상기 일정회수에 도달해도 라이트가 불충분하다고 판정되었으면, 그 메모리셀은 불량이 되고 필요에 따라서 용장회로로 전환된다.

제16도 (b)에는 리드동작을 설명하기 위한 파형도가 도시되어 있다. 앞의 리드동작의 종료에 의해 데카MOSFET이 오프상태로 된다. 세트MOSFET에 의해 데이타선DL의 전위가 로우레벨로 된다. 그리고, 상기 블럭으로 나뉜 메모리셀의 드레인측셀렉트MOSFET이 온상태로 된다. 그리고 프리챠지전압PR0과 PR1이 각각의 메모리매트의 선택/비선택에 따라서 1쌍의 데이타선을 프리챠지전압과 기준전압으로 설정한다. 그 후에, 상기 블럭으로 나눠진 메모리셀의 각각측의 셀렉트MOSFET이 온상태로 되어, 선택메모리매트측의 데이타선의 전위는 선택된 기억MOSFET이 오프상태이면 프리챠지레벨인 채로 되고 온상태이면 메모리전류에 의해서 로우레벨로 빼내진다.

신호TS0과 TS1이 하이레벨로 되어, 트랜스퍼MOSFET이 온상태로 되고 상기 1쌍의 데이타선을 센스앰프의 입력에 접속한다. 그리고 세트MOSFET이 오프상태로 되고, 데카MOSFET이 온상태로 되어 센스앰프의 활성화가 실행되고 상기 리드신호의 증폭동작을 실행한다.

상기 제15도의 실시예에 있어서 센스앰프의 입력전압을 받는 MOSFET은 모두" 1" 의 검출회로로써 마련된다. 즉, 동일한 다른 센스앰프의 입력에 마련된 MOSFET과 와이어드OR논리가 채용되고 리드된 데이타선이 모두 로우레벨인 때, 이들 모두의 MOSFET이 오프상태로 되어 하이레벨의 검출신호를 얻을 수 있다. 어느 1개의 센스앰프의 입력이 하이레벨이면, MOSFET이 온상태로 되어 로우레벨의 검출신호를 형성하므로 전체 MOSFET의 오프상태로써 전체 신호의 " 1" 을 검출할 수 있다. 즉, 제15도에 있어서 센스앰프의 좌측의 데이타선에서는 메모리셀로 부터의 리드가 " 1" 일 때, 소거상태인 것을 나타내고 있다.

이것에 대해서 센스앰프의 출력을 좌측회로와 같은 우측회로에 의해서 출력시키는 구성일 때에는 우측에 마련된 데이타선에서는 라이트와 소거의 논리레벨이 반대로 된다. 즉, 차동형센스앰프의 우측의 데이타선에 마련된 메모리셀에 대해서는 로우레벨출력으로써 소거상태로 되지만, 외부단자에서 보면, 모두 " 0" 일 때 소거상태로 판정된다.

제17도에는 데이타선과 상기 차동형센스앰프의 관계를 설명하기 위한 또 다른 1실시예의 회로도가 도시되어 있다. 이 실시예에서는 프리챠지MOSFET이 생략된다. 즉, 라이트용의 신호PW0, PW1에 리드용 프리챠지기능을 아울러 갖게 해서 상기 프리챠지MOSFET을 삭감하는 것이다.

신호PW가 라이트동작과 검증 및 리드동작일 때에도 사용되고 각각의 동작모드에 따라서 전압레벨이 변화시켜진다. 즉, 제15도의 신호 PW와 PR이 1개의 신호PW에 의해 실현되는 것이다.

상기 프리챠지MOSFET은 각 데이타선에 대응해서 마련되는 것이고, 약 32M비트 등과 같은 큰 기억용량을 갖도록 된 반도체기억장치에서는 예를들면 데이타선의 수도 4096개 또는 8192개와 같이 다수 마련되므로 삭제되는 프리챠지MOSFET의 수도 그것에 대응해서 많아진다.

제18도에는 본 발명에 관한 반도체기억장치를 사용한 마이크로컴퓨터등의 정보처리시스템의 1실시예의 블럭도가 도시되어 있다.

제18도의 플래시메모리는 상기 실시예와 같은 반도체기억장치로 구성된다.

이 실시예의 시스템은 중앙처리장치 (또는 마이크로프로세서) CPU , 어드레스디코더 , 타이밍콘트롤러 , 데이타버퍼, 데이타레지스터 , 릴레이 및 상기와 같은 플래시메모리를 포함하고 있다. 플래시메모리는 대표로써 1개가 예시적으로 도시되어 있지만, 바람직한 기억용량을 얻기 위해서 다수의 플래시메모리가 병렬형태로 접속된다. 또, 마이크로컴퓨터등의 시스템을 구성하는 데에 필요한 메모리RAM이나 ROM 및 입출력장치는 본 발명에 직접 관계가 없으므로 생략되어 있다.

상기 플래시메모리의 SC핀은 직렬클럭입력단자이다. 이 입력단자에서 입력된 클럭SC에 동기해서 데이타가 직렬로 출력된다. 이 직렬클럭SC는 타이밍콘트롤러에 의해 발생되도록 되어 있지만, CPU의 시스템클럭을 직접적으로 입력하는 것이라도 좋다.

플래시메모리로 부터의 직렬리드는 / CE와 / OE가 로우레벨로 되어 있을 때에 SC에 동기해서 내부어드레스가 인크리먼트한다. 이것에 따라서 I / O 핀에서 데이타가 직렬로 출력된다. 이 때, 어드레스버스는 프리로 된다. 상기 제1번째의 플래시메모리가 직렬로 출력이 되어 있을 때에, 도면에 도시하지 않은 제2번째 등의 플래시메모리에서 출력을 얻을 때에는 신호 / OE를 분리해 두고 데이타가 데이타버스에서 경합하지 않도록 하면 좋다.

제19도에는 본 발명에 관한 반도체기억장치를 사용한 메모리장치의 1실시예의 블럭도가 도시되어 있다. 이 실시예의 메모리장치는 그 데이타기억부에 상기 실시예와 같은 플래시메모리가 사용된다. 이 플래시메모리로의 데이타의 라이트와 리드시에는 전용LSI에 의해 구성된 ECC회로에 의해 데이타의 에러 · 검출이 실행된다. EEPROM등에 의해 섹터관리테이블이 구성된다.

이 섹터관리테이블은 특히 제한되지 않지만 1개의 워드선단위에서의 라이트, 리드 및 소거를 실행하도록 하고, 그것을 1개의 섹터로서 취급하도록 하는 것이다. 이 섹터단위에서의 데이타의 리라이트에 의해 리라이트회수(리라이트회수 또는 소거회수) 를 계수해두고, 그것이 허용값을 넘으면, 그 섹터로의 액세스를 금지해서 신뢰성을 높게 하는 것이다.

플래시메모리에 대한 라이트동작은 리드시간에 비해서 긴 시간을 필요로 한다. 그러므로, 호스트시스템등에서의 라이트동작은 상기 플래시메모리에 대해서 직접 실행하는 것은 아니고 라이트버퍼에 대해서 라이트데이타의 입력이 실행된다. 특히 제한되지 않지만, 라이트버퍼는 상기 1섹터분의 기억용량을 갖고, 1섹터분의 기억데이타를 페치한다. 라이트버퍼에 페치된 라이트데이타는 플래시메모리의 센스앰프에 대해서 바이트단위로 순차로 라이트된다. 상기 1섹터분의 데이타를 센스앰프에 라이트하면, 상기와 같은 라이트동작이 개시된다.

리드동작은 상기와 같이 플래시메모리에 대해서 선두어드레스를 공급하면, 1섹터분의 데이타가 내부의 어드레스발생회로 (어드레스카운터)에 의해 형성된 어드레스의 순서에 따라서 1바이트 단위로 직렬로 출력된다.

상기와 같은 라이트동작이나 리드동작 및 섹터관리테이블의 제어는 원칩마이컴 (1칩의 마이크로컴퓨터) 에 의해 실행된다. 이 실시예의 메모리장치는 종래의 하드메모리장치나 플로피디스크메모리장치와 호환성을 갖게 되고 표준버스인터페이스부를 거쳐서 표준버스에 접속된다. 이 표준버스에는 도시하지 않지만, 호스트시스템을 구성하는 중앙처리장치 CPU, 메인 메모리, 캐시메모리 (제1캐시메모리, 제2캐시메모리)등이 접속된다.

상기의 실시예에서 얻어지는 작용효과는 다음과 같다.

(1) 센스앰프로써 CMOS래치회로를 계속 사용하면서, 그 입출력과 데이타선 또는 비트선간에 스위치회로를 마련해서 센스앰프의 증폭동작의 직전 또는 직후에 스위치회로를 오프상태로 하는 것에 의해 센스앰프의 실질적인 증폭동작에 있어서는 다수의 기억트랜지스터가 접속되는 것에 의해서 큰 기생용량을 갖는 데이타선 또는 비트선이 분리되고, 센스앰프는 그 입출력의 기생용량만을 구동하면 좋으므로 고속화와 저소비전력화를 도모할 수 있다고 하는 효과가 얻어진다.

(2) 센스앰프로써 CMOS래치회로를 사용하면서, 그 입출력과 데이타선 또는 비트선간에 스위치MOSFET을 마련해서 그 게이트에 비트선의 프리챠지전압에 대응한 중간레벨을 공급하는 것에 의해 센스앰프의 실질적인 증폭동작에 있어서 하이레벨로 되는 출력신호에 따라서 대응하는 스위치MOSFET이 자동적으로 오프상태로 되어, 다수의 기억트랜지스터가 접속되는 것에 의해서 큰 기생용량을 갖는 데이타선 또는 비트선이 분리되고, 센스앰프는 그 입출력의 기생용량만을 구동하면 좋으므로 고속화와 저소비전력화를 도모할 수 있음과 동시에 타이밍제어가 용이하게 된다고 하는 효과가 얻어진다.

(3) 인접해서 배치된 기수번째와 우수번째의 데이타선에 대응해서 제1군의 센스앰프와 제2군의 센스앰프로 나누고, 한쪽의 센스앰프군의 출력신호를 직렬로 출력시키고 있는 사이에, 워드선의 전환을 실행함과 동시에 다른 쪽의 센스앰프군을 상기 전환된 워드선에 대응한 메모리셀로 부터의 리드신호의 증폭동작을 실행시키는 것에 의해 기수번째와 우수번째의 데이타선의 리드동작을 교대로 실행하도록 하는 것에 의해서 인접데이타선간의 커플링노이즈를 저감할 수 있고, 고속으로 연속한 직렬리드를 실행할 수 있다고 하는 효과가 얻어진다.

이상 본 발명자에 의해 이루어진 발명을 실시예에 따라서 구체적으로 설명했지만, 본원 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다. 예를들면 기억트랜지스터는 EPROM과 같이 자외선소거를 실행하는 것, 고정적으로 정보기억이 실행되는 마스크ROM을 구성하는 것이라도 좋다. 센스앰프는 1개의 메모리매트에 있어서의 1쌍의 비트선에 대응해서 마련되는 것이라도 좋다. 이 경우, 기수비트선과 우수

비트선의 한쪽에서 리드동작을 실행해서 다른 쪽에서 기준전압을 얻도록 하는 것이라도 좋다.

본 발명은 기억정보에 따라서 높은 임계값전압 또는 낮은 임계값전압을 갖도록 된 반도체기억장치에 널리 이용할 수 있다. 이 반도체기억장치는 1칩의 마이크로컴퓨터 등과 같은 디지탈집적회로에 내장되는 것이라도 좋다.

본원에 있어서 개시되는 발명중, 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 다음과 같다. 즉, 센스앰프로써 CMOS래치회로를 계속 사용하면서, 그 입출력과 데이타선 또는 비트선간에 스위치회로를 마련하고, 센스앰프의 증폭동작의 직전 또는 직후에 스위치회로를 오프상태로 하는 것에 의해 센스앰프의 실질적인 증폭동작에 있어서는 다수의 기억트랜지스터가 접속되는 것에 의해서 큰 기생용량을 갖는 데이타선 또는 비트선이 분리되고, 센스앰프는 그 입출력의 기생용량만을 구동하면 좋으므로 고속화와 저소비전력화를 도모할 수 있다.

(57) 청구의 범위

청구항 1.

여러개의 제1 데이타선, 여러개의 제2 데이타선, 여러개의 메모리셀, 상기 여러개의 제1 데이타선의 각각에 결합되는 여러개의 제1 프리챠지회로, 상기 여러개의 제2 데이타선의 각각에 결합되는 여러개의 제2 프리챠지회로, 여러개의 센스앰프, 여러개의 제1 스위치회로 및 여러개의 제2 스위치회로를 갖고, 상기 여러개의 메모리셀의 각각은 그 안에 저장된 데이타에 따라서 제1 및 제2 임계값전압의 한쪽을 구비하고, 상기 여러개의 제1 데이타선 또는 상기 여러개의 제2 데이타선중의 어느 한쪽의 대응하는 데이타선에 결합되고, 상기 여러개의 센스앰프의 각각은 상기 여러개의 제1 데이타선 중의 하나의 제1 데이타선과 상기 여러개의 제2 데이타선 중의 하나의 제2 데이타선에 결합되고, 입력단자쌍을 구비하고, 리드동작에 있어서 한쪽의 단자에는 제1 기준전압이 공급되어 선택된 메모리셀의 데이타를 증폭하고, 상기 여러개의 제1 스위치회로의 각각은 상기 여러개의 제1 데이타선 중의 대응하는 하나의 데이타선을 상기 여러개의 센스앰프중의 대응하는 센스앰프의 입력쌍의 한쪽에 결합하고, 상기 여러개의 제2 스위치회로의 각각은 상기 여러개의 제2 데이타선 중의 대응하는 하나의 데이타선을 상기 여러개의 센스앰프 중의 대응하는 센스앰프의 입력쌍의 다른쪽에 결합하고, 상기 여러개의 센스앰프 중의 소정의 센스앰프에 세트된 데이타에 따라서 상기 여러개의 메모리셀 중의 소정의 메모리셀에 데이타가 라이트되는 라이트동작이 실행된 후, 상기 소정의 센스앰프에 세트된 데이타가 상기 소정의 메모리에 라이트되었는지 라이트되지 않았는지를 검증하기 위한 리드동작에 있어서 상기 소정의 센스앰프에 결합된 제1 데이타선은 상기 여러개의 제1 프리챠지회로 중의 대응하는 제1 프리챠지회로에 의해서 프리챠지되고, 상기 소정의 센스앰프에 결합된 제2 데이타선은 상기 여러개의 제2 프리챠지회로중의 대응하는 제2 프리챠지회로에 의해서 프리챠지되고, 상기 대응하는 제2 프리챠지회로가 상기 소정의 센스앰프에 결합된 상기 제2 데이타선을 상기 제1 기준전압으로 프리챠지할때, 상기 대응하는 제1 프리챠지회로는 상기 소정의 센스앰프에 결합된 상기 제1 데이타선을 제2 전압으로 프리챠지하고, 상기 대응하는 제1 프리챠지회로가 상기 소정의 센스앰프에 결합된 상기 제1 데이타선을 상기 제1 기준전압으로 프리챠지할때, 상기 대응하는 제2 프리챠지회로는 상기 소정의 센스앰프에 결합된 상기 제2 데이타선을 상기 제2 전압으로 프리챠지하고, 상기 제2 전압의 값은 상기 제1 기준전압의 값보다 높고, 상기 리드동작에 있어서 상기 대응하는 제1 및 제2 프리챠지회로의 각각이 상기 소정의 센스앰프에 결합된 상기 제1 및 상기 제2 데이타선을 프리챠지한 후, 상기 제1 및 상기 제2 스위치회로의 각각은 온되고, 상기 소정의 메모리셀에 라이트된 데이타가 상기 소정의 센스앰프에 의해서 상기 제2전압보다 높은 전압레벨로 증폭되기 전에 상기 제1 및 상기 제2 스위치회로의 각각은 오프되는 반도체기억장치.

청구항 2.

제1항에 있어서, 상기 여러개의 센스앰프의 각각은 상기 입력단자에 결합되는 입출력단자를 구비하는 플립플롭회로 및 상기 플립플롭회로의 제어를 실행하는 제어회로를 구비하는 반도체기억장치.

청구항 3.

제2항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 상기 플립플롭회로가 동작되기 전에 온으로 되는 반도체기억장치.

청구항 4.

제3항에 있어서, 상기 여러개의 메모리셀의 각각은 반도체기판내에 형성된 제1 영역 및 제2 영역, 상기 제1 및 상기 제2 영역 사이의 영역을 덮는 제1 절연막, 상기 제1 절연막을 덮는 플로팅게이트, 상기 플로팅게이트를 덮는 제2 절연막 및 상기 제2 절연막을 덮는 콘트롤게이트를 갖고, 상기 제1 영역은 상기 여러개의 제1 데이타선 중의 하나의 데이타선 또는 상기 여러개의 제2 데이타선 중의 하나의 데이타선에 결합되고, 상기 콘트롤게이트는 여러개의 워드선 중의 하나의 워드선에 결합되는 반도체기억장치.

청구항 5.

제4항에 있어서, 상기 플립플롭회로는 CMOS인버터쌍을 교차결합한 구성이고, 상기 제어회로는 풀업 파워스위치 MOSFET와 풀다운 파워스위치 MOSFET로 이루어지는 반도체기억장치.

청구항 6.

제5항에 있어서, 제1 및 제2 리세트회로를 더 갖고, 상기 제1 및 상기 제2 프리챠지회로에 의한 프리챠지동작전에 상기 제1 및 제2 리세트회로는 플립플롭회로의 상기 입출력단자를 기준접지전압으로 리세트하는 반도체기억장치.

청구항 7.

제3항에 있어서, 상기 플립플롭회로는 CMOS 인버터쌍을 교차결합한 구성이고, 상기 제어회로는 풀업 파워스위치 MOSFET와 풀다운 파워스위치 MOSFET 로 이루어지는 반도체기억장치.

청구항 8.

제3항에 있어서, 제1 및 제2 리세트회로를 더 갖고, 상기 제1 및 상기 제2 프리챠지회로에 의한 프리챠지동작전에 상기 제1 및 제2 리세트회로는 상기 플립플롭회로의 상기 입출력단자를 기준접지전압으로 리세트하는 반도체기억장치.

청구항 9.

제3항에 있어서, 상기 제1 및 상기 제2 프리챠지회로의 각각은 제1 MOS 트랜지스터 스위치를 갖고, 상기 제1 MOS 트랜지스터 스위치의 게이트에 상기 제1 MOS 트랜지스터 스위치의 임계값전압보다 높게 증폭된 전압이 공급되는 것에 의해, 상기 제1 MOS트랜지스터 스위치는 온되는 반도체기억장치.

청구항 10.

제9항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 제2 MOS트랜지스터 스위치를 갖고, 상기 제2 MOS 트랜지스터 스위치는 상기 센스앰프를 동작시키기 위한 전원전압의 진폭에 대응하고 있는 진폭을 갖는 제어전압 또는 상기 제2전압의 진폭보다 높은 진폭을 갖는 제어전압에 응답해서 온되는 반도체기억장치.

청구항 11.

여러개의 제1 데이타선, 여러개의 제2 데이타선, 여러개의 메모리셀, 상기 여러개의 제1 데이타선의 각각에 결합되는 여러개의 제1 프리챠지회로, 상기 여러개의 제2 데이타선의 각각에 결합되는 여러개의 제2 프리챠지회로, 여러개의 센스앰프, 여러개의 제1 스위치회로 및 여러개의 제2 스위치회로를 갖고, 상기 여러개의 메모리셀의 각각은 그 안에 저장된 데이타에 따라서 제1 및 제2 임계값전압의 한쪽을 갖고, 상기 여러개의 제1 데이타선 또는 상기 여러개의 제2 데이타선중의 어느 한쪽의 대응하는 데이타선에 결합되고, 상기 여러개의 센스앰프의 각각은 상기 여러개의 제1 데이타선 중의 하나의 제1 데이타선과 상기 여러개의 제2 데이타선 중의 하나의 제2 데이타선에 결합되고, 입력단자쌍을 갖고, 한쪽의 단자에는 제1 기준전압이 공급되고, 리드동작에 있어서 선택된 메모리셀의 데이타를 증폭하고, 상기 여러개의 제1 스위치회로의 각각은 상기 여러개의 제1 데이타선 중의 대응하는 하나의 데이타선을 상기 여러개의 센스앰프 중의 대응하는 센스앰프의 입력쌍의 한쪽에 결합하고, 상기 여러개의 제2 스위치회로의 각각은 상기 여러개의 제2 데이타선 중의 대응하는 하나의 데이타선을 상기 여러개의 센스앰프 중의 대응하는 센스앰프의 입력쌍의 다른쪽에 결합하고, 상기 여러개의 센스앰프 중의 소정의 센스앰프에 세트된 데이타에 따라서 상기 여러개의 메모리셀 중의 소정의 메모리셀에 데이타가 라이트되는 라이트동작이 실행된 후, 상기 소정의 센스앰프에 세트된 데이타가 상기 소정의 메모리의 라이트되었는지 라이트되지 않았는지를 검증하기 위한 리드동작에 있어서 상기 소정의 센스앰프에 결합된 제1 데이타선은 상기 여러개의 제1 프리챠지회로 중의 대응하는 제1 프리챠지회로에 의해서 프리챠지되고, 상기 소정의 센스앰프에 결합된 제2 데이타선은 상기 여러개의 제2 프리챠지회로 중의 대응하는 제2 프리챠지회로에 의해서 프리챠지되고, 상기 대응하는 제2 프리챠지회로가 상기 소정의 센스앰프에 결합된 상기 제2 데이타선을 상기 제1 기준전압으로 프리챠지할때, 상기 대응하는 제1 프리챠지회로는 상기 소정의 센스앰프에 결합된 상기 제1 데이타선을 제2 전압으로 프리챠지하고, 상기 대응하는 제1 프리챠지회로가 상기 소정의 센스앰프에 결합된 상기 제1 데이타선을 상기 제1 기준전압으로 프리챠지할때, 상기 대응하는 제2 프리챠지회로는 상기 소정의 센스앰프에 결합된 상기 제2 데이타선을 상기 제2 전압으로 프리챠지하고, 상기 제2 전압의 값은 상기 제1 기준전압의 값보다 높고, 상기 리드동작에 있어서 상기 대응하는 제1 및 제2 프리챠지회로의 각각이 상기 소정의 센스앰프에 결합된 상기 제1 및 상기 제2 데이타선을 프리챠지한 후, 상기 제1 및 상기 제2 스위치회로의 각각은 온되고, 상기 소정의 메모리셀에 라이트된 데이타가 상기 소정의 센스앰프에 의해서 증폭되는 동안에 상기 제1 및 상기 제2 스위치회로의 각각은 오프되는 반도체기억장치.

청구항 12.

제11항에 있어서, 상기 여러개의 센스앰프의 각각은 상기 입력단자에 결합되는 입출력단자를 구비하는 플립플롭회로 및 상기 플립플롭회로의 제어를 실행하는 제어회로를 구비하는 반도체기억장치.

청구항 13.

제12항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 상기 플립플롭회로가 동작되기 전에 온으로 되는 반도체기억장치.

청구항 14.

제13항에 있어서, 상기 여러개의 메모리셀의 각각은 반도체기판내에 형성된 제1 영역 및 제2 영역, 상기 제1 및 상기 제2 영역 사이의 영역을 덮는 제1 절연막, 상기 제1 절연막을 덮는 플로팅게이트, 상기 플로팅게이트를 덮는 제2 절연막 및 상기 제2 절연막을 덮는 콘트롤게이트를 갖고, 상기 제1 영역은 상기 여러개의 제1 데이타선 중의 하나의 데이타선 또는 상기 여러개의 제2 데이타선 중의 하나의 데이타선에 결합되고, 상기 콘트롤게이트는 여러개의 워드선 중의 하나의 워드선에 결합되는 반도체기억장치.

청구항 15.

제14항에 있어서, 상기 플립플롭회로는 CMOS인버터쌍을 교차결합한 구성이고, 상기 제어회로는 풀업 파워스위치MOSFET와 풀다운 파워스위치MOSFET로 이루어지는 반도체기억장치.

청구항 16.

제15항에 있어서, 제1 및 제2 리세트회로를 더 갖고, 상기 제1 및 상기 제2 프리챠지회로에 의한 프리챠지동작전에 상기 제1 및 제2 리세트회로는 상기 플립플롭회로의 상기 입출력단자를 기준접지전압으로 리세트하는 반도체기억장치.

청구항 17.

제13항에 있어서, 상기 플립플롭회로는 CMOS 인버터쌍을 교차결합한 구성이고, 상기 제어회로는 풀업 파워스위치MOSFET와 풀다운 파워스위치 MOSFET로 이루어지는 반도체기억장치.

청구항 18.

제13항에 있어서, 제1 및 제2 리세트회로를 더 갖고, 상기 제1 및 상기 제2 프리챠지회로에 의한 프리챠지동작전에 상기 제1 및 제2 리세트회로는 상기 플립플롭회로의 상기 입출력단자를 기준접지전압으로 리세트하는 반도체기억장치.

청구항 19.

제13항에 있어서, 상기 제1 및 상기 제2 프리챠지회로의 각각은 제1 MOS 트랜지스터 스위치를 갖고, 상기 제1 MOS 트랜지스터 스위치의 게이트에 상기 제1 MOS 트랜지스터 스위치의 임계값전압보다 높게 증폭된 전압이 공급되는 것에 의해, 상기 제1 MOS 트랜지스터 스위치는 온되는 반도체기억장치.

청구항 20.

제19항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 제2 MOS 트랜지스터 스위치를 갖고, 상기 제2 MOS 트랜지스터 스위치는 상기 센스앰프를 동작시키기 위한 전원전압의 진폭에 대응하고 있는 진폭을 갖는 제어전압 또는 상기 제2 전압의 진폭보다 높은 진폭을 갖는 제어전압에 응답해서 온되는 반도체기억장치.

청구항 21.

제16항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 게이트전극을 구비하는 MOSFET로 이루어지고, 상기 리드동작에 있어서 상기 제1 및 상기 제2 스위치회로의 각각의 게이트전극에는 소정의 전압이 공급되는 것에 의해, 상기 제1 및 상기 제2 스위치회로는 온되고, 상기 제1 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제1 스위치회로의 임계값전압을 가산한 값의 전압이 공급되고, 상기 제2 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제2 스위치회로의 임계값전압을 가산한 값의 전압이 공급되는 반도체기억장치.

청구항 22.

제17항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 게이트전극을 구비하는 MOSFET로 이루어지고, 상기 리드동작에 있어서 상기 제1 및 상기 제2 스위치회로의 각각의 게이트전극에는 소정의 전압이 공급되는 것에 의해, 상기 제1 및 상기 제2 스위치회로는 온되고, 상기 제1 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제1 스위치회로의 임계값전압을 가산한 값의 전압이 공급되고, 상기 제2 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제2 스위치회로의 임계값전압을 가산한 값의 전압이 공급되는 반도체기억장치.

청구항 23.

제18항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 게이트전극을 구비하는 MOSFET로 이루어지고, 상기 리드동작에 있어서 상기 제1 및 상기 제2 스위치회로의 각각의 게이트전극에는 소정의 전압이 공급되는 것에 의해, 상기 제1 및 상기 제2 스위치회로는 온되고, 상기 제1 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제1 스위치회로의 임계값전압을 가산한 값의 전압이 공급되고, 상기 제2 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제2 스위치회로의 임계값전압을 가산한 값의 전압이 공급되는 반도체기억장치.

청구항 24.

제20항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 게이트전극을 구비하는 MOSFET로 이루어지고, 상기 리드동작에 있어서 상기 제1 및 상기 제2 스위치회로의 각각의 게이트전극에는 소정의 전압이 공급되는 것에 의해, 상기 제1 및 상기 제2 스위치회로는 온되고, 상기 제1 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제1 스위치회로의 임계값전압을 가산한 값의 전압이 공급되고, 상기 제2 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제2 스위치회로의 임계값전압을 가산한 값의 전압이 공급되는 반도체기억장치.

청구항 25.

여러개의 제1 데이타선, 여러개의 제2 데이타선, 여러개의 메모리셀, 여러개의 센스앰프, 여러개의 제1 스위치회로 및 여러개의 제2 스위치회로를 갖고, 상기 여러개의 메모리셀의 각각은 그 안에 저장된 데이타에 따라서 제1 및 제2 임계값전압의 한쪽을 갖고, 상기 여러개의 제1 데이타선 또는 상기 여러개의 제2 데이타선중의 어느 한쪽의 대응하는 데이타선에 결합되고, 상기 여러개의 센스앰프의 각각은 입력단자쌍을 갖고, 리드동작에 있어서 상기 입력단자쌍의 한쪽의 단자에는 제1 기준전압이 공급되어 선택된 메모리셀의 데이타를 증폭하고, 상기 여러개의 제1 스위치회로의 각각은 상기 여러개의 제1 데이타선 중의 대응하는 하나의 데이타선을 상기 여러개의 센스앰프 중의 대응하는 센스앰프의 입력쌍의 한쪽에 결합하고, 상기 여러개의 제2 스위치회로의 각각은 상기 여러개의 제2 데이타선 중의 대응하는 하나의 데이타선을 상기 여러개의 센스앰프 중의 대응하는 센스앰프의 입력쌍의 다른쪽에 결합하고, 상기 여러개의 센스앰프 중의 소정의 센스앰프에 세트된 데이타에 따라서 상기 여러개의 메모리셀 중의 소정의 메모리셀에 데이타가 라이트되는 라이트동작이 실행된 후, 상기 소정의 센스앰프에 세트된 데이타가 상기 소정의 메모리에 라이트되었는지 라이트되지 않았는지를 검증하기 위한 리드동작에 있어서 상기 소정의 센스앰프에 결합된 제1 데이타선은 제1 프리챠지회로 중의 대응하는 제1 프리챠지회로에 의해서 프리챠지되고, 상기 소정의 센스앰프에 결합된 제2 데이타선은 제2 프리챠지회로 중의 대응하는 제2 프리챠지회로에 의해서 프리챠지되고, 상기 대응하는 제2 프리챠지회로가 상기 소정의 센스앰프에 결합된 상기 제2 데이타선을 상기 제1 기준전압으로 프리챠지할때, 상기 대응하는 제1 프리챠지회로는 상기 소정의 센스앰프에 결합된 상기 제1 데이타선을 제2 전압으로 프리챠지하고, 상기 대응하는 제1 프리챠지회로가 상기 소정의 센스앰프에 결합된 상기 제1 데이타선을 상기 제1 기준전압으로 프리챠지할때, 상기 대응하는 제2 프리챠지회로는 상기 소정의 센스앰프에 결합된 상기 제2 데이타선을 상기 제2 전압으로 프리챠지하고, 상기 제2 전압의 값은 상기 제1 기준전압의 값보다 높고, 상기 리드동작에 있어서 상기 제1 및 상기 제2 스위치회로의 각각은 온되고, 상기 소정의 메모리셀에 라이트된 데이타가 상기 소정의 센스앰프에 의해서 증폭되는 동안에 상기 제1 및 상기 제2 스위치회로의 각각은 오프되는 반도체기억장치.

청구항 26.

제25항에 있어서, 상기 여러개의 센스앰프의 각각은 상기 입력단자에 결합되는 입출력단자를 구비하는 플립플롭회로 및 상기 플립플롭회로의 제어를 실행하는 제어회로를 구비하는 반도체기어장치.

청구항 27.

제26항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 상기 플립플롭회로가 동작되기전에 온으로 되는 반도체기억장치.

청구항 28.

제27항에 있어서, 상기 여러개의 메모리셀의 각각은 반도체기판내에 형성된 제1 영역 및 제2 영역, 상기 제1 및 상기 제2 영역 사이의 영역을 덮는 제1 절연막, 상기 제1 절연막을 덮은 플로팅게이트, 상기 플로팅게이트를 덮은 제2 절연막 및 상기 제2 절연막을 덮은 콘트롤게이트를 갖고, 상기 제1 영역은 상기 여러개의 제1 데이타선 중의 하나의 데이타선 또는 상기 여러개의 제2 데이타선 중의 하나의 데이타선에 결합되고, 상기 콘트롤게이트는 여러개의 워드선 중의 하나인 워드선에 결합되는 반도체기억장치.

청구항 29.

제28항에 있어서, 상기 플립플롭회로는 CMOS 인버터쌍을 교차결합한 구성이고, 상기 제어회로는 풀업 파워스위치 MOSFET와 풀다운 파워스위치 MOSFET로 이루어지는 반도체기억장치.

청구항 30.

제29항에 있어서, 제1 및 제2 리세트회로를 더 갖고, 상기 제1 및 상기 제2 프리챠지회로에 의한 프리챠지 동작전에 상기 제1 및 제2 리세트회로는 상기 플립플롭회로의 상기 입출력단자를 기준접지전압으로 리세트하는 반도체기억장치.

청구항 31.

제27항에 있어서, 상기 플립플롭회로는 CMOS인버터쌍을 교차결합한 구성이고, 상기 제어회로는 풀업 파워스위치 MOSFET와 풀다운 파워스위치 MOSFET로 이루어지는 반도체기억장치.

청구항 32.

제27항에 있어서, 제1 및 제2 리세트회로를 더 갖고, 상기 제1 및 상기 제2 프리챠지회로에 의한 프리챠지 동작전에 상기 제1 및 제2 리세트회로는 상기 플립플롭회로의 상기 입출력단자를 기준접지전압으로 리세트하는 반도체기억장치.

청구항 33.

제27항에 있어서, 상기 제1 및 상기 제2 프리챠지회로의 각각은 제1 MOS 트랜지스터 스위치를 갖고, 상기 제1 MOS 트랜지스터 스위치의 게이트에 상기 제1 MOS 트랜지스터 스위치의 임계값전압보다 높게 증폭된 전압이 공급되는 것에 의해, 상기 제1 MOS 트랜지스터 스위치는 온되는 반도체기억장치.

청구항 34.

제33항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 제2 MOS 트랜지스터 스위치를 갖고, 상기 제2 MOS 트랜지스터 스위치는 상기 센스앰프를 동작시키기 위한 전원전압의 진폭에 대응하고 있는 진폭을 갖는 제어전압 또는 상기 제2 전압의 진폭보다 높은 진폭을 갖는 제어전압에 응답해서 온되는 반도체기억장치.

청구항 35.

제30항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 게이트전극을 구비하는 MOSFET로 이루어지고, 상기 리드동작에 있어서 상기 제1 및 상기 제2 스위치회로의 각각의 게이트전극에는 소정의 전압이 공급되는 것에 의해, 상기 제1 및 상기 제2 스위치회로는 온되고, 상기 제1 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제1 스위치회로의 임계값전압을 가산한 값의 전압이 공급되고, 상기 제2 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제2 스위치회로의 임계값전압을 가산한 값의 전압이 공급되는 반도체기억장치.

청구항 36.

제31항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 게이트전극을 구비하는 MOSFET로 이루어지고, 상기 리드동작에 있어서 상기 제1 및 상기 제2 스위치회로의 각각의 게이트전극에는 소정의 전압이 공급되는 것에 의해, 상기 제1 및 상기 제2 스위치회로는 온되고, 상기 제1 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제1 스위치회로의 임계값전압을 가산한 값의 전압이 공급되고, 상기 제2 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제2 스위치회로의 임계값전압을 가산한 값의 전압이 공급되는 반도체기억장치.

청구항 37.

제32항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 게이트전극을 구비하는 MOSFET로 이루어지고, 상기 리드동작에 있어서 상기 제1 및 상기 제2 스위치회로의 각각의 게이트전극에는 소정의 전압이 공급되는 것에 의해, 상기 제1 및 상기 제2 스위치회로는 온되고, 상기 제1 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제1 스위치회로의 임계값전압을 가산한 값의 전압이 공급되고, 상기 제2 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제2 스위치회로의 임계값전압을 가산한 값의 전압이 공급되는 반도체기억장치.

청구항 38.

제33항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 게이트전극을 구비하는 MOSFET로 이루어지고, 상기 리드동작에 있어서 상기 제1 및 상기 제2 스위치회로의 각각의 게이트전극에는 소정의 전압이 공급되는 것에 의해, 상기 제1 및 상기 제2 스위치회로는 온되고, 상기 제1 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제1 스위치회로의 임계값전압을 가산한 값의 전압이 공급되고, 상기 제2 스위치회로에 공급되는 상기 소정의 전압은 상기 제2 전압에 상기 제2 스위치회로의 임계값전압을 가산한 값의 전압이 공급되는 반도체기억장치.

청구항 39.

여러개의 제1 데이타선, 여러개의 제2 데이타선, 여러개의 불휘발성 메모리셀, 여러개의 제1 프리챠지회로와 여러개의 제2 프리챠지회로를 구비한 프리챠지회로, 여러개의 센스앰프 및 여러개의 제1 스위치회로와 여러개의 제2 스위치회로를 구비한 스위치회로를 갖고, 상기 여러개의 메모리셀의 각각은 그 안에 저장된 데이타에 따라서 제1 및 제2 임계값전압의 한쪽을 구비하고, 상기 여러개의 제1 데이타선 또는 상기 여러개의 제2 데이타선중의 어느 한쪽의 대응하는 데이타선에 결합되고, 상기 여러개의 제1 프리챠지회로는 각각 상기 여러개의 제1 데이타선에 결합되고, 리드동작에 있어서 제1 기준전압과 상기 제1 기준전압보다 높은 제2 전압의 한쪽을 선택적으로 상기 여러개의 제1 데이타선으로 프리챠지하고, 상기 여러개의 제2 프리챠지회로는 각각 상기 여러개의 제2 데이타선에 결합되고, 리드동작에 있어서 상기 제1 기준전압과 상기 제1 기준전압보다 높은 상기 제2 전압의 한쪽을 선택적으로 상기 여러개의 제2 데이타선으로 프리챠지하고, 상기 프리챠지회로는 리드동작에 있어서 선택적 불휘발성 메모리셀이 결합된 상기 여러개의 제1 및 제2 데이타선의 한쪽을 상기 제2 전압으로 프리챠지하고, 상기 여러개의 센스앰프의 각각은 입력단자쌍을 갖고, 리드동작에 있어서 선택된 불휘발성 메모리셀의 데이타를 증폭하고, 상기 여러개의 제1 스위치회로의 각각은 상기 여러개의 제1 데이타선 중의 대응하나는 하나의 데이타선을 상기 여러개의 센스앰프 중의 대응하는 센스앰프의 입력쌍의 한쪽에 결합하고, 상기 여러개의 제2 스위치회로의 각각은 상기 여러개의 제2 데이타선 중의 대응하는 하나의 데이타선을 상기 여러개의 센스앰프 중의 대응하는 센스앰프의 입력쌍의 다른쪽에 결합하고, 상기 여러개의 센스앰프 중의 소정의 센스앰프에 세트된 데이타에 따라서 상기 여러개의 불휘발성 메모리셀 중의 소정의 불휘발성 메모리셀에 데이타가 라이트되는 라이

트동작이 실행된 후, 상기 여러개의 제1 및 상기 여러개의 제2 스위치회로는 폐쇄되고, 상기 소정의 센스앰프에 세트된 데이타가 상기 소정의 메모리에 라이트되었는지 라이트되지 않았는지를 검증하기 위한 리드동작에 있어서 상기 소정의 센스앰프에 결합된 제1 데이타선 및 제2 데이타선은 프리챠지되고, 상기 소정의 메모리셀에 라이트된 데이타가 상기 소정의 센스앰프에 의해서 상기 제2 전압보다 높은 전압레벨로 증폭되기 전에 상기 제1 및 상기 제2 스위치회로의 각각은 개방되는 반도체기억장치.

청구항 40.

제39항에 있어서, 상기 여러개의 센스앰프의 각각은 상기 입력단자에 결합되는 입출력단자를 구비하는 플립플롭회로 및 상기 플립플롭회로의 제어를 실행하는 제어회로를 구비하는 반도체기억장치.

청구항 41.

제40항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 상기 플립플롭회로가 동작되기전에 온으로 되는 반도체기억장치.

청구항 42.

제41항에 있어서, 상기 플립플롭회로는 CMOS 인버터쌍을 교차결합한 구성이고, 상기 제어회로는 풀업 파워스위치 MOSFET와 풀다운 파워스위치 MOSFET로 이루어지는 반도체기억장치.

청구항 43.

제42항에 있어서, 제1 및 제2 리세트회로를 더 갖고, 상기 제1 및 상기 제2 프리챠지회로에 의한 프리챠지동작전에 상기 제1 및 제2 리세트회로는 상기 플립플롭회로의 상기 입출력단자를 기준접지전압으로 리세트하는 반도체기억장치.

청구항 44.

제43항에 있어서, 상기 제1 및 상기 제2 프리챠지회로의 각각은 제1 MOS 트랜지스터 스위치를 갖고, 상기 제1 MOS 트랜지스터 스위치의 게이트에 상기 제1 MOS 트랜지스터 스위치의 임계값전압보다 높게 증폭된 전압이 공급되는 것에 의해 상기 제1 MOS 트랜지스터 스위치는 온되는 반도체기억장치.

청구항 45.

제44항에 있어서, 상기 제1 및 상기 제2 스위치회로의 각각은 제2 MOS 트랜지스터 스위치를 갖고, 상기 제2 MOS 트랜지스터 스위치는 상기 센스앰프를 동작시키기 위한 전원전압의 진폭에 대응하고 있는 진폭을 갖는 제어전압 또는 상기 제2 전압의 진폭보다 높은 진폭을 갖는 제어전압에 응답해서 온되는 반도체기억장치.

청구항 46.

제45항에 있어서, 상기 여러개의 메모리셀의 각각은 반도체기판내에 형성된 제1 영역 및 제2 영역, 상기 제1 및 상기 제2 영역 사이의 영역을 덮는 제1 절연막, 상기 제1 절연막을 덮는 플로팅게이트, 상기 플로팅게이트를 덮는 제2 절연막 및 상기 제2 절연막을 덮는 콘트롤게이트를 갖고, 상기 제1 영역은 상기 여러개의 제1 데이타선 중의 하나의 데이타선 또는 상기 여러개의 제2 데이타선 중의 하나의 데이타선에 결합되고, 상기 콘트롤게이트는 여러개의 워드선 중의 하나의 워드선에 결합되는 반도체기억장치.

청구항 47.

제39항에 있어서, 상기 여러개의 메모리셀의 각각은 반도체기판내에 형성된 제1 영역 및 제2 영역, 상기 제1 및 상기 제2 영역 사이의 영역을 덮는 제1 절연막, 상기 제1 절연막을 덮는 플로팅게이트, 상기 플로팅게이트를 덮는 제2 절연막 및 상기 제2 절연막을 덮는 콘트롤게이트를 갖고, 상기 제1 영역은 상기 여러개의 제1 데이타선 중의 하나의 데이타선 또는 상기 여러개의 제2 데이타선 중의 하나의 데이타선에 결합되고, 상기 콘트롤게이트는 여러개의 워드선 중의 하나의 워드선에 결합되는 반도체기억장치.

청구항 48.

여러개의 제1 데이타선, 여러개의 제2 데이타선, 여러개의 메모리셀, 상기 여러개의 제1 데이타선의 각각에 결합되는 여러개의 제1 프리챠지회로, 상기 여러개의 제2 데이타선의 각각에 결합되는 여러개의 제2 프리챠지회로, 센스앰프, 제1 스위치회로 및 제2 스위치회로를 갖고, 상기 여러개의 메모리셀의 각각은 그 안에 저장된 데이타에 따라서 임계값전압을 갖고, 상기 제1 데이타선 및 상기 제2 데이타선의 한쪽에 결합되고, 상기 센스앰프는 상기 제1 데이타선과 상기 제2 데이타선에 결합되고, 입력단자쌍을 갖고, 상기 입력단자쌍의 한쪽의 단자에는 제1 기준전압이 공급되어 리드동작에 있어서 선택된 메모리셀의 데이타를 증폭하고, 상기 제1 스위치회로는 상기 제1 데이타선을 상기 센스앰프의 입력쌍의 한쪽에 결합하고, 상기 제2 스위치회로는 상기 제2 데이타선을 상기 센스앰프의 입력쌍의 다른쪽에 결합하고, 상기 센스앰프에 세트된 데이타에 따라서 상기 여러개의 메모리셀 중의 소정의 메모리셀에 데이타가 라이트되는 라이트동작이 실행된 후, 상기 센스앰프에 세트된 데이타가 상기 소정의 메모리에 라이트되었는지 라이트되지 않았는지를 검증하기 위한 리드동작에 있어서 상기 제1 및 상기 제2 프리챠지회로는 상기 제1 및 상기 제2 데이타선을 프리챠지하고, 상기 제2 프리챠지회로가 상기 제2 데이타선을 상기 제1 기준전압으로 프리챠지할때, 상기 제1 프리챠지회로는 상기 제1 데이타선을 제2 전압으로 프리챠지하고, 상기 제1 프리챠지회로가 상기 제1 데이타선을 상기 제1 기준전압으로 프리챠지할때, 상기 제2 프리챠지회로는 상기 제2 데이타선을 상기 제2 전압으로 프리챠지하고, 상기 제2 전압의 값은 상기 제1 기준전압의 값보다 높고, 상기 리드동작에 있어서 상기 제1 및 상기 제2 프리챠지회로의 각각이 상기 제1 및 상기 제2 데이타선을 프리챠지한 후, 상기 제1 및 상기 제2 스위치회로의 각각은 온되고, 상기 소정의 메모리셀에 라이트된 데이타가 상기 소정의 센스앰프에 의해서 증폭되는 동안에 상기 제1 및 상기 제2 스위치회로의 각각은 오프되는 반도체기억장치.

청구항 49.

제48항에 있어서, 상기 센스앰프는 플립플롭회로를 구비하는 반도체기억장치.

청구항 50.

제49항에 있어서, 상기 여러개의 메모리셀의 각각은 불휘발성 메모리셀인 반도체기억장치.

청구항 51.

제50항에 있어서, 상기 불휘발성 메모리셀은 플로팅게이트 및 콘트롤게이트를 구비하는 하나의 MOSFET로 이루어지는 반도체기억장치.

청구항 52.

제51항에 있어서, 상기 센스앰프는 상기 플립플롭회로에 결합되는 제어회로를 더 갖고, 상기 제어회로는 상기 플립플롭회로를 제어하고, 상기 플립플롭회로가 동작하기 전에 상기 제1 및 상기 제2 스위치회로는 온되는 반도체기억장치.

청구항 53.

제52항에 있어서, 상기 반도체기억장치는 하나의 반도체기판상에 형성되고, 하나의 MOSFET로 이루어지는 메모리셀은 EEPROM셀인 반도체기억장치.

청구항 54.

제48항에 있어서, 상기 센스앰프의 증폭동작이 실행되기 전에 상기 제1 및 상기 제2 스위치회로는 온되는 반도체기억장치.

청구항 55.

제54항에 있어서, 상기 반도체기억장치는 하나의 반도체기판상에 형성되고, 상기 여러개의 메모리셀의 각각은 불휘발성 메모리셀인 반도체기억장치.

청구항 56.

제48항에 있어서, 상기 반도체기억장치는 하나의 반도체기판상에 형성되고, 상기 여러개의 메모리셀의 각각은 불휘발성 메모리셀인 반도체기억장치.

청구항 57.

제48항에 있어서, 상기 여러개의 메모리셀의 각각은 불휘발성 메모리셀인 반도체기억장치.

청구항 58.

제57항에 있어서, 상기 불휘발성 메모리셀은 플로팅게이트 및 콘트롤게이트를 구비하는 하나의 MOSFET로 이루어지는 반도체기억장치.

청구항 59.

여러개의 제1 데이타선, 여러개의 제2 데이타선, 여러개의 메모리셀, 상기 여러개의 제1 데이타선의 각각에 결합되는 여러개의 제1 프리챠지회로, 상기 여러개의 제2 데이타선의 각각에 결합되는 여러개의 제2 프리챠지회로, 여러개의 센스앰프, 여러개의 제1 스위치회로 및 여러개의 제2 스위치회로를 갖고, 상기 여러개의 메모리셀의 각각은 그 안에 저장된 데이타에 따라서 임계값전압을 갖고, 상기 여러개의 제1 데이타선 또는 상기 여러개의 제2 데이타선중의 어느 한쪽에 결합되고, 상기 여러개의 센스앰프는 상기 여러개의 제1 데이타선 중의 하나의 데이타선과 상기 여러개의 제2 데이타선 중의 하나의 데이타선에 결합되고, 입력단자쌍을 갖고, 상기 입력단자쌍의 한쪽의 단자에는 제1 기준전압이 공급되어 리드동작에 있어서 선택된 메모리셀의 데이타를 증폭하고, 상기 제1 스위치회로는 상기 여러개의 제1 데이타선 중의 하나의 데이타선을 상기 여러개의 센스앰프 중의 하나의 센스앰프의 입력쌍의 한쪽에 결합하고, 상기 제2 스위치회로는 상기 여러개의 제2 데이타선 중의 하나의 데이타선을 상기 여러개의 센스앰프 중의 하나의 센스앰프의 입력쌍의 다른쪽에 결합하고, 상기 여러개의 센스앰프 중의 소정의 센스앰프에 세트된 데이타에 따라서 상기 여러개의 메모리셀 중의 소정의 메모리셀에 데이타가 라이트되는 라이트동작이 실행된 후, 상기 소정의 센스앰프에 세트된 데이타가 상기 소정의 메모리에 라이트되었는지 라이트되지 않았는지를 검증하기 위한 리드동작에 있어서 상기 소정의 센스앰프에 결합된 제1 데이타선은 제1 프리챠지회로 중의 대응하는 제1 프리챠지회로에 의해서 프리챠지되고, 상기 소정의 센스앰프에 결합된 제2 데이타선은 제2 프리챠지회로 중의 대응하는 제2 프리챠지회로에 의해서 프리챠지되고, 상기 대응하는 제2 프리챠지회로가 상기 소정의 센스앰프에 결합된 상기 제2 데이타선을 상기 제1 기준전압으로 프리챠지할때, 상기 대응하는 제1 프리챠지회로는 상기 소정의 센스앰프에 결합된 상기 제1 데이타선을 제2 전압으로 프리챠지하고, 상기 대응하는 제1 프리챠지회로가 상기 소정의 센스앰프에 결합된 상기 제1 데이타선을 상기 제1 기준전압으로 프리챠지할때, 상기 대응하는 제2 프리챠지회로는 상기 소정의 센스앰프에 결합된 상기 제2 데이타선을 상기 제2 전압으로 프리챠지하고, 상기 제2 전압의 값은 상기 제1 기준전압의 값보다 높고, 상기 리드동작에 있어서 상기 대응하는 제1 및 제2 프리챠지회로가 상기 제1 및 상기 제2 데이타선을 프리챠지한 후, 상기 대응하는 제1 및 제2 스위치회로의 각각은

온되고, 상기 소정의 메모리셀에 라이트된 데이타가 상기 소정의 센스앰프에 의해서 상기 제2 전압보다 높게 증폭되기 전에 상기 제1 및 상기 제2 스위치회로의 각각은 오프되는 반도체기억장치.

청구항 60.

제59항에 있어서, 상기 센스앰프의 증폭동작이 실행되기 전에 상기 제1 및 상기 제2 스위치회로는 온되는 반도체기억장치.

청구항 61.

제60항에 있어서, 상기 반도체기억장치는 하나의 반도체기판상에 형성되고, 상기 여러개의 메모리셀의 각각은 불휘발성 메모리셀인 반도체기억장치.

청구항 62.

제59항에 있어서, 상기 여러개의 메모리셀의 각각은 불휘발성 메모리셀인 반도체기억장치.

청구항 63.

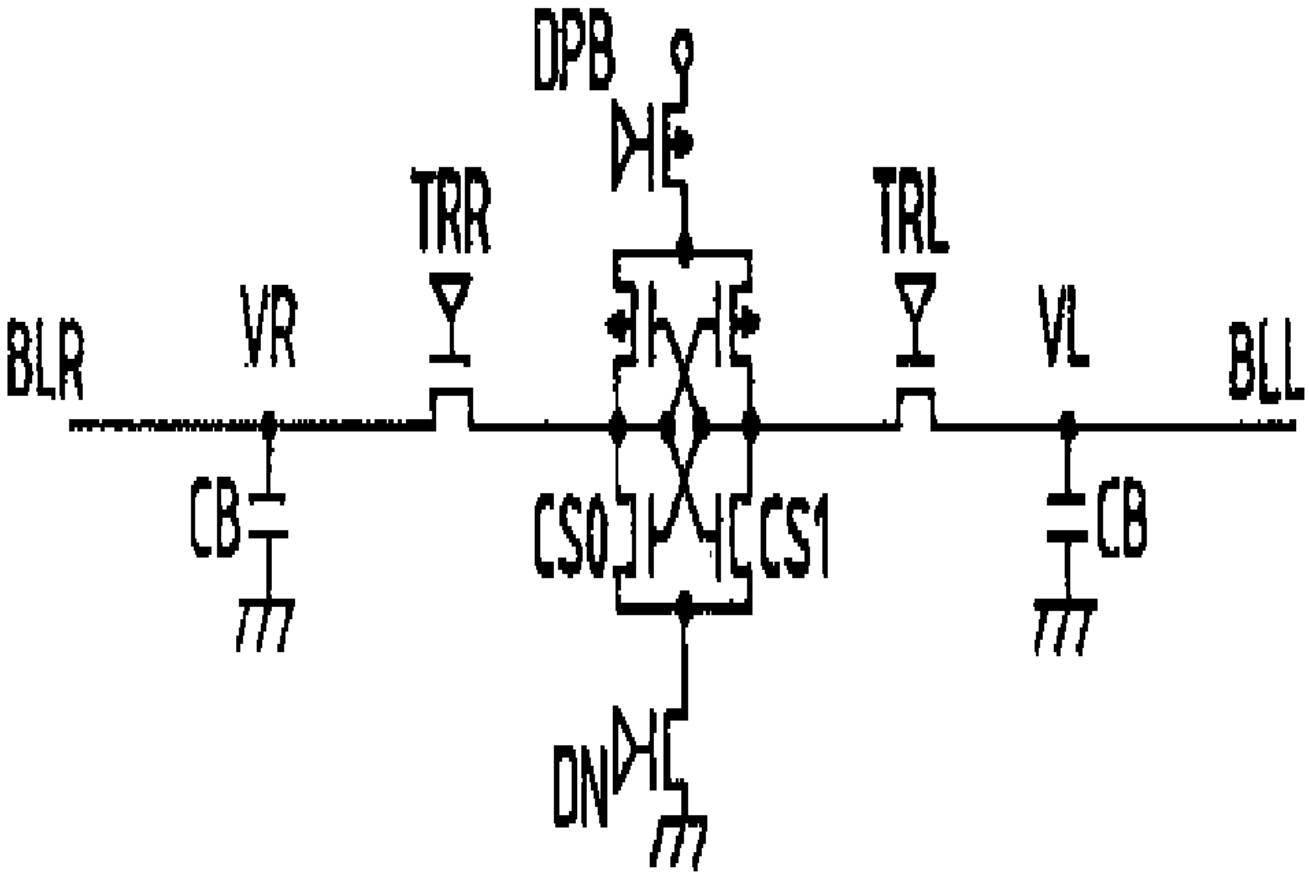
제62항에 있어서, 상기 불휘발성 메모리셀은 플로팅게이트 및 콘트롤게이트를 구비하는 하나의 MOSFET로 이루어지는 반도체기억장치.

청구항 64.

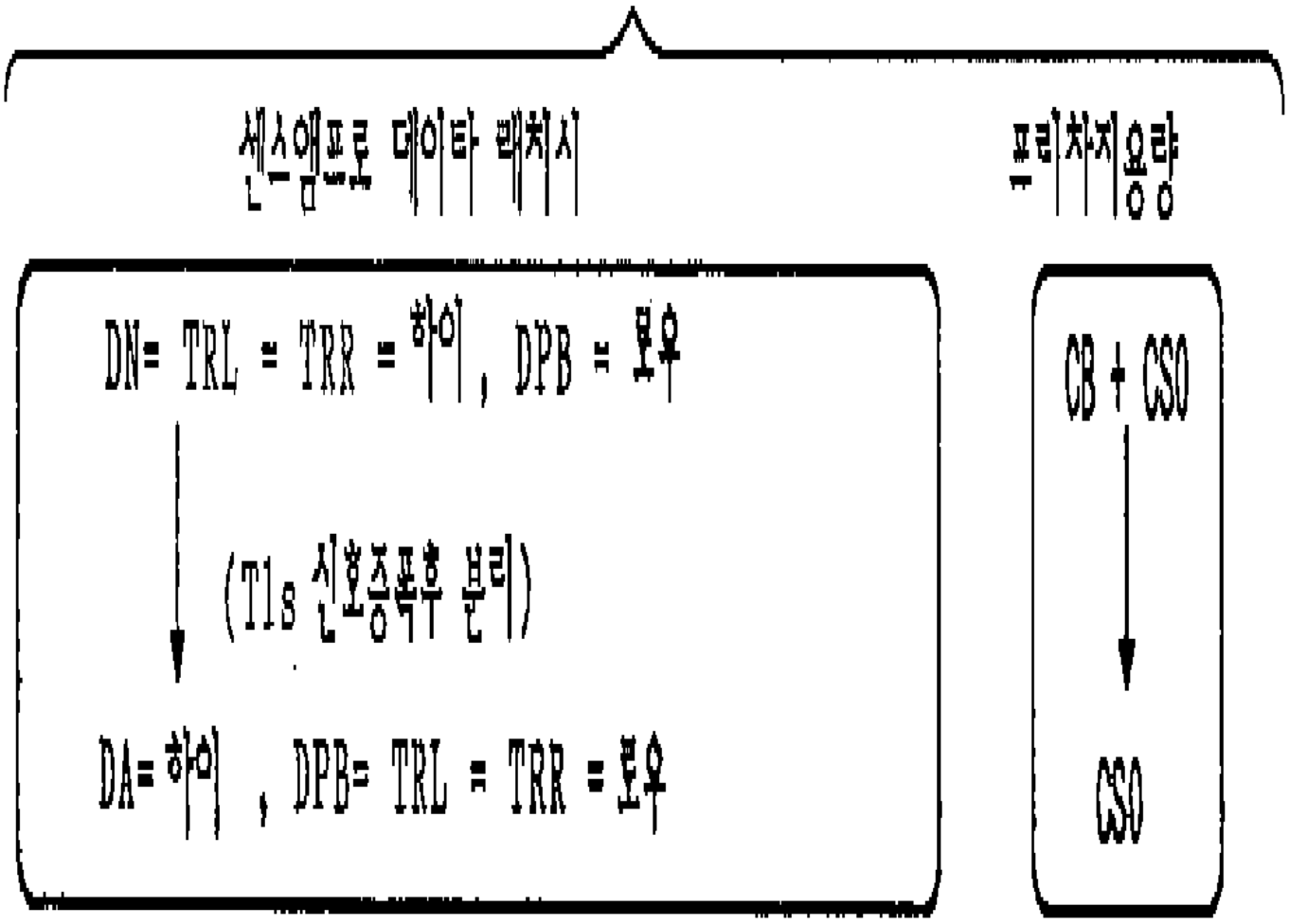
제63항에 있어서, 상기 반도체기억장치는 하나의 반도체기판상에 형성되고, 상기 여러개의 메모리셀의 각각은 EEPROM셀인 반도체기억장치.

도면

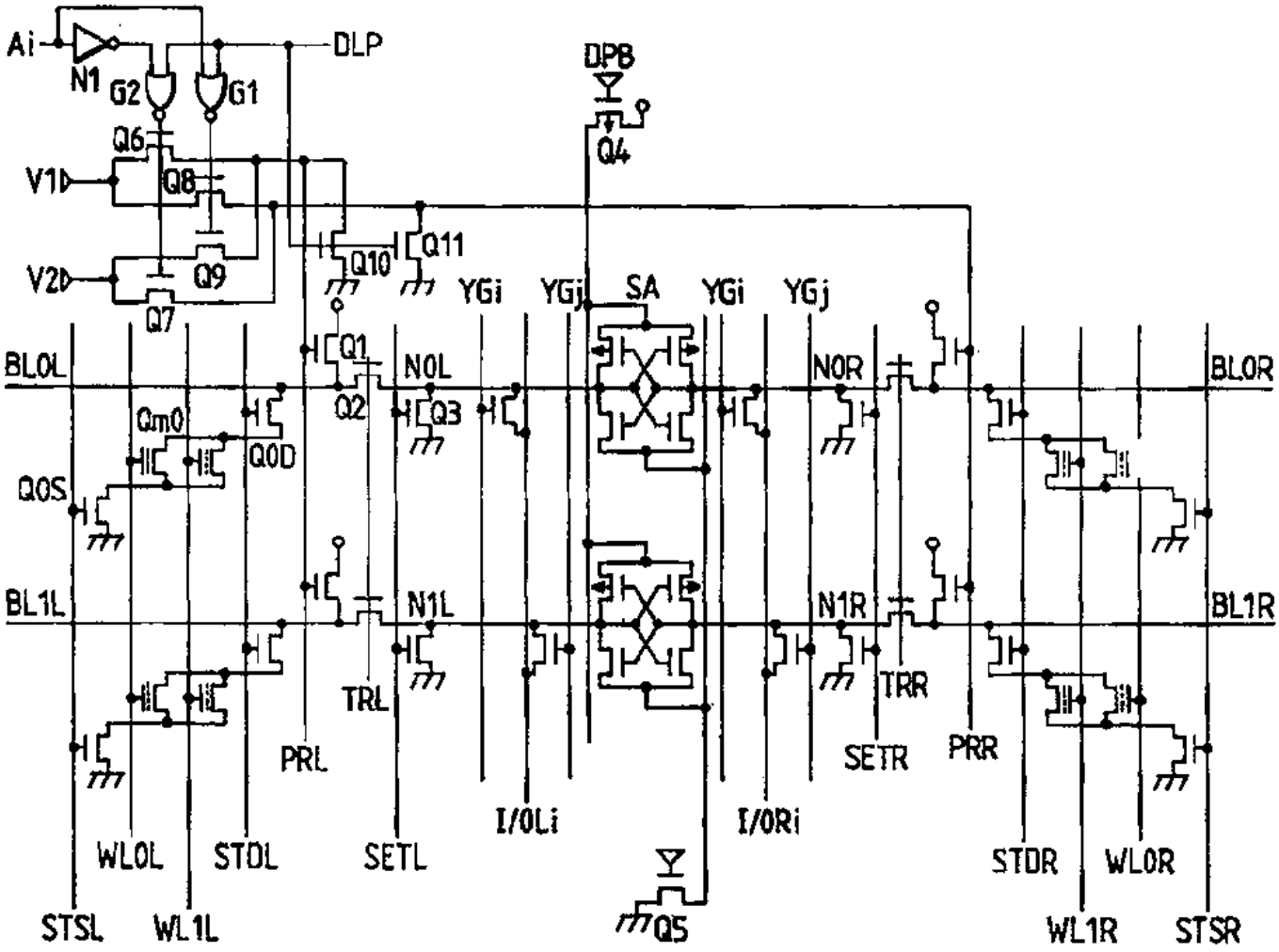
도면 1a



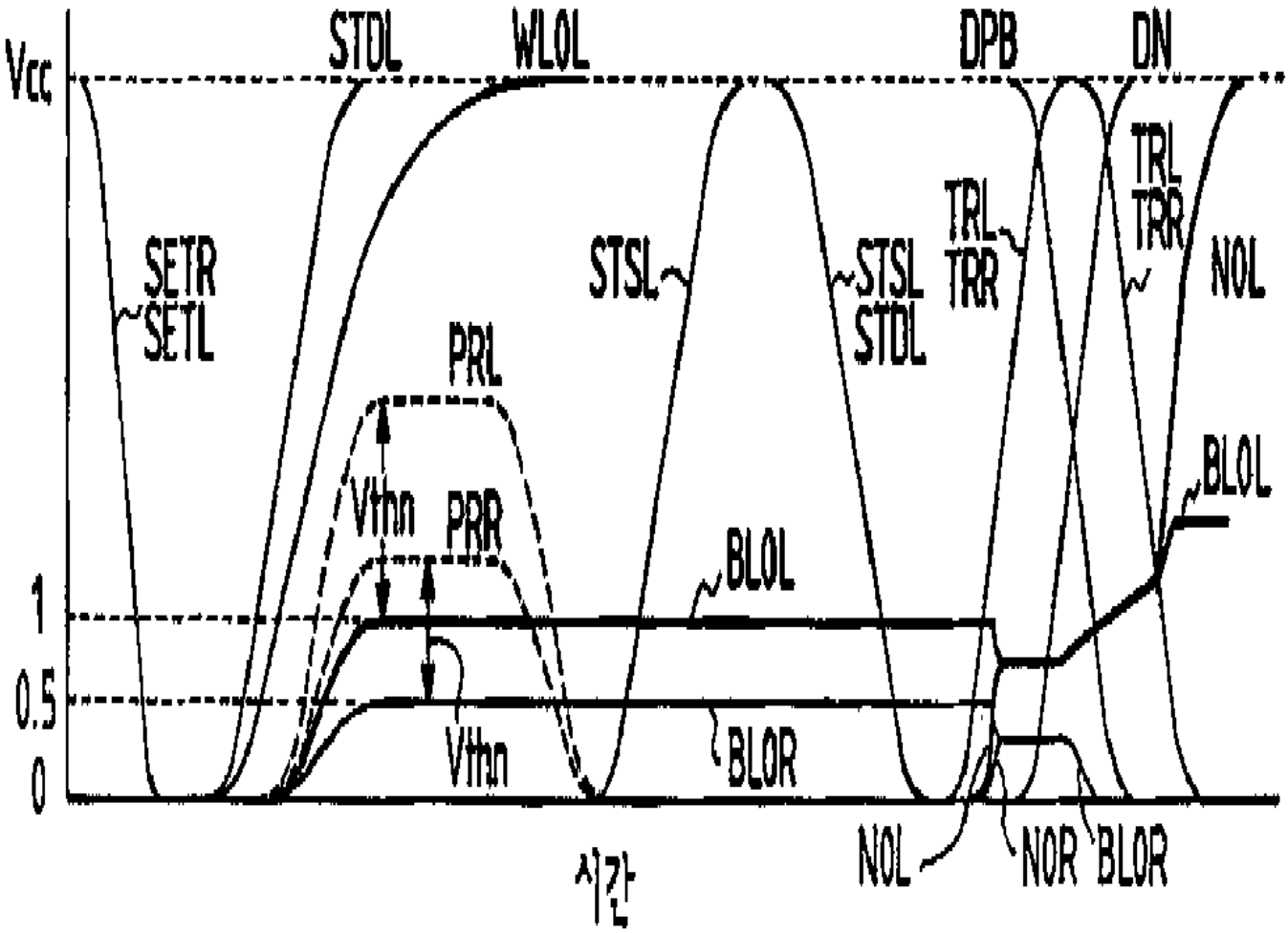
도면 1b


센스앰프로 데이타 래치시
프리차지용량
DN= TRL = TRR = 하이, DPB = 로우
(T1s 신호증폭후 분리)
DA= 하이 , DPB= TRL = TRR = 로우
CB + CSO
CSO

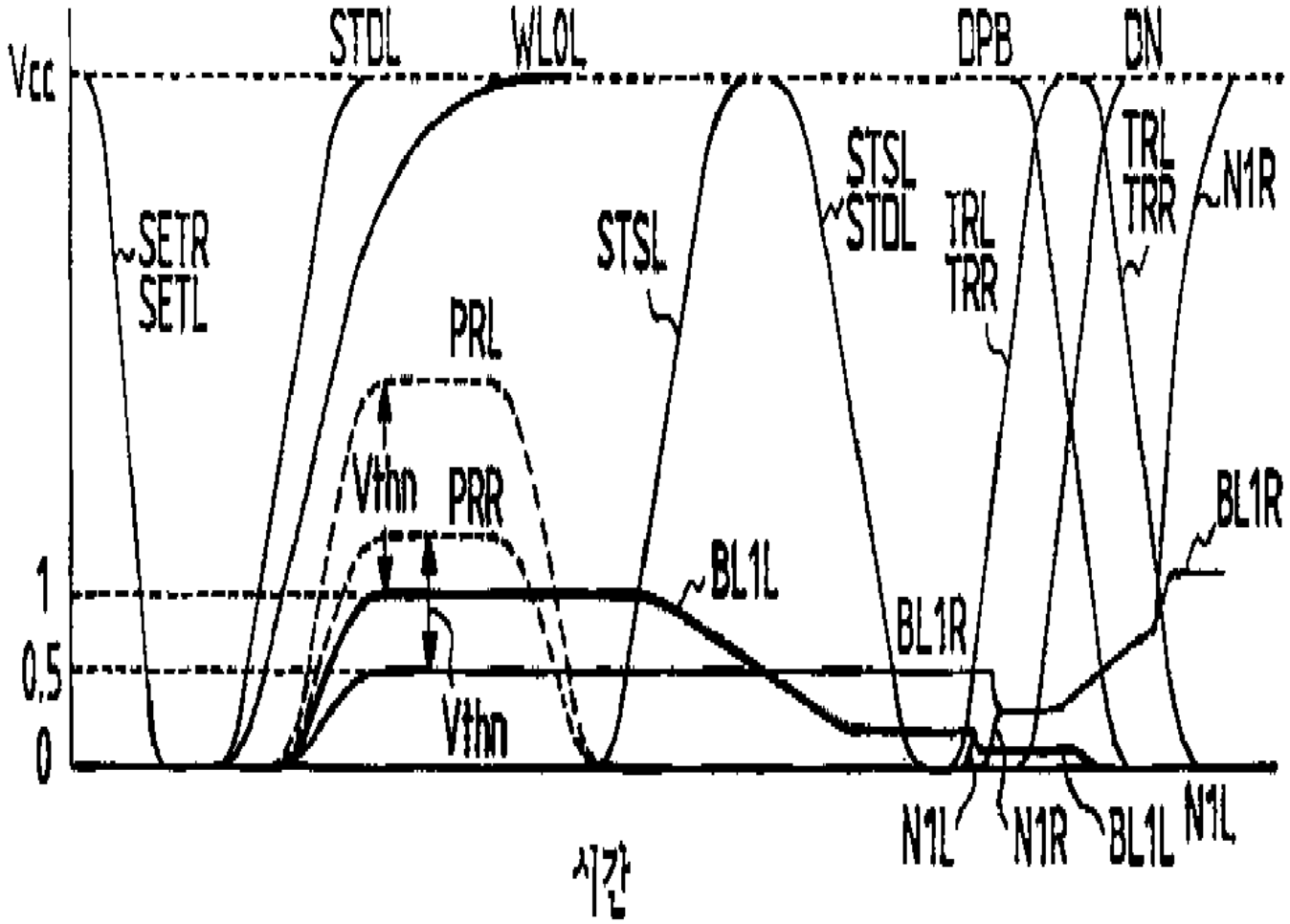
도면 2


Ai
N1
G2
G1
DLP
DPB
Q4
Q6
V1D
Q8
V2D
Q9
Q7
Q10
Q11
YGi
YGj
SA
YGi
YGj
BL0L
Q1
N0L
N0R
BL0R
Qm0
Q2
Q3
Q0D
Q0S
BL1L
N1L
N1R
BL1R
TRL
TRR
PRL
SETR
PRR
I/0Li
I/0Ri
WL0L
STDL
SETL
STDR
WL0R
STSL
WL1L
Q5
WL1R
STSR

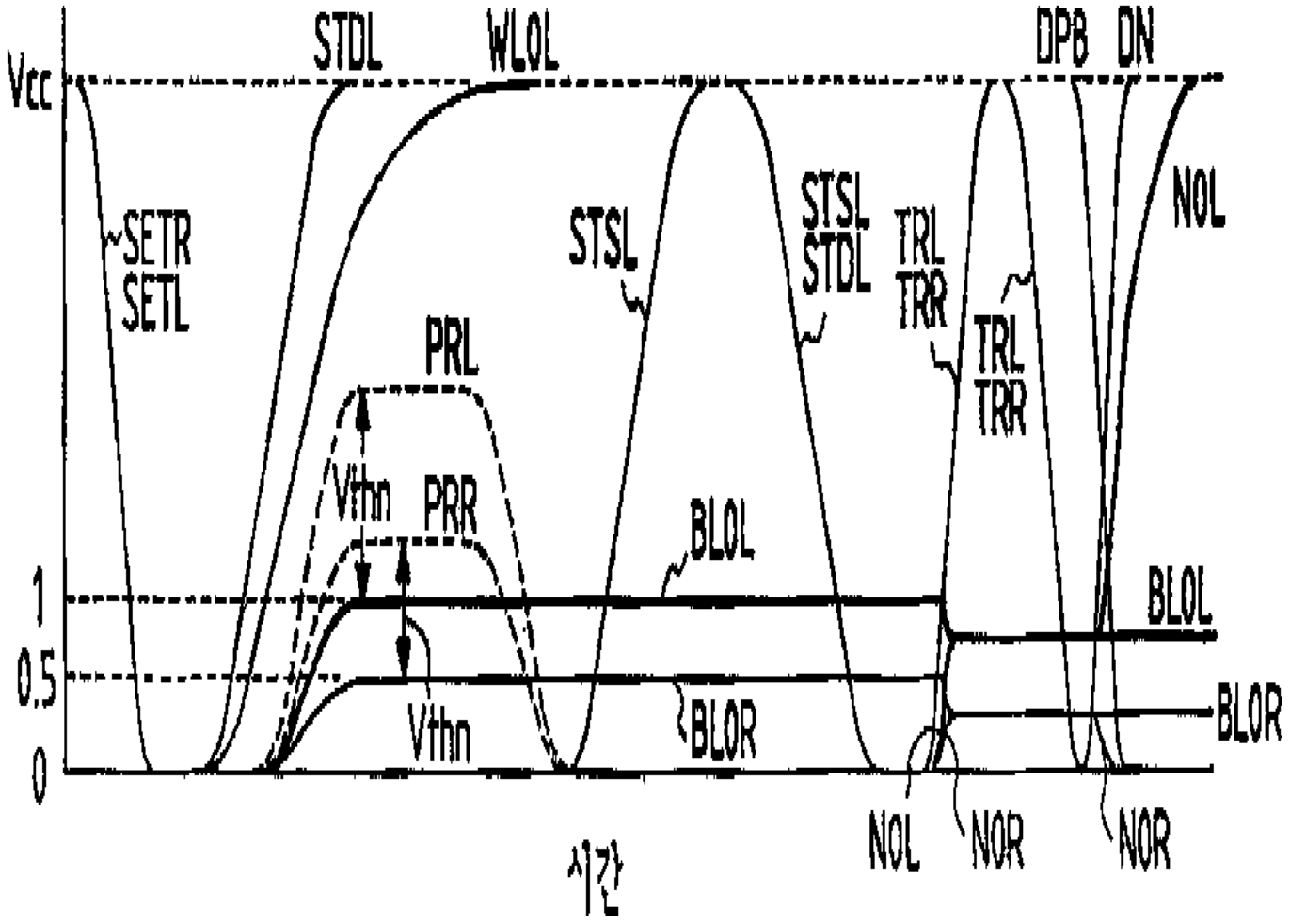
도면 3a


Vcc
STDL
WLOL
DPB
DN
SETR
SETL
PRL
Vthn
PRR
STSL
STSL
STDL
TRL
TRR
TRL
TRR
NOL
BLOL
BLOL
1
0.5
0
Vthn
BLOR
시간
NOL
NOR
BLOR

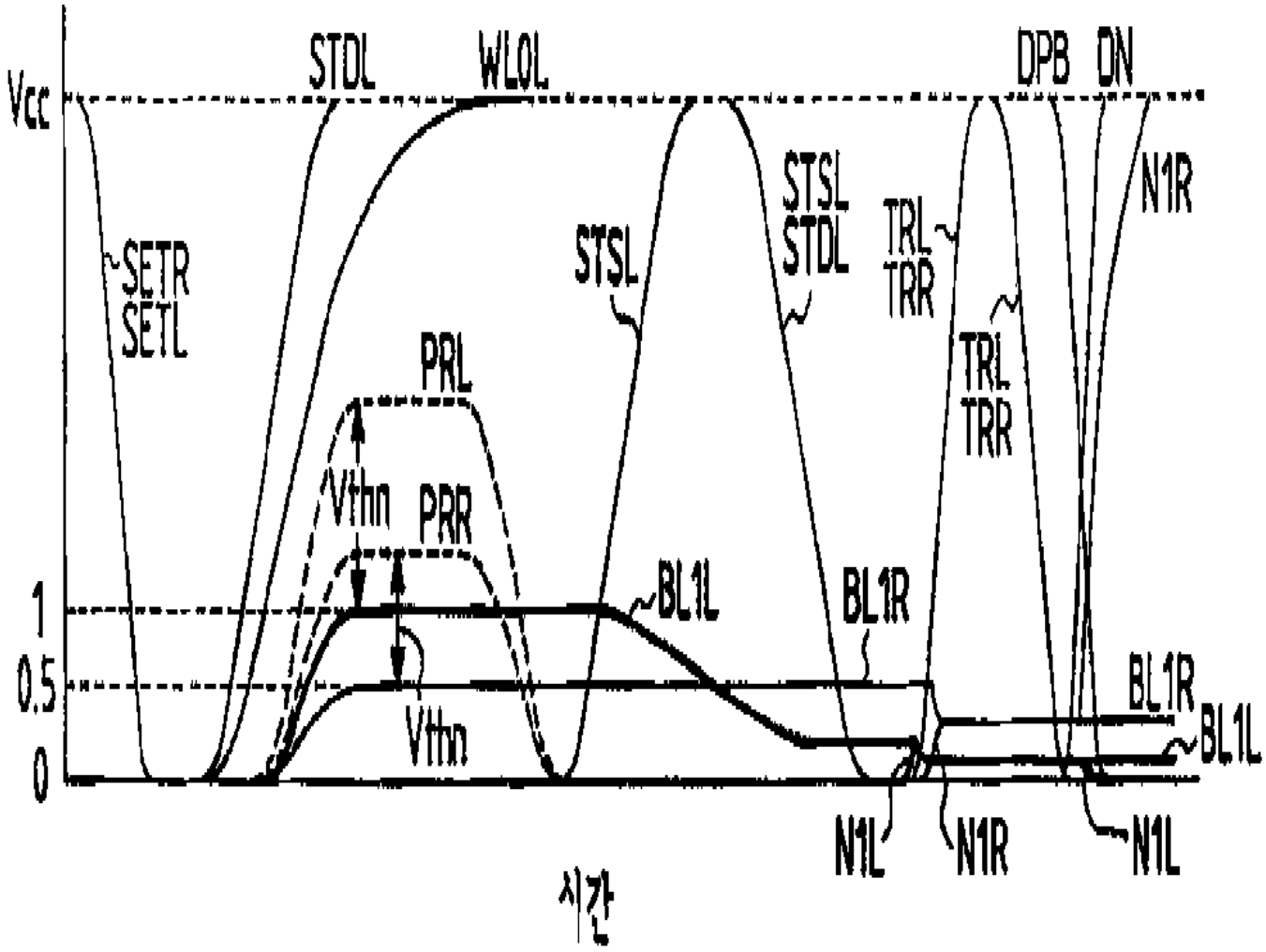
도면 3b


Vcc
STDL
WL0L
DPB
DN
SETR
SETL
STSL
STDL
TRL
TRR
N1R
STSL
TRL
TRR
PRL
Vthn
PRR
BL1L
BL1R
1
0.5
0
Vthn
N1L
N1R
BL1L
N1L
시간

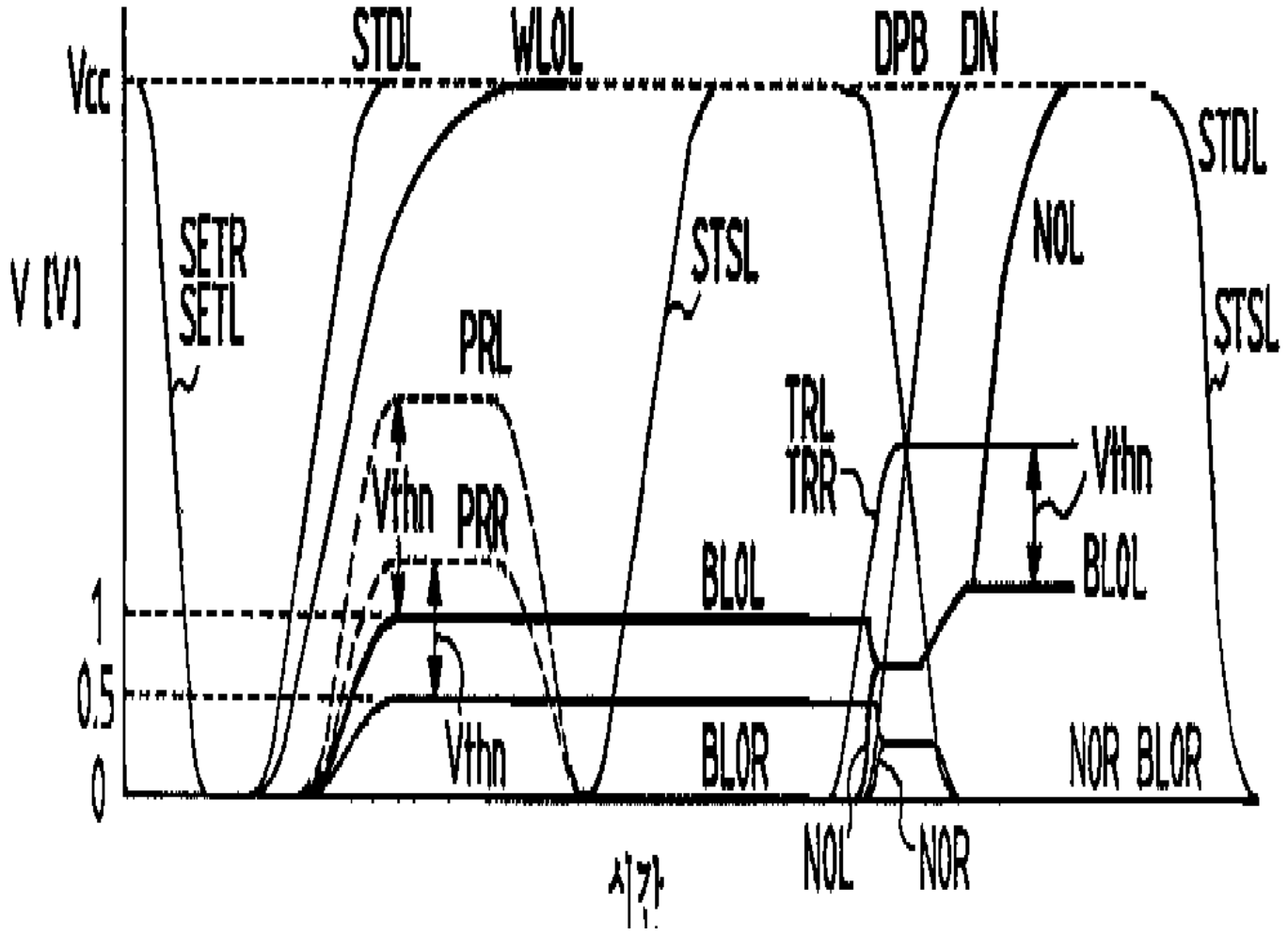
도면 4a


Vcc
STDL
WLOL
DPB
DN
SETR
SETL
STSL
STSL
STDL
TRL
TRR
TRL
TRR
NOL
PRL
Vthn
PRR
BLOL
BLOL
1
0.5
0
Vthn
BLOR
BLOR
NOL
NOR
NOR
시간

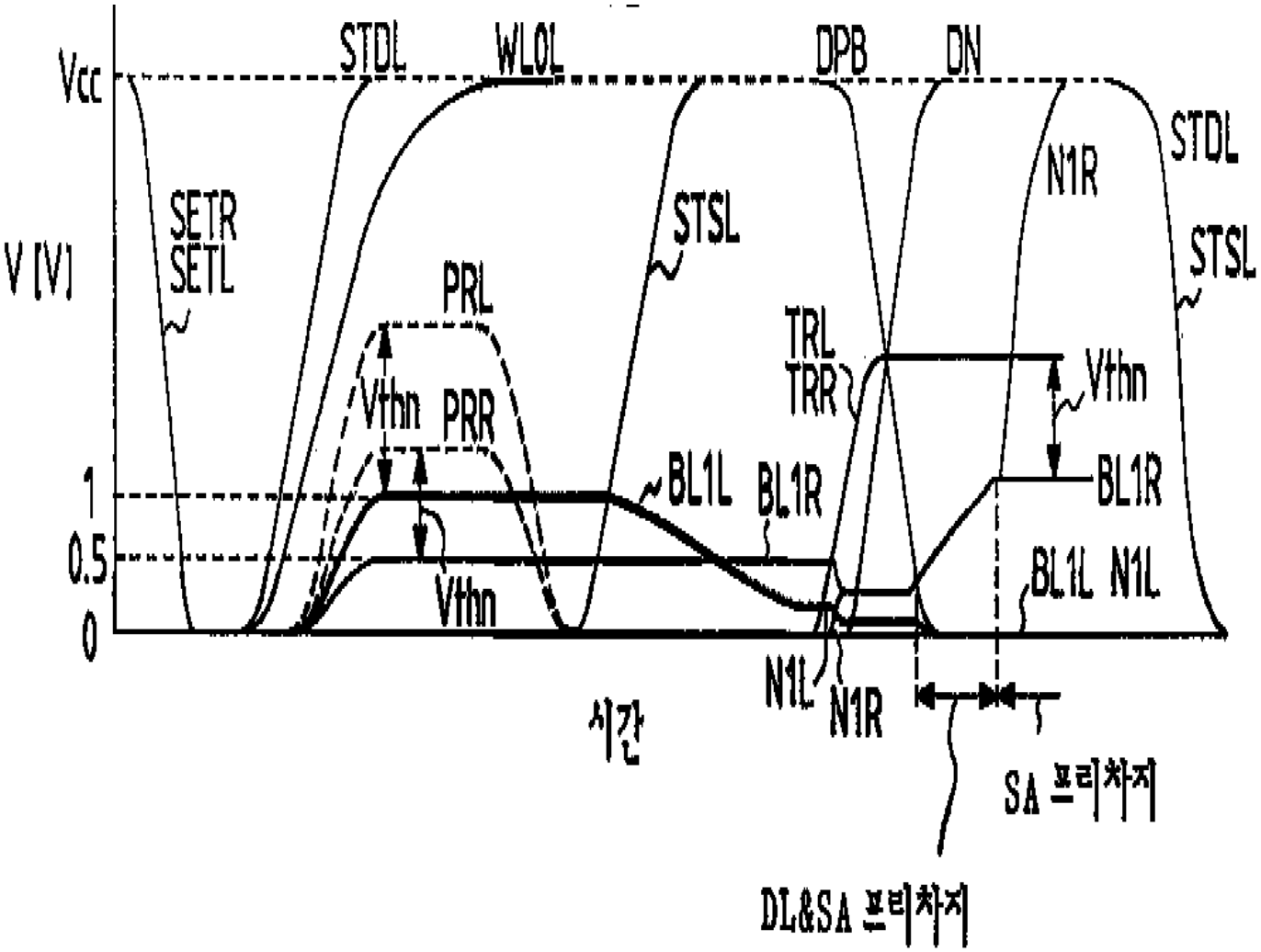
도면 4b


Vcc
STDL
WL0L
DPB
DN
SETR
SETL
STSL
STSL
STDL
TRL
TRR
N1R
PRL
TRL
TRR
Vthn
PRR
BL1L
BL1R
1
0.5
0
BL1R
BL1L
Vthn
N1L
N1R
N1L
시간

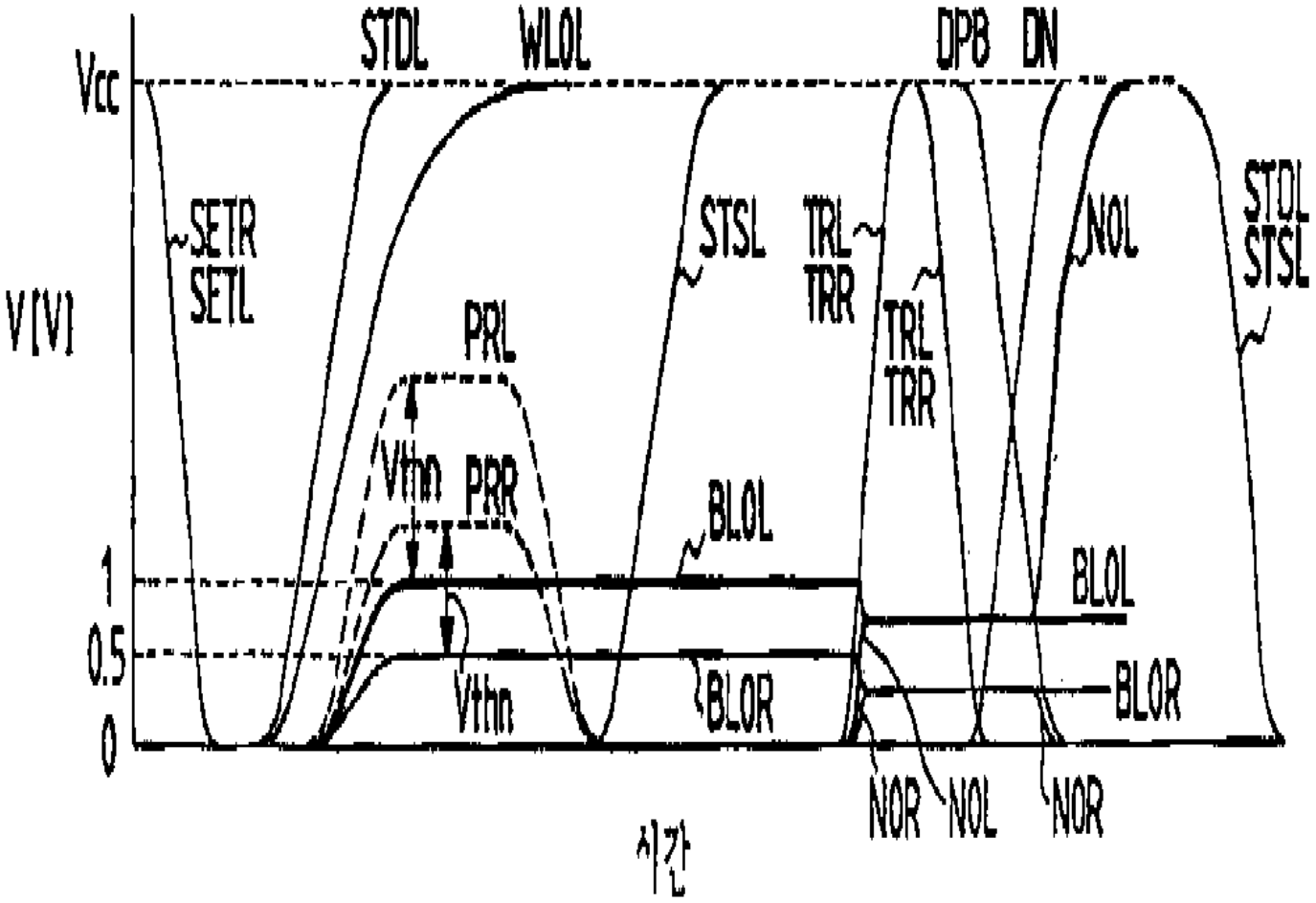
도면 5a


Vcc
STDL
WLOL
DPB
DN
STDL
V [V]
SETR
SETL
STSL
NOL
STSL
PRL
TRL
TRR
Vthn
Vthn
PRR
BLOL
BLOL
1
0.5
0
Vthn
BLOR
NOR
BLOR
NOL
NOR
시간

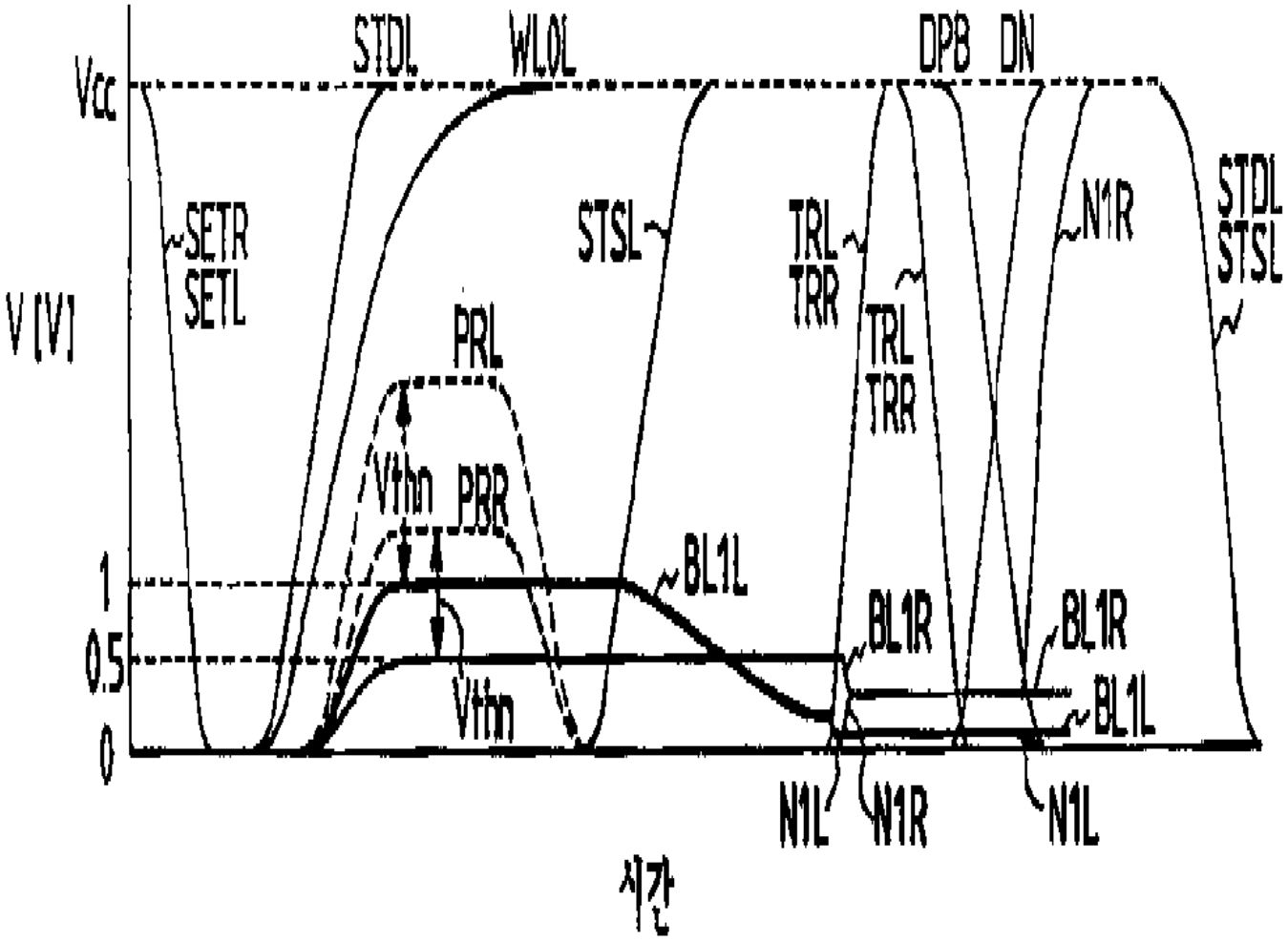
도면 5b


Vcc
STDL
WLOL
DPB
DN
STDL
N1R
SETR
SETL
STSL
STSL
V [V]
PRL
TRL
TRR
Vthn
Vthn
PRR
Vthn
BL1L
BL1R
BL1R
1
0.5
0
BL1L
N1L
N1L
N1R
시간
SA 프리차지
DL&SA 프리차지

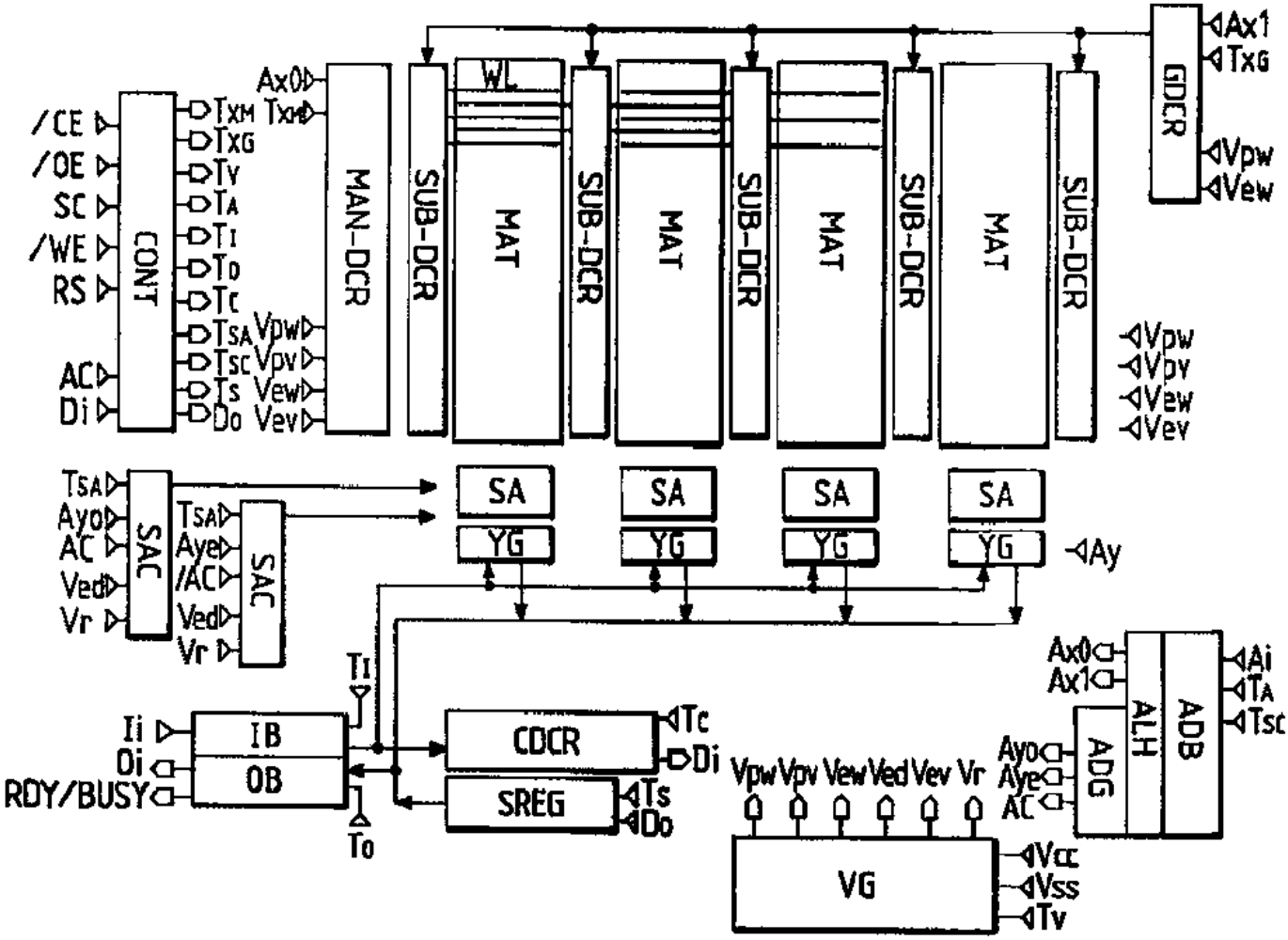
도면 6a


Vcc
STDL
WLOL
DPB
DN
SETR
SETL
STSL
TRL
TRR
NOL
STDL
STSL
V[V]
PRL
Vthn
PRR
BLOL
TRL
TRR
BLOL
1
0.5
0
Vthn
BLOR
BLOR
NOR
NOL
NOR
시간

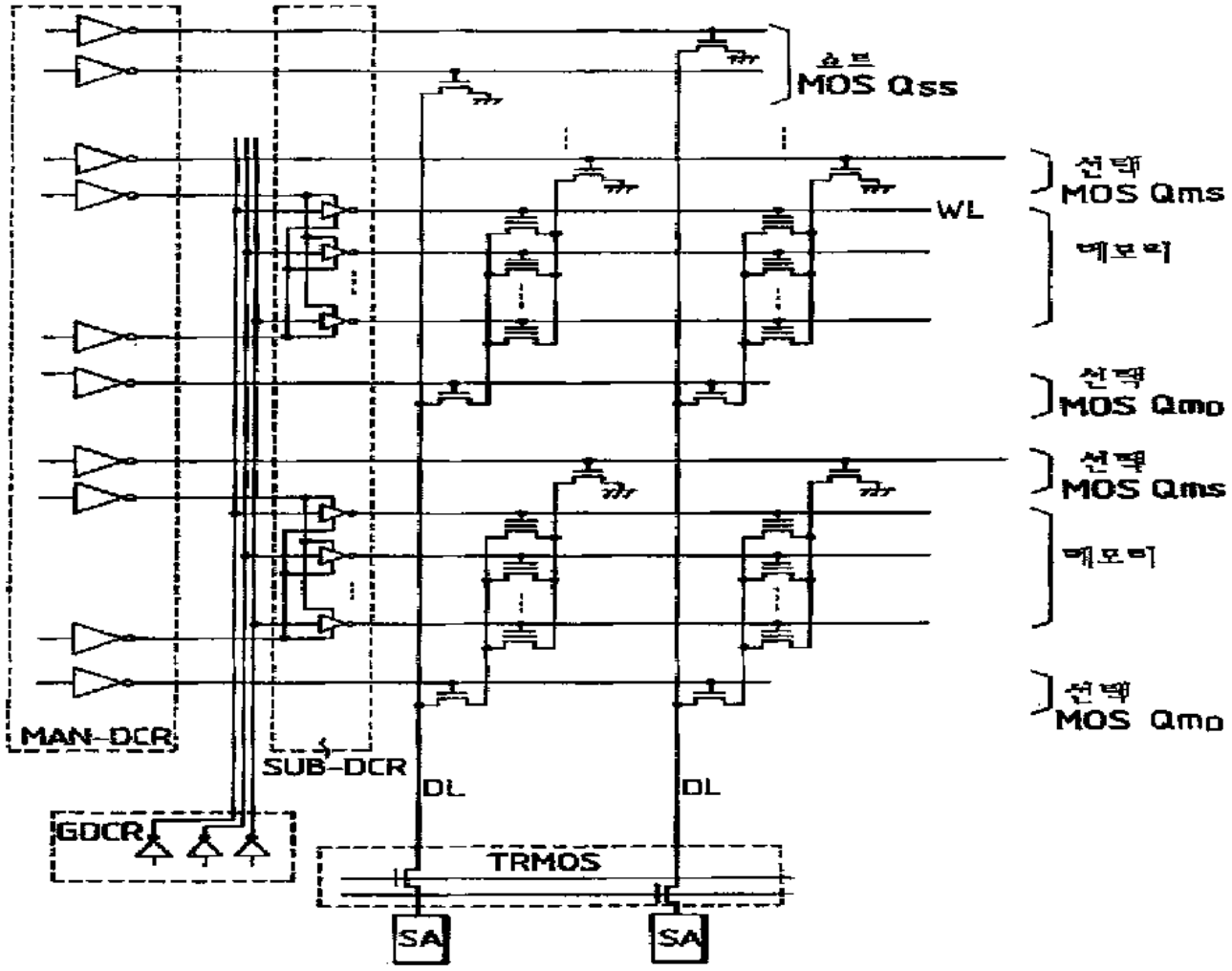
도면 6b


Vcc
STDL
WL0L
DPB
DN
SETR
SETL
STSL
TRL
TRR
N1R
STDL
STSL
V [V]
PRL
Vthn
PRR
TRL
TRR
BL1L
1
0.5
0
BL1R
BL1R
BL1L
Vthn
N1L
N1R
N1L
시간

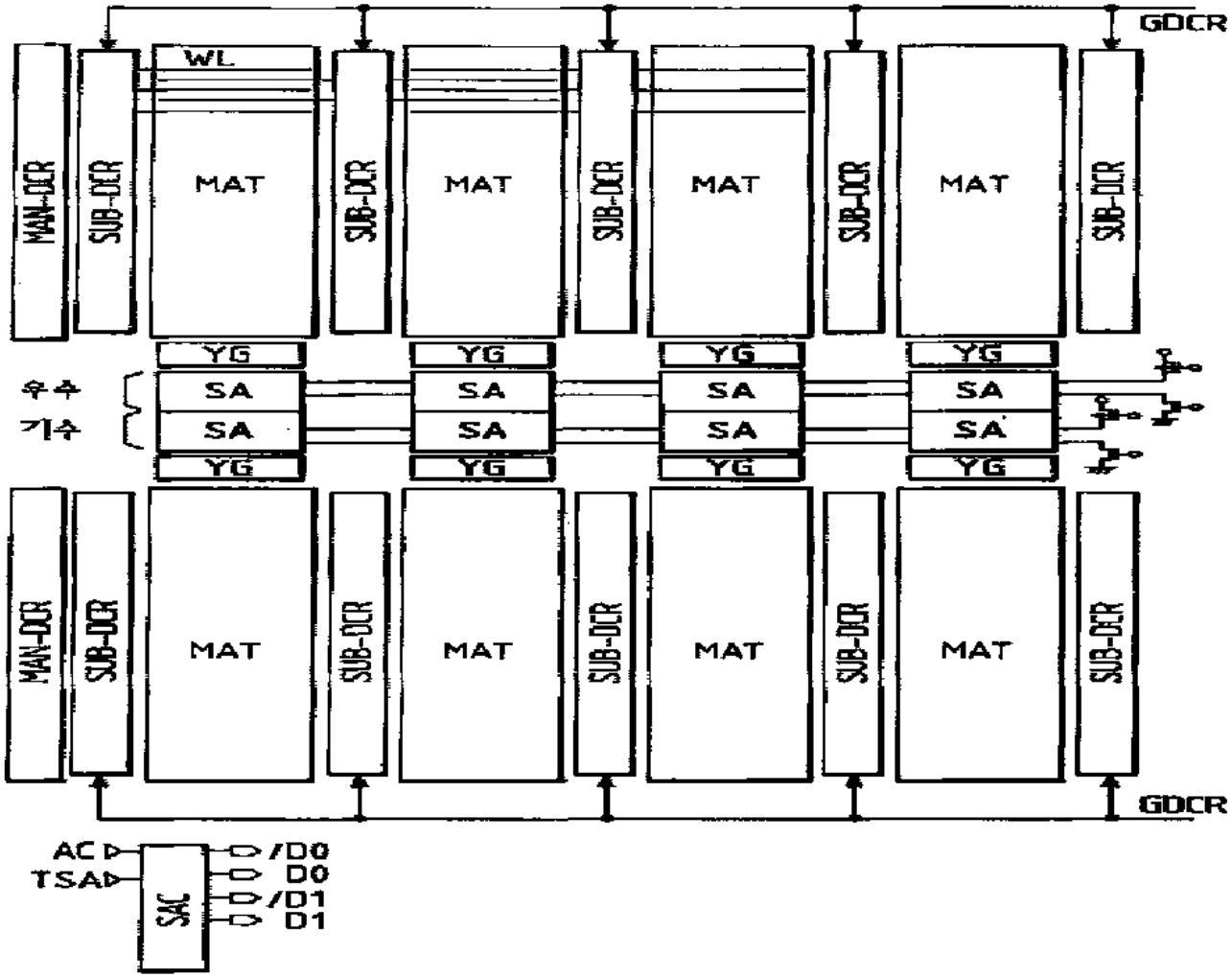
도면 7


/CE
/OE
SC
/WE
RS
AC
Di
CONT
TXM
TXG
TV
TA
TI
TO
TC
TSA
TSC
TS
DO
AX0
TXM
MAN-DCR
SUB-DCR
WL
MAT
VPW
VPV
VEW
VEV
GDCR
AX1
TXG
VPW
VEW
TSA
AY0
AC
VED
VR
SAC
AYE
/AC
SA
YG
AY
TI
II
DI
RDY/BUSY
IB
OB
TO
CDCR
SREG
TC
DI
TS
DO
VPW VPV VEW VED VEV VR
VG
VCC
VSS
TV
AX0
AX1
ADG
ALH
ADB
AYO
AYE
AC
AI
TA
TSC

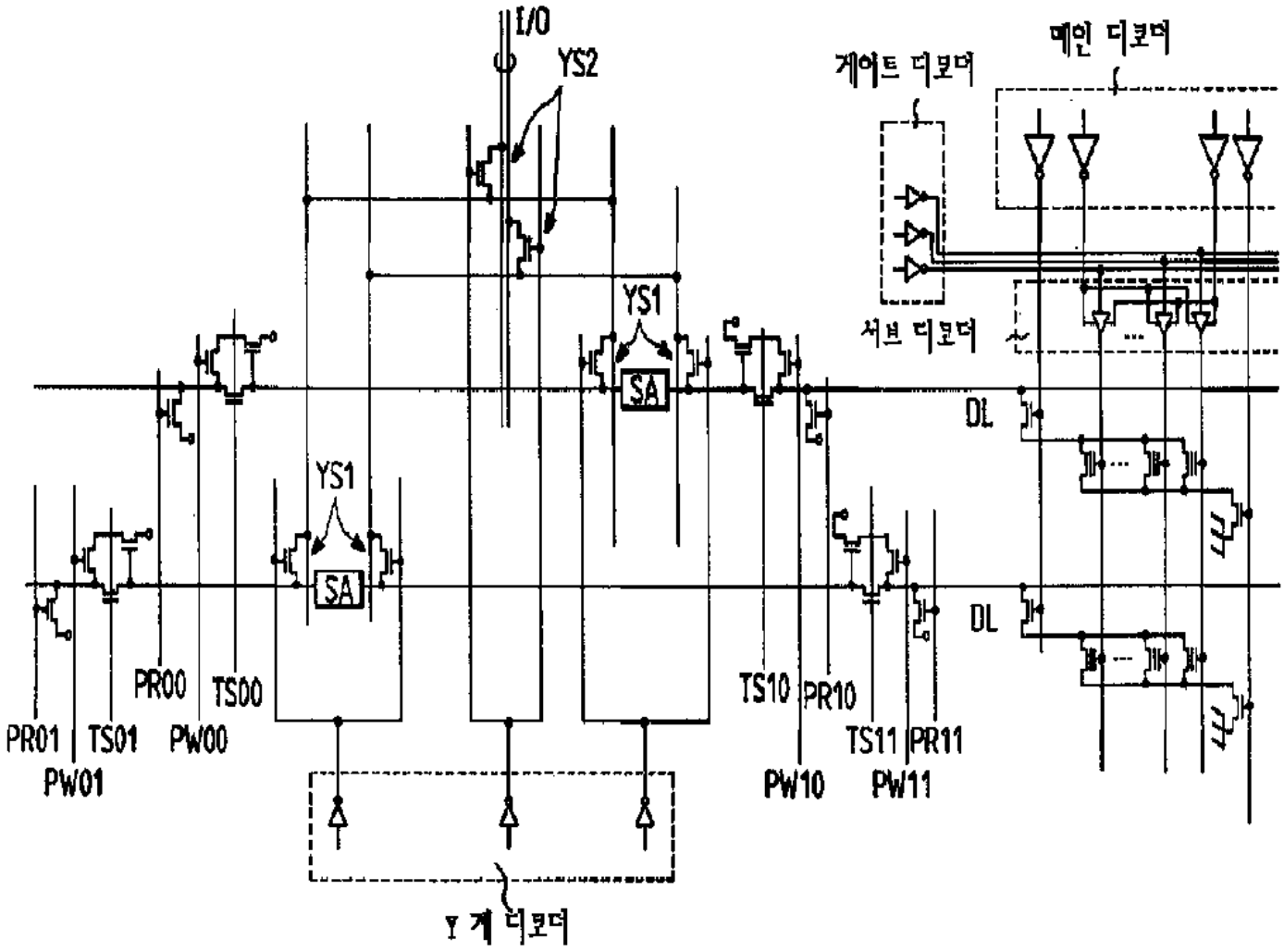
도면 8


쇼트
MOS Qss
선택
MOS Qms
WL
메모리
선택
MOS Qmo
선택
MOS Qms
메모리
선택
MOS Qmo
MAN-DCR
SUB-DCR
DL
DL
GDCR
TRMOS
SA
SA

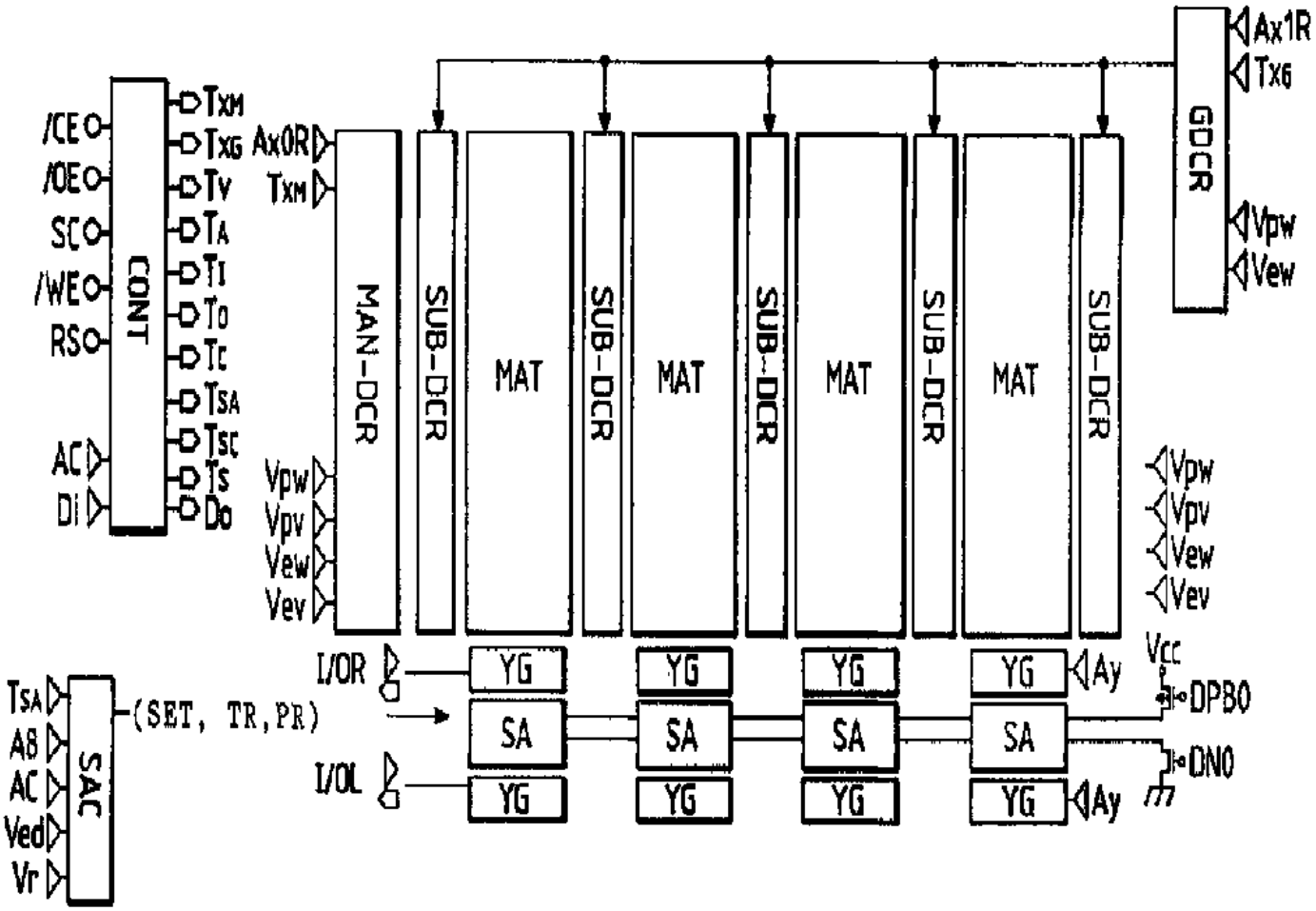
도면 9



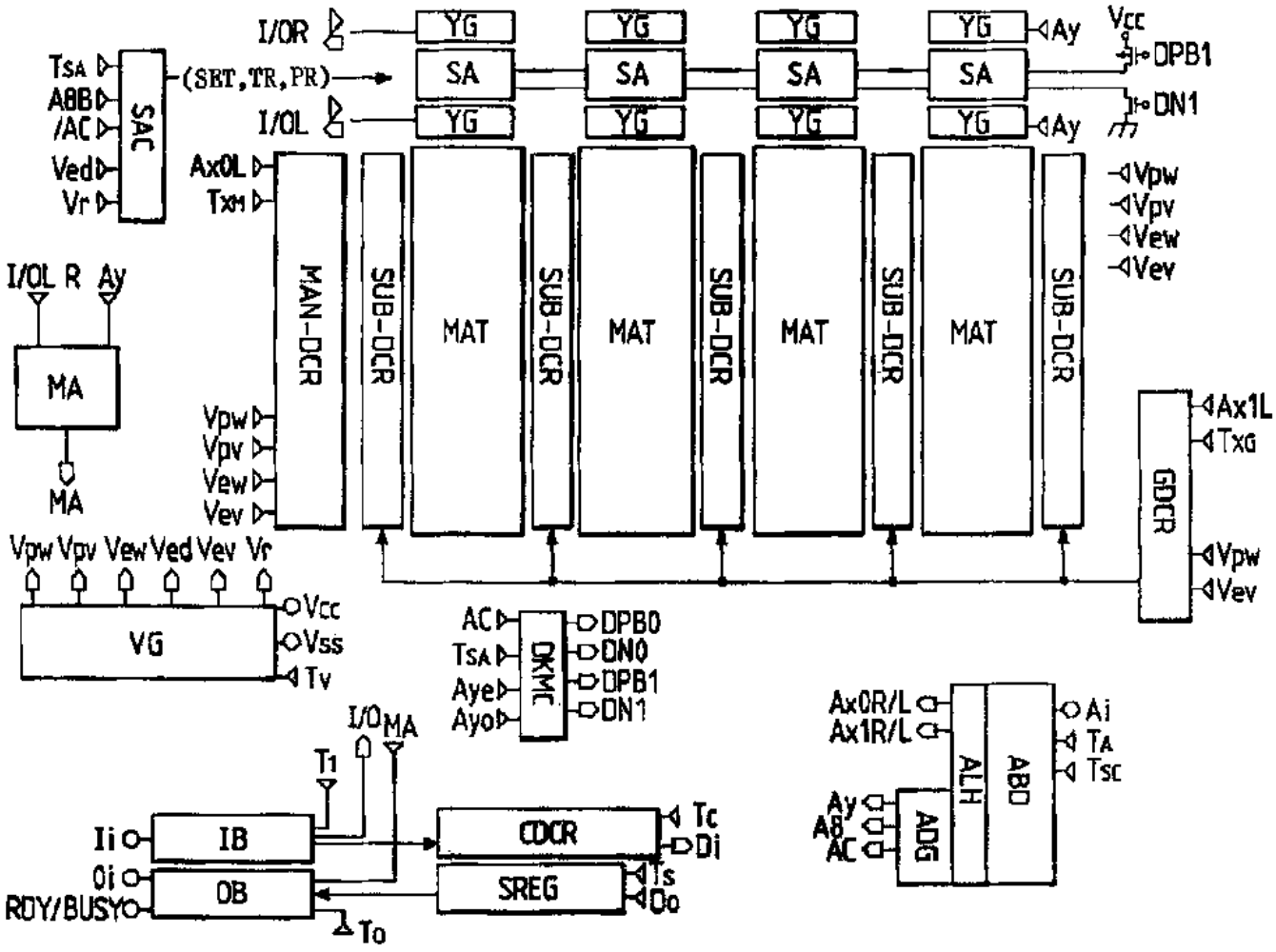
도면 10


I/O
YS2
YS1
SA
YS1
SA
메인 디코더
게이트 디코더
서브 디코더
DL
DL
PR01
TS01
PW01
PR00
TS00
PW00
TS10
PR10
PW10
TS11
PR11
PW11
Y 게 디코더

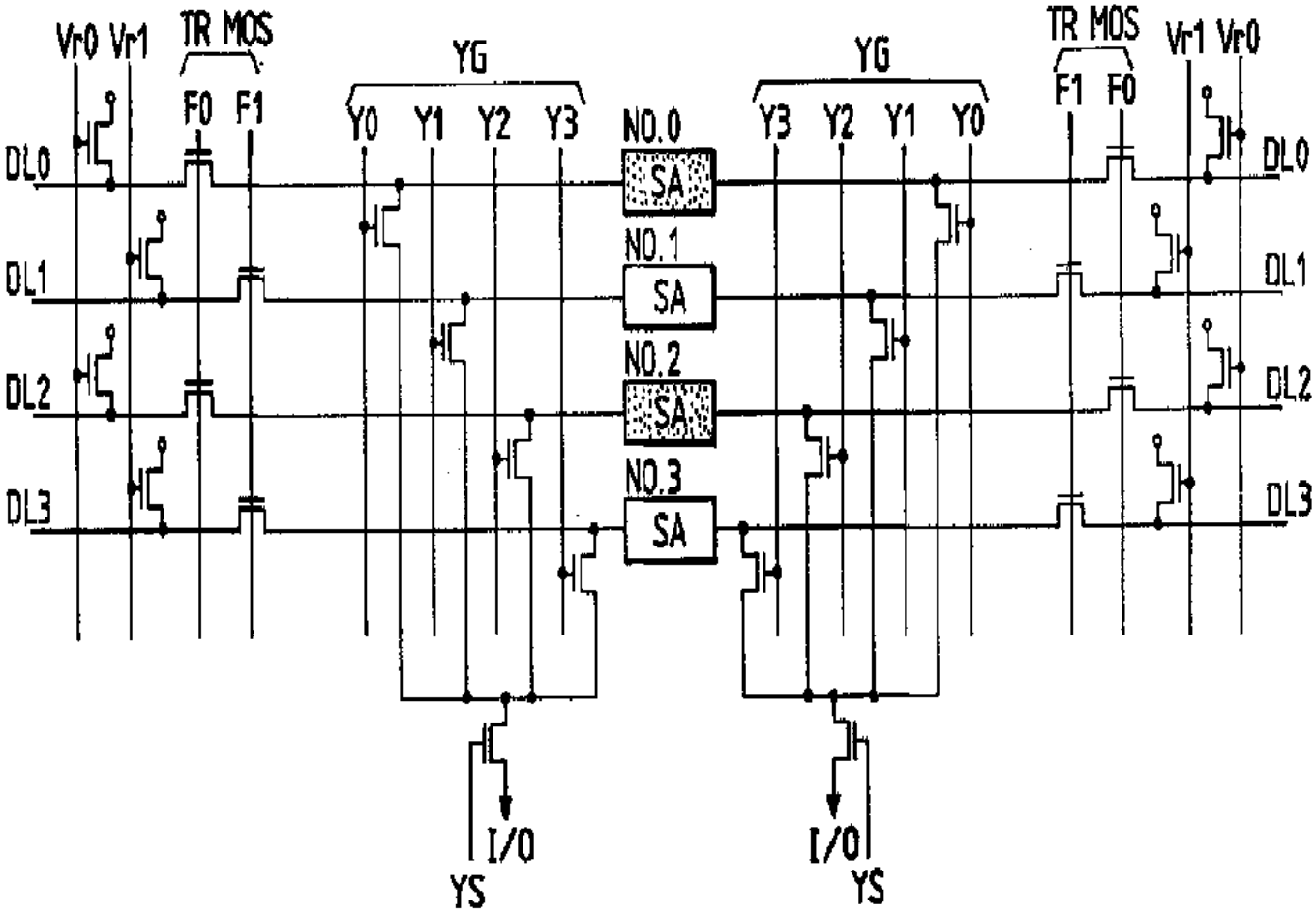
도면 11


/CE
/OE
SC
/WE
RS
AC
Di
CONT
TXM
TXG
TV
TA
TI
TO
TC
TSA
TSC
TS
DO
AX0R
TXM
Vpw
Vpv
Vew
Vev
MAN-DCR
SUB-DCR
MAT
SUB-DCR
MAT
SUB-DCR
MAT
SUB-DCR
MAT
SUB-DCR
GDCR
AX1R
TXG
Vpw
Vew
Vpw
Vpv
Vew
Vev
I/OR
I/OL
YG
SA
YG
Ay
Vcc
DPB0
DN0
TSA
A8
AC
Ved
Vr
SAC
(SET, TR, PR)

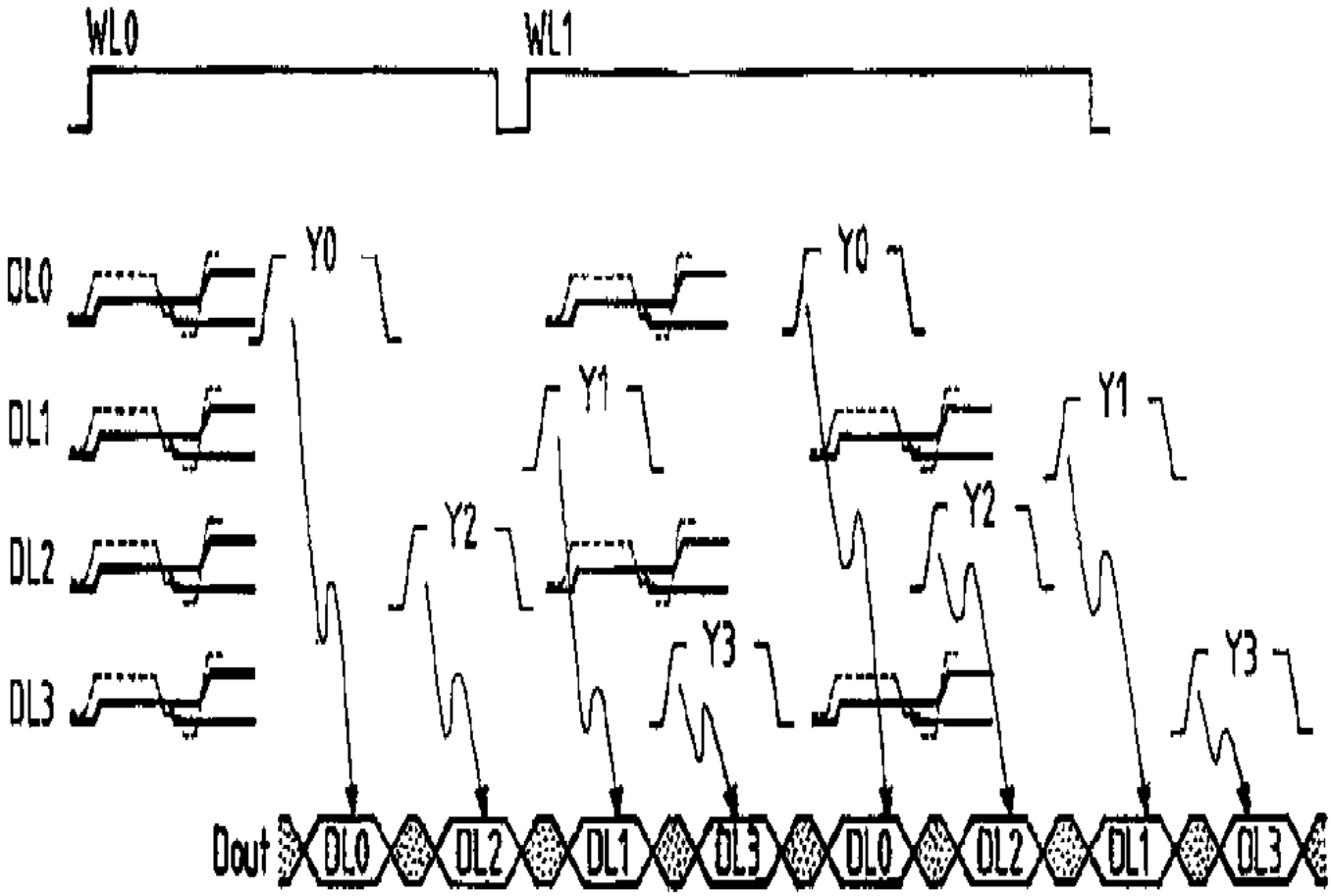
도면 12


I/OR
I/OL
YG
SA
Ay
Vcc
DPB1
DN1
TSA
ABB
/AC
Ved
Vr
SAC
(SET,TR,PR)
AxOL
Txm
MAN-DCR
SUB-DCR
MAT
Vpw
Vpv
Vew
Vev
I/OL R Ay
MA
Ax1L
TxG
GDCR
VG
Vcc
Vss
Tv
AC
TSA
Aye
Ayo
DKMC
DPB0
DN0
I/O MA
T1
Ii
Oi
RDY/BUSYO
IB
OB
CDCR
SREG
Tc
Di
Ts
Do
To
AxOR/L
Ax1R/L
ALH
ABD
ADG
Ai
TA
Tsc

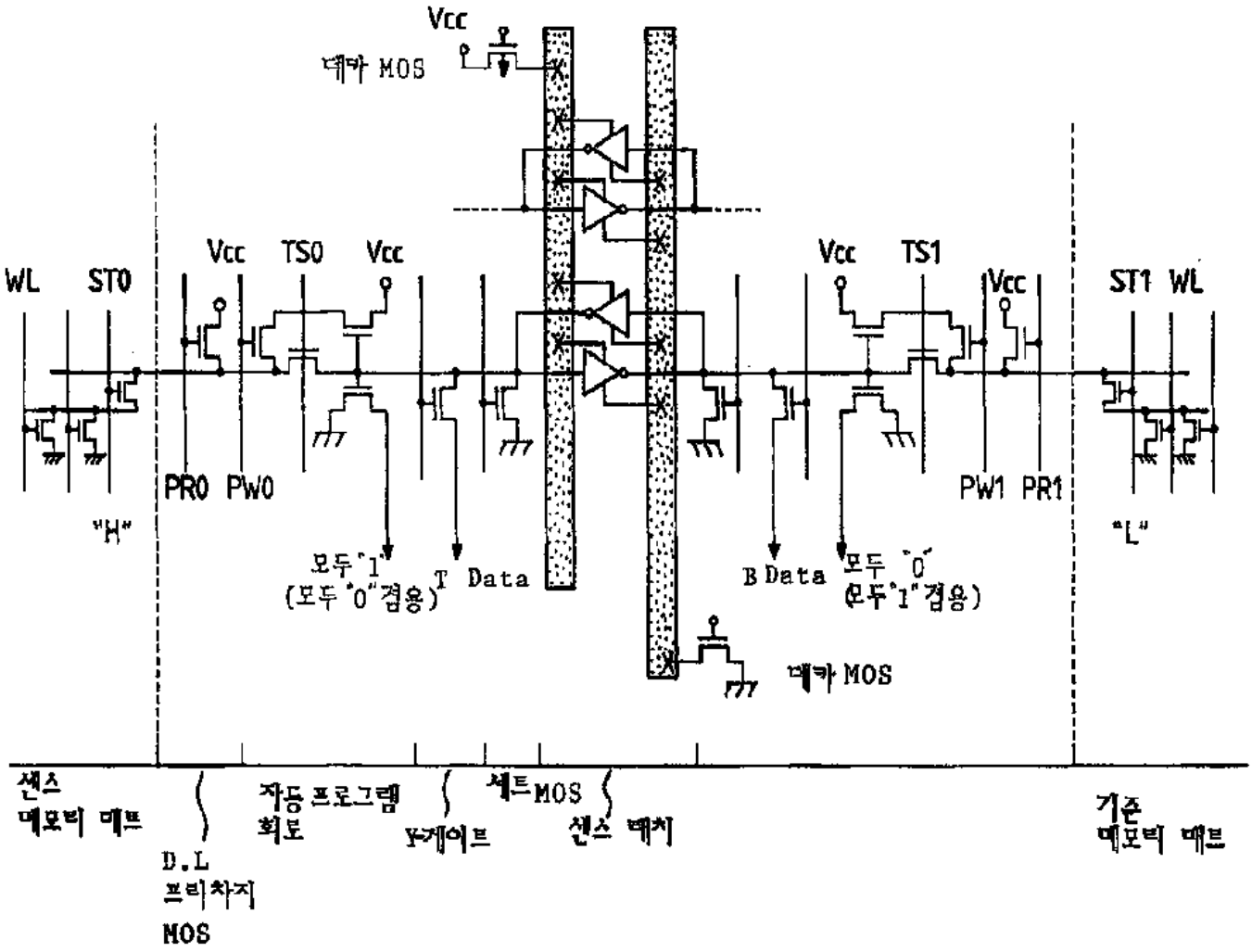
도면 13


Vr0 Vr1
TR MOS
F0 F1
YG
Y0 Y1 Y2 Y3
NO.0
SA
NO.1
SA
NO.2
SA
NO.3
SA
Y3 Y2 Y1 Y0
YG
TR MOS
F1 F0
Vr1 Vr0
DL0
DL1
DL2
DL3
I/O
YS
I/O
YS

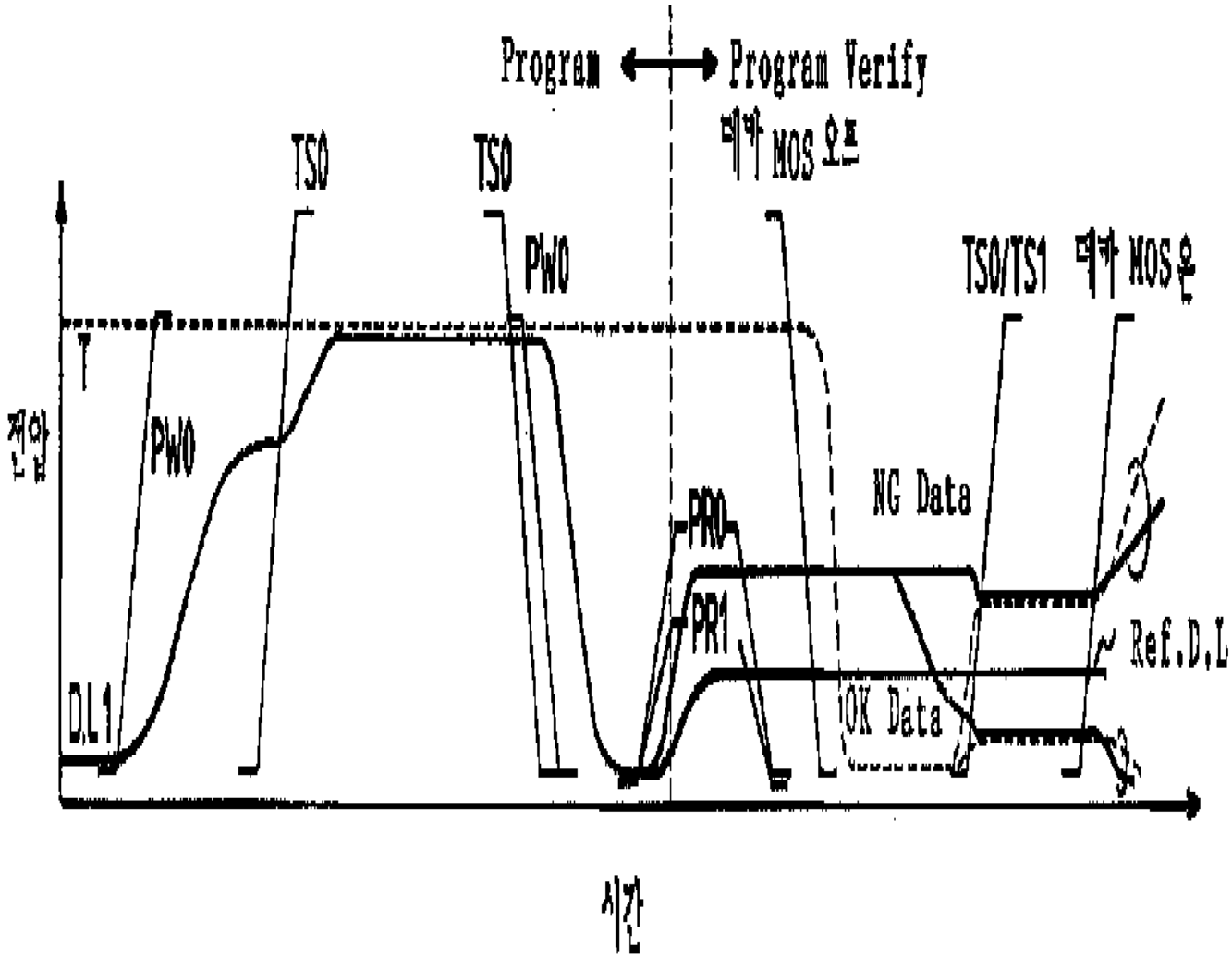
도면 14


WL0
WL1
DL0
DL1
DL2
DL3
Y0
Y1
Y2
Y3
Dout
DL0
DL2
DL1
DL3
DL0
DL2
DL1
DL3

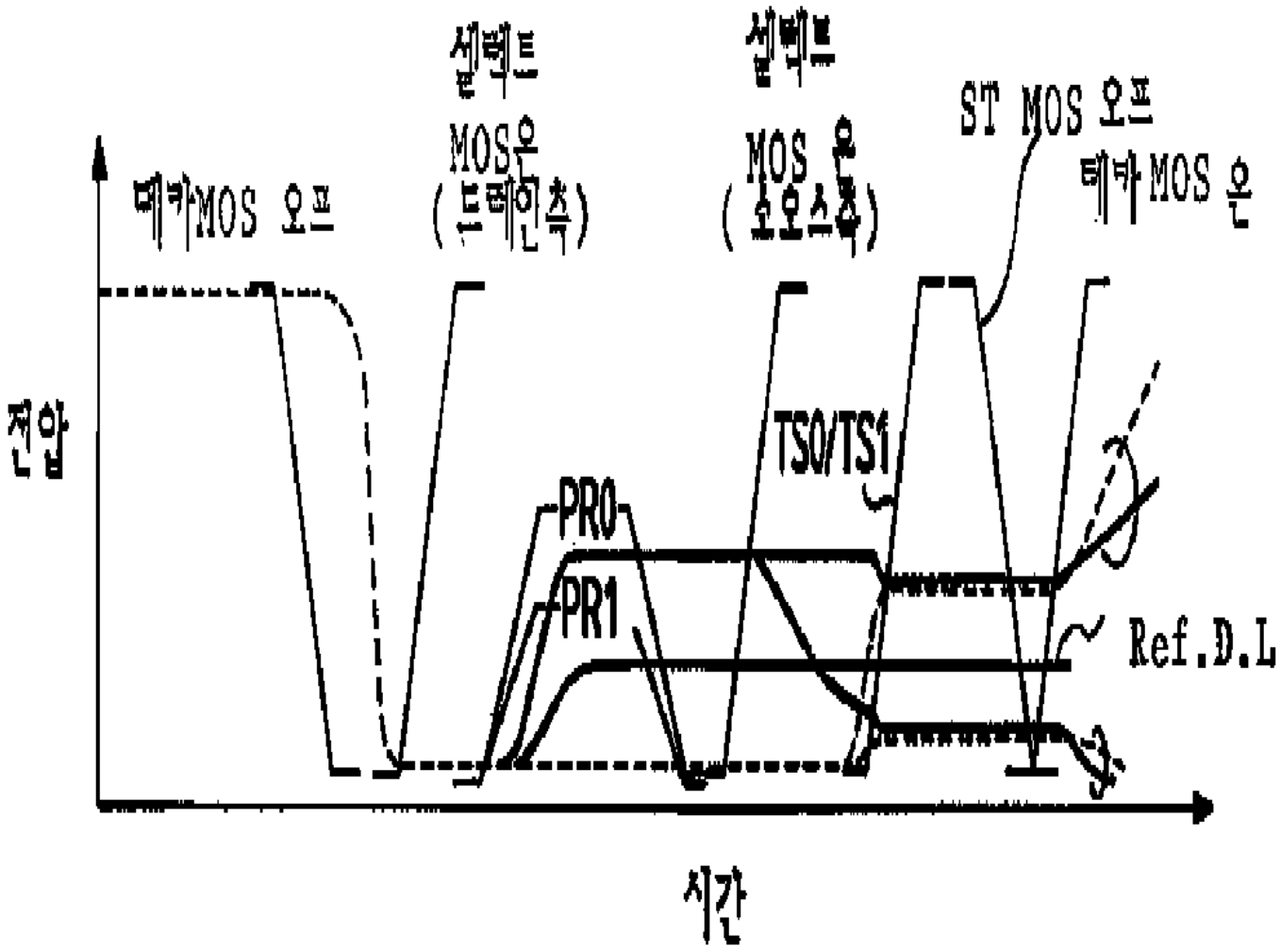
도면 15


Vcc
데카 MOS
WL
ST0
Vcc
TS0
Vcc
Vcc
TS1
Vcc
ST1
WL
PR0
PW0
PW1
PR1
"H"
"L"
모두 "1"
(모두 "0"겸용)
T Data
B Data
모두 "0"
(모두 "1"겸용)
데카 MOS
센스
메모리 매트
D.L
프리차지
MOS
자동 프로그램
회로
Y-게이트
세트 MOS
센스 래치
기준
메모리 매트

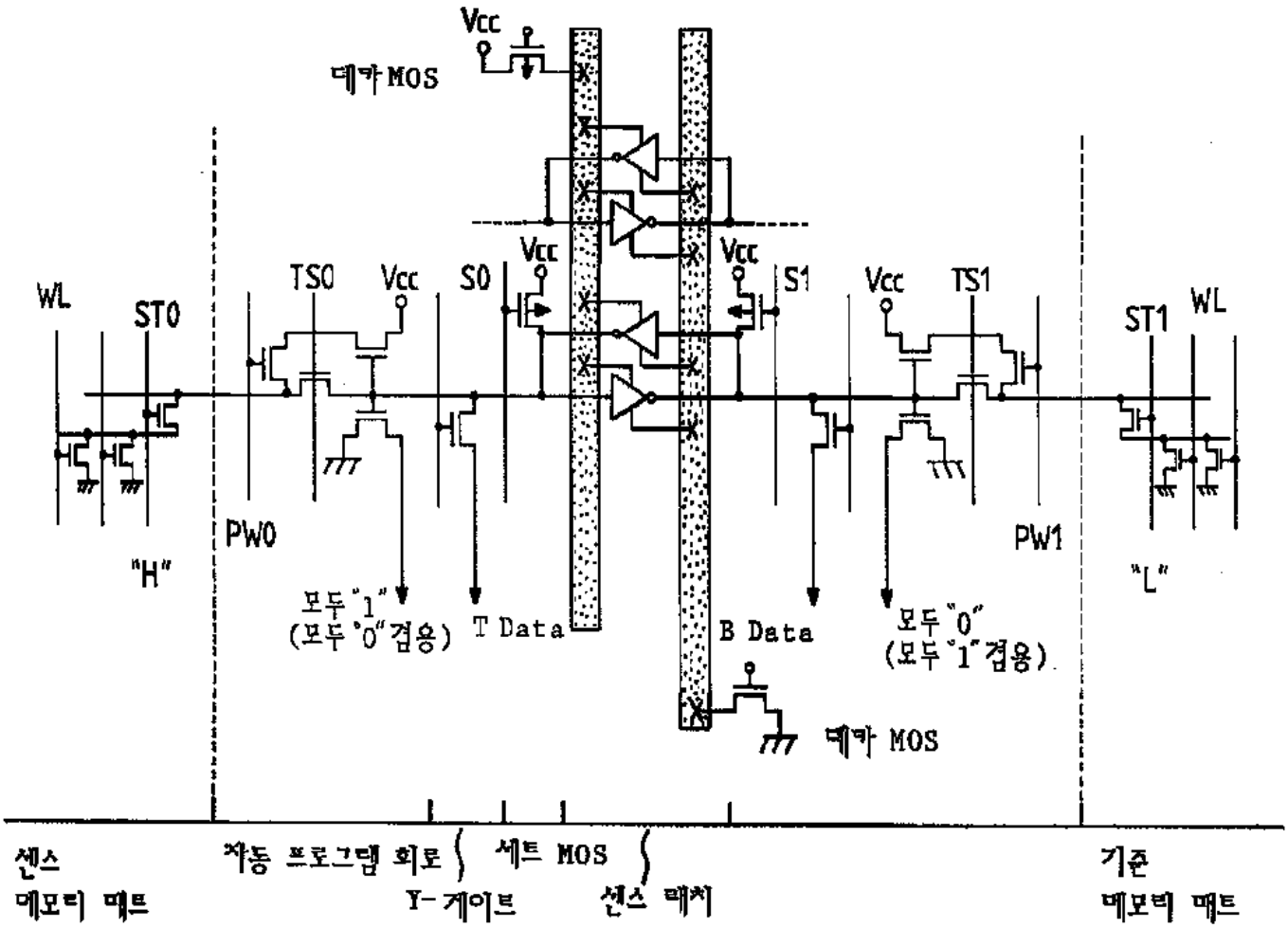
도면 16a


Program
Program Verify
TS0
TS0
PW0
TS0/TS1
전압
PW0
NG Data
PR0
PR1
Ref.D.L
DL1
OK Data
시간

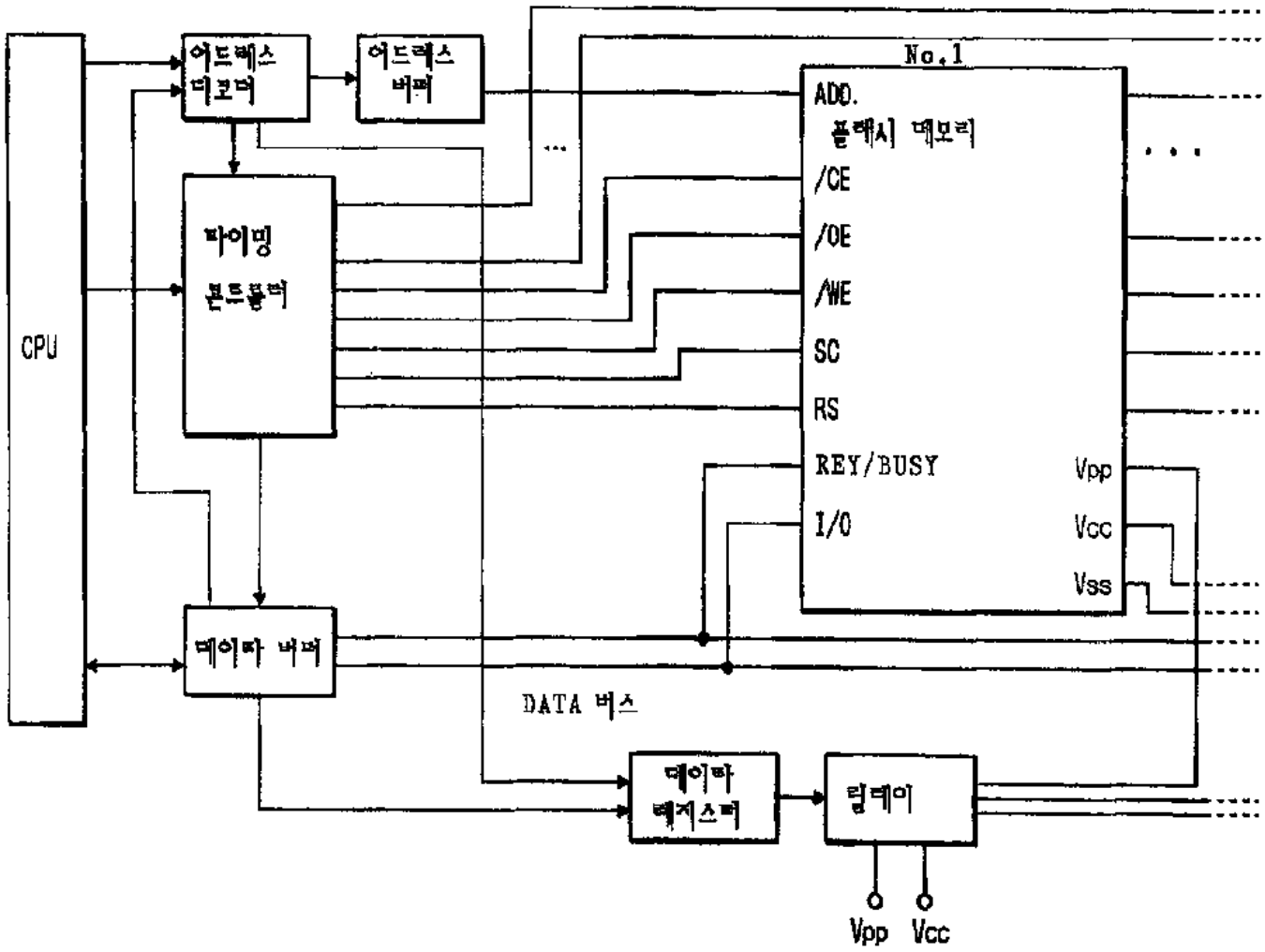
도면 16b


셀렉트
MOS온
(드레인측)
셀렉트
MOS 온
(소오스측)
ST MOS 오프
메카MOS 오프
메카 MOS 온
전압
TS0/TS1
PR0
PR1
Ref.D.L
시간

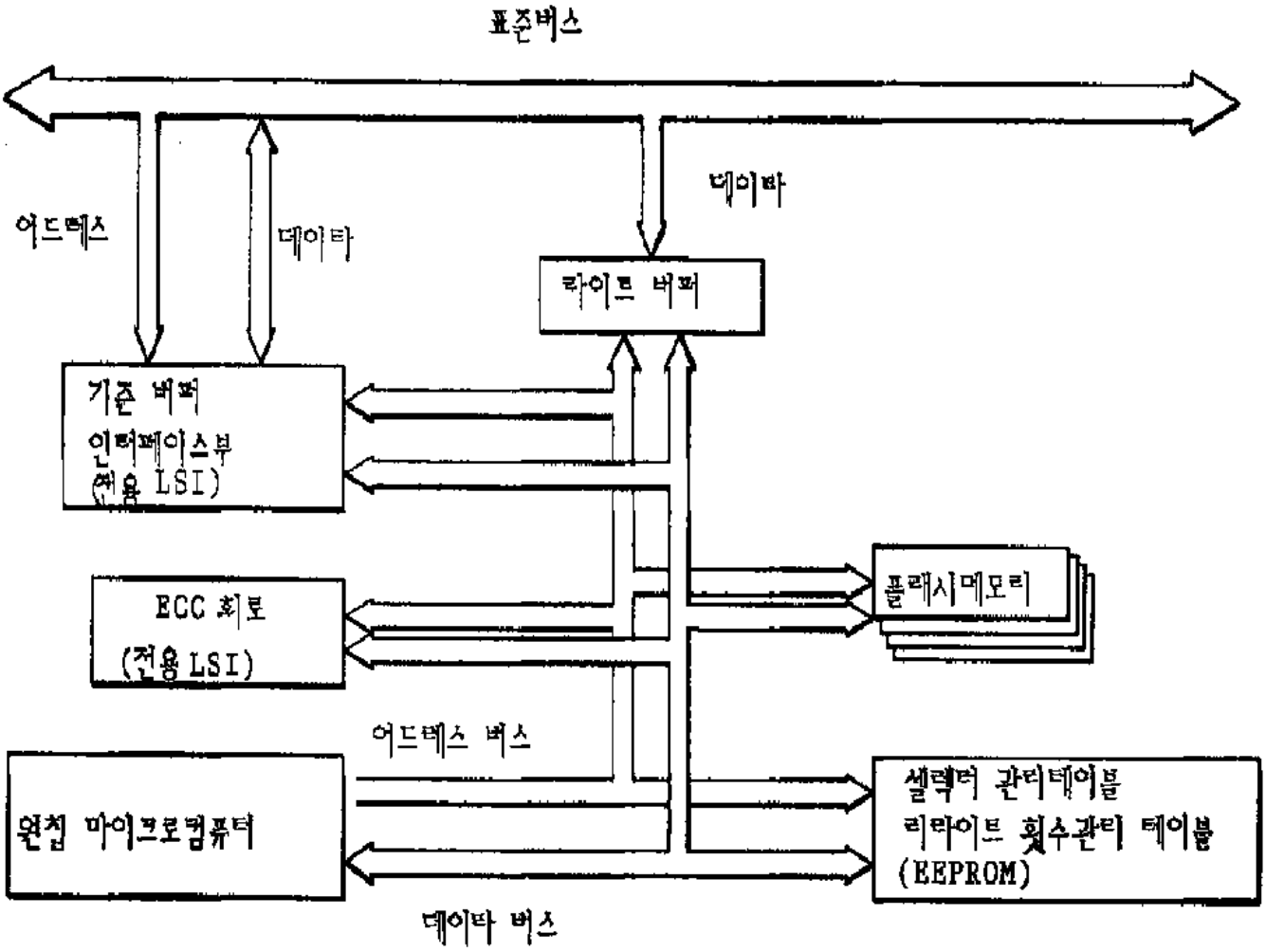
도면 17


Vcc
데카 MOS
WL
ST0
TS0
Vcc
S0
Vcc
Vcc
S1
Vcc
TS1
ST1
WL
PW0
PW1
"H"
"L"
모두 "1"
(모두 "0" 검용)
T Data
B Data
모두 "0"
(모두 "1" 검용)
데카 MOS
센스
메모리 매트
자동 프로그램 회로
Y-게이트
세트 MOS
센스 래치
기준
메모리 매트

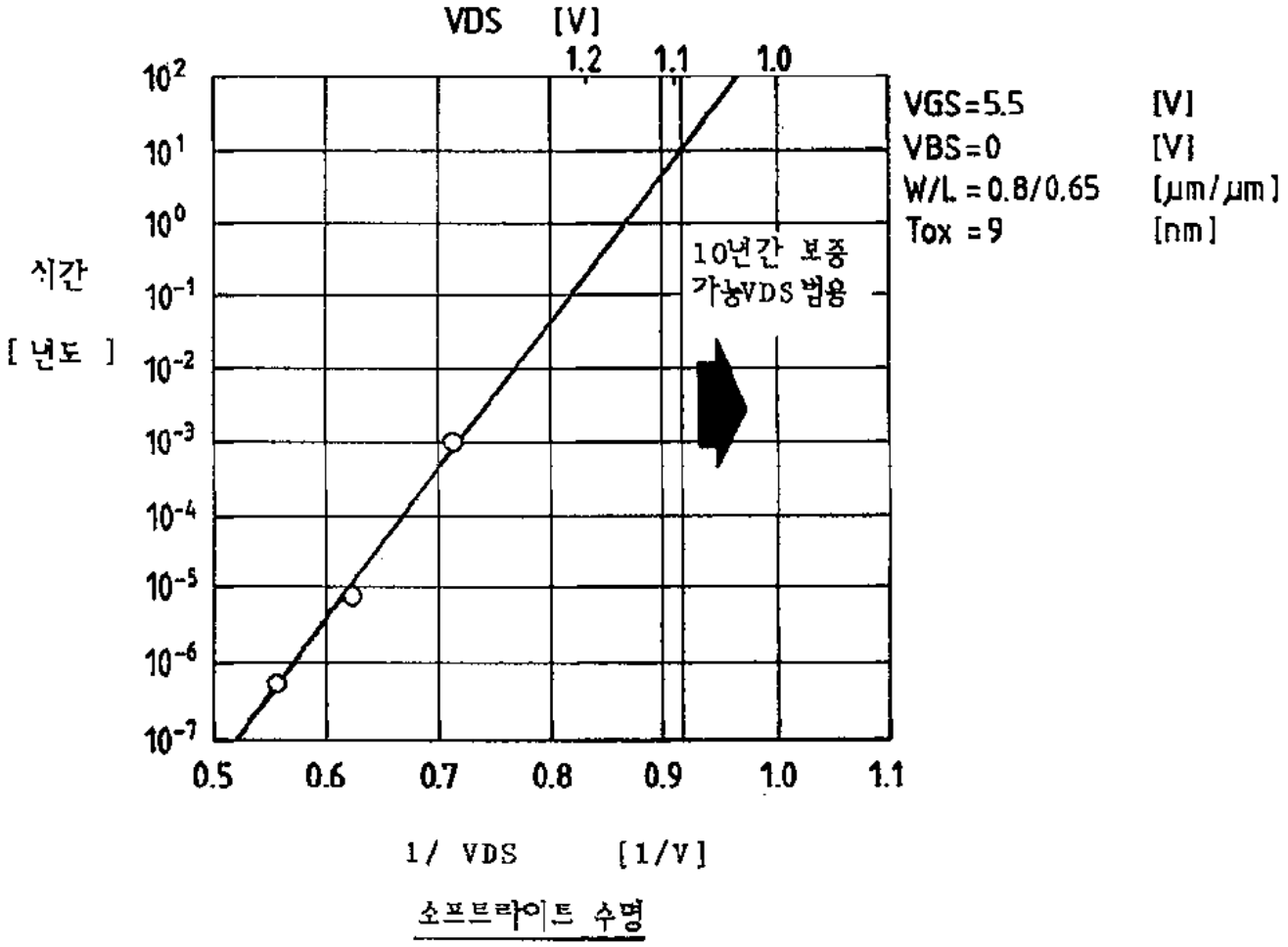
도면 18


CPU
어드레스 디코더
어드레스 버퍼
No.1
ADD.
플래시 메모리
/CE
/OE
/WE
SC
RS
REY/BUSY
I/O
Vpp
Vcc
Vss
타이밍 콘트롤러
데이타 버퍼
DATA 버스
데이타 레지스터
릴레이
Vpp
Vcc

도면 19


표준버스
어드레스
데이타
데이타
라이트 버퍼
기준 버퍼
인터페이스부
(전용 LSI)
ECC 회로
(전용 LSI)
플래시메모리
어드레스 버스
원칩 마이크로컴퓨터
셀렉터 관리테이블
리라이트 횟수관리 테이블
(EEPROM)
데이타 버스

도면 20



소프트라이트 수명

도면 21

