

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成16年9月16日(2004.9.16)

【公開番号】特開2000-156480(P2000-156480A)

【公開日】平成12年6月6日(2000.6.6)

【出願番号】特願平10-250162

【国際特許分類第7版】

H 01 L 27/108

H 01 L 21/8242

【F I】

H 01 L 27/10 6 8 1 F

H 01 L 27/10 6 2 1 C

【手続補正書】

【提出日】平成15年9月4日(2003.9.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリアレイ領域にメモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とでメモリセルが構成され、周辺回路領域にnチャネル型MISFETとpチャネル型MISFETが形成され、前記メモリアレイ領域の上部にはビット線が、前記周辺回路領域の上部には第1配線が形成され、前記ビット線および第1配線の上部に第1絶縁膜が形成され、前記第1絶縁膜の上部に第2絶縁膜が形成され、前記メモリセル選択用MISFETの上部の前記第2絶縁膜に形成された溝の内部に前記情報蓄積用容量素子の下部電極が形成され、前記情報蓄積用容量素子の上部に形成された第3絶縁膜の上部の前記メモリセルアレイ領域に第2配線が形成され、前記周辺回路領域に第3配線が形成され、前記周辺回路領域の前記第3絶縁膜と第2絶縁膜と第1絶縁膜とを貫通する第1スルーホールに形成された第1プラグを通じて、前記第3配線と前記第1配線とが電気的に接続され、前記第2配線と第3配線の上部に形成された第4絶縁膜の上部に、前記情報蓄積用容量素子の上部電極に所定の電源を供給する給電用配線が形成され、前記第4絶縁膜と前記第3絶縁膜を貫通する第2スルーホールに形成された第2プラグを通じて、前記給電用配線と前記上部電極とが電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項2】

請求項1記載の半導体集積回路装置であって、前記第2配線と第3配線の上部に形成された前記第4絶縁膜は、高密度プラズマCVD法によって形成された絶縁膜とプラズマCVD法によって形成された絶縁膜の積層膜であり、前記情報蓄積用容量素子の上部に形成された前記第3絶縁膜は、プラズマCVD法によって形成された膜であることを特徴とする半導体集積回路装置。

【請求項3】

以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板の正面のメモリアレイ領域にメモリセル選択用MISFETを形成し、周辺回路領域に周辺回路のMISFETを形成する工程、

(b) 前記メモリセル選択用MISFETの上部にビット線を、前記周辺回路のMISFETの上部に第1配線を形成した後、前記ビット線および第1配線の上部に第1絶縁膜と前記第1絶縁膜の上部に堆積された第2絶縁膜とを形成する工程、

(c) 前記メモリアレイ領域の前記第2絶縁膜に溝を形成した後、前記溝の内部を含む前記第2絶縁膜上に形成した第1導電膜をパターニングすることにより、前記溝の内部に情報蓄積用容量素子の下部電極を形成する工程、

(d) 前記下部電極の上部に容量絶縁膜を介して形成した第2導電膜をパターニングすることにより、前記情報蓄積用容量素子の上部電極を形成する工程、

(e) 前記情報蓄積用容量素子の上部電極の上部に第3絶縁膜を形成した後、前記第1絶縁膜と第2絶縁膜と第3絶縁膜とを貫通する第1スルーホールを形成し、前記第1スルーホール内に第1プラグを形成する工程、

(f) 前記第3絶縁膜の上部に形成した第3導電膜をパターニングすることにより、前記第1プラグを通じて前記第1配線と電気的に接続される第2配線を形成する工程、

(g) 前記第2配線の上部に第4絶縁膜を形成した後、前記情報蓄積用容量素子の上部の前記第3絶縁膜と第4絶縁膜とを貫通して形成した第2スルーホール内に第2プラグを形成し、前記第2配線の上部の前記第4絶縁膜に形成した第3スルーホール内に第3プラグを形成する工程、

(h) 前記第4絶縁膜の上部に形成した第4導電膜をパターニングすることにより、前記第2プラグを通じて前記情報蓄積用容量素子の上部電極と電気的に接続される給電用配線と、前記第3プラグを通じて前記第2配線と電気的に接続される第3配線とを形成する工程。

【請求項4】

請求項3記載の半導体集積回路装置の製造方法であって、前記第2配線の上部に形成された前記第4絶縁膜は、高密度プラズマCVD法によって形成された絶縁膜と、プラズマCVD法によって前記絶縁膜上に形成された絶縁膜の積層膜であり、前記情報蓄積用容量素子の上部に形成された前記第3絶縁膜は、プラズマCVD法によって形成された絶縁膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項5】

請求項4記載の半導体集積回路装置の製造方法であって、前記高密度プラズマCVD法によって形成された絶縁膜は、モノシリランと酸素と不活性ガスとを含むソースガスを用いた高密度プラズマCVD法によって形成された酸化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項6】

請求項3記載の半導体集積回路装置の製造方法であって、前記給電用配線と前記第3配線とを同一工程で同時に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項7】

以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板の正面のメモリアレイ領域にメモリセル選択用MISFETを形成し、周辺回路領域に周辺回路のMISFETを形成する工程、

(b) 前記メモリセル選択用MISFETおよび前記周辺回路のMISFETの上部に第1絶縁膜を形成した後、前記メモリアレイ領域の前記第1絶縁膜に溝を形成し、前記溝に前記メモリセル選択用MISFETに接続する情報蓄積用容量素子を形成する工程、

(c) 前記情報蓄積用容量素子の上部に、前記メモリアレイ領域および周辺回路領域にわたって第2絶縁膜を形成する工程、

(d) 前記第2絶縁膜の上部に第1配線を形成する工程、

(e) 前記第1配線の上部に第3絶縁膜を形成する工程、

(f) 前記第2絶縁膜および第3絶縁膜を貫通して前記情報蓄積用容量素子を露出する第1開口を形成する工程、

(g) 前記第3絶縁膜を貫通して前記第1配線を露出する第2開口を形成する工程、

(h) 前記第1開口の内部に第1プラグを形成し、前記第2開口の内部に第2プラグを形成する工程。

【請求項8】

請求項7記載の半導体集積回路装置の製造方法であって、前記第1開口と第2開口は、同

時に形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 9】

請求項 7 記載の半導体集積回路装置の製造方法であって、前記第 1 プラグの長さは、前記第 2 プラグの長さより長いことを特徴とする半導体集積回路装置の製造方法。