

FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

273 727

(11)

(13) B1

(51) Int. Cl. 5

G 06 F 13/00//
G 06 F 13/24

(21) PV 5985-88. H

(22) Přihlášeno 06 09 88

(40) Zveřejněno 14 08 90

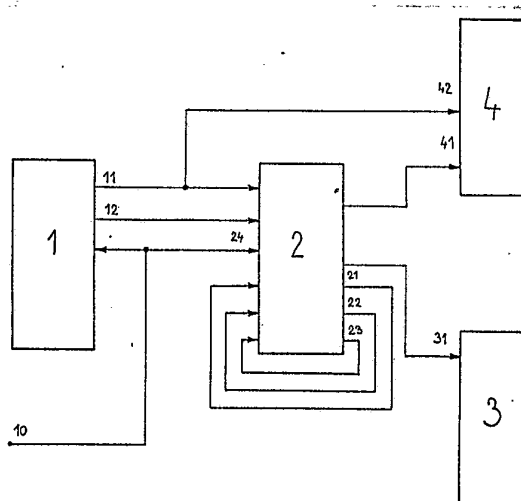
(45) Vydáno 24 03 92

(75) Autor vynálezu PATERA JIŘÍ ing., PRAHA

(54)

Zapojení pro připojení řídicího obvodu
přerušení k procesoru

(57) Řešení se týká technického problému zapojení pro připojení řídicího obvodu přerušení k procesoru, zejména připojení programovatelného řídicího obvodu přerušení k 580 VN 59 k mikroprocesoru typu U 880. Obvod sestává z procesoru (1), přerušovacího obvodu (3), paměti (4) a programovatelného pole (2). Programovatelné pole (2) je zapojeno v obvodu tak, aby bylo zajištěno zejména vzájemné přizpůsobení komunikace mezi procesorem (1) a řídicím obvodem přerušení, které náleží k různým mikropočítačovým stavebnicím.



Vynález se týká zapojení pro připojení řídícího obvodu přerušení k procesoru, zejména na připojení programovatelného řídícího obvodu přerušení K 580 VN 59 k mikroprocesoru U 880.

Všeobecně se používá několika typů mikropočítačových stavebnic pro budování mikropočítačů. Mezi jednotlivými stavebnicemi lze vysledovat podobnost ve způsobu rozdělení funkcí mezi jednotlivé prvky stavebnice. Každou stavebnici však charakterizuje zvláštní způsob komunikace mezi jejími prvky. Nevýhodou tohoto stavu je nemožnost spojit výhodné vlastnosti řídícího obvodu prioritního přerušení typu K 580 VN 59 z mikropočítačové stavebnice MHB 8080 s výhodami centrálního mikroprocesoru typu U 880 ze stejnojmenné mikropočítačové stavebnice společným použitím v jednom mikropočítači.

Tuto nevýhodu odstraňuje zapojení pro připojení řídícího obvodu přerušení k procesoru podle vynálezu, sestávající z procesoru, přerušovacího obvodu a programovatelného pole, jehož podstata spočívá v tom, že nulovací vstup obvodu je připojen na vstup procesoru a na nastavovací vstup programovatelného pole. Čtecí výstup procesoru a potvrzující výstup procesoru jsou spojeny se vstupy programovatelného pole. Zároveň paměť svým přiřazovacím vstupem a přerušovací obvod svým aktivačním vstupem jsou spojeny s výstupy programovatelného pole, přičemž ke třem vstupům programovatelného pole jsou připojeny první výstup, druhý výstup a třetí výstup programovatelného pole.

Pokrok dosažený vynálezem spočívá zejména v možnosti připojení programovatelného řídícího obvodu prioritního přerušení typu K 580 VN 59 k mikroprocesoru typu U 880. Programovatelný řídící obvod prioritního přerušení typu K 580 VN 59 je z uživatelského hlediska velmi komfortně vybaven a pro mnoho aplikací jsou jeho vlastnosti výhodnější nežli vlastnosti analogických prvků ze stavebnice U 880. Naopak mikroprocesor U 880, pracující v přerušovacím modu 0 je pro mnoho aplikací výhodnější nežli mikroprocesor MHB 8080 do jehož stavebnice řídící obvod přerušení typu K 580 VN 59 patří. Při použití předmětu vynálezu lze jednoduše konstruovat mikropočítač, ve kterém jsou využity současně výhody mikroprocesoru U 880 a řídícího obvodu přerušení K 580 VN 59.

Vynález je znázorněn na připojeném výkresu, který představuje blokové schéma zapojení pro připojení řídícího obvodu přerušení k procesoru.

Zapojení pro připojení řídícího obvodu přerušení k procesoru obsahuje vedle procesoru 1, přerušovacího obvodu 3 a paměti 4 programovatelné pole 2. Nulovací vstup 10 je připojen na vstup procesoru 1 a na nastavovací vstup 24 programovatelného pole 2. Čtecí výstup 11 z procesoru 1 a potvrzující výstup 12 z procesoru 1 jsou spojeny se vstupy programovatelného pole 2. Paměť 4 svým přiřazovacím vstupem 41 a přerušovací obvod 3 svým aktivačním vstupem 31 jsou spojeny s výstupy programovatelného pole 2. Se vstupy programovatelného pole 2 jsou spojeny také tři výstupy programovatelného pole 2, a to první výstup 21, druhý výstup 22 a třetí výstup 23. Čtecí výstup 11 procesoru 1 je spojen s klíčovacím vstupem 42 paměti 4.

Zapojení pro připojení řídícího obvodu přerušení k procesoru se po ukončení aktivity vnějšího signálu, připojeného na nulovací vstup 10 a rozvedeného do procesoru 1 a do nastavovacího vstupu 24 programovatelného pole 2, nachází ve výchozím stavu. V činnosti obvodu v tomto stavu nastane jedna ze dvou situací.

1. Cyklus je zahájen aktivací čtecího výstupu 11 procesoru 1 přivedeného na vstup programovatelného pole 2, které svým výstupem aktivuje přiřazovací vstup 41 paměti 4. Protože klíčovací vstup 42 paměti 4 je také aktivován čtecím výstupem 11 procesoru 1, je možno číst obsah paměti 4. Po uplynutí určitého časového intervalu procesor 1 pasivuje svůj čtecí výstup 11. Na základě této změny programovatelné pole 2 pasivuje přiřazovací vstup 41 paměti 4, a tím se stává čtení obsahu paměti 4 nemožným. Obvod se dostává do výchozího stavu. Popsaná situace odpovídá čtení informace procesorem 1 z paměti 4.

2. Cyklus je zahájen aktivací potvrzujícího výstupu 12 procesorem 1 přivedeného na vstup programovatelného pole 2, které svým výstupem aktivuje aktivační vstup 31 přerušovacího

obvodu 3 a současně se změni hodnota vektoru tvořeného prvním výstupem 21, druhým výstupem 22 a třetím výstupem 23 programovatelného pole 2. V důsledku aktivace aktivacího vstupu 31 přerušovacího obvodu 3 je možno číst informaci z přerušovacího obvodu 3.

Po uplynutí určitého časového intervalu procesor 1 pasivuje svůj potvrzující výstup 12. Na základě této změny programovatelné pole 2 pasivuje aktivací vstupu 31 přerušovacího obvodu 3 a současně se dále změni hodnota vektoru tvořeného prvním výstupem 21, druhým výstupem 22 a třetím výstupem 23 programovatelného pole 2. Změněný vektor působí na vstupy programovatelného pole 2. V důsledku pasivace aktivacího vstupu 31 přerušovacího obvodu 3 stává se čtení informace z přerušovacího obvodu 3 nemožným. Tím je první cyklus druhé situace ukončen.

Následující cyklus je zahájen aktivací buď potvrzujícího výstupu 12 procesorem 1, nebo aktivací čtecího výstupu 11 procesorem 1 nebo aktivací obou jmenovaných výstupů přivedených na vstupy programovatelného pole 2. Toto programovatelné pole 2 svým výstupem aktivuje aktivací vstupu 31 přerušovacího obvodu 3 a současně se dále změni hodnota vektoru tvořeného prvním výstupem 21, druhým výstupem 22 a třetím výstupem 23 programovatelného pole 2. Změněný vektor působí na vstupy programovatelného pole 2. V důsledku aktivace aktivacího vstupu 31 přerušovacího obvodu 3 je možno číst další informace z přerušovacího obvodu 3.

Po uplynutí určitého časového intervalu procesor 1 pasivuje své výstupy. Na základě této změny programovatelné pole 2 pasivuje aktivací vstupu 31 přerušovacího obvodu 3 a současně se dále změni hodnota vektoru tvořeného prvním výstupem 21, druhým výstupem 22 a třetím výstupem 23 programovatelného pole 2. Změněný vektor působí na vstupy programovatelného pole 2. V důsledku pasivace aktivacího vstupu 31 přerušovacího obvodu 3 stává se čtení informace z přerušovacího obvodu 3 nemožným. Druhý cyklus druhé situace je ukončen.

Následující cyklus je zahájen aktivací buď potvrzujícího výstupu 12 procesorem 1, nebo aktivací čtecího výstupu 11 procesorem 1 nebo aktivací obou jmenovaných výstupů přivedených na vstupy programovatelného pole 2. Toto svým výstupem aktivuje aktivací vstupu 31 přerušovacího obvodu 3 a současně se dále změni hodnota vektoru tvořeného prvním výstupem 21, druhým výstupem 22 a třetím výstupem 23 programovatelného pole 2. Změněný vektor působí na vstupy programovatelného pole 2. V důsledku aktivace aktivacího vstupu 31 přerušovacího obvodu 3 je možno číst další informaci z přerušovacího obvodu.

Po uplynutí určitého časového intervalu procesor 1 pasivuje své výstupy. Na základě této změny programovatelné pole 2 pasivuje aktivací vstupu 31 přerušovacího obvodu 3 a současně se změni hodnota vektoru tvořeného prvním výstupem 21, druhým výstupem 22 a třetím výstupem 23 programovatelného pole 2 na hodnotu odpovídající výchozímu stavu obvodu. Změněný vektor působí na vstupy programovatelného pole 2. V důsledku pasivace aktivacího vstupu 31 přerušovacího obvodu 3 stává se čtení informace z přerušovacího obvodu 3 nemožným. Třetí cyklus je ukončen a obvod se nachází ve výchozím stavu. Popsaná situace, která je těžištěm využití vynálezu, odpovídá přechodu procesoru 1 na podprogram obsluhy přerušování vyvolanému přerušovacím obvodem 3. Jednotlivé situace v činnosti obvodu pro připojení řídicího obvodu přerušování k procesoru se mohou v libovolném počtu opakovat a střídat.

Hlavní oblastí použití obvodu pro připojení řídicího obvodu přerušování k procesoru podle vynálezu je konstrukce počítačů, zejména mikropočítačů na bázi mikroprocesoru typu U 880, využívajících programovatelných řídicích obvodů přerušování typu K 580 VN 59 z mikropočítačové stavebnice MHB 8080.

P R Ě D M Ě T V Y N Á L E Z U

1. Zapojení pro připojení řídicího obvodu přerušování k procesoru, sestávajícího z procesoru, přerušovacího obvodu, paměti a programovatelného pole, vyznačující se tím, že nu-

lovací vstup (10) zapojení je připojen jednak na vstup procesoru (1) a jednak na nastavovací vstup (24) programovatelného pole (2), čtecí výstup (11) procesoru (1) a potvrzující výstup (12) procesoru (1) jsou spojeny se vstupy programovatelného pole (2), přičemž paměť (4) svým přiřazovacím vstupem (41) a přerušovací obvod (3) svým aktivacím vstupem (31) jsou spojeny s výstupy programovatelného pole (2), přičemž ke třem vstupům programovatelného pole (2) jsou připojeny první výstup (21), druhý výstup (22) a třetí výstup (23) programovatelného pole (2).

2. Zapojení pro připojení řídicího obvodu přerušování k procesoru podle bodu 1, vyznačující se tím, že čtecí výstup (11) procesoru (1) je připojen ke klíčovacímu vstupu (42) paměti (4).

1 výkres

