

一、本案已向

| 國家(地區)申請專利 | 申請日期 | 案號 | 主張專利法第二十七條第一項國際優先權 |
|------------|------------|-------------------|--------------------|
| 德國 DE | 2004/05/25 | 10 2004 026 100.8 | 有 |

二、主張專利法第二十九條第一項國內優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為：四、有關生物材料已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關生物材料已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

不須寄存生物材料者：所屬技術領域中具有通常知識者易於獲得時，不須寄存。

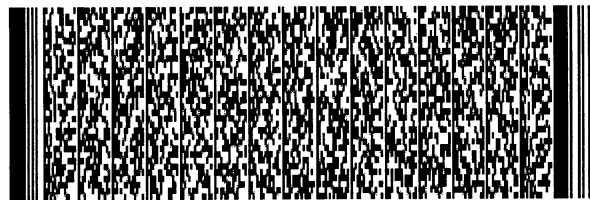
五、發明說明 (1)

本發明係一種半導體組件的ESD保護結構，這種保護結構是由至少一個半導體二極體所構成。此種半導體二極體的p型導電區及n型導電區分別與半導體組件之受保護構件的相同電荷載體類型上的一個區域的第一個接觸點及第二個接觸點接觸形成導電連接。

這一類的保護結構是用來保護半導體組件免於因不受控制的靜電放電(ESD: Electro Static Discharge)而受損或毀壞，其作用方式是將因靜電充電所累積的寄生電荷經由保護結構以低電阻的方式引導到供電線路。這樣就可避免強度可能達到數個安培的放電電流造成半導體組件發生雪崩擊穿的現象而被整個毀壞。靜電放電(ESD)保護結構的尺寸要設計成能夠賦予半導體組件所需的耐電流性，而且本身不會被毀壞掉。

因積體密度愈來愈大使得體積變得愈來愈小的半導體組件對於靜電充電的敏感性變得愈來愈大。尤其是隨著金屬氧化物(MOS)半導體組件的體積愈來愈小而使柵級氧化物的厚度也變得愈來愈小，使得半導體組件的信號輸入及信號輸出變得愈來愈容易受到攻擊，例如當柵極氧化物被擊穿，注入柵極氧化物的電子會造成通道內的電荷載體加速，這將會無可避免的導致半導體組件因前面提及的放電電流而受損。

一種能夠將電荷引出以達到保護半導體組件之目的的已知的半導體組件ESD保護結構是在半導體組件內設置一個二極體。這個二極體的擊穿電壓小於受保護的半導體組



五、發明說明 (2)

件的擊穿電壓。這個二極體是由在靠近基材表面經適當摻雜的p型導電區及n型導電區所構成。擊穿現象是發生在彼此垂直或橫向配置的相鄰區域的表面上。此時ESD保護結構的內電阻是一個很重要的因素。這一類的二極體通常具有一個極高的寄生串聯電阻，這個寄生串聯電阻對可以分流的電量會產生很大的約束作用。可以經由擴大主動pn結的面積來降低二極體的內電阻，例如大面積二極體就是以這種方式來降低內電阻，但是這種作法在提高輸入電路的電容及降低半導體組件的晶片密度的同時，也會使整個半導體組件的製造成本大幅提高。

在表面附近區域利用注入法形成ESD保護結構的另外一個缺點是，在發生靜電放電時，靠近矽表面流出的電流會造成局部溫度升高，導致載流能力進一步降低，而且如果局部溫度升高太多也會造成半導體組件受損。

本發明的目的是要提出一種能夠以低成本製造的ESD保護結構，同時在佔用面積大致相同的情況下，這種ESD保護結構還要能夠提供較高的載流能力，或是在載流能力大致相同的情況下，這種ESD保護結構佔用的面積要比較

。本發明是經由以下的方法達到上述的目的：半導體二極體的一種電荷載體類型的第一個區域至少將一個在半導體組件的半導體基材內形成的通道的內表面覆蓋住一部分，同時在通道周圍有形成與第一個區域相鄰的另外一種載體類型的第二個區域，其中第一個區域是由經適當導電

五、發明說明 (3)

摻雜的多晶矽所構成，而沒有注入多晶矽的通道部分則以一種電介質注滿。

通道狀的ESD保護結構讓第一種電荷載體類型的區域能夠在一定程度上潛入第二種電荷載體類型的區域，也就是說讓第一種電荷載體類型的區域至少有一部分能夠潛入第二種電荷載體類型的區域，因此主動pn結的面積相對於所需的晶片面積就會明顯變大，這樣就可以使ESD保護結構的載流能力獲得同等程度的提升。各種不同的ESD保護結構的主動pn結的面積可以十分靈活的調整，最大可以調整到和整個通道的外表面積一樣大。

本發明的一種有利的實施方式將通道深度設計成大於通道寬度，這種實施方式的優點是可以獲得非常有利的ESD保護結構所需的晶片面積和主動pn結的面積的比例關係，因此可以用相當有效率的方式形成載流能力極佳的ESD保護結構。以上提及之pn結也可以是np結，端視ESD保護結構的構造形式而定。

以經考驗過的所謂的渠溝過程模式將ESD保護結構製作成位於通道內的半導體二極體的形式可以製作出通道的表面至少有一部分被覆蓋住的第一個區域。這個區域可能是p型導電也可能是n型導電，端視受保護的半導體組件的種類而定。將第一個區域製作成p型導電區域是屬於常態的製作方式，如果將第一個區域製作成n型導電區域則是屬於特殊狀況，例如用來保護各種不同的互補金屬氧化物半導體(CMOS)組件。



五、發明說明 (4)

按照本發明的方法，通道的內表面至少有一部分被第一個區域覆蓋住，其他未被第一個區域覆蓋住的通道部分則被另外一種材料注滿，只要第一個區域與半導體組件之受保護構件的相同電荷載體類型上的一個區域(以下簡稱為第一個接觸位置)之間有形成導電接觸，就可以確保在ESD的情況下，電荷的分路會經過這個接觸位置。不過在正常情況下，第一個區域會將通道的整個內表面覆蓋住。

pn型或np型半導體二極體是由摻雜第一個區域及第二個區域所形成，其中第二個區域可以是由受保護的半導體組件的槽構成，因此第二個區域的摻雜就是由受保護的半導體組件的槽決定。例如，在其內部形成通道的第二個區域可以是半導體組件的n型槽，這樣第一個區域就是由一種p型導電摻雜多晶矽所構成。

是否可以將現有半導體組件的結構作為第二個區域使用，或是要在半導體基材內形成第二個區域，完全視半導體組件的結構及要達到的耐電流性的個別情況而定。

以多晶矽構成第一個區域就可以用極低的電阻接通本發明的ESD保護結構的pn結，這樣通道內的第一個區域的聯電阻會變得比pn結的電阻更小，所以二極體擊穿的現象會同時發生在包括位於通道深處的二極體表面的整個二極體表面。經由這種方式使受保護的半導體組件的載流能力確實是由pn結的整個有效表面決定，而且可以在生產過程中直接調整有效表面的大小。

在本發明的一種有利的實施方式中，位於通道遠離第



五、發明說明 (5)

一個p型或n型接觸位置的部分上的第一個區域的一個範圍的pn結摻雜高於第一個區域其他部分的摻雜，並將第一個擊穿位置移到通道底部範圍。在發生第一個擊穿後，通道的內電阻造成的電壓降會使通道的較高位置的區域也發生擊穿現象。

在正常情況下，沒有注入多晶矽的通道部分是以一種電介質(例如氧化矽)注滿，與受保護的半導體組件的構件相同電荷載體類型的一個區域(例如：如果是p型導電的第一個區域，則是p型區域)與第一個區域部分重疊，並且因此形成的交界面將寄生電荷引開。

本發明的另外一種有利的實施方式以多晶矽注滿整個通道，因此第一個接觸位置的形成及選擇就會變得更具有彈性，並可以擴大到將整個交界面覆蓋住。這種實施方式的應用是依據要引開的電流大小及根據半導體組件的結構形成第一個接觸位置的可能性。

如以上的說明，原則上有效pn結的表面可以由通道內注滿多晶矽的第一個區域的範圍來形成，但是為了降低製造成本，有效pn結的表面最好是由連接在第一個區域上第二個區域的形狀及大小來形成。

因此，本發明的其他有利的實施方式可以根據所需要的載流能力性將第二個區域製作為埋藏層(Buried-Layer)，當然先決條件是第一個區域至少要將埋藏層所在深度位置的通道底部的內表面覆蓋住。只要埋藏層與半導體組件的受保護構件的相同電荷載體類型的區域沒有導電

五、發明說明 (6)

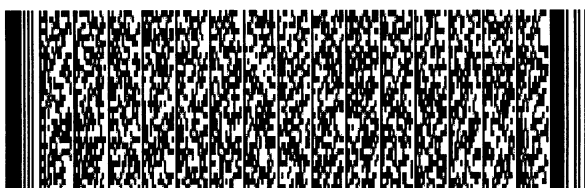
接觸，就可以由第三個區域作為這種情況下的第二個接觸位置，與第二個區域相鄰的第三個區域和第二個區域具有相同的電荷載體類型，並與第二個區域形成導電連接。

這種構成ESD保護結構的一部分的埋藏層也可以是一種半導體組件的一個層。但是第二個區域也可以是由一個專為ESD保護結構而使用離子注入法形成的槽區所構成，這樣做的好處是可以經由pn結的摻雜調整半導體二極體的擊穿現象。

另外一種可行的方式是第一個區域將通道的整個內表面覆蓋住，第二個區域則是一個將通道下半部包圍住的埋藏層，並在這個埋藏層的上方另外設置一個與埋藏層電絕緣的區域作為第三個區域，第三個區域具有和第二個區域相同的電荷載體類型，並構成第二個p型或n型接觸位置。這種特殊的實施方式適用於BiCMOS組件的ESD保護結構，原因是這種構造方式可以充分利用BiCMOS組件現有的結構。

為了能夠調整電荷的導引以及pn結的摻雜，可以將第三個區域的摻雜濃度設定成第二個區域的摻雜濃度不一。

如前面所述，經由擴大有效pn結的表面積可以降低半導體二極體的內電阻，以達到提高ESD保護結構的載流能力性的目的，為了充分利用這個優點，本發明的若干有利的實施方式是將通道製作成各種不同的延伸的幾何形狀，尤其是製作成條帶狀、迴紋波狀、或是環狀。



五、發明說明 (7)

由於通道的形狀決定了半導體二極體的形狀，同時也決定了擊穿面，因此可以依據能夠供ESD保護結構使用的空間來決定通道的形狀，以便形成一個最佳的過渡面。為了達到這個目的，ESD保護結構也可以是由兩個或更多個半導體二極體構成。

例如，如果半導體組件的受保護的構件是半導體組件的輸入/輸出襯墊(I/O Pads)，則可以將設置在輸入/輸出襯墊(I/O Pads)下方的半導體二極體製作成平行的條帶狀、迴紋波狀、或是環狀。

同樣的，在這種情況下的一種有利的方式是使第一個區域的多晶矽直接與襯墊的金屬化部分連接。

第1a及1b圖顯示的以現有技術製作的ESD保護二極體被整合在一個未在第1a及1b圖中詳細繪出的半導體組件的輸入/輸出襯墊(I/O Pads)中。第1a及1b圖顯示的ESD保護二極體都是由一個與第一個連接襯墊(2)的p型區域形成導電接觸的p型導電摻雜槽(p型槽)(1)所構成，而且這個p型槽(1)與一個位於半導體基材(3)底部區域的n型導電摻雜槽(n型槽)連接。p型槽(1)及n型槽(4)之間的接觸面構成有效pn結(5)的表面，且其大小係直接由這兩個槽的水平長度或垂直長度決定。在第1a圖中的pn結(5)向水平方向延伸，在第1a圖中的pn結(5)向垂直方向延伸，因此由p型槽(1)及n型槽(4)構成的二極體會垂直方向(第1a圖)及水平方向(第1b圖)上被擊穿。

在發生ESD的情況時，因蓄積而產生的過剩電荷會經



五、發明說明 (8)

由與二極體的n型槽(4)及第二個連接襯墊(7)的n型區形成導電接觸的另外一個n型槽(6)以低電阻的方式被引導到供電線路。

第2圖顯示的本發明的ESD保護結構也是一種半導體二極體。這種半導體二極體是由p型導電的第一個區域(8)所構成。第一個區域(8)將設置在一個n型槽(4)內的通道(9)的整個內表面覆蓋住，而且這個覆蓋層的厚度小於通道寬度的一半。通道(9)內未被覆蓋住的部分則以電介質(10)注滿。

第一個區域(8)與第一個連接襯墊(2)的p型區域在第一個接觸位置(11)形成導電接觸。半導體基材(3)將通道(9)整個包圍住的n型槽(4)構成將第二個連接襯墊(7)的n型區域(第二個接觸位置(12))整個包圍住的第二個區域(13)。有效pn結(5)的表面是由通道(9)的外表面構成。通道(9)的外表面是由第一個區域(8)及第二個區域(13)之間的交界面所構成，且其大小和通道(9)的內表面一樣。發生ESD的情況時，過剩的電荷是以習見的方式經由供電線路被引出。

這種作為ESD保護結構用的半導體二極體的製造工作是和半導體組件的製造工作同時進行的，不過此處僅說明ESD保護結構的製造過程。以各向異性腐蝕的方法在一個作為原材料且具有足夠厚度的n型摻雜層內蝕刻出一個通道(9)或是多個通道(9)。在通道(9)內離析出的p型摻雜多晶矽形成厚度已預先設定的第一個區域(8)，接著再形成



五、發明說明 (9)

將通道(9)注滿的氧化物層(10)。在原材料的n型槽(4)內的連接襯墊(2, 7)的p型區域及n型區域都是在製造半導體組件的過程中形成。

第3圖顯示的ESD保護結構也具有一個半導體二極體的構造，而且其大多數元件也都和第2圖顯示的半導體二極體的元件相同。在第3圖的實施方式中，第二個區域(13)是由一個可以用離子注入的方式形成的埋藏層(16)所構成。埋藏層(16)將通道(9)的下半部分包圍住，因此只有通道(9)的下半部的外表面是作為第一個區域(8)在通道(9)的下半部及位於埋藏層(16)的第二個區域(13)之間的pn結(5)。構成n型槽(4)的第3個區域(14)就是用來將過剩電荷引導到供電線路的第二個區域(13)與第二個連接襯墊(7)的n型區域的導電接觸。因此第二個接觸位置(12)就是第3個區域(14)及第二個連接襯墊(7)的n型區域之間的界面。

如第4圖顯示的本發明的ESD保護結構充分利用到受保護的BiCMOS組件的現有結構，這個現有結構包括一個p型導電承載基材(15)、一個p型導電埋藏層(16)、以及一個作為層狀的p型槽(1)。在這種實施方式中，通道(9)的範圍一直延伸到觸及承載基材(15)的位置，也就是說通道(9)會穿過p型槽(1)及埋藏層(16)，並使第二個區域(13)被分成這兩個層。由於第二個召開(13)p型摻雜層，因此位於通道(9)內的第一個區域(8)具有n型摻雜的多晶矽，並與第二個連接襯墊(7)的n型區域形成導電接觸。



五、發明說明 (10)

第5a及5b圖的實施方式顯示本發明的ESD保護結構的可能的幾何造型及延伸範圍，其中第5a圖的結構是由多個條帶狀且相互平行的半導體二極體所構成，第5b圖的結構是由一個環狀的半導體二極體所構成。此處顯示的半導體二極體具有一種前面提及的可能的結構。不過這些ESD保護結構並不是經由每一個具有這種結構的半導體二極體與連接襯墊(2, 7)的n型區域及p型區域連接，而是直接與連接襯墊(2, 7)的金屬化部分連接。

圖式簡單說明

第1a及1b圖一種以現有技術製作之ESD保護二極體的示意圖。

第2圖本發明的一種ESD保護結構的示意圖。

第3圖一種具有埋藏層的ESD保護結構的示意圖。

第4圖一種BiCMOS的ESD保護結構的示意圖。

第5a及5b圖不同ESD保護結構的幾何配置示意圖。

主要元件符號說明

- | | |
|----------------|----------------|
| 1 p型槽 | 2 第一個連接襯墊的p型區域 |
| 3 半導體基材 | 4 n型槽 |
| ● pn結 | 6 另外一個n型槽 |
| 7 第二個連接襯墊的n型區域 | |
| 8 第一個區域 | 9 通道 |
| 10 電介質 | 11 第一個接觸位置 |
| 12 第二個接觸位置 | 13 第二個區域 |
| 14 第三個區域 | 15 承載基材 |
| 16 埋藏層 | 17 連接襯墊的金屬化部分 |

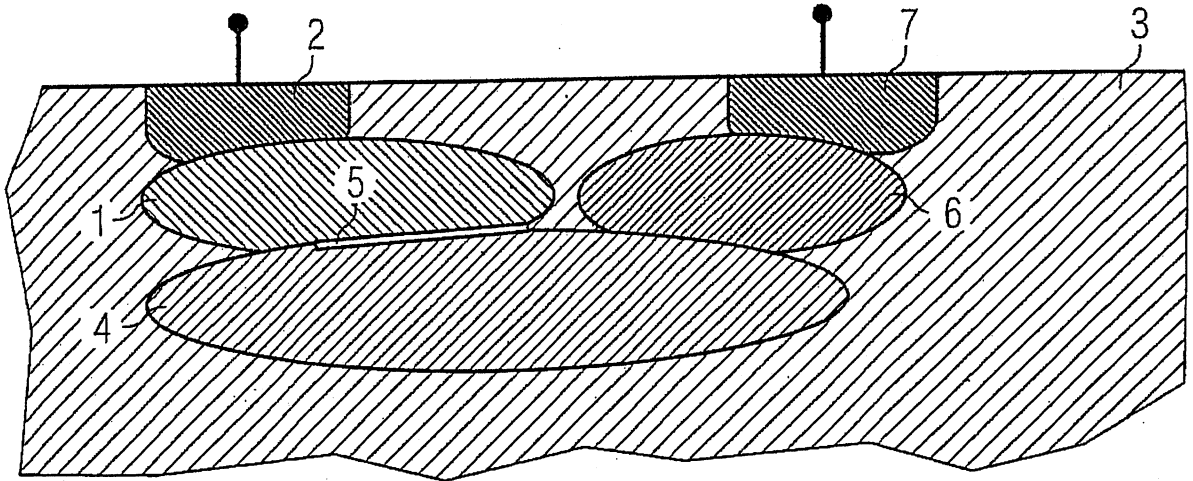
四、中文發明摘要 (發明名稱：半導體組件ESD保護結構)

本發明係一種半導體組件的ESD保護結構，這種保護結構是由至少一個半導體二極體所構成。此種半導體二極體的p型導電區及n型導電區分別與半導體組件之受保護構件的相同電荷載體類型上的一個區域的第一個接觸點及第二個接觸點接觸形成導電連接。本發明的目的是要提出一種能夠以低成本製造的ESD保護結構，同時在佔用面積大致相同的情況下，這種ESD保護結構還要能夠提供較高的載流能力，或是在載流能力大致相同的情況下，這種ESD保護結構佔用的面積要比較小。本發明是經由以下的方法達到上述的目的：半導體二極體的一種電荷載體類型的第一個區域至少將一個在半導體組件的半導體基材內形成的通道的內表面覆蓋住一部分，同時在通道周圍有形成與第一個區域相鄰的另外一種載體類型的第二個區域，其中第一個區域是由經適當導電摻雜的多晶矽所構成，而沒有注入多晶矽的通道部分則以一種電介質注滿。

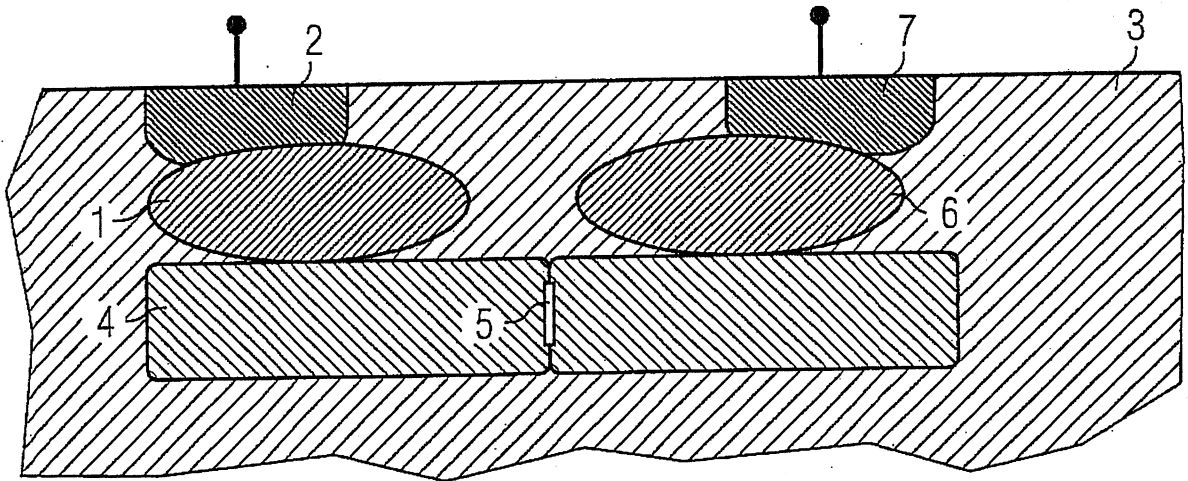
五、英文發明摘要 (發明名稱：)



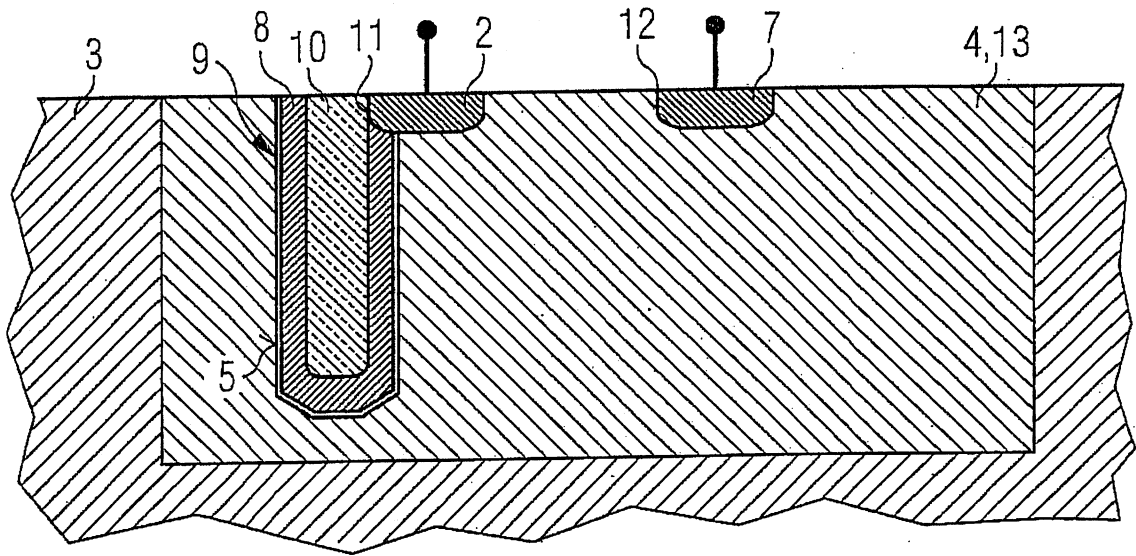
第1A圖 現有技術



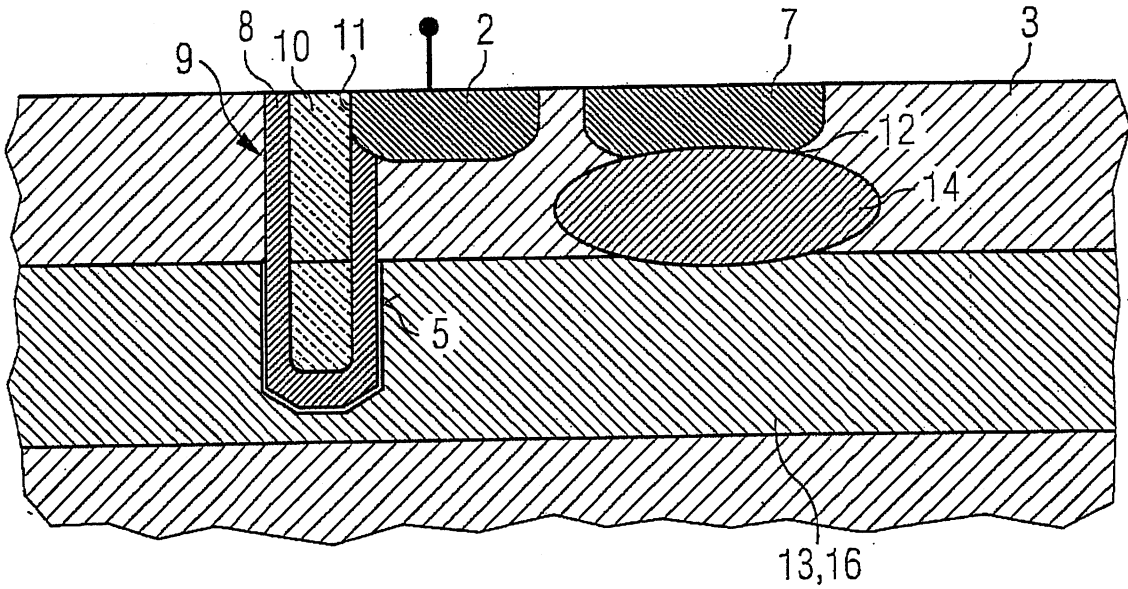
第1B圖 現有技術



第 2 圖



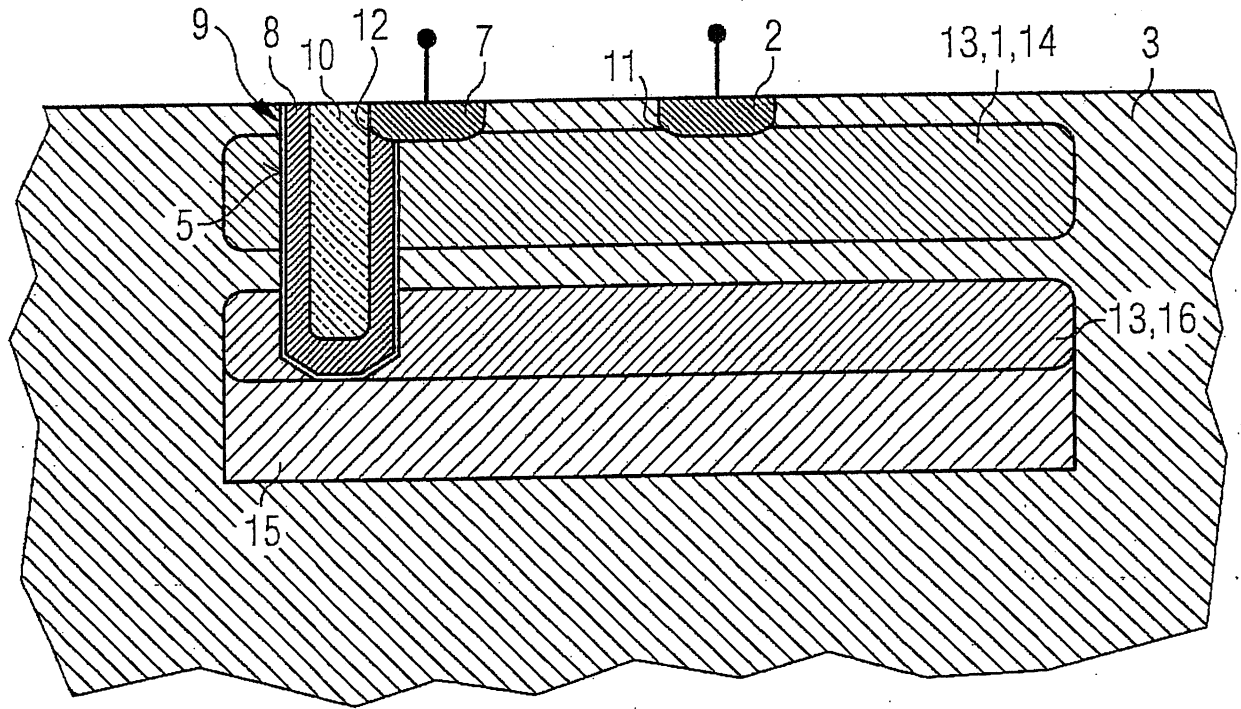
第 3 圖



圖式

3/4

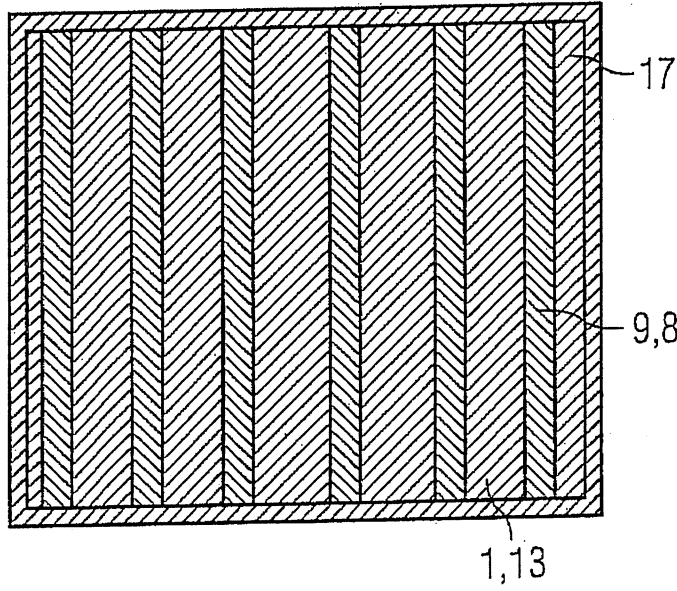
第 4 圖



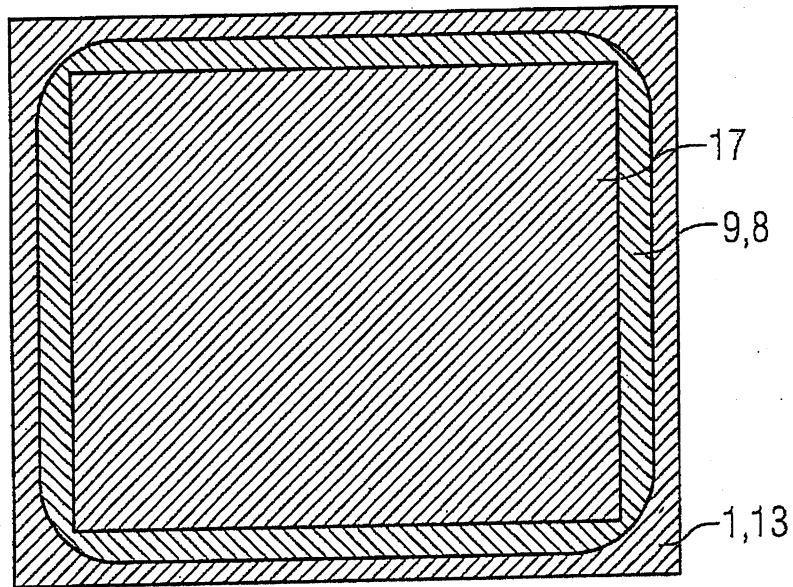
圖式

4/4

第 5A 圖



第 5B 圖



六、指定代表圖

(一)、本案代表圖為：第____2____圖

(二)、本案代表圖之元件代表符號簡單說明：

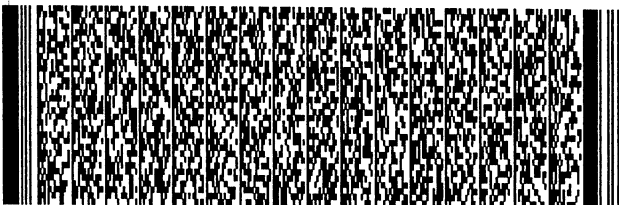
- | | |
|----------------|------------|
| 2 第一個連接襯墊的p型區域 | 3 半導體基材 |
| 4 n型槽 | 5 pn結 |
| 7 第二個連接襯墊的n型區域 | 8 第一個區域 |
| 9 通道 | 10 電介質 |
| 11 第一個接觸位置 | 12 第二個接觸位置 |
| 13 第二個區域 | |

| | |
|---------------|----------------------|
| 申請日期：94.5.18 | IPC分類 |
| 申請案號：94116191 | H01L 23/60 (2006.01) |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|----------------------|--|
| 一、 發明名稱 | 中文 | 半導體組件ESD保護結構 |
| | 英文 | |
| 二、 發明人 (共4人) | 姓名 (中文) | 1. 米夏埃爾·隆德 2. 格諾特·朗古特 3. 克勞斯·勒許勞 4. 卡爾海因茨·米勒 |
| | 姓名 (英文) | 1. Michael RUNDE 2. Gernot LANGGUTH 3. Klaus ROESCHLAU 4. Karlheinz MUELLER |
| | 國籍 (中英文) | 1. 德國 DE 2. 德國 DE 3. 德國 DE 4. 德國 DE |
| 三、 申請人 (共1人) | 名稱或 姓名 (中文) | 1. 德商英飛凌科技股份有限公司 |
| | 名稱或 姓名 (英文) | 1. Infineon Technologies AG |
| | 國籍 (中英文) | 1. 德國 DE |
| | 住居所 (營業所) (中文) | 1. 德國慕尼黑D-81669馬丁塊街53號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英文) | 1. St.-Martin-Str. 53, D-81669 Muenchen, Germany |
| | 代表人 (中文) | 1. 米夏埃爾·戈爾維茨爾；2. 霍斯特·舍費爾 |
| | 代表人 (英文) | 1. Michael Gollwitzer; 2. Dr. Horst Schaefer |



六、申請專利範圍

1. 一種半導體組件的ESD保護結構，這種保護結構是由至少一個半導體二極體所構成，此種半導體二極體的p型導電區及n型導電區分別與半導體組件之受保護構件的相同電荷載體類型上的一個區域的第一個接觸點及第二個接觸點接觸形成導電連接，這種半導體組件的ESD保護結構的特徵為：半導體二極體的一種電荷載體類型的第一個區域(8)至少將一個在半導體組件的半導體基材(3)內形成的通道(9)的內表面覆蓋住一部分，同時在通道周圍有形成與第一個區域(8)相鄰的另外一種電荷載體類型的第二個區域(13)，其中第一個區域(8)是由經適當導電摻雜的多晶矽所構成，而沒有注入多晶矽的通道部分則以一種電介質(10)注滿。
2. 如申請專利範圍第1項的半導體組件的ESD保護結構，其特徵為：位於通道(9)遠離第一個p型或n型接觸位置(11)的部分上的第一個區域(8)的一個範圍的pn結(5)摻雜高於第一個區域(8)其他部分的摻雜。
3. 如申請專利範圍第1項的半導體組件的ESD保護結構，其特徵為：以多晶矽將整個通道(9)注滿。
4. 如申請專利範圍第1項的半導體組件的ESD保護結構，其特徵為：第一個區域(8)至少將通道(9)底部的內表面覆蓋住，同時與其相鄰的第二個區域(13)構成一個埋藏層(Buried-Layer)(16)。
5. 如申請專利範圍第4項的半導體組件的ESD保護結構，其特徵為：以第三個區域(14)作為第二個接觸位置



六、申請專利範圍

- (12)，第三個區域(14)和第二個區域(13)具有相同的電荷載體類型，並與相鄰的第二個區域(13)及半導體組件的受保護構件的相同導電類型的區域形成導電連接。
6. 如申請專利範圍第1項的半導體組件的ESD保護結構，其特徵為：第一個區域(8)將通道(9)的整個內表面覆蓋住，第二個區域(13)是一個將通道(9)下半部包圍住的埋藏層(16)，並在這個埋藏層(16)的上方另外設置一個與埋藏層(16)電絕緣的區域作為第三個區域(14)，第三個區域(14)具有和第二個區域(13)相同的電荷載體類型，並構成第二個p型或n型接觸位置(12)。
7. 如申請專利範圍第5或6項的半導體組件的ESD保護結構，其特徵為：第三個區域(14)的摻雜濃度和第二個區域(12)的摻雜濃度不一樣。
8. 如申請專利範圍第1、2、4或6項的半導體組件的ESD保護結構，其特徵為：將通道深度除以通道寬度所得之數值大於1。
9. 如申請專利範圍第1項的半導體組件的ESD保護結構，其特徵為：通道(9)具有延伸的幾何形狀，尤其是條帶狀、迴紋波狀、或是環狀。
10. 如申請專利範圍第1項的半導體組件的ESD保護結構，其特徵為：ESD保護結構是由至少兩個半導體二極體所構成。



六、申請專利範圍

11. 如申請專利範圍第1項的半導體組件的ESD保護結構，其特徵為：半導體組件的受保護的構件是半導體組件的輸入/輸出襯墊(I/O Pads)。
12. 如申請專利範圍第11項的半導體組件的ESD保護結構，其特徵為：第一個區域(8)的多晶矽直接與連接襯墊(17)的金屬化部分連接。

