



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 699 20 390 T2** 2005.02.24

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 1 018 118 B1**

(21) Deutsches Aktenzeichen: **699 20 390.2**

(86) PCT-Aktenzeichen: **PCT/US99/16197**

(96) Europäisches Aktenzeichen: **99 934 122.5**

(87) PCT-Veröffentlichungs-Nr.: **WO 00/04551**

(86) PCT-Anmeldetag: **15.07.1999**

(87) Veröffentlichungstag

der PCT-Anmeldung: **27.01.2000**

(97) Erstveröffentlichung durch das EPA: **12.07.2000**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **22.09.2004**

(47) Veröffentlichungstag im Patentblatt: **24.02.2005**

(51) Int Cl.7: **G11C 11/15**
G11C 11/16

(30) Unionspriorität:

118977 20.07.1998 US

(73) Patentinhaber:

Motorola, Inc., Schaumburg, Ill., US

(74) Vertreter:

**SCHUMACHER & WILLSAU,
Patentanwaltssozietät, 80335 München**

(84) Benannte Vertragsstaaten:

CH, DE, FR, GB, IT, LI

(72) Erfinder:

NAJI, K., Peter, Phoenix, US

(54) Bezeichnung: **MRAM MIT GETEILTEN WORT-UND BITLEITUNGEN**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Gebiet der Erfindung

[0001] Die vorliegende Erfindung bezieht sich auf einen Magnetoresistenz-Direktzugriffsspeicher (RAM), der geteilte Wort- und Ziffernleitungen aufweist, und im Besonderen auf einen Magnetoresistenz-Direktzugriffsspeicher, der eine Verbindungsleitung zwischen Wort- und Ziffernleitungen aufweist.

Hintergrund der Erfindung

[0002] Ein Magnetoresistenz-Direktzugriffsspeicher (MRAM), der einer der nicht flüchtigen Speichervorrichtungen ist, umfasst eine Mehrzahl von magnetischen Speicherzellen. Es ist bekannt, dass der Magnetoresistenzeffekt in Mehrschichtfilmen auftritt, die aus abwechselnd gestapelten magnetischen und nicht magnetischen Schichten bestehen. Ein magnetischer Widerstand über eine magnetische Speicherzelle zeigt minimale und maximale Werte an, wenn magnetische Vektoren in den magnetischen Schichten jeweils in dieselbe und in die entgegengesetzte Richtungen zeigen. Dieselben und entgegengesetzten Richtungen von magnetischen Vektoren in zwei magnetischen Schichten werden jeweils „parallele“ und „antiparallele“ Zustände genannt. Wenn für eine Speichervorrichtung ein magnetisches Material eingesetzt wird, werden z. B. parallele und antiparallele Richtungen jeweils als „0“- und „1“-Zustände logisch definiert.

[0003] Normalerweise ordnet die MRAM-Vorrichtung magnetische Speicherzellen auf Schnittpunkten von Wort- und Abtastleitungen an, die in Zeilen und Spalten angeordnet sind. Die MRAM-Schaltung wird z. B. in der US-Patentanmeldung Nr. 09/055,731 mit dem Titel „MAGNETORESISTIVE RANDOM ACCESS MEMORY DEVICE AND OPERATING METHOD THEREOF“, die am 1. April 1998 eingereicht und demselben Anmelder zugewiesen wurde, beschrieben.

[0004] Eine Aktivierung von Wort- und Abtastleitungen befähigt die MRAM-Vorrichtung, auf die Speicherzelle zuzugreifen. Die Abtastleitung ist die Vorrichtung, um auf die Speicherzelle zuzugreifen. Die Abtastleitung ist direkt mit den Speicherzellen gekoppelt, und in den magnetischen Schichten fließt ein Abtaststrom, so dass ein Abtaststrom durch magnetische Vektoren in den magnetischen Schichten beeinflusst wird und der Abtaststromwert in der Speicherzelle oder der Spannungsabfall quer über der Speicherzelle entsprechend der Richtung der magnetischen Vektoren verändert wird. Das Abtasten der Veränderungen in dem Abtaststromwert oder dem Spannungsabfall erlaubt es, in den Speicherzellen gespeicherte Zustände zu detektieren. Andererseits wird durch Zuführen eines hinreichenden magneti-

schen Feldes, um magnetische Vektoren in den magnetischen Schichten zu schalten, ein Schreibprozess ausgeführt. Um den magnetischen Erfordernissen zu genügen, wird ein Drehmoment oder eine Ziffernleitung parallel zu der Wortleitung angeordnet, um einen Ziffernstrom zur Verfügung zu stellen. Der Ziffern-, Wort- und Abtaststrom erzeugen alle ein magnetisches Gesamtfeld und führen es der Speicherzelle zu, was in der Speicherzelle Zustände entsprechend den Richtungen des magnetischen Gesamtfeldes speichert.

[0005] Um einen ausreichenden Strom zu gewährleisten, setzen Ziffern-, Wort- und Abtastleitungen typischerweise einen Metallwerkstoff ein, was dazu führt, dass die Größe einer Speicherzelle zunimmt, um alle drei Metallzwischenräume und -Abstände unterzubringen. Dementsprechend wird eine Wortleitung durch ein Polysiliziummaterial ersetzt, um eine Raumbegrenzung zu verringern. Das Ersetzen durch Polysilizium erlaubt es einer MRAM-Vorrichtung, Speicherzellen hoch zu integrieren. Eine Polysiliziumleitung hat jedoch einen erhöhten Widerstand, was eine Übertragungsverzögerung eines Signals auf der Wortleitung verursacht, und erfordert eine lange Zugriffszeit. Daher wird umso mehr Zugriffszeit benötigt, je mehr Speicherzellen integriert werden.

[0006] Dementsprechend ist es ein Zweck der vorliegenden Erfindung, eine verbesserte MRAM-Vorrichtung zur Verfügung zu stellen, die einen Hochgeschwindigkeitsbetrieb aufweist.

[0007] Ein anderer Zweck der vorliegenden Erfindung besteht darin, eine verbesserte MRAM-Vorrichtung zur Verfügung zu stellen, die eine Speicherzellenanordnung mit hoher Dichte aufweist.

[0008] Noch ein anderer Zweck der vorliegenden Erfindung besteht darin, eine verbesserte MRAM-Vorrichtung zur Verfügung zu stellen, die eine Verringerung der Speicherzellgröße erreicht.

Zusammenfassung der Erfindung

[0009] Diesen und anderen Erfordernissen wird im Wesentlichen durch das Bereitstellen einer Magnetoresistenz-Direktzugriffsspeicher (MRAM)-Vorrichtung genüge getan, die Verbindungsleitungen umfasst, die zwischen einer Ziffernleitung und einer Wortleitung gekoppelt sind. Die MRAM-Vorrichtung verfügt über eine Mehrzahl von Speicherzellen, die in Zeilen und Spalten angeordnet sind. Jede Speicherzelle ist auf einem Schnittpunkt einer Abtast- oder Bitleitung und einer Ziffernleitung angeordnet. Eine Wortleitung, die aus Polysiliziummaterial gebildet ist, ist parallel zu der Ziffernleitung angeordnet. Die Wortleitung verbindet eine Mehrzahl von Speicherzellen, die in einer Zeile angeordnet sind, die eine Speicherbank bildet. Verbindungsleitungen sind zwischen der

Ziffernleitung und der Wortleitung bei jeder der N Speicherzellen in der Speicherbank angeschlossen. Die Zahl N ist eine positive ganze Zahl. Die Verbindungsleitungen verringern die Zugriffszeit auf die Speicherzelle, weil geteilte Wort- und Ziffernleitungen den Widerstand verringern. Dementsprechend verringern die Verbindungsleitungen, die zwischen der Wort- und Ziffernleitung gebildet werden, die Größe einer Speicherzelle und verbessern die Zugriffszeit auf Speicherzellen erheblich.

Kurze Beschreibung der Zeichnungen

[0010] Fig. 1 zeigt einen vereinfachten und schematischen Schaltprogramm zum Beschreiben eines grundlegenden Konzeptes gemäß der vorliegenden Erfindung;

[0011] Fig. 2 zeigt eine MRAM-Vorrichtungsschaltung, die die vorliegende Erfindung einsetzt; und

[0012] Fig. 3 zeigt eine andere Ausführungsform für eine Speicherbankschaltung in einer MRAM-Vorrichtung.

Beschreibung einer bevorzugten Ausführungsform

[0013] Fig. 1 zeigt einen vereinfachten und schematischen Schaltprogramm 10, bei dem eine Magnet-tunnelungsverbindungs (MTJ = "magnetic tunneling junction")-Speicherzelle 11 auf einem Schnittpunkt einer Bitleitung 12 und einer Ziffernleitung 13 angeordnet ist. Die Speicherzelle 11 weist drei Schichten auf, die die magnetischen Schichten 14 und 15 umfassen, die durch eine nicht-magnetische und isolierte Schicht 16 getrennt sind. Die isolierte Schicht 16 ist sehr dünn und hat typischerweise eine Dicke von 10 Å bis 30 Å, die eine Tunnelungsverbindung zwischen den magnetischen Schichten 14 und 15 bildet. Die magnetische Schicht 14 ist mit der Bitleitung 12 elektrisch verbunden, um der Speicherzelle 11 einen Abtaststrom zur Verfügung zu stellen. Wie in Fig. 1 gezeigt, hat die Speicherzelle 11 z. B. jeweils die magnetisch befestigten und freien Schichten 14 und 15. Die magnetische Schicht 15 speichert Informationen als Richtungen darin enthaltener Magnetisierungsvektoren. Eine Wortleitung 17 ist parallel zu der Ziffernleitung 13 angeordnet und ist mit einer Gate-Elektrode des Speicherzellentransistors 18 verbunden. Der Transistor 18 ist mit der Schicht 15 und einem Erdungsschaltertransistor 19 verbunden, der durch die Erdungsschaltersteuerung 20 gesteuert wird. Eine Verbindungsleitung 21, die aus einem Metall, wie z. B. Al, Cu, oder TiW gebildet ist, verbindet die Ziffernleitung 13 und die Wortleitung 17 elektrisch miteinander. Die Bitleitung 12 ist mit der Bitleitungssteuerung 22 verbunden, während die Ziffern- und Wortleitungen 13 und 14 mit der Ziffern- und Wortleitungssteuerung 23 verbunden sind. Die Bitleitungssteuerung 22 und die Ziffern- und Wortleitungssteuerung 23 steuern den Stromfluss in der Bitleitung 12, der Ziffernleitung 13 und der Wortleitung 17 über Les- und Schreibmodi. Es ist klar, dass die magnetische Speicherzelle jede Kombination von magnetischen Schichten sein kann, die zwischen einem Isolator (MTJ) sandwichartig angeordnet sind, oder jede Kombination von magnetischen Schichten sein kann, die zwischen einer leitenden Schicht sandwichartig angeordnet sind.

[0014] Um die in der Speicherzelle 11 gespeicherten Informationen zu lesen, sendet die Ziffern- und Wortleitungssteuerung 22 ein Wortsignal sowohl auf der Wortleitung 17 als auch der Ziffernleitung 13, das es dem Transistor 18 erlaubt einzuschalten. Zur gleichen Zeit schaltet die Erdungsschaltersteuerung 20 den Transistor 19 ein. Dann stellt die Bitleitungssteuerung 22 auf der Bitleitung 12 einen Abtaststrom zur Verfügung, der durch die Speicherzelle 11, den Transistoren 18 und 19 zu einer Erdung oder der gemeinsamen Leitung 24 fließt. Der Abtaststrom erzeugt einen Spannungsabfall quer über der Speicherzelle 11, der gemäß den Informationen in der Zelle 11 variiert, die „parallele“ und „antiparallele“ Zustände sind. Eine Komparatorschaltung (nicht gezeigt) misst den Spannungsabfall und bestimmt die in der Speicherzelle 11 gespeicherten Zustände.

[0015] Sowohl die Bitleitung 12 als auch die Ziffernleitung 13 werden durch ein Metall, wie z. B. Aluminium oder Kupfer gebildet, während die Wortleitung 17 aus Polysilizium gebildet ist, das einen höheren Widerstand hat als Metalle. wenn nur die Wortleitung 17 das Wortsignal zu dem Transistor 18 trägt, wird die Signalübertragung an den Transistor 18 aufgrund des Widerstandes der Wortleitung 17 verzögert. Dies bedeutet, dass die Zugriffszeit auf die Speicherzellen stark ansteigt. In der vorliegenden Erfindung schaltet die Verbindungsleitung 21 die Ziffernleitung 13 und die Wortleitung 17 zusammen, so dass der Widerstand zwischen der Steuerung 23 und dem Transistor 18 verringert wird, weil die Ziffernleitung 13 aus Metall gebildet ist. Dementsprechend erreicht das Wortsignal den Transistor 18 ohne die durch Polysilizium in der Wortleitung 17 verursachte Verzögerung.

[0016] In einem Schreibmodus werden ein Bitstrom und ein Ziffernstrom jeweils auf der Bitleitung 12 und der Ziffernleitung 13 zur Verfügung gestellt. Diese Ströme erzeugen magnetische Felder, die ein kombiniertes magnetisches Feld erzeugen. Das kombinierte magnetische Feld hat eine ausreichende magnetische Stärke, um magnetische Vektoren in der magnetischen Schicht 15 zu schalten. Der Schreibprozess führt die folgenden Schritte aus. Als erstes schaltet die Erdungsschaltersteuerung 20 den Transistor 19 aus, um einen Stromfluss von der Bitleitung 12 durch die Speicherzelle 11 und den Transistoren 18 und 19 zu der gemeinsamen Leitung 24 zu verhindern. Als nächstes stellt die Bitleitungssteuerung 22

einen Bitstrom auf der Bitleitung **12** zur Verfügung, und die Ziffern- und Wortleitungssteuerung **23** gibt einen Ziffernstrom auf die Ziffernleitung **13**. Die Bit- und Ziffernleitungen **12** und **13** bestimmen die Speicherzelle **11**, der das kombinierte magnetische Feld zugeführt wird, um Zustände in der magnetischen Schicht **15** zu speichern oder zu schalten.

[0017] Es wird auf **Fig. 2** Bezug genommen. Darin wird eine MRAM-Vorrichtung **30** dargestellt, die eine Mehrzahl von MTJ-Speicherzellen in Zeilen und Spalten anordnet. Die Vorrichtung **30** wird grob in ein Speicherarray **31** und einen peripheren Schaltungsanteil unterteilt, der eine Bitleitungssteuerung **32**, die Ziffernstromsteuerungen **33a** und **33b**, einen Ziffernselektor **34** und eine Schaltersteuerung **35** umfasst. Das Speicherarray **31** weist eine Mehrzahl von Speicherzellen **36a** und **36b** (die Nummerierung aller Zellen und der anderen Elemente in **Fig. 2** wird nicht vorgenommen) auf, die auf Schnittpunkten der Bitleitungen **37a** und **37b** und der Ziffernleitungen **38a** und **38b** angeordnet sind. Die Bitleitungssteuerung **32** erweitert die Bitleitungen **37a** auf dem Speicherarray **31** und **37b**, die mit den Speicherzellen **36a** und **36b** gekoppelt sind. Die Ziffernleitungen **38a** und **38b** sind mit den Transistoren **40a–40d** gekoppelt, von denen einer durch den Ziffernleistungsselektor **34** ausgewählt wird, um einen Ziffernstrom zu liefern. Die Transistoren **40a** und **40b** sind weiterhin mit den Transistoren **41a** und **41b** gekoppelt, die die Richtungen des Ziffernstroms zusammen mit den Transistoren **42a** und **42b** unter der Steuerung der Ziffernstromsteuerungen **33a** und **33b** bestimmen. Die Wortleitungen **39a** und **39b** sind parallel zu den Ziffernleitungen **38a** und **38b** angeordnet und mit den Gate-Elektroden der Transistoren **43a** und **43b** gekoppelt. Die Verbindungsleitungen **44a** und **44b** schalten die Ziffernleitung **38a** und die Wortleitung **39a** sowie die Ziffernleitung **38b** und die Wortleitung **39b** elektrisch zusammen. In dem Speicherarray **31** in **Fig. 2** sind die Verbindungsleitungen **44a** und **44b** bei jeder zweiten Speicherzelle in Zeilen angeordnet. Die Transistoren **45a** und **45b**, die durch die Schaltersteuerung **35** gesteuert werden, verbinden die Transistoren **43a** und **43b** mit einer Erdung oder der gemeinsamen Leitung **46**.

[0018] Ein Lesebetrieb der Vorrichtung **30** führt grundsätzlich dieselben Schritte aus, wie der Betrieb des schematischen Schaltendiagramms **10**, der in **Fig. 1** dargestellt ist. Die folgenden Schritte beschreiben z. B. einen Lesebetrieb der Speicherzelle **36a**, wo die Transistoren **43a** und **45a** und die Verbindungsleitung **44a** jeweils den Transistoren **18** und **19** und der Verbindungsleitung **21** in dem Schaltendiagramm **10** in **Fig. 1** entsprechen.

[0019] Zuerst stellt der Ziffernleistungsselektor **34** ein Signal auf einer Leitung **46** zur Verfügung, um den Transistor **40a** einzuschalten, durch den die Ziffern-

leitung **38a** aktiviert wird. Als nächstes schaltet die Ziffernleistungssteuerung **33a** den Transistor **41a** ein und den Transistor **41b** aus, um den Transistor **43a** einzuschalten. Als ein Ergebnis wird der Gate-Elektrode des Transistors **43a** auf einer Leistungsleitung **47** durch den Transistor **41a**, den Transistor **40a**, der Ziffernleitung **38a** und der Verbindungsleitung **44a** eine digitale Hochspannung zur Verfügung gestellt. Schließlich sendet die Schaltersteuerung **35** ein Einschaltsignal an den Transistor **45a**, der es einem Abtaststrom erlaubt, von der Bitleitungssteuerung **32** durch die Bitleitung **37a**, die Speicherzelle **36a**, den Transistor **43a** und den Transistor **45a** zu der gemeinsamen Leitung **46** zu fließen. Der Abtaststrom erzeugt einen Spannungsabfall quer über die Speicherzelle **36a**, der durch eine Komparatorschaltung (nicht gezeigt) abgeschätzt wird, um die in der Speicherzelle **36a** gespeicherten Zustände zu bestimmen.

[0020] Wie zuvor erwähnt, bestimmt ein kombiniertes magnetisches Feld die Richtungen von magnetischen Vektoren in der Speicherzelle und speichert Zustände darin. In der Vorrichtung **30** bilden die Stromflussrichtungen in einer Ziffernleitung Zustände in der Speicherzelle. Zum Beispiel wird angenommen, dass die Ziffernströme auf der Leitung **38a**, die in die linke und rechte Richtung fließen, angezeigt durch die Pfeile **49** und **50**, in der Speicherzelle jeweils eine logische „0“ und eine logische „1“ speichern.

[0021] Zum Schreiben einer logischen „0“ in die Speicherzelle **36a** schaltet der Ziffernleistungsselektor **34** den Transistor **40a** ein, um die Ziffernleitung **38a** zu aktivieren. Die Schaltersteuerung **35** schaltet den Transistor **45a** aus, um einen Strom davon abzuhalten in die Speicherzelle **36a** zu fließen, bevor die Bitleitungssteuerung **32** einen Bitstrom auf der Bitleitung **37a** zur Verfügung stellt. Dann schaltet die Stromsteuerung **33a** den Transistor **41a** aus und den Transistor **41b** ein, während die Stromsteuerung **33b** den Transistor **42a** ein- und den Transistor **42b** ausschaltet. Folglich fließt der durch den Pfeil **49** angezeigte Ziffernstrom von einer Leistungsleitung **51** durch den Transistor **42a**, die Ziffernleitung **38a**, den Transistor **40a** und den Transistor **41b** zu der gemeinsamen Leitung **46**. Ein magnetisches Feld, das durch den Ziffernstrom auf der Ziffernleitung **38a** erzeugt wird, wird mit einem magnetischen Feld kombiniert, das durch den Bitstrom auf der Bitleitung **37a** erzeugt wird, um ein kombiniertes Magnetfeld zu erzeugen, das die Richtung in den magnetischen Vektoren in der Speicherzelle **36** bestimmt und die logische „0“ speichert.

[0022] Alternativ wird ein durch den Pfeil **50** angezeigter Ziffernstrom in der Ziffernleitung **38a** zur Verfügung gestellt, um eine logische „1“ zu speichern. Zuerst wählt der Ziffernleistungsselektor **34** die Ziffern-

leitung **38a** durch Einschalten des Transistors **40a** aus, während der Transistor **45a** ausgeschaltet wird. Die Ziffernstromsteuerung **33a** erlaubt den Transistoren **41a** und **41b** jeweils ein- und ausgeschaltet zu werden. Zur selben Zeit werden die Transistoren **42a** und **42b** durch die Stromsteuerung **33b** jeweils aus- und eingeschaltet. Als ein Ergebnis wird eine Ziffernstromstrecke gebildet, die sich von der Leistungsleitung **47** durch den Transistor **41a**, den Transistor **40a**, die Ziffernleitung **38a** und den Transistor **42a** zu der gemeinsamen Leitung **46** erstreckt. Die Bitleistungssteuerung **32** stellt einen Bitstrom auf der Bitleitung **37a** zur Verfügung, der ein kombiniertes magnetisches Feld zusammen mit einem durch den Ziffernstrom erzeugten magnetischen Feld bildet.

[0023] In **Fig. 2** ist die Speicherzelle **36a** mit dem Transistor **43a** in Serie geschaltet, was ein Speicherelement bildet. Jede Ziffernleitung weist, in Zeilenrichtung, eine Mehrzahl von Speicherelementen auf, die Speicherbank genannt wird. Das heißt, dass das Speicherarray **31** eine Mehrzahl von Speicherbänken umfasst, wobei jede Speicherbank durch den Ziffernleistungsselektor **34** aktiviert wird. Die in **Fig. 2** gezeigten Speicherbänke weisen die Verbindungsleitungen **44a** und **44b** auf, die bei jedem zweiten Speicherelement in den Speicherbänken gebildet werden.

[0024] Es wird auf **Fig. 3** Bezug genommen. Hier wird eine andere Schaltungskonfiguration für ein Speicherarray **60** dargestellt. Eine Speicherbank **61** weist z. B. eine Mehrzahl von parallel geschalteten Speicherelementen auf, und jedes Speicherelement weist eine Speicherzelle und einen Transistor in Serie geschaltet auf. Diese Speicherzellen sind auf den Schnittpunkten einer Mehrzahl von Bitleitungen **62** und einer Ziffernleitung **63** angeordnet. Eine Wortleitung **64** ist parallel zu der Ziffernleitung **63** angeordnet. Die Speicherbank **61** ist, mit Ausnahme der Verbindungsleitungen, grundsätzlich dieselbe, wie die Schaltung in **Fig. 2**. In der Speicherbank **61** sind die Verbindungsleitungen **65–67** bei jedem 16-ten Speicherelement zum Verbinden der Ziffernleitung **63** mit der Wortleitung **64** angeordnet. Im Allgemeinen werden die Verbindungsleitungen zwischen der Ziffernleitung und der Wortleitung bei jedem N-ten Speicherelement angeordnet, wobei N eine positive ganze Zahl ist und entsprechend des elektrischen Widerstandes einer Wortleitung bestimmt wird.

[0025] Somit setzt eine Wortleitung Polysilizium ein, das es einer MRAM-Vorrichtung erlaubt, Raum für die Verdrahtung zu sparen und die Speicherdichte zu erhöhen. Weiterhin wird, da die Verbindungsleitungen eine Ziffernleitung mit einer Wortleitung bei jedem N-ten Speicherelement elektrisch zusammenschaltet, der Widerstand der Wortleitung zusammen mit einer Ziffernleitung wesentlich verringert, eine Speicherzugriffszeit deutlich verbessert und ein Gesamtzyklus zum Lesen stark verringert.

Patentansprüche

1. Magnetische Direktzugriffsspeichereinheit (RAM-Einheit), die umfasst:
ein Speicherelement, das umfasst:
eine magnetische Speicherzelle (**11**), die erste und zweite magnetische Schichten aufweist, die durch eine nicht magnetische Schicht getrennt sind; und
einen Speicherzellenschalter (**19**), der mit der magnetischen Speicherzelle zum Aktivieren der magnetischen Speicherzelle in Reihe geschaltet ist;
eine Bitleitung (**12**), die auf der ersten magnetischen Schicht angeordnet ist und mit der ersten magnetischen Schicht elektrisch gekoppelt ist;
eine Ziffernleitung (**13**), die an der Speicherzelle angrenzend angeordnet ist und von der Speicherzelle elektrisch isoliert ist und senkrecht zu den Bitleitungen angeordnet ist;
eine Wortleitung (**17**), die parallel zu der Ziffernleitung angeordnet ist und mit dem Speicherzellenschalter zum Steuern des Speicherzellenschalters gekoppelt ist; **dadurch gekennzeichnet**, dass sie weiterhin umfasst:
eine Verbindungsleitung (**21**) zum elektrischen Verbinden der Ziffernleitung mit der Wortleitung.

2. Magnetische Direktzugriffsspeichereinheit gemäß Anspruch 1, wobei der Speicherzellenschalter (**19**) ein Transistor ist, der eine erste, zweite und Gate-Elektrode aufweist, wobei die erste Elektrode mit der zweiten magnetischen Schicht gekoppelt ist, die zweite Elektrode mit dem Erdungsschalter gekoppelt ist und die Gate-Elektrode mit der Wortleitung gekoppelt ist.

3. Magnetische Direktzugriffsspeichereinheit gemäß Anspruch 1, wobei, bei einem Schreibmodus, ein Bitstrom und ein Ziffernstrom jeweils auf der Bitleitung und der Ziffernleitung zur Verfügung gestellt werden, so dass der Bitstrom und der Ziffernstrom jeweils magnetische Felder erzeugen, wobei ein kombiniertes magnetisches Feld von diesen die Richtungen der magnetischen Vektoren in der magnetischen Speicherzelle bestimmt.

4. Magnetische Direktzugriffsspeichereinheit gemäß Anspruch 1, wobei die erste magnetische Schicht magnetisch frei ist und die zweite magnetische Schicht magnetisch befestigt ist, so dass Informationen in der ersten Schicht als Richtungen von Magnetisierungsvektoren gespeichert werden.

5. Magnetische Direktzugriffsspeichereinheit gemäß Anspruch 1, wobei die magnetische Speicherzelle eine Tunnelverbindung zwischen den ersten und zweiten Schichten aufweist.

6. Magnetische Direktzugriffsspeicherbank, die umfasst:
eine Mehrzahl von Speicherelementen, wobei jedes

Speicherelement umfasst:

eine magnetische Speicherzelle (**36a, 36b**), die erste und zweite magnetische Schichten aufweist, die durch eine nicht magnetische Schicht getrennt sind; und

einen Speicherzellenschalter (**40a**), der mit der magnetischen Speicherzelle zum Aktivieren der magnetischen Speicherzelle in Reihe geschaltet ist;

eine Mehrzahl von Bitleitungen (**37a, 37b**), wobei jede Bitleitung auf der ersten magnetischen Schicht angeordnet ist und mit der ersten magnetischen Schicht elektrisch gekoppelt ist;

eine Ziffernleitung (**38a, 38b**), die an der Speicherzelle angrenzend angeordnet ist und von der Speicherzelle elektrisch isoliert ist und senkrecht zu den Bitleitungen angeordnet ist;

eine Wortleitung (**39a, 39b**), die parallel zu der Ziffernleitung angeordnet ist und mit Speicherzellenschaltern zum Steuern der Speicherzellenschalter gekoppelt ist; und dadurch gekennzeichnet, dass sie weiterhin umfasst:

eine Mehrzahl von Verbindungsleitungen (**44a, 44b**) zum elektrischen Verbinden der Ziffernleitung mit der Wortleitung bei jedem N-ten Speicherelement, wobei N eine vorbestimmte positive ganze Zahl ist.

7. Magnetische Direktzugriffsspeicherbank gemäß Anspruch 6, die weiterhin einen Erdungsschalter (**45a**) zum Koppeln von magnetischen Speicherzellen mit einer gemeinsamen Leitung umfasst, wobei der Erdungsschalter zum Bereitstellen eines Abtaststroms an eine der magnetischen Speicherzellen bei einem Lesemodus eingeschaltet wird.

8. Magnetische Direktzugriffsspeicherbank gemäß Anspruch 6, wobei, bei einem Schreibmodus, ein Bitstrom und ein Ziffernstrom jeweils auf einer der Bitleitungen und der Ziffernleitung zur Verfügung gestellt werden, so dass der Bitstrom und der Zeichenstrom jeweils magnetische Fehler erzeugt, wobei ein kombiniertes magnetisches Feld von diesen die Richtungen der magnetischen Vektoren in der magnetischen Speicherzelle bestimmt.

9. Magnetische Direktzugriffsspeichervorrichtung, die umfasst:

ein Speicherarray, das eine Mehrzahl von Speicherelementen umfasst, die in Zeilen und Spalten angeordnet sind, wobei jedes Speicherelement folgendes umfasst:

eine magnetische Speicherzelle (**36a, 36b**), die erste und zweite magnetische Schichten umfasst, die durch eine nicht magnetische Schicht getrennt sind; einen Speicherzellenschalter (**40a**), der mit der magnetischen Speicherzelle zum Aktivieren der magnetischen Speicherzelle in Reihe geschaltet ist;

eine Mehrzahl von Bitleitungen (**37a, 37b**), wobei jede Bitleitung auf ersten magnetischen Schichten von magnetischen Speicherzellen angeordnet ist, die in einer Spaltenposition angeordnet sind und mit den

ersten magnetischen Schichten elektrisch gekoppelt sind;

eine Mehrzahl von Sätzen von Ziffern- und Wortleitungen, wobei jeder Satz von Ziffern- und Wortleitungen umfasst:

eine Ziffernleitung (**38a, 38b**), die benachbart zu Speicherzellen angeordnet ist, die in einer Zeilenposition angeordnet sind, die von der Speicherzelle elektrisch isoliert ist und senkrecht zu der Mehrzahl von Bitleitungen angeordnet ist; und

eine Wortleitung (**39a, 39b**), die parallel zu der Ziffernleitung angeordnet ist und mit Speicherzellenschaltern gekoppelt ist, die in der Zeilenposition zum Steuern der Speicherzellenschalter angeordnet sind; eine Bitleitungssteuerung (**32**), die mit der Mehrzahl von Bitleitungen zum Auswählen einer aus der Mehrzahl von Bitleitungen gekoppelt ist;

eine Ziffernleitungssteuerung (**34**), die mit der Mehrzahl von Ziffernleitungen gekoppelt ist, zum Auswählen einer aus der Mehrzahl von Ziffernleitungen; und dadurch gekennzeichnet, dass sie weiterhin umfasst:

eine Mehrzahl von Sätzen von Verbindungsleitungen (**44a, 44b**), jeder Satz von Verbindungsleitungen zum elektrischen Verbinden der Ziffernleitung und der Wortleitung bei jedem N-ten Speicherelement in der Zeilenposition, wobei das N eine vorbestimmte positive ganze Zahl ist.

10. Magnetische Direktzugriffsspeichervorrichtung gemäß Anspruch 9, wobei der Bitleitungscontroller einen Bitstrom auf einer der Bitleitungen zur Verfügung stellt und der Ziffernleitungscontroller einen Ziffernstrom auf einer der Ziffernleitungen zur Verfügung stellt, so dass der Bitstrom und der Ziffernstrom jeweils magnetische Felder erzeugen, wobei ein kombiniertes magnetisches Feld von diesen die Richtungen der magnetischen Vektoren in der magnetischen Speicherzelle bestimmt.

Es folgen 3 Blatt Zeichnungen

Anhängende Zeichnungen

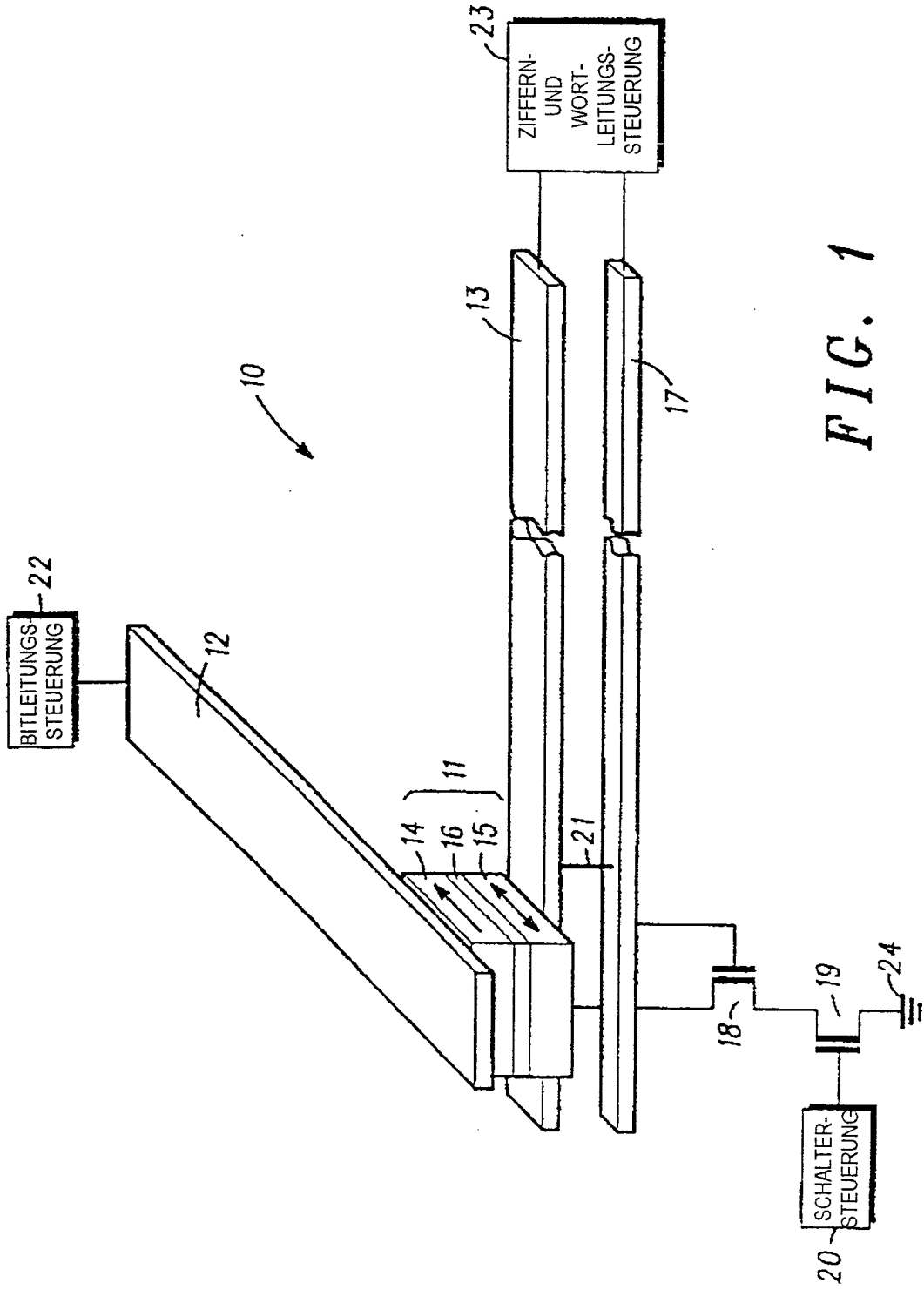


FIG. 1

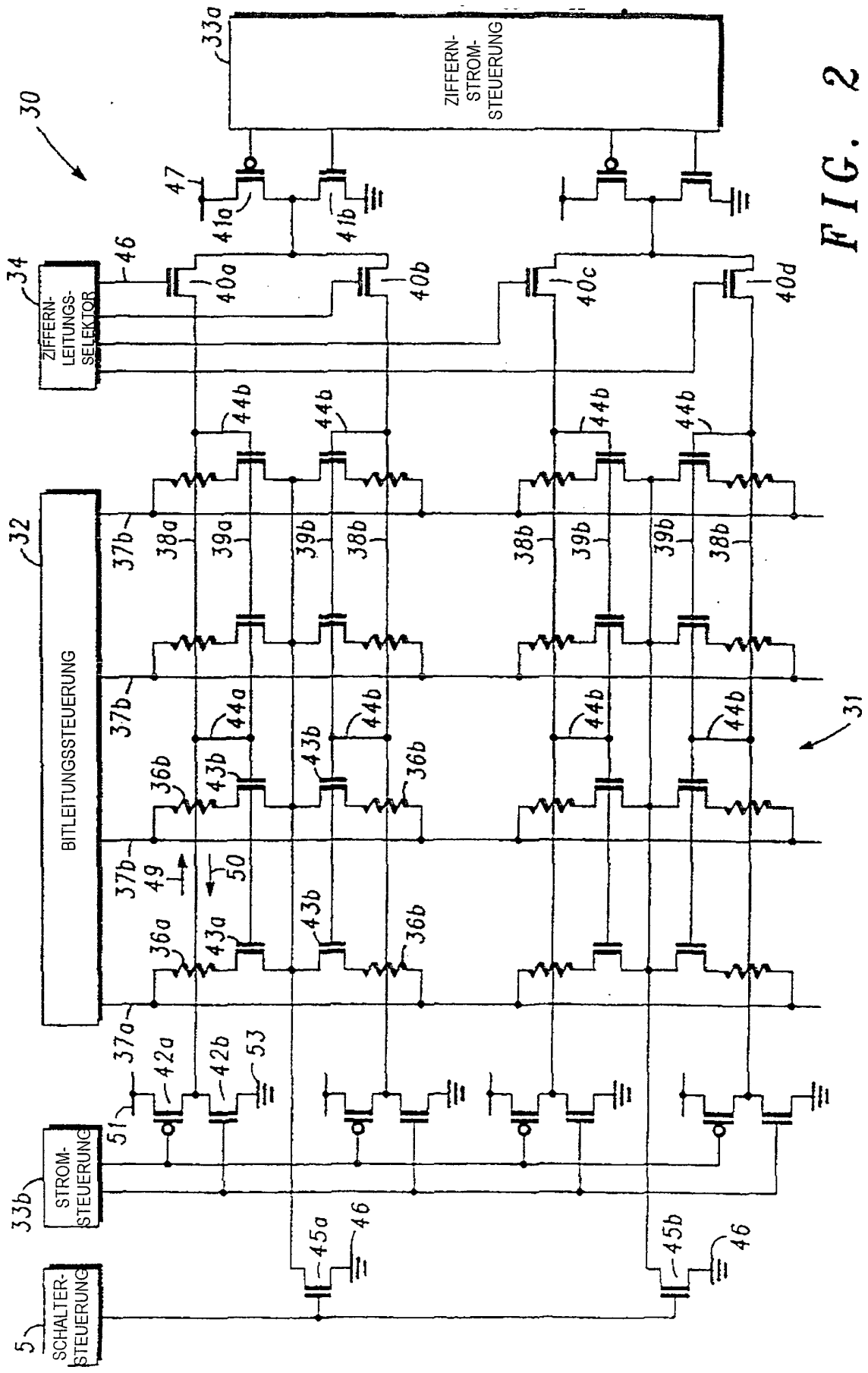


FIG. 2

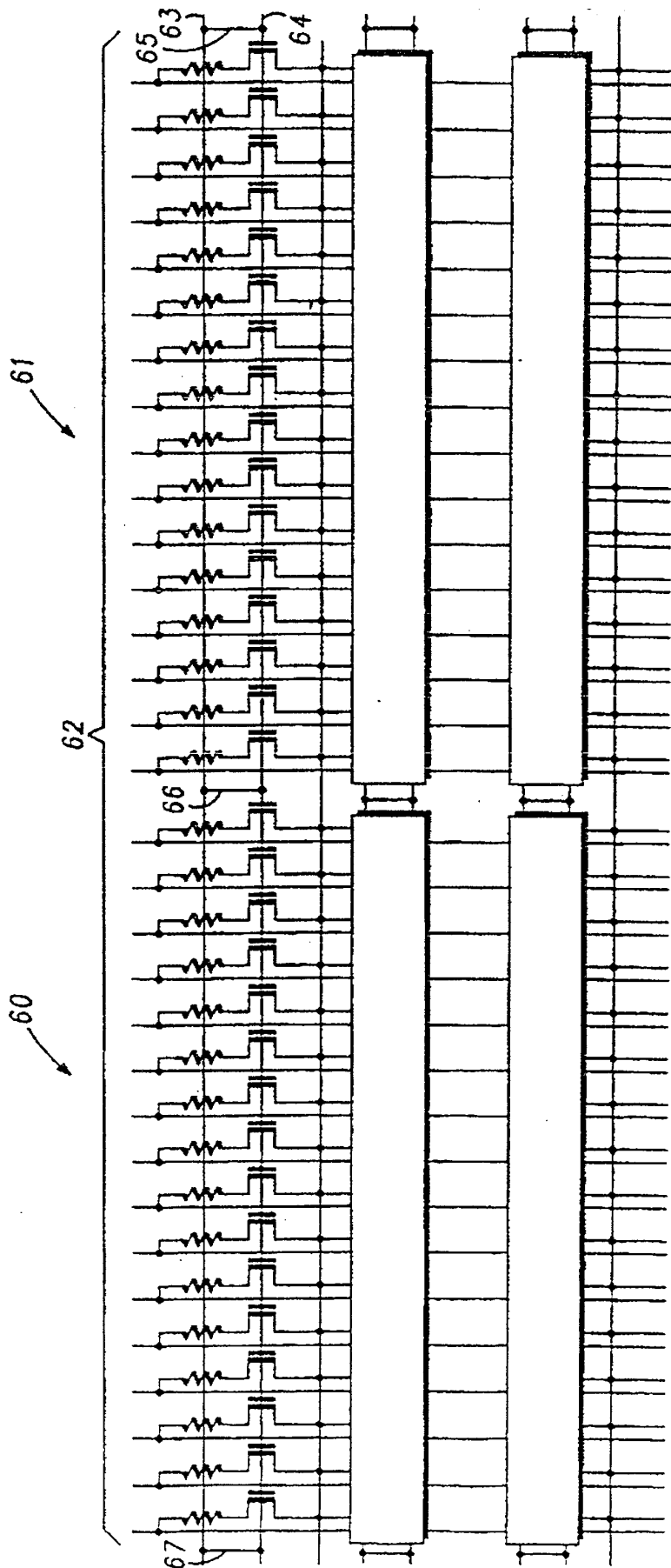


FIG. 3