

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 6 月 7 日(07.06.2012)



(10) 国際公開番号

WO 2012/073792 A1

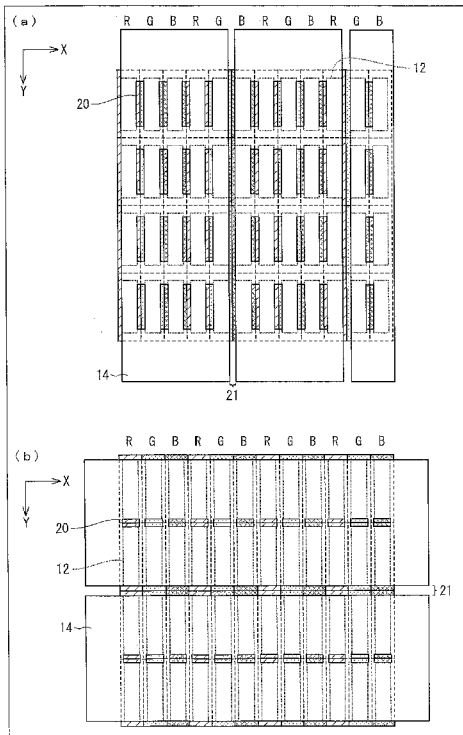
- (51) 国際特許分類:
G02F 1/1343 (2006.01) G09F 9/30 (2006.01)
G09F 9/00 (2006.01)
- (21) 国際出願番号: PCT/JP2011/077098
- (22) 国際出願日: 2011 年 11 月 24 日(24.11.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-267517 2010 年 11 月 30 日(30.11.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 前田 和宏
(MAEDA, Kazuhiro). 中川 陽介 (NAKAGAWA,
Yousuke).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋 2 丁目北 2
番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図1]



(57) Abstract: The purpose of the present invention is to ensure uniformity among pixels when an electrode for a touch sensor also acts as an electrode for image display at the same time. This display device comprises a circuit board, multiple pixel electrodes (12) which are arranged in line on a plane that is parallel with the circuit board, a liquid crystal layer which can exhibit an image display function on the basis of an image signal supplied to the multiple pixel electrodes (12), multiple driving electrodes (14) which can generate an electric field between the pixel electrodes (12) to alter the state of the liquid crystal layer and which are arranged apart from each other in a single layer, and multiple detection electrodes which can be capacity-coupled to the multiple driving electrodes, respectively, and which are arranged in a single layer, wherein at least one of the multiple driving electrodes (14) is provided with a slit (20).

(57) 要約: タッチセンサ用電極が画像表示用電極を兼ねている場合において、画素間の均一性を確保するため、本発明に係る表示装置は、回路基板と、回路基板と平行な面上に行列配置された複数の画素電極 (12) と、複数の画素電極 (12) に供給される画像信号に基づいて画像表示機能を発揮する液晶層と、画素電極 (12) との間で電界を生じさせて液晶層の状態を変化させる、同一層に互いに間隔を空けて設けられた複数の駆動電極 (14) と、それぞれが複数の駆動電極に容量結合する同一層の複数の検出電極と、を備えており、複数の駆動電極 (14) の少なくとも1つには、スリット (20) が設けられている。

WO 2012/073792 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、静電容量式のタッチセンサの機能を有する表示装置に関する。

背景技術

[0002] ユーザの指またはペンが接触または近接した位置を認識するタッチパネルが従来知られている。また、これを表示装置と組み合わせて、画面上におけるユーザの指またはペンが接触または近接した位置を認識できる、タッチパネル搭載の表示装置が多くの機器に用いられている。

[0003] タッチパネルを液晶パネルなどの表示装置に設けると、液晶モジュールなどの表示モジュール全体の厚さが厚くなる。

[0004] そこで、タッチパネル用の電極と、表示装置の画像表示用の電極とを共通にする技術が開発されてきている（特許文献１～６）。例えば、特許文献１では、複数あるタッチセンサの駆動電極を、タッチセンサの走査駆動と、画像表示装置の、いわゆるVCOM駆動とを同時に行う兼用電極とすることによって、液晶モジュールの厚さの増加を抑えている。

[0005] また、特許文献２では、表示領域内のコモン電極をブロック化して、その一部分をタッチセンサの駆動電極と兼用電極とし、残りの部分をタッチセンサの検出電極と兼用電極とすることによって、液晶モジュールの厚さの増加を抑えている。

先行技術文献

特許文献

[0006] 特許文献１：日本国公開特許公報「特開２０１０－１９７５７６号公報（２０１０年９月９日公開）」

特許文献２：米国特許出願公開第２０１０／０００１９７３号明細書（２０１０年１月７日公開）

特許文献３：日本国公開特許公報「特表２００９－５４０３７４号公報（２０

09年11月19日公表)」

特許文献4：日本国公開特許公報「特開2009-199093号公報（2009年9月3日公開）」

特許文献5：日本国公開特許公報「特表2009-540375号公報（2009年11月19日公表）」

特許文献6：日本国公開特許公報「特開2009-211706号公報（2009年9月17日公開）」

発明の概要

発明が解決しようとする課題

[0007] しかしながら画像表示用のコモン電極が複数に分かれている場合、色画素単位でみると、色画素間において、コモン電極間の間隙である分離領域にかかっている画素と、分離領域にかかっていない画素との間で、物理的および電氣的性質に差が生じてしまう。そのため、画素間で物理的および電氣的不均一が生じ、その結果、表示品位が低下してしまうという問題がある。

[0008] そこで、本発明は上記の問題点に鑑みてなされたものであり、その目的は、コモン電極をタッチセンサの電極と兼用させて複数設けた場合に、画素間における物理的および電氣的不均一性が改善された表示装置を提供することにある。

課題を解決するための手段

[0009] 本発明に係る表示装置は、上記課題を解決するために、基板と、上記基板と平行な面上に行列配置された複数の画素電極と、上記複数の画素電極に供給される画像信号に基づいて画像表示機能を発揮する表示機能層と、上記画素電極との間で電界を生じさせて上記表示機能層の状態を変化させる、同一層に互いに間隔を空けて設けられた複数の第1電極と、それぞれが上記複数の第1電極に容量結合する同一層の複数の第2電極と、を備えており、上記複数の第1電極の少なくとも1つには、スリットが設けられている構成である。

[0010] 上記構成によれば、本発明に係る表示装置は、行列配置されている複数の

画素電極と、それぞれが同一層にある複数の第 1 電極とを備えている。複数の第 1 電極は画素電極との間で電界を生じさせて表示機能層の状態を変化させる。したがって、第 1 電極は、画素電極とともに、表示機能層に画像表示機能を発揮させて画像表示を実現するための、コモン電極として機能し得る。表示装置はさらにそれぞれが同一層にある複数の第 2 電極を備えており、そのそれぞれは複数の第 1 電極に容量結合している。指やペンなどが第 2 電極に近づくと、第 1 電極と第 2 電極との間の静電容量が変化し得る。第 1 電極および第 2 電極はそれぞれ複数設けられているため、その組み合わせによって、静電容量が変化した第 1 電極および第 2 電極の位置、すなわち指やペンが近づいた位置を特定することができる。したがって、第 1 電極は第 2 電極とともにタッチセンサの電極としても機能し得る。

[0011] ここで、コモン電極として機能し得る第 1 電極は互いに間隔を空けて設けられているため、第 1 電極と重ならない部分を有する画素が存在し得る。すべてが第 1 電極と重畳している画素と比較すると、仮に同じ画像信号がそれぞれの画素電極に供給されていたとしても、それぞれの画素電極と第 1 電極との間に生じる電界に変化が生じ得、これにより、表示品位の低下が招かれる。

[0012] しかしながら本発明に係る表示装置では、少なくとも 1 つの第 1 電極にスリットが設けられている。スリットが設けられていることによって第 1 電極は、その内側に擬似的な第 1 電極間の間隙が設けられている状態となる。したがって、このスリットと重なる部分を有する画素では、画素電極と第 1 電極との関係が、第 1 電極間の間隙と重なる部分を有する画素における画素電極と第 1 電極との関係に近似する。これにより、第 1 電極間の間隙と重なる部分を有する画素と、第 1 電極間の間隙と重なる部分を有していない画素との間で、均一性を保つことができ、その結果、表示品位を向上させることができる。

発明の効果

[0013] 上述のように、本発明に係る表示装置は、画像表示用電極としても機能す

る第 1 電極にスリットが設けられている。そのため、第 1 電極間の間隙に重なる部分を有する画素と、第 1 電極間の間隙に重なる部分を有していない画素との間での均一性を確保することができる。

図面の簡単な説明

[0014] [図1]本実施の形態における駆動電極およびスリットのパターンを示す図である。

[図2]本実施の形態における表示装置の概略構成を示す断面図である。

[図3]別の実施の形態における表示装置の概略構成を示す断面図である。

[図4]図 3 に示す表示装置における駆動電極およびスリットのパターンを示す図である。

[図5]本実施の形態における駆動電極およびスリットのパターンの別の例を示す図である。

[図6]本実施の形態における駆動電極およびスリットのパターンのさらに別の例を示す図である。

[図7]本実施の形態におけるスリットのパターンを画素構造と対応づけて示す図である。

[図8]別の実施の形態におけるスリットのパターンを画素電極と対応づけて示す図である。

[図9]別の実施の形態における表示装置の概略構成を示す断面図である。

[図10]図 9 に示す表示装置における駆動電極およびスリットのパターンの例を示す図である。

[図11]別の実施の形態におけるスリットのパターンを画素構造と対応づけて示す図である。

[図12]図 1 1 における実施の形態の画素構造を示す図である。

発明を実施するための形態

[0015] [実施の形態 1]

(表示装置の構成)

以下、本発明に係る表示装置の一実施形態について説明する。

[0016] 図2は、本実施の形態における表示装置の概略構成を示す断面図である。

[0017] 表示装置1には、静電容量型のタッチセンサが備わっている。静電容量型のタッチセンサでは、指またはペンなどの接触または近接を検出するため、静電容量を形成するための2種類の電極が設けられている。ここでは、タッチセンサの走査駆動をおこなう方の電極を駆動電極（第1電極）とし、もう一方の電極を検出電極（第2電極）とする。本実施の形態では、主に、表示パネルの内側に駆動電極が設けられており、表示パネルの外側に検出電極が設けられている表示装置について説明する。しかしながら本発明はこの構成に限定されるものではなく、後述するように、両方の電極が表示パネルの内側に設けられている構成であってもよい。

[0018] 図2に示すように、本実施の形態における表示装置1は、回路基板（基板）11、回路基板11と平行な面上に行列配置された複数の画素電極12、液晶層（表示機能層）13、画素電極12に対向して設けられている駆動電極14、対向基板15、対向基板の外側に設けられた検出電極16、およびこれらを保護するための保護層17を備えている構成である。

[0019] 回路基板11上には、薄膜トランジスタ（TFT）のほかに、ソースバスライン、ゲートバスライン、およびCs電極など、液晶層13の駆動に必要な配線および電極等が形成されている。複数のソースバスラインおよび複数のゲートバスラインによって区画化されたマトリクス状の領域のそれぞれに、画素電極12が設けられている。この領域のそれぞれは、いずれかの色（ここでは、赤（R）、緑（G）、青（B））が割り当てられている色画素に対応する。

[0020] 液晶層13は、画素電極12に供給される画像信号に基づいて、液晶の配向が変化することによって画像表示を実現する層である。

[0021] 回路基板11、画素電極12および液晶層13の構成は、従来公知の回路基板、画素電極および液晶層における構成を有し得るものである。

[0022] 駆動電極14は、上述のとおり、タッチセンサの走査駆動をおこなう電極であり、検出電極16との間で静電容量を形成し、その変化の検出によって

指またはペンなどの接触位置または近接位置の検出を行うための電極である。ここで駆動電極 1 4 は、画素電極 1 2 に対向して設けられており、画像表示において V c o m 駆動を行うコモン電極としても機能する。駆動電極 1 4 のそれぞれは、互いに間隔を空けて分離配置している。なお、図 2 は、単に、駆動電極 1 4 が分離配置していることを説明する図であるため、図 2 における駆動電極 1 4 の分離パターンは必ずしも正確なものではない。

[0023] 複数ある駆動電極 1 4 において、少なくとも 1 つの駆動電極 1 4 にはスリットが設けられており、好ましくは全ての駆動電極 1 4 にスリットが設けられている。全ての駆動電極 1 4 においてスリットが設けられている場合には、各駆動電極 1 4 において同一の形態（パターン、形状、大きさ）でもって設けられていることが好ましい。駆動電極 1 4 におけるスリットの詳細については後述する。

[0024] 対向基板 1 5 には、その一方の面上、各色画素に対応する位置に R、G または B のカラーフィルタが設けられている。

[0025] 検出電極 1 6 は、それぞれが複数の駆動電極 1 4 に容量結合する電極であり、各検出電極 1 6 は互いに同一層上に形成されている。検出電極 1 6 の数および形状などは、タッチセンサにおける機能および性能の観点から決定することができる。

[0026] （駆動電極）

駆動電極 1 4 は、タッチセンサ上での指またはペンなどの位置検出のために、互いに同一層上にある複数の電極によって構成されている。駆動電極 1 4 のそれぞれは互いに分離しており、各駆動電極 1 4 間には、分離領域（間隙）2 1 が形成されている。ここで、駆動電極 1 4 は、コモン電極も兼ねているため、液晶層 1 3 の略全面を覆うようにして設けられている。駆動電極 1 4 の数および形状などは、タッチセンサにおける機能および性能の観点から決定することができる。

[0027] 図 1 は、駆動電極 1 4 および駆動電極 1 4 に設けられているスリット 2 0 のパターンを示す図であり、説明の便宜上、各色画素（画素電極 1 2 を含む

）および駆動電極 1 4（スリット 2 0を含む）のみを示している。なお、駆動電極 1 4は透明電極であるため、本来は、スリット 2 0が設けられていない領域においても、スリット 2 0における部分と同様に、駆動電極 1 4越しに色画素が見られるが、説明の便宜上、添付の図面においては、駆動電極 1 4と重なる部分の画素は破線で示している。

[0028] 本実施の形態では、図 1 の（a）に示すように、駆動電極 1 4は、色画素により構成されるマトリクス of 列方向（図中矢印 Y の方向。以下、単に、列方向という。）に延びる帯状の電極である。そして、帯状の複数の駆動電極 1 4が、色画素により構成されるマトリクス of 行方向（図中矢印 X の方向。以下、単に、行方向という）に並んでいる。このとき、分離領域 2 1は、列方向に沿って延びるように形成される。各駆動電極 1 4は、分離領域 2 1が特定の色画素における列方向に沿った辺と重なるように形成されている。

[0029] 駆動電極の形態の他の例を図 1 の（b）に示す。図 1 の（b）に示すように、駆動電極 1 4は行方向に延びる帯状の電極であって、これらが列方向に並んでいる構成であってもよい。このとき、分離領域 2 1は、行方向に沿って延びるように形成される。各駆動電極 1 4は、分離領域 2 1が色画素における行方向に沿った辺と重なるように形成されている。

[0030] 駆動電極 1 4は、コモン電極も兼ねていることから、表示品位の低下を防ぐために、画素電極 1 2上に対向するように設けられていることが好ましい。すなわち、駆動電極 1 4間の分離領域 2 1が画素電極 1 2と重ならないように、各駆動電極 1 4を設けることが好ましい。

[0031] （スリット）

駆動電極 1 4には、行方向および列方向の少なくとも何れか一方に沿って並んでいる、1 以上、好ましくは複数のスリット 2 0が設けられている。本実施の形態では、図 1 の（a）に示すように、列方向に沿って延びる同一形状の複数のスリット 2 0が、行方向および列方向に並んでいる。図 1 の（a）に示す場合では、画素配列の何れの行においても、行方向において隣接する各色画素の全ての境界上において、駆動電極 1 4にスリット 2 0が設けら

れている。したがって、R G間、G B間およびB R間の何れの色画素間の境界上においても、駆動電極14にスリット20が設けられている。ただし、その境界上が駆動電極14間の分離領域21にあたる場合には、その境界上に駆動電極14が存在しないため、駆動電極14のスリット20は存在しない。

[0032] 複数の帯状駆動電極を並べて対向電極とする場合には、駆動電極間に分離領域が形成される。そのため、スリットが設けられていない駆動電極を用いて対向電極とすると、分離領域と重なる辺を有する色画素と、全辺が対向電極に覆われている色画素とが混在することになる。分離領域と重なる辺を有する色画素と、全辺が対向電極に覆われている色画素とでは、物理的状态が一致しておらず、また同一の画像信号が供給されたとしても、電気的状态が必ずしも一致しない。そのため、液晶配向に差が生じてしまい、結果として、表示ムラが発生するといった表示品位の低下をもたらす得る。また、これを抑制するために、駆動電極14間の分離領域21を十分に遮光した場合には、それが開口率の低下を招き、その結果、液晶パネルの表示品位が低下することになる。

[0033] 一方、表示装置1では、上述のとおり、駆動電極14に、行方向に隣接する色画素間の境界上において、スリット20が設けられている。スリット20部分には電極が存在しないため、本来であれば全辺が対向電極に覆われる位置にある色画素においても、スリット20の存在により、その辺（列方向に沿った辺）が分離領域21に重なっている状態に似た状態となる。このため、分離領域21と重なる辺を有していない色画素における物理的および電気的状态が、分離領域21と重なる辺を有する色画素における物理的および電気的状态と似た状態となり、これらの色画素間での物理的および電気的均一性が確保される。したがって、駆動電極14にスリット20が設けられていることにより、色画素間において液晶配向に差が発生することを防止でき、これにより表示ムラの発生を抑えることができる。

[0034] 本実施の形態において、スリット20は、R G間、G B間およびB R間の

何れの色画素間の境界上においても、駆動電極 14 上の対応する位置に設けられている。そのため、分離領域 21 と重なる位置の色画素の境界を形成している色画素の組み合わせが R G、G B および B R の何れの場合であっても有効である。なお、この場合、スリット 20 は、行方向において、色画素の行方向におけるピッチと同一ピッチで形成されていることになる。また、スリット 20 は、画素配列の何れの行においても同様に形成されているため、列方向においても、色画素の列方向のピッチと同一ピッチで形成されていることになる。

[0035] 図 1 の (b) に示す、行方向に延びる複数の帯状の駆動電極 14 を列方向に並べた構成を有する表示装置 1 では、行方向に沿って延びる同一形状の複数のスリット 20 が、行方向に並んでいる。行方向に延びる複数の帯状の駆動電極 14 が列方向に並ぶ構成の場合、分離領域 21 と重なる、行方向に沿った辺を有する色画素と、分離領域 21 と重なる辺を有していない色画素とが含まれ得る（例えば、駆動電極 14 の列方向に沿った辺の長さが、色画素の列方向に沿った辺の長さの 3 倍である場合）。しかしながら図 1 (b) に示す表示装置 1 では、画素配列の何れの列においても、列方向において隣接する各色画素の全ての境界上において駆動電極 14 にスリット 20 が設けられている。ただし、その境界上が駆動電極 14 間の分離領域 21 にあたる場合には、その境界上に駆動電極 14 が存在しないため、駆動電極 14 のスリット 20 は存在しない。

[0036] 図 1 の (b) に示す構成の場合であっても、スリット 20 が設けられていなかった場合には全辺が対向電極に覆われることになる画素においては、スリット 20 の存在により、その物理的および電気的狀態が、分離領域 21 と重なっている画素における状態に似た状態となる。このため、分離領域 21 と重なる辺を有する画素と、分離領域 21 と重なる辺を有していない画素との間において、物理的および電気的均一性が確保される。したがって、画素間において液晶配向に差が発生することを防止でき、これにより表示ムラの発生を抑えることができる。

[0037] なお、パターン化された各駆動電極 14 および各スリット 20 は、従来公知のパターニング技術を用いて形成すればよい。

[0038] 本実施の形態のスリットの形成方法によれば、駆動電極 14 の分離パターンの自由度が高まることとなる。

[0039] また、本実施の形態では、分離領域 21 はある特定の色の色画素間に形成されているものではないが、分離領域 21 がある特定の色の色画素間に形成された場合に、例えば、分離領域 21 に重なる部分を有する色画素のみ視野角が狭くなるなど、分離領域 21 による物理的影響が表示品位に及ぶときには、本実施の形態におけるスリット 20 のパターンが望ましい。

[0040] [実施の形態 2]

本発明に係る表示装置の他の実施形態について、図 3 および図 4 に基づいて説明すれば以下の通りである。なお、説明の便宜上、前述の実施形態で用いたものと同じ機能を有する部材には同じ参照符号を付して、その説明を省略する。

[0041] 図 3 は、本実施の形態における表示装置の概略構成を示す断面図である。

[0042] 上述の実施の形態では、駆動電極 14 が回路基板 11 および対向基板 15 の内側にあって画像表示用のコモン電極を兼ねており、検出電極 16 は対向基板 15 の外側に形成されていた。これに対して本実施の形態における表示装置 1 では、図 3 に示すように、検出電極 16 は回路基板 11 および対向基板 15 の内側にあって、駆動電極 14 と同一層上に形成されている。また、駆動電極 14 および検出電極 16 の両方がコモン電極を兼ねている。このため、検出電極 16 にもスリット 20 が形成されている構成となっている。なお図 2 の場合と同様に、図 3 は、単に、駆動電極 14 および検出電極 16 が同一層上に分離配置していることを説明する図であるため、図 3 における駆動電極 14 および検出電極 16 の分離パターンは必ずしも正確なものではない。

[0043] 図 4 は、本実施の形態における駆動電極 14 および検出電極 16 ならびにスリット 20 のパターンの一例を示す図である。図 4 の (a) では、パター

ニングされた駆動電極 14 および検出電極 16 の一部を示しており、説明の便宜上、各電極におけるスリット 20 の図示を省略している。図 4 の (a) に示すように、駆動電極 14 および検出電極 16 は、いずれも任意の島状形状になっており、これらが組み合わさって液晶層 13 の略全面を覆うコモン電極として機能している。なお、このような駆動電極および検出電極を有する表示装置の例として、上記特許文献 2 に記載の表示装置が知られている。したがって、上記特許文献 2 における説明の全ては、参照として本明細書に援用することができる。

[0044] 図 4 の (b) は、図 4 の (a) における破線枠 22 部分を拡大して示す図であり、スリット 20 を省略せずに図示している。コモン電極が島状に分離されている表示装置 1 では、駆動電極 14 間、あるいは駆動電極 14 および検出電極 16 間の間隙である分離領域 21 は、行方向に沿った形態および列方向に沿った形態の両方の形態で存在し得る。

[0045] 本実施の形態における表示装置 1 では、各駆動電極 14 および各検出電極 16 に、実施の形態 1 における図 1 の (a) に示される形状およびパターンを有するスリット 20 (画素の列方向に沿って延びるスリット)、ならびに図 1 の (b) に示される形状およびパターンを有するスリット 20 (画素の行方向に沿って延びるスリット) の両方が、形成されている。

[0046] 島状電極の場合、1 辺が分離領域 21 と重なっている色画素のみならず、直交する 2 辺が分離領域 21 と重なっている色画素も存在し得る。本表示装置 1 では、行方向および列方向いずれにおいても、隣接する色画素間の境界上には、スリット 20 が、駆動電極 14 の対応位置あるいは検出電極 16 の対応位置に設けられている。したがって、島状形状の複数の駆動電極 14 と検出電極 16 とが同一層にあっていずれもがコモン電極として機能する表示装置であっても、分離領域 21 と重なる辺を有する画素と分離領域 21 と重なる辺を有していない画素との間での物理的および電氣的均一性を確保することができる。

[0047] [実施の形態 3]

本発明に係る表示装置の他の実施形態について、図5に基づいて説明すれば以下の通りである。なお、説明の便宜上、前述の実施形態で用いたものと同じ機能を有する部材には同じ参照符号を付して、その説明を省略する。

[0048] 上述の実施の形態1では、行方向および列方向の少なくとも何れか一方の方向においては、隣接する色画素の全ての境界において、駆動電極14上の対応する位置にスリット20が設けられていた。すなわち、その方向における色画素のピッチと同一ピッチでもってスリット20が設けられていた。

[0049] これに対して本実施の形態における表示装置1は、特定色の色画素間のみ、スリット20が形成されている構成である。

[0050] 図5の(a)～(c)は、本実施の形態における駆動電極14あるいは検出電極16およびスリット20のパターンの例を示す図である。説明の便宜上、色画素(画素電極12を含む)および駆動電極14(図5の(c)では駆動電極14および検出電極16)(スリット20を含む)のみを図示している。本実施の形態では、図5の(a)に示すように、各駆動電極14は、列方向に延びる帯状の電極であり、これらが行方向に並ぶことによって、液晶層13の略全面を覆うコモン電極として機能する構成となっている。このとき、分離領域21は列方向に延びるように形成される。各駆動電極14は、分離領域21が、行方向において隣接する青色画素(B)(第1の色画素)と赤色画素(R)(第2の色画素)との境界上に形成されるように、設けられている。

[0051] 駆動電極14においてスリット20は、駆動電極14と重畳する領域における、行方向において隣接する青色画素(B)と赤色画素(R)との境界上に形成されている。すなわち、駆動電極14間の分離領域21が、特定色の色画素間の境界上に形成されている場合に、分離領域21と重なっていない画素における同じ組み合わせの特定色の色画素間の境界上の、駆動電極14の対応位置において、スリット20が形成されている。ここでは、特定色の色画素が、青色画素(B)と赤色画素(R)との組み合わせであったが、色の組み合わせはこれに限定されるものではない。

- [0052] 駆動電極 14 にスリット 20 が形成されていない場合では、分離領域 21 と重なっているために駆動電極 14 に覆われていない辺を含む青色画素および赤色画素、ならびに分離領域 21 と重なっておらず全辺が駆動電極 14 に覆われている青色画素および赤色画素の両方が存在し得る。この場合、青色画素間および赤色画素間で物理的および電気的狀態に不均一性が生じ得、表示品位の低下をもたらすこととなる。
- [0053] これに対して表示装置 1 では、何れの青色画素および赤色画素においても、青色画素の辺（赤色画素と接する辺）および赤色画素の辺（青色画素と接する辺）上は、分離領域 21 と重なっているか、あるいはスリット 20 が形成されている。そのため、青色画素間および赤色画素間での物理的および電気的狀態の均一性が確保されており、表示品位の低下を防いでいる。
- [0054] また、基本的に全ての色画素間上においてスリット 20 が形成されている上述の実施形態に係る表示装置 1 と異なり、特定色の色画素間にのみ、駆動電極 14 の対応位置にスリット 20 が設けられている。そのため、駆動電極 14 に形成されるスリット 20 の数が少なく済み、これにより、電極のインピーダンス上昇を抑制することができる。
- [0055] 図 5 の（b）は、本実施の形態における別の例を示す図である。図 5 の（b）に示す駆動電極 14 は行方向に延びる帯状の電極であって、これらが列方向に並んでいる。このとき、分離領域 21 は、行方向に沿って延びるように形成される。また、分離領域 21 が色画素における行方向に沿った辺と重なる位置になるように、各駆動電極 14 は形成されている。
- [0056] 上述の実施の形態 1 では、全ての色の色画素において、列方向に隣接する同一色の色画素間の境界上において、スリット 20 が形成されていた。これに対して図 5 の（b）に示す表示装置 1 では、赤色画素（R）および緑色画素（G）においてのみ、その列方向に隣接する色画素間の境界上にスリット 20 が形成されており、青色画素（B）においては、その列方向に隣接する色画素間の境界上にはスリット 20 が形成されていない。一般に、青色画素は視認性が低いことが知られている。そのため、青色画素の周辺では、スリ

ット20の有無による表示品位への影響は、他の色画素と比較すると小さい。そこで、電極のインピーダンス上昇の抑制を目的として駆動電極14に形成するスリット20の数を減らしたい場合に、視認性の低い青色画素周囲のスリット20をなくすことによって、視認性の悪化を抑えつつ、インピーダンスの上昇を抑制することができる。

[0057] 図5の(c)は、本実施の形態におけるさらに別の例を示す図である。図5の(c)に示す表示装置1では、スリット20の配置以外の構成は、実施の形態2における表示装置1における構成と同じである。

[0058] 図5の(c)に示す表示装置1では、同一層に島状の駆動電極14および検出電極16が形成されており、そのいずれにおいても、2種類のスリット20が形成されている。一方のスリット20は、図5の(a)に示す表示装置1と同様に、特定色の色画素間（ここでは、青色画素(B)と赤色画素(R)との間）の境界上にのみ形成されている、列方向に沿って延びるスリットである。なお、分離領域21は、行方向および列方向のいずれにも延びているが、列方向に延びる分離領域21においては、その形成位置は、特定色の色画素間（青色画素(B)と赤色画素(R)との間）の境界上である。他方のスリット20は、図1の(b)に示す表示装置1と同様に、列方向に隣接する全ての画素間の領域上に形成されている、行方向に沿って延びるスリットである。

[0059] 図5の(c)に示す構成の場合、何れの青色画素および赤色画素においても、青色画素の辺（赤色画素と接する辺）および赤色画素の辺（青色画素と接する辺）上は、分離領域21が位置しているか、あるいはスリット20が形成されている。そのため、青色画素間および赤色画素間での物理的および電気的狀態の均一性が確保されており、表示品位の低下を防いでいる。また、駆動電極14および検出電極16に形成されるスリット20の数が少なくて済み、これにより、電極のインピーダンス上昇を抑制することができる。

[0060] [実施の形態4]

本発明に係る表示装置の他の実施形態について、図6に基づいて説明すれ

ば以下の通りである。なお、説明の便宜上、前述の実施形態で用いたものと同じ機能を有する部材には同じ参照符号を付して、その説明を省略する。

[0061] 上述の実施の形態１～３では、スリット２０の長さは、列方向に延びるスリット２０にあつては、色画素を構成する領域（画素領域）の列方向と平行な辺の長さよりも短かった。同様に、行方向に延びるスリット２０にあつては、色画素を構成する領域の行方向と平行な辺の長さよりも短かった。

[0062] これに対して本実施の形態における表示装置１では、スリット２０の長さは、列方向に延びるスリット２０にあつては、色画素を構成する領域の列方向と平行な辺の長さよりも長く、行方向に延びるスリット２０にあつては、色画素を構成する領域の行方向と平行な辺の長さよりも長くなっている。

[0063] 図６の（ａ）～（ｄ）は、本実施の形態における駆動電極１４あるいは検出電極１６およびスリット２０のパターンの例を示す図である。説明の便宜上、色画素（画素電極１２を含む）および駆動電極１４（図６の（ｄ）では駆動電極１４および検出電極１６）（スリット２０を含む）のみを図示している。

[0064] 図６の（ａ）に示す表示装置１では、列方向に延びる帯状の駆動電極１４が、行方向に並ぶことによって、液晶層１３の略全面を覆うコモン電極として機能する構成となっている。この場合において、スリット２０は、列方向に沿って延びる形状であり、その長さは、列方向において、複数の色画素に亘っている。その形成位置は、実施の形態１と同様に、行方向において隣接する各色画素の全ての境界上である。しかしながら、形成位置はこれに限定されるものではなく、図５の（ａ）に示す場合のように、特定色の色画素にのみ、スリット２０が形成されている構成であってもよい。

[0065] 図６の（ａ）のように、１つのスリット２０が複数の色画素に亘って形成されている場合には、色画素ごとにスリット２０が形成されている上述の実施形態の構成と比較して、スリット２０近傍の物理的および電気的狀態を、分離領域２１近傍の狀態により近い狀態にすることができる。そのため、分離領域２１との重なりを有する色画素と、分離領域２１との重なりを有して

いない色画素との間の物理的および電気的状態の均一性をよりよく維持することができ、その結果、表示品位をさらに向上させることができる。

[0066] 図6の(b)および(c)に示す表示装置1では、行方向に延びる帯状の駆動電極14が、列方向に並ぶことによって、液晶層13の略全面を覆うコモン電極として機能する構成となっている。この場合において、スリット20は、行方向に沿って延びる形状であり、その長さは、行方向において、複数の色画素に亘っている。スリット20の長さは、スリット20が複数の画素に亘っていればよく、図6の(b)に示す場合のように、行方向における全ての画素に亘っている場合に限らず、図6の(c)に示す場合のように、特定色の色画素間（ここでは、青色画素(B)と赤色画素(R)との間）で分断されているものであってもよい。

[0067] 図6の(b)に示す場合のように、行方向における全ての画素に亘っている場合には、図6の(a)に示す場合と同様に、スリット20近傍の物理的および電気的状態を、分離領域21近傍の状態により近似させることができる。そのため、分離領域21との重なりを有する色画素と、分離領域21との重なりを有していない色画素との間の物理的および電気的状態の均一性をよりよく維持することができ、その結果、表示品位をさらに向上させることができる。

[0068] ところで、視認性の高い色の色画素の周辺では、スリット20の有無による表示品位への影響は、そうでない他の色の色画素と比較すると大きい。緑色画素(G)は視認性が高いことが一般に知られている。そのため、緑色画素(G)においては、駆動電極14の対応位置においてスリット20を設けることが望ましい。そこで、図6の(c)に示す場合のように、スリット20が複数の画素に亘るものの、特定色の色画素間で分断されている場合には、視認性の高い緑色画素(G)においてはスリット20の分断を設けずに、他の色画素(R、B)においてスリット20の分断を設けることが好ましい。

[0069] 図6の(d)は、本実施の形態におけるさらに別の例を示す図である。図

6の(d)に示す表示装置1では、スリット20の配置以外の構成は、実施の形態2における表示装置1における構成と同じである。図6の(d)に示す表示装置1では、同一層に島状の駆動電極14および検出電極16が形成されており、そのいずれにおいても、2種類のスリット20が形成されている。列方向に沿って延びる一方のスリット20は、実施の形態2における表示装置1の駆動電極14および検出電極16において列方向に沿って延びるスリット20と同一のパターンおよび形態である。一方、行方向に沿って延びる一方のスリット20は、図6の(c)に示す場合のように、赤色画素(R)、緑色画素(G)および青色画素(B)にまたがり、RとBとの間で分断されている。したがって、駆動電極14および検出電極16が同一層上にあってそれぞれがコモン電極として機能している表示装置であっても、本実施の形態を好適に適用できる。

[0070] 〔実施の形態5〕

上述の実施の形態1～4では、表示領域のような広範囲の観点から、スリットの形態について説明した。以下では、画素単位のような狭範囲の観点から、スリットの形態について説明する。

[0071] 図7は、画素構造を上面から示した図である。説明の便宜上、駆動電極14はスリット20のみを図示し、駆動電極14自体の図示は省略している。

[0072] 上述のように、コモン電極が複数の駆動電極14によって構成されている表示装置1においては、駆動電極14間の分離領域21が存在する。分離領域21には電極が存在しないため、分離領域21と重なる部分を有する色画素においては、電界の状態が、分離領域21と重なる部分を有していない色画素における電界の状態と異なり得る。そのため、スリット20を形成する場合、スリット20を形成したことによってその色画素における電界状態が変化して、表示に影響を及ぼす部分に形成することが望ましい。

[0073] 図7に示すように、各色画素には、直接的に表示に寄与する表示寄与部35が存在する。表示寄与部35は、具体的には、画素電極12が形成されている領域における開口部分である。例えば、Cs電極30は光を透過させな

いため、表示寄与部 35 には含まれない。

[0074] スリット 20 は、このような表示寄与部 35 における電界に影響を及ぼす位置に形成されている。図 7 では、スリット 20 は、表示寄与部 35 に沿うようにして列方向に延びている。一方、Cs 電極 30 は表示に直接寄与する部分ではないため、この部分ではスリット 20 を分断させている。表示寄与部 35 に影響を及ぼす位置にスリット 20 を形成しつつ、表示寄与に直接的には影響を及ぼさない位置にはスリット 20 を設けないことにより、色画素間での電界の状態の均一性を確保して表示品位を維持しつつ、インピーダンスの上昇を抑制することができる。Cs 電極 30 のほかにも、ゲートバスラインもまた表示寄与部 35 ではないため、ゲートバスライン上においてスリット 20 を分断する構成であってもよい。

[0075] [実施の形態 6]

本発明に係る表示装置の他の実施形態について、図 8 ～ 10 に基づいて説明すれば以下の通りである。なお、説明の便宜上、前述の実施形態で用いたものと同じ機能を有する部材には同じ参照符号を付して、その説明を省略する。

[0076] 上述の実施の形態 1 ～ 5 では、画素電極 12 の形状は矩形であり、スリット 20 は矩形の画素電極 12 の一辺と平行な辺を有する矩形である。

[0077] これに対して本実施の形態における表示装置 1 では、画素電極 12 は「くの字型（ジグザグ状）」の櫛歯電極であり、スリット 20 は画素電極 12 のくの字型部分と相補的な形状をその一部に有する形状である。

[0078] 図 8 は、本実施の形態における画素電極 12 および駆動電極 14 のパターンの例を示す図である。なお、図 8 では、説明の便宜上、画素電極 12 および駆動電極 14 におけるスリット 20 のみを図示している。

[0079] 本実施の形態に係る表示装置 1 は、IPS (In-Plane-Switching) モード（または A F F S (Advanced Fringe Field Switching) モード）の液晶表示装置である。そのため、上述の実施の形態における表示装置 1 と異なり、画素電極 12 は、図 8 に示すように、櫛歯状の電極である。

[0080] 図9は、本実施の形態における表示装置1の概略構成を示す断面図である。本実施の形態に係る表示装置1は、駆動電極14および検出電極16がコモン電極として機能する。図9に示すように、コモン電極として機能する駆動電極14および検出電極16は、絶縁膜18で隔てられた状態で画素電極12と回路基板11との間に形成されている。画素電極12の櫛歯電極と、各櫛歯間の下層にある駆動電極14または検出電極16との間で横電界を発生させることによって液晶層13の液晶の配向を変化させている。

[0081] 図10の(a)は本実施の形態における画素電極12、駆動電極14、およびスリット20のパターン例を示す図であり、図10の(b)は、本実施の形態の別の態様における画素電極12、駆動電極14、検出電極16およびスリット20のパターン例を示す図である。本実施の形態において各色画素に設けられている櫛歯状の画素電極12は、全体が「くの字型（ジグザグ状）」に折れ曲がった構造を有している。駆動電極14間または駆動電極と検出電極16との間の分離領域21は画素電極12に沿うようにして設けられており、駆動電極14および検出電極16の側部の一部の形状が、画素電極12の折れ曲がりに対応した形状、すなわち、画素電極12の側部の形状と相補的な形状を有している。この場合、駆動電極14間または駆動電極14と検出電極16との間の分離領域21は画素電極12に沿った形状であるため、分離領域21による画素電極12の側部への影響を各色画素内で均一かつ最小限とすることができる。

[0082] また同様に、スリット20についても画素電極12に沿うようにして設けられており、側部の一部の形状が、画素電極12の折れ曲がりに対応した形状、すなわち、画素電極12の側部の形状と相補的な形状を有している。

[0083] 上述のとおり、スリット20は分離領域21とも対応して画素電極12に沿った形状であるため、画素電極12の側部におけるスリット20による画像表示への影響は、分離領域21による画素表示への影響とほぼ同等となり、結果、略全面に渡る表示品位を保つことができる。本実施の形態では、くの字型の櫛歯電極およびこれに対応した形状のスリットを例に説明したが、

画素電極の側部に沿った形状を形成することができる限り、あらゆる形状に適用可能である。

[0084] 〔実施の形態 7〕

本発明に係る表示装置の他の実施形態について、図 1 1 および図 1 2 に基づいて説明すれば以下の通りである。なお、説明の便宜上、前述の実施形態で用いたものと同じ機能を有する部材には同じ参照符号を付して、その説明を省略する。

[0085] 従来の画素構造においては、ゲートバスラインおよびソースバスラインなどの配線または Cs 電極などが設けられていて光を透過しない領域、ならびに画素電極がない領域は、画像の表示に直接的には寄与していない。本実施の形態に係る表示装置は、このような画像表示に直接は寄与していない領域にスリットを設けることによって、表示品位の低下を最小限に抑えるものである。

[0086] 図 1 1 は、本実施の形態における表示装置の、各画素における駆動電極 1 4 のスリット 2 0 のパターンを示す図である。図中下側には、図中左上に示す構成における行方向に沿った断面を示しており、図中右側には、図中左上に示す構成における一点鎖線 A-A' における断面を示している。図 1 1 に示すように、本実施の形態の表示装置 1 では、スリット 2 0 は、複数の位置に設けられており、第 1 のスリット 2 0 a は、列方向に沿って延びるソースバスライン 3 1 と重畳する位置に形成されたスリットであり、第 2 のスリット 2 0 b は、行方向に沿って延びるゲートバスライン 3 2 と重畳する位置に形成されたスリットであり、第 3 のスリット 2 0 c は、Cs 電極 3 0 と重畳する領域に行方向に沿って延びるようにして形成されたスリットである。なお、ソースバスライン 3 1 およびゲートバスライン 3 2 は隣り合う画素電極 1 2 どうしの間と重畳する位置に設けられている。そのため、画素電極 1 2 がない領域は、ソースバスライン 3 1 上またはゲートバスライン 3 2 上でもある。

[0087] スリット 2 0 a の幅（行方向に沿った長さ） W_{s1} と、ソースバスライン

31の幅 W_{m1} とを比較すると、 $W_{s1} \leq W_{m1}$ である。同様に、スリット20aの幅 W_{s1} と、画素電極12間の列方向に延びる間隙の幅 S_{p1} とを比較すると、 $W_{s1} \leq S_{p1}$ である。

[0088] 同様に、スリット20bの幅（列方向に沿った長さ） W_{s2} と、ゲートバスライン32の幅 W_{m2} とを比較すると、 $W_{s2} \leq W_{m2}$ である。同様に、スリット20bの幅 W_{s2} と、画素電極12間の行方向に延びる間隙の幅 S_{p2} とを比較すると、 $W_{s2} \leq S_{p2}$ である。

[0089] このように、スリット20aおよびスリット20bは、それぞれ表示に直接寄与しないソースバスライン31上およびゲートバスライン32上にあって、いずれもその幅が各配線の幅以下である。かつ、スリット20aおよびスリット20bはいずれも、画素電極12がなく表示に直接寄与しない領域（画素電極12間の間隙上）にあって、いずれもその幅が各間隙の幅以下である。したがって、スリット20aおよびスリット20bはいずれも、表示に直接寄与する領域にかかっておらず、その結果、スリットによる表示品位の低下を抑えることができる。

[0090] また、スリット20cの幅（列方向に沿った長さ） W_{s3} と、Cs電極30の幅（列方向に沿った長さ） W_{m3} とを比較すると、 $W_{s3} \leq W_{m3}$ である。すなわち、スリット20cは、表示に直接寄与しないCs電極30上にあって、その幅がCs電極30の幅以下である。したがって、スリット20cは、表示に直接寄与する領域にかかっておらず、その結果、スリットによる表示品位の低下を抑えることができる。

[0091] 本実施の形態におけるスリット20aおよびスリット20bはいずれも、その幅について2つの条件（ $W_s \leq S_p$ 、 $W_s \leq W_m$ ）を満たしているが、少なくとも配線の幅 W_m および画素電極間の幅 S_p の何れか一方が他方に比べて十分に大きい場合には、上記2つの条件のうち一方を満たせば十分な場合もあり得る。

[0092] 図12は、駆動電極14およびスリット20の図示を省略し、各色画素の構造のみを示す図である。図12の（a）は図11に示す構造に対応してお

り、列方向において隣り合う画素電極 1 2 どうしの間隙がゲートバスライン 3 2 上にあるように、各画素電極 1 2 が形成されている。しかしながら、画素電極 1 2 の形成位置は、これに限定されるものではない。例えば、図 1 2 の (b) に示すように、列方向において隣り合う画素電極 1 2 どうしの間隙が C s 電極 3 0 上にあるように、各画素電極 1 2 が形成されている構成であってもよい。

[0093] 図 1 2 の (b) に示すように列方向における画素電極 1 2 間の間隙が C s 電極 3 0 上に位置する場合は、通常 C s 電極 3 0 の幅は画素電極 1 2 の間隙に対して十分に大きい。そのため、C s 電極 3 0 上にスリット 2 0 を配置する場合には、列方向における画素電極 1 2 間の間隙 (図 1 1 における S p 2) $\leq$ スリット 2 0 の幅 (図 1 1 における W s 2) $\leq$ C s 電極 3 0 の幅 (図 1 1 における W m 3) といった構成も可能となる。

[0094] さらに、図 1 2 の (b) に示す構成では、ソースバスライン 3 1 の負荷低減を最優先として、[ソースバスラインの幅 (図 1 1 における W m 1)] $\leq$ [行方向における画素電極 1 2 間の間隙 (図 1 1 における S p 1)] となっている。このような場合には、[ソースバスラインの幅 (図 1 1 における W m 1)] $\leq$ [スリット 2 0 の幅 (図 1 1 における W s 1)] $\leq$ [行方向における画素電極 1 2 間の間隙 (図 1 1 における S p 1)] といった構成となる。このような構成もまた本発明の範疇に含まれる。

[0095] なお、本実施の形態に限らず、列方向に延びるスリット 2 0 と、行方向に延びるスリット 2 0 との両方が形成されている場合、列方向に延びるスリット 2 0 の幅と、行方向に延びるスリット 2 0 の幅とは同じである必要はない。

[0096] 本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0097] なお、本発明に係る表示装置において、上記スリットは、行方向または列

方向において隣り合う画素領域の境界上に設けられていることが好ましい。

[0098] コモン電極が複数に分かれている場合には、表示品位を保つために、コモン電極は、コモン電極間の間隙である分離領域が、隣り合う画素の境界上に位置するように、形成される。したがって、スリットが行方向または列方向において隣り合う画素領域の境界上に設けられていることによって、分離領域との重なりを有する画素の状態をよりよく近似でき、その結果、分離領域との重なりを有する画素と有していない画素との画素間の均一性を向上させることができる。

[0099] また、本発明に係る表示装置において、上記スリットは、行方向または列方向において隣り合う画素領域間のピッチと同一ピッチで設けられていることが好ましい。

[0100] 上記構成によれば、ある行の画素列またはある列の画素列において、各画素上にスリットが形成されており、その形成部分も各画素の同一部分に対応している。これにより、画素間の均一性をより向上することができる。

[0101] また、本発明に係る表示装置において、隣り合う第1電極間の間隙は、第1の色画素に対応する画素領域と、該画素領域に隣接し、第1の色画素と異なる第2の色画素に対応する画素領域との境界上に位置しており、上記スリットは、上記第1電極が重畳している領域における、第1の色画素に対応する画素領域と、該画素領域に隣接する、第2の色画素に対応する画素領域との境界上に設けられていることが好ましい。

[0102] 上記構成によれば、第1電極間の間隙にかかっている色画素と同一の色画素に対して、スリットを設けている。そのため、同一の色画素間において物理的、電氣的不均一が生じることを抑えることができる。また、特定の色画素の間にスリットが設けられていればよく、間隙がかかっていない色画素については必ずしもスリットを設ける必要がないため、スリットの数进行少なくすることができ、電極のインピーダンスの上昇を抑制することができる。

[0103] また、本発明に係る表示装置において、上記スリットの長さは、上記境界を形成する画素領域の一辺の長さよりも短いことが好ましい。

- [0104] 上記構成によれば、画素ごとにスリットを設けることができ、パターンニングの自由度が高まるとともに、スリットの総面積を小さくすることができ、電極のインピーダンスの上昇を抑制することができる。
- [0105] また、本発明に係る表示装置において、上記スリットの長さは、上記境界を形成する画素領域の一辺の長さよりも長いことが好ましい。
- [0106] 上記構成によれば、スリットが、第1電極間の間隙に、よりよく擬似化され、色画素間の均一性をより向上させることができる。
- [0107] また、本発明に係る表示装置において、上記複数の第2電極は、上記複数の第1電極と同一層に形成されており、上記画素電極との間で電界を生じさせて上記表示機能層の状態を変化させる電極を兼ねており、上記複数の第2電極の少なくとも1つには、スリットが、上記第1電極に設けられた上記スリットと同じ形態で設けられていることが好ましい。
- [0108] 上記構成によれば、複数の第2電極は第1電極の形成層にあって第1電極とともに画像表示用のコモン電極として機能し得る。そして、第2電極にも同様に、色画素間の不均一性の発生を抑えるスリットが設けられている。これらによって、より均一性を確保でき、表示品位を保つことができる。
- [0109] また、本発明に係る表示装置において、上記スリットは、直接的に表示に寄与する画素領域の表示寄与部に近接していることが好ましい。
- [0110] ここで、直接的に表示に寄与するとは、画素電極が形成されており、光を透過することにより、画像形成に寄与することをいう。上記構成によれば、スリットが表示寄与部に近接しているため、スリットを設けたことによる影響が表示寄与部に達し得る。そのため、第1電極間の間隙による影響を擬似化でき、色画素間の不均一をより効果的に解消することができる。
- [0111] また、本発明に係る表示装置において、上記スリットの側部の形状は、上記画素電極の側部の形状の一部と相補的であることが好ましい。
- [0112] 上記構成によれば、画素電極の側部に沿うようにスリットが形成されるため、画素単位での表示品位を損なうことなく、色画素間の均一性をより向上させることができる。

[0113] また、本発明に係る表示装置では、上記基板に、上記行列配置の行方向または列方向に沿って延びる配線が形成されており、上記スリットは、上記配線と重畳して設けられており、上記スリットの幅は、上記配線の幅以下であることが好ましい。

[0114] 一般的に配線がある領域は光が透過せず、表示には直接寄与しない。そのため、上記構成によれば、表示に直接寄与しない領域にスリットが設けられているため、画素単位での表示品位を損なうことなく、色画素間の均一性をより向上させることができる。

[0115] また、本発明に係る表示装置において、上記スリットの幅は、上記隣り合う画素領域のそれぞれにある上記画素電極の間の間隙の幅以下であることが好ましい。

[0116] 画素電極のない領域は、表示機能層に画像表示機能を発揮させることができない。そのため、画素電極のない領域は、表示には直接寄与しない。そのため、上記構成によれば、表示に直接寄与しない領域にスリットが設けられているため、画素単位での表示品位を損なうことなく、色画素間の均一性をより向上させることができる。

[0117] また、本発明に係る表示装置において、上記複数の第1電極は、上記複数の画素電極と対向して設けられており、上記表示機能層は、上記複数の画素電極の層と上記複数の第1電極の層との間に設けられていることが好ましい。

産業上の利用可能性

[0118] 本発明は、タッチパネルを搭載した表示パネルを有する表示装置に利用することができる。

符号の説明

- [0119]
- | | |
|-----|------------|
| 1 | 表示装置 |
| 1 1 | 回路基板（基板） |
| 1 2 | 画素電極 |
| 1 3 | 液晶層（表示機能層） |

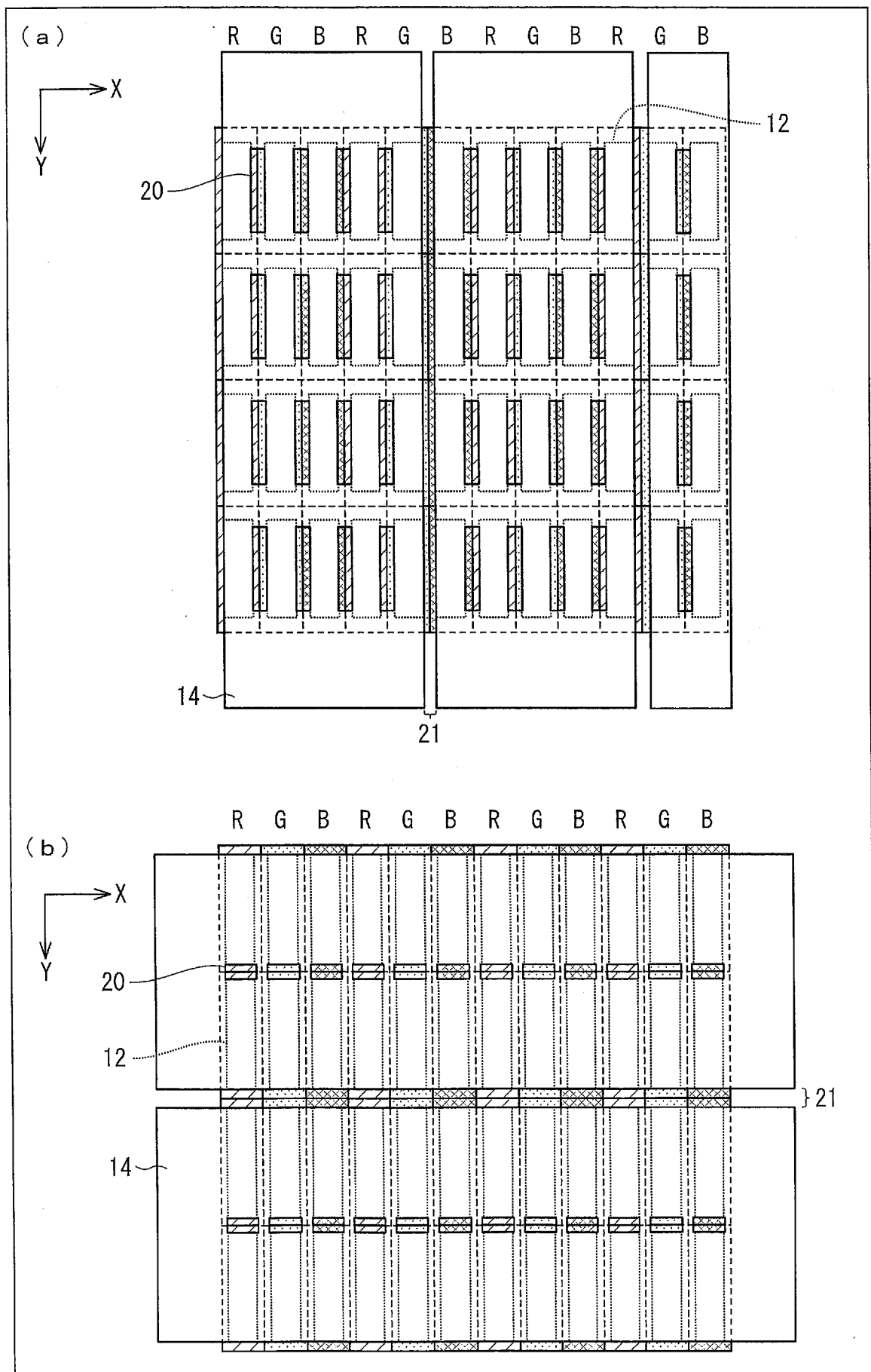
- 1 4 駆動電極（第 1 電極）
- 1 5 対向基板
- 1 6 検出電極（第 2 電極）
- 1 7 保護層
- 1 8 絶縁膜
- 2 0 スリット
- 2 1 分離領域
- 3 0 C s 電極（配線）
- 3 1 ソースバスライン（配線）
- 3 2 ゲートバスライン（配線）

請求の範囲

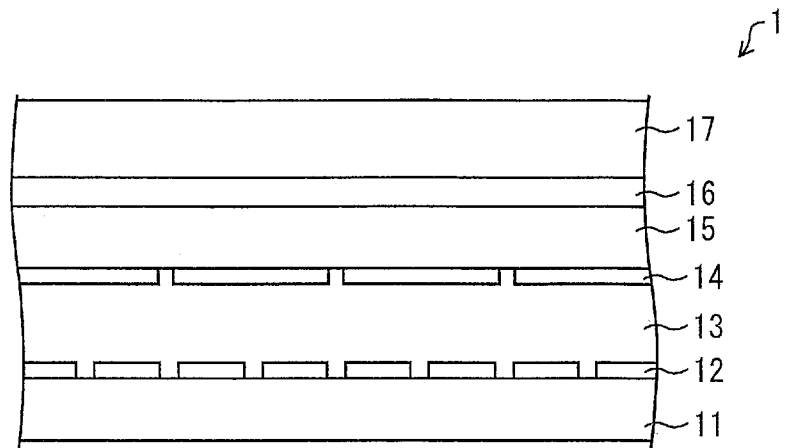
- [請求項1] 基板と、
 上記基板と平行な面上に行列配置された複数の画素電極と、
 上記複数の画素電極に供給される画像信号に基づいて画像表示機能を発揮する表示機能層と、
 上記画素電極との間で電界を生じさせて上記表示機能層の状態を変化させる、同一層に互いに間隔を空けて設けられた複数の第1電極と、
 、
 それぞれが上記複数の第1電極に容量結合する同一層の複数の第2電極と、を備えており、
 上記複数の第1電極の少なくとも1つには、スリットが設けられていることを特徴とする表示装置。
- [請求項2] 上記スリットは、行方向または列方向において隣り合う画素領域の境界上に設けられていることを特徴とする請求項1に記載の表示装置。
- [請求項3] 上記スリットは、行方向または列方向において隣り合う画素領域間のピッチと同一ピッチで設けられていることを特徴とする請求項2に記載の表示装置。
- [請求項4] 隣り合う第1電極間の間隙は、第1の色画素に対応する画素領域と、該画素領域に隣接し、第1の色画素と異なる第2の色画素に対応する画素領域との境界上に位置しており、
 上記スリットは、上記第1電極が重畳している領域における、第1の色画素に対応する画素領域と、該画素領域に隣接する、第2の色画素に対応する画素領域との境界上に設けられていることを特徴とする請求項2に記載の表示装置。
- [請求項5] 上記スリットの長さは、上記境界を形成する画素領域の一辺の長さよりも短いことを特徴とする請求項2～4の何れか1項に記載の表示装置。

- [請求項6] 上記スリットの長さは、上記境界を形成する画素領域の一辺の長さよりも長いことを特徴とする請求項2～4の何れか1項に記載の表示装置。
- [請求項7] 上記複数の第2電極は、上記複数の第1電極と同一層に形成されており、上記画素電極との間で電界を生じさせて上記表示機能層の状態を変化させる電極を兼ねており、上記複数の第2電極の少なくとも1つには、スリットが、上記第1電極に設けられた上記スリットと同じ形態で設けられていることを特徴とする請求項1～6の何れか1項に記載の表示装置。
- [請求項8] 上記スリットは、直接的に表示に寄与する画素領域の表示寄与部に近接していることを特徴とする請求項1～7の何れか1項に記載の表示装置。
- [請求項9] 上記スリットの側部の形状は、上記画素電極の側部の形状の一部と相補的であることを特徴とする請求項1～8の何れか1項に記載の表示装置。
- [請求項10] 上記基板に、上記行列配置の行方向または列方向に沿って延びる配線が形成されており、
 上記スリットは、上記配線と重畳して設けられており、
 上記スリットの幅は、上記配線の幅以下であることを特徴とする請求項1に記載の表示装置。
- [請求項11] 上記スリットの幅は、上記隣り合う画素領域のそれぞれにある上記画素電極の間の間隙の幅以下であることを特徴とする請求項2に記載の表示装置。
- [請求項12] 上記複数の第1電極は、上記複数の画素電極と対向して設けられており、
 上記表示機能層は、上記複数の画素電極の層と上記複数の第1電極の層との間に設けられていることを特徴とする請求項1～11の何れか1項に記載の表示装置。

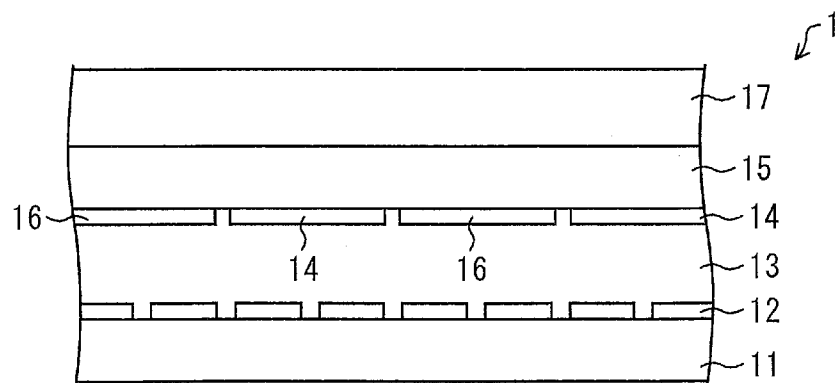
[図1]



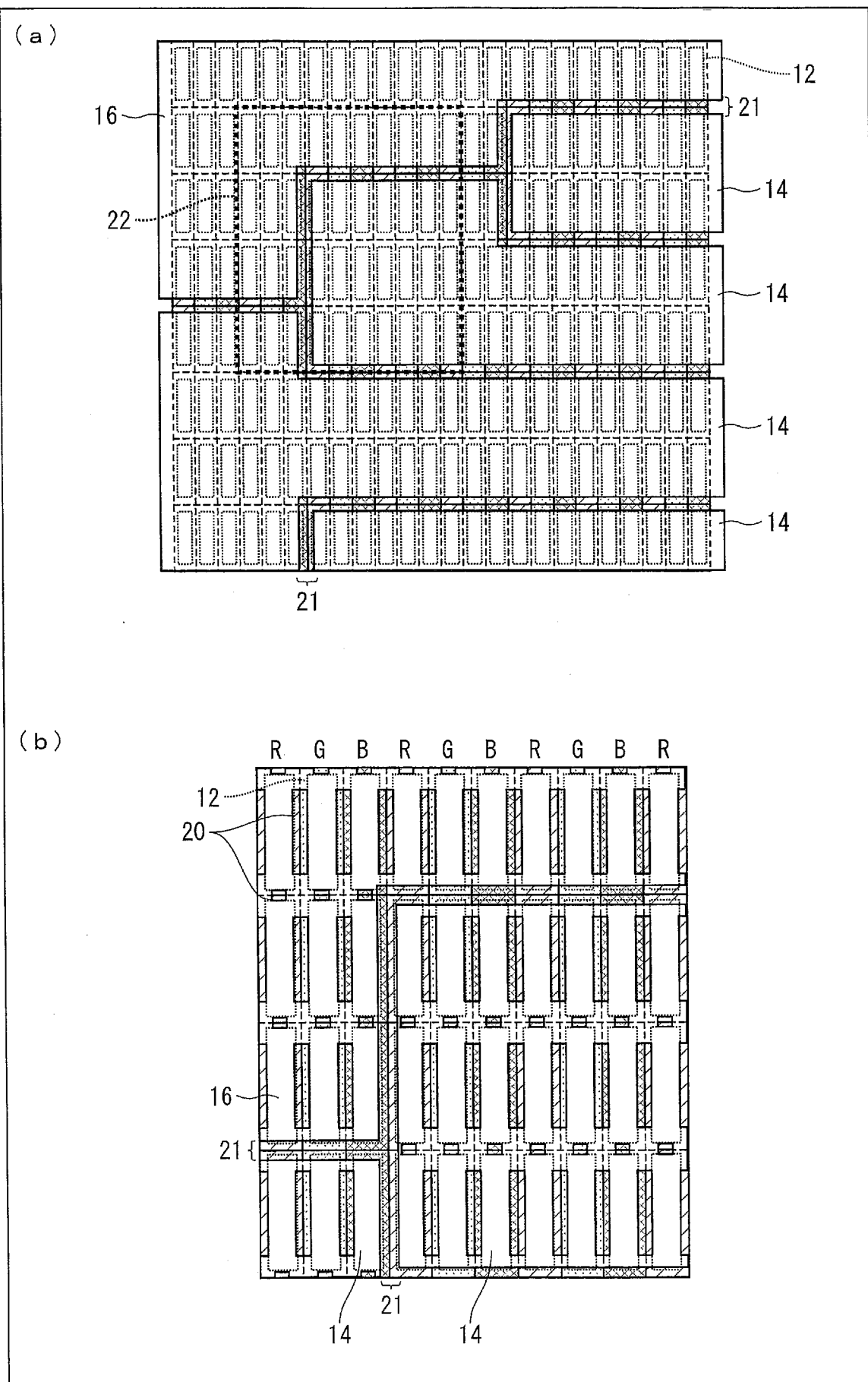
[図2]



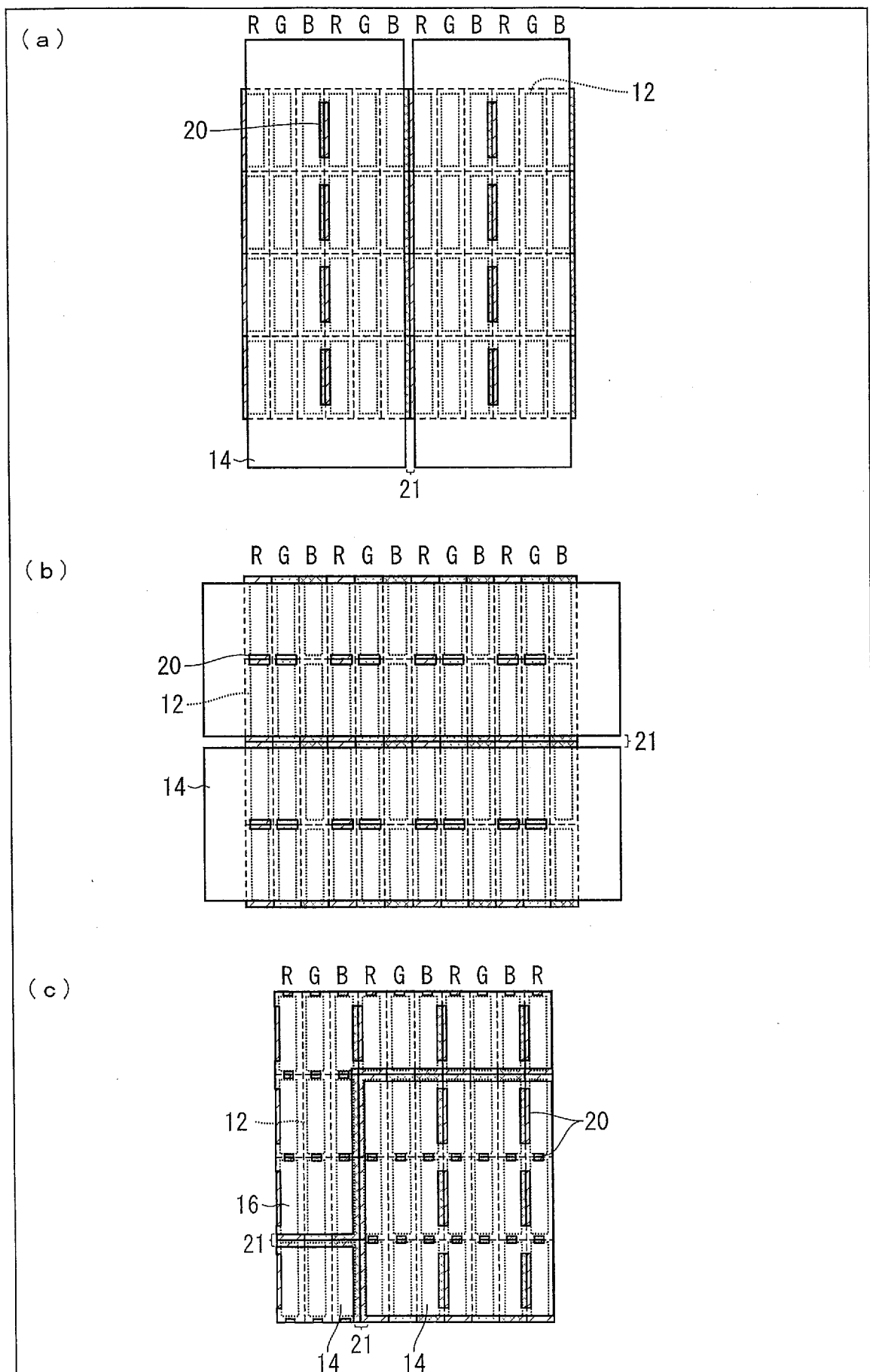
[図3]



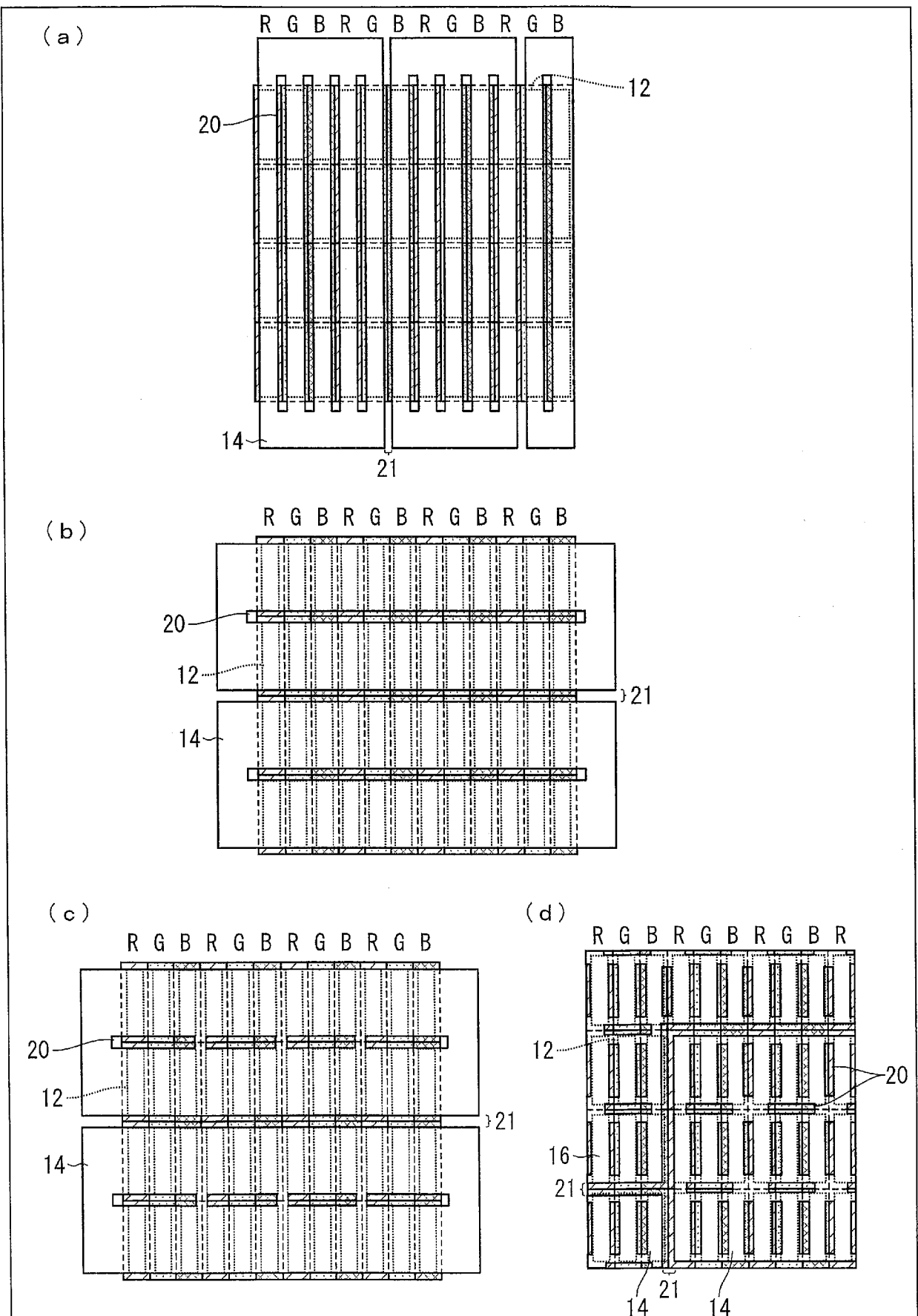
[図4]



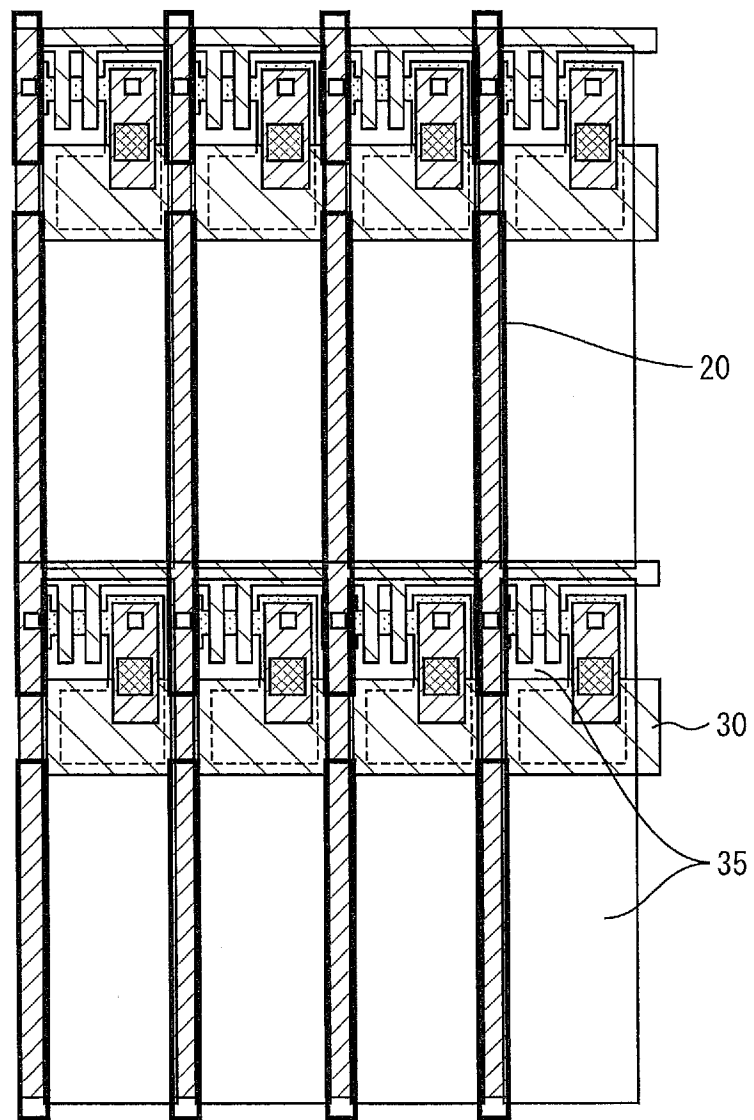
[図5]



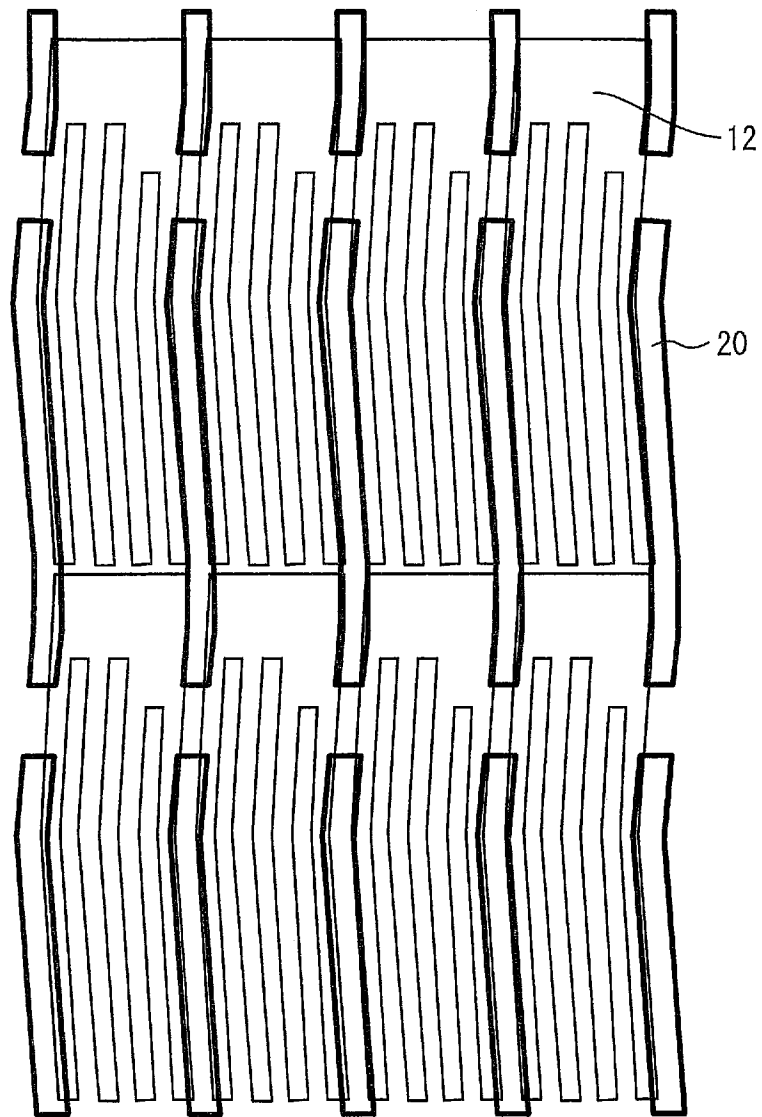
[図6]



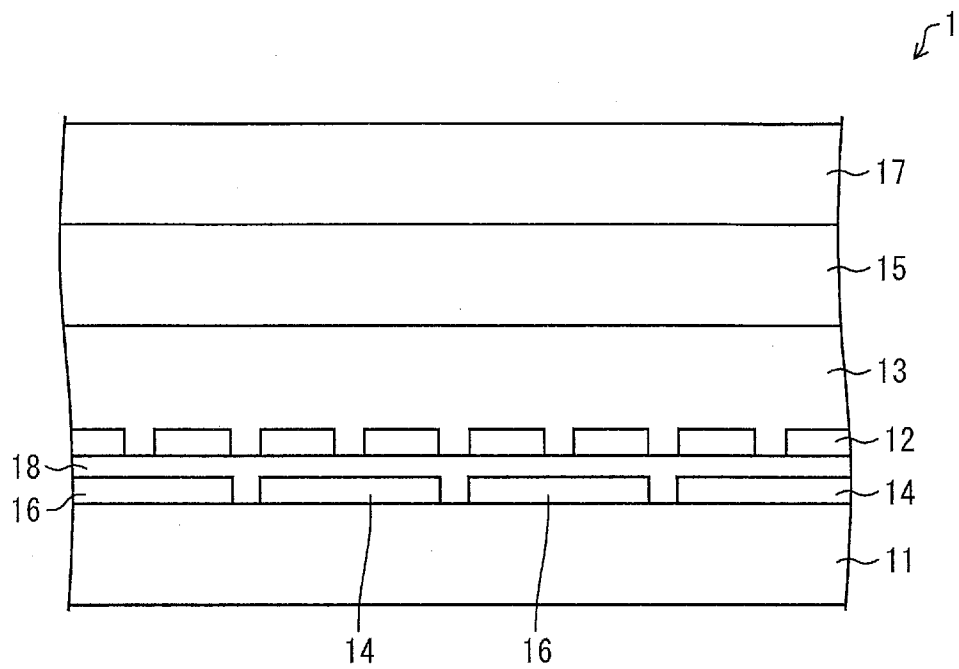
[図7]



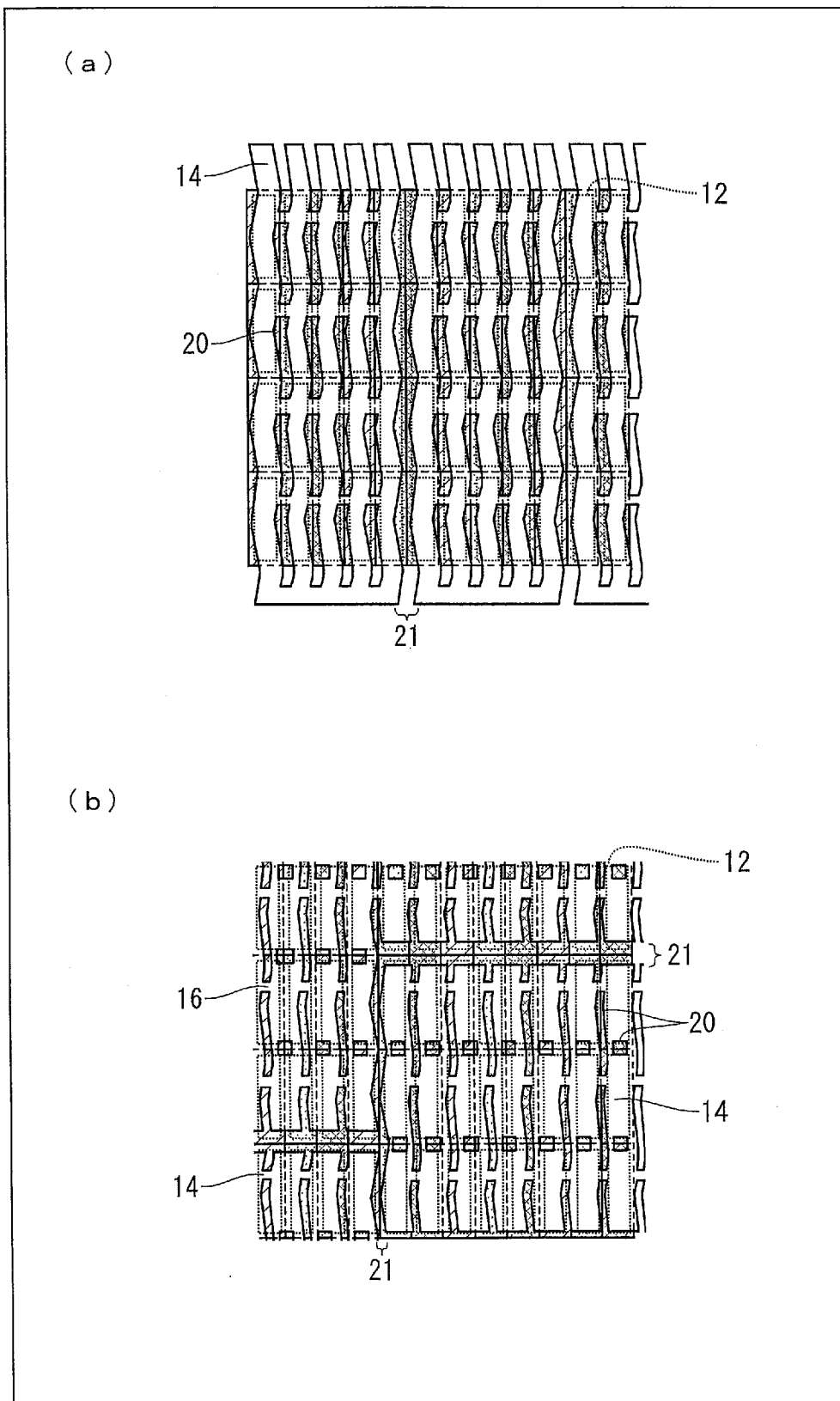
[図8]



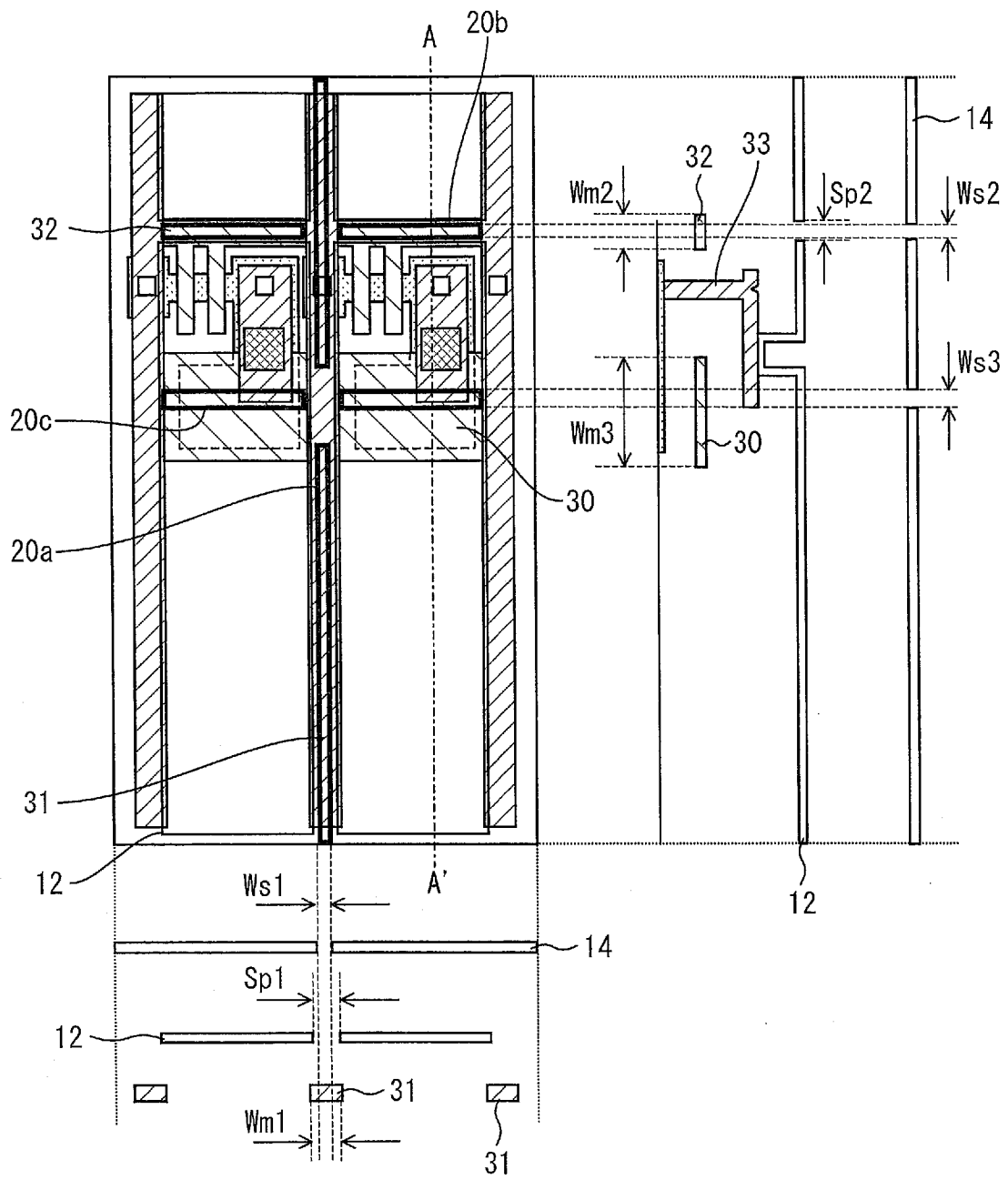
[図9]



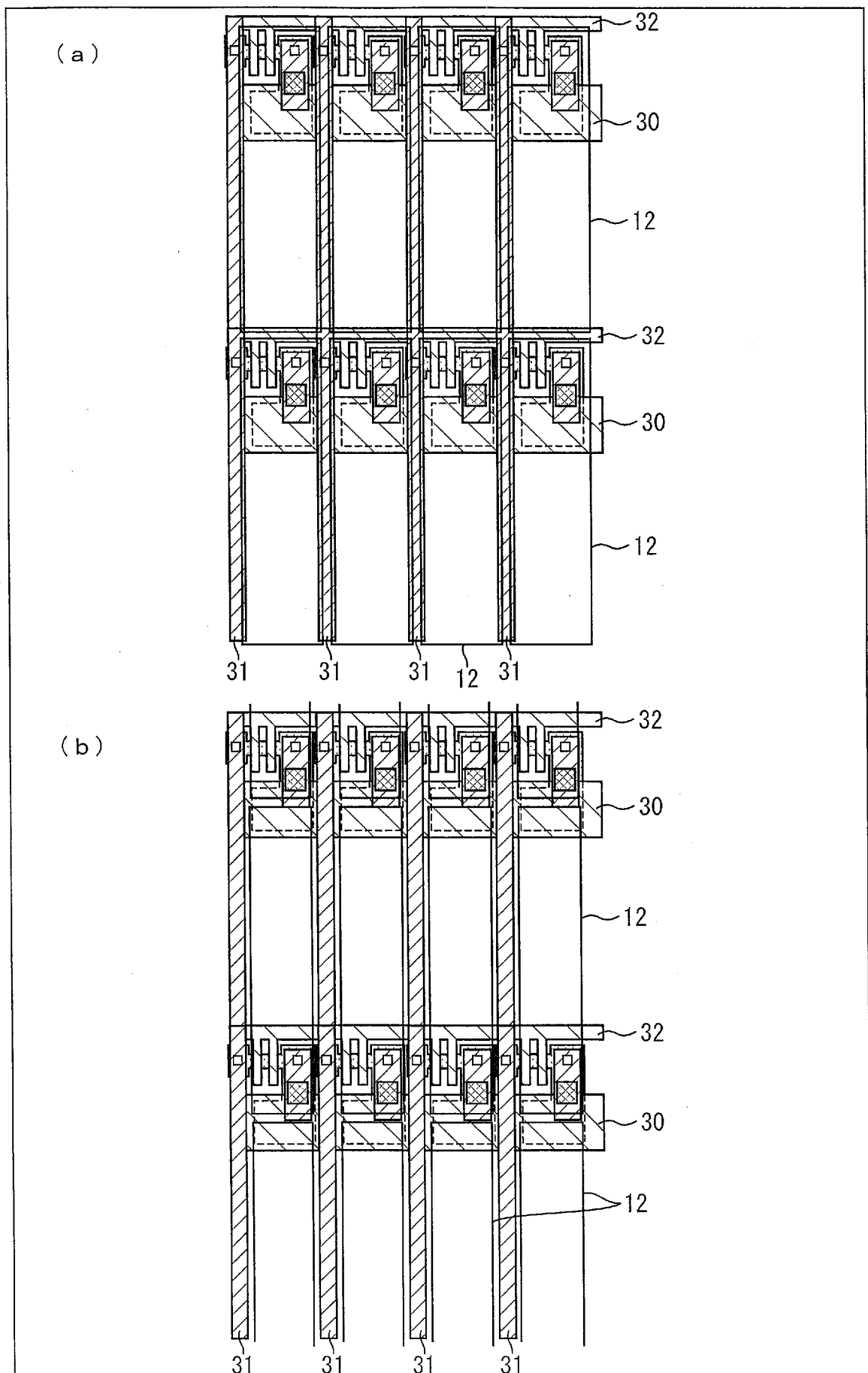
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/077098

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1343(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1343, G09F9/00, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-197576 A (Sony Corp.), 09 September 2010 (09.09.2010), paragraphs [0027], [0034], [0039] to [0056], [0063]; fig. 4, 7, 11 & US 2010/0214262 A1	1-12
Y	JP 2009-237519 A (Seiko Epson Corp.), 15 October 2009 (15.10.2009), paragraphs [0089] to [0102]; fig. 13 & US 2009/0135209 A1	1-12
Y	JP 2009-98834 A (Epson Imaging Devices Corp.), 07 May 2009 (07.05.2009), paragraph [0027]; fig. 2 (Family: none)	7-9, 12

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 December, 2011 (15.12.11)Date of mailing of the international search report
27 December, 2011 (27.12.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G02F1/1343 (2006.01)i, G09F9/00 (2006.01)i, G09F9/30 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/1343, G09F9/00, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-197576 A（ソニー株式会社）2010.09.09, 段落【0027】、【0034】、【0039】－【0056】、【0063】、【図4】、【図7】、【図11】 & US 2010/0214262 A1	1-12
Y	JP 2009-237519 A（セイコーエプソン株式会社）2009.10.15, 段落【0089】－【0102】、【図13】 & US 2009/0135209 A1	1-12
Y	JP 2009-98834 A（エプソンイメージングデバイス株式会社）2009.05.07, 段落【0027】、【図2】（ファミリーなし）	7-9, 12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 1 2 . 2 0 1 1

国際調査報告の発送日

2 7 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

2 L

3 6 1 1

▲高▼木 尚哉

電話番号 03-3581-1101 内線 3255