

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成30年7月5日(2018.7.5)

【公開番号】特開2017-58911(P2017-58911A)
 【公開日】平成29年3月23日(2017.3.23)
 【年通号数】公開・登録公報2017-012
 【出願番号】特願2015-182677(P2015-182677)
 【国際特許分類】

G 0 6 F 1/04 (2006.01)

G 0 6 F 1/28 (2006.01)

H 0 3 L 3/00 (2006.01)

H 0 3 L 7/00 (2006.01)

【F I】

G 0 6 F 1/04 5 7 0

G 0 6 F 1/28 C

H 0 3 L 3/00

H 0 3 L 7/00 A

【手続補正書】

【提出日】平成30年5月24日(2018.5.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体装置は、

電源電圧の変動より速い速度で電源電圧をサンプリングし、前記電源電圧を符号化して電圧コード値を生成する電圧センサと、

前記電圧コード値に基づいて電圧低下を検出する電圧低下判定回路と、

クロックを生成するクロック制御回路と、

を備え、

前記クロック制御回路は、

前記電圧低下判定回路が電圧低下を検出するときに前記クロックを停止し、前記クロックの停止後に電源変動が安定するまでの期間前記クロックを停止する回路と、

前記クロックの再開時、前記クロックの周波数を段階的に上げて前記クロックの停止前の周波数まで戻す回路と、

を備える。

【請求項2】

請求項1の半導体装置において、

前記クロックを停止する期間を設定するレジスタと前記段階的に上げる周波数を設定するレジスタとを備える。

【請求項3】

請求項1の半導体装置において、

前記電圧低下判定回路は、

前記電圧コード値から電圧値を求める演算回路と、

前記演算回路で求めた電圧値とレジスタに設定された所定の電圧値とを比較して電圧低下を判定する回路と、

を備える。

【請求項 4】

請求項 3 の半導体装置において、

前記演算回路は、絶対値演算回路、平均値演算回路、変動値演算回路および変動予測値演算回路のうち少なくとも 2 つの演算回路を備え、

複数の前記演算回路のうちどの演算回路の結果用いるかを指定するレジスタを備える。

【請求項 5】

請求項 1 の半導体装置において、

前記電圧低下判定回路は、前記電圧コード値の履歴から電圧値を先読みし変動値を予測する予測演算回路を備える。

【請求項 6】

請求項 5 の半導体装置において、

前記予測演算回路は、所定サイクルの間、予測値の微分値が連続して負となる場合に予測値をマスクする回路を備える。

【請求項 7】

請求項 1 の半導体装置において、

前記電圧センサは、

サンプリングクロックのエッジをデータ入力とする TDC と、

前記 TDC の出力を符号化するエンコーダと、

を備える。

【請求項 8】

請求項 7 の半導体装置において、

前記エンコーダは、前記 TDC のビット列のデータが変化する位置のうち最も下位ビット側で電圧コードに符号化するよう構成される。

【請求項 9】

請求項 7 の半導体装置において、

前記サンプリングクロックの周波数は前記電源電圧の変動より 20 倍以上速く、前記クロックの周波数の $1/N$ であり、 N は自然数である。

【請求項 10】

半導体装置は、

電源電圧の変動より 20 倍以上速い速度で電源電圧をサンプリングし、前記電源電圧を符号化して電圧コード値を生成する電圧センサと、

前記電圧コード値に基づいて電圧低下を検出する電圧低下判定回路と、

前記電圧低下判定回路が電圧低下を検出するときに、クロックを停止または低速化するクロック制御回路と、

を備える。

【請求項 11】

請求項 10 の半導体装置において、

前記電圧センサは、

サンプリングクロックのエッジをデータ入力とする TDC と、

前記 TDC の出力を符号化するエンコーダと、

を備え、

前記サンプリングクロックの周波数は、前記クロックの周波数の $1/N$ であり、 N は自然数である。

【請求項 12】

請求項 11 の半導体装置において、

前記エンコーダは、前記 TDC のビット列のデータが変化する位置のうち最も下位ビット側で電圧コードに符号化するよう構成される。

【請求項 13】

請求項 10 の半導体装置において、

前記電圧低下判定回路は、
前記電圧コード値から電圧値を求める演算回路と、
前記演算回路で求めた電圧値とレジスタに設定された所定の電圧値とを比較して電圧低下を判定する回路と、
を備える。

【請求項 14】

請求項 13 の半導体装置において、
前記演算回路は、絶対値演算回路、平均値演算回路、変動値演算回路、変動予測値演算回路のいずれかの演算回路である。

【請求項 15】

請求項 14 の半導体装置において、
前記電圧低下判定回路は、前記電圧コード値の履歴から電圧値を先読みし変動値を予測する予測演算回路を備える。

【請求項 16】

請求項 15 の半導体装置において、
前記予測演算回路は、所定サイクルの間、予測値の微分値が連続して負となる場合に予測値をマスクするよう構成される。

【請求項 17】

請求項 10 の半導体装置において、
前記クロック制御回路は、前記クロックの停止後に電源変動が安定するまでの期間前記クロックを停止または低速化し、前記クロックの再開時前記クロックの周波数を段階的に上げて前記クロックの停止前の周波数まで戻すよう構成される。

【請求項 18】

請求項 17 の半導体装置において、
前記クロックを停止または低速化する期間を設定するレジスタと前記段階的に上げる周波数を設定するレジスタとを備える。

【請求項 19】

半導体装置は、
CPUと、
電源電圧が所定の電圧値よりも低下したときに前記CPUに供給するクロックを停止し、前記クロックの停止後に所定の期間前記クロックを停止し、前記クロックの再開時の前記クロックの周波数を所定の周波数ずつ段階的に上げて前記クロックの停止前の周波数まで戻すクロック制御回路と、
前記所定の電圧値を格納する第1レジスタと、
前記所定の期間を格納する第2レジスタと、
前記所定の周波数を格納する第3レジスタと、
を備え、
前記CPUは前記第1乃至第3レジスタにそれぞれの値を設定するよう構成される。

【請求項 20】

請求項 19 の半導体装置において、さらに
前記電源電圧を前記クロックの周波数の $1/N$ (N は自然数) の周波数のクロックでサンプリングし、前記電源電圧を符号化して電圧コード値を生成する電圧センサと、
前記電圧コード値に基づいて電圧低下を検出する電圧低下判定回路と、
を備え、
前記電圧低下判定回路は、
前記電圧コード値から電圧値を求める演算回路と、
前記演算回路で求めた電圧値と前記所定の電圧値とを比較して電圧低下を判定する回路と、
を備える。