



Wirtschaftspatent

Erteilt gemäß § 5 Absatz 1 des Änderungsgesetzes
zum Patentgesetz

ISSN 0433-6461

(11)

204 785

Int.Cl.³

3(51) G 06 F 9/46

AMT FUER ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F/ 2387 950

(22) 07.04.82

(44) 07.12.83

(71) INGENIEURHOCHSCHULE DRESDEN;DD;

(72) STANGE, HORST, DR.-ING.; HARZ, WOLF-DIETRICH, DIPL.-ING.; DD;

(73) siehe (72)

(74) INGENIEURHOCHSCHULE DRESDEN BFN 8019 DRESDEN HANS-GRUNDIG-STR. 25

(54) MEHRPROZESSORSYSTEM FUER PARALLELARBEIT

(57) Die Erfindung betrifft ein Mehrprozessorsystem für Parallelarbeit, das einen Regieprozessor und mehrere Arbeitsprozessoren enthält, die über einen Verteiler, bestehend aus einer Prioritätslogikschaltung, einem Adressenmultiplexer, einem Datenmultiplexer und einer Steuerlogikschaltung, mit einem Kommunikationsspeicher verbunden sind. Es besteht die Aufgabe, durch eine geeignete Verbindungsstruktur zwischen den Prozessoren und dem Kommunikationsspeicher eine konfliktlose Kopplung zu erreichen, wobei jeder der Prozessoren die Möglichkeit hat, über den Regieprozessor in den Arbeitsablauf der anderen Prozessoren einzugreifen. Die Lösung besteht darin, daß die Prioritätslogikschaltung einerseits über Anforderungsleitungen mit dem Regieprozessor und den Arbeitsprozessoren verbunden ist, andererseits über Steuerleitungen mit dem Datenmultiplexer und dem Adressenmultiplexer in Verbindung steht und drittens über eine Freigabeleitung zur Aktivierung des Kommunikationsspeichers an den Kommunikationsspeicher angeschlossen ist. Eine Unterbrechungslogikschaltung ist zwischen dem Regieprozessor und den anderen Arbeitsprozessoren geschaltet. Die Prioritätslogikschaltung weist eine geeignete Verbindungsstruktur ihrer logischen Glieder auf.

238795 0

Mehrprozessorsystem für Parallelarbeit

Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Mehrprozessorsystem für Parallelarbeit, dessen Struktur und Steuerung nicht fest an eine Aufgabenklasse gebunden ist und das insbesondere für die Simulation kontinuierlicher Prozesse und zur Prozeßdatenverarbeitung und -steuerung verwendet wird.

Charakteristik der bekannten technischen Lösungen

Es ist ein Mehrprozessorsystem für Parallelarbeit bekannt (Stange, H.: Entwurf eines Multiprozessor-Versuchs-Systems zur Parallelverarbeitung, Wissenschaftliche Beiträge, IH Dresden, 6/80), das einen Regieprozessor, einen E/A-Prozessor und mehrere Arbeitsprozessoren enthält. Diese Prozessoren sind über einen Verteiler, der aus einer Prioritätslogikschaltung, einem Adressenmultiplexer, einem Datenmultiplexer und einer Steuerlogikschaltung besteht, mit einem Kommunikationsspeicher verbunden.

238795 0

Die Steuerung und Aufgabenverteilung übernimmt der Regieprozessor. Dadurch arbeitet das System nach dem Master-Slave-Prinzip. Um eine möglichst hohe Transfergeschwindigkeit in der zeitkritischen Datenaustauschphase zu erzielen, wird der Austausch über einen Speicherladezyklus mit Hilfe von Multiplexern vorgenommen. Die höchste erzielbare Übertragungsgeschwindigkeit hängt von der zu Übertragenden Blocklänge ab. Unterhalb einer bestimmten Bytezahl für die Blocklängen ist die CPU-Steuerung günstiger. Bei der Prioritätsverteilung ist zu beachten, daß der Regieprozessor die höchste Priorität erhält. Die Prioritätslogikschaltung entscheidet, ob eine Anforderung mit einer höheren Priorität sofort berücksichtigt wird oder ob durch eine zusätzliche Logikschaltung die Genehmigung zum Datenaustausch so lange erhalten bleibt, wie die Anforderung des beteiligten Prozessors anliegt.

Der Nachteil dieses bekannten Mehrprozessorsystems für Parallelarbeit besteht darin, daß bei genehmigtem Datenaustausch über die Prioritätslogikschaltung eine Anforderung mit höherer Priorität den Datentransfer eines Wertes unterbrechen kann und damit Instabilitäten im Ablauf möglich sind. Ein weiterer Nachteil ist es, daß die einzelnen Prozessoren keine Möglichkeit besitzen, auf den Arbeitsablauf anderer Prozessoren einzuwirken.

Ziel der Erfindung

Das Ziel der Erfindung ist es, die Transfergeschwindigkeit zu steigern, Zugriffskonflikte sicher zu vermeiden und Steuerungsmöglichkeiten zwischen den Prozessoren zu schaffen.

238795 0

Darlegung des Wesens der Erfindung

Die Aufgabe der Erfindung besteht darin, ein Mehrprozessor-system für Parallelarbeit anzugeben, in dem durch eine geeignete Verbindungsstruktur zwischen den Prozessoren und dem Kommunikationsspeicher eine konfliktlosere Kopplung erreicht wird, wobei jeder der Prozessoren die Möglichkeit hat, über den Regieprozessor in den Arbeitsablauf der anderen Prozessoren einzugreifen.

Die Aufgabe der Erfindung wird dadurch gelöst, daß die Prioritätslogikschaltung einerseits über Anforderungsleitungen mit dem Regieprozessor und den Arbeitsprozessoren verbunden ist. Andererseits steht sie über Steuerleitungen mit dem Datenmultiplexer und dem Adressenmultiplexer in Verbindung. Über eine Freigabeleitung zur Aktivierung des Kommunikationsspeichers ist die Prioritätslogikschaltung an den Kommunikationsspeicher angeschlossen.

Erfindungsgemäß ist zwischen dem Regieprozessor und den Arbeitsprozessoren eine Unterbrechungslogikschaltung derart geschaltet, daß der Regieprozessor über eine Sammelunterbrechungsleitung zur Übermittlung gespeicherter Unterbrechungssignale der Arbeitsprozessoren, eine Bestätigungsleitung und eine weitere Unterbrechungsleitung zur Übermittlung von Unterbrechungssignalen und Adreßinformationen an die Arbeitsprozessoren an die Unterbrechungslogikschaltung angeschlossen ist. Zwischen den Arbeitsprozessoren und der Unterbrechungslogikschaltung befinden sich jeweils Unterbrechungsleitungen zur Übermittlung von Unterbrechungssignalen an den Regieprozessor. Der Regieprozessor und die Arbeitsprozessoren sind über die Adressen- und Datenmultiplexer mit dem gemeinsamen Kommunikationsspeicher verbunden. Der Adressen- und Datenmultiplexer werden durch die Steuerlogikschaltung gesteuert, d. h. es liegt sowohl eine Richtungssteuerung für die Daten als auch eine Prozessorsteuerung vor. Die Steuerlogikschaltung wirkt mit der Prioritätslogikschaltung zusammen, sie

238795 0

entscheidet nach Anforderung, welcher Prozessor zum Kommunikationsspeicher durchgeschaltet wird. Dabei arbeiten die anderen Prozessoren im lokalen Bereich weiter bzw. gehen in einen kurzzeitigen WAIT-Zustand über, wenn sie auf eine Freigabe bezüglich des Kommunikationsspeichers warten. Der WAIT-Zustand wird nur dann gebildet, wenn bereits ein anderer Prozessor über den gemeinsamen Bus zum Kommunikationsspeicher zugreift. Deshalb ist die Prioritätslogikschaltung derart aufgebaut, daß der Regieprozessor die höchste Priorität besitzt, alle anderen Arbeitsprozessoren haben die gleiche Priorität und erhalten über einen Zählerbaustein jeweils für eine bestimmte Zeit die Freigabe für die Belegung des Kommunikationsspeichers. Ein einmal genehmigter Datentransfer wird auch zu Ende geführt. Jeder Prozessor besitzt seinen eigenen Adressenbereich. Die Kennzeichnung des Speicherbereiches des Kommunikationsspeichers erfolgt über ein festgelegtes Adreßbit. Somit sind zum Verkehr mit dem Kommunikationsspeicher keine Besonderheiten bezüglich der Programmierung zu beachten, so daß dazu normale Lese/Schreibbefehle verwendet werden können.

Die Prioritätslogikschaltung ist so aufgebaut, daß jedem Prozessor eine Teilschaltung zugeordnet ist, in die jeweils eingangsseitig eine Anforderungsleitung von den Prozessoren aus führt. Für die den Arbeitsprozessoren zugeordneten Teilschaltungen ist eingangsseitig außerdem eine Ausgangsleitung eines Zählerbausteins vorhanden. Jede Teilschaltung besitzt ausgangsseitig eine WAIT-Signalleitung für die Prozessoren und eine Freigabeleitung für den Kommunikationsspeicher. Durch die Existenz dieser Leitungen ist ein entsprechender Aufbau der Prioritätslogikschaltung notwendig. Der Regieprozessor besitzt die höchste Priorität, die Arbeitsprozessoren werden über eine Ringpriorität bedient. Ein genehmigter Datentransfer wird dabei nicht unterbrochen, dies wird hardwaremäßig über eine jeweilige Freigabeleitung realisiert. Die Anforderungsleitungen der Teilschaltungen sind so verschaltet (z. B. über NAND-Glieder), daß in Abhängigkeit vom momentanen Zustand der Busbelegung entweder der Datentransfer über eine

238795 0

Freigabeleitung genehmigt wird oder die WAIT-Leitung übermittelt dem anfordernden Prozessor das WAIT-Signal. Über die Anforderungsleitung des Regieprozessors, die in alle Teilschaltungen der Prioritätslogikschaltung führt, werden alle Arbeitsprozessoren blockiert, sobald eine Anforderung vom Regieprozessor vorliegt. Über die Ausgangsleitungen des Zählerbausteins gelangen dessen Ausgangssignale auf die entsprechende Teilschaltung. Diese Ausgangssignale erteilen für jeweils eine Taktperiode einem der Arbeitsprozessoren eine Freigabe für eine Busanforderung zum Kommunikationsspeicher. Die Teilschaltungen der Arbeitsprozessoren besitzen Halteleitungen, die einen einmal genehmigten Datenaustausch solange aufrecht erhalten, solange das Anforderungssignal anliegt.

Ausführungsbeispiel

Die Erfindung wird anhand des folgenden Ausführungsbeispiels näher erläutert. Es zeigen:

Fig. 1 Dreiprozessorsystem für Parallelarbeit und

Fig. 2 Prioritätslogikschaltung eines Dreiprozessorsystems.

In Fig. 1 ist ein erfindungsgemäßes Mehrprozessorsystem in Form eines Dreiprozessorsystems dargestellt, das einen Regieprozessor 1 und zwei Arbeitsprozessoren 2 und 3 enthält. Der Regieprozessor 1 und die beiden Arbeitsprozessoren 2 und 3 sind mit dem Kommunikationsspeicher 4 derart gekoppelt, daß ihre lokalen Adressenbusse 5 über den Adressenmultiplexer 6 und ihre lokalen Datenbusse 7 über den Datenmultiplexer 8 mit dem Sammelbus 9 verbunden sind. Der Regieprozessor 1 besitzt z. B. als lokale Funktionseinheiten den Schreib/Lesespeicher 10, den Lesespeicher 11, den Lochbandleser 12. Die beiden Arbeitsprozessoren 2 und 3 weisen u. a. ebenfalls die Schreib/Lesespeicher 13 bzw. 14 und den Lesespeicher 15 bzw. 16 auf.

238795 0

Die Buskopplung ist in der Weise gestaltet, daß zwei von den drei Prozessoren mit ihren lokalen Funktionseinheiten arbeiten können, wenn einer der Prozessoren mit dem gemeinsamen Kommunikationsspeicher 4 korrespondiert.

Vom Regieprozessor 1 gehen die Anforderungsleitungen 17 zur Prioritätslogikschaltung 18. Ebenso führen die Anforderungsleitungen 19 und 20 von den Arbeitsprozessoren 2 und 3 an die Prioritätslogikschaltung 18. Diese Prioritätslogikschaltung 18 steuert über Steuerleitungen 21 die Daten- und Adressenmultiplexer 6 und 8 und aktiviert über die Freigabeleitung 22 den Kommunikationsspeicher 4. Bei nichtgewährtem Zugriff geht von der Prioritätslogikschaltung 18 über die Anforderungsleitungen 17 ein Signal auf den WAIT-Eingang des Regieprozessors 1. Das gleiche trifft auch auf die Arbeitsprozessoren 2 und 3 zu. Der Regieprozessor 1 und die Arbeitsprozessoren 2 und 3 stehen über die Unterbrechungslogikschaltung 23 miteinander in Verbindung. Über die Unterbrechungsleitungen 24 und 25 können die Arbeitsprozessoren 2 und 3 dem Regieprozessor 1 ein Unterbrechungssignal senden. Die Dekodierung des sendenden Arbeitsprozessors 2 oder 3 und die Bestätigungsmeldung durch den Regieprozessor 1 erfolgt über die Unterbrechungslogikschaltung 23. An dieser Unterbrechungslogikschaltung 23 werden die Unterbrechungssignale der Arbeitsprozessoren 2 bzw. 3 gespeichert und von dort über die Sammelunterbrechungsleitung 26 dem Regieprozessor 1 zugeführt. Die Sammelunterbrechungsleitung 26 führt auf eine Zusatzschaltung 27, die dem Regieprozessor 1 zugeordnet ist. Die Zusatzschaltung 27 leitet das Unterbrechungssignal zur Zentraleinheit des Regieprozessors 1 weiter, das dort wie jedes andere Unterbrechungssignal der am Systembus angeschlossenen Funktionseinheiten behandelt wird. Das bei der Übernahme des Unterbrechungssignals gebildete Signal (INTA) wird über die Bestätigungsleitung 28 der Unterbrechungslogikschaltung 23 zugeführt und führt dort zur Löschung des übernommenen bzw. akzeptierten Unterbrechungssignals. Über die Unterbrechungsleitung 29 ist es dem Regieprozessor 1 möglich, Unterbrechungssignale für die Arbeitsprozessoren 2 und 3 zu übermitteln.

Zusätzlich werden über die Unterbrechungsleitungen 29 gleichzeitig Adreßinformationen, z. B. für den Arbeitsprozessor 2 mitgeteilt. Dabei übernimmt die Unterbrechungslogikschaltung 23 die Speicherung dieses Unterbrechungssignals und realisiert in Zusammenhang mit den Zusatzschaltungen 30 und 31 auf den Arbeitsprozessoren 2 und 3 die gezielte Weiterleitung des vom Regieprozessors 1 gesendeten Unterbrechungssignals. In der Unterbrechungslogikschaltung 23 wird außerdem gesichert, daß nur das Bestätigungssignal (INTA) des Arbeitsprozessors 2 wirksam wird, der vom Regieprozessor 1 aktiviert wurde.

In Fig. 2 ist die Prioritätslogikschaltung 18 dargestellt. Sie ist in drei Teilschaltungen unterteilt. Die Teilschaltung 32 ist dem Regieprozessor 1, die Teilschaltung 33 dem Arbeitsprozessor 2 und die Teilschaltung 34 dem Arbeitsprozessor 34 zugeordnet. Die Teilschaltung 32 besteht aus dem NAND-Glied 35, dessen Ausgang mit den NAND-Gliedern 36 und 37 verbunden ist. Der Ausgang des NAND-Gliedes ist mit dem zweiten Eingang des NAND-Gliedes 37 verbunden und stellt gleichzeitig die Freigabeleitung 38 für den Regieprozessor 1 dar. Die Anforderungsleitung 39 wird auf das NAND-Glied 35 und auch auf die Teilschaltungen 33 und 34 geführt. Dort blockiert das Anforderungssignal eine Neuankündigung der prioritätsmäßig niedrigeren Arbeitsprozessoren 2 und 3. Das NAND-Glied 36 besitzt zwei weitere Eingänge. An diese sind die Freigabeleitungen der Teilschaltungen 33 und 34 angeschlossen, die die Anmeldung des Regieprozessors 1 bei einer gewährten Übertragung eines Arbeitsprozessors 2 oder 3 in den Teilschaltungen 33 oder 34 solange blockieren, bis diese Übertragung beendet ist. Das Ausgangssignal des NAND-Gliedes 36 wird im NAND-Glied 37 mit dem negierten Anforderungssignal verknüpft, so daß das Ausgangssignal des NAND-Gliedes 37 bei Nichtgewährung der Anforderung aktiv wird (WAIT-Signal).

Die den Arbeitsprozessoren 2 und 3 zugeordneten Teilschaltungen 33 und 34 sind von der Zusammenschaltung der NAND-Glieder her analog aufgebaut. Die Teilschaltung 33 bzw. 34 enthält das NAND-Glied 40 bzw. 41, auf das jeweils die

238795 0

Anforderungsleitung 42 bzw. 43 führt. Bei der weiteren Beschreibung entsprechen die NAND-Glieder in beiden Teilschaltungen 33 und 34 einander. Der Ausgang des NAND-Gliedes 40 ist verzweigt und stellt die Eingänge für die beiden NAND-Glieder 44 und 45 dar. Auf den zweiten Eingang des NAND-Gliedes 44 führt der Ausgang des NAND-Gliedes 46, der dafür sorgt, daß eine genehmigte Übertragung nicht unterbrochen wird bzw. bei keiner anderen laufenden Übertragung die Freigabe erhält. Der eine Eingang des NAND-Gliedes 46 ist mit dem Ausgang des NAND-Gliedes 47 über die Halteleitung 48 verbunden. Die Halteleitung 49 vom NAND-Glied 46 zum NAND-Glied 44 führt das Haltesignal, das das Halten der genehmigten Übertragung bewirkt. Der andere Eingang des NAND-Gliedes 46 kommt vom Ausgang des NAND-Gliedes 50, dessen erster Eingang das Blockiersignal des prioritätsmäßig höheren Regieprozessors 1 führt und dessen zweiter Eingang mit dem Ausgang eines Zählerbausteins verbunden ist, der zyklisch den beiden Arbeitsprozessoren 2 und 3 eine Freigabemöglichkeit erteilt. Der Zählerbaustein hat die Aufgabe, den beiden Arbeitsprozessoren 2 und 3 wechselweise bzw. umlaufend die Möglichkeit zu geben, sein Anforderungssignal der Prioritätslogikschaltung 18 zuzuführen. Der Ausgang des NAND-Gliedes 44 geht über das NAND-Glied 51 auf das NAND-Glied 47. Das NAND-Glied 47 hat einen weiteren Eingang, der von der Freigabeleitung 52 des zweiten Arbeitsprozessors 3 in der Teilschaltung 34 herrührt. Die Bildung des WAIT-Signals aus dem NAND-Glied 45 erfolgt analog zum NAND-Glied 37 in der Teilschaltung 32. Die Freigabeleitungen 38, 53 und 54 der einzelnen Teilschaltungen 32, 33 und 34 werden auf ein NAND-Glied geführt, von dessen Ausgang ein Steuersignal zur Auswahl an den Kommunikationsspeicher 4 gegeben wird, damit der freigegebene Prozessor seinen Schreib- bzw. Lesevorgang ausführen kann. Die Freigabeleitungen 38, 53 und 54 gehen sowohl auf die Adreß- und Datenmultiplexer 6 und 8 und bewirken dort die entsprechende Durchschaltung der Systembusse auf den Sammelbus 9 als auch auf das NAND-Glied, das mit dem Kommunikationsspeicher 4 verbunden ist.

238795 0

Der Vorteil der Erfindung besteht darin, daß eine konfliktlose, nach einem Prioritätsprinzip ablaufende Steuerung der Datenaustauschphase den Datentransfer solange gewährleistet, bis der laufende Übertragungszyklus beendet ist. Ein weiterer Vorteil der Erfindung besteht darin, daß die Synchronisation bzw. Steuerung zwischen den Prozessoren durch Unterbrechungssignale möglich ist.

Erfindungsanspruch

1. Mehrprozessorsystem für Parallelarbeit, das einen Regieprozessor und mehrere Arbeitsprozessoren enthält, die über einen Verteiler, bestehend aus einer Prioritätslogikschaltung, einem Adressenmultiplexer, einem Datenmultiplexer und einer Steuerlogikschaltung, mit einem Kommunikationsspeicher verbunden sind, gekennzeichnet dadurch, daß die Prioritätslogikschaltung (18) einerseits über Anforderungsleitungen (17; 19; 20) mit dem Regieprozessor (1) und den Arbeitsprozessoren (2; 3) verbunden ist, andererseits über Steuerleitungen (21) mit dem Datenmultiplexer (8) und dem Adressenmultiplexer (6) in Verbindung steht und drittens über eine Freigabeleitung (22) zur Aktivierung des Kommunikationsspeichers (4) an den Kommunikationsspeicher (4) angeschlossen ist, daß eine Unterbrechungslogikschaltung (23) zwischen Regieprozessor (1) und den Arbeitsprozessoren (2; 3) derart gestaltet ist, daß der Regieprozessor (1) über eine Sammelunterbrechungsleitung (26) zur Übermittlung gespeicherter Unterbrechungssignale der Arbeitsprozessoren (2; 3), eine Bestätigungsleitung (28) und eine weitere Unterbrechungsleitung (29) zur Übermittlung von Unterbrechungssignalen und Adreßinformationen an die Arbeitsprozessoren (2; 3) an die Unterbrechungslogikschaltung (23) angeschlossen ist und daß sich zwischen den Arbeitsprozessoren (2; 3) und der Unterbrechungslogikschaltung (23) Unterbrechungsleitungen (24) und (25) zur Übermittlung von Unterbrechungssignalen an den Regieprozessor (1) befinden.
2. Mehrprozessorsystem für Parallelarbeit nach Punkt 1, gekennzeichnet dadurch, daß die Prioritätslogikschaltung (18) in Teilschaltungen (32; 33; 34) unterteilt ist, die jeweils einem Prozessor (1; 2; 3) zugeordnet sind, daß die Teilschaltungen (32; 33; 34) eingangsseitig jeweils eine Anforderungsleitung (39), (42) bzw. (43) von dem entsprechenden Prozessor (1; 2; 3) und ausgangsseitig eine

238795 0

WAIT-Leitung und eine Freigabeleitung (38; 53; 54) aufweisen, daß nur die den Arbeitsprozessoren (2; 3) zugeordneten Teilschaltungen (33; 34) eingangsseitig zusätzlich jeweils eine Ausgangsleitung eines Zählerbausteins und in ihrer inneren Struktur Halteleitungen (48; 49), die einen einmal genehmigten Datenaustausch so lange aufrecht erhalten, solange das Anforderungssignal anliegt, besitzen.

Hierzu 2.....Seiten Zeichnungen

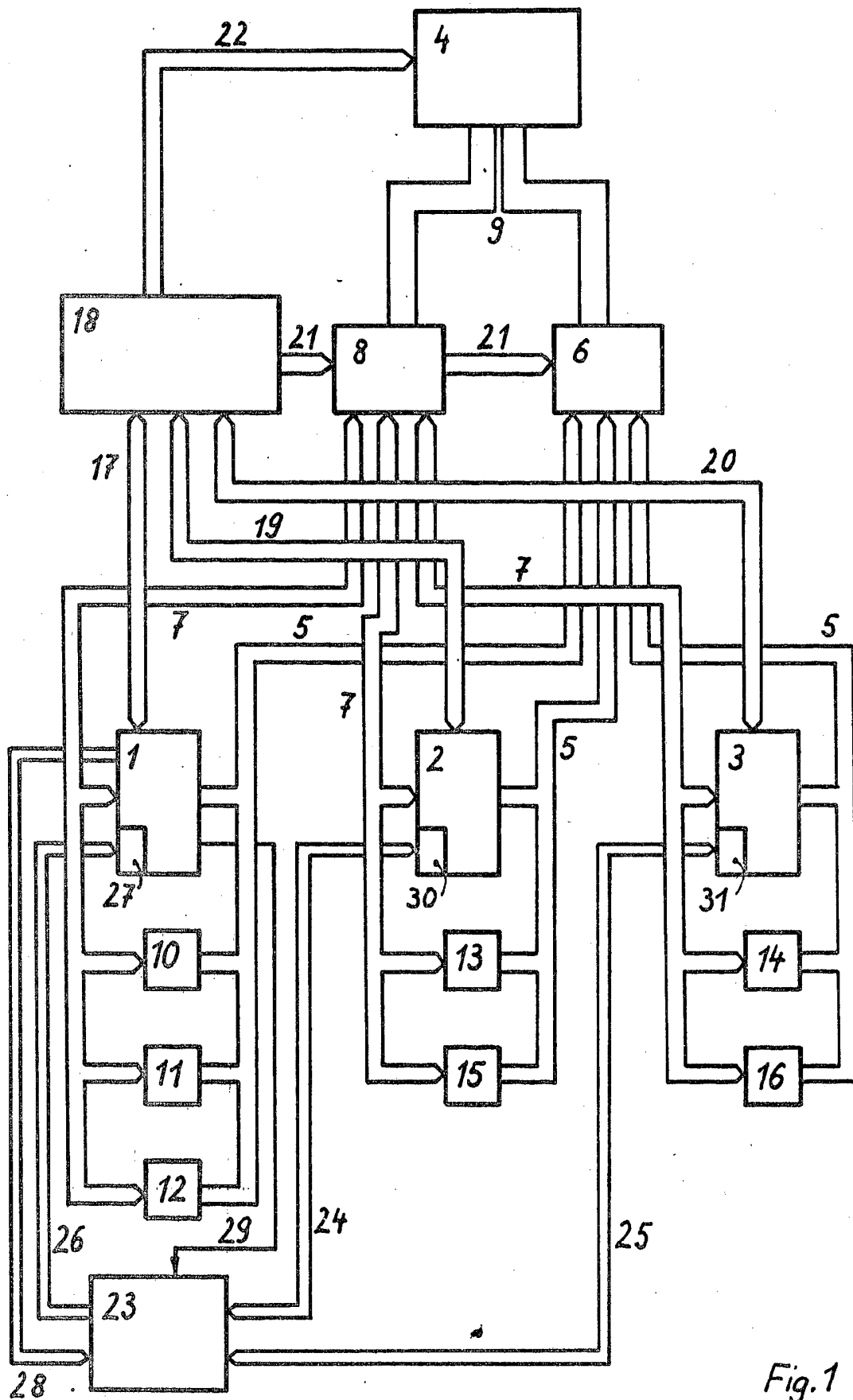


Fig.1

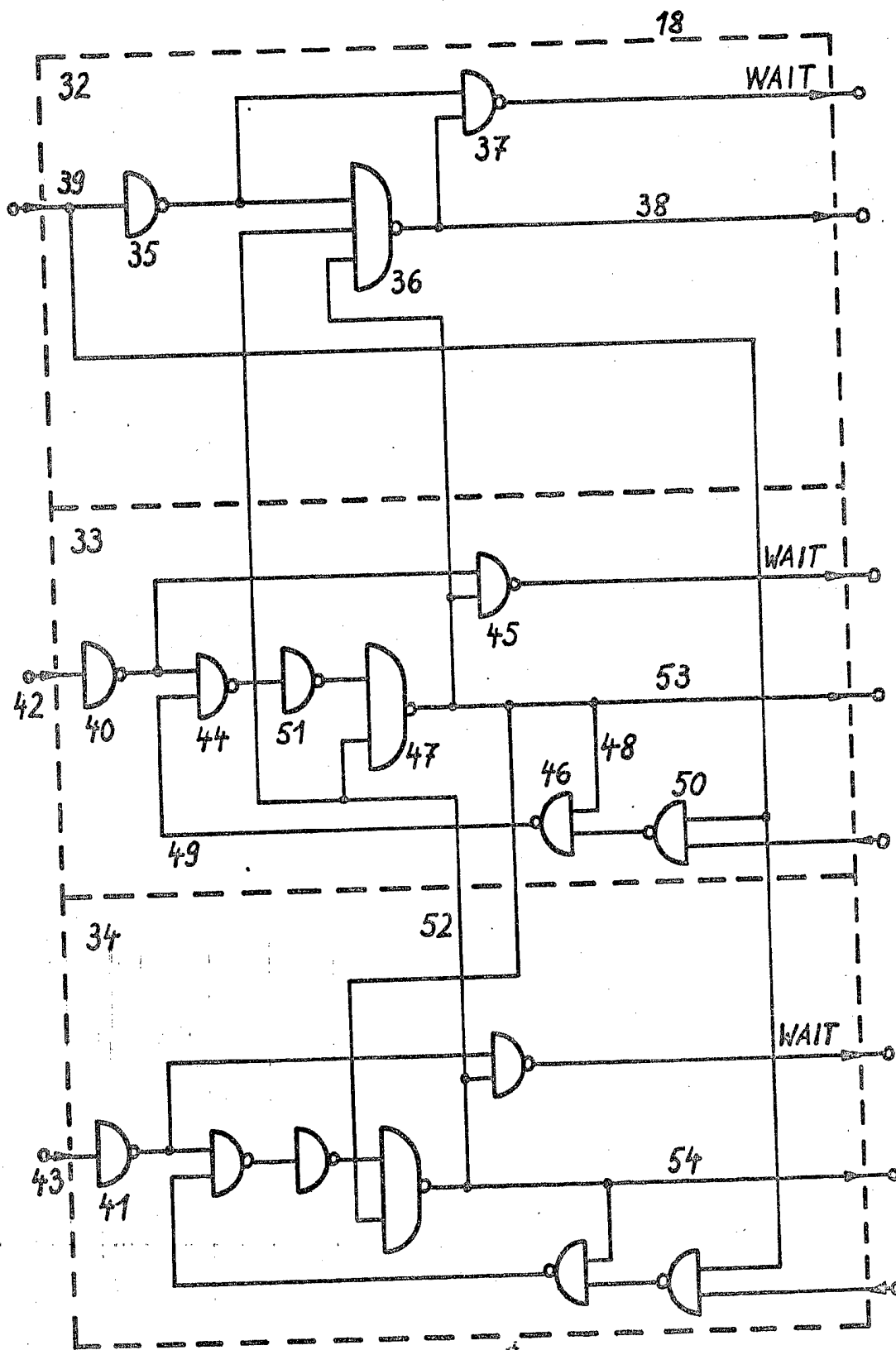


Fig. 2