



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0100790
(43) 공개일자 2025년07월03일

- (51) 국제특허분류(Int. Cl.)
H01J 37/32 (2006.01)
- (52) CPC특허분류
H01J 37/32146 (2013.01)
H01J 37/32128 (2013.01)
- (21) 출원번호 10-2025-7021200(분할)
- (22) 출원일자(국제) 2020년01월21일
심사청구일자 2025년06월25일
- (62) 원출원 특허 10-2021-7021589
원출원일자(국제) 2020년01월21일
심사청구일자 2022년10월06일
- (85) 번역문제출일자 2025년06월25일
- (86) 국제출원번호 PCT/US2020/014453
- (87) 국제공개번호 WO 2020/154310
국제공개일자 2020년07월30일
- (30) 우선권주장
62/795,545 2019년01월22일 미국(US)

- (71) 출원인
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050
- (72) 발명자
도프, 레오니드
미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)
카메네츠키, 예브게니
미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)
(뒷면에 계속)
- (74) 대리인
특허법인(유)남아이피그룹

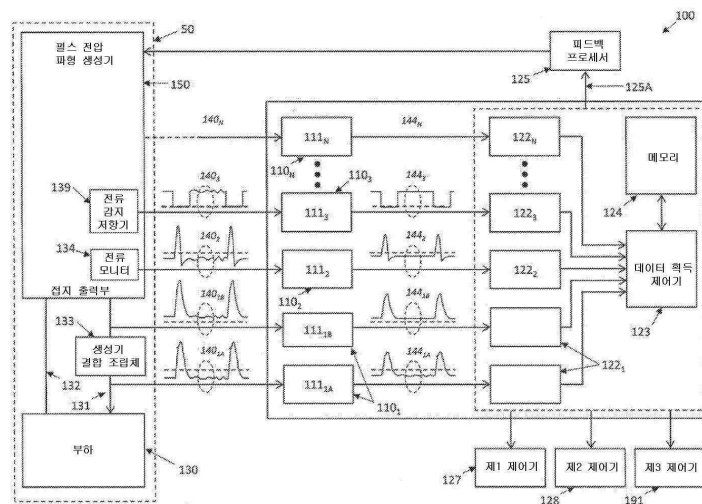
전체 청구항 수 : 총 31 항

(54) 발명의 명칭 펄스 전압 파형을 제어하기 위한 피드백 루프

(57) 요약

본 개시내용의 실시예들은, 거의 일정한 시스 전압(sheath voltage)을 유지하고 그에 따라 기관의 표면에서 단일-에너지(mono-energetic) IEDF를 생성하는 데 사용될 수 있는 피드백 루프를 설명한다. 결과적으로, 본원에서 설명되는 시스템은 기관의 표면에 형성된 피처들의 프로파일 및 IEDF의 형상에 대한 정밀한 제어를 가능하게 한다.

대표도 - 도1b



(52) CPC특허분류

H01J 37/32165 (2013.01)

H01J 37/32174 (2013.01)

H01J 37/3299 (2013.01)

(72) 발명자

로저스, 제임스

미국 95054 캘리포니아 산타 클라라 바우어스 애비뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)

뤼에르, 올리버

미국 95054 캘리포니아 산타 클라라 바우어스 애비뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)

딘사, 라진더

미국 95054 캘리포니아 산타 클라라 바우어스 애비뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)

플로트니코프, 바체슬라프

미국 95054 캘리포니아 산타 클라라 바우어스 애비뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)

명세서

청구범위

청구항 1

데이터 획득 시스템을 포함하는, 펄스 전압 파형을 제어하기 위한 피드백 루프로서,

제1 입력 전압 파형으로부터 제1 컨디셔닝된 전압 파형(conditioned voltage waveform)을 생성하도록 구성된 제1 컨디셔닝 회로(conditioning circuit)를 포함하는 제1 입력 채널; 및

고속 데이터 획득 모듈(fast data acquisition module)을 포함하며,

상기 고속 데이터 획득 모듈은,

상기 제1 입력 채널의 제1 컨디셔닝 회로에 전기적으로 결합되고, 상기 제1 컨디셔닝된 전압 파형으로부터 제1 디지털화된 전압 파형(digitized voltage waveform)을 생성하도록 구성된 제1 획득 채널; 및

상기 제1 디지털화된 전압 파형을 분석함으로써 상기 제1 컨디셔닝된 전압 파형의 하나 이상의 파형 특성들을 결정하도록 구성된 데이터 획득 제어기를 포함하는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 2

제1 항에 있어서,

상기 고속 데이터 획득 모듈에 의해 프로세싱된 상기 제1 컨디셔닝된 전압 파형과 관련된 정보를 프로세싱하도록 구성된 피드백 프로세서를 더 포함하는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 3

제2 항에 있어서,

상기 피드백 프로세서는, 데이터 통신 인터페이스를 통해 상기 고속 데이터 획득 모듈에 연결된 외부 프로세서; 상기 고속 데이터 획득 모듈 내에 통합된 내부 프로세서; 또는 상기 데이터 통신 인터페이스를 통해 상기 고속 데이터 획득 모듈에 연결된, 기관 프로세싱 챔버를 위한 제어기 중 하나인,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 4

제1 항에 있어서,

상기 펄스 전압 파형은, 플라즈마 프로세싱 챔버 내에 배치된 기관 지지 조립체 내에 배치된 바이어싱 전극(biasing electrode)에 전기적으로 결합된 펄스 전압 파형 생성기에 의해 설정되는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 5

제4 항에 있어서,

상기 펄스 전압 파형 생성기는 생성기 결합 조립체를 사용하여 전기 전도체를 통해 상기 바이어싱 전극에 전기적으로 결합되고, 상기 제1 입력 채널의 입력 단부는 상기 생성기 결합 조립체의 단부에 전기적으로 결합되는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 6

제1 항에 있어서,

상기 고속 데이터 획득 모듈에 의해 실행될 때, 상기 고속 데이터 획득 모듈로 하여금 상기 제1 컨디셔닝된 전압 파형을 프로세싱하여 상기 제1 컨디셔닝된 전압 파형의 하나 이상의 파형 특성들을 결정하게 하는 명령들을 포함하는 메모리를 더 포함하는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 7

제6 항에 있어서,

메모리를 포함하는 피드백 프로세서를 더 포함하며, 상기 메모리는, 상기 피드백 프로세서에 의해 실행될 때, 상기 피드백 프로세서로 하여금 상기 제1 컨디셔닝된 전압 파형의 상기 결정된 하나 이상의 파형 특성들을 사용하여 하나 이상의 제어 파라미터들을 생성하게 하는 명령들을 포함하는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 8

제7 항에 있어서,

상기 피드백 프로세서에 의해 실행되는 명령들은, 상기 피드백 프로세서로 하여금 상기 생성된 하나 이상의 제어 파라미터들과 관련된 정보를 펄스 전압 파형 생성기로 전송하게 하도록 추가로 구성되는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 9

제8 항에 있어서,

상기 펄스 전압 파형 생성기는, 상기 펄스 전압 파형 생성기에 의해 실행될 때, 상기 펄스 전압 파형 생성기로 하여금 상기 생성된 하나 이상의 제어 파라미터들에 기초하여, 조정된 펄스 전압 파형을 설정하게 하는 명령들을 포함하는 메모리를 더 포함하는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 10

제9 항에 있어서,

상기 제1 입력 전압 파형은 조정된 제1 입력 전압 파형이고,

상기 피드백 프로세서에 의해 실행되는 명령들은,

상기 제1 컨디셔닝된 전압 파형의 상기 결정된 하나 이상의 파형 특성들이 자신들의 목표 값들 또는 한계들에 도달하는 것;

DC 충전 전압의 최대 한계에 도달하는 것;

최대 전력 한계에 도달하는 것;

알고리즘 수렴을 위한 최대 시간 한계에 도달하는 것;

펄스 폭의 최대 한계에 도달하는 것; 및

펄스 폭의 최소 한계에 도달하는 것

중 적어도 하나가 될 때까지, 상기 피드백 프로세서로 하여금 상기 하나 이상의 제어 파라미터들을 생성하게 하도록 추가로 구성되는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 11

제6 항에 있어서,

상기 고속 데이터 획득 모듈에 의해 실행되는 명령들은 상기 고속 데이터 획득 모듈로 하여금:

상기 제1 컨디셔닝된 전압 파형의 상기 결정된 하나 이상의 파형 특성들과 관련된 정보를 제1 제어기로 전송하는 것; 및

상기 제1 디지털화된 전압 파형과 관련된 정보를 제2 제어기로 전송하는 것

중 적어도 하나를 수행하게 하도록 추가로 구성되는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 12

제11 항에 있어서,

상기 제1 제어기는 기관 프로세싱 챔버를 위한 제어기이고, 상기 제1 제어기는 상기 제1 컨디셔닝된 전압 파형의 상기 결정된 하나 이상의 파형 특성들과 관련된 정보에 기초하여, 상기 기관 프로세싱 챔버를 위한 척킹 전력 공급부에 대한 설정점을 조정하도록 추가로 구성되는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 13

제1 항에 있어서,

상기 제1 입력 채널의 제1 컨디셔닝 회로는 제1 분압기(voltage divider)를 포함하는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 14

제13 항에 있어서,

상기 제1 분압기는 제1 분압기 캐스케이드(voltage divider cascade) 및 제2 분압기 캐스케이드를 포함하는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 15

제14 항에 있어서,

상기 제1 분압기 캐스케이드는 약 10:1 내지 약 100:1 범위의 분배 비율(dividing ratio)을 갖고, 상기 제2 분압기 캐스케이드는 약 20:1 내지 약 120:1 범위의 분배 비율을 갖는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 16

제1 항에 있어서,

상기 제1 입력 채널의 제1 컨디셔닝 회로는 제1 저역 통과 필터(low pass filter)를 포함하는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 17

제16 항에 있어서,

상기 제1 저역 통과 필터는 제1 필터 캐스케이드(filter cascade) 및 제2 필터 캐스케이드를 포함하며, 상기 제1 저역 통과 필터는 플래토(plateau) 및 차단 주파수를 포함하는 주파수 응답 곡선을 갖는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 18

제17 항에 있어서,

상기 플레토는 1 MHz 내지 약 7 MHz이고, 상기 차단 주파수는 약 5 MHz 내지 약 10 MHz의 범위에 있는, 펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 19

데이터 획득 시스템을 포함하는, 펄스 전압 파형을 제어하기 위한 피드백 루프로서,

제1 입력 전압 파형으로부터 제1 컨디셔닝된 전압 파형을 생성하도록 구성된 제1 컨디셔닝 회로를 포함하는 제1 입력 채널;

제2 입력 전압 파형으로부터 제2 컨디셔닝된 전압 파형을 생성하도록 구성된 제2 컨디셔닝 회로를 포함하는 제2 입력 채널; 및

고속 데이터 획득 모듈을 포함하며,

상기 고속 데이터 획득 모듈은,

상기 제1 입력 채널의 제1 컨디셔닝 회로에 전기적으로 결합되고, 상기 제1 컨디셔닝된 전압 파형으로부터 제1 디지털화된 전압 파형을 생성하도록 구성된 제1 획득 채널;

상기 제2 입력 채널의 제2 컨디셔닝 회로에 전기적으로 결합되고, 상기 제2 컨디셔닝된 전압 파형으로부터 제2 디지털화된 전압 파형을 생성하도록 구성된 제2 획득 채널; 및

상기 제1 및 제2 디지털화된 전압 파형들 중 적어도 하나를 분석함으로써 상기 제1 및 제2 컨디셔닝된 전압 파형들 중 적어도 하나의 하나 이상의 파형 특성들을 결정하도록 구성된 데이터 획득 제어기를 포함하는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 20

제19 항에 있어서,

상기 펄스 전압 파형은, 플라즈마 프로세싱 챔버 내에 배치된 기관 지지 조립체 내에 배치된 바이어싱 전극에 전기적으로 결합된 펄스 전압 파형 생성기에 의해 설정되는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 21

제20 항에 있어서,

상기 펄스 전압 파형 생성기는 생성기 결합 조립체를 사용하여 전기 전도체를 통해 상기 바이어싱 전극에 전기적으로 결합되고, 상기 제1 입력 채널의 입력 단부는 상기 생성기 결합 조립체의 단부에 전기적으로 결합되는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 22

제20 항에 있어서,

상기 펄스 전압 파형 생성기는 생성기 결합 조립체를 사용하여 전기 전도체를 통해 상기 바이어싱 전극에 전기적으로 결합되고, 상기 제2 입력 채널의 입력 단부는 전류 모니터의 출력부 및 전류 감지 저항기(current sense resistor)의 비접지 단부 중 하나에 전기적으로 결합되며, 상기 전류 모니터는 상기 전기 전도체에서 흐르는 전류를 감지하도록 구성되고, 상기 전류 감지 저항기는 상기 펄스 전압 파형 생성기 내에 배치되는,

펄스 전압 파형을 제어하기 위한 피드백 루프.

청구항 23

제19 항에 있어서,

상기 고속 데이터 획득 모듈에 의해 실행될 때, 상기 고속 데이터 획득 모듈로 하여금 상기 제1 및 제2 컨디셔

닝된 전압 파형들 중 적어도 하나를 프로세싱하여 상기 제1 및 제2 컨디셔닝된 전압 파형들 중 적어도 하나의 하나 이상의 파형 특성들을 결정하게 하는 명령들을 포함하는 메모리를 더 포함하는,

필스 전압 파형을 제어하기 위한 피드백 루프.

청구항 24

제23 항에 있어서,

메모리를 포함하는 피드백 프로세서를 더 포함하며, 상기 메모리는, 상기 피드백 프로세서에 의해 실행될 때, 상기 피드백 프로세서로 하여금 상기 제1 및 제2 컨디셔닝된 전압 파형들 중 적어도 하나의 상기 결정된 하나 이상의 파형 특성들을 사용하여 하나 이상의 제어 파라미터들을 생성하게 하는 명령들을 포함하는,

필스 전압 파형을 제어하기 위한 피드백 루프.

청구항 25

제24 항에 있어서,

상기 피드백 프로세서에 의해 실행되는 명령들은, 상기 피드백 프로세서로 하여금 상기 생성된 하나 이상의 제어 파라미터들과 관련된 정보를 필스 전압 파형 생성기로 전송하게 하도록 추가로 구성되는,

필스 전압 파형을 제어하기 위한 피드백 루프.

청구항 26

제25 항에 있어서,

상기 필스 전압 파형 생성기는, 상기 필스 전압 파형 생성기에 의해 실행될 때, 상기 필스 전압 파형 생성기로 하여금 상기 생성된 하나 이상의 제어 파라미터들에 기초하여, 조정된 필스 전압 파형을 설정하게 하는 명령들을 포함하는 메모리를 더 포함하는,

필스 전압 파형을 제어하기 위한 피드백 루프.

청구항 27

제26 항에 있어서,

상기 제1 및 제2 입력 전압 파형들은 조정된 입력 전압 파형들이고,

상기 피드백 프로세서에 의해 실행되는 명령들은,

상기 제1 및 제2 컨디셔닝된 전압 파형들 중 적어도 하나의 상기 결정된 하나 이상의 파형 특성들이 자신들의 목표 값들 또는 한계들에 도달하는 것;

DC 충전 전압의 최대 한계에 도달하는 것;

최대 전력 한계에 도달하는 것;

알고리즘 수렴을 위한 최대 시간 한계에 도달하는 것;

필스 폭의 최대 한계에 도달하는 것; 및

필스 폭의 최소 한계에 도달하는 것

중 적어도 하나가 될 때까지, 상기 피드백 프로세서로 하여금 상기 하나 이상의 제어 파라미터들을 생성하게 하도록 추가로 구성되는,

필스 전압 파형을 제어하기 위한 피드백 루프.

청구항 28

제27 항에 있어서,

상기 고속 데이터 획득 모듈에 의해 실행되는 명령들은 상기 고속 데이터 획득 모듈로 하여금:

상기 제1 및 제2 컨디셔닝된 전압 파형들 중 적어도 하나의 상기 결정된 하나 이상의 파형 특성들과 관련된 정보를 제1 제어기로 전송하는 것; 및

상기 제1 및 제2 디지털화된 전압 파형들 중 적어도 하나와 관련된 정보를 제2 제어기로 전송하는 것

중 적어도 하나를 수행하게 하도록 추가로 구성되는,

필스 전압 파형을 제어하기 위한 피드백 루프.

청구항 29

제28 항에 있어서,

상기 제1 제어기는 기관 프로세싱 챔버를 위한 제어기이고, 상기 제1 제어기는 상기 제1 및 제2 컨디셔닝된 전압 파형들 중 적어도 하나의 상기 결정된 하나 이상의 파형 특성들과 관련된 정보에 기초하여 상기 기관 프로세싱 챔버를 위한 척킹 전력 공급부에 대한 설정점을 조정하도록 추가로 구성되는,

필스 전압 파형을 제어하기 위한 피드백 루프.

청구항 30

제19 항에 있어서,

상기 제1 입력 채널의 제1 컨디셔닝 회로가 제1 분압기 및 제1 저역 통과 필터 중 적어도 하나를 포함하는 것; 및

상기 제2 입력 채널의 제2 컨디셔닝 회로가 제2 분압기 및 제2 저역 통과 필터 중 적어도 하나를 포함하는 것

중 적어도 하나인,

필스 전압 파형을 제어하기 위한 피드백 루프.

청구항 31

제19 항에 있어서,

상기 제1 입력 채널의 제1 컨디셔닝 회로는 제1 분압기를 포함하고;

상기 제2 입력 채널의 제2 컨디셔닝 회로는 제2 분압기를 포함하며;

상기 제1 분압기의 분배 비율은 상기 제2 분압기의 분배 비율과 상이한,

필스 전압 파형을 제어하기 위한 피드백 루프.

발명의 설명

기술 분야

[0001] 본원에서 설명되는 실시예들은 일반적으로, 반도체 제조에 사용되는 플라즈마 프로세싱 챔버들에 관한 것이며, 보다 구체적으로는, 플라즈마 프로세싱 챔버에서 형성되는 플라즈마로의 전력 전달을 제어하는 장치 및 방법들에 관한 것이다.

배경 기술

[0002] 높은 종횡비 피쳐들(features)을 신뢰성있게 생성하는 것은 반도체 디바이스들의 초대규모 집적회로(very large scale integration; VLSI) 및 극초대규모 집적회로(ultra large scale integration; ULSI)의 차세대 핵심 기술 과제들 중 하나이다. 높은 종횡비 피쳐들을 형성하는 하나의 방법은 반응성 이온 에칭(reactive ion etch; RIE) 플라즈마 프로세스와 같은 플라즈마 보조 에칭 프로세스를 사용하여, 기관의 유전체 층과 같은 재료 층에 높은 종횡비 개구들을 형성하는 것이다. 전형적인 RIE 플라즈마 프로세스에서, 플라즈마가 RIE 프로세싱 챔버에 형성되고, 플라즈마로부터의 이온들이 기관의 표면을 향해 가속되어 기관의 표면 상에 형성된 마스크 층 아래에 배치된 재료 층에 개구들을 형성한다.

[0003] 전형적인 반응성 이온 에칭(RIE) 플라즈마 프로세싱 챔버는 무선 주파수(radio frequency; RF) 바이어스

생성기를 포함하며, 무선 주파수(RF) 바이어스 생성기는, 보다 일반적으로 "캐소드(cathode)"로 지칭되는, "정전 척(electrostatic chuck; ESC)" 조립체 내에 매립된 금속 베이스플레이트와 같은 "전력 전극"(예를 들어, 바이어싱 전극(biasing electrode))에 RF 전압을 공급한다. 전력 전극은 ESC 조립체의 일부인 두꺼운 유전체 재료(예를 들어, 세라믹 재료) 층을 통해 프로세싱 시스템의 플라즈마에 용량적으로 결합된다. 전력 전극에 대한 RF 전압의 인가는 전자-반발 플라즈마 시스("캐소드 시스(cathode sheath)"로도 지칭됨)가 프로세싱 동안에 ESC 조립체의 기판 지지면 상에 위치결정된 기판의 프로세싱 표면 위에 형성되게 한다. 플라즈마 시스의 비선형 다이오드-유사 특성은 인가된 RF 필드의 정류를 야기하여, 직류(DC) 전압 강하 또는 "자기-바이어스(self-bias)"가 기판과 플라즈마 사이에 나타나서 기판 전위를 플라즈마 전위에 대해 음이 되게 한다. 이러한 전압 강하는 기판을 향해 가속되는 플라즈마 이온들의 평균 에너지를 결정하고, 그에 따라 에칭 이방성을 결정한다. 보다 구체적으로, 이온 방향성, 피쳐 프로파일, 및 마스크 및 정지-층에 대한 에칭 선택성은 이온 에너지 분포 함수(Ion Energy Distribution Function; IEDF)에 의해 제어된다. RF 바이어스를 갖는 플라즈마들에서, IEDF는 전형적으로 2 개의 피크들, 즉 저에너지에서의 피크 및 고에너지에서의 피크, 및 그 사이의 일부 이온 집단을 갖는다. IEDF의 2 개의 피크들 사이의 이온 집단의 존재는 기판과 플라즈마 사이의 전압 강하가 RF 바이어스 주파수에서 진동한다는 사실을 반영한다. 보다 낮은 주파수, 예를 들어 2 MHz의 RF 바이어스 생성기가 보다 높은 자기-바이어스 전압들을 달성하는 데 사용되는 경우, 이들 2 개의 피크들 사이의 에너지 차이가 상당할 수 있으며; 저에너지 피크에서의 이온들로 인한 에칭 프로파일이 더 등방성이기 때문에, 이것은 잠재적으로 에칭된 피쳐 벽들의 보잉(bowling)을 초래할 수 있다. 고에너지 이온들에 비하여, 저에너지 이온들은 (예를 들어, 대전 효과로 인해) 에칭된 피쳐의 하부의 코너부들에 도달하는 데 덜 효과적이지만, 마스크 재료의 스퍼터링(sputtering)을 적게 한다. 이것은 하드-마스크 개구 또는 유전체 몰드 에칭과 같은 높은 중형비 에칭 응용들에 중요하다. 피쳐 크기들이 계속 감소하고 중형비가 증가하는 한편, 피쳐 프로파일 제어 요건들이 보다 엄격해짐에 따라, 프로세싱 동안에 기판 표면에서 잘 제어된 IEDF를 갖는 것이 보다 바람직해진다.

[0004] 특정 기판 전압 파형을 유지하고 그에 따라 플라즈마 프로세싱 동안에 기판에서의 IEDF 및 시스 전압을 제어하기 위해 반도체 플라즈마 챔버 내의 정전기 척(ESC) 조립체에 매립된 전극에서 펄스 전압 파형을 생성하는 데 펄스 전압 파형 생성기(pulsed voltage waveform generator; PVWG)가 사용될 수 있다. 반도체 플라즈마 챔버가 부하(load)로서 사용되는 경우에, 생성된 파형을 제어하는 데 어려움은 부하의 실시간 변화들, 예컨대 플라즈마 밀도의 드리프트들(drifts), 챔버 벽들의 상태들, 기판 온도, 화학적 해리의 정도 및 상태로 인해 발생할 수 있다. 따라서, 파형에 관한 실시간 정보는 PVWG 제어 파라미터들(예를 들어, DC 전력 공급부들의 충전 전압 또는 임의의 파형 생성기에 의해 제어되는 펄스 폭)에 대한 실시간 조정들을 수행하고 그에 따라 부하의 변화들에도 불구하고 사전결정된 전압 파형을 유지하는 데 매우 유용할 수 있다. 실시간 제어와 함께 수행되는 그러한 실시간 측정들 및 분석은 종종 "폐쇄 피드백 루프 동작(closed feedback loop operation)"으로 지칭된다. 그러나, 펄스 전압 파형의 매우 높은 진폭(예를 들어, 플라즈마 프로세싱에서 흔히 있는 경우인 수 kV 내지 수십 kV)으로 인한 것뿐만 아니라 반도체 플라즈마 챔버와 같은 부하의 복합 특성으로 인해, 펄스 전압 파형의 측정들 및 분석에서 특정 어려움들이 발생한다. 별개의 용량성, 유도성, 저항성 및 비선형 요소들(예를 들어, 프로세싱 챔버 내의 기판 표면에 있는 플라즈마 시스)뿐만 아니라, 분산된 요소들(예를 들어, 전송 라인의 섹션)의 직렬 및/또는 병렬 조합을 포함할 수 있는 복합 부하에 PVWG가 연결되는 경우, 생성된 파형은 이론적으로 예측(예상)된 파형보다 훨씬 더 복잡한 구조를 가질 수 있으며, 플라즈마 프로세스를 반복적으로 제어하는 능력에 영향을 미칠 수 있는 고주파수 진동들을 포함할 수 있다.

발명의 내용

[0005] 따라서, 거의 일정한 시스 전압을 유지하는 것을 가능하게 하고, 그에 따라 기판의 표면에 바람직하고 반복 가능한 단일 에너지 IEDF를 생성하여 기판의 표면에 형성된 피쳐들의 프로파일 및 IEDF의 형상에 대한 정밀한 제어를 가능하게 하는 새로운 바이어싱 방법들에 대한 필요성이 당업계에 존재한다.

도면의 간단한 설명

[0006] 본 개시내용의 상기 열거된 특징들이 상세히 이해될 수 있는 방식으로 앞서 간략히 요약된 본 개시내용의 보다 구체적인 설명이 실시예들을 참조로 하여 이루어질 수 있는데, 이러한 실시예들의 일부는 첨부된 도면들에 예시되어 있다. 그러나, 첨부된 도면들은 단지 예시적인 실시예들을 예시하는 것이므로 본 개시내용의 범위를 제한하는 것으로 간주되지 않아야 한다는 것이 주목되어야 하는데, 이는 본 개시내용이 다른 균등하게 유효한 실시예들을 허용할 수 있기 때문이다.

- [0007] 도 1a는 일 실시예에 따른, 플라즈마 프로세싱 챔버에 부착되도록 구성된 피드백 루프의 개략도이다.
- [0008] 도 1b는 일 실시예에 따른, 도 1a에 도시된 피드백 루프의 일 예를 도시하는 개략도이다.
- [0009] 도 1c는 일 실시예에 따른, 도 1a에 도시된 피드백 루프의 일 예를 도시하는 개략도이다.
- [0010] 도 1d는 일 실시예에 따른, 도 1a에 도시된 피드백 루프의 일 예를 도시하는 개략도이다.
- [0011] 도 2는 하나 이상의 실시예들에 따른, 피드백 루프 내에 배치될 수 있는 분압기(voltage divider)의 개략도이다.
- [0012] 도 3은 하나 이상의 실시예들에 따른, 피드백 루프 내에 배치될 수 있는 저역 통과 필터의 개략도이다.
- [0013] 도 4는 일 실시예에 따른, 도 3에 도시된 저역 통과 필터의 주파수 응답 곡선을 도시한다.
- [0014] 도 5a, 도 5b, 도 5c 및 도 5d는 하나 이상의 실시예들에 따른, 피드백 루프 내의 구성요소들에 의해 생성되는 컨디셔닝된 전압 파형들의 예들을 도시한다.
- [0015] 도 6a 및 도 6b는 일 실시예에 따른, 상이한 유형들의 측정된 전압 파형들의 예들을 도시한다.
- [0016] 도 7a는 하나 이상의 실시예들에 따른, 일련의 측정된 전압 파형들의 일 예를 도시한다.
- [0017] 도 7b는 하나 이상의 실시예에 따른, 일련의 측정된 전압 파형 버스트들의 일 예를 도시한다.
- [0018] 도 8a는 일 실시예에 따른, 본원에서 설명된 방법들을 실행하도록 구성된 프로세싱 챔버의 개략적인 단면도이다.
- [0019] 도 8b는 일 실시예에 따른, 도 8a에 도시된 프로세싱 챔버와 함께 사용될 수 있는 펄스 전압 바이어싱 방식의 기능적으로 동등한 근사 회로도이다.
- [0020] 도 9a는 일 실시예에 따른, 바이어싱 전극에 설정된 펄스 전압 파형의 일 예를 도시한다.
- [0021] 도 9b는 일 실시예에 따른, 기관에 설정된 펄스 전압 파형의 일 예를 도시한다.
- [0022] 도 9c는 일 실시예에 따른, 단일-피크 IEDF의 일 예를 도시한다.
- [0023] 도 10은 일 실시예에 따른, 본원에서 설명된 펄스 전압 바이어싱 방식을 사용하여 기관을 프로세싱하는 방법의 흐름도이다.
- [0024] 도 11은 일 실시예에 따른, 본원에서 설명된 펄스 전압 바이어싱 방식을 사용하여 기관을 프로세싱하는 방법의 흐름도이다.
- [0025] 이해를 촉진시키기 위해, 도면들에 대해 공통적인 동일한 엘리먼트들을 가리키기 위해 가능한 경우 동일한 도면부호들이 사용되었다. 일 실시예의 엘리먼트들 및 피처(feature)들은 추가의 언급없이 다른 실시예들에 유익하게 통합될 수 있음이 예상된다.

발명을 실시하기 위한 구체적인 내용

[0007] 요약

[0026] 본원에서 제공되는 개시내용의 실시예들은 데이터 획득 시스템(data acquisition system)을 포함하는, 펄스 전압 파형을 제어하기 위한 피드백 루프를 포함할 수 있으며, 피드백 루프는 제1 입력 전압 파형으로부터 제1 컨디셔닝된 전압 파형(conditioned voltage waveform)을 생성하도록 구성된 제1 컨디셔닝 회로(conditioning circuit)를 포함하는 제1 입력 채널, 및 고속 데이터 획득 모듈(fast data acquisition module)을 포함한다. 고속 데이터 획득 모듈은 제1 입력 채널의 제1 컨디셔닝 회로에 전기적으로 결합되고, 제1 컨디셔닝된 전압 파형으로부터 제1 디지털화된 전압 파형(digitized voltage waveform)을 생성하도록 구성된 제1 획득 채널, 및 제1 디지털화된 전압 파형을 분석함으로써 제1 컨디셔닝된 전압 파형의 하나 이상의 1-사이클 파형 특성들을 결정하도록 구성된 데이터 획득 제어기를 포함할 수 있다. 피드백 루프는 고속 데이터 획득 모듈에 의해 프로세싱된 제1 컨디셔닝된 전압 파형과 관련된 정보를 프로세싱하도록 구성된 피드백 프로세서를 더 포함할 수 있다. 일부 실시예들에서, 펄스 전압 파형은, 플라즈마 프로세싱 챔버 내에 배치된 기관 지지 조립체 내에 배치된 바이어싱 전극에 전기적으로 결합된 펄스 전압 파형 생성기에 의해 설정된다.

[0027] 본원에서 제공되는 개시내용의 실시예들은 또한, 데이터 획득 시스템을 포함하는, 펄스 전압 파형을 제

어하기 위한 피드백 루프를 포함할 수 있으며, 피드백 루프는 제1 입력 전압 파형으로부터 제1 컨디셔닝된 전압 파형을 생성하도록 구성된 제1 컨디셔닝 회로를 포함하는 제1 입력 채널, 제2 입력 전압 파형으로부터 제2 컨디셔닝된 전압 파형을 생성하도록 구성된 제2 컨디셔닝 회로를 포함하는 제2 입력 채널, 및 고속 데이터 획득 모듈을 포함한다. 고속 데이터 획득 모듈은 제1 입력 채널의 제1 컨디셔닝 회로에 전기적으로 결합되고, 제1 컨디셔닝된 전압 파형으로부터 제1 디지털화된 전압 파형을 생성하도록 구성된 제1 획득 채널, 제2 입력 채널의 제2 컨디셔닝 회로에 전기적으로 결합되고, 제2 컨디셔닝된 전압 파형으로부터 제2 디지털화된 전압 파형을 생성하도록 구성된 제2 획득 채널, 및 제1 및 제2 디지털화된 전압 파형들 중 적어도 하나를 분석함으로써 제1 및 제2 컨디셔닝된 전압 파형들 중 적어도 하나의 하나 이상의 1-사이클 파형 특성들을 결정하도록 구성된 데이터 획득 제어기를 포함할 수 있다. 일부 실시예들에서, 펄스 전압 파형은, 플라즈마 프로세싱 챔버 내에 배치된 기관 지지 조립체 내에 배치된 바이어싱 전극에 전기적으로 결합된 펄스 전압 파형 생성기에 의해 설정된다. 일부 실시예들에서, 펄스 전압 파형 생성기는 또한 생성기 결합 조립체를 사용하여 전기 전도체를 통해 바이어싱 전극에 전기적으로 결합되며, 제1 입력 채널의 입력 단부는 생성기 결합 조립체의 단부에 전기적으로 결합되고, 제2 입력 채널의 입력 단부는 전류 모니터(current monitor)의 출력부 및 전류 감지 저항기(current sense resistor)의 비접지 단부 중 하나에 전기적으로 결합되고, 전류 모니터는 전기 전도체에서 흐르는 전류를 감지하도록 구성되고, 전류 감지 저항기는 펄스 전압 파형 생성기 내에 배치된다.

[0010] 상세한 설명

[0011] [0028] 본원에서 제공되는 개시내용의 실시예들은, 제어되고 반복 가능한 펄스 전압 파형을 생성하기 위해 펄스 전압 파형 생성기와 함께 동작하기에 적합한 폐쇄 피드백 루프 방식을 포함한다. 따라서, 본원에서 설명된 실시예들은 기관의 플라즈마 보조 또는 플라즈마 강화 프로세싱을 수행하는 데 사용되는 많은 상이한 유형들의 플라즈마 보조 또는 플라즈마 강화 프로세싱 챔버들에서 사용될 수 있다. 본원에서 제공된 개시내용의 범위에 대해 제한하는 것으로 의도되지 않지만, 일부 실시예들에서, 플라즈마 프로세싱 동안에 펄스 전압 바이어싱 방식이 사용되어, 기관 프로세싱 시간의 약 90%까지 동안에 거의 일정한 시스 전압을 유지하며, 그 결과 임의의 형상을 갖는 IEDF를 생성하는 데 추가로 사용될 수 있는 단일(좁은) 피크 IEDF가 생성된다. 또한, 본원에 개시된 하나 이상의 실시예들에서, 플라즈마 프로세싱 방법은, 예를 들어 주기(T_s)(예를 들어, 2.5 마이크로초)로 반복되는 주기적인 일련의 양의 단펄스들(short positive pulses)과 같은 다수의 사이클들을 더 포함하는 펄스 전압 파형을 포함하며, 각 펄스의 전체 주기(T_p)는 전형적으로 대략 수십 나노초(예를 들어, 10 내지 100 ns)이고, 다수의 사이클들의 각 사이클은 하나 이상의 펄스들에 대응한다.

[0012] [0029] 도 1a는 플라즈마 프로세싱 시스템(50)에 존재하는 하나 이상의 전기 구성요소들에 전기적으로 결합된 피드백 루프(100)를 개략적으로 도시한다. 일반적으로, 피드백 루프(100)는 하나 이상의 입력 채널(110) 및 고속 데이터 획득 모듈(120)을 포함한다. 하나 이상의 입력 채널(110)은 고속 데이터 획득 모듈(120)에 전기적으로 결합된다. 일부 실시예들에서, 고속 데이터 획득 모듈(120)은 플라즈마 프로세싱 동안에 기관에서의 IEDF 및 시스 전압을 제어하기 위해, 고전압 나노초 기관 전압 파형과 같은 생성된 펄스 전압 파형을 제어 및 유지하도록 구성된다. 또한, 고속 데이터 획득 모듈(120)은 하나 이상의 획득 채널들(122)을 포함한다.

[0013] [0030] 하나 이상의 입력 채널들(110)의 입력 단부는 플라즈마 프로세싱 시스템(50) 내의 연결 지점(135)에 결합된다. 따라서, 하나 이상의 입력 채널들(110)에 의해 수신된 후에 컨디셔닝되는 입력 펄스 전압 파형(140)은 다음에 고속 데이터 획득 모듈(120)의 구성요소들 및 피드백 프로세서(125) 내의 구성요소들에 의해 프로세싱될 수 있고, 그에 따라 제어 파라미터들이 플라즈마 프로세싱 시스템(50) 내의 펄스 파형 생성기(예를 들어, 도 1b의 펄스 전압 파형 생성기(PVWG)(150))에 제공되어, 플라즈마 프로세싱 시스템(50)의 프로세싱 챔버 내에 위치 결정된 전극(예를 들어, 기관 지지체 내에 배치된 바이어싱 전극)에 설정된 펄스 전압 파형의 특성들을 제어한다. 하나 이상의 입력 채널들(110)은 입력 펄스 전압 파형(140)을 수신하고, 입력 펄스 전압 파형(140)으로부터 출력 파형(144)을 생성한다. 하기의 설명에서 보다 상세하게 설명되는 바와 같이, 입력 펄스 전압 파형(140)은 컨디셔닝된 파형을 포함하는 출력 파형(144)을 생성하도록 입력 채널(110)에 의해 프로세싱될 수 있다. 예를 들어, 입력 채널(110)은 출력 파형(144)을 생성하도록 컨디셔닝 회로를 통해, 수신된 입력 펄스 전압 파형(140)을 컨디셔닝할 수 있다. 따라서, 예를 들어, 출력 파형(144)의 진폭 및/또는 형상은 입력 펄스 전압 파형(140)의 것과 상이할 수 있다. 입력 채널(110)(즉, 입력 펄스 전압 파형(140))에 의해 수신된 펄스 전압 파형의 특성들은 플라즈마 프로세싱 시스템(50)의 복합 부하(130)(도 1b)에 결합된 하나 이상의 회로들 내에 형성 및/또는 위치결정된 유도성, 용량성 또는 저항성 요소들에 대한 연결 지점(135)의 포지션에 따라 상이한 특성들을 가질 수 있다는 점에 주목할 것이다. 일부 실시예들에서, 피드백 루프(100) 내의 입력 채널들(110)은 각각 입력 채널들 각각 내에 존재하는 구성요소들(예를 들어, 전압 분배 구성요소들 또는 필터링 구성요소들)의 유형

차이들로 인해 입력 신호의 상이한 감쇠 정도들을 가질 수 있다. 따라서, 입력 채널들(110)은 수신된 입력 펄스 전압 파형(140)의 감쇠 또는 컨디셔닝의 정도에 기초하여, 본원에서 고감쇠, 중간-감쇠 또는 저감쇠를 갖는 채널들로 지칭되거나, 감쇠되지 않을 수 있다.

[0014] [0031] 도 1b는 고속 데이터 획득 모듈(120)의 대응하는 획득 채널들(122)에 각각 전기적으로 결합된 다수의 입력 채널들(110)을 포함하는, 도 1a에 도시된 피드백 루프(100)의 일 예를 개략적으로 도시한다. 도 1b에 도시된 바와 같이, 입력 채널(110)은 생성기 결합 조립체(133)의 양측에 위치결정된 전도성 요소에 결합된 연결 지점에 결합될 수 있으며, 생성기 결합 조립체(133) 및 전도성 요소는 모두 조합하여 PVWG(150)의 출력부를 복합 부하(130)에 연결하는 데 사용된다. 일반적으로, PVWG(150)의 출력부를 복합 부하(130)에 연결하는 데 사용되는 전도성 요소들 및 생성기 결합 조립체(133)는 본원에서 종종 전송 라인(131) 내의 요소들인 것으로 지칭된다. 따라서, PVWG(150)는 전송 라인(131) 및 기준 라인(132)을 통해 복합 부하(130)에 전기적으로 연결된다. 일반적으로, 본원에 사용되는 바와 같은 용어 "전기 전도체" 또는 "도체"는, (a) 강성 동축 전송 라인과 직렬로 가요성 동축 케이블을 포함할 수 있는 동축 전송 라인, (b) 절연된 고전압 내코로나성 훅업 와이어 (insulated high-voltage corona-resistant hookup wire), (c) 베어 와이어(bare wire), (d) 금속 로드(metal rod), (e) 전기 커넥터, 또는 (f) (a) 내지 (e)의 전기 요소들의 임의의 조합을 포함할 수 있다. 도 1b는 다수의 입력 채널들(110)이 PVWG(150)의 출력부를 복합 부하(130)에 연결하는 데 사용되는 하나 이상의 전도성 요소들 및/또는 PVWG(150) 내의 하나 이상의 회로들 중 하나에 결합된 연결 지점에 연결되는 구성을 개략적으로 도시하고 있지만, 이러한 구성은 본원에서 제공된 개시내용의 범위에 대해 제한하는 것으로 의도되지 않으며, 이는 입력 채널들(110)의 수 및/또는 다양한 입력 채널들(110)이 플라즈마 프로세싱 시스템(50) 내에서 연결될 수 있는 상이한 포지션들의 수가 원하는 챔버 프로세싱 응용을 제어하기 위해 필요에 따라 증가되거나 감소될 수 있기 때문이다.

[0015] [0032] 도 1b에 도시된 바와 같이, 플라즈마 프로세싱 시스템(50)은 펄스 전압 파형 생성기(PVWG), 예컨대 도 8a 및 도 8b에 개략적으로 도시된 프로세싱 챔버(800)의 PVWG(150)를 포함한다. 또한, 플라즈마 프로세싱 시스템(50)은 플라즈마 프로세싱 동안에 바이어싱 전극(예를 들어, 도 8a의 바이어싱 전극(804))에서 펄스 전압 파형을 생성함으로써 형성되고, 그리고/또는 이를 포함하는 복합 부하(130)를 포함한다. 피드백 루프(100)는 일반적으로 PVWG(150)에 의해 생성된 펄스 전압 파형의 하나 이상의 특성들을 조정함으로써 펄스 전압 파형을 제어하도록 구성된다.

[0016] [0033] 입력 채널들(110) 중 하나 이상은, 예를 들어 입력 채널(110₁)의 컨디셔닝 회로(111₁) 및 입력 채널(110₂)의 컨디셔닝 회로(111₂)와 같은 컨디셔닝 회로(111)를 포함할 수 있다. 또한, 하나 이상의 입력 채널들(110)은 컨디셔닝된 출력 파형들(144)을 생성하도록 구성된다. 일부 실시예들에서, 컨디셔닝 회로들(111)은 각각 분압기(예를 들어, 도 2의 분압기(112)), 저역 통과 필터(예를 들어, 도 3의 저역 통과 필터), 또는 분압기 및 저역 통과 필터(114) 둘 모두를 포함할 수 있거나, 심지어 일부 경우들에서는 분압기도 저역 통과 필터(114)도 포함하지 않을 수 있으며, 이는 본원에서 비감쇠 컨디셔닝 회로로 지칭된다. 일 예에서, 피드백 루프(100)는 적어도 3 개의 컨디셔닝 회로(111)를 포함하며, 하나의 컨디셔닝 회로는 고비율 분압기를 포함하고, 다른 하나의 컨디셔닝 회로는 중간-비율 분압기를 포함하고, 나머지 컨디셔닝 회로는 필터만을 포함하고 그에 따라 분압기를 포함하지 않는다. 입력 채널(110)의 컨디셔닝 회로들(111)이 분압기와, 또한 저역 통과 필터를 포함하는 실시예들에서, 분압기(112)는 저역 통과 필터(114)에 전기적으로 결합된다. 또한, 그러한 실시예들에서, 분압기는 입력 펄스 전압 파형(140)으로부터 분할된 전압 파형을 생성하고, 저역 통과 필터는 분할된 전압 파형으로부터 필터링된 전압 파형을 생성한다. 저역 통과 필터가 생략된 실시예들에서, 분압기는 입력 펄스 전압 파형(140)으로부터 분할된 전압 파형을 생성하고, 분할된 전압 파형은 고속 데이터 획득 모듈(120)로 전달된다. 그러한 실시예들에서, 분할된 전압 파형은 출력 파형(144)인 컨디셔닝된 전압 파형이다. 분압기 및 저역 통과 필터가 모두 입력 채널(110)로부터 생략된 실시예들에서, 입력 펄스 전압 파형(140)은 또한 출력 파형(144)이다. 분압기가 생략되고 저역 통과 필터가 컨디셔닝 회로들(111)에 존재하는 실시예들에서, 저역 통과 필터는 입력 펄스 전압 파형(140)으로부터 필터링된 전압 파형을 생성하고, 필터링된 파형은 고속 데이터 획득 모듈(120)로 전달된다.

[0017] [0034] 도 1b는 입력 채널들(110₁ 내지 110_N)을 도시하며, 여기서 N은 일반적으로 도 1b에 도시된 바와 같이 1보다 큰 수, 예컨대 3보다 큰 수이다. 입력 채널들(110₁ 내지 110_N) 각각은 플라즈마 프로세싱 시스템(50) 내의 상이한 지점들에 연결될 수 있다. 예를 들어, 입력 채널(110₁)은 차단 커패시터(blocking capacitor)(예를 들어, 도 8b의 커패시터(C_{hvm}))를 포함할 수 있는 생성기 결합 조립체(133)의 양측에 위치결정된 전기 전도체에 연

결될 수 있다. 예를 들어, 입력 채널(110₁)은 복합 부하(130)와 생성기 결합 조립체(133) 사이에 결합되거나, 입력 채널(110₁)은 PVWG(150)의 출력부와 생성기 결합 조립체(133) 사이에 결합된다. 입력 채널(110₁)이 PVWG(150)의 출력부와 생성기 결합 조립체(133) 사이에 결합되는 실시예들에서, 입력 채널(110₁)은 입력 펄스 전압 파형(140_{1A})을 수신하고, 컨디셔닝 회로(111₁)는 출력 파형(예를 들어, 컨디셔닝된 파형)(144_{1A})을 생성한다. 일 예에서, 수신 또는 측정된 입력 펄스 전압 파형(140_{1A})은 전압 펄스들을 포함하며, 전압 펄스들은 전압 펄스들(즉, 펄스들은 파선 0 볼트 기준선 위 및 아래에 있음) 각각의 상이한 위상들 내에서의 양 및 음의 전압 레벨들, 및 입력 펄스 전압 파형(140_{1A}) 내(예를 들어, 펄스 영역을 강조하는 파선 원 참조)의 펄스의 다양한 위상들 내에서의 고주파수 진동들을 포함하며, 입력 펄스 전압 파형(140_{1A})은 컨디셔닝 회로(111_{1A}) 내의 분압기와 같은 구성요소들에 의해 컨디셔닝될 때, 분압기의 사용으로 인해 적어도 보다 낮은 전압 레벨로 제공되는 출력 파형(144_{1A})을 형성한다. 입력 채널(110₁)이 복합 부하(130)와 생성기 결합 조립체(133) 사이에 결합되는 실시예들에서, 입력 채널(110₁)은 입력 펄스 전압 파형(140_{1B})을 수신하고, 컨디셔닝 회로(111₁)는 출력 파형(예를 들어, 컨디셔닝된 파형)(144_{1B})을 생성한다. 도 1b에 도시된 바와 같이, 입력 펄스 전압 파형(140_{1A})은 플라즈마 프로세싱 시스템(50) 내의 전송 라인(131)을 따른 각자의 연결 지점들의 포지션으로 인해, 입력 펄스 전압 파형(140_{1B})과 상이한 파형 특성들을 갖는다. 대안적으로, 일 예에서, 도 1b에 도시된 바와 같이, 수신 또는 측정된 입력 펄스 전압 파형(140_{1B})은 입력 펄스 전압 파형(140_{1B}) 내(예를 들어, 펄스 영역(I_{1B}))의 펄스의 위상 내에서의 고주파수 진동들을 포함하는 양의 전압 펄스들(즉, 펄스들은 파선 0 볼트 기준선 위에 있음)을 포함하며, 입력 펄스 전압 파형(140_{1B})은 컨디셔닝 회로(111_{1B}) 내에 존재하는 분압기 및 저역 통과 필터와 같은 구성요소들에 의해 컨디셔닝될 때, 감소된 전압 레벨에 있는 필터링된 파형인 출력 파형(144_{1B})을 형성한다.

[0018] [0035] 도 1b를 추가로 참조하면, 입력 채널(110₂)은 PVWG(150) 내에 있거나 PVWG(150)에 부착된 전류 모니터(134)에 연결된다. 따라서, 입력 채널(110₂)은 입력 펄스 전압 파형(140₂)을 수신하고, 컨디셔닝 회로(111₂)는 출력 파형(컨디셔닝된 파형)(144₂)을 생성한다. 일 예에서, 도 1b에 도시된 바와 같이, 수신 또는 측정된 입력 펄스 전압 파형(140₂)은 전압 펄스들을 포함하며, 전압 펄스들은 전압 펄스들 각각의 상이한 위상들 내에서의 양 및 음의 전압 레벨들, 및 입력 펄스 전압 파형(140₂) 내(예를 들어, 펄스 영역을 강조하는 파선 원 참조)의 각 펄스의 위상들 중 적어도 하나 내에서의 고주파수 진동들을 포함하며, 입력 펄스 전압 파형(140₂)은 컨디셔닝 회로(111₂) 내의 분압기 및 저역 통과 필터와 같은 구성요소들에 의해 컨디셔닝될 때, 감소된 전압 레벨에 있는 필터링된 파형인 출력 파형(144₂)을 형성한다.

[0019] [0036] 또한, 입력 채널(110₃)은 PVWG(150)의 전류 감지 저항기(139)에 연결된다. 따라서, 입력 채널(110₃)은 입력 펄스 전압 파형(140₃)을 수신하고, 컨디셔닝 회로(111₃)는 출력 파형(컨디셔닝된 파형)(144₃)을 생성한다. 일 예에서, 도 1b에 도시된 바와 같이, 수신 또는 측정된 입력 펄스 전압 파형(140₃)은 양의 전압 펄스들, 및 입력 펄스 전압 파형(140₃) 내(예를 들어, 파선 원 참조)의 각 펄스의 위상들 중 적어도 하나 내에서의 고주파수 진동들을 포함하며, 입력 펄스 전압 파형(140₃)은 저역 통과 필터와 같은 컨디셔닝 회로(111₃) 내의 구성요소들에 의해 컨디셔닝될 때, 필터링된 파형인 출력 파형(144₃)을 형성한다.

[0020] [0037] 일부 실시예들에서, 입력 채널(110₄ 내지 110_N)과 같은 추가 입력 채널들은 플라즈마 프로세싱 시스템(50) 내의 다른 연결 지점들에 연결되어, 플라즈마 프로세싱 챔버에서 수행되는 플라즈마 프로세스의 상태 및/또는 전달된 펄스 전압 파형들에 관한 추가 정보를 수신한다. 또한, 컨디셔닝 회로(111_N)는 대응하는 출력 파형(144_N)을 생성하도록 구성된다. 입력 채널(110_N)은 입력 펄스 전압 파형(140_N)을 수신하고, 컨디셔닝 회로(111_N)는 출력 파형(컨디셔닝된 파형)(144_N)을 생성한다. 따라서, 컨디셔닝 회로들(111) 중 임의의 컨디셔닝 회로, 예컨대 컨디셔닝 회로(111_N)는 분압기들(112)(도 2) 및 저역 통과 필터들(114)(도 3)의 임의의 조합을 포함할 수 있거나, 분압기(112)도 저역 통과 필터(114)도 포함하지 않을 수 있다.

[0021] [0038] 도 1b에 도시된 바와 같이, 입력 펄스 전압 파형들(140_{1A} 내지 140₃) 각각은 서로 상이하다. 따라서, 대

응하는 출력 파형들(144_{1A} 내지 144₃)은 서로 상이하다. 따라서, 입력 채널(110)의 입력 단부가 플라즈마 프로세싱 시스템(50)에 연결되는 위치에 따라, 입력 펄스 전압 파형들 및 출력 파형들의 특성들이 그에 맞춰서 달라지며, 따라서 입력 채널들 각각의 연결 포지션의 선택은 펄스 전압 파형을 제어하는 피드백 루프(100)의 능력에 영향을 줄 수 있는 피드백 루프(100)에 의해 수신된 정보에 영향을 미칠 것이다.

[0022] **고속 데이터 획득 모듈**

[0039] 고속 데이터 획득 모듈(120)은 일반적으로 아날로그 전압 파형들(예를 들어, 컨디셔닝된 파형들(144))을 수신하고, 디지털화된 전압 파형들을 전송하도록 구성된다. 고속 데이터 획득 모듈(120)은 제1 입력 채널(110)의 각각의 컨디셔닝 회로(111)에 각각 전기적으로 결합된 하나 이상의 획득 채널들(122)을 포함하고, 고속 데이터 획득 모듈(120)은 수신된 컨디셔닝된 전압 파형(예를 들어, 출력 파형(144))으로부터 디지털화된 전압 파형을 생성하도록 구성되며, 고속 데이터 획득 모듈(120)의 데이터 획득 제어기(123)는 제1 디지털화된 전압 파형을 분석함으로써 컨디셔닝된 전압 파형(예를 들어, 출력 파형(144))의 하나 이상의 파형 특성들을 결정하도록 구성된다. 도 1b에 도시된 바와 같이, 고속 데이터 획득 모듈(120)은 복수의 획득 채널들(122₁ 내지 122_N), 데이터 획득 제어기(123) 및 메모리(124)(예를 들어, 비휘발성 메모리)를 포함한다. 획득 채널들(122) 각각은 입력 채널들(110) 중 대응하는 입력 채널의 출력부에 전기적으로 결합되어, 획득 채널(122)이 입력 채널들(110) 중 대응하는 입력 채널로부터 출력 파형(144)을 수신한다. 예를 들어, 획득 채널(122₁)은 입력 채널(110₁)의 출력 단부에 전기적으로 결합되고, 입력 채널(110₁)의 입력 단부의 연결 지점의 포지션에 따라, 출력 파형(144_{1A} 또는 144_{1B})을 수신한다. 또한, 획득 채널(122₂)은 입력 채널(110₂)의 출력 단부에 전기적으로 결합되고, 출력 파형(144₂)을 수신한다. 추가적으로 또는 대안적으로, 획득 채널(122₃)은 입력 채널(110₃)의 출력 단부에 전기적으로 결합되고, 출력 파형(144₃)을 수신한다. 획득 채널(122_N)은 입력 채널(110_N)의 출력 단부에 전기적으로 결합되고, 출력 파형(144_N)을 수신한다.

[0040] 일부 실시예들에서, 고속 데이터 획득 모듈(120)은 데이터 통신 인터페이스(125A)를 통해 피드백 프로세서(125)에 결합되며, 피드백 프로세서(125)는 데이터 획득 제어기(123) 내의 프로세서에 의해 실행되는 하나 이상의 알고리즘들에 의해 결정된 하나 이상의 파형 특성들을 사용하여 하나 이상의 제어 파라미터들을 생성하도록 구성된다. 메모리(124)에 저장된 하나 이상의 알고리즘들은, 고속 데이터 획득 모듈의 프로세서(121)에 의해 실행될 때, 고속 데이터 획득 모듈로 하여금 출력 파형(144)(예를 들어, 컨디셔닝된 전압 파형(들))을 프로세싱하여 수신된 출력 파형(144)의 하나 이상의 파형 특성들을 결정하게 하는 명령들을 포함한다. 하기에서 추가로 논의되는 바와 같이, 피드백 프로세서(125)는, 피드백 프로세서(125) 내의 프로세서(CPU)에 의해 실행될 때, 피드백 프로세서(125)로 하여금 고속 데이터 획득 모듈(120)로부터 제공되는 결정된 하나 이상의 파형 특성들을 사용하여 하나 이상의 제어 파라미터들을 생성하게 하는 명령들을 포함하는 메모리를 포함한다. 피드백 프로세서에 의해 실행되는 명령들은 또한, 피드백 프로세서로 하여금 생성된 하나 이상의 제어 파라미터들과 관련된 정보를 PVWG(150)로 전송하게 하도록 추가로 구성될 수 있다. PVWG(150)는 또한, PVWG(150) 내의 프로세서에 의해 실행될 때, PVWG(150)로 하여금 피드백 프로세서(125)에 의해 생성된 하나 이상의 제어 파라미터들에 기초하여, 조정된 펄스 전압 파형을 설정하게 하는 명령들을 포함하는 메모리를 포함할 수 있다.

[0041] 상기에서 논의된 바와 같이, 획득 채널들(122) 각각은 대응하는 입력 채널(110)에 의해 출력된 대응하는 출력 파형(144)을 프로세싱하여 출력 파형으로부터 디지털화된 전압 파형을 생성한다. 예를 들어, 획득 채널(122₁)은 출력 파형(144_{1A} 또는 144_{1B})을 프로세싱하여 디지털화된 전압 파형을 생성한다. 또한, 획득 채널(122₂)은 출력 파형(144₂)을 프로세싱하여 디지털화된 전압 파형을 생성하고, 획득 채널(122₃)은 출력 파형(144₃)을 프로세싱하여 디지털화된 전압 파형을 생성한다. 추가적으로 또는 대안적으로, 획득 채널(122_N)은 출력 파형(144_N)을 프로세싱하여 디지털화된 전압 파형을 생성한다.

[0042] 데이터 획득 모듈(120)은 데이터 획득 제어기(123)를 더 포함한다. 데이터 획득 제어기(123)는 획득 채널들(122) 각각의 출력부에 전기적으로 결합되고, 획득 채널들(122) 각각으로부터 디지털화된 전압 파형을 수신하도록 구성된다. 또한, 데이터 획득 제어기(123)의 메모리(124) 내에 저장된 알고리즘들은 디지털화된 전압 파형들 각각을 분석함으로써 컨디셔닝된 파형들(예를 들어, 출력 파형들(144)) 각각의 하나 이상의 파형 특성들을 결정하도록 적합화된다. 분석은 디지털화된 전압 파형으로 수신된 정보와, 메모리(124)에 저장되고 하기에서 추가로 논의되는 하나 이상의 저장된 파형 특성들과 관련된 정보의 비교를 포함할 수 있다.

- [0027] [0043] 데이터 획득 제어기(123)는 아날로그-디지털 컨버터(analog-to-digital converter; ADC)(도시되지 않음), 프로세서(121)(도 1c), 통신 인터페이스(도시되지 않음), 클럭(clock)(도시되지 않음) 및 선택적인 드라이버(driver)(도시되지 않음)를 포함할 수 있다. 프로세서는 임의의 일반 컴퓨팅 프로세서일 수 있다. 또한, 프로세서는 필드 프로그래머블 게이트 어레이(Field Programmable Gate Array; FPGA)일 수 있다. ADC는 출력 파형(144) 내의 신호를 아날로그 도메인(analog domain)으로부터 디지털 도메인(digital domain)으로 변환하고, ADC의 출력 디지털 신호는 프로세싱을 위해 프로세서(121)에 제공된다. 데이터 획득 제어기(123)의 프로세서(121)는 ADC로부터 제공된 출력 디지털 신호를 분석함으로써 출력 파형의 하나 이상의 파형 특성들을 결정한다.
- [0028] [0044] 다양한 실시예들에서, 데이터 획득 모듈(120)은 추가적으로 메모리(124)를 포함한다. 메모리(124)는 임의의 비휘발성 메모리일 수 있다. 또한, 데이터 획득 제어기(123)는 메모리(124)와 전기적으로 결합되고, 파형 특성들이 메모리(124) 내에 저장되게 하도록 구성된다. 다양한 실시예들에서, 메모리(124)는 데이터 획득 제어기(123)로 하여금 수신된 출력 파형들(144)을 분석하고, 그리고/또는 수신된 출력 파형들(144)의 분석에 기초하여, 결정된 파형 특성들에 대응하는 정보를 전송하게 하도록 데이터 획득 제어기(123)에 의해 실행 가능한 명령들을 포함한다.
- [0029] [0045] 다양한 실시예들에서, 메모리(124)는 데이터 로거(data logger)(124A), 파형 분석기(124B) 및 실행 가능한 명령들(124C) 중 하나 이상을 포함한다. 데이터 획득 제어기(123)는 메모리(124)의 데이터 로거(124A) 내에 파형 특성들에 대응하는 정보를 저장하도록 구성될 수 있다. 예를 들어, 데이터 로거(124A)는 파형 특성들에 대응하는 정보를 저장하도록 데이터 획득 제어기(123)에 의해 액세스 가능한 데이터베이스를 포함할 수 있다. 파형 분석기(124B)는 데이터 획득 제어기(123)에 의해 실행 가능하고, 실행될 때 데이터 획득 제어기(123)로 하여금 출력 파형들(144)을 분석하여 파형 특성들을 결정하게 하는 명령들을 포함한다. 실행 가능한 명령들(124C)은 데이터 획득 제어기(123)에 의해 실행 가능하고, 실행될 때 데이터 획득 제어기(123)로 하여금 파형 특성들 또는 파형 특성들에 대응하는 정보를 피드백 프로세서(125), 제어기(127), 제어기(128) 및 제어기(191) 중 하나 이상으로 전송하게 한다. 일 실시예에서, 실행 가능한 명령(124C)은, 데이터 획득 제어기(123)에 의해 실행될 때, 데이터 획득 제어기(123)로 하여금 데이터 로거(124A) 내에 파형 특성들을 저장하고, 특히, 하나 이상의 임계 값들과 관련하여 파형 특성들을 분석하게 한다.
- [0030] [0046] 데이터 획득 제어기(123)는 대응하는 획득 채널들(122) 각각으로부터 병렬적으로 디지털화된 전압 파형들을 수신 및/또는 분석하도록 구성된다. 대안적으로, 데이터 획득 제어기(123)는 대응하는 획득 채널들(122) 각각으로부터 연속적으로 디지털화된 전압 파형들을 수신 및/또는 분석하도록 구성된다.
- [0031] [0047] 상기에서 논의된 바와 같이, 데이터 획득 모듈(120)은 피드백 프로세서(125)와 전기적으로(유선 또는 무선으로) 결합될 수 있다. 피드백 프로세서(125)는 임의의 일반 컴퓨팅 프로세서일 수 있다. 일부 실시예들에서, 피드백 프로세서(125)는 일반적으로, 데이터 통신 인터페이스를 통해 고속 데이터 획득 모듈(120)에 연결된 외부 프로세서; 고속 데이터 획득 모듈(120) 내에 통합된 내부 프로세서; 또는 데이터 통신 인터페이스를 통해 고속 데이터 획득 모듈에 연결된, 기관 프로세싱 챔버를 위한 제어기(예를 들어, 프로세싱 챔버 제어기(126)) 중 하나를 포함한다. 데이터 획득 모듈(120)은 수신된 출력 파형들(144) 중 하나 이상에 대응하는 정보를 피드백 프로세서(125)로 전달할 수 있다. 예를 들어, 데이터 획득 모듈(120)은 수신된 출력 파형들(144) 중 하나 이상의 하나 이상의 검출 및/또는 프로세싱된 파형 특성들과 관련된 정보를 피드백 프로세서(125)로 전달할 수 있다. 또한, 피드백 프로세서(125)는 플라즈마 프로세싱 시스템(50)과 통신적으로 결합될 수 있다. 다양한 실시예들에서, 상기에서 논의된 바와 같이, 피드백 프로세서(125)는 메모리를 포함하거나 메모리에 결합되고, 메모리는 피드백 프로세서(125) 내의 프로세서에 본원에서 설명된 방법들의 하나 이상의 부분들을 수행하도록 명령하기 위한 소프트웨어 알고리즘을 더 포함한다.
- [0032] [0048] 하나 이상의 실시예들에서, 데이터 획득 모듈(120)은 프로세싱 챔버(예를 들어, 도 8a의 프로세싱 챔버(800)) 또는 프로세싱 챔버를 포함하는 프로세싱 시스템의 프로세싱 챔버 제어기(126)와 전기적으로(유선 또는 무선으로) 결합될 수 있다. 예를 들어, 데이터 획득 모듈(120)은 프로세싱 챔버 제어기(126)(도 1d)로 데이터를 전송하고, 그리고/또는 그로부터 데이터를 수신한다. 예를 들어, 데이터 획득 모듈(120)은 하나 이상의 파형 특성들과 관련된 정보를 프로세싱 챔버 제어기(126)로 전달한다. 또한, 프로세싱 챔버 제어기(126)는 플라즈마 프로세싱 시스템(50)과 통신적으로 결합될 수 있다. 다양한 실시예들에서, 프로세싱 챔버 제어기(126)는 생략된다. 프로세싱 챔버 제어기(126)는 제어기 CPU(도시되지 않음), 비휘발성 메모리(도시되지 않음), 그래픽 사용자 인터페이스(graphical user interface; GUI)(도시되지 않음), 및 CPU에 명령하기 위해 메모리 내에 코딩 및 저장될 수 있는 다른 유용한 하드웨어 및 소프트웨어 구성요소들을 개별적으로 포함할 수 있다. 프로세싱 챔버 제어기(126)의 메모리 내에 저장된 알고리즘은, 데이터 획득 제어기(123)에 의해 결정된 하나 이상의

파형 특성들과 관련된 정보에 기초하여, 제어기 CPU에 의해 실행될 때, 척킹 전력 공급부의 척킹 전압 설정점과 같은 다양한 프로세싱 챔버 설정점들이 조정되게 하는 명령들을 포함할 수 있다.

[0033] [0049] 하나 이상의 실시예들에서, 데이터 획득 모듈(120)은 제거 가능한 메모리 디바이스를 포함하는 제어기(127)와 전기적으로(유선 또는 무선으로) 결합된다. 예를 들어, 데이터 획득 모듈(120)은 제어기(127)로 데이터를 전송하고, 그리고/또는 그로부터 데이터를 수신한다. 예를 들어, 데이터 획득 모듈(120)은 하나 이상의 파형 특성들과 관련된 정보를 제어기(127)의 제거 가능한 메모리 디바이스로 전달한다.

[0034] [0050] 다양한 실시예들에서, 데이터 획득 모듈(120)은 통신 인터페이스를 통해 외부 컴퓨팅 디바이스에 전기적으로(유선 또는 무선으로) 결합된다. 데이터 획득 모듈(120)은 외부 컴퓨팅 디바이스(예를 들어, 고속 데이터 획득 모듈(120) 외부의 컴퓨팅 디바이스)로 데이터를 전송하고, 그리고/또는 그로부터 데이터를 수신한다. 예를 들어, 데이터 획득 모듈(120)은 제어기(128)(도 1b 내지 도 1d)와 같은 컴퓨팅 디바이스의 제어기와 통신(예를 들어, 데이터를 전송 및/또는 수신)한다. 데이터 획득 모듈(120)은 하나 이상의 검출 및/또는 프로세싱된 파형 특성들을 제어기(128)로 전달할 수 있다. 제어기(128)는 특히, 개인용 컴퓨터(PC) 또는 모바일 컴퓨팅 디바이스일 수 있다. 또한, 제어기(128)는 데이터 획득 모듈(120) 및/또는 플라즈마 프로세싱 시스템(50)과(예를 들어, 이더넷 연결을 통해) 통신적으로 결합될 수 있다. 다양한 실시예들에서, 제어기(128)는 생략된다.

[0035] [0051] 하기의 설명 및 도 5a 내지 도 5d의 설명에서 보다 상세하게 설명되는 바와 같이, 하나 이상의 파형 특성들을 결정하는 것은 일반적으로, 펄스의 1-사이클 주기(T_{cycle}), 펄스의 상승 시간(T_{rise}), 펄스의 하강 시간(T_{fall}), 기준 전압(예를 들어, 0 V)으로부터의 펄스의 오프셋, 펄스의 진폭, 펄스 폭, 직류(DC) 전압 오프셋, 및 이온 전류 위상(본원에서 "이온 전류" 파형 특성으로도 지칭됨)과 같은 펄스 전압 파형의 위상들 중 하나 이상 동안에 생성된 펄스 파형 특성 중 하나 이상을 결정하는 것을 포함하지만 이에 제한되지는 않는다. 추가적으로 또는 대안적으로, 하나 이상의 파형 특성들을 결정하는 것은 도 7b에 도시된 바와 같이, 펄스들의 버스트(예를 들어, T_{on} 주기, T_{off} 주기)의 파형 특성들을 결정하는 것을 포함한다.

[0036] [0052] 도 1c는 하나 이상의 실시예들에 따른 피드백 루프(100A)의 일부를 도시한다. 피드백 루프(100A)는 도 1b의 피드백 루프(100)의 것과 유사하게 구성된다. 예를 들어, 피드백 루프(100A)는 획득 채널들(122), 데이터 획득 제어기(123A) 및 메모리(124)를 포함하는 고속 데이터 획득 모듈(120)을 포함한다. 그러나, 도 1b의 피드백 루프(100)와 비교하여, 피드백 프로세서(125)는 프로세싱 챔버 제어기(126) 내에 통합될 수 있다. 이러한 경우에, 통합된 피드백 프로세서(125)는 데이터 로거 및 알고리즘 솔버(algorithm solver)(예를 들어, 제어 파라미터들을 결정하기 위한 소프트웨어 명령들)를 포함하는 메모리(126A) 및 프로세서(126B)를 포함할 수 있다. 도 1c에 도시된 구성에서, 피드백 프로세서(125)의 기능들은 프로세싱 챔버 제어기(126) 내의 구성요소들에 의해 수행되기 때문에, 피드백 루프(100)는 개별 피드백 프로세서(125)를 포함하지 않을 수 있다.

[0037] [0053] 도 1d는 하나 이상의 실시예들에 따른 피드백 루프(100B)의 일부를 도시한다. 피드백 루프(100B)는 도 1b의 피드백 루프(100)의 것과 유사하게 구성된다. 예를 들어, 피드백 루프(100B)는 획득 채널들(122) 및 메모리(124')를 포함하는 고속 데이터 획득 모듈(120)을 포함한다. 그러나, 도 1b의 피드백 루프(100)와 비교하여, 피드백 루프(100B)는 피드백 프로세서(125)를 포함하지 않는다. 예를 들어, 도 1d의 실시예에서, 데이터 획득 제어기(123B)는 도 1b의 데이터 획득 제어기(123) 및 도 1b의 피드백 프로세서(125)의 기능을 포함한다. 그러한 실시예에서, 데이터 획득 제어기(123B)는 출력 파형들(144)을 분석하여 파형 특성들을 결정하고 제어 파라미터들을 결정하고 PVWG(150)에 전달하도록 기능한다.

[0038] [0054] 하나 이상의 실시예들에서, 데이터 획득 제어기(123)는 디지털 인터페이스를 통해 제어기(191) 내의 모니터(129)에 결합된다. 예를 들어, 데이터 획득 제어기(123)는 특히, 디지털 비주얼 인터페이스(digital visual interface; DVI), 고화질 멀티미디어 인터페이스(high-definition multimedia interface; HDMI) 또는 비디오 그래픽 어레이(video graphics array; VGA)를 통해 제어기(191) 및 모니터(129)에 결합된다. 데이터 획득 제어기(123)는 사용자가 관찰하도록 모니터(129) 상에 표시될 하나 이상의 파형 특성들에 대응하는 정보를 모니터(129)로 전달한다.

[0039] [0055] 도 2는 하나 이상의 실시예들에 따른 컨디셔닝 회로(111)의 분압기(예를 들어, 분압기(112))의 개략도이다. 도 2에 도시된 바와 같이, 분압기(112)는 제1 분압기 캐스케이드(voltage divider cascade)(210) 및 제2 분압기 캐스케이드(212)를 포함할 수 있다. 분압기(112)는 신호 라인(221) 및 접지 기준 라인(223)과 같은 하나 이상의 전기 연결부들을 통해 저역 통과 필터(114)에 전기적으로 결합된다. 제1 분압기 캐스케이드(210)는 저항기(R1), 저항기(R2), 커패시터(C1) 및 커패시터(C2)를 포함한다. 제2 분압기 캐스케이드(212)는 저항기

(R4), 저항기(R5), 커패시터(C3) 및 커패시터(C4)를 포함한다. 저항기(R1)의 저항, 저항기(R2)의 저항, 커패시터(C1)의 커패시턴스(capacitance) 및 커패시터(C2)의 커패시턴스는 제1 분압기 비율을 생성하도록 선택된다. 예를 들어, 제1 분압기 비율은 약 20:1 내지 약 60:1의 범위일 수 있다. 또한, 저항기(R1)의 저항은 저항기(R2)의 저항보다 크고, 커패시터(C2)의 커패시턴스는 커패시터(C1)의 커패시턴스보다 크다. 예를 들어, 저항기(R1)의 저항은 약 950 키로옴일 수 있고, 저항기(R2)의 저항은 약 20 키로옴일 수 있다. 대안적으로, 저항기(R1)의 저항은 950 키로옴보다 작거나 클 수 있고, 저항기(R2)의 저항은 20 키로옴보다 작거나 클 수 있다. 추가적으로, 커패시터(C2)의 커패시턴스는 약 650 pF일 수 있고, 커패시터(C1)의 커패시턴스는 약 15 pF일 수 있다. 대안적으로, 커패시터(C2)의 커패시턴스는 650 pF보다 작거나 클 수 있고, 커패시터(C1)의 커패시턴스는 15 pF보다 작거나 클 수 있다.

[0040] [0056] 저항기(R4)의 저항, 저항기(R5)의 저항, 커패시터(C3)의 커패시턴스 및 커패시터(C4)의 커패시턴스는 제2 분압기 캐스캐이드(212)의 제2 분압기 비율을 생성하도록 선택된다. 일부 실시예들에서, 제2 분압기 비율은 제1 분압기 비율보다 크다. 예를 들어, 제2 분압기 비율은 약 80:1 내지 약 120:1의 범위일 수 있다. 또한, 저항기(R4)의 저항은 저항기(R5)의 저항보다 크고, 커패시터(C4)의 커패시턴스는 커패시터(C1)의 커패시턴스보다 크다. 예를 들어, 저항기(R4)의 저항은 약 1000 키로옴일 수 있고, 저항기(R5)의 저항은 약 10 키로옴일 수 있다. 대안적으로, 저항기(R4)의 저항은 1000 키로옴보다 작거나 클 수 있고, 저항기(R5)의 저항은 10 키로옴보다 작거나 클 수 있다. 추가적으로, 커패시터(C4)의 커패시턴스는 약 1.5 nF일 수 있고, 커패시터(C3)의 커패시턴스는 약 15 pF일 수 있다. 대안적으로, 커패시터(C4)의 커패시턴스는 1.5 nF보다 작거나 클 수 있고, 커패시터(C3)의 커패시턴스는 15 pF보다 작거나 클 수 있다.

[0041] [0057] 일부 실시예들에서, 제1 분압기 캐스캐이드(210)는 저항기(R3)를 통해 제2 분압기 캐스캐이드(212)에 결합된다. 저항기(R3)의 저항은 예를 들어 약 200 키로옴일 수 있다. 대안적으로, 저항기(R3)의 저항은 약 200 키로옴보다 크거나 작을 수 있다. 저항기(R3)는 입력 펄스 전압 파형(140)으로부터 고주파수들을 필터링할 수 있다. 분압기(112)의 분압기 비율은 커패시터들(C1 내지 C4) 및 저항기들(R1, R2, R4 및 R5)의 값을 변경함으로써 변할 수 있다. 예를 들어 R1과 R2와 C1과 C2 사이의 차이를 증가시키는 것, 및/또는 R4와 R5와 C3과 C4 사이의 차이를 증가시키는 것은 분압기 비율을 증가시키며, R1과 R2와 C1과 C2 사이의 차이를 감소시키는 것, 및/또는 R4와 R5와 C3과 C4 사이의 차이를 감소시키는 것은 분압기 비율을 감소시킨다. 일부 실시예들에서, 제1 분압기 캐스캐이드(210)는 약 10:1 내지 약 100:1 범위의 분배 비율(dividing ratio)을 갖고, 제2 분압기 캐스캐이드(212)는 약 20:1 내지 약 120:1 범위의 분배 비율을 갖는다.

[0042] [0058] 입력 채널(110)이 분압기(112) 및 저역 통과 필터(114)를 포함하는 실시예들에서, 저역 통과 필터(114)의 입력부는 분압기(112)의 출력부에 전기적으로 결합되어, 저역 통과 필터(114)가 분압기(112)로부터 분배 전압 파형을 수신한다. 또한, 저역 통과 필터(114)는 플래토(plateau) 및 차단 주파수를 포함하는 주파수 응답 곡선을 갖는다. 예를 들어, 저역 통과 필터(114)의 필터 응답은 약 -3 dB의 대역폭 주파수보다 작은 주파수들에서 플래토를 갖는다. 저역 통과 필터(114)의 플래토는 DC 내지 약 7 MHz의 범위에 있고, 차단 주파수는 약 5 MHz 내지 약 10 MHz의 범위에 있다. 도 4는 저역 통과 필터(114)의 주파수 응답 곡선(예를 들어, 주파수 응답 곡선(400))의 일 예를 도시한다. 도시된 바와 같이, 필터 응답 곡선은 약 7.3 MHz의 대역폭(예를 들어, -3 dB) 주파수보다 낮은 주파수들에서 플래토를 갖는다. 대안적으로, 대역폭 주파수는 약 7.3 MHz보다 크거나 작을 수 있다.

[0043] [0059] 도 3은 하나 이상의 실시예들에 따른, 컨디셔닝 회로(111)의 저역 통과 필터(예를 들어, 저역 통과 필터(114))의 개략도이다. 도 3에 도시된 바와 같이, 저역 통과 필터(114)는 필터 캐스캐이드(filter cascade)(222) 및 필터 캐스캐이드(224)를 포함한다. 필터 캐스캐이드(222)는 2-단 체비쇼프 필터(2-stage Chebyshev filter)일 수 있다. 예를 들어, 필터 캐스캐이드(222)는 약 0.1 dB의 정지 대역 감쇠를 갖는 2-단 체비쇼프 필터일 수 있다. 대안적으로, 0.1 dB 보다 작거나 큰 정지 대역 감쇠를 갖는 2-단 체비쇼프 필터들이 사용될 수 있다. 필터 캐스캐이드(222)는 저항기들(R6, R7), 커패시터들(C6 및 C5) 및 연산 증폭기(225)를 포함한다. 저항기들(R6 및 R7)의 저항은 동일할 수 있다. 예를 들어, 저항기들(R6 및 R7)의 저항은 약 50 옴일 수 있다. 그러나, 다른 저항 값들이 이용될 수 있다. 또한, 일 예에서, 커패시터(C6)의 커패시턴스는 약 360 pF일 수 있고, 커패시터(C5)의 커패시턴스는 약 147 pF일 수 있다. 그러나, 다른 커패시턴스 값들이 이용될 수 있다. 추가적으로, 필터 캐스캐이드(222)는 약 15 MHz의 차단 주파수를 가질 수 있다. 대안적으로, 필터 캐스캐이드(222)는 약 15 MHz보다 작거나 큰 차단 주파수를 가질 수 있다.

[0044] [0060] 필터 캐스캐이드(224)의 입력부는 필터 캐스캐이드(222)의 출력부에 전기적으로 결합된다. 필터 캐스캐이드(224)는 LCL 필터 캐스캐이드이다. 또한, 필터 캐스캐이드(224)는 5차 버터워스 필터(5th order

Butterworth filter)일 수 있다. 추가적으로, 필터 캐스케이드(224)는 필터 캐스케이드(222)의 차단 주파수보다 작은 차단 주파수를 가질 수 있다. 예를 들어, 필터 캐스케이드(224)는 약 7.3 MHz의 차단 주파수를 가질 수 있다. 대안적으로, 필터 캐스케이드(224)는 약 7.3 MHz보다 작거나 큰 차단 주파수를 가질 수 있다. 필터 캐스케이드(224)는 저항기들(R8, R9), 인덕터들(L1, L3 및 L3) 및 커패시터들(C10 및 C11)을 포함한다. 저항기(R8)의 저항은 약 400 키로옴일 수 있지만; 다른 저항 값들이 이용될 수 있다. 또한, 인덕터(L1)의 인덕턴스(inductance)는 약 5.4 μ H일 수 있고, 인덕터(L2)의 인덕턴스는 약 17.5 μ H일 수 있으며, 인덕터(L3)의 인덕턴스는 약 5.4 μ H일 수 있다. 그러나, 다른 인덕턴스 값들이 이용될 수 있다. 추가적으로, 인덕터(L2)의 인덕턴스는 인덕터(L1 및 L2)의 인덕턴스보다 크다. 또한, 인덕터(L1)의 인덕턴스는 인덕터(L3)의 인덕턴스와 동일할 수 있다. 커패시터들(C10 및 C11)의 커패시턴스는 동일할 수 있다. 예를 들어, 커패시터들(C10 및 C11)의 커패시턴스는 약 88 pF일 수 있다. 그러나, 다른 커패시턴스 값들이 이용될 수 있다. 또한, 저항기들(R8 및 R9)의 저항은 약 400 키로옴일 수 있다. 그러나, 다른 저항 값들이 사용될 수 있다.

[0045] [0061] 일부 실시예들에서, 필터 캐스케이드(222) 및 필터 캐스케이드(224)는 각각 플래토 및 차단 주파수를 포함하는 주파수 응답 곡선을 가지며, 플래토는 1 MHz 내지 약 7 MHz이고, 차단 주파수는 약 5 MHz 내지 약 10 MHz의 범위에 있다.

[0046] [0062] 도 5a, 도 5b, 도 5c 및 도 5d는 각각 출력 파형들(즉, 컨디셔닝된 파형들)(144_{1A}, 144_{1B}, 144₂ 및 144₃)을 도시한다. 도 5a, 도 5b, 도 5c 및 도 5d에 도시된 출력 파형들은, 전압 오프셋 외에, 주기 "T_{cycle}"(예를 들어, 2.5 마이크로초)로 반복되는 주기적인 일련의 단펄스들을 포함한다. 하나의 플라즈마 프로세싱 예에서, 하기에서 논의되는 바와 같이, 단펄스는 주기 "T_{cycle}"의 약 10%만을 형성한다.

[0047] [0063] 상기에서 간략하게 논의되고 도 5a에 도시된 바와 같이, 출력 파형(144_{1A})은 펄스의 1-사이클 주기(T_{cycle}), 펄스의 상승 시간(T_{rise}), 펄스의 하강 시간(T_{fall}), 및 기준 전압(예를 들어, 0 V)으로부터의 펄스의 전압 오프셋 중 하나 이상을 포함하는 파형 특성들을 결정하기 위해 획득 채널(122₁)에 의해 분석될 수 있다. 일 실시예에서, 생성기 결합 조립체(133)의 바이어싱 전극(804)(도 8a)측에 결합되는 입력 채널(110₁)의 컨디셔닝 회로(111_{1A})는 출력 파형(144_{1A})을 형성하는 데 사용되는 분압기(112)만을 포함한다. 이러한 구성에서, 저역 통과 필터(114)의 부재로 인해, 펄스 타이밍 특성들(예를 들어, 주기, 상승 시간, 하강 시간 등)의 정확한 결정이 달성될 수 있다. 또한, 일부 실시예들에서, 바이어싱 전극(804)(도 8a) 및 HVM(816)의 높은 DC 전압 전력 공급부(V_{HVM})(도 8b)의 사용에 의해, 기관에 인가되는 척킹력(chucking force)은 기관(803)과 바이어싱 전극(804)(도 8a) 상의 DC 전압 사이의 차이를 측정함으로써 결정될 수 있다.

[0048] [0064] 또한, 도 5b에 도시된 바와 같이, 출력 파형(144_{1B})은 펄스의 진폭(Amp1), 펄스 폭(W) 및 DC 전압 오프셋을 포함하는 파형 특성들을 결정하기 위해 획득 채널(122₁)에 의해 분석될 수 있다. 결정된 펄스 폭(W)은 반치폭(full width at half maximum)과 동일할 수 있다. 일 실시예에서, 생성기 결합 조립체(133)의 생성기측에 결합된 입력 채널(110₁)의 입력 단부를 갖는 입력 채널(110₁)의 컨디셔닝 회로(111_{1B})는 출력 파형(144_{1B})을 형성하는 데 사용되는 분압기(112) 및 저역 통과 필터(114)를 포함한다. 이러한 구성에서, 시스 전압(V_{sh})(도 10b) 및 이온 에너지(E_i)의 결정은 스케일링 계수(scaling factor)(α)의 사전 결정에 의해 플라즈마 프로세싱 동안에 달성될 수 있으며, 여기서 $E_i \approx V_{sh} \approx \alpha \cdot \text{"Amp"}$ 이다. 또한, 일부 실시예들에서, 기관에 인가되는 척킹력은 또한 기관(803)과 바이어싱 전극(804)(도 8a) 상의 DC 전압 사이의 차이를 측정함으로써 결정될 수 있다. 또한, 펄스 파형의 이온 전류 위상 내에서 생성된 이온 전류(I_{ion})의 특성들이 결정될 수 있으며, 이에 대해서는 하기에서 추가로 논의된다.

[0049] [0065] 도 5c에 도시된 바와 같이, 출력 파형(144₂)은 이온 전류 오프셋을 포함하는 파형 특성들을 결정하기 위해 획득 채널(122₂)에 의해 분석될 수 있다. 일 실시예에서, 전류 모니터(134)(도 1b 및 도 9b)에 결합된 입력 채널(110₂)의 입력 단부를 갖는 입력 채널(110₂)의 컨디셔닝 회로(111₂)는 출력 파형(144₂)을 형성하는 데 사용되는 분압기(112) 및 저역 통과 필터(114)를 포함한다. 이러한 구성에서, 이온 전류 오프셋과 관련된 정보의 결정은 방정식 $I_{ion} = (\text{이온 전류 오프셋})/\text{계수}$ 를 사용하여 플라즈마 프로세싱 동안에 달성될 수 있으며, 여기서 "I_{ion}"은 이온 전류이고, "계수"는 전류 모니터(134)의 앰프-당-볼트(volts-per-amp) 출력 특성이다.

- [0050] [0066] 추가적으로 또는 대안적으로, 출력 파형(144₃)(도 5d)은 플라즈마 프로세싱 동안의 최대 이온 전류를 포함하는 파형 특성들을 결정하기 위해 획득 채널(122₃)에 의해 분석될 수 있다. 일 실시예에서, PVWG(150) 내의 전류 감지 저항기(139)에 결합된 입력 채널(110₃)의 입력 단부를 갖는 입력 채널(110₃)의 컨디셔닝 회로(111₃)는 출력 파형(144₃)을 형성하는 데 사용되는 저역 통과 필터(114)만을 포함한다. 이러한 구성에서, 분압기(112)의 부재로 인해, 이온 전류(I_{ion})의 크기의 정확한 결정이 달성될 수 있다. 최대 이온 전류(Max)의 결정은 방정식 $I_{ion} = (Max)/R_{sense}$ 를 사용하여 플라즈마 프로세싱 동안에 달성될 수 있으며, 여기서 " R_{sense} "는 R_{sense} 저항기의 값이다.
- [0051] [0067] 피드백 프로세서(125)는 고속 데이터 획득 모듈(120)로부터 파형 특성들 중 하나 이상에 관한 정보를 수신하고, 대응하는 제어 파라미터들을 생성할 수 있다. 피드백 프로세서(125)는 제어 파라미터들을 PVWG(150)로 전달하고, PVWG(150)는 수신된 제어 파라미터들에 기초하여 복합 부하(130)에 설정된 펄스 전압 파형을 조정한다. 예를 들어, PVWG(150)는 수신된 제어 파라미터들에 기초하여 복합 부하(130)에 설정된 펄스 전압 파형의 진폭 및/또는 폭을 증가시킬 수 있다. 펄스 전압 파형을 생성하는 데 이용되는 파라미터들을 조정하는 것은 기판 프로세싱 동안 프로세싱 챔버 내에서의 바람직하지 않은 변화들 또는 프로세스 변수 드리프트를 완화하는 데 사용될 수 있다. 예를 들어, 펄스 전압 파형을 생성하는 데 이용되는 파라미터들을 조정하는 것은 플라즈마 프로세싱 동안 기판에서의 시스 전압 및 이온 에너지 분포 함수의 변화들을 완화할 수 있으며, 이에 대해서는 하기에 보다 상세하게 논의된다. 시스 전압(V_{sh}) 및 이온 에너지 분포 함수의 변화들은 부하의 변화들, 플라즈마 밀도의 드리프트들, 챔버 벽들의 상태 변화들, 기판 온도 및/또는 화학적 해리의 정도 및 상태에 응답하여 발생할 수 있다.
- [0052] [0068] 도 1b를 추가로 참조하면, PVWG(150)는 생성기 결합 조립체(133)를 통해 복합 부하(130)에 펄스 전압 파형을 설정한다. PVWG(150)는 데이터 획득 모듈(120)에 의해 결정된 파형 특성들(예를 들어, 진폭, 펄스 폭, DC 오프셋 및 이온 전류)로부터 유도된 제어 파라미터들에 기초하여 펄스 전압 파형을 설정할 수 있다. 가장 간단한 경우에, 데이터 획득 모듈(120)에 의해 결정된 파형 특성들이 사용자에게 제공될 수 있으며(예를 들어, 제어기(127)의 모니터 상에 표시됨), 다음에 사용자는 결정된 파형 특성들에 기초하여 PVWG(150)에 의해 생성된 하나 이상의 펄스 파형들의 펄스 파형 특성들을 개선하기 위해 PVWG(150)에 의해 사용되는 제어 파라미터들을 조정한다. 제어 파라미터들은 피드백 프로세서(125), 제어기(128) 또는 프로세싱 챔버 제어기(126)로부터 교대로 수신될 수 있다. 제어 파라미터들은 후속적으로 생성되는 조정된 펄스 전압 파형을 형성하기 위해 PVWG(150)에 의해 사용되는 정보를 포함할 수 있으며, 제어 파라미터들은 하기 중 하나 이상을 포함할 수 있지만 이에 제한되는 않는다: 제1 컨디셔닝된 전압 파형의 결정된 하나 이상의 파형 특성들이 자신들의 목표 값들 또는 한계들에 도달하는 것; DC 충전 전압의 최대 한계에 도달하는 것; 최대 전력 한계에 도달하는 것; 알고리즘 수렴을 위한 최대 시간 한계에 도달하는 것; 펄스 폭의 최대 한계에 도달하는 것; 및 펄스 폭의 최소 한계에 도달하는 것. 제어 파라미터들은 사전결정된 속도로 PVWG(150)로 전달될 수 있다. 사전결정된 속도는 초당 약 10 회 전송될 수 있다. 대안적으로, 사전결정된 속도는 초당 10 회 전송보다 작거나 클 수 있다.
- [0053] [0069] 추가적으로 또는 대안적으로, 프로세싱 챔버 제어기(126)는 고속 데이터 획득 모듈(120)로부터 하나 이상의 파형 특성들을 수신한 후에, 대응하는 제어 파라미터들을 생성할 수 있다. 프로세싱 챔버 제어기(126)는 제어 파라미터들을 PVWG(150)로 전달할 수 있다. 대안적으로, 프로세싱 챔버 제어기(126)는 제어 파라미터들을 피드백 프로세서(125)로 전달할 수 있고, 피드백 프로세서(125)는 제어 파라미터들을 PVWG(150)로 전달할 수 있다. PVWG(150)는 결정된 제어 파라미터들에 기초하여 PVWG(150)에 의해 출력되는 입력 펄스 전압 파형(140)을 조정한다. PVWG(150)는 PVWG(150)에 의해 출력되는 펄스 전압 파형의 진폭 및/또는 폭을 증가시킬 수 있다. 또한, 프로세싱 챔버 제어기(126)는 목표 진폭 및 펄스 폭뿐만 아니라, 프로세스 레시피 당 적어도 한 번 제어 파라미터들에 대한 값들을 제공하도록 구성될 수 있다. 추가적으로, 고속 데이터 획득 모듈(120)은 출력 파형(144)의 진폭, 펄스 폭 및 DC 오프셋 중 하나 이상을 전송 속도로 전달할 수 있다. 예를 들어, 전송 속도는 초당 약 10 회 전송될 수 있다. 그러나, 초당 10 회 전송보다 크거나 작은 전송 속도들이 이용될 수 있다.
- [0054] [0070] 추가적으로 또는 대안적으로, 제어기(128)는 고속 데이터 획득 모듈(120)로부터 진폭, 펄스 폭, DC 오프셋 및 이온 전류 중 하나 이상을 수신한 후에, 대응하는 제어 파라미터들을 생성할 수 있다. 대안적으로, 고속 데이터 획득 모듈(120)은 프로세싱된 파형을 제어기(128)로 전달할 수 있고, 제어기(128)는 파형으로부터 하나 이상의 제어 파라미터들을 결정할 수 있다. 제어기(128)는 제어 파라미터들을 PVWG(150)로 전달하고, PVWG(150)는 결정된 제어 파라미터들에 기초하여 PVWG(150)에 의해 출력되는 펄스 전압 파형을 조정한다. 대안

적으로, 제어기(128)는 제어 파라미터들을 피드백 프로세서(125)로 전달하고, 피드백 프로세서(125)는 제어 파라미터들을 PVWG(150)로 전송하며, PVWG(150)는 결정된 제어 파라미터들에 기초하여 PVWG(150)에 의해 출력되는 펄스 전압 파형을 조정한다.

[0055] [0071] 도 6a 및 도 6b는 컨디셔닝 회로 및 고속 데이터 획득 모듈을 포함하는 데이터 획득 시스템의 일 실시예를 사용하여 측정된, 신호 소스(1B)(생성기 결합 조립체의 생성기 단부)로부터 비롯되는 입력 및 컨디셔닝된(예를 들어, 분배 및 필터링된) 전압 파형들의 하나의 파형 사이클의 일부의 예들을 포함한다. 이러한 시간 길이에 걸쳐 기록된 파형의 일부에 포함된 디지털 정보는 진폭(Amp1), 반치전폭(W) 및 오프셋과 같은 전압 파형 특성들을 결정하기 위해 데이터 획득 제어기(123)에 의해 분석될 수 있다. 구체적으로, 도 6a는 입력 펄스 전압 파형(140_{IB}) 및 분배 파형(610)의 하나의 파형 사이클의 일부를 도시한다. 분배 파형은 입력 펄스 전압 파형(140_{IB})을 전압 분배함으로써 생성될 수 있다. 예를 들어, 도 1b를 참조하면, 컨디셔닝 회로(111_{IB})의 분압기는 입력 펄스 전압 파형(140_{IB})을 전압 분배한다. 도 6b는 입력 펄스 전압 파형(140_{IB}) 및 출력 파형(144_{IB})의 하나의 파형 사이클의 일부를 도시한다. 출력 파형(144_{IB})은 분배 파형(610)(도 6a)을 저역 통과 필터링함으로써 생성될 수 있다. 다양한 실시예들에서, 출력 파형(144_{IB})은 하나 이상의 파형 특성들을 결정하기 위해 데이터 획득 제어기(123)에 의해 분석될 수 있다.

[0056] [0072] 도 7a는 입력 펄스 전압 파형(140_{IB})의 다수의 사이클들을 도시한다. 보다 구체적으로, 도 7a는 컨디셔닝 회로 및 고속 데이터 획득 모듈을 포함하는 데이터 획득 시스템의 일 실시예를 사용하여 측정된, 신호 소스(1B)(생성기 결합 조립체의 생성기 단부)로부터 비롯되는 입력 전압 파형의 다수의 사이클들(펄스들)의 일 예를 포함한다. 도 1b와 관련하여 설명된 바와 같이, 입력 펄스 전압 파형(140_{IB})은 입력 채널(110_{IB})에 의해 수신되고, 하나 이상의 파형 특성들을 결정하기 위해 획득 채널(120_I)에 의해 분석될 수 있다. 이러한 시간 길이에 걸쳐 기록된 파형에 포함된 디지털 정보는 진폭(Amp1), 오프셋(offset), 펄스 주기(T_p) 및 펄스 반복 주파수(f_p = 1/T_p)와 같은 전압 파형 특성들을 결정하기 위해 데이터 획득 제어기(123)에 의해 분석될 수 있다.

[0057] [0073] 도 7b는 입력 펄스 전압 파형(140_{IB})의 다수의 버스트들(710)을 도시한다. 버스트들(710) 각각은 온 시간(720) 및 오프 시간(732)을 포함하는 버스트 주기를 갖는다. 또한, 입력 펄스 전압 파형(140_{IB})의 주파수는 버스트 주기에 기초하고, 버스트 듀티 사이클은 온 시간(720) 및 버스트 주기에 기초한다. 보다 구체적으로, 도 7b는 컨디셔닝 회로 및 고속 데이터 획득 모듈을 포함하는 데이터 획득 시스템의 일 실시예를 사용하여 측정된, 신호 소스(1B)(생성기 결합 조립체의 생성기 단부)로부터 비롯되는 입력 펄스 전압 파형의 다수의 버스트들(복수의 파형 사이클들을 각각 포함함)의 일 예를 포함한다. 이러한 시간 길이에 걸쳐 기록된 파형에 포함된 디지털 정보는 오프셋(offset), 버스트 주기(T_B = T_{on} + T_{off}), 버스트 주파수(f_B = 1/T_B) 및 버스트 듀티 사이클(Duty = T_{on}/T_B)과 같은 전압 파형 특성들을 결정하기 위해 데이터 획득 제어기에 의해 분석될 수 있다.

[0058] **플라즈마 프로세싱 챔버 예**

[0059] [0074] 도 8a는 복합 부하(130)가 플라즈마 프로세싱 동안에 형성되는 프로세싱 챔버(800)의 개략적인 단면도이다. 프로세싱 챔버(800)는 일 실시예에 따라 본원에서 제안된 바이어싱 방식들을 실시하도록 구성된다. 일 실시예에서, 프로세싱 챔버는 반응성 이온 에칭(reactive ion etch; RIE) 플라즈마 챔버와 같은 플라즈마 프로세싱 챔버이다. 일부 다른 실시예들에서, 프로세싱 챔버는 플라즈마 강화 증착 챔버, 예를 들어 플라즈마 강화 화학 기상 증착(plasma-enhanced chemical vapor deposition; PECVD) 챔버, 플라즈마 강화 물리 기상 증착(plasma enhanced physical vapor deposition; PEPVD) 챔버 또는 플라즈마 강화 원자층 증착(plasma-enhanced atomic layer deposition; PEALD) 챔버이다. 일부 다른 실시예들에서, 프로세싱 챔버는 플라즈마 처리 챔버, 또는 플라즈마 기반 이온 주입 챔버, 예를 들어 플라즈마 도핑(plasma doping; PLAD) 챔버이다. 본원에서, 프로세싱 챔버는 무선 주파수(RF) 전력 공급부에 전기적으로 결합된 유도 결합 플라즈마(inductively coupled plasma; ICP) 소스를 포함한다. 다른 실시예들에서, 플라즈마 소스는 기판 지지체와 대면하는 프로세싱 용적부(processing volume)에 배치된 소스 전극과 같은 용량 결합 플라즈마(capacitively coupled plasma; CCP) 소스이며, 소스 전극은 RF 전력 공급부에 전기적으로 결합된다.

[0060] [0075] 프로세싱 챔버(800)는 프로세싱 용적부(826)를 한정하는 챔버 덮개(823), 하나 이상의 측벽들(822) 및 챔버 베이스(824)를 포함하는 챔버 본체(813)를 특징으로 한다. 챔버 덮개(823)를 통해 배치된 가스 입구(82

8)는 하나 이상의 프로세싱 가스들을 프로세싱 용적부(826)와 유체 연통하는 프로세싱 가스 소스(819)로부터 프로세싱 용적부(826)에 제공하는 데 사용된다. 본원에서, 플라즈마 생성기는 프로세싱 가스들로부터 프로세싱 플라즈마(801)를 점화 및 유지하도록 구성되며, 프로세싱 용적부(826)의 외측에 챔버 덮개(823)에 근접하게 배치된 하나 이상의 유도 코일들(817)을 포함한다. 하나 이상의 유도 코일들(817)은 RF 정합 회로(830)를 통해 RF 전력 공급부(818)에 전기적으로 결합된다. 플라즈마 생성기는 유도 코일들(817) 및 RF 전력 공급부(818)에 의해 생성된 전자기장 및 프로세싱 가스들을 사용하여 프로세싱 플라즈마(801)를 점화 및 유지하는 데 사용된다. 프로세싱 용적부(826)는 진공 출구(820)를 통해 하나 이상의 전용 진공 펌프들에 유체적으로 결합되며, 하나 이상의 전용 진공 펌프들은 대기압 미만의 조건들에서 프로세싱 용적부(826)를 유지하고 그로부터 프로세싱 가스들 및/또는 다른 가스들을 배출한다. 프로세싱 용적부(826)에 배치된 기관 지지 조립체(836)는 챔버 베이스(824)를 통해 밀봉 연장되는 지지 샤프트(838) 상에 배치된다.

[0061] [0076] 기관(803)은 하나 이상의 측벽들(822) 중 하나에 있는 개구(도시되지 않음)를 통해 프로세싱 용적부(826) 내로 로딩되고 그로부터 제거되며, 개구는 기관(803)의 플라즈마 프로세싱 동안에 도어(door) 또는 밸브(도시되지 않음)로 밀봉된다. 본원에서, 기관(803)은 리프트 핀 시스템(lift pin system)(도시되지 않음)을 사용하여 ESC 기관 지지체(805)의 수용면으로 그리고 수용면으로부터 이송된다.

[0062] [0077] 기관 지지 조립체(836)는 지지 베이스(807), 및 지지 베이스(807)에 열적으로 결합되고 지지 베이스(807) 상에 배치된 ESC 기관 지지체(805)를 포함한다. 전형적으로, 지지 베이스(807)는 기관 프로세싱 동안에 ESC 기관 지지체(805) 및 ESC 기관 지지체(805) 상에 배치된 기관(803)의 온도를 조절하는 데 사용된다. 일부 실시예들에서, 지지 베이스(807)는 내부에 배치된 하나 이상의 냉각 채널들(도시되지 않음)을 포함하며, 하나 이상의 냉각 채널들은 비교적 높은 전기 저항을 갖는 냉매 소스 및 수원(water source)과 같은 냉각제 소스(coolant source)(도시되지 않음)에 유체적으로 결합되고 그와 유체 연통한다. 일부 실시예들에서, ESC 기관 지지체(805)는 그것의 유전체 재료에 매립된 저항성 가열 요소와 같은 히터(도시되지 않음)를 포함한다. 본원에서, 지지 베이스(807)는 내식성 금속, 예를 들어 알루미늄, 알루미늄 합금 또는 스테인리스강과 같은 내식성의 열 전도성 재료로 형성되고, 접착제 또는 기계적 수단에 의해 기관 지지체에 결합된다. 전형적으로, ESC 기관 지지체(805)는 유전체 재료, 예컨대 벌크 소결 세라믹 재료, 예컨대 내식성 금속 산화물 또는 금속 질화물 재료, 예를 들어 산화알루미늄(Al_2O_3), 질화알루미늄(AlN), 산화티타늄(TiO), 질화티타늄(TiN), 산화이트륨(Y_2O_3), 이들의 혼합물들, 및 이들의 조합들로 형성된다. 본원의 실시예들에서, ESC 기관 지지체(805)는 그것의 유전체 재료에 매립된 바이어싱 전극(804)을 더 포함한다. 일 구성에서, 바이어싱 전극(804)은 기관(803)을 ESC 기관 지지체(805)의 지지면에 고정(척킹)하고 본원에서 설명된 펄스 전압 바이어싱 방식을 사용하여 프로세싱 플라즈마(801)에 대해 기관(803)을 바이어싱하는 데 사용되는 척킹 폴(chucking pole)이다. 전형적으로, 바이어싱 전극(804)은 하나 이상의 금속 메쉬들(metal meshes), 포일들(foils), 플레이트들 또는 이들의 조합들과 같은 하나 이상의 전기 전도성 부품들로 형성된다. 본원에서, 바이어싱 전극(804)은 HVM(816)에 전기적으로 결합되고, HVM(816)은 동축 전송 라인(806), 예를 들어 동축 케이블과 같은 전기 전도체를 사용하여 약 -5000 V 내지 약 5000 V의 정적 DC 전압과 같은 척킹 전압을 바이어싱 전극(804)에 제공한다.

[0063] [0078] 지지 베이스(807)는 절연체 플레이트(811)에 의해 챔버 베이스(824)로부터 전기적으로 격리되고, 접지 플레이트(812)는 절연체 플레이트(811)와 챔버 베이스(824) 사이에 개재된다. 일부 실시예들에서, 프로세싱 챔버(800)는 부식성 프로세싱 가스들 또는 플라즈마, 세정 가스들 또는 플라즈마, 또는 그 부산물들과의 접촉으로 인한 ESC 기관 지지체(805) 및/또는 지지 베이스(807)의 부식을 방지하기 위해 기관 지지 조립체(836)를 둘러싸는 석영 파이프(810) 또는 칼라(collar)를 더 포함한다. 전형적으로, 석영 파이프(810), 절연체 플레이트(811) 및 접지 플레이트는 라이너(liner)(808)에 의해 둘러싸여 있다. 본원에서, ESC 기관 지지체(805)의 기관 수용면과 대략 동일 평면상에 있는 플라즈마 스크린(plasma screen)(809)은 플라즈마가 라이너(808)와 하나 이상의 측벽들(822) 사이의 용적부에서 형성되는 것을 방지한다.

[0064] [0079] 바이어싱 전극(804)은 ESC 기관 지지체(805)의 유전체 재료 층에 의해, ESC 기관 지지체(805)의 기관 수용면 및 그에 따라 기관(803)으로부터 이격되어 있다. 이러한 구성에서, 약 5 nF 내지 약 50 nF의 유효 커패시턴스를 가질 수 있는 유전체 재료 층 및 바이어싱 전극(804)에 의해 평행 플레이트형 구조가 형성된다. 전형적으로, 유전체 재료 층은 약 0.1 mm 내지 약 1 mm, 예컨대 약 0.1 mm 내지 약 0.5 mm, 예를 들어 약 0.3 mm의 두께를 갖는다. 본원에서, 바이어싱 전극(804)은 전송 라인(131) 내에 배치된 전송 라인(806)과 같은 외부 전도체를 사용하여 PVWG(150)에 전기적으로 결합된다. PVWG(150) 및 그 구성요소들은 본 개시내용의 본문에서 이전에 상세하게 설명되어 있다. 일부 실시예들에서, 유전체 재료 및 층 두께는 유전체 재료 층의 커패시턴스(C_c)가

예를 들어 약 5 nF 내지 약 50 nF, 예컨대 약 7 내지 약 10 nF가 되도록 선택될 수 있다.

[0065] [0080] 일반적으로, 프로세싱 챔버(800)의 프로세싱 용적부(826)의 낮은 중성 충전 압력은 내부에 배치된 표면들 사이, 예컨대 ESC 기관 지지체(805)의 유전체 재료와 ESC 기관 지지체(805)의 기관 수용면 상에 배치된 기관(803) 사이의 불량한 열 전도를 초래하며, 이는 기관(803)을 가열 또는 냉각함에 있어서 ESC 기관 지지체(805)의 효율을 감소시킨다. 따라서, 일부 프로세스들에서, 열 전도성 불활성 열 전달 가스, 전형적으로 헬륨은 기관(803)의 비-디바이스 측면과 ESC 기관 지지체(805)의 기관 수용면 사이에 배치된 용적부(도시되지 않음) 내로 도입되어, 이들 사이의 열 전달을 향상시킨다. 열 전달 가스 소스(도시되지 않음)에 의해 제공되는 열 전달 가스는 지지 베이스(807)를 통해 배치되고 ESC 기관 지지체(805)를 통해 추가로 배치된 가스 연통 경로(도시되지 않음)를 통해 배면 용적부로 유동한다.

[0066] [0081] 프로세싱 챔버(800)는 프로세싱 챔버 제어기(126)를 더 포함한다. 본원의 프로세싱 챔버 제어기(126)는 중앙 프로세싱 유닛(CPU)(833), 메모리(834) 및 지원 회로들(835)을 포함한다. 프로세싱 챔버 제어기(126)는 본원에서 설명된 기관 바이어싱 방법들을 포함하여 기관(803)을 프로세싱하는 데 사용되는 프로세스 시퀀스를 제어하는 데 사용된다. CPU(833)는 프로세싱 챔버 및 그와 관련된 서브-프로세서들을 제어하기 위해 산업 현장에서 사용하도록 구성된 범용 컴퓨터 프로세서이다. 본원에서 설명된 메모리(834)는 랜덤 액세스 메모리, 판독 전용 메모리, 플로피 또는 하드 디스크 드라이브, 또는 다른 적절한 형태들의 로컬 또는 원격 디지털 스토리지를 포함할 수 있다. 지원 회로들(835)은 통상적으로 CPU(833)에 결합되고, 캐시(cache), 클럭 회로들(clock circuits), 입력/출력 서브시스템들, 전원 공급부들 등, 및 이들의 조합들을 포함한다. 소프트웨어 명령들(프로그램) 및 데이터는 CPU(833) 내의 프로세서에 명령하기 위해 메모리(834) 내에 코딩 및 저장될 수 있다. 프로세싱 챔버 제어기(126) 내의 CPU(833)에 의해 판독 가능한 소프트웨어 프로그램(또는 컴퓨터 명령들)은 프로세싱 챔버(800) 내의 구성요소들에 의해 어떤 작업들이 수행 가능한지를 결정한다. 바람직하게는, 프로세싱 챔버 제어기(126) 내의 CPU(833)에 의해 판독 가능한 프로그램은 프로세서(CPU(833))에 의해 실행될 때, 본원에서 설명된 전극 바이어싱 방식의 모니터링 및 실행과 관련된 작업들을 수행하는 코드를 포함한다. 프로그램은 본원에서 설명된 전극 바이어싱 방식을 구현하는 데 사용되는 다양한 프로세스 작업들 및 다양한 프로세스 시퀀스들을 수행하기 위해 프로세싱 챔버(800) 내의 다양한 하드웨어 및 전기적 구성요소들을 제어하는 데 사용되는 명령들을 포함할 것이다.

[0067] [0082] PVWG(150)는 바이어싱 전극(804)을 사용하여 형성되는 펄스 전압 파형을 부하(예를 들어, 복합 부하(130))에 설정한다. PVWG(150)는 나노초 펄스 생성기(814) 및 전류-리턴 출력단(current-return output stage)(815)을 포함하며, 이들은 도 8a 및 도 8b에 개략적으로 도시되어 있다. 나노초 펄스 생성기(814)는, 사전결정된 속도로 내부 스위치를 반복적으로 개방 및 폐쇄함으로써, 사전결정된 길이의 규칙적으로 순환하는 시간 간격들 동안 그 출력부를 가로지르는(즉, 접지에 대한) 사전결정된 실질적으로 일정한 양 전압을 유지한다. 도 8a는 나노초 펄스 생성기(814)의 단순화된 기능적으로 동등한 개략도를 도시한다. 도 8a에서, 나노초 펄스 생성기(814)는 바이어싱 전극(804)에서 원하는 펄스 전압 파형을 설정함에 있어서의 역할을 이해하는 데 중요한 구성요소들의 최소한의 조합으로 감소되어 있다. 이들 구성요소들은 일반적으로, 특히 내부 전압 소스, 높은 반복률 스위치 및 플라이백 다이오드(flyback diode)를 포함한다. 실제의 나노초 펄스 생성기는 임의의 수의 내부 구성요소들을 포함할 수 있으며 도 8a의 전기 회로보다 복잡한 전기 회로에 기초할 수 있다는 것이 이해되어야 한다. 결국, 도 8a의 개략도는, 나노초 펄스 생성기(814)의 기본 동작 원리, 프로세싱 용적부 내의 플라즈마와 그것의 상호 작용, 및 바이어싱 전극(804)에 펄스 전압 파형(예컨대, 입력 펄스 전압 파형(140))을 설정함에 있어서의 그것의 역할을 설명하는 데 필요한 한에서는, 나노초 펄스 생성기(814)의 구성요소들 및 그 전기 회로의 기능적으로 동등한 표현만을 제공한다. 도 8a에 도시된 개략도에서 추론될 수 있는 바와 같이, 스위치(S₁)가 개방(오프) 위치선으로부터 폐쇄(온) 위치선으로 이동하는 경우, 스위치(S₁)는 실질적으로 일정한 출력 전압을 생성하는 그것의 내부 전압 소스에 나노초 펄스 생성기의 출력부를 연결한다. 하나 이상의 실시예들에서, 상이한 스너버 회로(snubber circuit)로도 대체될 수 있는 플라이백 다이오드의 목적은 유도성 요소들에 축적된 자기 에너지의 급속한 방출로 이어지는, 스위치(S₁)의 개방으로 인한 가능한 전압 스파이크(voltage spike)를 억제하거나 "스너빙(snubbing)"하는 것이다. 이들 유도성 요소들은, (A) 조합된 인덕턴스(L_{transm})를 갖는 전송 라인(806)과 같은 외부 전기 전도체, 및 (B) 나노초 펄스 생성기(814)와 전류-리턴 출력단(815)을 연결하고 조합된 인덕턴스(L_{internal})를 갖는 내부 전기 전도체를 포함하는 PVWG(150)의 구성요소들을 포함한다. 나노초 펄스 생성기(814)는 정전압 소스가 아니라, 주로 전하 주입기(전류 소스)로서 사용될 수 있으며; 따라서, 스위치가 폐쇄(온) 위치선에 유지되는 경우에도 출력 전압이 시간에 따라 변할 수 있다는 점에서, 출력 전압의

안정성에 대한 엄격한 요건을 부과할 필요가 없다. 또한, 일부 구성들에서, 나노초 펄스 생성기(814)는 하나의 방향으로만 전류를 통과시킨다(예를 들어, 출력은 커패시터를 충전하지만 방전하지 않을 수 있음)는 점에서, 근본적으로 소싱(sourcing)이지만 싱킹 공급부(sinking supply)는 아니다. 추가적으로, 스위치가 개방(오프) 포지션에 유지되는 경우, 나노초 펄스 생성기의 출력부를 가로지르는 전압(V_0)은 내부 전압 소스에 의해 제어되지 않고, 대신에 그 내부 구성요소들과 다른 회로 요소들의 상호 작용에 의해 결정된다.

[0068] [0083] 전류-리턴 출력단(815)은 접지에 연결된 일 단부(815B), 및 내부 전기 전도체를 통해 나노초 펄스 생성기의 양의 출력부에 연결되고, 동시에 생성기 결합 조립체(133)(도 1b)의 일 측부에 결합된 외부 전기 전도체에 연결된 타 단부(815A)를 갖는다. 전류-리턴 출력단(815)은 하기의 요소들로 구성될 수 있다: 접지로 향하는 양의 전류 흐름을 허용하는, 저항기, 직렬로 연결된 저항기 및 인덕터, 스위치, 또는 병렬 커패시터들을 포함하는 전기 요소들의 보다 복잡한 조합.

[0069] [0084] 전송 라인(131)은 PVWG(150)의 출력부를 척킹 폴(예를 들어, 바이어싱 전극(804))에 전기적으로 연결한다. PVWG(150)의 출력부는 단부(815A)이고, 여기서 나노초 펄스 생성기(814)의 출력부가 내부 전기 전도체를 통해 전류-리턴 출력단(815)에 연결된다. 생성기 결합 조립체(133)의 바이어싱 전극측 및 바이어싱 전극(804)에 연결된 전송 라인(131)의 전기 전도체는, (a) 인덕턴스(L_{rigid})를 갖는 강성 동축 전송 라인과 직렬로 인덕턴스(L_{flex})를 갖는 가요성 동축 케이블을 포함할 수 있는 동축 전송 라인(806), (b) 절연된 고전압 내코로나성 흡입 와이어, (c) 베어 와이어, (d) 금속 로드, (e) 전기 커넥터, 또는 (f) (a) 내지 (e)의 전기 요소들의 임의의 조합을 포함할 수 있다. 내부 전기 전도체는 외부 전기 전도체와 동일한 기본 요소들을 포함할 수 있다는 점에 주목한다.

[0070] [0085] 바이어싱 전극(804)은 일반적으로 정전 척 내에 매립되고 얇은 유전체 재료 층에 의해 플라즈마와 분리된 금속 플레이트이다. 척킹 폴은 정전 척 부분(즉, ESC 기관 지지체(805)) 내에 매립된 바이어싱 전극(804)일 수 있다. 전송 라인(806)과 같은 외부 전도체, 및 바이어싱 전극(804)은 접지에 대한 일부 조합된 표유 커패시턴스(C_s)를 갖는다.

[0071] [0086] 도 8b는 프로세스 용적부 내의 플라즈마를 포함하는 본원에서 제안된 펄스 전압 바이어싱 방식의 기능적으로 동등하고 단순화된 전기 회로(840)를 도시한다. 이들 회로들은, 펄스 전압 파형 생성기(예를 들어, PVWG(150))와 프로세싱 챔버(800)의 상호 작용의 주요 양상들을 모델링하고; 바이어싱 전극(예를 들어, 바이어싱 전극(804))에서 펄스 전압 파형을 설정함에 있어서 펄스 전압 파형 생성기의 기본 동작 원리 및 역할을 설명하고; 펄스 전압 파형의 상이한 위상들 동안에 발생하는 수반된 물리적 현상들을 설명하며; 일반적으로 펄스 전압 바이어싱 방식의 기본 동작 원리를 설명하는 데 사용된다. 명확화의 목적들을 위해, 하기의 정의들이 본 개시내용 전반에 걸쳐 사용된다: (1) 기준이 지정되지 않는 한, 모든 전위들은 접지를 기준으로 할 것; (2) (기관 또는 바이어싱 전극과 같은) 임의의 물리적 지점의 전압은 마찬가지로 접지(0의 전위 지점)에 대한 이러한 지점의 전위로서 정의될 것; (3) 캐소드 시스는 플라즈마에 대한 음의 기관 전위에 대응하는 전자-반발, 이온-가속 시스인 것으로 암시될 것; (4) 시스 전압(때로는 "시스 전압 강하"로도 지칭됨)(V_{sh})은 플라즈마와 인접 표면(예를 들어, 기관 또는 챔버 벽의 표면) 사이의 전위차의 절대 값으로 정의될 것; 및 (5) 기관 전위는 플라즈마와 대면하는 기관 표면에서의 전위일 것.

[0072] [0087] 첫째, 정전 척의 유전체 층과, 그 표면 상에 배치된 프로세싱된 기관(예를 들어, > 10 nF의 커패시턴스를 갖는 0.3 내지 0.8 mm 두께의 도핑된 실리콘 슬래브)은 플라즈마로부터 척킹 폴(예를 들어, 바이어싱 전극(804))을 분리시키고, 도 8b의 회로들에서 커패시턴스(C_e)(예를 들어, ~7 내지 10 nF)를 갖는 단일 척 커패시터(843)(실제로는 직렬로 연결된 2 개의 커패시터들임)로 표시되어 있다. 다시 말해서, 기관(전형적으로 반도체 및/또는 유전체 재료의 얇은 층으로 제조됨)은 전기적으로 ESC 유전체 층의 일부인 것으로 간주될 수 있으며, 척 커패시턴스(C_e)(즉, 물품 843)가 언급될 때마다, C_e 는 ESC(즉, C_{ESC} (~유전체 층 커패시턴스))와 기관(즉, C_w)의 조합된 직렬 커패시턴스라는 것이 암시된다. 기관 커패시턴스(C_w)는 전형적으로 매우 크거나(> 10 nF), 기관이 전도성일 수 있으므로(무한대 커패시턴스), 직렬 커패시턴스는 주로 실제 C_{ESC} 에 의해 결정된다.

[0073] [0088] 둘째, 바이어싱 전극(804), PVWG(150), 및 바이어싱 전극(804)을 PVWG(150)와 연결하는 외부 전기 전도체(예를 들어, 전송 라인(131))는, (A) 커패시턴스(C_s)(예를 들어, ~500 pF)를 갖는 단일 표유 커패시터(842)로 표시된, 접지에 대한 일부 조합된 표유 커패시턴스; 및 (B) 내부 전기 전도체 및 PVWG(150)의 다른 구성요소들

에 대한 인덕터들(L_{internal})과, 전송 라인(806)과 같은 외부 전기 전도체에 대한 인덕턴스들($L_{\text{interconnect}}$ 및 L_{external})(즉, 물품들 845A 및 845B)로 표시되는 일부 인덕턴스를 갖는다. 전류-리턴 출력단(815)은 회로(840)에서 저항기(R_{ros})(예를 들어, ~150 Ohm) 및 인덕터(L_{ros})로 표시되어 있으며, 선택적으로 스위치(S_2)를 포함할 수도 있다.

[0074] [0089] 도 8b에 도시된 바와 같이, PVWG(150)는 또한 전류-리턴 출력단(815)과 병렬로 연결된 바이패스 저항기(R_{bypass}) 및 전류 감지 회로(821)를 포함할 수 있다. 전류 감지 회로(821)는 펄스의 하나 이상의 위상들 동안에 전류-리턴 출력단(815)을 통해 흐르는 전류를 감지하는 데 사용될 수 있는 전류 감지 저항기(R_{sense})(즉, 물품 139) 및 스위치(S_3)를 포함한다.

[0075] [0090] 셋째, 3 개의 직렬 요소들로서 프로세스 용적부 내의 전체 플라즈마를 나타내는 표준 전기 플라즈마 모델이 이용될 수 있다. 예를 들어, 기관에 인접한 전자-반발 캐소드 시스(844)(때로는 "플라즈마 시스" 또는 단지 "시스"로도 지칭됨). 캐소드 시스는, 도 8b에서, (a) 개방 시에 시스 붕괴를 나타내는 다이오드(D_{SH}), (b) 시스의 존재 시에 기관으로 흐르는 이온 전류를 나타내는 전류 소스(I_i)(예를 들어, ~0.5 내지 5 A), 및 (c) 이온 가속 및 에칭이 일어나는 바이어싱 사이클의 주요 부분(~90%), 즉 이온 전류 위상(예를 들어, 단펄스가 전달된 후의 위상)에 대한 시스를 나타내는 커패시터(C_{SH})(예를 들어, 높은 중형비 응용들의 경우, ~100 내지 300 pF)를 포함하는 기존의 3-부분 회로 요소로 표시되어 있다.

[0076] [0091] 벌크 플라즈마(846)는 도 8b에서 ~5 내지 10 Ohm의 단일 저항기로 표시되어 있다. 챔버 벽에 형성되는 전자-반발 벽 시스는, 도 8b에서, (a) 다이오드(D_w), (b) 벽에 대한 이온 전류를 나타내는 전류 소스(I_{iw})(예를 들어, ~ 5 내지 10 A), 및 (c) 전자-반발 캐소드 시스가 없고 벽 시스 커패시터가 나노초 펄스 생성기에 의해 ESC를 통해 가해지는 큰 전류에 의해 충전되는, 주로 ESC 재충전 위상 동안의 벽 시스를 나타내는 커패시터(C_w)(예를 들어, ~5 내지 10 nF)를 포함하는 3-부분 회로 요소로 표시되어 있다. 캐소드 시스는 (고전압으로 인해) 벽 시스보다 훨씬 더 두껍고, 전체 벽 면적이 기관 면적보다 훨씬 더 크기 때문에, $C_w \gg C_{\text{SH}}$ 인 것으로 가정된다. 접지된 금속 벽의 내부면은 도 8b에서 큰 커패시터(C_{coat})(예를 들어, ~300 내지 1000 nF)로 표시된 얇은 유전체 재료 층으로 코팅된 것으로 간주된다.

[0077] [0092] 도 8a 및 도 8b에 도시된 바와 같은 일부 실시예들에서, 시스템은 도 8a에 도시된 바와 같이, ESC 기관 지지체의 기관 수용면에 기관을 척킹, 예컨대 "전기적으로 클램핑"하는 데 사용되는 고전압 모듈(HVM)(816)을 포함한다. 기관을 척킹함으로써, 기관 수용면과 기관의 비-디바이스 측면 사이의 갭이 헬륨 가스(He)로 충전될 수 있으며, 이는 둘 사이에 양호한 열 접촉을 제공하고 ESC 기관 지지체의 온도를 조절함으로써 기관 온도를 제어할 수 있게 하도록 실행된다. HVM에 의해 생성된 DC 척킹 전압을 바이어싱 전극(804)에서 PVWG(150)에 의해 생성된 펄스 전압과 조합함으로써, DC 척킹 전압과 동일한 펄스 전압 파형의 추가 전압 오프셋이 생성될 것이다. PVWG(150)의 동작에 대한 HVM(816)의 영향은 큰 차단 커패시터(C_{hvm} 및 R_{hvm2})를 적절하게 선택함으로써 무시 가능해질 수 있다. 저항(R_{hvm2})은 HVM(816)을 전송 라인(131) 내의 지점에 연결하는 구성요소들 내에 위치 결정된 저항기를 개략적으로 도시한다. 단순화된 전기 회로(840)에서의 차단 커패시터(C_{hvm})의 주요 기능은 DC 전력 공급부(V_{hvm})에 의해 생성된 HVM DC 전압으로부터 PVWG(150)를 보호하는 것이며, 따라서 HVM DC 전압은 C_{hvm} 을 가로질러 강하하고, PVWG(150) 출력을 교란하지 않는다. C_{hvm} 의 값은 HVM DC 전압만을 차단하면서 펄스 바이어스 생성기의 고주파 출력 전압에 대한 어떠한 부하도 존재하지 않도록 선택된다. 충분히 큰 C_{hvm} (예를 들어, 40 내지 80 nF)을 선택함으로써, C_{hvm} 이 시스템의 임의의 다른 관련 커패시턴스보다 훨씬 더 크고 이러한 요소를 가로지르는 전압 강하가 척 커패시턴스(C_c) 및 시스 커패시턴스(C_{SH})와 같은 다른 관련 커패시터들을 가로지르는 전압 강하에 비해 매우 작다는 점에서, C_{hvm} 은 예를 들어 400 kHz 신호에 대해 거의 투과적이다. 결국, 차단 저항기(R_{hvm2})의 목적은 고주파 펄스 바이어스 생성기의 전압을 차단하고 HVM DC 전압 공급부에서 그것이 유도하는 전류를 최소화하는 것이다. 이러한 차단 저항기(R_{hvm2})는 이 차단 저항기를 통과하는 전류를 효율적으로 최소화할 수 있을 정도로 충분히 커야 한다. 예를 들어, $R_{\text{hvm2}} > 1 \text{ MOhm}$ 은 전형적으로 펄스 바이어스 생성기로부터 HVM 내로의 400 kHz 전류를 무시 가능하게 할 정도로 충분히 크다. 0.5 내지 1 mA 정도의 결과적인 평균 유도

전류는 실제로 약 5 mA DC 전류인 HVM 전력 공급부들에 대한 전형적인 한계보다 훨씬 더 작다. C_{hvm1} 및 R_{hvm1} 과, 또한 R_{hvm2} 는 함께 펄스 전압에 대한 전류 억제/필터링 회로를 형성하고, 그에 따라 펄스 전압은 HVM(816)을 통해 전류를 유도하지 않는다.

[0078] [0093] 일부 실시예들에서, 피드백 루프(100)는 PVWG(150) 내에서, 또는 생성기 결합 조립체(133) 내에 배치된 차단 커패시터(C_{hvm})와 PVWG(150) 사이에 배치된 전기 전도체를 따른 하나 이상의 지점들에 결합된다. 예를 들어, 피드백 루프(100)의 하나 이상의 입력 채널들(110)은 PVWG(150)와 차단 커패시터(C_{hvm}) 사이에 배치된 전기 전도체를 따른 하나 이상의 지점들에 연결부를 통해 결합된다. 또한, 일부 실시예들에서, 입력 채널들(110) 중 하나 이상은 프로세싱 챔버(800) 내의 바이어싱 전극(804)과 차단 커패시터(C_{hvm}) 사이에 배치된 전기 전도체를 따른 하나 이상의 지점들에 연결부를 통해 전기적으로 결합된다. 예를 들어, 입력 채널들(110) 중 하나 이상은 프로세싱 챔버(800) 내의 바이어싱 전극(804)과 차단 커패시터(C_{hvm}) 사이에 배치된 전기 전도체를 따른 하나 이상의 지점들에 전기적으로 결합된다. 대안적으로, 다른 실시예들에서, 입력 채널들(110) 중 하나 이상은 차단 커패시터(C_{hvm})의 양측에 배치된 전기 전도체를 따른 하나 이상의 지점들에 결합된다. 예를 들어, 제1 하나 이상의 입력 채널들(110)은 PVWG(150)와 차단 커패시터(C_{hvm}) 사이에 배치된 전기 전도체를 따른 소정 지점에 전기적으로 결합되고, 제2 하나 이상의 입력 채널들(110)은 프로세싱 챔버(800) 내의 바이어싱 전극(804)과 차단 커패시터(C_{hvm}) 사이에 배치된 전기 전도체를 따른 소정 지점에 결합된다.

[0079] **펄스 파형 예들**

[0080] [0094] 도 9a는 바이어싱 전극(804)에 설정되는 펄스 전압 파형(950)의 일 예를 도시한다. 도 9a에 도시된 펄스 전압 파형(950)은 도 9b에 도시된 기관 전압 파형(951)을 야기하고, 그에 따라 플라즈마 프로세스 동안에 기관 프로세싱 시간의 약 90% 동안 시스 전압을 거의 일정하게 유지하는 것을 가능하게 할 수 있다. 도 9a 및 도 9b에 묘사된 펄스 전압 파형들(950 및 951)은 대체로 도 8b에 도시된 단순화된 전기 회로(840)로부터 생성될 수 있는 파형에 기초한다. 도 9a 및 도 9b에 도시된 파형들은 기관의 플라즈마 프로세싱 동안에 사용될 수 있는 본원에서 설명된 방법들 중 하나와 함께 사용될 수 있는 펄스 전압 파형의 단순화된 개략도들을 나타내도록 의도된 것일 뿐이다. PVWG(150)에 의해 생성된 실제 파형들은 상당히 더 복잡하고, 도 9a 및 도 9b에 도시되지 않은 다수의 미세-스케일 특징들(예를 들어, 유도성 요소들의 존재로 인한 고주파 진동들)을 포함할 수 있다. 그러나, 이들 미세-스케일 특징들의 예들은 도 6a 및 도 6b와, 도 7a 및 도 7b에서 볼 수 있다. 그러나, 이들 미세-스케일 특징들은 본원에서 제안된 펄스 전압 바이어싱 방식 및 제어 방법들에 의해 생성되는 실제 펄스 전압 파형의 일반적인 형상을 결정하는 기본 물리적 현상들을 이해하는 데 필수적이지는 않다.

[0081] [0095] 도 9a에서, 펄스 전압 파형(950)은 전압 오프셋 외에, 주기(T)(예를 들어, 2.5 마이크로초)로 반복되는 주기적인 일련의 양의 단펄스들을 포함한다. 각 주기(반복 주기) 내의 파형은 하기를 포함한다:

[0082] [0096] (1) 시스템의 표유 커패시터를 충전하고 캐소드 시스를 붕괴시키기 위한 양의 전압 점프(positive voltage jump), 즉 시스 커패시터(C_{sb})가 방전되고 기관 전위가 국부 플라즈마 전위(도 9b에 도시됨)의 레벨이 되는 시스 붕괴 위상(961). 시스 붕괴 위상(961)은 ESC 재충전 위상(962) 동안에 플라즈마로부터 제공된 전자들에 의해 척 커패시터(C_c)의 신속한 재충전을 가능하게 한다. 스위치(S_1)(도 8b 참조)는 위상(961)의 지속시간 동안에 폐쇄되고 폐쇄(온) 포지션에 유지되어, PVWG(150)와 같은 나노초 펄스 생성기가 그 출력부를 가로질러 실질적으로 일정한 양 전압을 유지하고 시스템에 전류를 공급할 수 있게 한다. 위상(961)의 지속시간(T1)은 이온 전류 위상(964)의 지속시간(T4)(후술함) 또는 전체 주기(T)보다 훨씬 더 짧고, 전형적으로 수십 나노초(예를 들어, 20 내지 50 ns) 정도이다. 이것은 위상(961) 동안 플라즈마 전류가 전자들에 의해 운반되고—즉, 전자 구름이 기관을 향해 이동하고 점진적으로 이온 공간 전하를 스위핑하고, 그에 따라 시스 전압 강하를 제거함—, 전자 속도가 2 개의 종들 사이의 매우 큰 질량비로 인해 이온 속도보다 훨씬 더 크기 때문이다.

[0083] [0097] (2) 이온 전류 위상(964)(후술함) 동안에 기관 표면 상에 축적된 총 전하에 동일한 값 및 반대 극성의 전하를 신속하게 주입함으로써, ESC 재충전 위상(926) 동안, 척 커패시터(C_c)의 재충전. 위상(961) 동안과 같이, PVWG(150)는 그 출력부를 가로질러 실질적으로 일정한 양 전압을 유지한다(스위치(S_1)는 "온" 포지션에 유지됨). 위상(961)과 유사하게, 위상(962)의 지속시간(T2)은 이온 전류 위상(964)의 지속시간(T4)(후술함) 또는 전체 주기(T)보다 훨씬 더 짧고, 전형적으로 수십 나노초(예를 들어, 30 내지 80 ns) 정도이다. 이것은 위상(962) 동안 플라즈마 전류가 또한 전자들에 의해 운반되기 때문이다—즉, 캐소드 시스의 부재 시에, 전자들은

기관에 도달하고 표면 전하를 축적하며, 그에 따라 커패시터(C_e)를 충전함.

[0084]

[0098] (3) 시스 형성 위상(963) 동안에 프로세싱 챔버의 표유 커패시터를 방전하고, 시스를 재형성하며, 시스 전압(V_{SH})의 값을 설정하기 위한 음의 전압 점프(V_{OUT}). 도 8b에서의 스위치(S_1)는 시스 형성 위상(963)의 시작 시에 개방되고, 유도성 요소들은 저장된 자기 에너지를 척 커패시터(C_e) 및 표유 커패시터(C_s)로 신속하게(예를 들어, 약 10 나노초 이내)에 방출한다. 유도성 요소들은 회로(840)에서 인덕턴스($L_{internal}$)로 표시된 PVWG(150)의 내부 구성요소들(예를 들어, 내부 전도체), 및 인덕턴스들($L_{interconnect}$ 및 $L_{external}$)로 표시된 외부 전도체(예를 들어, 전송 라인(806))를 포함할 수 있다. 자기 에너지 방출 동안, 대응하는 전류는 플라이백 다이오드 또는 가능한 전압 스파이크들을 억제(또는 "스너빙")하는 유사한 기능을 갖는 상이한 스너머 회로를 통해 흐른다. 여기서, 플라이백 다이오드(또는 가능한 전압 스파이크들을 "스너빙"하는 유사한 기능을 갖는 상이한 구성요소)가 없는 경우, 자기 에너지는 저항성 전류-리턴 출력단을 통해 방출되어야 할 것이며, 이는 거의 0의 값으로 붕괴하는 대신에, 수 나노초 동안에 R1을 가로질러 비실용적으로 큰 음의 전압(예를 들어, 펄스 바이어스 생성기(240)의 내부 구성요소들을 잠재적으로 손상시키는 -20 kV)을 초래한다는 점이 주목된다. 자기 에너지가 방출되고, 인덕턴스들($L_{interconnect}$ 및 $L_{external}$)을 통한(그리고 $L_{internal}$ 을 통한) 전류가 0으로 하강한 후에, 전류는 방향을 역전하고, 전류-리턴 출력단을 통해 플라즈마 및 표유 커패시터로부터 접지로 흐르며(역 바이어싱된 플라이백 다이오드가 자체를 통과하는 전류 흐름을 차단함), 그에 따라 표유 커패시터(C_s)를 방전하고, 시스 커패시터(C_{sh})를 충전한다(즉, 시스를 재형성함). 시스 형성(C_{sh} 충전)의 시작은 도 9b에서 기관 전위가 국부 플라즈마 전위 아래로 감소하기 시작하는 지점으로서 명확하게 식별될 수 있다. 위상(961)과 유사하게, 위상(963)의 지속시간(T_3)은 이온 전류 위상(964)의 지속시간(T_4)(후술함) 또는 전체 주기(T)보다 훨씬 더 짧고, 전형적으로 100 내지 300 ns 정도이다. 이것은 위상(963) 동안 플라즈마 전류가 마찬가지로 전자들에 의해 운반되기 때문이다—즉, 전자 구름이 기관으로부터 멀리 이동하고 점진적으로 이온 공간 전하를 노출시키며, 그에 따라 시스를 형성하고 시스 전압 강하를 생성함. (1) T_3 은 주로 표유 커패시터들뿐만 아니라, 전류-리턴 출력단을 포함하는 요소들(예를 들어, 저항기)의 값들에 의해 결정되고; (2) 음의 전압 점프(V_{OUT}) 및 설정된 시스 전압(V_{sh})은 V_m (위상들(961 및 962) 동안 나노초 펄스 생성기 출력 전압의 크기) 및 총 펄스 폭, 즉 $T_{tot} = T_{rise} + T_P = T_1 + T_2$ 에 의해 결정된다.

[0085]

[0099] (4) PVWG(150)가 마찬가지로 그 출력부를 가로질러 양 전압을 유지하지 않고(스위치(S_1)는 오프 포지션에 유지됨), 이온 전류가 전류-리턴 출력단을 통해 플라즈마로부터 접지로 흐르는, 지속시간(T_4)을 갖는 긴(사이클 지속시간(T)의 약 85% 내지 90%) 이온 전류 위상(964). 이온 전류는 기관 표면 상에 양 전하를 축적시키고, 시스 및 척 커패시터들을 점진적으로 방전하여, 시스 전압 강하를 서서히 감소시키고 기관 전위를 0에 근접하게 한다. 이것은 도 9b에 도시된 기관 전압 파형(951)에서 전압 강하(ΔV_{SH})를 초래한다. 생성된 시스 전압 강하는 펄스 전압 파형(950)이 상기의 (1) 내지 (3)에 설명된 다음 사이클로 이동해야 하는 이유이며, 다음 사이클 동안에, PVWG(150)는 이온 전류 위상 동안 축적된 전하를 제거하고(또는 초기 ESC 충전을 회복함), 원하는 시스 전압(V_{SH})을 재설정한다. 전자-반발 캐소드 시스 및 벌크 플라즈마로부터의 불균형 순 전류(이온 전류와 동일함)가 있을 때마다 표면 전하 및 시스 전압 강하가 축적된다는 점에 주목한다. 이것은 시스 전기장이 전자들을 기관으로부터 멀리 밀어내는 것으로 인해, 벌크 플라즈마로부터의 이온 전류가 벌크 플라즈마로부터의 전자 전류와 균형을 이루지 못하기 때문이다. 따라서, 표면 전하 축적 및 전압 강하 발생은 또한 0이 아닌 시스 전압 강하가 처음부터 바로 존재하는 시스 형성 위상(963) 동안에 일어난다.

[0086]

[00100] 상기의 (1) 내지 (4)에서 알 수 있는 바와 같이, 펄스 전압 파형(예를 들어, 펄스 전압 파형(950))의 단일 전압 펄스를 구성하는 "전자 전류" 위상(961 내지 963)의 조합된 지속시간은 약 200 내지 400 ns이며, 이는 약 10% 내지 15%의 비교적 짧은 듀티 사이클에 대응한다. 펄스 전압 파형(950)의 짧은 듀티 사이클 특성은 모든 플라즈마들에 대해 전형적인 큰 이온 대 전자 질량비의 결과이다. 따라서, 본원에서 논의된 바와 같은 펄스 전압 바이어싱 방식에서, PVWG(150)는 각 사이클의 짧은 부분 동안에만 플라즈마와 능동적으로 상호 작용하여, 캐소드 시스가 나머지 시간 동안에 자연스럽게 발달할 수 있게 한다. 기본적인 플라즈마 특성들을 효과적으로 사용함으로써, 이러한 바이어싱 방식은 프로세싱 시간의 ~90%까지 동안에 거의 일정한 시스 전압을 유지할 수 있게 하여, 단일 피크 IEDF(예컨대, 도 9c의 IEDF(970))를 생성한다. 반대로, 기존의 바이어스 방식에서, 인가된 RF 전압은 전체 RF 기간에 걸쳐 캐소드 시스를 변조하고, 그에 따라 항상 시스 전압 강하를 과도하게 변

화시켜서 이중 피크 IEDF를 생성한다.

[0087] [00101] 본원에서 논의된 펄스 전압 바이어싱 방식은 음의 전압 오프셋(972) 외에, 주기적인 일련의 양의 단펄스(971)로서 설명될 수 있는, 도 9b에 도시된 기관 전압 파형(951)과 같은 특정 기관 전압 파형을 유지할 수 있게 한다. 각 펄스($T_5 = T_1+T_2+T_3$ 의 총 지속시간을 가짐) 동안, 기관 전위는 국부 플라즈마 전위에 도달하고, 시스가 잠시 붕괴된다. 그러나, 각 사이클의 약 90%(사이클 지속시간(T)을 가짐) 동안, 시스 전압 강하는 거의 일정하게 유지되고, 가장 음의 기관 전위(V_{SH})(도 9b)의 절대 값과 대략 동일하며, 따라서 기관 표면에서의 평균 이온 에너지를 결정한다. 바이어싱 사이클의 시스 붕괴 위상(961) 동안, 나노초 펄스 생성기(예를 들어, 814)로부터의 전류는 병렬로 연결된 프로세싱 플라즈마와 표유 커패시터(C_s) 사이에서 대략 비율 C_{SH}/C_s 에 따라 분할되고, 그다지 중요하지 않다. 이 때문에, 그리고 C_w 가 일반적으로 매우 크기 때문에, 위상(961) 동안 벽 시스에 축적되는 전압 강하는 비교적 작다. 그 결과, 벽 시스 전압 강하와 벽 유전체 코팅을 가로지르는 예상되는 작은 전압 강하의 합과 동일한 벽 근처 플라즈마 전위(V_w)는 0에 근접하게 유지된다. 따라서, 벽 근처 플라즈마 전위와 벌크 플라즈마를 가로지르는 전압 강하의 합과 동일한 국부(기관 근처) 플라즈마 전위(V_{pl})는 주로 벌크 플라즈마를 가로지르는 전압 강하에 의해 결정되며, 0보다 약간 높게 증가한다. 결국, ESC 채충전 위상(962) 동안, 전자-반발 캐소드 시스가 없고, 벽 시스 커패시터는 PVWG(150)에 의해 ESC를 통해 가해지는 큰 전류에 의해 상당한 전압(예를 들어, 수백 볼트)으로 충전된다. 벽 근처 플라즈마 전위의 증가뿐만 아니라, 벌크 플라즈마를 가로지르는 비교적 큰 전압 강하(동일한 큰 전류에 의해 유발됨)의 존재로 인해, 국부(기관 근처) 플라즈마 전위(V_{pl})뿐만 아니라, 기관 전위(V_{sub})도 설정된 시스 전압(V_{SH})의 약 1/3까지의 상당한 증가를 경험한다. 마지막으로, 시스 형성 위상(963) 동안, 프로세싱 플라즈마를 통한 전류는 다시(위상(961)에서와 같이) 비율 C_{SH}/C_s 에 의해 결정되고, 비교적 작을(또한 빠르게 감소함) 뿐만 아니라, 벌크 플라즈마를 가로지르는 결과적인 전압 강하도 비교적 작다. 따라서, 국부(기관 근처) 플라즈마 전위는 벽 근처 플라즈마 전위와 대략 동일하게 유지되며, 벽 시스가 주로 이온 전류에 의해 챔버 벽들로 방전됨에 따라, 이들 모두는 위상(963)의 종료 근처에서 거의 0의 값들로 완화된다. 위상들(961 내지 963) 동안 국부 플라즈마 전위 섭동의 결과로서, 설정된 시스 전압(V_{SH})은 위상(963)의 종료 시에 기관 전압 파형(951)에서의 전체 음의 점프의 ~75%만을 구성한다. 음의 점프(V'_{SH})는 주어진 V_m 및 T_{tot} 에 대한 최대 시스 전압(거의 무한대의 C_w 및 거의 0의 R_{pl} 로만 달성 가능함)을 규정하며, 펄스 전압 파형(950)에서의 음의 점프에 근접하거나, $V'_{SH} \sim V_{OUT}$ 이다. 후자는, 위상(963) 동안, 척 커패시터가 초기 전하의 작은 부분($\propto C_{SH}/C_e \ll 1$)만을 시스로 이송하고, 그에 따라 전극과 기관 사이에 거의 일정한 전위차를 유지하기 때문이다. $V_{SH}/V_{OUT} \sim 0.75$ 내지 0.8 관계는 실제로 측정된 V_{OUT} 로부터 V_{SH} 를 추정하는데 사용될 수 있다.

[0088] [00102] 본원에서 논의되고 하기에서 추가로 논의되는 바와 같이, 본원에서 제공된 본 개시내용의 하나 이상의 실시예들에서, 피드백 루프(100) 및 이를 사용하는 방법(들)은 펄스 전압 파형(950) 및/또는 기관 전압 파형(951)과 같은, 바람직한 파형 특성들을 갖는 펄스 전압 파형들을 달성하기 위해 PVWG(150)의 출력을 검출 및 조정하도록 제공된다. 검출 및 조정될 수 있는 상기에서 논의된 펄스 파형 특성(들)에 부가하여, 예를 들어 펄스 위상들 중 하나 이상 동안의 펄스 파형의 형상 또는 기울기, 위상들 중 하나 이상의 주기(예를 들어, T_1 , T_2 , T_3 , T_4 및 T_5) 및 펄스 파형의 다른 특징들을 포함할 수 있는 다른 펄스 파형 특성(들)도 검출 및 조정될 수 있다.

[0089] **방법 예들**

[0090] [00103] 도 10은 하나 이상의 실시예들에 따른, 펄스 전압 파형을 프로세싱하기 위한 방법(1000)의 흐름도이다. 동작(1010)에서, 입력 펄스 전압 파형(140)은 출력 파형(144)을 형성하기 위해 입력 채널(110)에 존재하는 구성 요소들에 의해 프로세싱된다. 입력 채널(110)의 하나의 구성에서, 입력 펄스 전압 파형은 제1 분배 전압 파형을 생성하기 위해 제1 분배 비율을 사용하여 분배된다. 예를 들어, 입력 채널(110₁)은 입력 펄스 전압 파형(140_{1B})을 획득하고, 입력 채널(110₁)의 컨디셔닝 회로(111_{1B})의 분압기(112)는 입력 펄스 전압 파형을 수신하고 제1 분배 전압 파형을 생성한다.

[0091] [00104] 동작(1020)에서, 분압기(112)로부터 나오는 분배 전압 파형은 필터링된 전압 파형을 생성하기 위해 저역 통과 필터링된다. 일 예에서, 입력 채널(110₁)의 저역 통과 필터(114)는 분압기(112)로부터 제1 분배 전압

파형을 수신하고 필터링된 전압 파형을 생성하고, 필터링된 전압 파형은 다음에 출력 파형(144_{IB})을 형성한다. 동작(1020)은 선택적일 수 있고, 방법(1000)에서 생략될 수 있다. 더욱이, 방법(1000)의 일부 실시예들에서, 동작(1010)이 생략되는 한편 동작(1020)은 수행될 수 있다.

[0092] [00105] 동작들(1010 및/또는 1020)이 수행되고 출력 파형(144_{IB})이 각 입력 채널들(110_i)에 의해 생성된 후에, 이어서 동작(1030)이 수행된다. 동작(1030)에서, 입력 채널(110_i)과 같은 각 입력 채널로부터 수신되고 각각의 획득 채널(122)에 의해 프로세싱되는 하나 이상의 파형 특성들은 데이터 획득 제어기(123)에서 실행되는 알고리즘에 의해 결정된다. 예를 들어, 획득 채널(122_i)은 입력 채널(110_i)로부터 출력 파형을 수신하고, 알고리즘은 출력 파형(144_{IB})으로부터 하나 이상의 파형 특성들을 결정한다.

[0093] [00106] 일부 실시예들에서, 동작(1030) 동안, 입력 채널들(110) 각각으로부터의 출력 파형(144)은 각각의 획득 채널(122)에 결합된 드라이버(도시되지 않음)에 의해 수신된다. 일 예에서, 입력 채널(110)로부터의 출력 파형(144_{IB})은 획득 채널(122_i)의 드라이버에 의해 수신된다. 드라이버는 입력 채널(110)로부터 수신된 출력 파형을 차동 신호로 변환하는 데 사용된다. 이러한 구성에서, 차동 신호는 다음에 획득 채널(122)에 또는 획득 채널(122) 내에 결합된 ADC(도시되지 않음)에 의해 수신된다. ADC는 차동 신호를 아날로그 도메인으로부터 디지털 도메인으로 변환하고, ADC의 출력 디지털 신호는 획득 채널(122)에 결합된 프로세서(121)에 제공된다. 데이터 획득 제어기(123)의 프로세서는 ADC로부터 제공된 출력 디지털 신호를 분석함으로써 출력 파형의 하나 이상의 파형 특성들을 결정한다. 예를 들어, 프로세서(121)는 출력 디지털 신호를 분석하여 입력 채널(110)로부터 수신된 출력 파형(144) 내의 펄스의 진폭, 펄스 폭 및 DC 오프셋 중 하나 이상을 결정한다.

[0094] [00107] 동작(1030)은 대응하는 입력 채널로부터 소정 기간에 걸쳐 수신된 측정치들을 조합하는 것을 더 포함할 수 있다. 예를 들어, 데이터 획득 제어기(123)는 제1 기간에 걸쳐 획득 채널(122_i)로부터 "Z" 개의 디지털화된 파형들을 수신할 수 있으며, 여기서 Z는 2 이상인 정수이다. 제1 기간은 입력 펄스 전압 파형의 "M" 개의 사이클들에 대응할 수 있으며, 여기서 M은 1 이상인 정수이다. 획득 채널(122_i)은 Z 개의 출력 파형들을 조합할 수 있다. 예를 들어, 획득 채널(122_i)은 Z 개의 출력 파형들에 대응하는 데이터를 평균화할 수 있다.

[0095] [00108] 동작(1030)은 또한, 하기 중 적어도 하나를 수행하는 데이터 획득 제어기(123)를 더 포함할 수 있다: 1) 컨디셔닝된 전압 파형의 결정된 하나 이상의 파형 특성들과 관련된 정보를 제어기(예를 들어, 피드백 프로세서(125)의 제어기)로 전송하는 것, 및 2) 획득 채널들에 의해 생성된 제2 디지털화된 전압 파형들과 관련된 정보를 제2 제어기(예를 들어, 제어기들(126, 127, 128 또는 191))로 전송하는 것.

[0096] [00109] 동작(1040)에서, 하나 이상의 입력 채널들(110)로부터 수신된 하나 이상의 파형 특성들로부터 하나 이상의 제어 파라미터들이 생성된다. 예를 들어, 데이터 획득 제어기(123)는 하나 이상의 파형 특성들에 대응하는 정보를 피드백 프로세서(125)로 전송하고, 피드백 프로세서(125)는 하나 이상의 파형 특성들로부터 하나 이상의 제어 파라미터들을 생성한다. 이전의 입력 채널 구성 예를 다시 참조하면, 동작(1040)의 일 예에서, 프로세서는 입력 채널들(110₁, 110₂ 및 110₃)로부터 출력 파형들을 수신하고, 원하는 동작들(1010 내지 1030)이 수행된 후에, 획득 채널들(122₁, 122₂ 및 122₃)에 의해 각각 수신 및 프로세싱된 파형들로부터 유도된 하나 이상의 파형 특성들에 대응하는 정보를 피드백 프로세서(125)로 전송한다. 다음에, 피드백 프로세서(125)는 하나 이상의 수신된 파형 특성들로부터 하나 이상의 제어 파라미터들을 생성할 수 있다. 일 실시예에서, 하나 이상의 제어 파라미터들은, 피드백 프로세서(125)의 메모리 또는 피드백 프로세서(125)에 결합된 메모리에 저장된 목표 파형 특성들과 수신된 파형 특성들 사이의 비교에 기초하여 DC 충전 전압을 조정하고 펄스 폭을 조정하며 펄스 전압 파형의 진폭을 조정하기 위한 표시를 포함할 수 있다. 저장된 목표 파형 특성들은 이전 순간에 피드백 루프(100)에 의해 생성된 파형 특성들, 소정 기간에 걸쳐 피드백 루프(100)에 의해 생성된 일련의 파형 특성들의 평균, 사용자가 생성하여 메모리에 입력한 이상적인 파형 특성들(예를 들어, 모델 기반 파형 특성들), 또는 다른 바람직한 수단에 의해 생성된 파형 특성들일 수 있다.

[0097] [00110] 대안적으로 또는 추가적으로, 데이터 획득 제어기(123)는 하나 이상의 파형 특성들에 대응하는 정보를 별도의 제어기(예를 들어, 제어기(127), 제어기(128), 제어기(191) 및/또는 프로세싱 챔버 제어기(126))로 전달할 수 있으며, 별도의 제어기는 하나 이상의 파형 특성들로부터 하나 이상의 제어 파라미터들을 생성한다. 유사하게, 일 실시예에서, 제어기에 의해 생성된 하나 이상의 제어 파라미터들은 예를 들어, 제어기의 메모리에 저장된 목표 파형 특성들과 수신된 파형 특성 사이의 비교에 기초하여 펄스 폭을 조정하고 펄스 전압 파형의 진

폭을 조정하기 위한 표시를 포함할 수 있다. 저장된 목표 파형 특성들은 이전 순간에 피드백 루프(100)에 의해 생성된 파형 특성들, 소정 기간에 걸쳐 피드백 루프(100)에 의해 생성된 일련의 파형 특성들의 평균, 사용자가 생성하여 메모리에 입력한 이상적인 파형 특성들(예를 들어, 모델 기반 파형 특성들), 또는 다른 바람직한 수단 에 의해 생성된 파형 특성들일 수 있다.

- [0098] [00111] 동작(1050)에서, 피드백 프로세서(125) 또는 별도의 제어기는 하나 이상의 제어 파라미터들에 대응하는 정보를 PVWG(150)로 전송한다. 또한, 일부 실시예들에서, 데이터 획득 제어기(123)는 하나 이상의 파형 특성들에 대응하는 정보를 제어기(128)로 전달할 수 있고, 제어기(128)는 결정된 파형 특성들과 하나 이상의 목표 파형 특성들에 대응하는 정보의 비교에 기초하여 하나 이상의 제어 파라미터들을 생성할 수 있다. 따라서, 일 실시예에서, 동작(1050)에서, 제어기(128)는 하나 이상의 제어 파라미터들에 대응하는 정보를 PVWG(150) 및/또는 다른 제어기로 전송한다.
- [0099] [00112] 동작(1060) 동안, 조정된 펄스 전압 파형은 수신된 하나 이상의 제어 파라미터들에 기초하여 PVWG(150)로부터 전달된다. 예를 들어, PVWG(150)는 바이어싱 전극(804)에 제공되는 조정된 펄스 전압 파형을 생성한다.
- [0100] [00113] 동작(1070)에서, 선택적으로, 플라즈마 프로세싱 챔버 프로세스 변수가 개별적으로 또는 추가적으로 조정되며, 플라즈마 프로세싱 챔버 프로세스 변수는 척킹 전력 공급부에 대한 설정점을 포함할 수 있다. 예를 들어, 척킹 전력 공급부(예를 들어, HVM(816))에 대한 설정점을 조정하는 것은 척킹 전력 공급부에 의해 출력되는 척킹 전압을 증가 또는 감소시키는 것을 포함할 수 있다. 척킹 전력 공급부에 대한 설정점의 조정은 PVWG(150)에 의해 생성된 후속 펄스 전압 파형의 DC 오프셋을 조정할 것이다. 척킹 전력 공급부에 대한 설정점은 약 -5000 V 내지 약 5000 V의 DC 전압이 되도록 조정될 수 있다. 일부 실시예들에서, 방법(1000)은 동작(1060)을 생략할 수 있다.
- [0101] [00114] 방법(1000)의 일부 실시예들에서, 조정된 펄스 전압 파형은 바람직한 펄스 파형 특성들(예를 들어, 목표 파형 특성들)을 갖는 펄스 전압 파형이 달성될 때까지 연속적으로 수행된다. 일부 실시예들에서, 동작들(1010 내지 1050) 또는 동작들(1010 내지 1060)은 하나의 파형 사이클 내에서의 펄스 전압 파형의 하나 이상의 목표 파형 특성들에 도달할 때까지 복수 회 수행된다. 예를 들어, 제어기(128) 및/또는 피드백 프로세서(125)는 데이터 획득 제어기(123)에 의해 결정된 업데이트된 파형 특성들에 기초하여 하나 이상의 제어 파라미터들을 변경할 수 있다. 업데이트된 파형 특성들은 입력 채널들(110) 중 하나 이상에 의해 획득된 입력 펄스 전압 파형을 지속적으로 프로세싱함으로써 획득된다. 일 예에서, 펄스 폭 및/또는 진폭이 피드백 프로세서의 메모리 또는 데이터 획득 제어기(123)에 또는 데이터 획득 제어기(123) 내에 결합된 메모리에 저장된 대응하는 목표 값에 도달할 때까지 펄스 폭 및/또는 진폭이 증가될 수 있다. 또한, 조정된 펄스 전압 파형은 DC 오프셋 전압의 최대 한계에 도달할 때까지 제어 파라미터들 중 하나 이상을 변경함으로써 지속적으로 조정될 수 있다. 예를 들어, 하나 이상의 제어 파라미터들은 최대 DC 오프셋 전압에 도달할 때까지 연속적으로 변경될 수 있다.
- [0102] [00115] 일부 실시예들에서, 조정된 펄스 전압 파형을 설정하는 것은 알고리즘 수렴을 위한 최대 시간 한계에 도달할 때까지 제어 파라미터들 중 하나 이상을 변경하는 것을 포함한다. 예를 들어, 피드백 프로세서(125)는 PVWG(150)가 목표 파형 특성들 중 하나 이상을 갖는 조정된 펄스 전압 파형을 생성하는 데 걸리는 시간을 모니터링한다. PVWG(150)가 시간 한계 내에 목표 펄스 파형 특성을 달성할 수 있는 조정된 펄스 전압 파형을 생성하는 데 실패하는 경우, 피드백 프로세서(125)는 PVWG(150)에 다른 파형 특성을 변경하도록 명령할 수 있다. 추가적으로 또는 대안적으로, 조정된 펄스 전압 파형을 설정하는 것은 펄스 전압 파형의 펄스 폭의 이전에 결정된 최대 한계에 도달할 때까지 제어 파라미터들 중 하나 이상을 변경하는 것을 포함한다. 또한, 조정된 펄스 전압 파형을 설정하는 것은 펄스 전압 파형의 펄스 폭의 최소 한계에 도달할 때까지 제어 파라미터들 중 하나 이상을 변경하는 것을 포함한다. 펄스 폭의 최대 한계 및 시간 한계는 일반적으로, 입력 채널들(110) 중 하나 이상에 의해 수신된 하나 이상의 펄스 전압 파형들과의 비교를 위해 메모리(예를 들어, 메모리(124 또는 126A))에 저장되고 프로세서(예를 들어, 피드백 프로세서(125) 또는 제어기(128))에 의해 검색되는 이전에 결정된 값들을 포함한다.
- [0103] [00116] 도 11은 하나 이상의 실시예들에 따른, 펄스 전압 파형을 제어하기 위한 방법(1100)을 도시하는 흐름도이다. 동작(1110)에서, 출력 파형(144)이 제1 입력 채널(110)에 의해 생성된다. 예를 들어, 입력 채널(110₁)은 입력 펄스 전압 파형(140_{1B})을 획득하고 입력 펄스 전압 파형(140_{1B})으로부터 출력 파형(144_{1B})을 생성한다. 입력 채널(110₁)은 분압기(112) 및 저역 통과 필터(114)를 포함할 수 있으며, 제1 출력 파형을 생성하는 것은

분압기(112)에 의해 입력 펄스 전압 파형으로부터 분배 전압 파형을 생성하는 것, 및 저역 통과 필터(114)에 의해 분배 전압 파형을 저역 통과 필터링함으로써 필터링된 전압 파형을 생성하는 것을 포함한다. 다른 예에서, 입력 채널(110₁)은 저역 통과 필터(114)를 생략하고, 출력 파형을 생성하는 것은 분압기(112)에 의해 입력 펄스 전압 파형으로부터 분배 전압 파형을 생성하는 것을 포함한다.

[0104] [00117] 동작(1120)에서, 제2 출력 파형이 제2 입력 채널(110)에 의해 생성된다. 예를 들어, 입력 채널(110₂)은 입력 펄스 전압 파형(140₂)을 획득하고 입력 펄스 전압 파형(140₂)으로부터 출력 파형(144₂)을 생성한다. 입력 채널(110₂)은 분압기(112) 및 저역 통과 필터(114)를 포함할 수 있으며, 출력 파형(144₂)을 생성하는 것은 분압기(112)에 의해 입력 펄스 전압 파형으로부터 분배 전압 파형을 생성하는 것, 및 저역 통과 필터(114)에 의해 분배 전압 파형을 저역 통과 필터링함으로써 필터링된 전압 파형을 생성하는 것을 포함한다.

[0105] [00118] 동작(1130)에서, 제3 출력 파형이 제3 입력 채널(110)에 의해 생성된다. 예를 들어, 일 실시예에서, 입력 채널(110₃)은 입력 펄스 전압 파형(140₃)을 획득하고 입력 펄스 전압 파형(140₃)으로부터 출력 파형(144₃)을 생성한다. 입력 채널(110₃)은 저역 통과 필터(114)를 포함할 수 있으며, 출력 파형(144₃)을 생성하는 것은 저역 통과 필터(114)를 사용하여 입력 펄스 전압 파형(140₃)을 저역 통과 필터링함으로써 형성된 필터링된 전압 파형을 생성하는 것을 포함한다.

[0106] [00119] 동작(1140)에서, 하나 이상의 파형 특성들이 결정된다. 예를 들어, 획득 채널들(122₁, 122₂ 및 122₃)은 입력 채널(110, 110₂ 및 110₃)로부터 각각의 출력 파형들(144₁, 144₂ 및 144₃)을 수신하고, 출력 파형들(144₁, 144₂ 및 144₃)로부터 수신된 상이한 유형들의 전압 파형 정보에 기초하여 하나 이상의 파형 특성들을 결정하도록 출력 파형들을 데이터 획득 제어기(123)에 제공한다. 일부 실시예들에서, 획득 채널(122₁)에 의해 결정된 하나 이상의 파형 특성들은 획득 채널(122₂)에 의해 결정된 하나 이상의 파형 특성들과 상이하고, 획득 채널(122₃)에 의해 결정된 하나 이상의 파형 특성들은 획득 채널(122₁) 및 획득 채널(122₂)에 의해 결정된 하나 이상의 파형 특성들과 상이하다. 또한, 일 예에서, 획득 채널(122₁)과 조합되는 데이터 획득 제어기(123)는 대응하는 측정 파형으로부터 진폭(Ampl) 및 펄스 폭(W)을 결정하고, 획득 채널(122₂)과 조합되는 데이터 획득 제어기(123)는 대응하는 측정 파형으로부터 이온 전류 오프셋을 결정하며, 획득 채널(122₃)과 조합되는 데이터 획득 제어기(123)는 대응하는 수신된 출력 파형으로부터 최대 이온 전류를 결정한다.

[0107] [00120] 동작(1150)에서, 하나 이상의 제어 파라미터들이 출력 파형들(144₁, 144₂ 및 144₃)로부터 수신된 정보에 기초하여 데이터 획득 제어기(123)에 의해 결정된 파형 특성들로부터 생성된다. 예를 들어, 데이터 획득 제어기(123)는 하나 이상의 파형 특성들에 대응하는 정보를 피드백 프로세서(125)(또는 별도의 제어기)로 전송하고, 피드백 프로세서(125)(또는 별도의 제어기)는 하나 이상의 결정된 파형 특성들로부터 하나 이상의 제어 파라미터들을 생성한다. 동작(1150) 동안, 피드백 프로세서(125)는 결정된 하나 이상의 파형 특성들을 수신한 후에, 하나 이상의 알고리즘들을 사용하여 하나 이상의 수신된 파형 특성들에 기초하여 하나 이상의 제어 파라미터들을 생성한다. 일 실시예에서, 하나 이상의 제어 파라미터들은 2 개 이상의 상이한 입력 채널들로부터 수신된 파형 특성들과 피드백 프로세서(125)의 메모리 또는 피드백 프로세서(125)에 결합된 메모리에 저장된 목표 파형 특성들 사이의 비교에 기초하여 DC 충전 전압을 조정하고 펄스 폭을 조정하며 펄스 전압 파형의 진폭을 조정하기 위한 표시를 포함할 수 있다.

[0108] [00121] 동작(1160)에서, 상기에서 동작(1050)에서 유사하게 논의된 바와 같이, 피드백 프로세서(125)는 생성된 제어 파라미터들에 대응하는 정보를 PVWG(150)로 전송한다.

[0109] [00122] 또한, 동작(1170)은 동작(1060)의 동작과 대체로 유사하며, 그에 따라 조정된 펄스 전압 파형은 수신된 하나 이상의 제어 파라미터들에 기초하여 PVWG(150)로부터 전달된다. 예를 들어, PVWG(150)는 바이어싱 전극(804)에 제공되는 조정된 펄스 전압 파형을 생성한다. 추가적으로, 동작(1170)에서, 척킹 전력 공급부에 대한 설정점도 선택적으로 조정된다.

[0110] [00123] 방법(1100)의 일부 실시예들에서, 동작들(1110 내지 1170)은 바람직한 펄스 파형 특성들(예를 들어, 목표 파형 특성들)을 갖는 조정된 펄스 전압 파형이 달성될 때까지 다수 회 수행된다. 일부 실시예들에서, 동작들(1110 내지 1170)은 하나의 파형 사이클 내에서의 펄스 전압 파형의 하나 이상의 목표 파형 특성들에 도달할

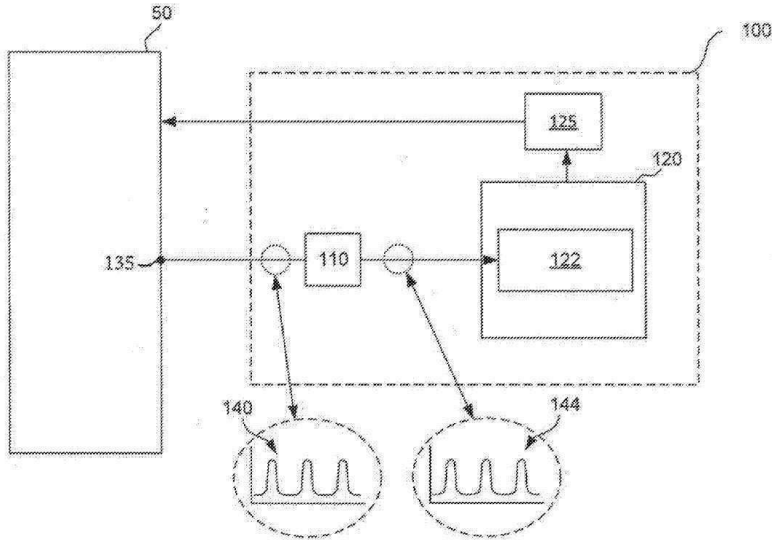
때까지 복수 회 수행된다.

[0111]

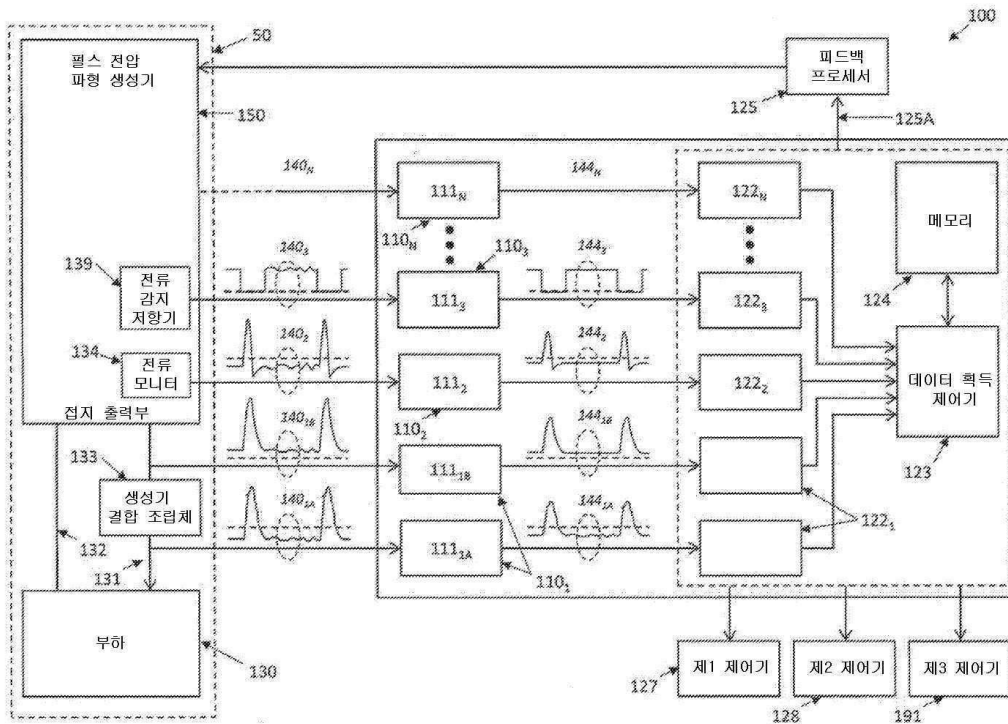
[00124] 전술한 내용들이 본 개시내용의 실시예들에 관한 것이지만, 본 개시내용의 다른 그리고 추가적인 실시예들이 본 개시내용의 기본적인 범위로 부터 벗어나지 않으면서 안출될 수 있으며, 본 개시내용의 범위는 하기의 청구항들에 의해 결정된다.

도면

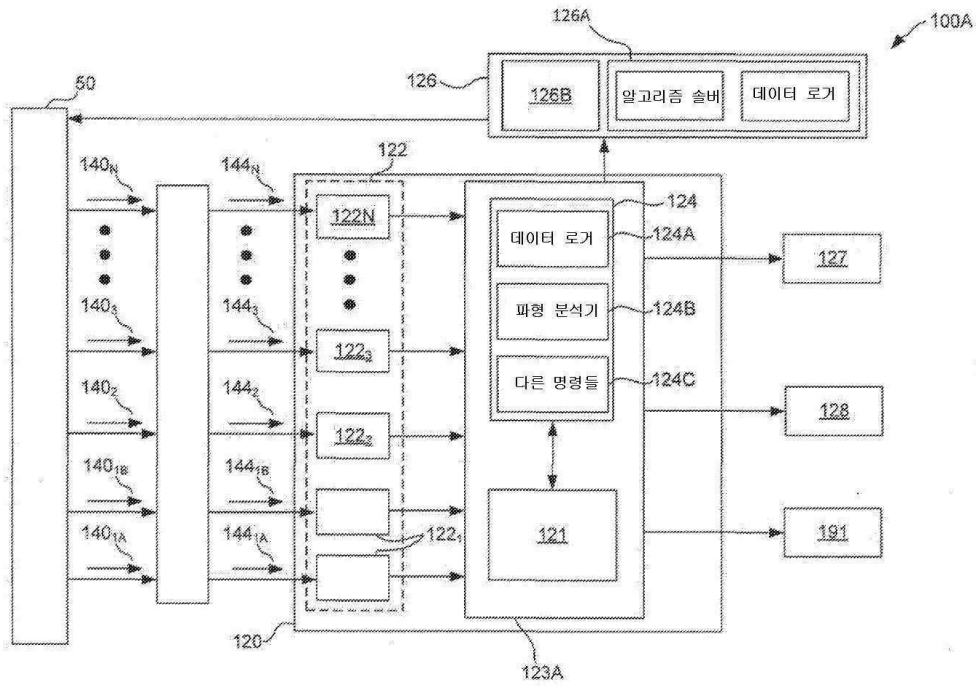
도면1a



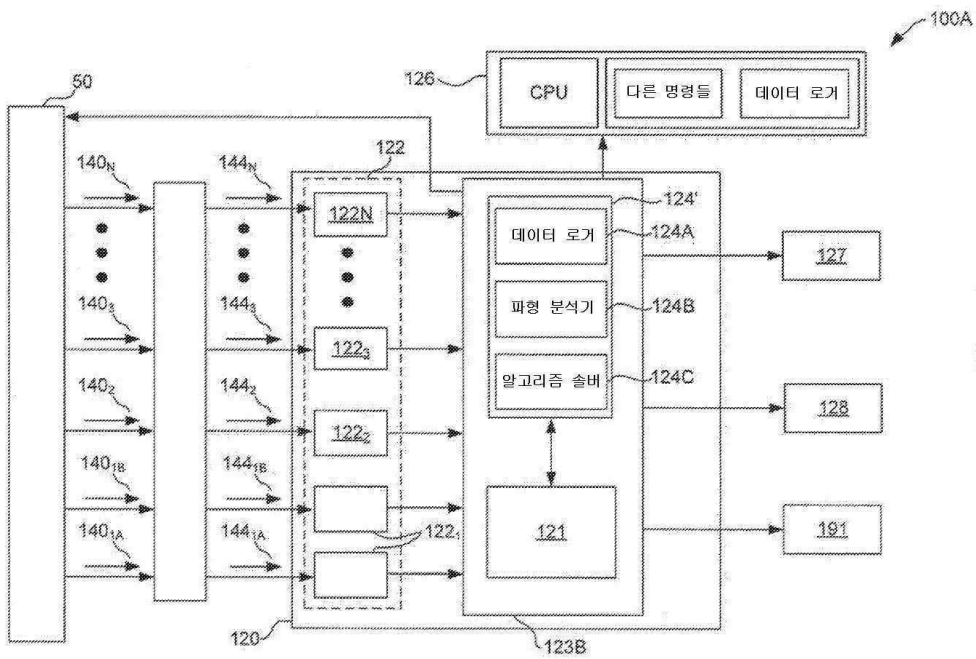
도면1b



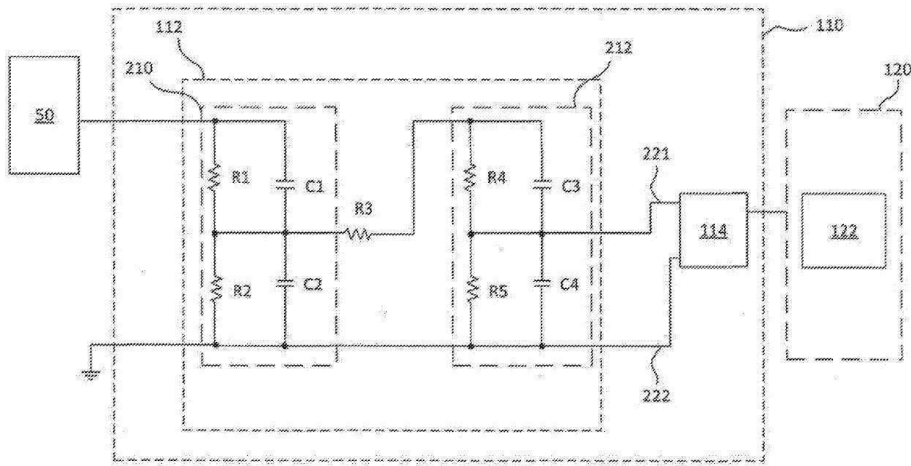
도면1c



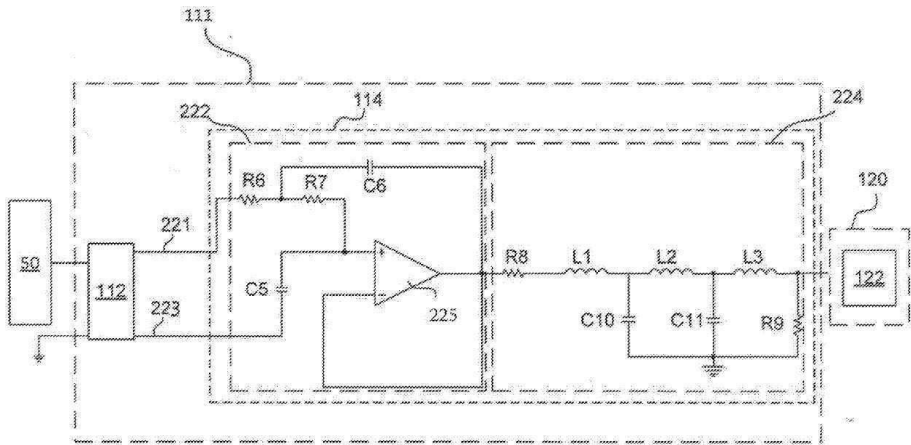
도면1d



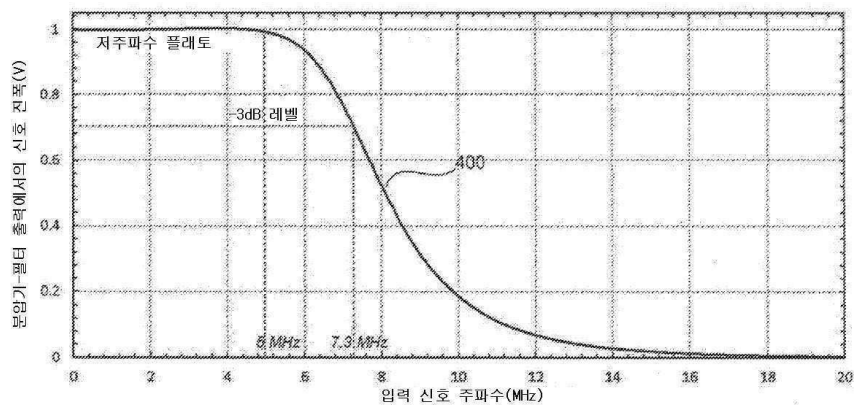
도면2



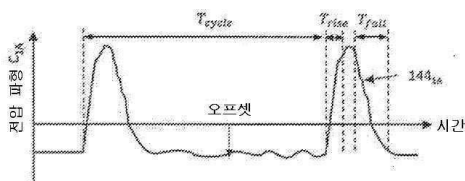
도면3



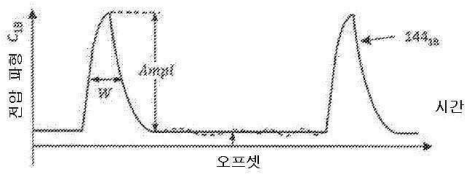
도면4



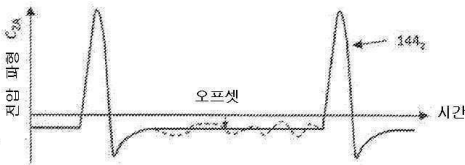
도면5a



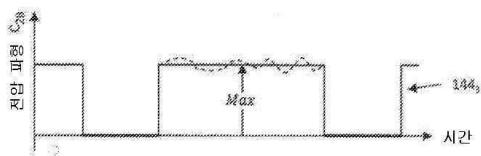
도면5b



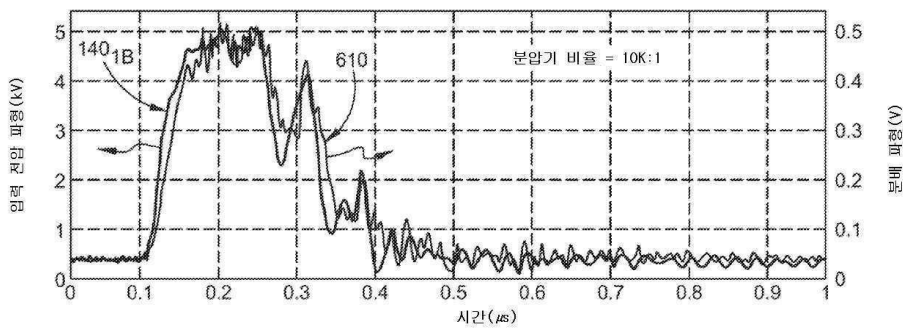
도면5c



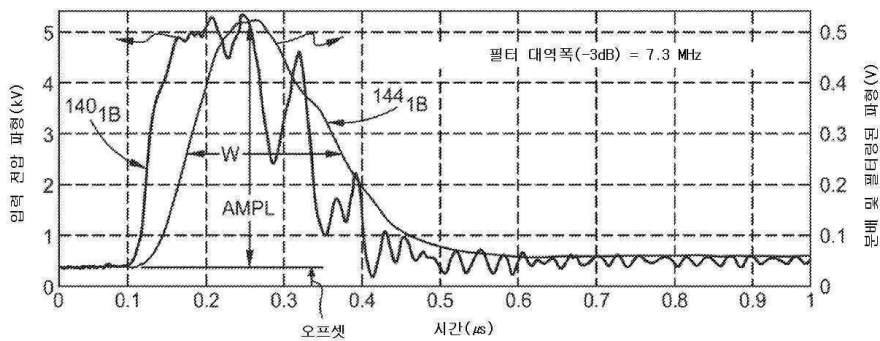
도면5d



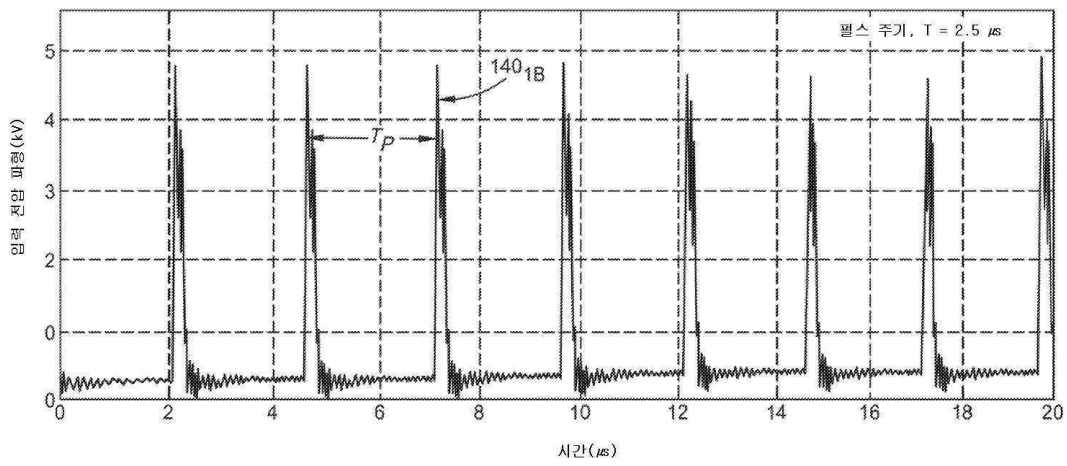
도면6a



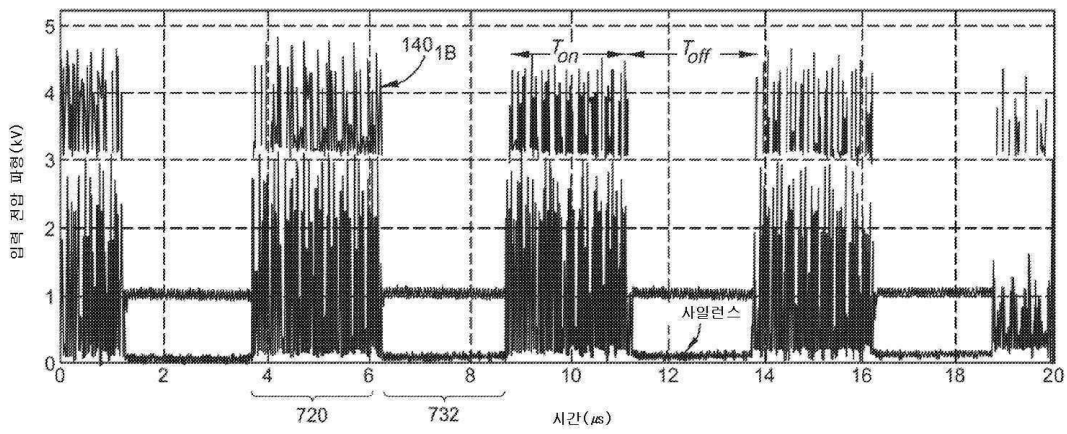
도면6b



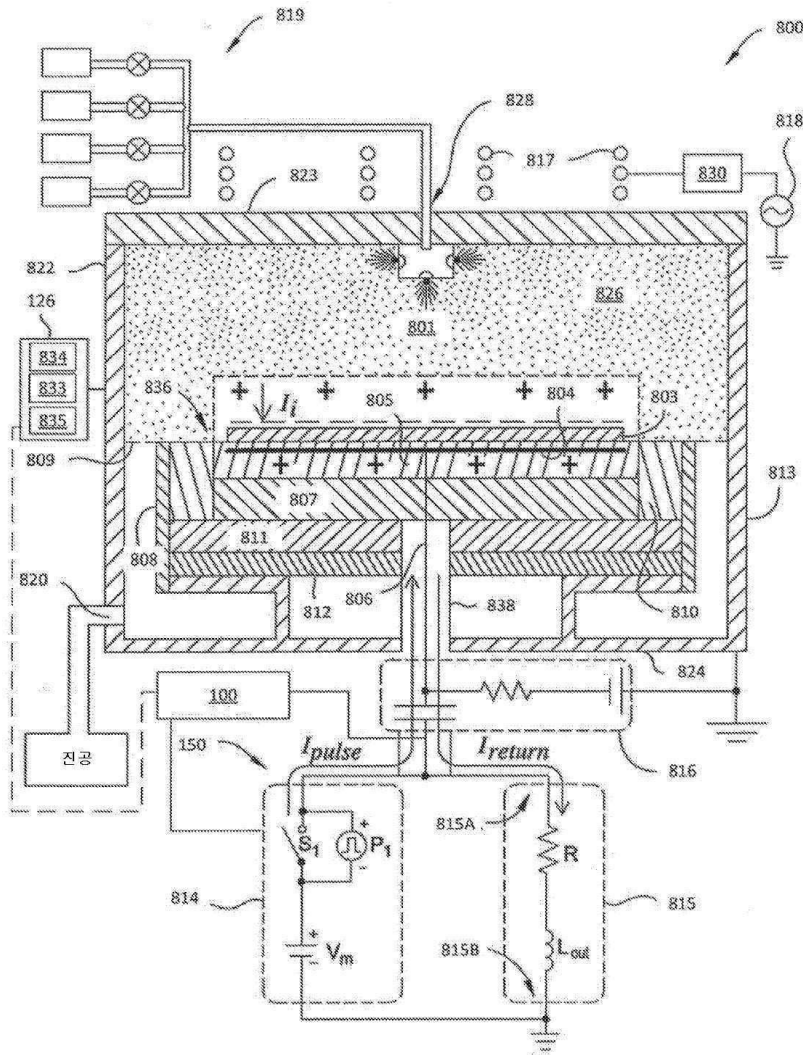
도면7a



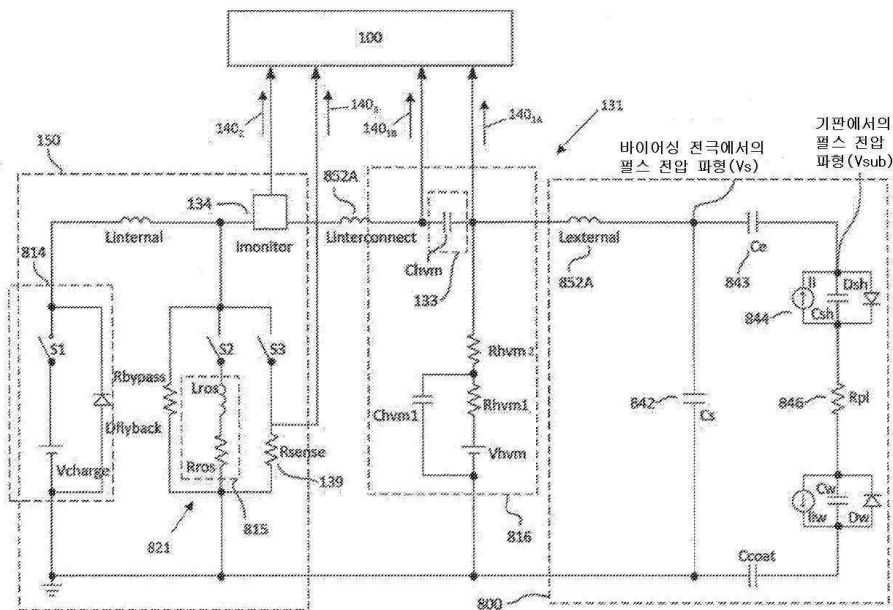
도면7b



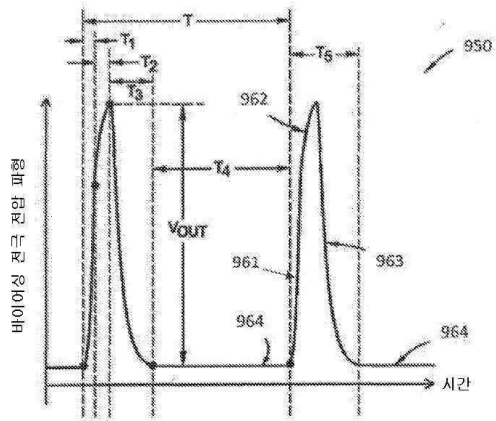
도면 8a



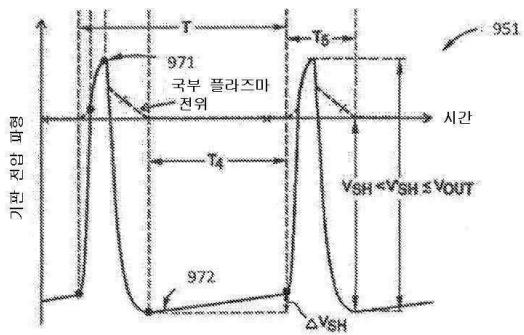
도면 8b



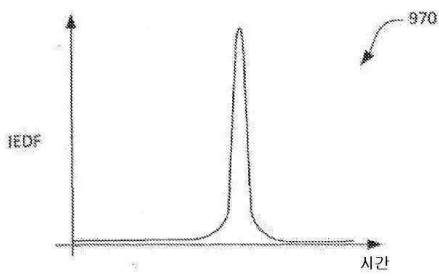
도면9a



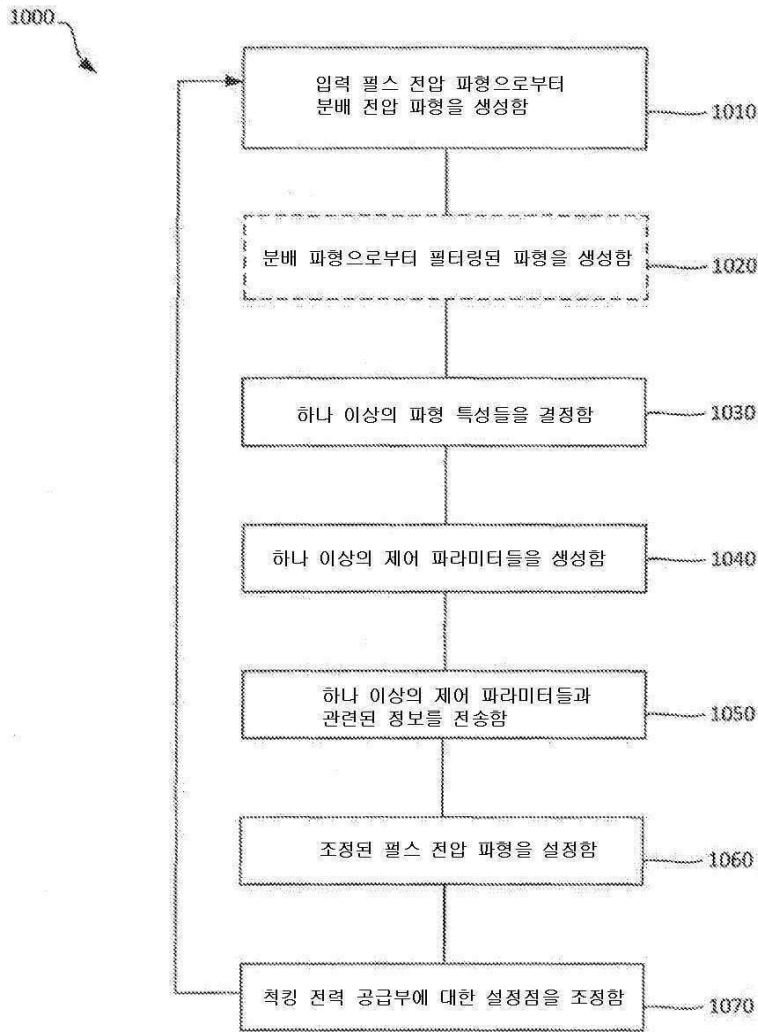
도면9b



도면9c



도면10



도면11

