



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0016640  
(43) 공개일자 2017년02월14일

(51) 국제특허분류(Int. Cl.)  
G11C 29/44 (2006.01) G11C 29/00 (2006.01)  
(52) CPC특허분류  
G11C 29/44 (2013.01)  
G11C 29/808 (2013.01)  
(21) 출원번호 10-2015-0109980  
(22) 출원일자 2015년08월04일  
심사청구일자 없음

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
김종삼  
충청북도 청주시 흥덕구 덕암로108번길 44 현대아  
이파크 110동 1303호  
조진희  
충청북도 청주시 흥덕구 대농로 17 신영지웰시티  
1차 109동 2603호  
(74) 대리인  
김성남

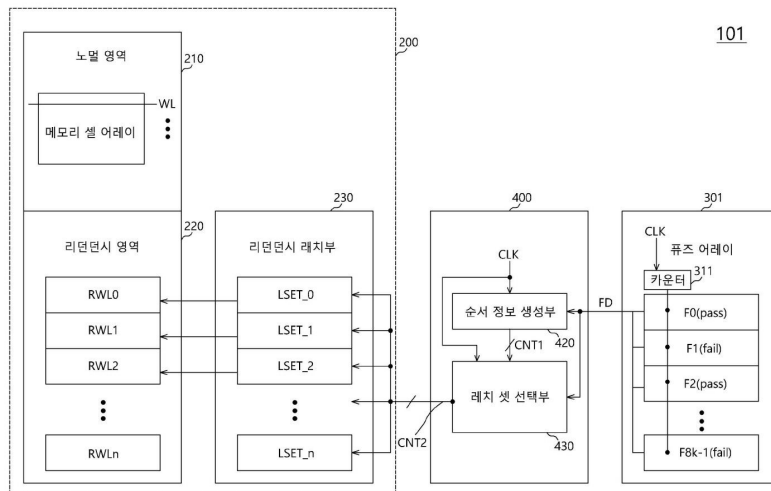
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 반도체 장치 및 그 리페어 방법

(57) 요약

본 기술은 워드 라인 페일 정보를 저장하도록 구성된 퓨즈 어레이; 리던던시 래치부; 및 상기 워드 라인 페일 정보에 따라 생성한 워드 라인 순서정보를 상기 리던던시 래치부에 저장하도록 구성된 리던던시 제어부를 포함할 수 있다.

대표도



(52) CPC특허분류  
G11C 2029/4402 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

워드 라인 페일 정보를 저장하도록 구성된 퓨즈 어레이;

리턴던시 래치부; 및

상기 워드 라인 페일 정보에 따라 생성한 워드 라인 순서정보를 상기 리턴던시 래치부에 저장하도록 구성된 리턴던시 제어부를 포함하는 반도체 장치.

#### 청구항 2

제 1 항에 있어서,

상기 반도체 장치는

복수의 워드 라인 및 복수의 리턴던시 워드 라인을 더 포함하며,

외부 어드레스가 상기 워드 라인 순서정보와 일치하면 상기 복수의 워드 라인 중에서 상기 외부 어드레스에 해당하는 워드 라인을 상기 복수의 리턴던시 워드 라인 중에서 하나로 대체하도록 구성되는 반도체 장치.

#### 청구항 3

제 1 항에 있어서,

상기 퓨즈 어레이는

상기 복수의 워드 라인과 1대1 매칭되는 복수의 퓨즈를 포함하는 반도체 장치.

#### 청구항 4

제 1 항에 있어서,

상기 퓨즈 어레이는

상기 복수의 워드 라인과 1대1 매칭되는 복수의 퓨즈를 포함하며,

상기 복수의 퓨즈는

각각 상기 워드 라인 페일 정보를 1 비트의 신호로 저장하는 반도체 장치.

#### 청구항 5

제 1 항에 있어서,

상기 리턴던시 래치부는

복수의 래치 셋을 포함하는 반도체 장치.

#### 청구항 6

제 5 항에 있어서,

상기 리턴던시 제어부는

상기 워드 라인 순서정보를 상기 복수의 래치 셋 중에서 정해진 순번에 해당하는 래치 셋에 저장하도록 구성되는 반도체 장치.

#### 청구항 7

제 1 항에 있어서,

상기 리던던시 제어부는

클럭 신호에 따라 내부 카운트 값을 순차적으로 증가시키고, 상기 워드 라인 페일 정보가 생성된 타이밍의 내부 카운트 값을 래치하여 예비 워드 라인 순서정보로서 출력하도록 구성된 순서 정보 생성부, 및

상기 워드 라인 페일 정보에 따라 상기 리던던시 래치부의 복수의 래치 셋 중에서 하나를 선택하여 상기 예비 워드 라인 순서정보를 상기 워드 라인 순서정보로서 저장하도록 구성되는 래치 셋 선택부를 포함하는 반도체 장치.

#### 청구항 8

제 7 항에 있어서,

상기 래치 셋 선택부는

상기 워드 라인 페일 정보가 발생할 때마다 상기 복수의 래치 셋을 순차적으로 선택하도록 구성되는 반도체 장치.

#### 청구항 9

제 1 항에 있어서,

상기 퓨즈 어레이는

복수의 퓨즈, 및

상기 복수의 퓨즈에 저장된 상기 워드 라인 페일 정보가 순차적으로 출력되도록 하는 카운터를 포함하는 반도체 장치.

#### 청구항 10

복수의 워드 라인을 포함하는 반도체 장치의 리페어 방법으로서,

테스트 모드에서 상기 복수의 워드 라인 각각의 페일 여부를 검출하여 퓨즈 어레이에 기록하는 단계;

퓨즈 어레이를 스캔하여 페일 발생이 기록된 퓨즈에 해당하는 워드 라인 순서 정보를 생성하는 단계;

상기 워드 라인 순서 정보를 저장하는 단계; 및

상기 워드 라인 순서 정보를 이용하여 리페어 동작을 수행하는 단계를 포함하는 반도체 장치의 리페어 방법.

#### 청구항 11

제 10 항에 있어서,

상기 퓨즈 어레이에 기록하는 단계는

상기 퓨즈 어레이의 복수의 퓨즈 각각에 상기 복수의 워드 라인 각각의 페일 여부를 1 비트의 신호로 저장하는 단계를 포함하는 반도체 장치의 리페어 방법.

#### 청구항 12

제 10 항에 있어서,

상기 워드 라인 순서 정보를 생성하는 단계는

클럭 신호에 따라 카운트 값을 증가시키고, 페일 발생이 기록된 퓨즈가 검출되는 타이밍의 상기 카운트 값을 상기 워드 라인 순서 정보로 생성하는 단계를 포함하는 반도체 장치의 리페어 방법.

#### 청구항 13

제 10 항에 있어서,

상기 워드 라인 순서 정보를 생성하는 단계는

반도체 장치의 붓 업 단계에서 이루어지며,

클럭 신호에 따라 카운트 값을 증가시키고, 페일 발생이 기록된 퓨즈가 검출되는 타이밍의 상기 카운트 값을 상기 워드 라인 순서 정보로 생성하는 단계를 포함하는 반도체 장치의 리페어 방법.

**청구항 14**

제 10 항에 있어서,

상기 워드 라인 순서 정보를 저장하는 단계는

페일 발생이 기록된 퓨즈가 검출될 때마다 복수의 래치 셋을 순차적으로 선택하고, 선택된 상기 래치 셋에 상기 워드 라인 순서 정보를 저장하는 단계를 포함하는 반도체 장치의 리페어 방법.

**청구항 15**

제 10 항에 있어서,

상기 워드 라인 순서 정보를 저장하는 단계는

반도체 장치의 붓 업 단계에서 이루어지며,

페일 발생이 기록된 퓨즈가 검출될 때마다 복수의 래치 셋을 순차적으로 선택하고, 선택된 상기 래치 셋에 상기 워드 라인 순서 정보를 저장하는 단계를 포함하는 반도체 장치의 리페어 방법.

**청구항 16**

제 10 항에 있어서,

상기 리페어 동작을 수행하는 단계는

외부 어드레스가 상기 워드 라인 순서정보와 일치하는지 판단하는 단계, 및

상기 외부 어드레스가 상기 워드 라인 순서정보와 일치하면 상기 복수의 워드 라인 중에서 상기 외부 어드레스에 해당하는 워드 라인을 리던던시 워드 라인으로 대체하는 단계를 포함하는 반도체 장치의 리페어 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 회로에 관한 것으로서, 특히 반도체 장치 및 그 리페어 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 장치는 메모리 셀에서 불량이 발생한 셀의 정보를 저장하기 위해 퓨즈를 사용할 수 있다.

[0003] 최근에는 패키징 이후에도 립처(Rupture) 동작에 의해 퓨즈 정보 갱신이 가능한 전자 퓨즈(e-fuse)를 사용하여 리페어 동작이 수행되도록 할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 실시예는 회로면적을 줄이고 안정적인 리페어 동작이 가능하도록 한 반도체 장치 및 그 리페어 방법을 제공할 수 있는 제공한다.

**과제의 해결 수단**

[0005] 본 발명의 실시예는 워드 라인 페일 정보를 저장하도록 구성된 퓨즈 어레이; 리던던시 래치부; 및 상기 워드 라인 페일 정보에 따라 생성한 워드 라인 순서정보를 상기 리던던시 래치부에 저장하도록 구성된 리던던시 제어부를 포함할 수 있다.

[0006] 본 발명의 실시예에서 상기 퓨즈 어레이는 상기 복수의 워드 라인과 1대1 매칭되는 복수의 퓨즈를 포함하며, 상

기 복수의 퓨즈는 각각 상기 워드 라인 페일 정보를 1 비트의 신호로 저장할 수 있다.

[0007] 본 발명의 실시예는 복수의 워드 라인을 포함하는 반도체 장치의 리페어 방법으로서, 테스트 모드에서 상기 복수의 워드 라인 각각의 페일 여부를 검출하여 퓨즈 어레이에 기록하는 단계; 퓨즈 어레이를 스캔하여 페일 발생이 기록된 퓨즈에 해당하는 워드 라인 순서 정보를 생성하는 단계; 상기 워드 라인 순서 정보를 저장하는 단계; 및 상기 워드 라인 순서 정보를 이용하여 리페어 동작을 수행하는 단계를 포함할 수 있다.

[0008] 본 발명의 실시예에서 상기 퓨즈 어레이에 기록하는 단계는 상기 퓨즈 어레이의 복수의 퓨즈 각각에 상기 복수의 워드 라인 각각의 페일 여부를 1 비트의 신호로 저장하는 단계를 포함할 수 있다.

### 발명의 효과

[0009] 본 기술은 회로면적을 줄이고 안정적인 리페어 동작이 가능하다.

### 도면의 간단한 설명

[0010] 도 1은 본 발명의 실시예에 따른 반도체 장치(100)의 구성을 나타낸 도면,

도 2는 도 1에 따른 리페어 방법을 설명하기 위한 순서도,

도 3은 본 발명의 다른 실시예에 따른 반도체 장치(101)의 구성을 나타낸 도면,

도 4는 도 3의 리던던시 제어부(400)의 동작을 설명하기 위한 타이밍도이고,

도 5는 도 3에 따른 리페어 방법을 설명하기 위한 순서도이다.

### 발명을 실시하기 위한 구체적인 내용

[0011] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.

[0012] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 반도체 장치(100)는 메모리 영역(200) 및 퓨즈 어레이(300)를 포함할 수 있다.

[0013] 메모리 영역(200)은 노멀 영역(210), 리던던시 영역(Redundancy Section)(220) 및 리던던시 래치부(230)를 포함할 수 있다.

[0014] 노멀 영역(210)은 메모리 셀 어레이 및 복수의 워드 라인(WL: Word Line)을 포함할 수 있다.

[0015] 이때 노멀 영역(210)의 메모리 셀 어레이는 소 단위 메모리 블록인 매트(Mat) 또는 대 단위 메모리 블록인 뱅크(Bank)에 대응될 수 있다.

[0016] 리던던시 영역(220)은 복수의 워드 라인(WL) 중에서 불량이 발생된 메모리 셀과 연결된 워드 라인을 대체하기 위한 복수의 리던던시 워드 라인(Redundancy Word Line)(RWL0 ~ RWLn)을 포함할 수 있다.

[0017] 리던던시 래치부(230)는 불량이 발생된 메모리 셀과 관련된 어드레스 즉, 페일 어드레스(Fail address)를 저장하도록 구성될 수 있다.

[0018] 리던던시 래치부(230)는 복수의 래치 셋(LSET\_0 ~ LSET\_n)을 포함할 수 있다.

[0019] 복수의 래치 셋(LSET\_0 ~ LSET\_n)은 복수의 리던던시 워드 라인(RWL0 ~ RWLn)과 1대1 매칭(Matching)될 수 있다.

[0020] 복수의 래치 셋(LSET\_0 ~ LSET\_n)은 각각 복수의 래치를 포함할 수 있다.

[0021] 예를 들어, 페일 어드레스가 13 비트인 경우, 복수의 래치 셋(LSET\_0 ~ LSET\_n)은 각각 13개의 래치를 포함할 수 있다.

[0022] 퓨즈 어레이(300)는 페일 어드레스(Fail address)를 퓨즈 립처(Rupture)를 통해 저장하도록 구성될 수 있다.

[0023] 퓨즈 어레이(300)는 카운터(310) 및 복수의 퓨즈 셋(FSET\_0 ~ FSET\_n)을 포함할 수 있다.

[0024] 복수의 퓨즈 셋(FSET\_0 ~ FSET\_n)은 각각 복수의 전자 퓨즈(e-fuse)를 포함할 수 있다.

[0025] 예를 들어, 페일 어드레스가 13 비트인 경우, 복수의 퓨즈 셋(FSET\_0 ~ FSET\_n)은 각각 13개의 전자 퓨즈를 포

함할 수 있다.

- [0026] 이때 립처 동작은 트랜지스터를 기본으로 구성된 전자 퓨즈에 전압을 인가하여 게이트 절연을 파괴하는 동작이다.
- [0027] 복수의 퓨즈 셋(FSET<sub>0</sub> ~ FSET<sub>n</sub>)은 복수의 래치 셋(LSET<sub>0</sub> ~ LSET<sub>n</sub>)과 1대1 매칭될 수 있다.
- [0028] 카운터(310)는 클럭 신호(CLK)에 따라 복수의 퓨즈 셋(FSET<sub>0</sub> ~ FSET<sub>n</sub>)에 기록된 페일 어드레스를 순차적으로 읽어낼 수 있다.
- [0029] 이와 같이 구성된 본 발명의 실시예에 따른 반도체 장치(100)의 리페어 동작을 도 2를 참조하여 설명하면 다음과 같다.
- [0030] 테스트 모드로 진입한다(S11).
- [0031] 테스트 모드에서 노멀 영역(210)의 메모리 셀 어레이에 대한 테스트를 수행하고, 불량이 발생한 메모리 셀에 따른 어드레스 즉, 페일 어드레스를 검출한다(S12).
- [0032] 검출된 페일 어드레스를 상술한 립처 동작을 이용하여 퓨즈 어레이(300) 중에서 사용 순번에 해당하는 퓨즈 셋에 기록한다(S13).
- [0033] 이때 복수의 퓨즈 셋(FSET<sub>0</sub> ~ FSET<sub>n</sub>)은 그 사용 순서가 순번에 따라 순차적으로 이루어지도록 미리 정해져 있을 수 있다.
- [0034] 즉, 최초의 페일 어드레스가 발생되면, 복수의 퓨즈 셋(FSET<sub>0</sub> ~ FSET<sub>n</sub>) 중에서 퓨즈 셋(FSET<sub>0</sub>)을 페일 어드레스에 맞도록 립처하고, 이후 페일 어드레스가 발생되면 퓨즈 셋(FSET<sub>1</sub>)을 페일 어드레스에 맞도록 립처하는 방식으로 이루어질 수 있다.
- [0035] 이후, 퓨즈 데이터 즉, 퓨즈 어레이(300)의 복수의 퓨즈 셋(FSET<sub>0</sub> ~ FSET<sub>n</sub>)에 저장된 페일 어드레스들을 이에 대응되는 리턴던시 래치부(230)의 복수의 래치 셋(LSET<sub>0</sub> ~ LSET<sub>n</sub>)으로 읽어들인다(S14).
- [0036] 단계(S14)는 반도체 장치(100)의 붓업(Boot-up) 과정에서 퓨즈 어레이(300)의 카운터(310)를 이용하여 이루어질 수 있다.
- [0037] 이후, 노멀 동작 모드에서 반도체 장치(100)는 외부에서 제공된 어드레스(이하, 외부 어드레스)가 리턴던시 래치부(230)에 저장된 페일 어드레스와 일치하는지 판단한다(S15).
- [0038] 판단 결과(S15), 외부 어드레스가 리턴던시 래치부(230)에 저장된 페일 어드레스와 일치하면 리페어 동작을 수행한다(S16).
- [0039] 이때 단계(S16)의 리페어 동작은 노멀 영역(210)의 페일 어드레스에 해당하는 워드 라인 대신 리턴던시 영역(220)의 리턴던시 워드 라인을 활성화시키는 동작일 수 있다.
- [0040] 예를 들어, 리턴던시 래치부(230)의 복수의 래치 셋(LSET<sub>0</sub> ~ LSET<sub>n</sub>) 중에서 래치 셋(LSET<sub>0</sub>)에 저장된 페일 어드레스와 외부 어드레스가 일치하면, 래치 셋(LSET<sub>0</sub>)과 1대1 매칭된 리턴던시 워드 라인(RWL<sub>0</sub>)을 활성화시킬 수 있다.
- [0041] 다른 예를 들어, 리턴던시 래치부(230)의 복수의 래치 셋(LSET<sub>0</sub> ~ LSET<sub>n</sub>) 중에서 래치 셋(LSET<sub>3</sub>)에 저장된 페일 어드레스와 외부 어드레스가 일치하면, 래치 셋(LSET<sub>3</sub>)과 1대1 매칭된 리턴던시 워드 라인(RWL<sub>3</sub>)을 활성화시킬 수 있다.
- [0042] 이하, 도 3 내지 도 5를 참조하여, 본 발명의 다른 실시예에 따른 반도체 장치(101) 및 그 리페어 방법을 설명하기로 한다.
- [0043] 도 3에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 반도체 장치(101)는 메모리 영역(200), 퓨즈 어레이(301) 및 리턴던시 제어부(400)를 포함할 수 있다.
- [0044] 메모리 영역(200)은 노멀 영역(210), 리턴던시 영역(220) 및 리턴던시 래치부(230)를 포함할 수 있다.
- [0045] 노멀 영역(210)은 메모리 셀 어레이 및 복수의 워드 라인(WL)을 포함할 수 있다.
- [0046] 이때 노멀 영역(210)의 메모리 셀 어레이는 소 단위 메모리 블록인 매트(Mat) 또는 대 단위 메모리 블록인 बैं크(Bank)에 대응될 수 있다.

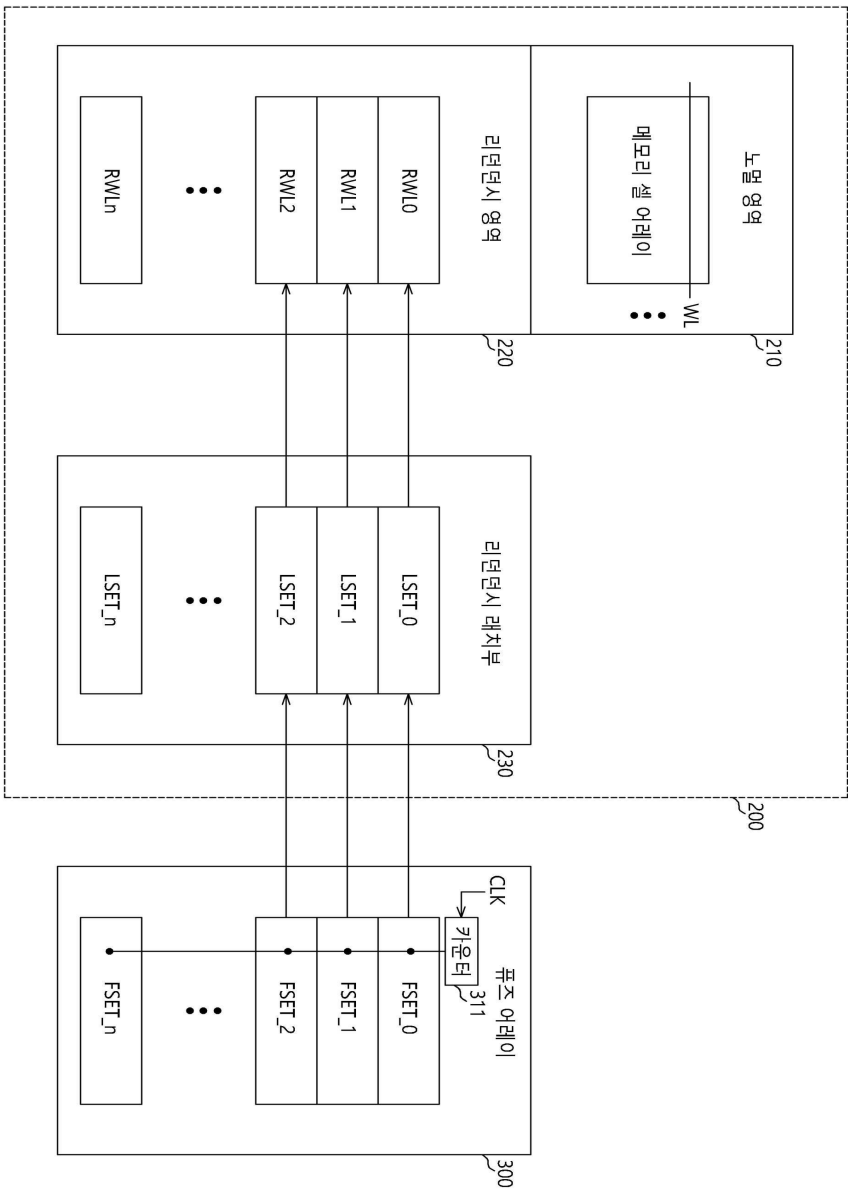
- [0047] 노멀 영역(210)의 메모리 셀 어레이 중에서 불량이 발생한 메모리 셀이 존재하면, 해당 메모리 셀과 연결된 워드 라인 또한 불량으로 판단된다.
- [0048] 리던던시 영역(220)은 복수의 워드 라인(WL) 중에서 불량이 발생한 메모리 셀과 연결된 워드 라인을 대체하기 위한 복수의 리던던시 워드 라인(RWL0 ~ RWLn)을 포함할 수 있다.
- [0049] 리던던시 래치부(230)는 워드 라인 순서정보 즉, 불량 판정된 워드 라인의 어드레스를 저장하도록 구성될 수 있다.
- [0050] 이때 불량 판정된 워드 라인의 어드레스는 도 1 및 2를 참조하여 설명한 본 발명의 실시예의 페일 어드레스와 동일한 값을 가질 수 있다.
- [0051] 리던던시 래치부(230)는 복수의 래치 셋(LSET\_0 ~ LSET\_n)을 포함할 수 있다.
- [0052] 복수의 래치 셋(LSET\_0 ~ LSET\_n)은 복수의 리던던시 워드 라인(RWL0 ~ RWLn)과 1대1 매칭(Matching)될 수 있다.
- [0053] 복수의 래치 셋(LSET\_0 ~ LSET\_n)은 각각 복수의 래치를 포함할 수 있다.
- [0054] 예를 들어, 페일 어드레스가 13 비트인 경우, 복수의 래치 셋(LSET\_0 ~ LSET\_n)은 각각 13개의 래치를 포함할 수 있다.
- [0055] 퓨즈 어레이(301)는 노멀 영역(210)의 복수의 워드 라인(WL)의 페일 여부를 퓨즈 립처(Rupture)를 통해 저장하도록 구성될 수 있다.
- [0056] 퓨즈 어레이(301)는 카운터(311) 및 복수의 퓨즈(F0 ~ F8k-1)를 포함할 수 있다. 복수의 퓨즈로서 전자 퓨즈가 사용될 수 있다.
- [0057] 이때 복수의 퓨즈(F0 ~ F8k-1)는 노멀 영역(210)에 8k개의 워드 라인(WL0 ~ WL8k-1)이 포함된 경우를 기준으로 한 것이다.
- [0058] 복수의 퓨즈(F0 ~ F8k-1)은 노멀 영역(210)의 8k개의 워드 라인(WL0 ~ WL8k-1)과 1대1 매칭될 수 있다.
- [0059] 퓨즈 어레이(301)는 워드 라인 페일 정보(FD) 즉, 8k개의 워드 라인(WL0 ~ WL8k-1) 각각의 페일 여부를 복수의 퓨즈(F0 ~ F8k-1) 각각에 '1 (하이 레벨)' 또는 '0 (로우 레벨)'으로 저장할 수 있다.
- [0060] 복수의 퓨즈(F0 ~ F8k-1) 중에서 페일 판정된 워드 라인에 매칭되는 퓨즈에는 워드 라인 페일 정보(FD)가 예를 들어, 하이 레벨로 기록되고, 정상 판정된 워드 라인에 매칭되는 퓨즈에는 워드 라인 페일 정보(FD)가 로우 레벨로 기록될 수 있다.
- [0061] 카운터(311)는 클럭 신호(CLK)에 따라 복수의 퓨즈(F0 ~ F8k-1)에 기록된 워드 라인 페일 정보(FD)가 순차적으로 출력되도록 할 수 있다.
- [0062] 리던던시 제어부(400)는 상기 워드 라인 페일 정보(FD)에 따라 생성한 워드 라인 순서정보(CNT2)를 리던던시 래치부(230) 중에서 정해진 순번에 해당하는 래치 셋에 저장하도록 구성될 수 있다.
- [0063] 리던던시 제어부(400)는 순서 정보 생성부(420) 및 래치 셋 선택부(430)를 포함할 수 있다.
- [0064] 순서 정보 생성부(420)는 클럭 신호(CLK) 및 워드 라인 페일 정보(FD)에 따라 예비 워드 라인 순서정보(CNT1)를 생성하도록 구성될 수 있다.
- [0065] 순서 정보 생성부(420)는 클럭 신호(CLK)에 따라 내부 카운트 값을 순차적으로 증가시키고, 워드 라인 페일 정보(FD)가 워드 라인 페일을 정의하는 값을 갖는 타이밍의 내부 카운트 값을 래치하여 예비 워드 라인 순서정보(CNT1)로서 출력할 수 있다.
- [0066] 이때 워드 라인 순서정보(CNT2)는 순서 정보 생성부(420)에서 내부 카운트 값을 증가시켜 생성되나, 도 1 및 2를 참조하여 설명한 본 발명의 실시예의 페일 어드레스를 기준으로 카운팅이 이루어질 수 있다.
- [0067] 따라서 워드 라인 순서정보(CNT2)는 도 1 및 2를 참조하여 설명한 본 발명의 실시예의 페일 어드레스와 동일한 값을 가질 수 있다.
- [0068] 순서 정보 생성부(420)는 워드 라인 페일 정보(FD)가 하이 레벨인 경우의 내부 카운트 값을 래치하여 예비 워드 라인 순서정보(CNT1)로서 출력할 수 있다.

- [0069] 순서 정보 생성부(420)는 카운터를 포함할 수 있다.
- [0070] 래치 셋 선택부(430)는 클럭 신호(CLK) 및 워드 라인 페일 정보(FD)에 따라 리턴던시 래치부(230)의 복수의 래치 셋(LSET\_0 ~ LSET\_n) 중에서 하나를 선택하여 예비 워드 라인 순서정보(CNT1)를 워드 라인 순서정보(CNT2)로서 저장하도록 구성될 수 있다.
- [0071] 래치 셋 선택부(430)는 하이 레벨의 워드 라인 페일 정보(FD)가 발생할 때마다 클럭 신호(CLK)를 기준으로 리턴던시 래치부(230)의 복수의 래치 셋(LSET\_0 ~ LSET\_n)을 순차적으로 선택할 수 있다.
- [0072] 래치 셋 선택부(430)는 리턴던시 래치부(230)의 복수의 래치 셋(LSET\_0 ~ LSET\_n) 중에서 현재 선택된 래치 셋에 예비 워드 라인 순서정보(CNT1)를 워드 라인 순서정보(CNT2)로서 저장할 수 있다.
- [0073] 래치 셋 선택부(430)는 카운터를 포함할 수 있다.
- [0074] 도 4를 참조하여, 리턴던시 제어부(400)의 동작을 설명하기로 한다.
- [0075] 예를 들어, 8k개의 워드 라인(WL0 ~ WL8k-1) 중에서 WL0과 WL8k-1이 페일 판정된 것으로 가정하면, 복수의 퓨즈(F0 ~ F8k-1) 중에서 F0와 F8k-1에 하이 레벨이 저장될 수 있다.
- [0076] 클럭 신호(CLK)의 '0'에서 '8k-1'까지의 순번을 갖는 클럭 펄스 중에서 '1'번의 클럭 펄스의 타이밍에 워드 라인 페일 정보(FD)가 하이 레벨로 출력될 수 있다.
- [0077] 순서 정보 생성부(420)는 클럭 신호(CLK)에 따라 카운트 값(예를 들어, 13 비트)을 증가시키다가, 하이 레벨의 워드 라인 페일 정보(FD)에 해당하는 카운트 값 '0000000000001'을 예비 워드 라인 순서정보(CNT1)로서 출력할 수 있다.
- [0078] 래치 셋 선택부(430)는 하이 레벨의 워드 라인 페일 정보(FD)가 발생함에 따라 가장 앞선 순번의 래치 셋(LSET\_0)에 '0000000000001'을 워드 라인 순서정보(CNT2)로서 저장할 수 있다.
- [0079] 이후, 클럭 펄스 중에서 '8k-1'번의 클럭 펄스의 타이밍에 워드 라인 페일 정보(FD)가 하이 레벨로 출력될 수 있다.
- [0080] 순서 정보 생성부(420)는 하이 레벨의 워드 라인 페일 정보(FD)에 해당하는 카운트 값 '1111111111111'을 예비 워드 라인 순서정보(CNT1)로서 출력할 수 있다.
- [0081] 래치 셋 선택부(430)는 하이 레벨의 워드 라인 페일 정보(FD)가 다시 발생함에 따라 LSET\_0 다음 순번의 래치 셋인 LSET\_1에 '1111111111111'을 워드 라인 순서정보(CNT2)로서 저장할 수 있다.
- [0082] 이와 같이 구성된 본 발명의 다른 실시예에 따른 반도체 장치(101)의 리페어 동작을 도 5를 참조하여 설명하면 다음과 같다.
- [0083] 테스트 모드로 진입한다(S31).
- [0084] 테스트 모드에서 노멀 영역(210)에 대한 테스트를 수행하고, 8k개의 워드 라인(WL0 ~ WL8k-1) 각각의 페일 여부를 검출한다(S32).
- [0085] 검출된 8k개의 워드 라인(WL0 ~ WL8k-1) 각각의 페일 여부를 상술한 립처 동작을 이용하여 8k개의 워드 라인(WL0 ~ WL8k-1) 각각에 1대1 매칭되는 복수의 퓨즈(F0 ~ F8k-1) 각각에 기록한다(S33).
- [0086] 퓨즈 어레이 스캔 동작을 수행한다(S34).
- [0087] 이때 퓨즈 어레이 스캔은 퓨즈 어레이(301)의 카운터(311)에 의해 순차적으로 출력되는 퓨즈 데이터 즉, 복수의 퓨즈(F0 ~ F8k-1)에 저장된 워드 라인 페일 정보(FD)를 순서 정보 생성부(420)가 읽어들이는 동작일 수 있다.
- [0088] 퓨즈 어레이 스캔(S34) 이후, 페일 발생이 기록된 퓨즈에 해당하는 워드 라인 순서정보(CNT2)를 리턴던시 래치부(230)에 저장한다(S35).
- [0089] 이때 단계(S35)는 래치 셋 선택부(430)가 하이 레벨의 워드 라인 페일 정보(FD)에 따라 복수의 래치 셋(LSET\_0 ~ LSET\_n) 중에서 하나를 선택하여 워드 라인 순서정보(CNT2)를 저장하는 동작일 수 있다.
- [0090] 단계(S35)는 반도체 장치(101)의 붓업(Boot-up) 과정에서 이루어질 수 있다.
- [0091] 이후, 노멀 동작 모드에서 반도체 장치(101)는 외부에서 제공된 어드레스(이하, 외부 어드레스)가 리턴던시 래

치부(230)에 저장된 파일 어드레스와 일치하는지 판단한다(S36).

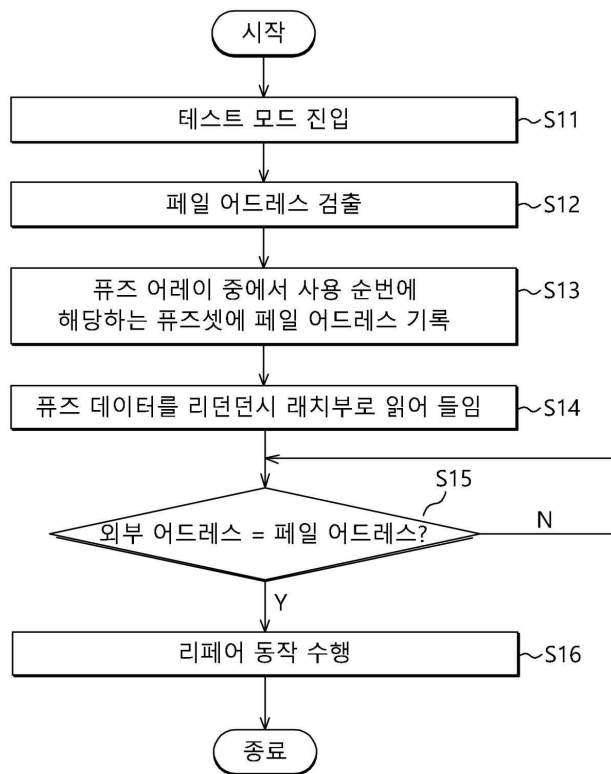
- [0092] 이때 워드 라인 순서정보(CNT2)는 순서 정보 생성부(420)에서 내부 카운트 값을 증가시켜 생성되나, 도 1 및 2를 참조하여 설명한 본 발명의 실시예의 파일 어드레스를 기준으로 카운팅이 이루어질 수 있다.
- [0093] 따라서 워드 라인 순서정보(CNT2)는 도 1 및 2를 참조하여 설명한 본 발명의 실시예의 파일 어드레스와 동일한 값을 가질 수 있다.
- [0094] 판단 결과(S36), 외부 어드레스가 리던던시 래치부(230)에 저장된 파일 어드레스와 일치하면 리페어 동작을 수행한다(S37).
- [0095] 이때 단계(S37)의 리페어 동작은 노멀 영역(210)의 파일 어드레스에 해당하는 워드 라인 대신 리던던시 영역(220)의 리던던시 워드 라인을 활성화시키는 동작일 수 있다.
- [0096] 예를 들어, 리던던시 래치부(230)의 복수의 래치 셋(LSET\_0 ~ LSET\_n) 중에서 래치 셋(LSET\_0)에 저장된 파일 어드레스와 외부 어드레스가 일치하면, 래치 셋(LSET\_0)과 1대1 매칭된 리던던시 워드 라인(RWL0)을 활성화시킬 수 있다.
- [0097] 다른 예를 들어, 리던던시 래치부(230)의 복수의 래치 셋(LSET\_0 ~ LSET\_n) 중에서 래치 셋(LSET\_1)에 저장된 파일 어드레스와 외부 어드레스가 일치하면, 래치 셋(LSET\_1)과 1대1 매칭된 리던던시 워드 라인(RWL1)을 활성화시킬 수 있다.
- [0098] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면  
도면1

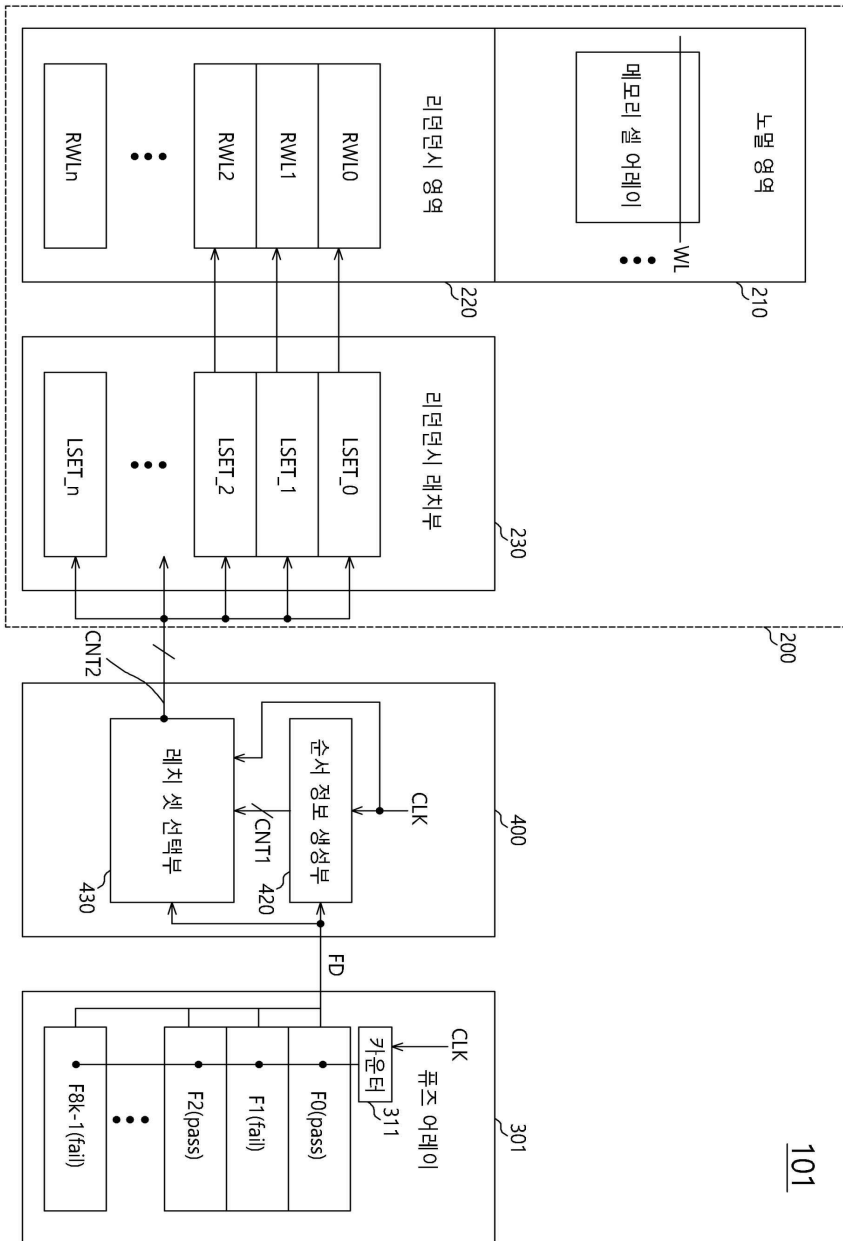


100

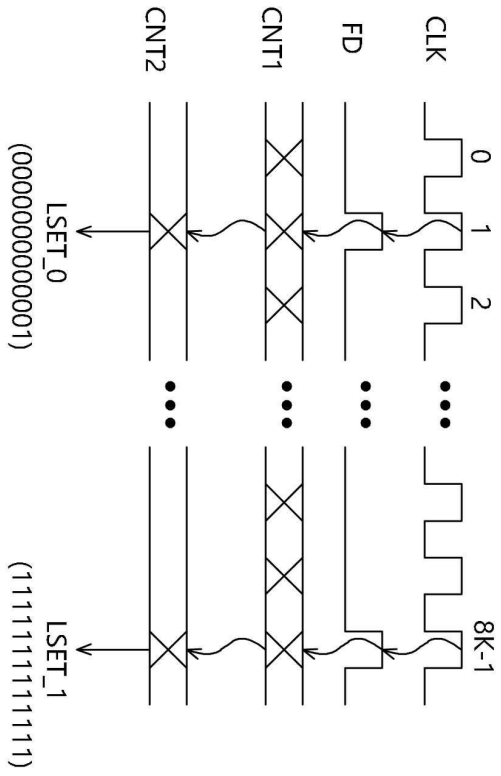
도면2



도면3



도면4



도면5

