



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201414211 A

(43)公開日：中華民國 103 (2014) 年 04 月 01 日

(21)申請案號：101135222

(22)申請日：中華民國 101 (2012) 年 09 月 26 日

(51)Int. Cl. : **H03M1/34 (2006.01)**

(71)申請人：瑞昱半導體股份有限公司(中華民國)REALTEK SEMICONDUCTOR CORP. (TW)
新竹市新竹科學園區創新二路 2 號

(72)發明人：蔡任桓 TSAI, JEN HUAN (TW)；黃柏鈞 HUANG, PO CHIUN (TW)；閔紹恩 MIN, SHAWN (TW)

(74)代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：14 項 圖式數：6 共 36 頁

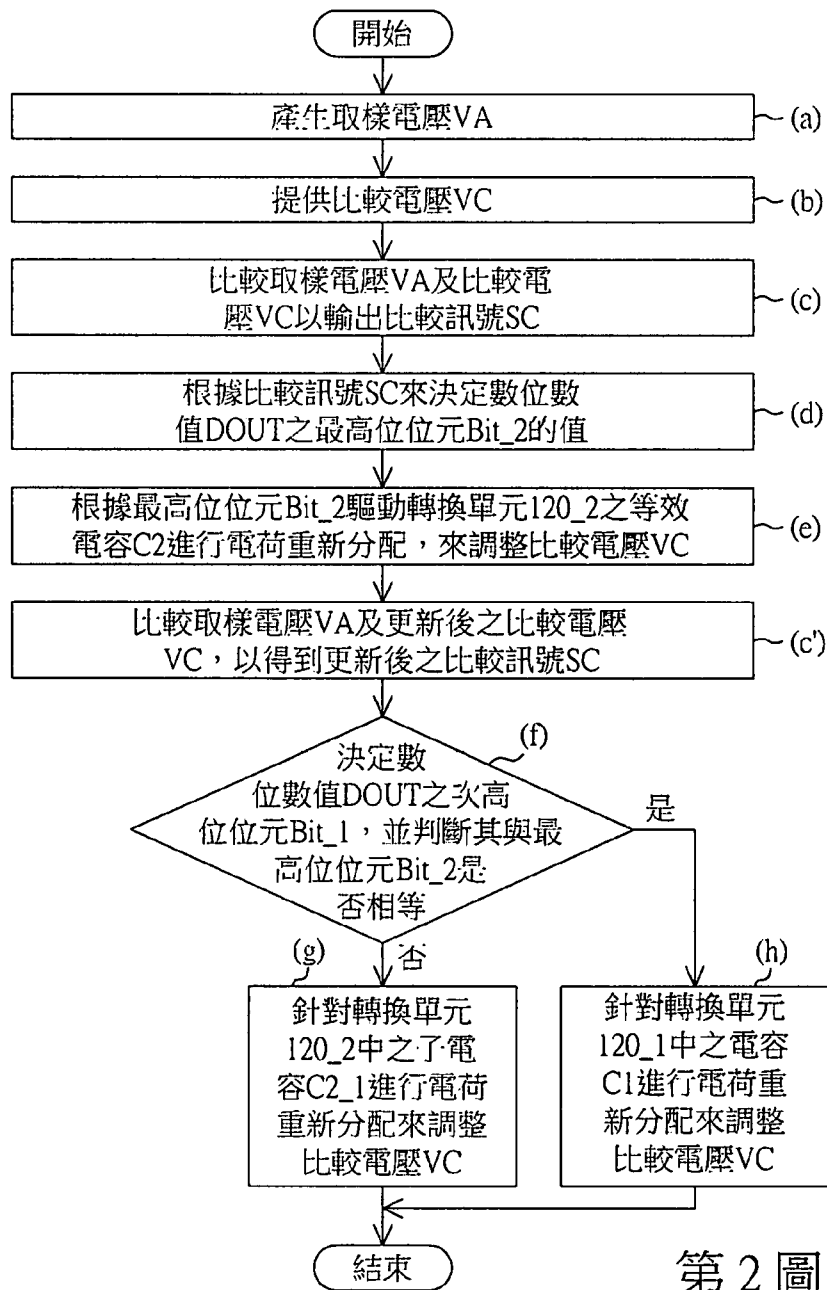
(54)名稱

連續漸進式數位類比轉換器及其方法

SUCCESSIVE APPROXIMATION ANALOG TO DIGITAL CONVERTER AND METHOD THEREOF

(57)摘要

一種連續漸進式(SAR)類比數位轉換器，用以產生 N 位元之數位訊號。轉換器具有一電容式數位類比轉換電路，包括一第 N-1 轉換單元至一第 1 轉換單元。第 1 轉換單元至第 N-2 轉換單元各分別包括一電容。第 N-1 轉換單元包括多個子電容。第 N-1 轉換單元之此些子電容各自與對應之第 1 轉換單元至第 N-2 轉換單元的電容具有實質上相同的電容值。於轉換過程中，SAR 控制電路產生數位訊號最高位元之值之後，SAR 控制電路藉由控制第 N-1 轉換單元產生次高位元之值。之後，SAR 控制電路可重複使用第 N-1 轉換單元之多個子電容之至少之一來產生其他位元之值，以進行自我線性補償。



第 2 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101135222

※ 申請日：

※IPC 分類：

H03M 1/34 (2006.01)

101.9.26

一、發明名稱：(中文/英文)

連續漸進式數位類比轉換器及其方法 / SUCCESSIVE
APPROXIMATION ANALOG TO DIGITAL
CONVERTER AND METHOD THEREOF

二、中文發明摘要：

一種連續漸進式(SAR)類比數位轉換器，用以產生 N 位元之數位訊號。轉換器具有一電容式數位類比轉換電路，包括一第 N-1 轉換單元至一第 1 轉換單元。第 1 轉換單元至第 N-2 轉換單元各分別包括一電容。第 N-1 轉換單元包括多個子電容。第 N-1 轉換單元之此些子電容各自與對應之第 1 轉換單元至第 N-2 轉換單元的電容具有實質上相同的電容值。於轉換過程中，SAR 控制電路產生數位訊號最高位位元之值之後，SAR 控制電路藉由控制第 N-1 轉換單元產生次高位位元之值。之後，SAR 控制電路可重複使用第 N-1 轉換單元之多個子電容之至少之一來產生其他位元之值，以進行自我線性補償。

三、英文發明摘要：

A successive approximation (SAR) analog to digital

converter, for generating a digital signal of N bits, is provided. The converter includes a capacitive digital to analog conversion circuit having a N-1-th conversion unit to a first conversion unit. Each of the first conversion unit to the N-2-th conversion unit has a capacitor. The N-1-th conversion unit has a number of sub-capacitors. Each of the sub-capacitors of the N-1-th conversion unit has substantially the same capacitance with corresponding capacitor of the first conversion unit to the N-2-th conversion unit. During the conversion, after a SAR control circuit generates the value of the most significant bit (MSB), the SAR control circuit generates the value of the next bit by controlling the N-1-th conversion unit. After that, the SAR may repeatedly use at least one of the sub-capacitors of the N-1-th conversion unit to generate the value of other bits to accomplish self leaner compensation.

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

(a)-(h)：操作步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

converter, for generating a digital signal of N bits, is provided. The converter includes a capacitive digital to analog conversion circuit having a N-1-th conversion unit to a first conversion unit. Each of the first conversion unit to the N-2-th conversion unit has a capacitor. The N-1-th conversion unit has a number of sub-capacitors. Each of the sub-capacitors of the N-1-th conversion unit has substantially the same capacitance with corresponding capacitor of the first conversion unit to the N-2-th conversion unit. During the conversion, after a SAR control circuit generates the value of the most significant bit (MSB), the SAR control circuit generates the value of the next bit by controlling the N-1-th conversion unit. After that, the SAR may repeatedly use at least one of the sub-capacitors of the N-1-th conversion unit to generate the value of other bits to accomplish self leaner compensation.

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

(a)-(h)：操作步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種連續漸進式(Successive Approximation, SAR)類比數位轉換器及其類比數位轉換方法，且特別是有關於一種應用電容式數位類比轉換電路之SAR類比數位轉換器及其類比數位轉換方法。

【先前技術】

傳統上，連續漸進式(Successive Approximation, SAR)類比數位轉換器係已存在，並被利用在各種應用場合中。一般來說，SAR類比數位轉換器包括SAR控制單元、數位類比轉換單元及比較單元，其中比較單元係針對輸入類比電壓與數位類比轉換單元所提供的參考電壓進行比較，SAR控制單元係參考比較單元的比較結果，來決定轉換數位值的最高位位元，並基於此最高位位元來調整參考電壓的位準。經由重複執行前述操作，以完成剩餘位元之轉換，SAR類比數位轉換器可針對此輸入類比電壓對應地轉換得到此轉換數位值。

一般來說，SAR類比數位轉換器中之此數位類比轉換單元多以電容式數位類比轉換器來實現。在現有技術中，電容容值的數值精確度與電容容值的大小相關，當電容容值越大，則此電容對應地具有較高的容值精確度。據此，傳統上往往需採取提高電容式數位類比轉換器中各個電容的容值的方式或加大電容面積的方式，來提高此些電容

容值的容值精確度，進而確保電容式數位類比轉換器的線性度。

【發明內容】

根據本發明之第一方面，提出一種類比數位轉換方法，應用於一連續漸進式類比數位轉換器中，以針對一類比訊號進行轉換以得到一數位數值，數位數值包括一第 $N-1$ 至一第 0 個位元，第 $N-1$ 至第 0 個位元分別且依序地為數位數值之最高位位元(Most-Significant Bit, MSB)至最低位位元(Least-Significant Bit, LSB)， N 為大於 1 之整數。此類比數位轉換方法包括以下步驟：(a) 應用一取樣保持電路，來對類比訊號進行取樣以產生一取樣電壓；(b) 應用一電容式數位類比轉換電路提供一比較電壓，電容式數位類比轉換電路包括 $N-1$ 個轉換單元， $N-1$ 個轉換單元包括一第 $N-1$ 轉換單元、一第 $N-2$ 轉換單元至一第 1 轉換單元，第 1 轉換單元至第 $N-2$ 轉換單元分別包括一第 1 電容至一第 $N-2$ 電容，第 $N-1$ 轉換單元至少包括一第 1 子電容、一第 2 子電容至一第 $N-2$ 子電容，第 1 子電容至第 $N-2$ 子電容與第 $N-2$ 電容至第 1 電容係分別具有實質上相同的電容值；(c) 應用一比較器比較取樣電壓及比較電壓以產生一比較訊號；(d) 應用一 SAR 控制電路來根據比較訊號決定數位數值之第 $N-1$ 個位元；(e) 應用 SAR 控制電路根據第 $N-1$ 個位元來對第 $N-1$ 轉換單元之至少第 1 子電容至第 $N-2$ 子電容中儲存的電荷進行重新分配以更新比較電壓；(c') 於步驟(e)之後，應用比較器比較取樣電壓及更新後之

比較電壓，以得到更新後之比較訊號；(f) 應用 SAR 控制電路根據更新後之比較訊號決定數位數值之第 $N-2$ 個位元，並判斷第 $N-1$ 與第 $N-2$ 個位元是否對應至相同的邏輯數值；以及(g) 當第 $N-1$ 個位元與第 $N-2$ 個位元對應至不同的邏輯數值時，應用 SAR 控制電路來對第 $N-1$ 轉換單元之第 1 子電容至第 $N-2$ 子電容中之至少其中之一所儲存的電荷進行重新分配以更新比較電壓。

根據本發明之第二方面，提出一種 SAR 類比數位轉換器，針對一類比訊號進行轉換以得到一數位數值，數位數值包括一第 $N-1$ 至一第 0 個位元，第 $N-1$ 至第 0 個位元分別且依序地為數位數值之最高位位元至最低位位元， N 為大於 1 之整數。此類比數位轉換器包括一取樣保持電路、一電容式數位類比轉換電路、一比較器及一 SAR 控制電路。取樣保持電路用以對類比訊號進行取樣以產生一取樣電壓。電容式數位類比轉換電路用以提供一比較電壓。電容式數位類比轉換電路包括 $N-1$ 個轉換單元， $N-1$ 個轉換單元包括一第 $N-1$ 轉換單元、一第 $N-2$ 轉換單元至一第 1 轉換單元。第 1 轉換單元至第 $N-2$ 轉換單元分別包括一第 1 電容至一第 $N-2$ 電容，第 $N-1$ 轉換單元至少包括一第 1 子電容、一第 2 子電容至一第 $N-2$ 子電容。第 1 子電容至第 $N-2$ 子電容與第 $N-2$ 電容至第 1 電容係分別具有實質上相同的電容值。比較器用以比較取樣電壓及比較電壓以產生一比較訊號。而則是 SAR 控制電路用以根據比較訊號決定數位數值之第 $N-1$ 個位元，並根據第 $N-1$ 個位元來對第

N-1 轉換單元之至少第 1 子電容至第 N-2 子電容中儲存的電荷進行重新分配來更新比較電壓。其中，比較器更用以比較取樣電壓及更新後之比較電壓，以得到更新後之比較訊號。SAR 控制電路更用以根據更新後之比較訊號決定數位數值之第 N-2 個位元，並判斷第 N-1 與第 N-2 個位元是否對應至相同的邏輯數值。當第 N-1 個位元與第 N-2 個位元對應至不同的邏輯數值時，SAR 控制電路對第 N-1 轉換單元之第 1 子電容至第 N-2 子電容中之至少其中之一所儲存的電荷進行重新分配來更新比較電壓。

(To 發明人：上述兩段的差異在於，一個為「轉換方法」，一個為「轉換器」，發明標的不同。) 為讓本發明之上述內容能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

第一實施例

請參照第 1 圖，其繪示依照本發明第一實施例之連續漸進式類比數位轉換器的方塊圖。本實施例之連續漸進式 (Successive Approximation, SAR) 之類比數位轉換器 1 針對類比訊號 VIN 轉換得到數位數值 DOUT。本實施例之類比數位轉換器 1 包括取樣保持電路 110、電容式數位類比轉換電路 120、比較器 130 及 SAR 控制電路 140，其中取樣保持電路 110 及電容式數位類比轉換電路 120 耦接至比較器 130，而 SAR 控制電路 140 與取樣保持電路 110、電容式數位類比轉換電路 120 及比較器 130 耦接；SAR 控制

電路 140 更扮演類比數位轉換器 1 中的主控電路，以驅動其其餘各子電路執行對應之操作。

取樣保持電路 110 針對類比訊號 VIN 進行取樣，以產生取樣電壓 VA，其中類比訊號 VIN 的位準範圍係介於高位準參考電壓 VDD 及低位準參考電壓 VSS 之間，並以接地參考電壓 VCM 為此位準範圍之中間位準。舉例來說，取樣保持電路 110 包括電容 CS 及開關 SwS，其中開關 SwS 係受控於 SAR 控制電路 140 以選擇性地導通，以對類比訊號 VIN 進行取樣，並據以在電容 CS 的兩端得到取樣電壓 VA。

電容式數位類比轉換電路 120 提供比較電壓 VC。舉例來說，類比數位轉換器 1 為 N 個位元(Bit)之數位類比轉換器，而電容式數位類比轉換電路 120 包括 N-1 個轉換單元 120_N-1、...、120_1，其中 N 為大於 1 之自然數，轉換單元 120_N-1 至轉換單元 120_1 分別且依序地對應至數位數值 DOUT 的最高位位元 (Most-Significant Bit, MSB)Bit_N-1 至倒數第二位位元 Bit_1。

在第 1 圖所示的例子中，N 等於 3。換言之，電容式數位類比轉換電路 120 包括轉換單元 120_2 至 120_1，其分別與數位數值 DOUT 的最高位位元 Bit_2 及次高位位元 Bit_1 對應。進一步的說，轉換單元 120_1 包括電容 C1 及開關 Sw1，其中開關 Sw1 受控於 SAR 控制電路 140，開關 Sw1 選擇性地將高位準參考電壓 VDD、低位準參考電壓 VSS 及接地參考電壓 VCM 其中之一提供至電容 C1 的一端，藉由改變電容 C1 之一端的電壓，使電容 C1 的電荷重

新分配，以調整比較電壓 V_C 之位準。

轉換單元 120_2 包括子電容 $C2_1$ 及 $C2_2$ ，其中子電容 $C2_1$ 與電容 $C1$ 具有實質上相同的電容值。轉換單元 120_2 更包括開關 $Sw2_1$ 及 $Sw2_2$ ，其受控於 SAR 控制電路 140 選擇性地將高位準參考電壓 VDD 、低位準參考電壓 VSS 及接地參考電壓 VCM 其中之一提供至子電容 $C2_1$ 及 $C2_2$ 的一端，藉由改變子電容 $C2_1$ 及 $C2_2$ 之一端的電壓，使子電容 $C2_1$ 及 $C2_2$ 的電荷重新分配，以調整比較電壓 V_C 之位準。

在某些操作實例中，開關 $Sw2_1$ 及 $Sw2_2$ 將子電容 $C2_1$ 及 $C2_2$ 之一端相連接，使得子電容 $C2_1$ 及 $C2_2$ 彼此並聯連形成等效電容 $C2$ ，其中等效電容 $C2$ 與電容 $C1$ 的電容值比值例如為 2:1。換言之，於此操作實例中，電容 $C1$ 及等效電容 $C2$ 的電容值實質上具有 2 的幕次方數值關係。然本發明並不限於此，電容 $C1$ 及等效電容 $C2$ 的電容值亦可不具有 2 的幕次方數值關係，只要是最高位位元 Bit_N-1 所對應之轉換單元 120_2 具有多個並聯之子電容，並且於類比至數位的轉換過程可重複使用到轉換單元 120_2 之多個並聯之子電容之至少其中之一即可。

電容式數位類比轉換電路 120 更包括開關 $Sw0$ ，其係受控於 SAR 控制電路 140，以選擇性地將接地參考電壓 VCM 提供至電容 $C1$ 及子電容 $C2_1$ 至 $C2_2$ 的另一端。

比較器 130 係比較取樣電壓 V_A 及比較電壓 V_C 的大小來產生比較訊號 SC 。

請參照第 2 圖，其繪示依照本發明第一實施例之類比

數位轉換方法的流程圖。SAR 控制電路 140 決定一個取樣保持期間及一個解碼操作期間，並於其中執行類比數位轉換方法，以控制類比數位轉換器 1 將類比訊號 VIN 進行轉換以得到數位數值 DOUT。接下來係舉例，來針對其操作做進一步的說明。

取樣保持期間

本實施例之類比數位轉換方法首先執行步驟(a)，在此取樣保持期間中，SAR 控制電路 140 導通開關 SwS，以藉由取樣保持電路 110 中的電容 CS 來對類比訊號 VIN 進行取樣，以產生取樣電壓 VA。SAR 控制電路 140 更在此取樣保持期間中，導通開關 Sw0，並將開關 Sw1、Sw2_1 及 Sw2_2 切換至接地參考電壓 VCM，使得電容 C1 及子電容 C2_1 至 C2_2 的兩端跨壓實質上為零。

解碼操作期間-最高位位元 Bit 2

步驟(b)-(d)係被執行於此解碼操作期間中，SAR 控制電路 140 於其中對應地解碼得到數位數值 DOUT 的最高位位元 Bit_2。

進一步的說，在步驟(b)中，SAR 控制電路 140 應用電容式數位類比轉換電路 120 提供比較電壓 VC。舉例來說，比較電壓 VC 係在取樣保持期間中被初始化為接地參考電壓 VCM。

請同時參考第 3A 圖及第 3B 圖，其繪示本實施例之類比數位轉換器 1 執行二元位準搜尋演算法時比較電壓 VC

與數位數值 DOUT 的關係圖。如步驟(c)所示，比較器 130 比較取樣電壓 VA 及比較電壓 VC，以輸出比較訊號 SC 來指示取樣電壓 VA 是否高於比較電壓 VC(對應至接地參考電壓 VCM)；若是，表示取樣電壓 VA 的位準高於取樣電壓 VA 之數值範圍(即是高位準參考電壓 VDD 至低位準參考電壓 VSS 之間的範圍)的中間位準，如此，數位數值 DOUT 的最高位位元 Bit_2 應對應地具有邏輯數值 1。相對地，當比較訊號 SC 指示取樣電壓 VA 小於比較電壓 VC 時，表示取樣電壓 VA 的位準低於取樣電壓 VA 之數值範圍的中間位準，而數位數值 DOUT 最高位位元 Bit_2 應對應地具有邏輯數值 0。

接著如步驟(d)，SAR 控制電路 140 根據比較訊號 SC 來決定數位數值 DOUT 之最高位位元 Bit_2 的值，DOUT 之最高位位元 Bit_2 可為第 3A 圖之所示之邏輯數值 1 或為第 3B 圖之所示之邏輯數值 0，藉此完成數位數值 DOUT 的最高位位元 Bit_2 的解碼操作。

解碼操作期間 - 次高位位元 Bit 1 與最低位位元 (Least-Significant Bit, LSB) Bit_0

步驟(e)-(h)係被執行於此解碼操作期間中，SAR 控制電路 140 於其中對應地解碼得到數位數值 DOUT 的次高位位元 Bit_1。

進一步的說，在步驟(e)中，SAR 控制電路 140 根據最高位位元 Bit_2 來對轉換單元 120_2 觸發位準切換事件，以對轉換單元 120_2 之等效電容 C2 上的電荷進行重新分

配，來調整比較電壓 V_C 。進一步的說，當取樣電壓 V_A 實質上高於比較電壓 V_C 時，SAR 控制電路 140 係透過開關 $Sw2_1$ 及 $Sw2_2$ 將子電容 $C2_1$ 及 $C2_2$ 之一端切換成連接至高位準參考電壓 V_{DD} ，以將參考電壓 V_C 之位準提高 $1/4(V_{DD}-V_{SS})$ (亦即 $1/2(V_{DD}-V_{CM})$)，此時之參考電壓 V_C 之位準係為 $V_{CM}+1/4(V_{DD}-V_{SS})$ ，如第 3A 圖之時間點 $t1$ 所示。相對地，當取樣電壓 V_A 實質上低於比較電壓 V_C 時，SAR 控制電路 140 係透過開關 $Sw2_1$ 及 $Sw2_2$ 將子電容 $C2_1$ 及 $C2_2$ 切換至低位準參考電壓 V_{SS} ，以將參考電壓 V_C 之位準降低 $1/4(V_{DD}-V_{SS})$ (亦即 $1/2(V_{DD}-V_{CM})$ ，亦為 $1/2(V_{CM}-V_{SS})$)，此時之參考電壓 V_C 之位準係為 $V_{CM}-1/4(V_{DD}-V_{SS})$ ，如第 3B 圖之時間點 $t3$ 所示。

接著如步驟(c')，比較器 130 比較取樣電壓 V_A 及更新後之比較電壓 V_C (對應至 $V_{CM}+1/4(V_{DD}-SS)$ 或 $V_{CM}-1/4(V_{DD}-V_{SS})$)，以得到更新後之比較訊號 SC 。

然後如步驟(f)，SAR 控制電路 140 根據更新後之比較訊號 SC 決定數位數值 $DOUT$ 之次高位位元 Bit_1 之值，並判斷次高位位元 Bit_1 與最高位位元 Bit_2 是否對應至相同的邏輯數值；若否，表示取樣電壓 V_A 對應至數位數值 $DOUT$ 的中間數位碼，例如是 $(10x)_2$ 或是 $(01x)_2$ (亦即取樣電壓 V_A 之數位值的最高位位元 Bit_2 與次高位位元 Bit_1 的值(Bit_2, Bit_1)可能為(1, 0)或(0, 1)，上述之“x”代表其邏輯數值可為 0 或 1)，如第 3A 及第 3B 圖所示。據此，SAR 控制電路 140 執行步驟(g)，以對轉換單元 120_2

觸發位準切換事件，以對子電容 C2_1 上的電荷進行重新分配，來調整比較電壓 VC。

進一步的說，在取樣電壓 VA 對應至中間數位碼 $(10x)_2$ 的操作實例中，SAR 控制電路 140 已於步驟(e)中透過開關 Sw2_1 及 Sw2_2 將子電容 C2_1 及 C2_2 的一端的位準切換至高位準參考電壓 VDD；而 SAR 控制電路 140 於步驟(g)中，透過開關 Sw2_1 將子電容 C2_1 的一端自高位準參考電壓 VDD 再次地切換至接地參考電壓 VCM，以對應地將參考電壓 VC 自位準 $VCM+1/4(VDD-VSS)$ 拉低至 $VCM+1/8(VDD-VSS)$ ，如第 3A 圖之時間點 t2 所示，參考電壓 VC 之淨移動位準為 $1/8(VDD-VSS)$ 。之後，比較器 130 再將取樣電壓 VA 與此時之參考電壓 VC 進行比較，若取樣電壓 VA 大於參考電壓 VC，則 SAR 控制電路 140 將最低位元 Bit_0 之值判斷為邏輯數值 1；反之，則為邏輯數值 0。此時，SAR 控制電路 140 完成類比訊號 VIN 之類比數位轉換，可輸出轉換後之數位數值 DOUT。

相對地，在取樣電壓 VA 對應至中間數位碼 $(01x)_2$ 時的操作實例中，SAR 控制電路 140 已於步驟(e)中透過開關 Sw2_1 及 Sw2_2 將子電容 C2_1 及 C2_2 的一端的位準切換至低位準參考電壓 VSS；而 SAR 控制電路 140 於步驟(g)中，透過開關 Sw2_1 將子電容 C2_1 的一端自低位準參考電壓 VSS 再次地切換至接地參考電壓 VCM，以對應地將參考電壓 VC 自位準 $VCM-1/4(VDD-VSS)$ 提升至 $VCM-1/8(VDD-VSS)$ ，如第 3B 圖之時間點 t4 所示，參考電壓 VC 之淨移動位準為 $1/8(VDD-VSS)$ 。之後，比較器

130 再將取樣電壓 V_A 與此時之參考電壓 V_C 進行比較，若取樣電壓 V_A 大於參考電壓 V_C ，則 SAR 控制電路 140 將最低位位元 Bit_0 之值判斷為邏輯數值 1；反之，則為邏輯數值 0。此時，SAR 控制電路 140 完成類比訊號 VIN 之類比數位轉換，可輸出轉換後之數位數值 DOUT。

經由步驟(e)及(g)的切換操作，SAR 控制電路 140 可在參考電壓 V_A 對應至中間數位碼時，利用同一個轉換單元(即是轉換單元 120_2)中的子電容 C2_1 來進行兩次極性相反之電荷重新分配，進而針對參考電壓 V_C 進行兩次極性相反之位準調整的操作(而可以不需使用到轉換單元 120_1 中的電容 C1)。這樣一來，即便轉換單元 120_2 中的子電容 C2_1 的電容值有若干數值偏差量，本實施例之類比數位轉換器 1 可透過前述針對同一個轉換單元中的子電容進行兩次極性相反之電荷重新分配操作，來有效地消除子電容 C2_1 的電容值誤差量針對比對電壓 V_C 所造成的位準偏移。據此，相較於傳統 SAR 類比數位轉換器，本實施例之 SAR 類比數位轉換器具有可有效地針對其中電容值不匹配所造成的數值偏移進行自我線性補償的優點。

相對地，當次高位位元 Bit_1 與最高位位元 Bit_2 對應至相同的邏輯數值時，表示取樣電壓 V_A 對應至數位數值 DOUT 的邊界數位碼，例如是 $(11x)_2$ 或是 $(00x)_2$ 。據此，SAR 控制電路 140 執行步驟(h)，來針對轉換單元 120_1 觸發位準切換事件，以針對電容 C1 上的電荷進行重新分配，來調整比較電壓 V_C 。

換言之，在取樣電壓 V_A 對應至數位數值 DOUT 的邊

界數位碼的操作實例中，類比數位轉換器 1 針對比較電壓 VC 所執行的兩次位準調整操作係對應具有相同的極性，而並未存在可以消除子電容 C2_1 的電容值不匹配進行自我線性補償的機會。據此，SAR 控制電路 140 係經由驅動轉換單元 120_1 中的電容 C1 來執行電荷重新分配，以對應地將參考電壓 VC 自位準 $V_{CM}-1/4(V_{DD}-V_{SS})$ 調整至位準 $V_{CM}-3/8(V_{DD}-V_{SS})$ ，或將參考電壓 VC 自位準 $V_{CM}+1/4(V_{DD}-V_{SS})$ 調整至位準 $V_{CM}+3/8(V_{DD}-V_{SS})$ 。之後，比較器 130 再將取樣電壓 VA 與此時之參考電壓 VC 進行比較，若取樣電壓 VA 大於參考電壓 VC，則 SAR 控制電路 140 將最低位位元 Bit_0 之值判斷為邏輯數值 1；反之，則為邏輯數值 0。此時，SAR 控制電路 140 完成類比訊號 VIN 之類比數位轉換，可輸出轉換後之數位數值 DOUT。

第二實施例

本實施例之類比數位轉換器亦可為 4 位元或 4 位元以上之類比數位轉換器，以對應地產生 4 位元或 4 位元以上的數位數值。

請參照第 4 圖，其繪示依照本發明第二實施例之連續漸進式類比數位轉換器的方塊圖。在此例中，N 等於 5；換言之，電容式數位類比轉換電路 220 包括轉換單元 220_4 至 220_1，其分別與數位數值 DOUT' 的位元 Bit_4, Bit_3、Bit_2 及 Bit_1 對應。

進一步的說，轉換單元 220_1 至 220_3 分別包括電容

C1'、C2'及 C3'，其中電容 C1'、C2'及 C3'的電容值比值例如為 1：2：4；換言之電容 C1'、C2'及 C3'的電容值具有 2 的幕次方數值關係。轉換單元 220_1 至 220_3 更分別包括開關 Sw1'、Sw2'及 Sw3'，其受控於 SAR 控制電路 240 以選擇性地將高位準參考電壓 VDD、低位準參考電壓 VSS 及接地參考電壓 VCM 其中之一提供至電容 C1'、C2'及 C3'的一端，藉由改變電容 C1'、C2'及 C3'之一端的電壓，使電容 C1'、C2'及 C3'的電荷重新分配，以調整比較電壓 VC 之位準。

轉換單元 220_4 包括子電容 C4'_1、C4'_2、C4'_3 及 C4'_4，其中子電容 C4'_1 及 C4'_2 分別與電容 C3'及 C2'具有實質上相同的電容值，而子電容 C4'_3 與電容 C1'具有實質上相同的電容值。轉換單元 220_4 更包括開關 Sw4'_1、Sw4'_2、Sw4'_3 及 Sw4'_4，其受控於 SAR 控制電路 240，以選擇性地將高位準參考電壓 VDD、低位準參考電壓 VSS 及接地參考電壓 VCM 其中之一提供至子電容 C4'_1 至 C4'_4 的一端，藉由改變子電容 C4'_1 至 C4'_4 之一端的電壓，使子電容 C4'_1 至 C4'_4 的電荷重新分配，以調整比較電壓 VC'之位準。在一個操作實例中，開關 Sw4'_1 至 Sw4'_4 將子電容 C4'_1 至 C4'_4 並聯連接以對應地形成等效電容 C4'，其中等效電容 C4'與電容 C3、C2'及 C1'的電容值比值可為 8：4：2：1，然本發明並不限於此。等效電容 C4'之電容值亦可為電容 C3'、C2'及 C1'的電容值的和加上一任意電容值或 0。。

請參照第 5A-5C 圖，其繪示依照本發明第二實施例之

類比數位轉換方法的另一流程圖。SAR 控制電路 240 係執行與 SAR 控制電路 140 相似的操作，以決定一個取樣保持期間及一個解碼操作期間，並於其中執行類比數位轉換方法，以控制類比數位轉換器 2 針對類比訊號 VIN' 轉換得到數位數值 DOUT'。接下來係舉例，來針對其之操作做進一步的說明。

對於第 5A 圖中所繪示的步驟(a)-(h)來說，其係分別與第 2 圖所示的類比數位轉換方法的各個步驟(a)-(h)實質上相近，於此不再對其之內容重述。

於步驟(g)之後，本實施例之類比數位轉換方法包括如第 5B 圖所示之步驟(c'')及(f')-(h')。首先如步驟(c'')，比較器 230 比較取樣電壓 VA' 及更新後之比較電壓 VC'，以得到更新後之比較訊號 SC'。舉例來說，更新後之比較訊號 SC' 指示取樣電壓 VA' 與比較電壓 VC' (實質上等於 $V_{CM} + 1/8(V_{DD} - V_{SS})$ 或 $V_{CM} - 1/8(V_{DD} - V_{SS})$) 的關係。

接著如步驟(f')，SAR 控制電路 240 根據更新後之比較訊號 SC' 決定數位數值 DOUT' 之再次位位元 Bit_2，並判斷位元 Bit_2 與位元 Bit_3 是否對應至相同的邏輯數值；若否，則如步驟(g')，SAR 控制電路 240 對轉換單元 220_4 觸發位準切換事件，透過對子電容 C4'_2 中儲存的電荷進行重新分配來更新比較電壓 VC'。

相對地，當位元 Bit_2 與位元 Bit_3 對應至相同的邏輯數值時，係執行步驟(h')，SAR 控制電路 240 對轉換單元 220_2 觸發位準切換事件，藉此透過對電容 C2' 中儲存的電荷進行重新分配來更新比較電壓 VC'。

於步驟(h)之後，本實施例之類比數位轉換方法包括如第 5C 圖所示之步驟(c'')及(f'')-(h'')。首先如步驟(c'')，比較器 230 比較取樣電壓 VA' 及更新後之比較電壓 VC' ，以得到更新後之比較訊號 SC' 。舉例來說，更新後之比較訊號 SC' 指示取樣電壓 VA' 與比較電壓 VC' (實質上等於 $V_{CM}+3/8(V_{DD}-V_{SS})$ 或 $V_{CM}-3/8(V_{DD}-V_{SS})$) 的關係。

接著如步驟(f'')，SAR 控制電路 240 根據更新後之比較訊號 SC' 決定數位數值 $DOUT'$ 之再次位元 Bit_2 ，並判斷位元 Bit_2 與位元 Bit_3 是否對應至相同的邏輯數值；若否，則如步驟(g'')，SAR 控制電路 240 對轉換單元 220_4 觸發位準切換事件，藉此透過對子電容 $C4'_2$ 中儲存的電荷進行重新分配來更新比較電壓 VC' 。

相對地，當位元 Bit_2 與位元 Bit_3 對應至相同的邏輯數值時，係執行步驟(h'')，SAR 控制電路 240 對轉換單元 220_2 觸發位準切換事件，藉此透過對電容 $C2'$ 中儲存的電荷進行重新分配來更新比較電壓 VC' 。

於步驟(g')、(h')、(g'')、(h'')之後，本實施例之類比數位轉換方法更執行與步驟(c')、(f')-(h')或步驟(c'')、(f'')-(h'')相似的步驟，以持續地針對解碼得到位元 Bit_1 與 Bit_0 ；惟其之操作與第 5B 圖及第 5C 圖所示之流程步驟為實質上相似，於此不再對其進行贅述。

在本案前述各實施例中，雖僅以類比數位轉換器具有如第 1 圖及第 4 圖之電路結構的情形為例做說明，然，本實施例之類比數位轉換器並不侷限於此。在其他例子中，本實施例之類比數位轉換器亦可以其他電容切換方式來

實現。

請參照第 6 圖，其繪示依照本發明第三實施例之連續漸進式類比數位轉換器的另一方塊圖。在另一個例子中，本實施例之取樣保持電路 310、電容式數位類比轉換電路 320 及比較器 330 亦可以差動輸入的方式來實現，其中取樣保持電路 310 係透過將輸入訊號 INP 提供至上排電容的一端及將輸入訊號 INN 提供至下排電容的一端來實現。據此，透過與前述各實施例相似的電容切換操作，本實施例之類比數位轉換器 3 亦可透過對同一個轉換單元中的子電容進行兩次極性相反之電荷重新分配操作，來有效地消除子電容的電容值誤差量針對比對電壓所造成的位準偏移，進而具有可有效地針對電容數值不匹配所造成的數值偏移進行自我線性補償的優點。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示依照本發明第一實施例之連續漸進式類比數位轉換器的方塊圖。

第 2 圖繪示依照本發明第一實施例之類比數位轉換方法的流程圖。

第 3A 及第 3B 圖繪示本實施例之類比數位轉換器 1 執行二元位準搜尋演算法時比較電壓 VC 與數位數值 DOUT 的關係圖。

第 4 圖繪示依照本發明第二實施例之連續漸進式類比數位轉換器的方塊圖。

第 5A-5C 圖繪示依照本發明第二實施例之類比數位轉換方法的另一流程圖。

第 6 圖繪示依照本發明第三實施例之連續漸進式類比數位轉換器的另一方塊圖。

【主要元件符號說明】

1、2、3：連續漸進式類比數位轉換器

110、210、310：取樣保持電路

120、220、320：電容式數位類比轉換電路

130、230、330：比較器

140、240、340：連續漸進式控制電路

CS、C1、CS'、C1'、C2'、C3'、C1N-C3N、C1P-C3P：電容

C2_1、C2_2、C4_1-C4_4、C4'_1-C4'_4、C4N_1-C4N_、
C4P_1-C4P_：子電容

C2、C4'：等效電容

SwS、Sw0、Sw1、Sw2_1、Sw2_2、Sw1'、Sw2'、Sw3'、
Sw4'_1-Sw4'_4、Sw1N-SwN、Sw1P-Sw3P、Sw4N_1-Sw4N_、
Sw4P_1-Sw4P_：開關

七、申請專利範圍：

1. 一種類比數位轉換方法，應用於一連續漸進式 (Successive Approximation, SAR) 類比數位轉換器中，以針對一類比訊號進行轉換以得到一數位數值，該數位數值包括一第 $N-1$ 至一第 0 個位元，該第 $N-1$ 至該第 0 個位元分別且依序地為該數位數值之最高位位元 (Most-Significant Bit, MSB) 至最低位位元 (Least-Significant Bit, LSB)， N 為大於 1 之整數，該類比數位轉換方法包括：

應用一取樣保持電路，來對該類比訊號進行取樣以產生一取樣電壓；

應用一電容式數位類比轉換電路提供一比較電壓，該電容式數位類比轉換電路包括 $N-1$ 個轉換單元，該 $N-1$ 個轉換單元包括一第 $N-1$ 轉換單元、一第 $N-2$ 轉換單元至一第 1 轉換單元，該第 1 轉換單元至該第 $N-2$ 轉換單元分別包括一第 1 電容至一第 $N-2$ 電容，該第 $N-1$ 轉換單元至少包括一第 1 子電容、一第 2 子電容至一第 $N-2$ 子電容，該第 1 子電容至該第 $N-2$ 子電容與該第 $N-2$ 電容至該第 1 電容係分別具有實質上相同的電容值；

應用一比較器比較該取樣電壓及該比較電壓以產生一比較訊號；

應用一 SAR 控制電路來根據該比較訊號決定該數位數值之該第 $N-1$ 個位元；

應用該 SAR 控制電路根據該第 $N-1$ 個位元來對該第 $N-1$ 轉換單元之至少該第 1 子電容至該第 $N-2$ 子電容中儲

存的電荷進行重新分配以更新該比較電壓；

於更新該比較電壓之步驟之後，應用該比較器比較該取樣電壓及更新後之該比較電壓，以得到更新後之該比較訊號；

應用該 SAR 控制電路根據更新後之該比較訊號決定該數位數值之該第 $N-2$ 個位元，並判斷該第 $N-1$ 與該第 $N-2$ 個位元是否對應至相同的邏輯數值；以及

當該第 $N-1$ 個位元與該第 $N-2$ 個位元對應至不同的邏輯數值時，應用該 SAR 控制電路來對該第 $N-1$ 轉換單元之該第 1 子電容至該第 $N-2$ 子電容中之至少其中之一所儲存的電荷進行重新分配以更新該比較電壓。

2. 如申請專利範圍第 1 項所述之類比數位轉換方法，其中於對該第 $N-1$ 轉換單元之該第 1 子電容至該第 $N-2$ 子電容中之至少其中之一所儲存的電荷進行重新分配以更新該比較電壓之步驟中，該 SAR 控制電路係對該第 $N-1$ 轉換單元之該第 1 子電容所儲存的電荷進行重新分配以更新該比較電壓。

3. 如申請專利範圍第 2 項所述之類比數位轉換方法，其中該類比數位轉換方法更包括：

於對該第 $N-1$ 轉換單元之該第 1 子電容至該第 $N-2$ 子電容中之至少其中之一所儲存的電荷進行重新分配以更新該比較電壓之步驟之後，應用該比較器比較該取樣電壓及更新後之該比較電壓，以得到更新後之該比較訊號；

應用該 SAR 控制電路根據更新後之該比較訊號決定該數位數值之該第 N-3 個位元，並判斷該第 N-3 個位元與該第 N-2 個位元是否對應至相同的邏輯數值；及

當該第 N-3 個位元與該第 N-2 個位元對應至不同的邏輯數值時，應用該 SAR 控制電路來對該第 2 子電容中儲存的電荷進行重新分配以更新該比較電壓。

4. 如申請專利範圍第 3 項所述之類比數位轉換方法，其中於決定該數位數值之該第 N-3 個位元之步驟之後更包括：

當該第 N-3 個位元與該第 N-2 個位元對應至相同的邏輯數值時，應用該 SAR 控制電路來對該第 N-3 電容中儲存的電荷進行重新分配以更新該比較電壓。

5. 如申請專利範圍第 1 項所述之類比數位轉換方法，其中於決定該數位數值之該第 N-3 個位元之步驟之後更包括：

當該第 N-1 個位元與該第 N-2 個位元對應至相同的邏輯數值時，應用該 SAR 控制電路來對該第 N-2 電容中儲存的電荷進行重新分配以更新該比較電壓。

6. 如申請專利範圍第 5 項所述之類比數位轉換方法，其中更包括：

於當該第 N-1 個位元與該第 N-2 個位元對應至相同的邏輯數值時，應用該 SAR 控制電路來對該第 N-2 電容中

儲存的電荷進行重新分配以更新該比較電壓之步驟之後，應用該比較器比較該取樣電壓及更新後之該比較電壓，以得到更新後之該比較訊號；

應用該 SAR 控制電路根據更新後之該比較訊號決定該數位數值之該第 $N-3$ 個位元，並判斷該第 $N-3$ 個位元與該第 $N-2$ 個位元是否對應至相同的邏輯數值；及

當該第 $N-3$ 個位元與該第 $N-2$ 個位元對應至不同的邏輯數值時，應用該 SAR 控制電路來對該第 2 子電容中儲存的電荷進行重新分配以更新該比較電壓。

7. 如申請專利範圍第 6 項所述之類比數位轉換方法，其中於應用該 SAR 控制電路根據更新後之該比較訊號決定該數位數值之該第 $N-3$ 個位元，並判斷該第 $N-3$ 個位元與該第 $N-2$ 個位元是否對應至相同的邏輯數值之步驟之後更包括：

當該第 $N-3$ 個位元與該第 $N-2$ 個位元對應至相同的邏輯數值時，應用該 SAR 控制電路來對該第 $N-3$ 電容中儲存的電荷進行重新分配以更新該比較電壓。

8. 一種連續漸進式(Successive Approximation, SAR)之類比數位轉換器，針對一類比訊號進行轉換以得到一數位數值，該數位數值包括一第 $N-1$ 至一第 0 個位元，該第 $N-1$ 至該第 0 個位元分別且依序地為該數位數值之最高位位元至最低位位元， N 為大於 1 之整數，該類比數位轉換

器包括：

一取樣保持電路，用以對該類比訊號進行取樣以產生一取樣電壓；

一電容式數位類比轉換電路，用以提供一比較電壓，該電容式數位類比轉換電路包括 $N-1$ 個轉換單元，該 $N-1$ 個轉換單元包括一第 $N-1$ 轉換單元、一第 $N-2$ 轉換單元至一第 1 轉換單元，該第 1 轉換單元至該第 $N-2$ 轉換單元分別包括一第 1 電容至一第 $N-2$ 電容，該第 $N-1$ 轉換單元至少包括一第 1 子電容、一第 2 子電容至一第 $N-2$ 子電容，該第 1 子電容至該第 $N-2$ 子電容與該第 $N-2$ 電容至該第 1 電容係分別具有實質上相同的電容值；

一比較器，用以比較該取樣電壓及該比較電壓以產生一比較訊號；以及

一 SAR 控制電路，用以根據該比較訊號決定該數位數值之該第 $N-1$ 個位元，並根據該第 $N-1$ 個位元來對該第 $N-1$ 轉換單元之至少該第 1 子電容至該第 $N-2$ 子電容中儲存的電荷進行重新分配來更新該比較電壓；

其中，該比較器更用以比較該取樣電壓及更新後之該比較電壓，以得到更新後之該比較訊號；

其中，該 SAR 控制電路更用以根據更新後之該比較訊號決定該數位數值之該第 $N-2$ 個位元，並判斷該第 $N-1$ 與該第 $N-2$ 個位元是否對應至相同的邏輯數值；當該第 $N-1$ 個位元與該第 $N-2$ 個位元對應至不同的邏輯數值時，該 SAR 控制電路對該第 $N-1$ 轉換單元之該第 1 子電容至該第 $N-2$ 子電容中之至少其中之一所儲存的電荷進行重新分配

來更新該比較電壓。

9. 如申請專利範圍第 8 項所述之類比數位轉換器，其中當該第 N-1 個位元與該第 N-2 個位元對應至不同的邏輯數值時，該 SAR 控制電路係對該第 N-1 轉換單元之該第 1 子電容所儲存的電荷進行重新分配以更新該比較電壓。

10. 如申請專利範圍第 9 項所述之類比數位轉換器，其中在該比較電壓被更新後，該比較器更比較該取樣電壓及更新後之該比較電壓，以得到更新後之該比較訊號；

其中，該 SAR 控制電路根據更新後之該比較訊號決定該數位數值之該第 N-3 個位元，並判斷該第 N-3 個位元與該第 N-2 個位元是否對應至相同的邏輯數值；當該第 N-3 個位元與該第 N-2 個位元對應至不同的邏輯數值時，該 SAR 控制電路對該第 2 子電容中儲存的電荷進行重新分配來更新該比較電壓。

11. 如申請專利範圍第 10 項所述之類比數位轉換器，其中當該第 N-3 個位元與該第 N-2 個位元對應至相同的邏輯數值時，SAR 控制電路對該第 N-3 電容中儲存的電荷進行重新分配來更新該比較電壓。

12. 如申請專利範圍第 8 項所述之類比數位轉換器，其中當該第 N-1 個位元與該第 N-2 個位元對應至相同的邏輯數值時，該 SAR 控制電路對該第 N-2 電容中儲存的電

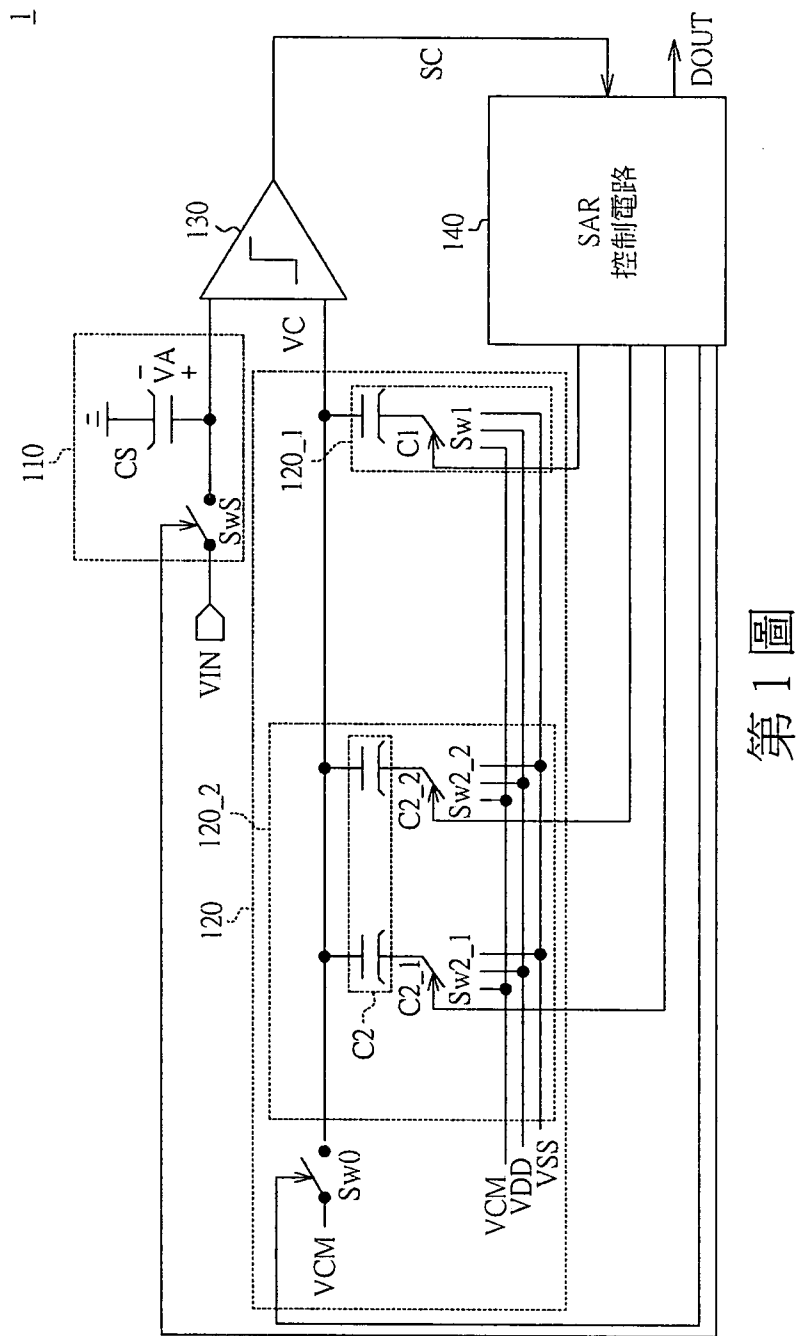
荷進行重新分配來更新該比較電壓。

13. 如申請專利範圍第 12 項所述之類比數位轉換器，其中在該比較電壓被更新後，該比較器比較該取樣電壓及更新後之該比較電壓，以得到更新後之該比較訊號；

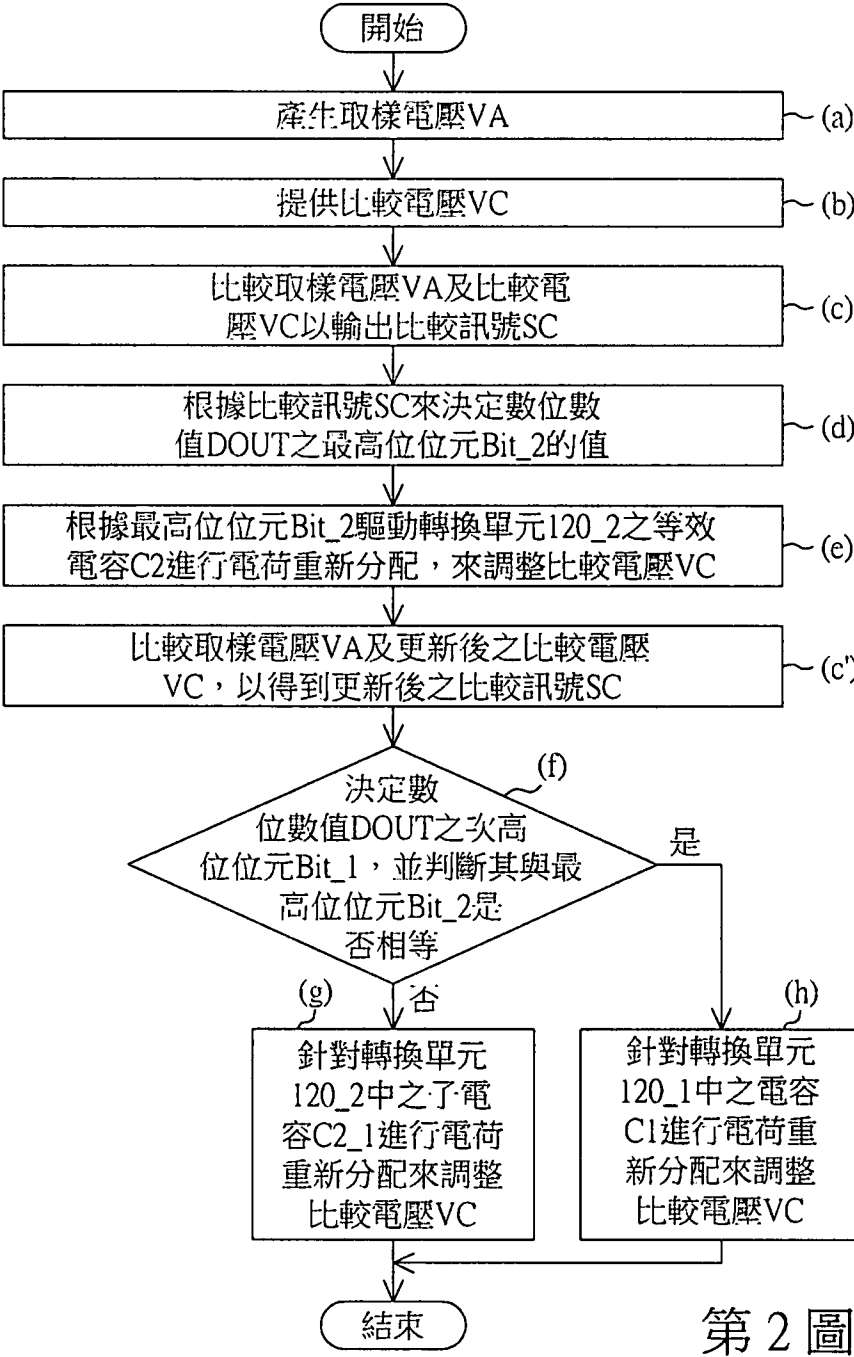
其中，該 SAR 控制電路根據更新後之該比較訊號決定該數位數值之該第 $N-3$ 個位元，並判斷該第 $N-3$ 個位元與該第 $N-2$ 個位元是否對應至相同的邏輯數值；當該第 $N-3$ 個位元與該第 $N-2$ 個位元對應至不同的邏輯數值時，該 SAR 控制電路對該第 2 子電容中儲存的電荷進行重新分配來更新該比較電壓。

14. 如申請專利範圍第 13 項所述之類比數位轉換器，其中當該第 $N-3$ 個位元與該第 $N-2$ 個位元對應至相同的邏輯數值時，該 SAR 控制電路對該第 $N-3$ 電容中儲存的電荷進行重新分配來更新該比較電壓。

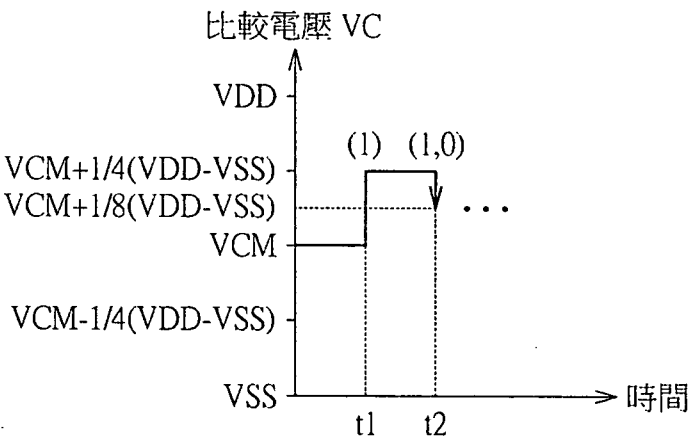
八、圖式：



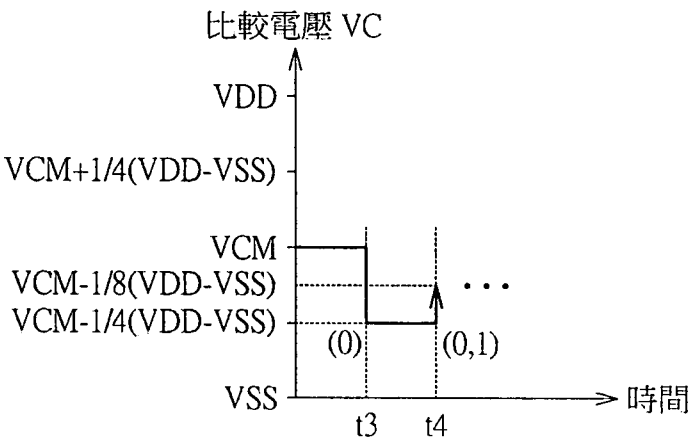
第 1 圖



第 2 圖



第 3A 圖



第 3B 圖

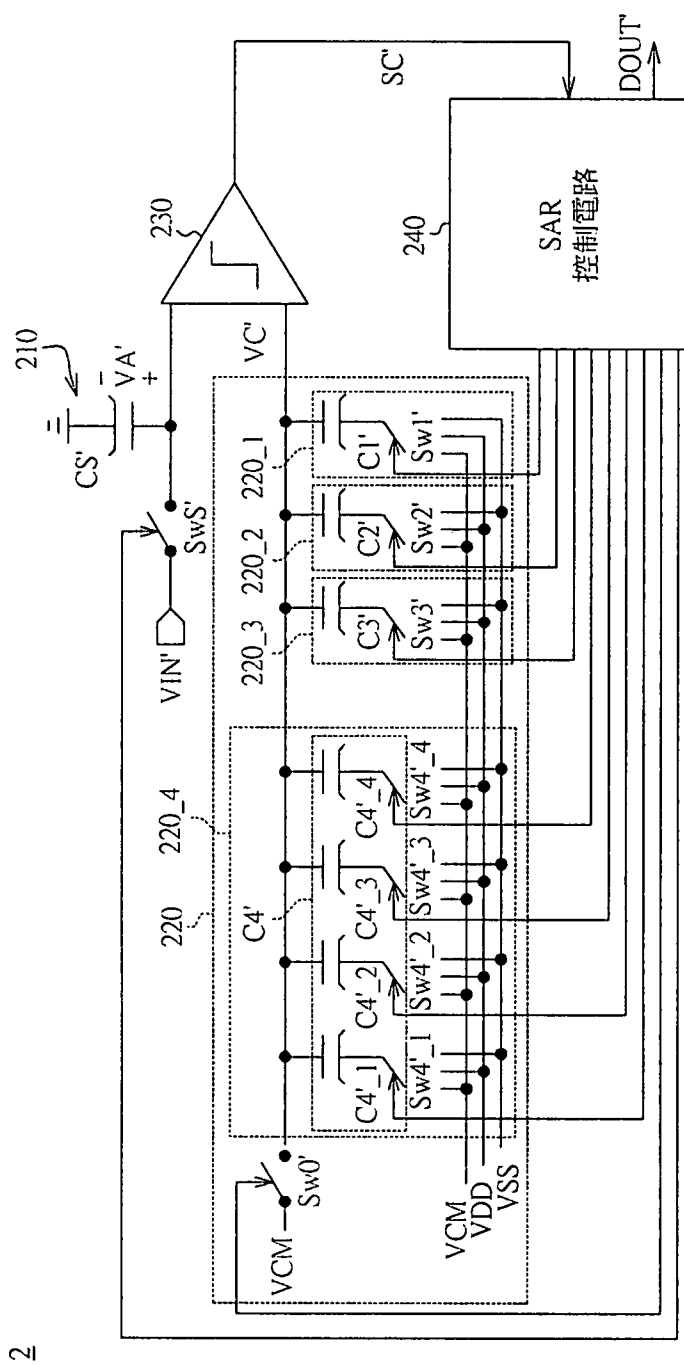
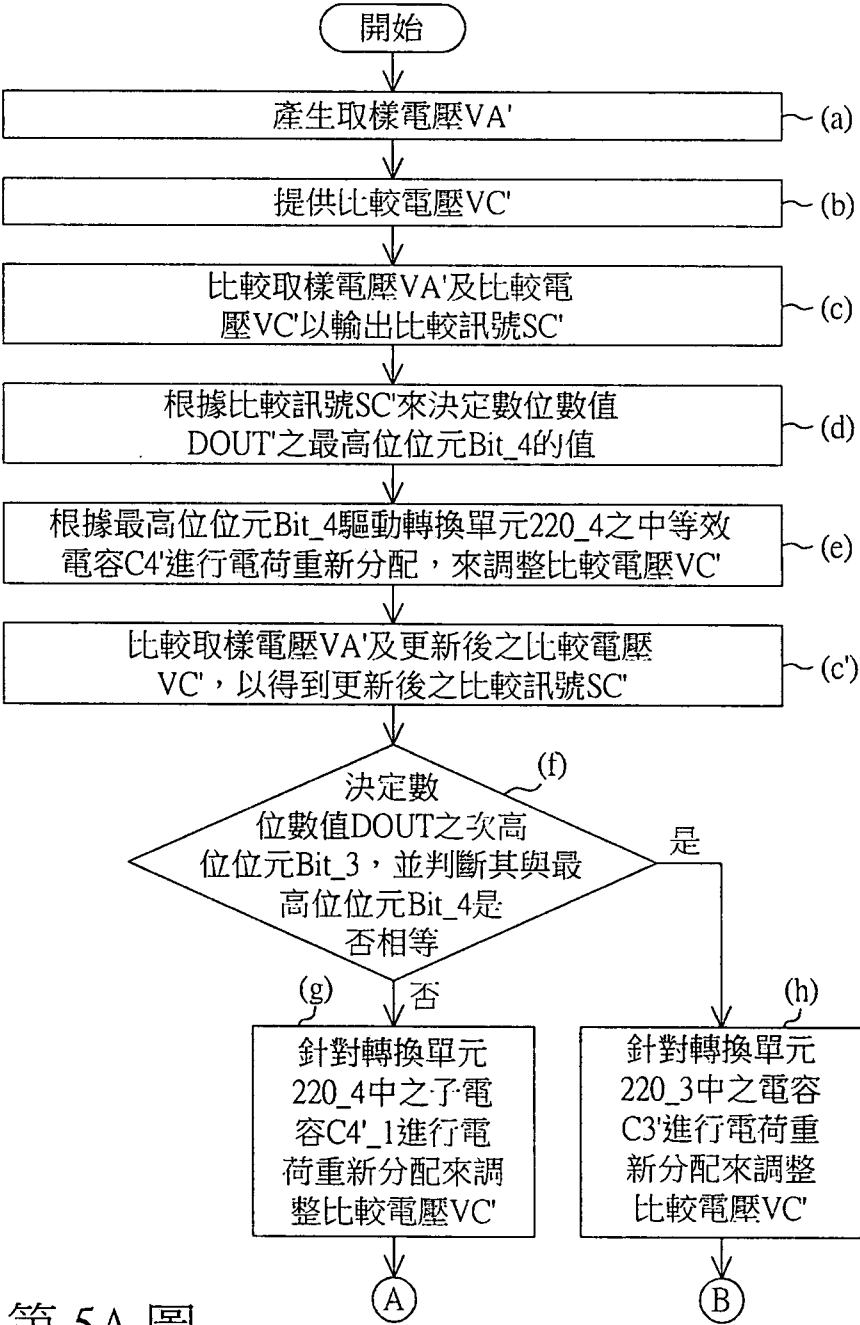
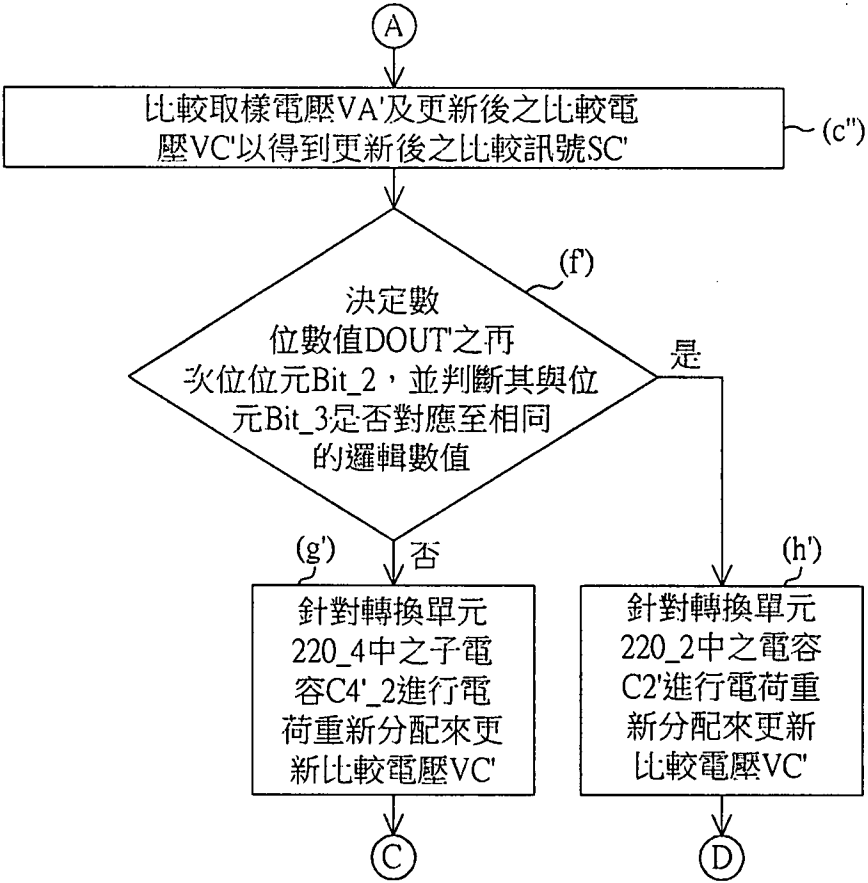


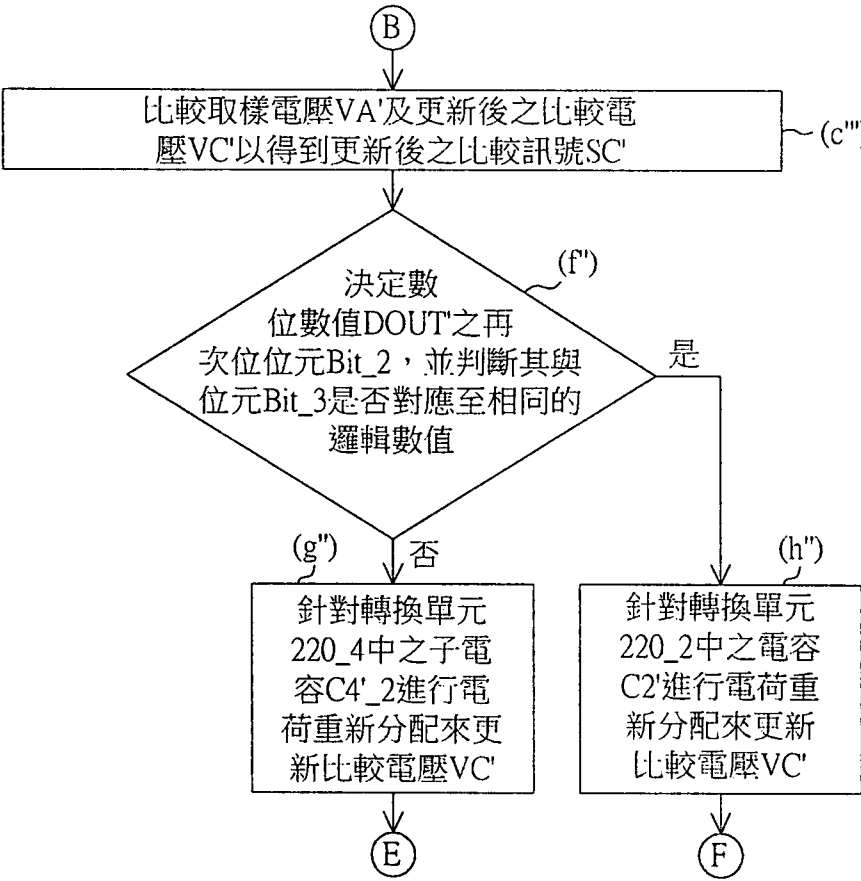
圖 4 第



第 5A 圖

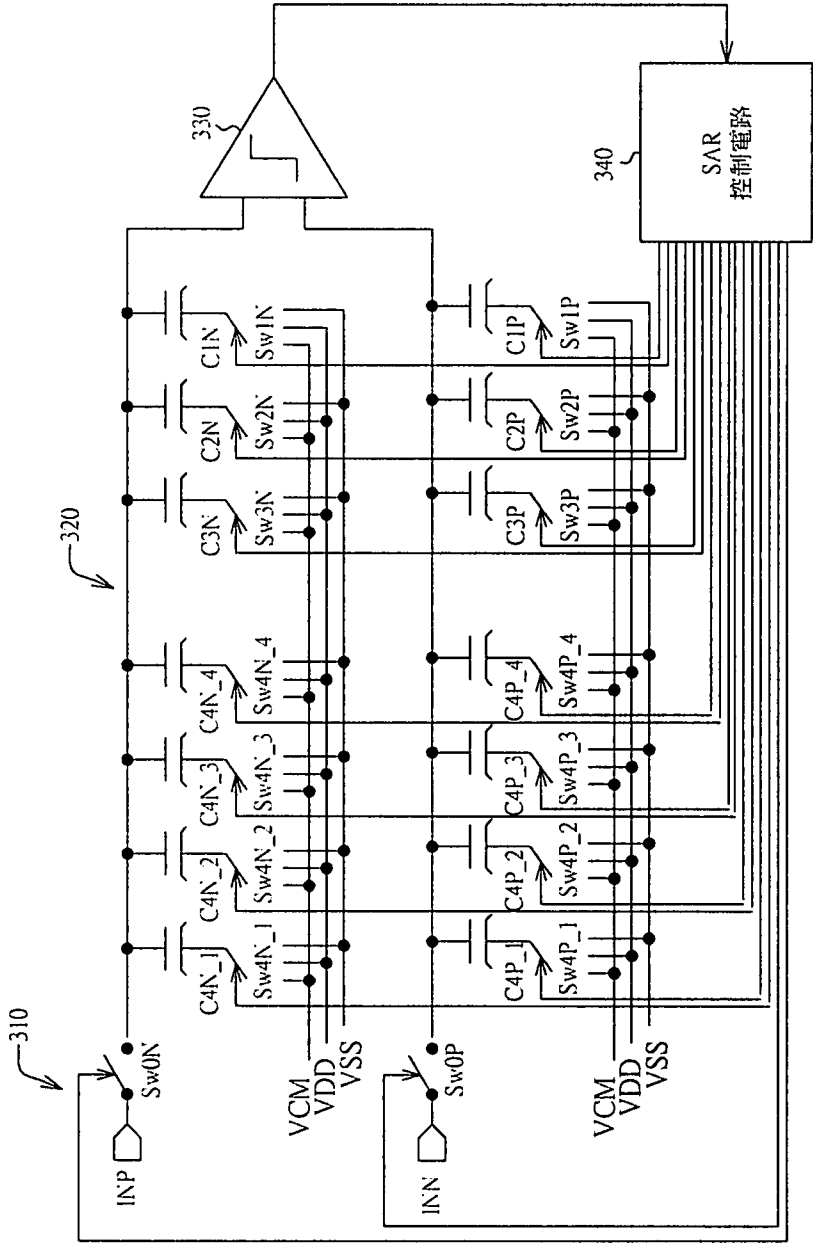


第 5B 圖



第 5C 圖

2



第6圖