

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2013年7月4日 (04.07.2013)

W O P C T

(10) 国際公開番号

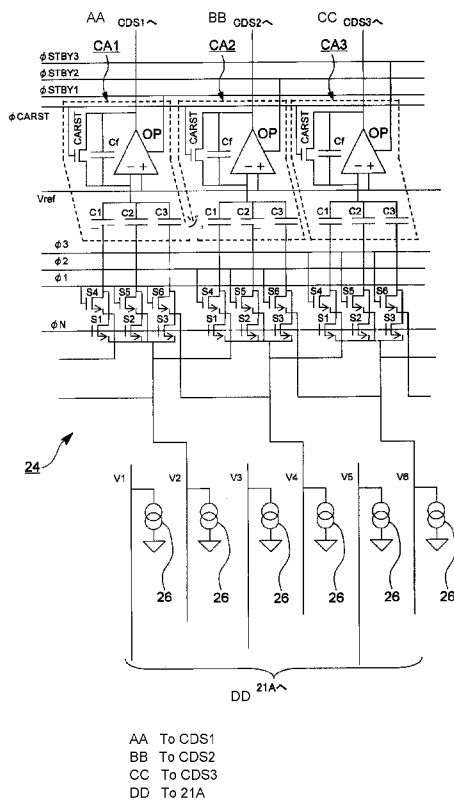
W O 2013/099264 A 1

- (51) 国際特許分類 :
H04N 5/347 (2011.01) H04N 5/378 (2011.01)
- (21) 国際出願番号 : PCT/JP2012/008392
- (22) 国際出願日 : 2012年12月27日 (27.12.2012)
- (25) 国際出願の言語 : 日本語
- (26) 国際公開の言語 : 日本語
- (30) 優先権データ :
特願 2011-286994 2011年12月27日 (27.12.2011) JP
特願 2011-288163 2011年12月28日 (28.12.2011) JP
- (71) 出願人 : 株式会社ニコン (MKON CORPORATION)
[JP/JP]; 〒1008331 東京都千代田区有楽町一丁目
12番1号 Tokyo (JP).
- (72) 発明者 : 松田 英明 (MATSUDA, Hideaki); 〒
1008331 東京都千代田区有楽町一丁目12番1
号株式会社ニコン内 Tokyo (JP).
- (74) 代理人 : 古谷 史旺, 外 (FURUYA, Fumio et al.); 〒
1600023 東京都新宿区西新宿1丁目19番5号
第2明宝ビル9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: SOLID-STATE IMAGING ELEMENT, AND IMAGING DEVICE

(54) 発明の名称 : 固体撮像素子および撮像装置



(57) Abstract: A solid state imaging element is provided with a pixel unit and an output unit. The pixel unit has a first pixel and a second pixel that is different from the first pixel. The output unit has a first capacitor to which a first pixel signal read from the first pixel is inputted, a second capacitor to which a second pixel signal read from the second pixel is inputted, and a computation amplifier for outputting an output signal in accordance with the first capacitor and the second capacitor.

(57) 要約 : 固体撮像素子は、画素部と、出力部とを備える。画素部は、第1画素と、第1画素とは異なる第2画素とを有する。出力部は、第1画素から読み出された第1画素信号が入力される第1容量と、第2画素から読み出された第2画素信号が入力される第2容量と、第1容量及び前記第2容量に応じた出力信号を出力する演算増幅器とを有する。

NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類：
(B, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, - 国際調査報告 条約第21条(3))
NE, SN, TD, TC).

明 細 書

発明の名称 : 固体撮像素子および撮像装置

技術分野

[0001] 本発明は、固体撮像素子および撮像装置に関する。

背景技術

[0002] 従来から、動画時に撮像素子画素数よりも縮小した画像を得るべく、動画撮影時に垂直方向及び水平方向に画素を間引いて読み出す固体撮像素子が提案されている (例えば、特許文献 1 参照)。

先行技術文献

特許文献

[0003] 特許文献 1 : 特開平 1 1 — 1 9 6 3 3 2 号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、従来の固体撮像素子では、水平方向に画素を間引いて読み出すので、水平方向に関してモアレや偽色が発生し易い。

[0005] これに対し、水平方向に画素を間引く代わりに、水平方向の画素信号を加算すると、水平方向に関するモアレや偽色が発生し難くなる。また、これに限らず、種々の理由で、水平方向の画素信号を加算することが要請される場合もあり得る。

[0006] そこで、水平方向の画素信号の加算を行う加算回路を固体撮像素子に搭載することが考えられる。しかし、水平方向の画素信号の加算を行う専用の加算回路を設けてしまうと、その設置スペースが増大してしまうなどの不都合が生ずる。

課題を解決するための手段

[0007] 本発明の一態様である固体撮像素子は、画素部と、出力部とを備える。画素部は、第 1 画素と、第 1 画素とは異なる第 2 画素とを有する。出力部は、第 1 画素から読み出された第 1 画素信号が入力される第 1 容量と、第 2 画素

から読み出された第2画素信号が入力される第2容量と、第1容量及び第2容量に応じた出力信号を出力する演算増幅器とを有する。

[0008] 本発明の他の態様である固体撮像素子は、画素部と、第1出力部と、第2出力部と、制御部とを備える。画素部は、第1画素と、第1画素とは異なる第2画素とを有する。第1出力部は、第1容量と、第2容量と、第1容量及び第2容量に応じた第1出力信号を出力する第1演算増幅器とを有する。第2出力部は、第3容量と、第4容量と、第3容量及び第4容量に応じた第2出力信号を出力する第2演算増幅器とを有する。制御部は、第1モードと第2モードとを切り替える。第1モードでは、第1画素から読み出された第1画素信号を第1容量に入力させ、かつ第2画素から読み出された第2画素信号を第2容量に入力させる。第2モードでは、第1画素信号を第1容量及び第2容量に入力させ、かつ第2画素信号を第3容量及び第4容量に入力させる。

図面の簡単な説明

- [0009] [図1] 第1の実施形態による電子カメラを模式的に示す概略ブロック図
[図2] 図1中の固体撮像素子の概略構成を示す回路図
[図3] 図2中の画素を示す回路図
[図4] 変形例による画素を示す回路図
[図5] 図2中の上側信号出力回路の一部分を示す回路図
[図6] 図2中の上側信号出力回路の他の部分を示す回路図
[図7] 図2中の上側信号出力回路の更に他の部分を示す回路図
[図8] 図5中の増幅部を構成する演算増幅器の具体例を示す回路図
[図9] 図5中の増幅部の非加算時の状態を示す回路図
[図10] 図5中の増幅部の加算時の状態を示す回路図
[図11] 図2に示す固体撮像素子の水平画素非加算読み出しモードの特徴的な動作を模式的に示す動作説明図
[図12] 図2に示す固体撮像素子の水平画素非加算読み出しモードでの制御信号の状態を示すタイミングチャート

[図13] 図2に示す固体撮像素子の水平画素加算読み出しモードの特徴的な動作を模式的に示す動作説明図

[図14] 図2に示す固体撮像素子の水平画素加算読み出しモードでの制御信号の状態を示すタイミングチャート

[図15] 第2の実施形態による電子カメラで用いられる固体撮像素子の上側信号出力回路の一部分を示す回路図

[図16] 第2の実施形態による電子カメラで用いられる固体撮像素子の上側信号出力回路の他の部分を示す回路図

[図17] 第2の実施形態による電子カメラで用いられる固体撮像素子の水平画素非加算読み出しモードの特徴的な動作を模式的に示す動作説明図

[図18] 第2の実施形態による電子カメラで用いられる固体撮像素子の水平画素非加算読み出しモードでの制御信号の状態を示すタイミングチャート

[図19] 第2の実施形態による電子カメラで用いられる固体撮像素子の水平画素加算読み出しモードの特徴的な動作を模式的に示す動作説明図

[図20] 第2の実施形態による電子カメラで用いられる固体撮像素子の水平画素加算読み出しモードでの制御信号の状態を示すタイミングチャート

[図21] 第3の実施形態での固体撮像素子の構成例を示すブロック図

[図22] 画素 $P \times$ の回路構成例を示す図

[図23] 第1信号出力回路の構成例を示す図

[図24] 演算増幅器OPの回路構成例を示す図

[図25] 通常読み出しモードでの画素アレイからの信号読み出しの例を示す図

[図26] 通常読み出しモードでの第1信号出力回路の動作状態を示す図

[図27] 混合読み出しモードでの画素アレイからの信号読み出しの例を示す図

[図28] 混合読み出しモードでの第1信号出力回路の動作状態を示す図

[図29] 演算増幅器OPの回路構成例の別例を示す図

[図30] 演算増幅器OPの回路構成例の別例を示す図

[図31] 撮像装置の構成例を示す図

[図32] 画素 $P \times$ の変形例を示す図

[図33] 画素 P X の変形例を示す図

発明を実施するための形態

[001 0] 以下、本発明による固体撮像素子及び撮像装置について、図面を参照して説明する。

[001 1] < 第 1 の実施形態 >

図 1 は、第 1 の実施形態による撮像装置としての電子カメラ 1 を模式的に示す概略ブロック図である。

[001 2] 本実施形態による電子カメラ 1 は、例えば一眼レフのデジタルカメラとして構成される。しかし、本発明による撮像装置は、これに限らず、コンパクトカメラなどの他の電子カメラや、携帯電話に搭載された電子カメラや、フィルムカメラなどの種々の撮像装置に適用することができる。

[001 3] 電子カメラ 1 には、撮影レンズ 2 が装着される。この撮影レンズ 2 は、レンズ制御部 2 a によってフォーカスや絞りが駆動される。この撮影レンズ 2 の像空間には、固体撮像素子 3 の撮像面が配置される。

[0014] 固体撮像素子 3 は、撮像制御部 4 の指令によって駆動され、画像信号を出力する。電子ビューファインダーモード時や動画撮影時などでは、撮像制御部 4 は、例えばいわゆるローリング電子シャッタを行いつつ後述する水平画素加算の読み出し動作を行うように固体撮像素子 3 を制御する。また、通常の本撮影時（静止画撮影時）などでは、撮像制御部 4 は、例えば、全画素を同時にリセットするいわゆるグローバルリセット後に、図示しないメカニカルシャッタで露光した後に、水平画素加算によらない全画素の画像信号を得るように固体撮像素子 3 を制御する。いずれの画像信号も、信号処理部 5 によって黒レベルクランプ処理等の信号処理が行われた後、A / D 変換部 6 により A / D 変換され、メモリ 7 に一旦蓄積される。メモリ 7 は、バス 8 に接続されている。バス 8 には、レンズ制御部 2 a、撮像制御部 4、CPU 9、液晶表示パネル等の表示部 10、記録部 11、画像圧縮部 12 及び画像処理部 13 なども接続される。CPU 9 には、リリース釦などの操作部 9 a が接続される。また、記録部 11 には記録媒体 11 a が着脱自在に装着される。

[001 5] 電子カメラ 1 内の CPU 9 は、操作部 9 a の操作により電子ビューファインダーモードや動画撮影などが指示されると、それに合わせて撮像制御部 4 を駆動する。撮像制御部 4 は、例えばローリング電子シャッタを行いつつ後述する水平画素加算の読み出し動作を行うように固体撮像素子 3 を制御する。このとき、レンズ制御部 2 a によって、フォーカスや絞りが適宜調整される。固体撮像素子 3 から得られた水平画素加算された画像信号は、メモリ 7 に蓄積される。CPU 9 は、電子ビューファインダーモード時には水平画素加算された画像信号を表示部 1 0 に画像表示させ、動画撮影時には水平画素加算された画像信号を記録媒体 1 1 a に記録する。通常の本撮影時（静止画撮影時）などの場合は、CPU 9 は、水平画素加算されていない画像信号がメモリ 7 に蓄積された後に、操作部 9 a の指令に基づき、必要に応じて画像処理部 1 3 や画像圧縮部 1 2 にて所望の処理を行い、記録部 1 1 に処理後の信号を出力させ記録媒体 1 1 a に記録する。

[001 6] 図 2 は、図 1 中の固体撮像素子 3 の概略構成を示す回路図である。本実施形態では、固体撮像素子 3 は、CMOS 型の固体撮像素子として構成されているが、他の XY アドレス型固体撮像素子として構成してもよい。

[001 7] 固体撮像素子 3 は、図 2 に示すように、画素部 2 1 と、複数の水平制御信号線 2 2 と、垂直走査回路 2 3 と、複数の垂直信号線 $V_1 \sim V_m$ と、画素部 2 1 の列方向（垂直方向、図 2 中上下方向）の両側にそれぞれ配置された上側信号出力回路 2 4 及び下側信号出力回路 2 5 と、を有している。

[001 8] 画素部 2 1 は、 n 行 k 列に 2 次元マトリクス状に配置され入射光に応じた画素信号を出力する有効画素 $P \times$ からなる有効画素部 2 1 A と、 n 行 ($m - k$) 列に 2 次元マトリクス状に配置され黒レベルの信号を生成するオプティカルブラック画素（OB 画素） $0 B$ からなる $0 B$ 画素部 2 1 B とを有している。本実施形態では、 $0 B$ 画素部 2 1 B は、有効画素部 2 1 A の領域の行方向（水平方向、図 2 中左右方向）の図 2 中右側に配置されている。もっとも、 $0 B$ 画素部 2 1 B は、有効画素部 2 1 A の図 2 中左側に配置してもよいし、有効画素部 2 1 A の図 2 中左右両側に配置してもよい。

[001 9] 画素部 2 1 の各行には、垂直走査回路 2 3 に接続された水平制御信号線 2 2 がそれぞれ配置されている。各々の水平制御信号線 2 2 は、垂直走査回路 2 3 から出力される制御信号（後述する制御信号 ϕ SEL, 0 RES, ϕ TX）を、画素 PX, 0 B の各行にそれぞれ供給する。

[0020] 複数の垂直信号線 V 1 ~ V k は、有効画素 PX の列毎に設けられ、対応する列の有効画素 PX からの信号を受け取る。また、複数の垂直信号線 V k + 1 ~ V m は、0 B 画素 0 B の列毎に設けられ、対応する列の 0 B 画素 0 B からの信号を受け取る。垂直信号線 V k + 1 ~ V m は、0 B 画素用垂直信号線である。垂直信号線 V 1 ~ V m の上端（厳密に言うと、本実施形態では、それらの垂直信号線のうちの偶数番目の列の垂直信号線の上端）が、上側信号出力回路 2 4 に接続されている。垂直信号線 V 1 ~ V m の下端（厳密に言うと、本実施形態では、それらの垂直信号線のうちの奇数番目の列の垂直信号線の下側）が、下側信号出力回路 2 5 に接続されている。ここでは、1 列目の垂直信号線には符号 V 1 を付し、m 列目の垂直信号線には符号 V m を付し、他の垂直信号線についても同様である。各垂直信号線 V 1 ~ V m には、定電流源 2 6 が接続されている（後述する図 5 及び図 6 参照）。なお、定電流源 2 6 を各垂直信号線 V 1 ~ V m の上端側及び下端側にそれぞれ接続して、各垂直信号線 V 1 ~ V m に対して 2 つずつの定電流源 2 6 を接続してもよい。この場合は、定電流源 1 つ当たりの電流値を、垂直信号線 1 本当たりに必要な電流値の 1 / 2 倍とする。

[0021] なお、必要に応じて、いわゆる横スミアや黒太陽を防止するため、各垂直信号線 V 1 ~ V m に対して、例えば特開 2 0 1 0 - 2 6 3 4 4 3 号公報の図 4 及び図 5 に開示されているようなクリップ回路を設けてもよい。

[0022] 本実施形態では、各々の画素 PX の光入射側には、それぞれが異なる色成分の光を透過させる複数種類のカラーフィルタが、2 行 2 列の繰り返し周期を持つ色配列で配置されている。画素 PX は、カラーフィルタでの色分解によって各色に対応する電気信号を出力する。本実施形態では、図 2 に示すように、上述の色配列としてベイヤ配列が採用され、赤色 (R)、緑色 (G r

, G b)、青色 (B) のカラーフィルタがベイヤ配列に従って各画素 P X に配置されている。すなわち、有効画素部 2 1 A の奇数行には R , G r のカラーフィルタが交互に並ぶとともに、有効画素部 2 1 A の偶数行には G b , B のフィルタが交互に並んでいる。そして、有効画素部 2 1 A 全体では緑色のフィルタが市松模様をなすように配置されている。これにより、有効画素部 2 1 A は、撮像時にカラーの画像を取得することができる。本実施形態では、O B 画素部 2 1 B にも有効画素部 2 1 A と同様に、カラーフィルタが配置されている。もともと、O B 画素 O B は黒レベルを出力するものであるので、O B 画素部 2 1 B には必ずしもカラーフィルタを配置する必要はない。なお、図 2 では、各々の画素 P X , O B にカラーフィルタの色を併せて表記している。

[0023] 図 3 は、図 2 中の画素 P X , O B を示す回路図である。本実施形態では、各画素 P X は、一般的な CMOS 型固体撮像素子の画素と同様に、光電変換部としてのフォトダイオード P D と、電荷を受け取って上述の電荷を電圧に変換する電荷電圧変換部としてのフローティングディフュージョン F D と、フローティングディフュージョン F D の電位をリセットするリセットトランジスタ R E S と、フローティングディフュージョン F D の電位に応じた信号を垂直信号線 V 1 ~ V m に供給する選択トランジスタ S E L と、フォトダイオード P D からフローティングディフュージョン F D に電荷を転送する電荷転送部としての転送トランジスタ T X と、フローティングディフュージョン F D の電位に応じた上述の信号を出力する増幅部としての増幅トランジスタ A M P とを有し、図 3 に示すように、接続されている。図 3 において、V D D は電源電位である。なお、本実施形態では、画素 P X , O B のトランジスタ A M P , T X , R E S , S E L は、全て n M O S トランジスタである。

[0024] 本実施形態では、O B 画素 O B は、フォトダイオード P D が遮光される点を除いて有効画素 P X と同じ構造を有している。もともと、O B 画素 O B は、例えば、有効画素 P X からフォトダイオード P D を取り除いた構造を有していてもよい。

- [0025] 転送トランジスタTXのゲートは行毎に共通に接続され、そこには、転送トランジスタTXを制御する制御信号 ϕ_{TX} が垂直走査回路23から供給される。リセットトランジスタRESのゲートは行毎に共通に接続され、そこには、リセットトランジスタRESを制御する制御信号 ϕ_{RES} が垂直走査回路23から供給される。選択トランジスタSELのゲートは行毎に共通に接続され、そこには、選択トランジスタSELを制御する制御信号 ϕ_{SEL} が垂直走査回路23から供給される。各制御信号 ϕ_{TX} を行毎に区別する場合、j行目の制御信号 ϕ_{TX} は符号 $\phi_{TX}(j)$ で示す。この点は、制御信号 ϕ_{RES} 、 ϕ_{SEL} についても同様である。
- [0026] 各画素PXのフォトダイオードPDは、入射光の光量(被写体光)に応じて信号電荷を生成する。転送トランジスタTXは、制御信号 ϕ_{TX} のハイレベル期間にオンし、フォトダイオードPDの電荷をフローティングディフュージョンFDに転送する。リセットトランジスタRESは、制御信号 ϕ_{RES} のハイレベル期間(電源電位VDDの期間)にオンし、フローティングディフュージョンFDをリセットする。
- [0027] 増幅トランジスタAMPは、そのドレインが電源電位VDDに接続され、そのゲートがフローティングディフュージョンFDに接続され、そのソースが選択トランジスタSELのドレインに接続され、定電流源26(図3では図示せず、図5及び図6を参照)を負荷とするソースフォロア回路を構成している。増幅トランジスタAMPは、フローティングディフュージョンFDの電圧値に応じて、選択トランジスタSELを介して垂直信号線V1~Vmに読み出し信号を出力する。選択トランジスタSELは、制御信号 ϕ_{SEL} のハイレベル期間にオンし、増幅トランジスタAMPのソースを垂直信号線V1~Vmに接続する。
- [0028] 図2中の垂直走査回路23は、図1中の撮像制御部4からの制御信号を受けて、画素PX、OBの行毎に、制御信号 ϕ_{SEL} 、 ϕ_{RES} 、 ϕ_{TX} をそれぞれ出力し、ローリング電子シャッタによる動作や、メカニカルシャッタを利用したグローバルリセットによる静止画読み出し動作などを実現する。

それらの具体的な動作については公知であるため、ここではその説明は省略する。

[0029] 画素PX，OBの構成は、前述した図3に示す構成に限らない。例えば、画素PX，OBの構成として、図4に示す構成を採用してもよい。図4は、変形例による画素PX，OBを示す回路図である。図4において、図3中の要素と同一又は対応する要素には同一符号を付し、その重複する説明は省略する。

[0030] 図4に示す構成が図3に示す構成と異なる所は、列方向に隣り合う2つの画素PX，OB毎に、当該2つの画素PX，OBが1組のフローティングディフュージョンFD、増幅トランジスタAMP、リセットトランジスタRES及び選択トランジスタSELを共有している点である。この変形例では、垂直走査回路23は、図3に示すような制御信号 ϕ SEL， ϕ RES， ϕ TXに代えて、図4に示すような制御信号 ϕ SEL， ϕ RES， ϕ TX1， ϕ TX2を出力するように構成される。

[0031] 図4では、1組のフローティングディフュージョンFD、増幅トランジスタAMP、リセットトランジスタRES及び選択トランジスタSELを共有する2つの画素PX，OBを、画素ブロックBLとして示している。また、図3では、画素ブロックBL内の上側の画素PX，OBのフォトダイオードPD及び転送トランジスタTXをそれぞれ符号PD1，OB1，TX1で示し、画素ブロックBL内の下側の画素PX，OBのフォトダイオードPD及び転送トランジスタTXをそれぞれ符号PD2，TX2で示し、両者を区別している。また、転送トランジスタTX1のゲートに供給される制御信号を ϕ TX1とし、転送トランジスタTX2のゲート電極に供給される制御信号を ϕ TX2とし、両者を区別している。なお、図3では「」は画素行を示しているが、図4では「」は画素ブロックBLの行を示している。画素ブロックBLの1行は、画素PX，OBの2行に相当している。

[0032] この変形例では、垂直走査回路23は、図1中の撮像制御部4からの制御信号を受けて、画素PX，OBの行毎に、制御信号 ϕ SEL， ϕ RES， ϕ

TX1, ϕ TX2 をそれぞれ出力することで、ローリング電子シャッタによる動作や、メカニカルシャッタを利用したグローバルリセットによる静止画読み出し動作などを実現することができる。

[0033] 図5は、図2中の上側信号出力回路24の一部分(有効画素部21Aの2列目、4列目及び6列目の垂直信号線V2, V4, V6にそれぞれ対応して設けられた、3つのスイッチ群(各スイッチ群はスイッチS1~S6からなる。)及び3つの増幅部CA1~CA3)を示す回路図である。

[0034] 図6は、図2中の上側信号出力回路24の他の部分(OB画素部21Bのk+2列目、k+4列目及びk+6列目にそれぞれ対応して設けられた、3つのスイッチ群(各スイッチ群はスイッチS1~S6からなる。)及び3つの増幅部CA(k/2)+1, CA(k/2)+2, CA(k/2)+3)を示す回路図である。図6において、図5中の要素と同一又は対応する要素には同一符号を付している。

[0035] 図7は、図2中の上側信号出力回路24の更に他の部分(有効画素部21Aの2列目からk列目までの偶数列目の垂直信号線にそれぞれ対応して設けられたk/2個の増幅部CA1~CA(k/2)の出力信号、及び、OB画素部21Bのk+2列目からm列目までの偶数列目の垂直信号線にそれぞれ対応して設けられた(m-k)/2個の増幅部CA(k/2)+1~CA(m/2)の出力信号を、それぞれサンプルホールドするサンプリング部CDS1~CDS(m/2)、水平走査回路31など)を示す回路図である。

[0036] 本実施形態では、図5にその一部を示すように、上側信号出力回路24は、有効画素部21Aの偶数列目の垂直信号線V2, V4, ..., V_kにそれぞれ対応して設けられた、各々がスイッチS1~S6からなるk/2個のスイッチ群及びk/2個の増幅部CA1~CA(k/2)を有している。

[0037] 各増幅部CA1~CA(k/2)は、同一の構成を有し、p個(本実施形態では、3個)の入力容量C1~C3と、演算増幅器OPと、帰還容量C_fと、カラムアンプリセット信号 ϕ CARSTに応じてカラムアンプをリセットするカラムアンプリセットスイッチCARSTと、を有している。演算増

幅器OPの反転入力端子(第1の入力端子)に、各入力容量 $C_1 \sim C_3$ の一方端部が接続されている。演算増幅器OPの反転入力端子と演算増幅器OPの出力端子との間に、帰還容量 C_f 及びカラムアンプリセットスイッチ $CARST$ が並列に接続されている。演算増幅器OPの非反転入力端子(第2の入力端子)には、所定電位 V_{ref} が印加されている。カラムアンプリセットスイッチ $CARST$ は、MOSトランジスタで構成され、カラムアンプリセット信号 ϕ_{CARST} がハイレベルの場合にオンする一方、カラムアンプリセット信号 ϕ_{CARST} がローレベルの場合にオフする。各増幅部 $CA_1 \sim CA_{(k/2)}$ のカラムアンプリセットスイッチ $CARST$ のゲートは共通に接続され、そこには、カラムアンプリセット信号 ϕ_{CARST} が撮像制御部4から供給される。

[0038] 本実施形態では、演算増幅器OPとして、作動制御信号 ϕ_{STBY} に応じて作動状態と上述の作動状態に比べて低消費電力の作動停止状態とになり得る演算増幅器(以下、「スタンバイ機能付き演算増幅器」と呼ぶ。)ものが、用いられている。演算増幅器OPの作動状態と作動停止状態に応じて、演算増幅器OPを有する増幅部全体としても作動状態と作動停止状態となる。

[0039] 図8は、スタンバイ機能付き演算増幅器とした演算増幅器OPの具体例を示す回路図である。この例では、演算増幅器OPは、pMOSトランジスタ $T_1 \sim T_4$ 及びnMOSトランジスタ $T_5 \sim T_8$ で構成されている。本例では、演算増幅器の一般的な構成をなすトランジスタ T_1, T_2, T_5, T_6, T_8 に対して、トランジスタ T_3, T_4, T_7 が追加されることでスタンバイ機能が実現されている。図8において、 V_{IN_P} 、 V_{IN_N} 、 V_{OUT} は、演算増幅器OPの非反転入力端子、反転入力端子及び出力端子をそれぞれ示している。 V_{BIAS} は、図示しないバイアス回路からの電流源用バイアス電圧が印加されるバイアス電圧入力端子である。

[0040] 図8において、 $STBY$ は作動制御信号 ϕ_{STBY} が入力される端子(作動制御信号入力端子)、 $STBY_N$ は作動制御信号 ϕ_{STBY} の反転信号が入力される端子である。作動制御信号 ϕ_{STBY} がハイレベルになると、

トランジスタ T_3 、 T_4 、 T_7 がオフし、演算増幅器 OP を流れる電流が遮断されて演算増幅器 OP が作動停止状態となり、出力端子 V_{OUT} はフローティングになる。図5等では、作動制御信号 ϕ_{STBY} に相当する作動制御信号 $\phi_{STBY1} \sim \phi_{STBY3}$ のみが演算増幅器 OP に供給されるものとして記載され、作動制御信号 ϕ_{STBY_N} に相当する反転作動制御信号が演算増幅器 OP に供給される制御線等の図示は省略している。以下の説明では、作動制御信号 ϕ_{STBY} のみについて言及し、反転作動制御信号への言及は省略する。

[0041] 増幅部 $CA_1 \sim CA_{(k/2)}$ を、対応する垂直信号線が $p \times 2$ 本（本実施形態では、 $P = 3$ で、6本）の周期をなす p 個（本実施形態では、3個）のグループに分けたとき、すなわち、増幅部 CA_1 、 CA_4 、 CA_7 、…の第1グループと、増幅部 CA_2 、 CA_5 、 CA_8 、…の第2グループと、増幅部 CA_3 、 CA_6 、 CA_9 、…の第3グループに分けたとき、各グループ毎に作動制御信号 ϕ_{STBY} が入力される。つまり、第1グループの増幅部 CA_1 、 CA_4 、 CA_7 、…の作動停止信号入力端子が共通に接続され、そこには、作動制御信号 ϕ_{STBY1} が撮像制御部4から供給される。第2グループの増幅部 CA_2 、 CA_5 、 CA_8 、…の作動停止信号入力端子が共通に接続され、そこには、作動制御信号 ϕ_{STBY2} が撮像制御部4から供給される。第3グループの増幅部 CA_3 、 CA_6 、 CA_9 、…の作動停止信号入力端子が共通に接続され、そこには、作動制御信号 ϕ_{STBY3} が撮像制御部4から供給される。

[0042] 上述の $k/2$ 個のスイッチ群の各々の群のスイッチ $S_1 \sim S_6$ は、 $nMOS$ トランジスタで構成されている。上述の $k/2$ 個のスイッチ群の各々の群のスイッチ S_5 は、当該スイッチ群と同じ垂直信号線に対応して設けられた増幅部の入力容量 C_2 の他方端部と当該垂直信号線との間をオンオフする。例えば、垂直信号線 V_4 に対応するスイッチ群のスイッチ S_5 は、当該スイッチ群と同じ垂直信号線 V_4 に対応して設けられた増幅部 CA_2 の入力容量 C_2 の他方端部と当該垂直信号線 V_4 との間をオンオフする。

[0043] 上述の $k/2$ 個のスイッチ群の各々の群のスイッチ S_4 は、当該スイッチ群と同じ垂直信号線に対応して設けられた増幅部の入力容量 C_1 の他方端部と、当該スイッチ群に対応する垂直信号線に対して2本前の垂直信号線との間を、オンオフする。例えば、垂直信号線 V_4 に対応するスイッチ群のスイッチ S_4 は、当該スイッチ群と同じ垂直信号線 V_4 に対応して設けられた増幅部 CA_2 の入力容量 C_1 の他方端部と、当該スイッチ群に対応する垂直信号線 V_4 に対して2本前の垂直信号線 V_2 との間を、オンオフする。なお、図5に示すように、垂直信号線 V_2 に対応するスイッチ群のスイッチ S_4 がオン時に接続すべき垂直信号線が存在しないので、そのスイッチ S_4 の一方はフローティング状態にされている。

[0044] 上述の $k/2$ 個のスイッチ群の各々の群のスイッチ S_6 は、当該スイッチ群と同じ垂直信号線に対応して設けられた増幅部の入力容量 C_3 の他方端部と、当該スイッチ群に対応する垂直信号線に対して2本後の垂直信号線との間を、オンオフする。例えば、垂直信号線 V_4 に対応するスイッチ群のスイッチ S_4 は、当該スイッチ群と同じ垂直信号線 V_4 に対応して設けられた増幅部 CA_2 の入力容量 C_3 の他方端部と、当該スイッチ群に対応する垂直信号線 V_4 に対して2本後の垂直信号線 V_6 との間を、オンオフする。なお、図面には示していないが、垂直信号線 V_k に対応するスイッチ群のスイッチ S_6 は、有効画素部 $21A$ の垂直信号線ではないが、OB画素部 $21B$ の垂直信号線 V_{k+2} と接続されている。もともと、垂直信号線 V_k に対応するスイッチ群のスイッチ S_6 の一方は、垂直信号線 V_{k+2} と接続せずに、フローティング状態にしてもよい。

[0045] 上述の第1グループの増幅部 CA_1 , CA_4 , CA_7 , ... に対応するスイッチ群のスイッチ $S_4 \sim S_6$ のゲートが共通に接続され、そこには、制御信号 ϕ_1 が撮像制御部4から供給される。第2グループの増幅部 CA_2 , CA_5 , CA_8 , ... のゲートが共通に接続され、そこには、制御信号 ϕ_2 が撮像制御部4から供給される。第3グループの増幅部 CA_3 , CA_6 , CA_9 , ... のゲートが共通に接続され、そこには、制御信号 ϕ_3 が撮像制御部4から

供給される。各スイッチS4～S6は、そのゲートに供給される制御信号φ1～φ3がハイレベル(H)の場合にオンする一方、そのゲートに供給される制御信号φ1～φ3がローレベル(L)の場合にオフする。

[0046] 上述のk/2個のスイッチ群の各々の群のスイッチS1～S3は、当該スイッチ群と同じ垂直信号線に対応して設けられた増幅部の入力容量C1～C3の他方端部と当該垂直信号線との間をそれぞれオンオフする。例えば、垂直信号線V4に対応するスイッチ群のスイッチS1～S3は、当該スイッチ群と同じ垂直信号線V4に対応して設けられた増幅部CA2の入力容量C1～C3の他方端部と当該垂直信号線V4との間をオンオフする。

[0047] 上述のk/2個のスイッチ群のスイッチS1～S3のゲートが共通に接続され、そこには、制御信号φNが撮像制御部4から供給される。各スイッチS1～S3は、そのゲートに供給される制御信号φNがハイレベルの場合にオンする一方、そのゲートに供給される制御信号φNがローレベルの場合にオフする。

[0048] 先の説明からわかるように、各スイッチ群において、スイッチS4～S6は、p本(本実施形態では、3本)の垂直信号線とp個(本実施形態では、3個)の入力容量C1～C3との間をそれぞれオンオフするp個(本実施形態では、3個)の第1のスイッチを構成している。また、各スイッチ群において、スイッチS1～S3は、1本だけの垂直信号線と入力容量C1～C3との間をそれぞれオンオフするP個(本実施形態では、3個)の第2のスイッチを構成している。各スイッチ群において、スイッチS1～S6は、制御信号φ1～φ3, φNに応じて、p本(本実施形態では、3本)の垂直信号線の信号を、P個(本実施形態では、3個)の入力容量C1～C3にそれぞれ供給する第1の信号供給状態(スイッチS4～S6がオンでスイッチS1～S3がオフの状態)と、1本だけの垂直信号線の信号を、p個(本実施形態では、3個)の入力容量C1～C3に共通して供給する第2の信号供給状態(スイッチS1～S3がオンでスイッチS4～S6がオフの状態)とに、切り替える信号供給部を構成している。

[0049] 図9は、上述の増幅部CA₁~CA_(k/2)のうちの任意の1つの増幅部CAの非加算時の状態(上述の第2の信号供給状態)を示す回路図である。図10は、上述の増幅部CA₁~CA_(k/2)のうちの任意の1つの増幅部CAの加算時の状態(上述の第1の信号供給状態)を示す回路図である。図9及び図10では、作動制御信号φSTBYを供給するラインは省略している。以下の説明において、入力容量C₁~C₃及び帰還容量C_fの容量値も、それぞれ同じ符号C₁~C₃, C_fで表記する。

[0050] 上述の第2の信号供給状態では、対応するスイッチ群のスイッチS₁~S₃がオンでスイッチS₄~S₆がオフであるので、図9に示すように、入力容量C₁~C₃が並列接続され、対応する1本の垂直信号線の信号が、入力電圧V_iとして、並列接続された入力容量C₁~C₃へ入力される。例えば、増幅部CAが増幅部CA₂である場合には、入力電圧V_iは垂直信号線V₄の信号となる。

[0051] この場合、信号φCARSTが高レベルになると、カラムアンプリセットスイッチCARSTがオンして演算増幅器OPの反転入力端子と出力端子との間が短絡し、演算増幅器OPの出力端子が所定電位V_{ref}にリセットされる。その後、信号φCARSTがローレベルにされてカラムアンプリセットスイッチCARSTがオフした状態において、入力電圧V_iがΔv_iだけ変化すると、演算増幅器OPの出力端子の信号(出力電圧)V_{out}は、 $[V_{ref} - \{(C_1 + C_2 + C_3) / C_f\} \times \Delta V_i]$ となる。このように、カラムアンプリセットスイッチCARSTがオフすると、入力容量C₁~C₃の並列合成容量(C₁+C₂+C₃)と帰還容量C_fの比で反転ゲイン $\{- (C_1 + C_2 + C_3) / C_f\}$ が得られる。

[0052] したがって、図9に示す状態では、対応する垂直信号線の信号V_iの変化分Δv_iによる増幅出力、すなわち、1本の垂直信号線の非加算状態の信号が、出力信号V_{out}として得られる。

[0053] なお、本実施形態における増幅部CAにおいて、入力容量C₁~C₃を単一の入力容量とし、その単一の入力容量を所定の垂直信号線に固定して接続

するように変形した増幅部が、いわゆるカラムアンプとして知られている。本実施形態における信号φCARSTのタイミングは、その公知のカラムアンプと同様のタイミングで行えばよいので、その説明は省略する。この点は、図10の状態の場合も同じである。

[0054] 上述の第1の信号供給状態では、対応するスイッチ群のスイッチS4～S6がオンでスイッチS1～S3がオフであるので、図10に示すように、入力容量C1～C3の入力側がそれぞれ電氣的に分離され、対応する3本の垂直信号線の信号がそれぞれ、入力電圧Va, Vb, Vcとして、入力容量C1～C3へそれぞれ入力される。例えば、増幅部CAが増幅部CA2である場合には、入力電圧Vaは垂直信号線V2の信号、入力電圧Vbは垂直信号線V4の信号、入力電圧Vcは垂直信号線V6の信号となる。

[0055] この場合、信号φCARSTがハイレベルになると、カラムアンプリセットスイッチCARSTがオンして演算増幅器OPの反転入力端子と出力端子との間が短絡し、演算増幅器OPの出力端子が所定電位Vrefにリセットされる。その後、信号φCARSTがローレベルにされてカラムアンプリセットスイッチCARSTがオフした状態において、入力電圧Va, Vb, VcがそれぞれAVa, ΔVb, AVcだけ変化すると、演算増幅器OPの出力端子の信号(出力電圧)Voutは、 $[V_{ref} - \{ (C1/Cf) \times \Delta V a \} + \{ (C2/Cf) \times \Delta V b \} + \{ (C3/Cf) \times \Delta V c \}]$ となる。このように、カラムアンプリセットスイッチCARSTがオフすると、 $\{ (C1/Cf) \times \Delta V a \}$ と $\{ (C2/Cf) \times \Delta V b \}$ と $\{ (C3/Cf) \times \Delta V c \}$ を加算した反転ゲイン $[\{ (C1/Cf) \times \Delta V a \} + \{ (C2/Cf) \times AV b \} + \{ (C3/Cf) \times AV c \}]$ が得られる。

[0056] 例えば、C1=C2=C3=Cとすると、出力電圧Voutは、 $[V_{ref} - \{ (C/Cf) \times (\Delta V a + \Delta V b + \Delta V c) \}]$ となり、AVaとΔVbとΔVcとを重み付けなしに加算した反転ゲインを得ることができる。

[0057] C1, C2, C3の値の関係を適宜設定することで、AVaとAVbとΔVcとを所望の重み係数による重み付け加算を行うことができる。例えば、

$C_1 = C_3 = C$ かつ $C_2 = \alpha \cdot C$ ($\alpha > 1$) とすれば、 ΔV_a 及び ΔV_o に比べて ΔV_b の重みづけを重くした重みづけ加算を行うことができる。この場合、加算する p 本 (本実施形態では、3本) の垂直信号線のうち、それらの中央に位置する垂直信号線の信号が供給される入力容量 C_2 の容量値は、上述の p 本の垂直信号線のうちのそれらの中央に位置する垂直信号線の信号が供給される入力容量 C_1 , C_3 の容量値よりも大きい設定されることになる。この場合、加算後の信号の重心に存在する中央の垂直線信号の信号の重み付けが中央から遠い位置の垂直信号線の信号よりも重くされるので、加算後の画質の向上を図ることができる。もっとも、これに限らず、例えば、 $C_1 = C_2 = C_3$ としてもよい。

[0058] このように、図10に示す状態では、対応する3本の垂直信号線の信号 V_a , V_b , V_o の変化分 ΔV_a , ΔV_b , ΔV_c の重み付けあり又は重み付けなしの加算による増幅出力、すなわち、3本の垂直信号線の加算状態の信号が、出力信号 V_{out} として得られる。

[0059] ここで、図6を参照する。本実施形態では、図6にその一部を示すように、上側信号出力回路24は、OB画素部21Bの偶数列目の垂直信号線 V_{k+2} , V_{k+4} , \dots , V_m にそれぞれ対応して設けられた、各々がスイッチ $S_1 \sim S_6$ からなる $\{(m/2) - (k/2)\}$ 個のスイッチ群及び $\{(m/2) - (k/2)\}$ 個の増幅部 $CA_{(k/2)+1} \sim CA_{(m/2)}$ を有している。これらは、OB画素OB用であり、図5に関連して説明した有効画素部21Aの偶数列目の垂直信号線 V_2 , V_4 , \dots , V_k にそれぞれ対応して設けられた、各々がスイッチ $S_1 \sim S_6$ からなる $k/2$ 個のスイッチ群及び $k/2$ 個の増幅部 $CA_1 \sim CA_{(k/2)}$ と、それぞれ同様に構成されている。

[0060] ただし、本実施形態では、有効画素PXについては水平画素加算と水平画素非加算とを切り替えるのに対し、OB画素OBについては常に、水平画素非加算として、OB画素OBの全列の信号を読み出すように構成されている。

[0061] すなわち、0 B画素用スイッチ群では、スイッチS 1～S 3のゲートに固定的にハイレベルが印加されて常時スイッチS 1～S 3がオンするとともに、スイッチS 4～S 6のゲートに固定的にローレベルが印加されて常時スイッチS 4～S 6がオフする。これにより、0 B画素用増幅部CA (k/ 2) + 1～CA (m/ 2) は、図9に示す非加算状態に固定されている。なお、これと同じ電氣的接続状態を実現するべく、0 B画素用スイッチ群を取り除いて、オン状態のスイッチS 1～S 3で接続される箇所を配線で接続してもよい。しかし、この場合には、回路の均一性が低下し、信号にオフセット等が生じ易いので、本実施形態のように0 B画素用スイッチ群を設けることが好ましい。

[0062] また、0 B画素用増幅部CA (k/ 2) + 1～CA (m/ 2)の演算増幅器OPには、作動制御信号φSTBY 1～φSTBY 3とは独立した作動制御信号φSTBY_0Bが供給されており、0 B画素用増幅部CA (k/ 2) + 1～CA (m/ 2)を、前述した増幅部CA 1～CA (k/ 2)から独立して、常時作動状態にし得るようになっている。

[0063] 図7に示すように、上側信号出力回路24は、前述した増幅部CA 1～CA (m/ 2)にそれぞれ対応して設けられたサンプリング部CDS 1～CDS (m/ 2)と、水平走査回路31と、水平信号線32N, 32Sと、水平線リセットトランジスタRTHS, RTHNと、出力アンプAPS, APNとを有している。

[0064] 水平走査回路31は、撮像制御部4の制御下で、サンプリング部CDS 1～CDS (m/ 2)の各々毎にあるいはそのうちの選択されたもの毎に、水平走査信号φHを出力し、水平走査の制御を行う。φHに付した(m/ 2)はm列目の信号であることを示している。

[0065] サンプリング部CDS 1～CDS (m/ 2)には、対応する増幅部CA 1～CA (m/ 2)の演算増幅器OPの出力端子が接続されている。各サンプリング部CDS 1～CDS (m/ 2)は、第1の容量CSと、第2の容量CNとを有している。本実施形態では、第1の容量CSは、光信号等を蓄積す

る容量である。第2の容量 C_N は、上述の光信号等から差し引くべきノイズ成分を含む差分用信号を蓄積する容量である。また、各サンプリング部 $CDS_1 \sim CDS(m/2)$ は、第1及び第2の入カスイッチ TVS, TVN と、第1及び第2の出カスイッチ THS, THN とを有している。各サンプリング部 $CDS_1 \sim CDS(m/2)$ は、対応する増幅部 $CA_1 \sim CA(m/2)$ の出力信号 V_{out} を制御信号 ϕ_{TVN}, ϕ_{TVS} に従ってサンプリングして保持するとともに、当該保持された信号を水平走査回路31からの水平走査信号 ϕ_H に従って水平信号線32N, 32Sへ供給する。水平信号線32N, 32Sに出力された光信号等及び差分用信号はそれぞれ出力アンプ APS, APN を介して増幅され、図1中の信号処理部5へ出力される。信号処理部5は、出力アンプ APS, APN の出力間の差分を、差動アンプ等によって得る。これにより相関2重サンプリングが実現される。なお、そのような差動アンプ等は、固体撮像素子3に搭載してもよい。このサンプリング部 $CDS_1 \sim CDS(m/2)$ は、増幅部 $CA_1 \sim CA(m/2)$ のオフセットを取り除くために設けられている。なお、水平線リセットトランジスタ $RTHS, RTHN$ は水平信号線32S, 32Nをそれぞれ水平線リセット制御信号 ϕ_{RTH} に従って所定タイミングで所定電位 V_{ref0} にリセットする。

[0066] このようなサンプリング部 $CDS_1 \sim CDS(m/2)$ 自体については、公知であるので、その詳細な説明は省略する。

[0067] 図面には示していないが、図2中の下側信号出力回路25は、上側信号出力回路24を上下反転させた回路である。ただし、下側信号出力回路25では、上側信号出力回路24において偶数列目の垂直信号線 V_2, V_4, \dots, V_m にそれぞれ接続されている箇所は、画素部21において奇数列目の垂直信号線 V_1, V_3, \dots, V_{m-1} にそれぞれ接続される。

[0068] 本実施形態では、このように、信号出力回路が上側信号出力回路24と下側信号出力回路25とに分けられているので、スペースを有効に活用することができるとともに、両者の処理を並行して行うことで処理の高速化を図る

ことができる。もっとも、本発明では、信号出力回路を上側又は下側のいずれか一方側にのみ配置してもよい。

[0069] 次に、図2に示す固体撮像素子3の動作例について説明する。

[0070] 本実施形態では、通常の本撮影時（静止画撮影時）などにおいて、全画素PXの信号を水平画素非加算で読み出す動作モード（以下、「水平画素非加算読み出しモード」と呼ぶ。）が行われる。

[0071] 図11は、図2に示す固体撮像素子3の水平画素非加算読み出しモードの特徴的な動作を模式的に示す動作説明図である。図12は、図2に示す固体撮像素子3の水平画素非加算読み出しモードでの制御信号の状態を示すタイミングチャートである。

[0072] 水平画素非加算読み出しモードでは、図12に示すように、上側及び下側の（上側信号出力回路24及び下側信号出力回路25の）制御信号 ϕ_N がハイレベルに維持される一方で、上側及び下側の制御信号 ϕ_1 、 ϕ_2 、 ϕ_3 がローレベルに維持される。したがって、上側及び下側の有効画素用増幅部CA1~CA(k/2)はいずれも、図9に示す非加算状態に維持される。上側及び下側のOB画素用増幅部CA(k/2)+1~CA(m/2)は、そもそも図9に示す非加算状態に固定されている。

[0073] 水平画素非加算読み出しモードでは、図11からも理解できるように、偶数列目の垂直信号線V2, V4, ..., Vmが、上側の増幅部CA1~CA(m/2)の、図9に示す非加算状態の入力部に、それぞれ接続される。また、水平画素非加算読み出しモードでは、図11からも理解できるように、奇数列の垂直信号線V1, V3, ..., Vm-1が、下側の増幅部CA1~CA(m/2)の、図9に示す非加算状態の入力部に、それぞれ接続される。

[0074] また、水平画素非加算読み出しモードでは、図12に示すように、上側及び下側の作動制御信号 ϕ_{STBY1} ~ ϕ_{STBY3} 、 $\phi_{STBY-OB}$ がローレベルに維持され、上側及び下側の全ての増幅部CA1~CA(m/2)は作動状態に維持される。

[0075] そして、水平画素非加算読み出しモードでは、撮像制御部4による制御下

で垂直走査回路 23 によって、1 行目から n 行目まで順次 1 行ずつ読み出し対象として選択され、読み出し対象の行の各画素 P_X 、 O_B の信号が、対応する列の垂直信号線 $V_1 \sim V_m$ に出力される。

[0076] 図 11 に示すように、奇数行目が読み出し対象となっている場合には、偶数列目の垂直信号線 V_2, V_4, \dots, V_m には、対応する列の G_r 画素 (G_r カラーフィルタが設けられた有効画素 P_X 及び O_B 画素 O_B) の信号が出力され、奇数列目の垂直信号線 V_1, V_3, \dots, V_{m-1} には、対応する列の R 画素の信号が出力される。偶数列目の垂直信号線 V_2, V_4, \dots, V_m に出力された G_r 画素の信号は、図 9 に示す非加算状態となっていてかつ作動状態である上側の増幅部 $CA_1 \sim CA_{(m/2)}$ によって増幅された後に、上側のサンプリング部 $CDS_1 \sim CDS_{(m/2)}$ によりサンプリングされた後に、このサンプリングされた全ての G_r 画素の信号が上側の水平走査回路 31 によって順次出力アンプ APS, APN から出力される。奇数列目の垂直信号線 V_1, V_3, \dots, V_{m-1} に出力された R 画素の信号は、図 9 に示す非加算状態となっていてかつ作動状態である下側の増幅部 $CA_1 \sim CA_{(m/2)}$ によって増幅された後に、下側のサンプリング部 $CDS_1 \sim CDS_{(m/2)}$ によりサンプリングされた後に、このサンプリングされた全ての R 画素の信号が下側の水平走査回路 31 によって順次出力アンプ APS, APN から出力される。

[0077] 図 11 に示すように、偶数行目が読み出し対象となっている場合には、偶数列目の垂直信号線 V_2, V_4, \dots, V_m には、対応する列の B 画素の信号が出力され、奇数列目の垂直信号線 V_1, V_3, \dots, V_{m-1} には、対応する列の G_b 画素の信号が出力される。偶数列目の垂直信号線 V_2, V_4, \dots, V_m に出力された B 画素の信号は、図 9 に示す非加算状態となっていてかつ作動状態である上側の増幅部 $CA_1 \sim CA_{(m/2)}$ によって増幅された後に、上側のサンプリング部 $CDS_1 \sim CDS_{(m/2)}$ によりサンプリングされた後に、このサンプリングされた全ての B 画素の信号が上側の水平走査回路 31 によって順次出力アンプ APS, APN から出力される。奇数列

目の垂直信号線 V_1, V_3, \dots, V_{m-1} に出力された G_b 画素の信号は、図 9 に示す非加算状態となっていてかつ作動状態である下側の増幅部 $CA_1 \sim CA_{(m/2)}$ によって増幅された後に、下側のサンプリング部 $CDS_1 \sim CDS_{(m/2)}$ によりサンプリングされた後に、このサンプリングされた全ての G_b 画素の信号が下側の水平走査回路 31 によって順次出力アンプ APS, APN から出力される。

[0078] このようにして、水平画素非加算読み出しモードでは、全ての画素 PX, OB の信号を水平加算することなく読み出すことができる。

[0079] 本実施形態では、電子ビューファインダーモード時や動画撮影時などにおいて、有効画素 PX の信号を水平画素加算して読み出す動作モード（以下、「水平画素加算読み出しモード」と呼ぶ。）が行われる。

[0080] 図 13 は、図 2 に示す固体撮像素子 3 の水平画素加算読み出しモードの特徴的な動作を模式的に示す動作説明図である。図 14 は、図 2 に示す固体撮像素子 3 の水平画素加算読み出しモードでの制御信号の状態を示すタイミングチャートである。

[0081] 水平画素加算読み出しモードでは、図 14 に示すように、上側及び下側の制御信号 ϕ_N がローレベルに維持される。したがって、上側及び下側の有効画素用増幅部 $CA_1 \sim CA_{(k/2)}$ はいずれも、図 10 に示す加算状態に維持される。一方、上側及び下側の OB 画素用増幅部 $CA_{(k/2)+1} \sim CA_{(m/2)}$ は、そもそも図 9 に示す非加算状態に固定されている。

[0082] 水平画素加算読み出しモードでは、上側の制御信号 ϕ_2 がハイレベルに維持され、上側の制御信号 ϕ_1, ϕ_3 がローレベルに維持され、これに応じて、上側の有効画素用増幅部 CA_2, CA_5, CA_8, \dots で加算される垂直信号線の信号が定まり、例えば、上側の有効画素用増幅部 CA_2 では垂直信号線 V_2, V_4, V_6 の信号が加算される。一方、下側の制御信号 ϕ_1 がハイレベルに維持され、下側の制御信号 ϕ_2, ϕ_3 がローレベルに維持され、これに応じて、下側の有効画素用増幅部 CA_1, CA_4, CA_7, \dots で加算される垂直信号線の信号が定まり、例えば、下側の有効画素用増幅部 CA_4 では垂

直信号線 V_5 , V_7 , V_9 の信号が加算される。

[0083] 水平画素加算読み出しモードでは、図 14 に示すように、上側の制御信号 $OSTBY_2$, $\phi STBY_0B$ がローレベルに維持され、上側の $\phi STBY_1$, $\phi STBY_3$ がハイレベルに維持される。したがって、上側信号出力回路 24 では、有効画素部 21A に関しては、有効画素用増幅部 CA_2 , CA_5 , CA_8 , …のみが作動状態に維持され、残りの有効画素用増幅部 CA_1 , CA_3 , CA_4 , CA_6 , CA_7 , CA_9 , …は作動停止状態に維持される。上側の $0B$ 画素用増幅部 $CA(k/2) + 1 \sim CA(m/2)$ は、作動状態に維持される。

[0084] 水平画素加算読み出しモードでは、図 14 に示すように、下側の制御信号 $OSTBY_1$, $\phi STBY_0B$ がローレベルに維持され、下側の $\phi STBY_2$, $\phi STBY_3$ がハイレベルに維持される。したがって、下側信号出力回路 25 では、有効画素部 21A に関しては、有効画素用増幅部 CA_1 , CA_4 , CA_7 , …のみが作動状態に維持され、残りの有効画素用増幅部 CA_2 , CA_3 , CA_5 , CA_6 , CA_8 , CA_9 , …は作動停止状態に維持される。下側の $0B$ 画素用増幅部 $CA(k/2) + 1 \sim CA(m/2)$ は、作動状態に維持される。

[0085] そして、水平画素加算読み出しモードでは、撮像制御部 4 による制御下で垂直走査回路 23 によって、1 行目から n 行目まで順次 1 行ずつ読み出し対象として選択され、読み出し対象の行の各画素 PX , OB の信号が、対応する列の垂直信号線 $V_1 \sim V_m$ に出力される。

[0086] 図 13 に示すように、奇数行目が読み出し対象となっている場合には、偶数列目の垂直信号線 V_2 , V_4 , … , V_m には、対応する列の G_r 画素 (G_r カラーフィルタが設けられた有効画素 PX 及び $0B$ 画素 OB) の信号が出力され、奇数列目の垂直信号線 V_1 , V_3 , … , V_{m-1} には、対応する列の R 画素の信号が出力される。

[0087] 偶数列目の垂直信号線 V_2 , V_4 , … , V_k に出力された G_r 画素の信号は、図 10 に示す加算状態となっていてかつ作動状態にある上側の有効画素

用増幅部 CA_2 , CA_5 , CA_8 , … によって、互いに重複しない3つの G_r 画素の信号ずつ加算される。図 13 から理解できるように、加算後の各 G_r 画素の重心位置同士の行方向の間隔は等ピッチである。偶数列目の垂直信号線 V_{k+2} , … , V_m に出力された G_r 画素の信号は、図 9 に示す非加算状態となっていてかつ作動状態である上側の OB 画素用 $CA_{(k/2)+1} \sim CA_{(m/2)}$ によって増幅される。これらの有意の信号を含む上側の増幅部 $CA_1 \sim CA_{(m/2)}$ の出力信号は、上側のサンプリング部 $CDS_1 \sim CDS_{(m/2)}$ によりサンプリングされた後に、このサンプリングされた信号が上側の水平走査回路 31 によつて順次出力アンプ APS , APN から出力される。このとき、上側の水平走査回路 31 は、このサンプリングされた全ての信号を出力させる (全列読み出しする) ようにしてもよいし、上側の有効画素用増幅部 CA_2 , CA_5 , CA_8 , … の出力信号 (G_r 画素の加算信号) と上側 OB 画素用 $CA_{(k/2)+1} \sim CA_{(m/2)}$ の出力信号 (G_r 画素の加算信号) のみを選択的に出力させる (列選択読み出しする) ようにしてもよい。前者の場合は、後段の回路で不要信号は使用しなければよい。

[0088] 奇数列目の垂直信号線 V_1 , V_3 , … , V_{k-1} に出力された R 画素の信号は、図 10 に示す加算状態となっていてかつ作動状態である下側の有効画素用増幅部 CA_1 , CA_4 , CA_7 , … によって、互いに重複しない3つの R 画素の信号ずつ加算される。図 13 から理解できるように、加算後の各 R 画素の重心位置同士の行方向の間隔は等ピッチであるとともに、加算後の各 R 画素の信号の重心位置と前述した加算後の各 G_r 画素の信号の重心位置との間隔も等ピッチである。奇数列目の垂直信号線 V_{k+1} , … , V_{m-1} に出力された R 画素の信号は、図 9 に示す非加算状態となっていてかつ作動状態である下側の OB 画素用 $CA_{(k/2)+1} \sim CA_{(m/2)}$ によって増幅される。これらの有意の信号を含む下側の増幅部 $CA_1 \sim CA_{(m/2)}$ の出力信号は、下側のサンプリング部 $CDS_1 \sim CDS_{(m/2)}$ によりサンプリングされた後に、このサンプリングされた信号が下側の水平走査回路

3 1 によって順次出力アンプ A P S , A P N から出力される。このとき、下側の水平走査回路 3 1 は、このサンプリングされた全ての信号を出力させる（全列読み出しする）ようにしてもよいし、下側の有効画素用増幅部 C A 1 , C A 4 , C A 7 , … の出力信号（R画素の加算信号）と下側の O B 画素用 C A (k / 2) + 1 ~ C A (m / 2) の出力信号（R画素の加算信号）のみを選択的に出力させる（列選択読み出しする）ようにしてもよい。前者の場合は、後段の回路で不要信号は使用しなければよい。

[0089] 図 1 3 に示すように、偶数列目が読み出し対象となっている場合には、偶数列目の垂直信号線 V 2 , V 4 , … , V m には、対応する列の B 画素の信号が出力され、奇数列目の垂直信号線 V 1 , V 3 , … , V m _ 1 には、対応する列の G b 画素の信号が出力される。

[0090] 偶数列目の垂直信号線 V 2 , V 4 , … , V k に出力された B 画素の信号は、図 1 0 に示す加算状態となっていてかつ作動状態にある上側の有効画素用増幅部 C A 2 , C A 5 , C A 8 , … によって、互いに重複しない 3 つの B 画素の信号ずつ加算される。図 1 3 から理解できるように、加算後の各 B 画素の重心位置同士の行方向の間隔は等ピッチである。偶数列目の垂直信号線 V k + 2 , … , V m に出力された B 画素の信号は、図 9 に示す非加算状態となっていてかつ作動状態である上側の O B 画素用 C A (k / 2) + 1 ~ C A (m / 2) によって増幅される。これらの有意の信号を含む上側の増幅部 C A 1 ~ C A (m / 2) の出力信号は、上側のサンプリング部 C D S 1 ~ C D S (m / 2) によりサンプリングされた後に、このサンプリングされた信号が上側の水平走査回路 3 1 によって順次出力アンプ A P S , A P N から出力される。このとき、上側の水平走査回路 3 1 は、このサンプリングされた全ての信号を出力させる（全列読み出しする）ようにしてもよいし、上側の有効画素用増幅部 C A 2 , C A 5 , C A 8 , … の出力信号（G r 画素の加算信号）と上側 O B 画素用 C A (k / 2) + 1 ~ C A (m / 2) の出力信号（B 画素の加算信号）のみを選択的に出力させる（列選択読み出しする）ようにしてもよい。前者の場合は、後段の回路で不要信号は使用しなければよい。

[0091] 奇数列目の垂直信号線 V_1, V_3, \dots, V_{k-1} に出力された G b 画素の信号は、図 10 に示す加算状態となっていてかつ作動状態である下側の有効画素用増幅部 CA_1, CA_4, CA_7, \dots によって、互いに重複しない 3 つの G b 画素の信号ずつ加算される。図 13 から理解できるように、加算後の各 G b 画素の重心位置同士の間隔は等ピッチであるとともに、加算後の各 G b 画素の信号の重心位置と前述した加算後の各 B 画素の信号の重心位置との間隔も等ピッチである。奇数列目の垂直信号線 V_{k+1}, \dots, V_{m-1} に出力された G b 画素の信号は、図 9 に示す非加算状態となっていてかつ作動状態である下側の O B 画素用 $CA_{(k/2)+1} \sim CA_{(m/2)}$ によって増幅される。これらの有意の信号を含む下側の増幅部 $CA_1 \sim CA_{(m/2)}$ の出力信号は、下側のサンプリング部 $CDS_1 \sim CDS_{(m/2)}$ によりサンプリングされた後に、このサンプリングされた信号が下側の水平走査回路 31 によって順次出力アンプ APS, APN から出力される。このとき、下側の水平走査回路 31 は、このサンプリングされた全ての信号を出力させる（全列読み出しする）ようにしてもよいし、下側の有効画素用増幅部 CA_1, CA_4, CA_7, \dots の出力信号（G b 画素の加算信号）と下側の O B 画素用 $CA_{(k/2)+1} \sim CA_{(m/2)}$ の出力信号（G b 画素の加算信号）のみを選択的に出力させる（列選択読み出しする）ようにしてもよい。前者の場合は、後段の回路で不要信号は使用しなければよい。

[0092] このようにして、水平画素加算読み出しモードでは、有効画素 PX の信号を水平加算して読み出すことができる一方で、全ての O B 画素 O B の信号を水平画素加算することなく読み出すことができる。

[0093] このようにして読み出した信号から最終的な動画像等を得るには、例えば、図 1 中の信号処理部 5 あるいは画像処理部 13 で、垂直方向の 3 画素加算処理を行ってもよい。あるいは、前述した例では、垂直走査回路 23 によって 1 行ずつ読み出されているが、3 行おきに読み出し、垂直方向は間引き読み出ししてもよい。あるいは、固体撮像素子 3 を垂直方向の画素加算し得るように構成しておき、垂直方向も画素加算読み出ししてもよい。これらの点

は、後述する第2の実施形態についても同様である。

- [0094] なお、本実施形態では、水平画素非加算読み出しモード及び水平画素加算読み出しモードのいずれにおいても、制御信号 $\phi 3$ がローレベルに維持されているので、それに対応するスイッチ $S 4 \sim S 6$ (図5参照)を取り除いてもよい。しかし、この場合には、回路の均一性が低下し、信号にオフセット等が生じ易いので、本実施形態のように制御信号 $\phi 3$ に対応するスイッチ $S 4 \sim S 6$ を設けることが好ましい。
- [0095] 本実施形態によれば、増幅部 $C 1 \sim C k$ が増幅機能のみならず水平画素加算機能 (図10に示す加算状態の機能)をも担うので、水平方向の画素信号の加算を行う専用の加算回路を用いることなく、水平方向の画素信号を加算することができる。
- [0096] また、本実施形態によれば、水平画素加算読み出しモードにおいて、必要な信号の処理に関与しない増幅部 (上側の有効画素用増幅部 $C A 1, C A 3, C A 4, C A 6, C A 7, C A 9, \dots$ 及び下側の有効画素用増幅部 $C A 2, C A 3, C A 5, C A 6, C A 8, C A 9, \dots$)は、消費電力の少ない動作停止状態に維持されるので、低消費電力化を図ることができる。
- [0097] さらに、本実施形態では、前述したように、水平画素加算読み出しモードにおいて、加算後の各色の画素の重心位置同士の行方向の間隔は等ピッチであるとともに、加算後の異なる色の画素の重心位置同士の行方向の間隔は等ピッチである。したがって、本実施形態によれば、モアレや偽色が発生し難い。
- [0098] ところで、上述の水平画素加算読み出しモードを次のように変形してもよい。すなわち、上側及び下側の制御信号 ϕN をローレベルに維持し、上側及び下側の制御信号 $\phi 1 \sim \phi 3$ をハイレベルに維持し、上側及び下側の制御信号 $\phi S T B Y 1 \sim \phi S T B Y 3, \phi S T B Y_0 B$ をローレベルに維持してもよい。
- [0099] この場合、同色のカラーフィルタが設けられた p 列 (本例では3列)ずつの画素であって行方向に隣り合う P 列 (本例では3列)の画素からの信号で

あつて順次行方向の両側へ2列分だけずれた p 列(本例では3列)ずつの画素からの信号をそれぞれ加算した信号が、上側及び下側の有効画素用増幅部 $CA_1 \sim CA_{(k/2)}$ の各々から得られる。この場合、上側及び下側の水平走査回路31は、サンプリングされた上側及び下側の有効画素用増幅部 $CA_1 \sim CA_{(k/2)}$ の全ての出力信号を読み出すようにする。

[01 00] この変形例では、水平方向に関して画像縮小効果は得られないものの、水平方向に関して光学ローパスフィルタ効果と同様の効果を得ることができる。

[01 01] < 第2の実施形態 >

図15は、第2の実施形態による電子カメラで用いられる固体撮像素子の上側信号出力回路24の一部を示す回路図であり、図5に対応している。図16は、第2の実施形態による電子カメラで用いられる固体撮像素子の上側信号出力回路24の他の部分を示す回路図であり、図6に対応している。図15及び図16において、図5及び図6中の要素と同一又は対応する要素には同一符号を付し、その重複する説明は省略する。

[01 02] 本実施形態が上述の第1の実施形態と異なる所は以下に説明する点である。

[01 03] 本実施形態では、上側信号出力回路24において、 $m/2$ 個の増幅部 $CA_1 \sim CA_{(m/2)}$ にそれぞれ対応し各々がスイッチ $S_1 \sim S_6$ からなる $m/2$ 個のスイッチ群にそれぞれ対応して、各々がスイッチ $S_7 \sim S_9$ からなる $m/2$ 個の垂直線選択用スイッチ群(ライン選択部)が追加されている。

[01 04] 各垂直線選択用スイッチ群のスイッチ $S_7 \sim S_9$ は、上述の第1の実施形態において上側信号出力回路24において偶数列の各垂直信号線 V_2, V_4, \dots, V_m に接続されている箇所を、当該垂直信号線、当該垂直信号線の1本前の垂直信号線及び当該垂直信号線の2本後の垂直信号線のいずれかに選択的に接続し得るように設けられている。

[01 05] 例えば、上側信号出力回路24において増幅部 CA_1 に対応する垂直線選択スイッチ群のスイッチ $S_7 \sim S_9$ は、上述の第1の実施形態において上側

信号出力回路 24 において垂直信号線 V 2 に接続されている箇所を、当該垂直信号線 V 2、当該垂直信号線 V 2 の 1 本前の垂直信号線 V 1 及び当該垂直信号線 V 2 の 2 本後の垂直信号線 V 4 のいずれかに選択的に接続し得るように設けられている。この垂直線選択スイッチ群のスイッチ S 7 ~ S 9 のうちのスイッチ S 7 が選択的にオンすると、上述の第 1 の実施形態において上側信号出力回路 24 において垂直信号線 V 2 に接続されている箇所を、選択肢の中で最も 1 列目側の垂直信号線 V 1 に選択的に接続する。この垂直線選択スイッチ群のスイッチ S 7 ~ S 9 のうちのスイッチ S 8 が選択的にオンすると、上述の第 1 の実施形態において上側信号出力回路 24 において垂直信号線 V 2 に接続されている箇所を、選択肢の中で 2 番目に 1 列目側の垂直信号線 V 2 に選択的に接続する。この垂直線選択スイッチ群のスイッチ S 7 ~ S 9 のうちのスイッチ S 9 が選択的にオンすると、上述の第 1 の実施形態において上側信号出力回路 24 において垂直信号線 V 2 に接続されている箇所を、選択肢の中で 3 番目に 1 列目側の垂直信号線 V 4 に選択的に接続する。

[0106] また、例えば、上側信号出力回路 24 において増幅部 CA 2 に対応する垂直線選択スイッチ群のスイッチ S 7 ~ S 9 は、上述の第 1 の実施形態において上側信号出力回路 24 において垂直信号線 V 4 に接続されている箇所を、当該垂直信号線 V 4、当該垂直信号線 V 4 の 1 本前の垂直信号線 V 3 及び当該垂直信号線 V 4 の 2 本後の垂直信号線 V 6 のいずれかに選択的に接続し得るように設けられている。この垂直線選択スイッチ群のスイッチ S 7 ~ S 9 のうちのスイッチ S 7 が選択的にオンすると、上述の第 1 の実施形態において上側信号出力回路 24 において垂直信号線 V 4 に接続されている箇所を、選択肢の中で最も 1 列目側の垂直信号線 V 3 に選択的に接続する。この垂直線選択スイッチ群のスイッチ S 7 ~ S 9 のうちのスイッチ S 8 が選択的にオンすると、上述の第 1 の実施形態において上側信号出力回路 24 において垂直信号線 V 4 に接続されている箇所を、選択肢の中で 2 番目に 1 列目側の垂直信号線 V 4 に選択的に接続する。この垂直線選択スイッチ群のスイッチ S 7 ~ S 9 のうちのスイッチ S 9 が選択的にオンすると、上述の第 1 の実施形

態において上側信号出力回路 24 において垂直信号線 V4 に接続されている箇所を、選択肢の中で 3 番目に 1 列目側の垂直信号線 V6 に選択的に接続する。

[01 07] 上述の $m/2$ 個の垂直線選択用スイッチ群の各々の群のスイッチ S7~S9 は、nMOS トランジスタで構成されている。各垂直線選択用スイッチ群のスイッチ S7 が共通に接続され、そこには、制御信号 $\phi SEL7$ が撮像制御部 4 から供給される。各垂直線選択用スイッチ群のスイッチ S8 が共通に接続され、そこには、制御信号 $\phi SEL8$ が撮像制御部 4 から供給される。各垂直線選択用スイッチ群のスイッチ S9 が共通に接続され、そこには、制御信号 $\phi SEL9$ が撮像制御部 4 から供給される。各スイッチ S7~S8 は、そのゲートに供給される制御信号 $\phi SEL7 \sim \phi SEL8$ がハイレベルの場合にオンする一方、そのゲートに供給される制御信号 $\phi SEL7 \sim \phi SEL8$ がローレベルの場合にオフする。

[01 08] 本実施形態では、下側信号出力回路 25 は、上述した上側信号出力回路 24 を単に上下反転させた回路である。

[01 09] 次に、本実施形態における固体撮像素子 3 の動作例について説明する。

[01 10] 本実施形態においても、通常の本撮影時（静止画撮影時）などにおいて、全画素 PX の信号を水平画素非加算で読み出す動作モード（以下、「水平画素非加算読み出しモード」と呼ぶ。）が行われる。

[01 11] 図 17 は、本実施形態における固体撮像素子 3 の水平画素非加算読み出しモードの特徴的な動作を模式的に示す動作説明図であり、図 11 に対応している。図 18 は、本実施形態における固体撮像素子 3 の水平画素非加算読み出しモードでの制御信号の状態を示すタイミングチャートであり、図 12 に対応している。

[01 12] 本実施形態における水平画素非加算読み出しモードが上述の第 1 の実施形態における水平画素非加算読み出しモードと異なる所は以下の点のみである。

[01 13] 本実施形態における水平画素非加算読み出しモードでは、上側及び下側の

制御信号 ϕ SEL 9 はローレベルに維持され、奇数行目が読み出し対象となっている場合には、上側の制御信号 ϕ SEL 7 をローレベルにする一方で下側の制御信号 ϕ SEL 7 をハイレベルにするとともに、上側の制御信号 ϕ SEL 8 をハイレベルにする一方で下側の制御信号 ϕ SEL 8 をローレベルにし、偶数行目が読み出し対象となっている場合には、上側の制御信号 ϕ SEL 7 をハイレベルにする一方で下側の制御信号 ϕ SEL 7 をローレベルにするとともに、上側の制御信号 ϕ SEL 8 をローレベルにする一方で下側の制御信号 ϕ SEL 8 をハイレベルにする。

[01 14] これにより、図 17 から理解できるように、図 11 と異なり、G r 画素の信号のみならず G b 画素の信号も上側の増幅部から出力され、隣接する G r 画素の信号及び G b 画素の信号が同一の上側の増幅部で処理される。したがって、本実施形態における水平画素非加算読み出しモードでは、図 11 の場合のように隣接する G r 画素の信号及び G b 画素の信号が上側と下側の互いに異なる増幅部で処理される場合に比べて、増幅部間のレベル差の影響を受け難くなる。

[01 15] 本実施形態においても、電子ビューファインダーモード時や動画撮影時などにおいて、有効画素 P X の信号を水平画素加算して読み出す動作モード（以下、「水平画素加算読み出しモード」と呼ぶ。）が行われる。

[01 16] 図 19 は、本実施形態における固体撮像素子 3 の水平画素加算読み出しモードの特徴的な動作を模式的に示す動作説明図であり、図 13 に対応している。図 20 は、本実施形態における固体撮像素子 3 の水平画素加算読み出しモードでの制御信号の状態を示すタイミングチャートであり、図 14 に対応している。

[01 17] 本実施形態における水平画素加算読み出しモードでは、図 20 に示すように、上側及び下側の制御信号 ϕ N がローレベルに維持され、上側及び下側の制御信号 ϕ 1 がハイレベルに維持され、上側及び下側の制御信号 ϕ 2 , ϕ 3 がローレベルに維持され、上側及び下側の制御信号 ϕ STBY 1 , 0 STBY _ 0 B がローレベルに維持され、上側及び下側の ϕ STBY 2 , 0 STBY

Y 3 がハイレベルに維持される。

[01 18] また、本実施形態における水平画素加算読み出しモードでは、図 20 に示すように、上側及び下側の制御信号 ϕ SEL 8 がローレベルに維持され、奇数行目が読み出し対象となっている場合には、上側の制御信号 ϕ SEL 7 をローレベルにする一方で下側の制御信号 ϕ SEL 7 をハイレベルにするとともに、上側の制御信号 ϕ SEL 9 をハイレベルにする一方で下側の制御信号 ϕ SEL 9 をローレベルにし、偶数行目が読み出し対象となっている場合には、上側の制御信号 ϕ SEL 7 をハイレベルにする一方で下側の制御信号 ϕ SEL 7 をローレベルにするとともに、上側の制御信号 ϕ SEL 9 をローレベルにする一方で下側の制御信号 ϕ SEL 9 をハイレベルにする。

[01 19] これにより、図 19 から理解できるように、図 13 と異なり、G r 画素の信号のみならず G b 画素の信号も上側の制御信号出力回路 24 から出力される。このとき、加算後の各色の画素の重心位置同士の行方向の間隔は等ピッチであるとともに、加算後の異なる色の画素の重心位置同士の行方向の間隔は等ピッチである。

[01 20] ところで、本実施形態では、上側の制御信号 ϕ SEL 8 をハイレベルに維持し、上側の制御信号 ϕ SEL 7 , ϕ SEL 9 をローレベルに維持し、下側の制御信号 ϕ SEL 7 をハイレベルに維持し、上側の制御信号 ϕ SEL 8 , ϕ SEL 9 をローレベルに維持することで、本実施形態における固体撮像素子 3 は上述の第 1 の実施形態における固体撮像素子 3 と全く同じ接続状態となる。したがって、本実施形態においても、このような接続状態を維持することで、上述の第 1 の実施形態における水平画素非加算読み出しモード及び水平画素加算読み出しモードを実現することができる。

[01 21] < 第 3 の実施形態の説明 >

図 21 は、第 3 の実施形態での固体撮像素子の構成例を示すブロック図である。第 3 の実施形態での固体撮像素子は、シリコン基板上に CMOS (相補性金属酸化膜半導体) プロセスを使用して形成された XY アドレス型の固体撮像素子である。第 3 の実施形態の固体撮像素子は、例えば、デジタルス

チルカメラやビデオカメラなどの撮像装置に実装される（なお、撮像装置の構成例は後述する）。

[01 22] また、第 3 の実施形態の固体撮像素子は、各画素の電気信号を独立に読み出す動作モード（通常読み出しモード）と、複数の画素から電気信号を混合して読み出す動作モード（混合読み出しモード）を有している。

[01 23] 固体撮像素子 1 1 1 は、画素アレイ 1 1 2 と、複数の水平制御信号線 1 1 3 と、垂直走査回路 1 1 4 と、複数の垂直信号線 1 1 5 と、第 1 信号出力回路 1 1 6 と、第 2 信号出力回路 1 1 7 と、撮像素子制御回路 1 1 8 とを有している。

[01 24] 画素アレイ 1 1 2 は、入射光を電気信号に変換する複数の画素 P X を有している。画素アレイ 1 1 2 の画素 P X は、受光面上で第 1 方向 D 1 および第 2 方向 D 2 にマトリクス状に配置されている。以下、第 1 方向 D 1 および第 2 方向 D 2 を、行方向 D 1 および列方向 D 2 ともそれぞれ称する。なお、図 2 1 では画素 P X の配列を簡略化して示すが、実際の固体撮像素子の受光面にはさらに多数の画素が配列されることはいうまでもない。

[01 25] ここで、各々の画素 P X の前面には、それぞれが異なる色成分の光を透過させる複数種類のカラーフィルタが所定の色配列で配置されている。そのため、画素 P X は、カラーフィルタでの色分解によって各色に対応する電気信号を出力する。例えば、第 3 の実施形態においては赤色（R）、緑色（G r、G b）、青色（B）のカラーフィルタが 2 行 2 列のベイヤ配列にしたがつて各画素 P X に配置されている。これにより、画素アレイ 1 1 2 は、撮像時にカラーの画像を取得することができる。以下、赤（R）、緑（G r、G b）、青（B）のフィルタを有する画素 P X を、それぞれ赤画素（R）、青画素（B）、緑画素（G r、G b）とも称する。

[01 26] 行方向 D 1 に着目した場合、例えば、画素アレイ 1 1 2 の奇数行では、赤画素（R）と、緑画素（G r）とが交互に配置されている。また、例えば、画素アレイ 1 1 2 の偶数行では、緑画素（G b）と、青画素（B）とが交互に配置されている。

- [01 27] また、列方向 D 2 に着目した場合、例えば、画素アレイ 1 1 2 の奇数列では、緑画素 (G b) と、赤画素 (R) とが交互に配置されている。また、例えば、画素アレイ 1 1 2 の偶数列では、青画素 (B) と、緑画素 (G r) とが交互に配置されている。
- [01 28] また、画素アレイ 1 1 2 の各行には、垂直走査回路 1 1 4 に接続された水平制御信号線 1 1 3 がそれぞれ配置されている。各々の水平制御信号線 1 1 3 は、垂直走査回路 1 1 4 から出力される制御信号 (後述の選択信号 ϕ S E し、リセット信号 ϕ R S T、転送信号 ϕ T X) を、行方向 D 1 に並ぶ画素群にそれぞれ供給する。
- [01 29] また、画素アレイ 1 1 2 の各列には、信号読み出し線の一例である垂直信号線 1 1 5 がそれぞれ配置されている。列方向 D 2 に配置された複数の画素 P X は、列毎に設けられた垂直信号線 1 1 5 により互いに接続されている。すなわち、画素アレイ 1 1 2 は、同じ列に配置された複数の画素 P X からの出力信号を共通の垂直信号線 1 1 5 を介して出力する。
- [01 30] なお、第 3 の実施形態では、緑画素 (G b) および赤画素 (R) に対応する奇数列の垂直信号線 1 1 5 は、図 2 1 の下側に位置する第 1 信号出力回路 1 1 6 にそれぞれ接続される。また、青画素 (B) および緑画素 (G r) に対応する偶数列の垂直信号線 1 1 5 は、図 2 1 の上側に位置する第 2 信号出力回路 1 7 にそれぞれ接続される。
- [01 31] ここで、図 2 2 を参照しつつ、画素 P X の回路構成例を説明する。
- [01 32] 画素 P X は、フォトダイオード P D と、転送トランジスタ T X と、リセットトランジスタ R S 丁と、増幅トランジスタ A M 口と、選択トランジスタ S E L と、フローティングディフュージョン F D とをそれぞれ有している。
- [01 33] フォトダイオード P D は、入射光の光量に応じて光電変換により信号電荷を生成する。転送トランジスタ T X は、転送信号 ϕ T X の高レベル期間にオンし、フォトダイオード P D に蓄積された信号電荷をフローティングディフュージョン F D に転送する。
- [01 34] 転送トランジスタ T X のソースはフォトダイオード P D であり、転送トラ

ンジスタTXのドレインはフローティングディフュージョンFDである。フローティングディフュージョンFDは、例えば、半導体基板に不純物を導入して形成された拡散領域である。なお、フローティングディフュージョンFDは、増幅トランジスタAMPのゲートと、リセットトランジスタRSTのソースとにそれぞれ接続されている。

[0135] リセットトランジスタRSTは、リセット信号 ϕ RSTの高レベル期間にオンし、フローティングディフュージョンFDを電源電圧VDDにリセットする。また、増幅トランジスタAMPは、ドレインが電源電圧VDDに接続され、ゲートがフローティングディフュージョンFDにそれぞれ接続され、ソースが選択トランジスタSELのドレインに接続されており、垂直信号線115に接続された定電流源119（図21では不図示）を負荷とするソースフォロア回路を構成する。増幅トランジスタAMPは、フローティングディフュージョンFDの電圧値に応じて、選択トランジスタSELを介して読み出し電圧を出力する。選択トランジスタSELは、選択信号 ϕ SELの高レベル期間にオンし、増幅トランジスタAMPのソースを垂直信号線115に接続する。

[0136] なお、各垂直信号線115には、垂直信号線115の電圧を所定値にクリップするクリップ回路120（図21では不図示）がそれぞれ接続されている。例えば、クリップ回路120は、クリップ電圧を生成するトランジスタMCL1と、クリップのオン/オフを制御するトランジスタMCL2とを有している。なお、クリップ回路120は、トランジスタMCL1、MCL2をカスコード接続するとともに、トランジスタMCL1のドレインを電源電圧VDDに接続し、トランジスタMCL2のソースを垂直信号線115に接続して形成される。

[0137] 図21に戻って、第1信号出力回路116および第2信号出力回路117は、画素アレイ112を隔てて上下に並列して配置されている。第1信号出力回路116は、図21の下側に配置されており、画素アレイ112の奇数列の画像信号（GbまたはR）を行方向D1に向けて色毎に読み出す回路で

ある。また、第2信号出力回路117は、図21の上側に配置されており、画素アレイ112の偶数列の画像信号(BまたはGr)を行方向D1に向けて色毎に読み出す回路である。このように、画素アレイ112の両側(上下)にそれぞれ信号出力回路を設けることで、画素アレイ112から画像信号を高速に読み出すことができる。

[0138] また、第1信号出力回路116および第2信号出力回路117は、混合読み出しモードのときに、垂直信号線115の延長方向(列方向D2)に対して交差方向(行方向D1)に配置される複数の画素PXから画像信号を混合して読み出す。なお、第3の実施形態での第1信号出力回路116および第2信号出力回路117は、混合読み出しモードのときに、行方向D1における同色3画素分の信号を混合読み出しする(混合読み出しの詳細は後述する)。

[0139] 撮像素子制御回路118は、垂直走査回路114、第1信号出力回路116、第2信号出力回路117に対して、それぞれ制御信号を供給する。

[0140] なお、上述の制御信号は、第3の実施形態の固体撮像素子が実装される撮像装置の制御部から供給されてもよい。上記の場合には、固体撮像素子111から撮像素子制御回路118を省略することができる。

[0141] 以下、図23を参照しつつ、第1信号出力回路116、第2信号出力回路117の構成例をより詳細に説明する。ここで、第2信号出力回路117は、偶数列の垂直信号線115が接続される点を除いて第1信号出力回路116と基本構成が同一である。そのため、以下の例では第1信号出力回路116の例を示し、第2信号出力回路117に関する重複説明はいずれも省略する。

[0142] 第1信号出力回路116は、混合読み出し制御部121と、コラムアンプ122と、サンプルホールト部123と、水平走査回路124とを有している。混合読み出し制御部121、コラムアンプ122、サンプルホールト部123は、1本の垂直信号線115に対してそれぞれ1組ずつ設けられる。また、水平走査回路124は、第1信号出力回路116内に1つのみ設けら

れる。

- [0143] なお、第1信号出力回路116の以下の説明では、奇数列の $3m_2$ 番目（例えば1, 4, 7番目）に対応する要素には末尾に符号aを付し、奇数列の $3m_1$ 番目（例えば2, 5, 8番目）に対応する要素には末尾に符号bを付し、奇数列の $3m$ 番目（例えば3, 6, 9番目）に対応する要素には末尾に符号cを付す（但し、 m は0を除く自然数）。
- [0144] 混合読み出し制御部121a~cは、画素PXの混合読み出しのオン/オフを切り替える回路である。例えば、通常読み出しモードの場合、混合読み出し制御部121は、画素アレイ112の所定の奇数列のみから画素PXの出力信号を読み出す。一方、混合読み出しモードの場合、混合読み出し制御部121は、画素アレイ112の奇数列のうち行方向D1に隣接する3列分の画素PXから出力信号を混合して読み出す。
- [0145] なお、混合読み出し制御部121aは、モード選択信号線 ϕN および位相選択信号線 $\phi 1$ に接続されている。混合読み出し制御部121bは、モード選択信号線 ϕN および位相選択信号線 $\phi 2$ に接続されている。混合読み出し制御部121cは、モード選択信号線 ϕN および位相選択信号線 $\phi 3$ に接続されている。そして、混合読み出しモードでの混合読み出し制御部121a~cは、位相選択信号 $\phi 1 \sim \phi 3$ を受けてそれぞれ独立に動作する。
- [0146] 上述の $3m_2$ 番目の列に対応する第1の混合読み出し制御部121aは、トランジスタMa1~Ma6と、容量Ca1~Ca3とを有している。トランジスタMa1~Ma3、トランジスタMa4~Ma6、容量Ca1~Ca3は、それぞれ3つずつ並列に配置される。
- [0147] トランジスタMa1~Ma3の各ゲートは、モード切り替えを指示する共通のモード選択信号線 ϕN にいずれも接続される。また、トランジスタMa1~Ma3の各ソースは、奇数列の $3m_2$ 番目の列に対応する垂直信号線115にいずれも接続される。
- [0148] また、トランジスタMa4~Ma6の各ゲートは、位相選択信号線 $\phi 1$ にいずれも接続されている。また、トランジスタMa4のソースは、隣接する

3 m 番目の列に対応する垂直信号線 1 1 5 に接続される。トランジスタ M a 5 のソースは、3 m_ 2 番目の列に対応する垂直信号線 1 1 5 に接続される。トランジスタ M a 6 のソースは、隣接する 3 m_ 1 番目の列に対応する垂直信号線 1 1 5 に接続される。

[0149] また、トランジスタ M a 1 , M a 4 のドレインはいずれも容量 C a 1 に接続され、トランジスタ M a 2 , M a 5 のドレインはいずれも容量 C a 2 に接続され、トランジスタ M a 3 , M a 6 のドレインはいずれも容量 C a 3 に接続される。これらの容量 C a 1 ~ C a 3 は、後段の第 1 のコラムアンプ 1 2 2 a に接続され、第 1 のコラムアンプ 1 2 2 a の入力容量となる。

[0150] 上述の 3 m_ 1 番目の列に対応する第 2 の混合読み出し制御部 1 2 1 b は、トランジスタ M b 1 ~ M b 6 と、容量 C b 1 ~ C b 3 とを有している。トランジスタ M b 1 ~ M b 3 、トランジスタ M b 4 ~ M b 6 、容量 C b 1 ~ C b 3 は、それぞれ 3 つずつ並列に配置される。

[0151] トランジスタ M b 1 ~ M b 3 の各ゲートは、上述した共通のモード選択信号線 ϕN にいずれも接続される。また、トランジスタ M b 1 ~ M b 3 の各ソースは、奇数列の 3 m_ 1 番目の列に対応する垂直信号線 1 1 5 にいずれも接続される。

[0152] また、トランジスタ M b 4 ~ M b 6 の各ゲートは、位相選択信号線 $\phi 2$ にいずれも接続されている。また、トランジスタ M b 4 のソースは、隣接する 3 m_ 2 番目の列に対応する垂直信号線 1 1 5 に接続される。トランジスタ M b 5 のソースは、3 m_ 1 番目の列に対応する垂直信号線 1 1 5 に接続される。トランジスタ M b 6 のソースは、隣接する 3 m 番目の列に対応する垂直信号線 1 1 5 に接続される。

[0153] また、トランジスタ M b 1 , M b 4 のドレインはいずれも容量 C b 1 に接続され、トランジスタ M b 2 , M b 5 のドレインはいずれも容量 C b 2 に接続され、トランジスタ M b 3 , M b 6 のドレインはいずれも容量 C b 3 に接続される。これらの容量 C b 1 ~ C b 3 は、後段の第 2 のコラムアンプ 1 2 2 b に接続され、第 2 のコラムアンプ 1 2 2 b の入力容量となる。

- [01 54] 上述の3 m 番目の列に対応する第3の混合読み出し制御部 1 2 1 c は、トランジスタ M c 1 ~ M c 6 と、容量 C c 1 ~ C c 3 とを有している。トランジスタ M c 1 ~ M c 3、トランジスタ M c 4 ~ M c 6、容量 C c 1 ~ C c 3 は、それぞれ3 つずつ並列に配置される。
- [01 55] トランジスタ M c 1 ~ M c 3 の各ゲートは、上述した共通のモード選択信号線 ϕN にいずれも接続される。また、トランジスタ M c 1 ~ M c 3 の各ソースは、奇数列の3 m 番目の列に対応する垂直信号線 1 1 5 にいずれも接続される。
- [01 56] また、トランジスタ M c 4 ~ M c 6 の各ゲートは、位相選択信号線 $\phi 3$ にいずれも接続されている。また、トランジスタ M c 4 のソースは、隣接する3 m_ 1 番目の列に対応する垂直信号線 1 1 5 に接続される。トランジスタ M c 5 のソースは、3 m 番目の列に対応する垂直信号線 1 1 5 に接続される。トランジスタ M c 6 のソースは、隣接する3 m_ 2 番目の列に対応する垂直信号線 1 1 5 に接続される。
- [01 57] また、トランジスタ M c 1、M c 4 のドレインはいずれも容量 C c 1 に接続され、トランジスタ M c 2、M c 5 のドレインはいずれも容量 C c 2 に接続され、トランジスタ M c 3、M c 6 のドレインはいずれも容量 C c 3 に接続される。これらの容量 C c 1 ~ C c 3 は、後段の第3のカラムアンプ 1 2 2 c に接続され、第3のカラムアンプ 1 2 2 c の入力容量となる。
- [01 58] カラムアンプ 1 2 2 は、例えば、増幅部の一例である演算増幅器 0 P と、帰還容量 C f と、制御スイッチ S f とを有する反転増幅器であり、垂直信号線 1 1 5 を介して画素 P X から出力される出力信号を列ごとに反転増幅する。
- [01 59] 演算増幅器 0 P の非反転入力端子には、一定の電位 V r e f __ P G A が供給される。演算増幅器 0 P の反転入力端子は、混合読み出し制御部 1 2 1 の入力容量と接続される。また、帰還容量 C f および制御スイッチ S f は、いずれも一端が演算増幅器 0 P の出力端子に接続され、いずれも他端が演算増幅器 0 P の反転入力端子に接続される。なお、カラムアンプ 1 2 2 のリセッ

トは、制御スイッチ S f をオンすることで行われる。なお、演算増幅器 O P の出力端子は、後段のサンプルホールド部 1 2 3 に接続される。

[01 60] また、演算増幅器 O P は、カラムアンプ 1 2 2 の動作を列ごとに選択的に停止させるためのスタンバイスイッチを内蔵している。例えば、上述の 3 m _ 2 番目の列に対応するカラムアンプ 1 2 2 では、演算増幅器 O P に制御信号線 ϕ S T B Y 1 がそれぞれ接続されている。上述の 3 m _ 1 番目の列に対応するカラムアンプ 1 2 2 では、演算増幅器 O P に制御信号線 ϕ S T B Y 2 がそれぞれ接続されている。上述の 3 m 番目の列に対応するカラムアンプ 1 2 2 では、演算増幅器 O P に制御信号線 ϕ S T B Y 3 がそれぞれ接続されている。すなわち、制御信号線 ϕ S T B Y 1、 ϕ S T B Y 2、 ϕ S T B Y 3 により、行方向 D 1 に隣接する各奇数列のカラムアンプ 1 2 2 には、スタンバイ期間を規定する制御信号（スタンバイ信号）がそれぞれ独立に入力される。なお、スタンバイスイッチを有する演算増幅器の回路構成例については後述する。

[01 61] サンプルホールド部 1 2 3 は、画像信号選択スイッチ M S 1、M S 2 と、ノイズ信号選択スイッチ M N 1、M N 2 と、容量 C T S、C T D とを有している。なお、スイッチ M S 1、M N 1 は例えば C M O S スイッチである。

[01 62] 例えば、画像信号選択スイッチ M S 1 は、制御信号 ϕ S i g C が高レベルの期間にオンし、カラムアンプ 1 2 2 から入力された信号を容量 C T S に出力する。また、例えば、ノイズ信号選択スイッチ M N 1 は、制御信号 ϕ D a r k C が高レベルの期間にオンし、カラムアンプ 1 2 2 から入力された信号を容量 C T D に出力する。なお、容量 C T S、C T D の他端はいずれも接地されている。

[01 63] 第 3 の実施形態の例では、制御信号線の本数を抑制するために、各サンプルホールド部 1 2 3 には、共通の制御信号線 ϕ S i g C、 ϕ D a r k C が接続されている。そのため、第 3 の実施形態では、行方向 D 1 の全体にわたって、サンプルホールド部 1 2 3 の画像信号選択スイッチ M S 1 およびノイズ信号選択スイッチ M N 1 が同じ動作をする。

- [01 64] 一方、画像信号出力スイッチMS2は、制御信号 ϕ_{GH} が高レベルの期間にオンし、容量CTSに保持された電圧を画像信号OUTSとして出力する。また、ノイズ信号出力スイッチMN2は、制御信号 ϕ_{GH} が高レベルの期間にオンし、容量CTDに保持された電圧をノイズ信号OUTNとして出力する。ここで、ノイズ信号OUTNは、例えば、画素PXがリセットトランジスタRSTによりリセットされ転送トランジスタTXが開く直前の画像信号（暗信号）である。したがって、例えば、画像信号OUTSに含まれる固定ノイズ成分及び画素のリセットノイズ成分は、画像信号OUTSからノイズ信号OUTNを減算することで除去できる。
- [01 65] 水平走査回路124は、制御信号 ϕ_{GH} を用いて、各奇数列に対応する画像信号出力スイッチMS2およびノイズ信号出力スイッチMN2を行方向D1へ順次オンし、容量CTS、CTDにそれぞれ保持された信号OUTS、OUTNを順次出力する。例えば、m列目の画素PXから読み出された信号に対応する画像信号OUTS、ノイズ信号OUTNをそれぞれ出力するとき、水平走査回路124は、制御信号 $\phi_{GH}(m)$ を高レベルに制御し、他の列の制御信号 ϕ_{GH} を低レベルに制御する。
- [01 66] 次に、図24を参照しつつ、第3の実施形態での演算増幅器OPの回路構成例を説明する。なお、図24では、帰還容量Cfおよび制御スイッチSfの図示を省略する。また、図24の例において、「VIN-P」は非反転入力端子を示し、「VIN-N」は反転入力端子を示し、「VOUT」は出力端子を示す。また、「STBY」はスタンバイ信号（0STBY1~3）を受け取るスタンバイ端子であり、「STBY-N」は上記のSTBYの負論理を受け取るスタンバイ端子である。なお、図24では、サンプルホールド部123の一部を併せて示す。
- [01 67] 図24に示す演算増幅器OPは、PMOSトランジスタT1~T4と、NMOSトランジスタT5~T9とを有している。図24に示す演算増幅器OPは、一般的なNMOS入力の演算増幅器（T1、T2、T5、T6、T8、T9の構成）に対して、それぞれスタンバイスイッチとして機能するPM

OS トランジスタ (T 3、T 4) および NMOS トランジスタ (T 7) が付加されている。なお、NMOS トランジスタ T 8、T 9 は、カスコード型電流源を構成する。

[01 68] PMOS 側のスタンバイスイッチである トランジスタ T 3、T 4 は、スタンバイ期間 (STBY が高レベルのとき) にオフとなる。上記の トランジスタ T 3、T 4 は、いずれもゲートで STBY を受けている。トランジスタ T 3 のソースは、トランジスタ T 1 のドレインおよび トランジスタ T 1、T 2 のゲートと接続されている。トランジスタ T 3 のドレインは、トランジスタ T 5 のドレインと接続されている。また、トランジスタ T 4 のソースは、トランジスタ T 2 のドレインと接続されている。トランジスタ T 4 のドレインは、トランジスタ T 6 のドレインおよび出力端子 VOUT に接続されている。

[01 69] このように、トランジスタ T 4 は、PMOS の トランジスタ T 2 と出力端子 VOUT との間に配置されており、トランジスタ T 2 を隔てて電源電圧 VDD と接続されている。なお、トランジスタ T 3 は、回路の対称性を保つために設けられている。図 24 の構成では、トランジスタ T 1、T 2 は電源電圧 VDD に直接接続されているので、演算増幅器 OP は、スタンバイスイッチとして付加された トランジスタ T 3、T 4 の抵抗による IR ドロップの影響をほぼ受けずにすむ。

[01 70] また、NMOS 側のスタンバイスイッチである トランジスタ T 7 は、スタンバイ期間 (STBY_N が低レベルのとき) にオフとなる。上記の トランジスタ T 7 は、ゲートで STBY の負論理 (STBY_N) を受けている。トランジスタ T 7 のドレインは、トランジスタ T 5、T 6 のソースとそれぞれ接続されており、トランジスタ T 6 を隔てて出力端子 VOUT と接続されている。トランジスタ T 7 のソースは、トランジスタ T 8 のドレインと接続されており、トランジスタ T 8、T 9 を隔てて接地されている。

[01 71] 上記の演算増幅器 OP では、スタンバイのときに トランジスタ T 3、T 4 がオフとなり、電源電圧 VDD から出力端子 VOUT への電流が遮断される

。また、スタンバイのときにトランジスタT7がオフとなり、出力端子VOUTからGNDへの電流が遮断される。これにより、カラムアンプ122はスタンバイ状態となる。このスタンバイ期間において、演算増幅器OPの出力端子はフローティング状態となる。よって、上述した第3の実施形態での演算増幅器OPでは、カラムアンプ122のスタンバイ期間に後段のサンプルホールド部123が動作している場合においても、演算増幅器OPからサンプルホールド部123の容量に不要な電荷の充電が行われることはない。

[0172] これに対して、PMOS側のスタンバイスイッチ（トランジスタT3、T4）がない場合を比較例として説明する（比較例の図示は省略する）。この比較例の場合、スタンバイのときにNMOS側のスタンバイスイッチがオフとなる。これにより、出力端子VOUTからGNDへの電流が遮断されて、カラムアンプ122はスタンバイ状態となる。しかし、スタンバイ期間には、電源電圧VDDからPMOSトランジスタを介して出力端子側に電流が流れこんでしまう。例えば、カラムアンプ122のスタンバイ期間に後段のサンプルホールド部123が動作している場合、比較例の構成ではサンプルホールド部123の容量に不要な電荷が充電されてしまうので、理想的なスタンバイ状態とはならないことが分かる。

[0173] 以下、第3の実施形態の固体撮像素子111での読み出し動作例を説明する。

[0174] （通常読み出しモードの場合）

図25は、通常読み出しモードでの画素アレイ112からの信号読み出しの例を示す図である。図25の例では、画素アレイ112の全ての画素から信号を読み出す場合を示すが、所定の間隔で行および列を間引きして信号を読み出してもよい。

[0175] 通常読み出しモードにおいて、画素アレイ112の奇数行の画素から信号を読み出すときには、第1信号出力回路116から赤画素（R）の信号が順次読み出されるとともに、第2信号出力回路117から緑画素（Gr）の信号が順次読み出される。また、画素アレイ112の偶数行の画素から信号を

読み出すときには、第1信号出力回路116から緑画素(Gb)の信号が順次読み出されるとともに、第2信号出力回路117から青画素(B)の信号が順次読み出される。

[0176] なお、撮像素子制御回路118は、通常読み出しモードの場合、モード選択信号 ϕN を高レベルとし、位相選択信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ およびスタンバイ信号 $\phi STBY 1$ 、 $\phi STBY 2$ 、 $\phi STBY 3$ をいずれも低レベルとする。

[0177] ここで、画素アレイ112の奇数列の画像信号を読み出す場合を説明する。図26は、通常読み出しモードでの第1信号出力回路116の動作状態を示す図である。なお、以下の動作例の説明では、高レベルを示す制御信号線と、画素PXから演算増幅器OPまでの信号が出力される信号線とを図中太線で示す。

[0178] 例えば、上述の3m_2番目の列に対応する第1の混合読み出し制御部121aでは、トランジスタMa1~Ma3がいずれもオンとなる一方で、トランジスタMa4~Ma6はいずれもオフとなる。これにより、3m_2番目の列の画素PXから信号が出力されると、その信号電荷はトランジスタMa1~Ma3を介して容量Ca1~Ca3に蓄積される。

[0179] また、各奇数列のカラムアンプ122はいずれも動作状態にあるため、画素PXから読み出された出力信号は、対応する列のカラムアンプ122で反転増幅され、後段のサンプルホールド部123に出力される。

[0180] なお、第1信号出力回路116の他の列(3m_1番目、3m番目の奇数列)や、第2信号出力回路117の各列においても、上記と同様に信号の読み出しが行われる。以上のように、通常読み出しモードでの固体撮像素子111は、各画素PXの信号をそれぞれ独立に読み出すことができる。

[0181] (混合読み出しモードの場合)

図27は、混合読み出しモードでの画素アレイ112からの信号読み出しの例を示す図である。混合読み出しモードでは、行方向D1における同色3画素分の信号を混合読み出しすることで、単純な間引き読み出しと比べて、

モアレや偽色の発生を抑制しつつ、ノイズ成分を低減した画像を得ることができる。

[0182] 上記の混合読み出しモードでは、混合読み出し時の各色画素の重心位置がベイヤ配列を維持するように、信号のサンプリング位置が決定される。

[0183] 図27において、1番目の緑画素 (G b)、赤画素 (R) の信号は1, 3列目の信号を混合して生成される (なお、図中1列目の左方向にさらに緑画素 (G b)、赤画素 (R) がある場合、これらの信号もさらに混合される)。そして、混合読み出しされた1番目の緑画素 (G b)、赤画素 (R) の重心位置は画素アレイ112の1列目となる。一方、図27において、1番目の青画素 (B)、緑画素 (G b) の信号は2, 4, 6列目の信号を混合して生成される。そして、混合読み出しされた1番目の青画素 (B)、緑画素 (G b) の重心位置は画素アレイ112の4列目となる。

[0184] 混合読み出しモードにおいて上記の読み出しを行うために、撮像素子制御回路118は、第1信号出力回路116および第2信号出力回路117のモード選択信号 ϕN をいずれも低レベルとする。また、撮像素子制御回路118は、第1信号出力回路116について、位相選択信号 $\phi 1$ とスタンバイ信号 $\phi STBY2$ 、 $\phi STBY3$ とをいずれも高レベルとし、位相選択信号 $\phi 2$ 、 $\phi 3$ とスタンバイ信号 $\phi STBY1$ とをいずれも低レベルとする。一方、撮像素子制御回路118は、第2信号出力回路117について、位相選択信号 $\phi 2$ とスタンバイ信号 $\phi STBY1$ 、 $\phi STBY3$ とをいずれも高レベルとし、位相選択信号 $\phi 1$ 、 $\phi 3$ とスタンバイ信号 $\phi STBY2$ とをいずれも低レベルとする。

[0185] ここで、画素アレイ112の奇数列の画像信号を読み出す場合を説明する。図28は、混合通常読み出しモードでの第1信号出力回路116の動作状態を示す図である。

[0186] 上記の場合、モード選択信号 ϕN は低レベルであるため、図28に示すトランジスタMa1~Ma3、Mb1~Mb3、Mc1~Mc3は、いずれもオフとなる。

- [01 87] また、位相選択信号 $\phi 1$ は高レベルであるため、図 2 8 に示す第 1 の混合読み出し制御部 1 2 1 a のトランジスタ $M a 4 \sim M a 6$ はいずれもオンとなる。
- [01 88] そのため、行方向 $D 1$ に向けて奇数列の画素 $P X$ から信号を読み出すと、 $3 m_2$ 番目の列に対応する垂直信号線 1 1 5 の信号電荷は、トランジスタ $M a 5$ を介して容量 $C a 2$ に蓄積される。また、 $3 m_1$ 番目の列に対応する垂直信号線 1 1 5 の信号電荷は、トランジスタ $M a 6$ を介して容量 $C a 3$ に蓄積される。また、 $3 m$ 番目の列に対応する垂直信号線 1 1 5 の信号電荷は、トランジスタ $M a 4$ を介して容量 $C a 1$ に蓄積される。
- [01 89] また、スタンバイ信号 $\phi S T B Y 1$ は低レベルであるため、第 1 の混合読み出し制御部 2 1 a の後段のカラムアンプ 1 2 2 は動作状態にある。そのため、容量 $C a 1 \sim C a 3$ に蓄積された同じ行の同色 3 画素分の信号電荷はまとめてカラムアンプ 1 2 2 a で反転増幅され、出力信号の混合読み出しがなされる。
- [01 90] 一方、位相選択信号 $\phi 2$ 、 $\phi 3$ は低レベルであるため、図 2 8 に示すトランジスタ $M b 4 \sim M b 6$ 、 $M c 4 \sim M c 6$ はいずれもオフになる。そのため、第 2 の混合読み出し制御部 1 2 1 b および第 3 の混合読み出し制御部 1 2 1 c からは、後段の回路に信号が出力されない。また、スタンバイ信号 $\phi S T B Y 2$ 、 $\phi S T B Y 3$ は高レベルであるため、カラムアンプ 1 2 2 b、カラムアンプ 1 2 2 c はいずれもスタンバイ状態となる (図 2 8 において、スタンバイ状態のカラムアンプ 1 2 2 b、1 2 2 c をハッチングで示す)。
- [01 91] ところで、第 3 の実施形態でのサンプルホールド部 1 2 3 は、行方向 $D 1$ の全体にわたって、共通の制御信号 $\phi S i g C$ 、 $\phi D a r k$ によって動作する。そのため、混合読み出しモードにおいて、カラムアンプ 1 2 2 b、カラムアンプ 1 2 2 c がスタンバイ状態であっても、その後段のサンプルホールド部 1 2 3 が動作する場合がある。しかし、上述するように、第 3 の実施形態のカラムアンプ 1 2 2 から後段のサンプルホールド部 1 2 3 の容量に不要な電荷の充電が行われることはない。

[01 92] なお、混合読み出しモードでの第2信号出力回路117では、第1の混合読み出し制御部121および第3の混合読み出し制御部121がスタンバイ状態となり、第2の混合読み出し制御部121で上記の混合読み出しが行われることとなる。混合読み出しモードでの第2信号出力回路117の動作は、第1信号出力回路116の動作とほぼ共通するので重複説明を省略する。

[01 93] < 第3の実施形態の変形例1 >

図29は、第3の実施形態での演算増幅器OPの回路構成例の別例を示している。

[01 94] 図29の構成は、図24に示す演算増幅器OPの変形例であって、トランジスタT1、T2とトランジスタT3、T4との位置が入れ替わっている点のみ相違する。なお、図29において、図24と共通する要素の重複説明は省略する。

[01 95] 図29の例において、トランジスタT4は、演算増幅器OPの電源電圧VDDとPMOSのトランジスタT2との間に配置されており、トランジスタT2を隔てて出力端子VOUTと接続されている。なお、トランジスタT3は、回路の対称性を保つために設けられている。

[01 96] かかる図29の構成によっても、上述の図24の構成と同様の効果を得ることができる。特に、図29の構成では、スタンバイスイッチとして付加されたトランジスタT3、T4の抵抗によるIRドロップの影響で、トランジスタT1、T2の動作点が変わる。しかし、図29の構成ではトランジスタT3、T4が電源電圧VDDに直接接続されており、トランジスタT3、T4が演算増幅器OPの出力の負荷とはならない。そのため、図29の構成によれば、図24の構成と比べて演算増幅器OPの静定時間を短縮できる。

[01 97] < 第3の実施形態の変形例2 >

図30は、第3の実施形態での演算増幅器OPの回路構成例の別例を示している。

[01 98] 図30の構成は、図29に示す演算増幅器OPの変形例であって、ダブルカスコードタイプの演算増幅器にスタンバイスイッチを設けた例である。図

30の例では、図29と同様に、トランジスタT4は、演算増幅器OPの電源電圧VDDとPMOSのトランジスタT2との間に配置されており、回路の対称性を保つためにトランジスタT3が設けられている。なお、図30において、図29と共通する要素の重複説明は省略する。

[0199] 図30の例では、トランジスタT1とトランジスタT5との間に、PMOSトランジスタT11とNMOSトランジスタT13とがそれぞれ接続されている。また、トランジスタT2とトランジスタT4との間に、PMOSトランジスタT12とNMOSトランジスタT14とがそれぞれ接続されている。なお、図30の例では、トランジスタT1、T2のゲートは、トランジスタT11、T13のドレイン間に接続されており、出力端子VOUTはトランジスタT12、T14のドレイン間に接続されている。

[0200] トランジスタT11、T12の各ゲートには、電圧VBIAS__PGAPが供給される。また、トランジスタT13、T14の各ゲートには、電圧VBIAS__PGANが供給される。スイッチトキャパシタアンプ動作時には、VBIAS__PGAP、VBIAS__PGANには独立してバイアス電圧が供給される。また、ボルテージフォロワー動作時には、トランジスタT11、T12の各ゲートにVBIAS__PGAPとして接地電圧が供給され、トランジスタT13、T14の各ゲートにVBIAS__PGANとして電源電圧が供給される。これにより、ボルテージフォロワー動作時には、トランジスタT11~T14は単なる抵抗と等価の状態となる。

[0201] かかる図30の構成例によっても、上述の図29の構成と同様の効果を得ることができる。

[0202] < 撮像装置の構成例 >

図31は、撮像装置の一例である電子カメラの構成例を示す図である。

[0203] 電子カメラは、撮像光学系131と、上記の第3の実施形態の固体撮像素子132と、アナログフロントエンド回路133（AFE回路）と、画像処理部134と、モニタ135と、記録I/F136と、制御部137と、操作部138とを有している。ここで、固体撮像素子132、アナログフロン

- トエンド回路 133、画像処理部 134、操作部 138 はそれぞれ制御部 137 と接続されている。
- [0204] 撮像光学系 131 は、例えばズームレンズやフォーカスレンズを含む複数のレンズで構成されている。なお、簡単のため、図 31 では撮像光学系 131 を 1 枚のレンズで図示する。
- [0205] 固体撮像素子 132 は、撮像光学系 131 を通過した光束による被写体の結像を撮像する。この撮像素子の出力はアナログフロントエンド回路 133 に接続されている。
- [0206] 電子カメラの撮影モードにおいて、固体撮像素子 132 は、操作部 138 の入力に応じて、不揮発性の記憶媒体 (139) への記録を伴う記録用静止画像や動画像を撮影する。また、固体撮像素子 132 は、記録用静止画像の撮影待機時にも所定間隔ごとに観測用の画像 (スルー画像) を連続的に撮影する。時系列に取得されたスルー画像のデータ (あるいは上記の動画像のデータ) は、モニタ 135 での動画表示や制御部 137 による各種の演算処理に使用される。なお、動画撮影時に、電子カメラはスルー画像を記録するようにしてもよい。
- [0207] アナログフロントエンド回路 133 は、パイプライン式に入力される画像信号に対して、アナログ信号処理、A/D 変換処理を順次施す回路である。アナログフロントエンド回路 133 の出力は画像処理部 134 に接続される。
- [0208] 画像処理部 134 は、アナログフロントエンド回路 133 から入力されるデジタルの画像信号に対して画像処理 (色補間処理、階調変換処理、輪郭強調処理、ホワイトバランス調整など) を行う。なお、画像処理部 134 には、モニタ 135 および記録 I/F 136 が接続される。
- [0209] モニタ 135 は、各種の画像を表示する表示デバイスである。例えば、モニタ 135 は、制御部 137 の制御により、撮影モード下でのスルー画像の動画表示 (ビューファインダ表示) を行う。
- [0210] 記録 I/F 136 は、不揮発性の記憶媒体 139 を接続するためのコネク

タを有している。そして、記録 I / F 1 3 6 は、コネクタに接続された記憶媒体 1 3 9 に対してデータの書き込み / 読み込みを実行する。上記の記憶媒体 1 3 9 は、ハードディスクや、半導体メモリを内蔵したメモリカードなどで構成される。なお、図 3 1 では記憶媒体 1 3 9 の一例としてメモリカードを図示する。

[021 1] 制御部 1 3 7 は、電子カメラの動作を統括的に制御するプロセッサである。操作部 1 3 8 は、記録用静止画像の取得指示 (例えばリリース釦の全押し操作) をユーザから受け付ける。

[02 12] < 実施形態の補足事項 >

(補足 1) :例えば、上述の第 1、第 2 の実施形態では、増幅部 C A 1 ~ C A (m / 2) は、作動状態と作動停止状態とを切り替えられるものであったが、本発明では、増幅部 C A 1 ~ C A (m / 2) は必ずしも低消費電力の作動停止状態に切り替えられなくてもよい。

[021 3] (補足 2) :また、上述の各実施形態の固体撮像素子は、カラーフィルタの色配列がベイヤ配列である例であった。しかし、本発明では、カラーフィルタの色配列は、ベイヤ配列に限らない。本発明は、2行2列の繰り返し周期を持つ他の色配列のカラーフィルタ (例えば、マゼンタ、グリーン、シアン及びイエローを用いる補色系カラーフィルタなど) などを有する固体撮像素子や、カラーフィルタを有しないいわゆる白黒の固体撮像素子にも適用することができる。

[0214] (補足 3) :上述の第 1、第 2 の実施形態では、上述の p の数が 3 の例であった。しかし、本発明では、上述の p の数は 2 以上であればよい。もっとも、上述の p の数は、奇数であることが好ましい。上述の p の数が奇数であれば、加算後の信号重心の位置が加算前の重心の位置と一致するため、モアレ等が発生し難くなるからである。

[021 5] (補足 4) :上述の第 1、第 2 の実施形態では、固体撮像素子は水平走査回路で A P S , A P N をアナログ信号のまま出力する構成を説明した。しかし、本発明の撮像素子は、増幅部 C A それぞれに A D 変換器を配置したカラ

ム A D C 方式として、デジタル出力としてもよい。

[021 6] (補足 5) : 上述の第 3 の実施形態において、固体撮像素子は水平走査回路で O U T S , O U T N をアナログ信号のまま出力する構成を説明した。しかし、本発明の固体撮像素子は、カラムアンプ 1 1 6 のそれぞれに A D 変換器を配置したカラム A D C 方式として、デジタル出力としてもよい。その場合は、撮像装置において、アナログフロントエンド A F E 1 3 3 の代わりに、デジタルフロントエンド D F E を配置すればよい。

[021 7] (補足 6) : 上述の実施形態において、第 1 信号出力回路 1 1 6 、第 2 信号出力回路 1 1 7 にそれぞれ全ての垂直信号線 1 1 5 を接続してもよい。このとき、第 1 信号出力回路 1 1 6 、第 2 信号出力回路 1 1 7 にそれぞれカラムセレクタを設け、第 1 信号出力回路 1 1 6 、第 2 信号出力回路 1 1 7 との間で、奇数列の読み出しと偶数列の読み出しとを 1 行毎に交互に切り替えてもよい。この場合、例えば、緑画素 (G r、G b) の信号を、同じカラムアンプ 1 2 2 を介して読み出すことができるので、緑画素 (G r、G b) の信号のレベル差を小さくできる。

[021 8] (補足 7) : 上述の実施形態では、1 画素が 4 つのトランジスタで構成される例を説明した。しかし、本発明の固体撮像素子は、リセットトランジスタ R S T、増幅トランジスタ A M P および選択トランジスタ S E L を複数の画素間で共有するもの (例えば、2 画素で 5 つのトランジスタを有する 2 . 5 T r 構成、または 4 画素で 7 つのトランジスタを有する 1 . 7 5 T r 構成) であってもよい。

[021 9] 図 3 2 は、画素 P X の変形例を示している。図 3 2 に示した画素 P X の構成は、増幅トランジスタ A M P、選択トランジスタ S E L、リセットトランジスタ R S T およびフローティングディフュージョン F D が、画素アレイの列方向 D 2 に隣接する 2 画素 (P X 1 ~ P X 2) で共用されている点を除いて、上述した図 3 2 の画素 P X と同様である。なお、図に示す画素 P X について、列方向 D 2 に隣接する複数のフローティングディフュージョン F D をスイッチで接続し、さらに列方向 D 2 での加算読み出しを可能としてもよい

(この場合の図示は省略する)。

[0220] 図33は、画素PXの変形例を示している。図33に示した画素PXの構成は、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRSTおよびフローティングディフュージョンFDが、画素アレイの列方向D2に隣接する4画素(PX1~PX4)で共用されている点を除いて、上述した図32の画素PXと同様である。

[0221] (補足7) :上述の実施形態では、撮像装置の一例として電子カメラの構成を説明した。しかし、本発明の撮像装置は、固体撮像素子と各種の信号処理回路とをオンチップで一体化したものであってもよい。

[0222] 以上の詳細な説明により、実施形態の特徴点および利点は明らかになるであろう。これは、特許請求の範囲が、その精神および権利範囲を逸脱しない範囲で前述のような実施形態の特徴点および利点にまで及ぶことを意図する。また、当該技術分野において通常の知識を有する者であれば、あらゆる改良および変更に容易に想到できるはずであり、発明性を有する実施形態の範囲を前述したものに限定する意図はなく、実施形態に開示された範囲に含まれる適当な改良物および均等物によることも可能である。

符号の説明

[0223] 1…電子カメラ、21…画素部、21A…有効画素部、21B…OB画素部、PX…有効画素、OB…OB画素、CA1~CA(m/2)…増幅部、V1~Vm…垂直信号線、C1~C3…入力容量、111…固体撮像素子、112…画素アレイ、113…水平制御信号線、114…垂直走査回路、115…垂直信号線、116…第1信号出力回路、117…第2信号出力回路、118…撮像素子制御回路、119…定電流源、120…クリップ回路、121…混合読み出し制御部、122…コラムアンプ、123…サンプルホールト部、124…水平走査回路、131…撮像光学系、132…固体撮像素子、133…アナログフロントエンド回路、134…画像処理部、135…モニタ、136…記録I/F、137…制御部、138…操作部、139…記憶媒体

請求の範囲

- [請求項 1] 第 1 画素と前記第 1 画素とは異なる第 2 画素とを有する画素部と、
前記第 1 画素から読み出された第 1 画素信号が入力される第 1 容量
と前記第 2 画素から読み出された第 2 画素信号が入力される第 2 容量
と前記第 1 容量及び前記第 2 容量に応じた出力信号を出力する演算増
幅器とを有する出力部と、
を備えることを特徴とする固体撮像素子。
- [請求項 2] 請求項 1 に記載の固体撮像素子において、
前記第 1 容量の容量と前記第 2 容量の容量とは同一の容量を有する
ことを特徴とする固体撮像素子。
- [請求項 3] 請求項 1 または請求項 2 に記載の固体撮像素子において、
前記画素部は、前記第 1 画素及び第 2 画素とは異なる第 3 画素を更
に備え、
前記出力部は、前記第 3 画素から読み出された第 3 画素信号が入力
される第 3 容量を更に備え、前記演算増幅器は前記第 1 容量、前記第
2 容量及び前記第 3 容量に応じた出力信号を出力することを特徴とす
る固体撮像素子。
- [請求項 4] 請求項 3 に記載の固体撮像素子において、
前記第 3 容量の容量は、前記第 1 容量の容量及び前記第 2 容量の容
量と同一の容量を有することを特徴とする固体撮像素子。
- [請求項 5] 請求項 3 に記載の固体撮像素子において、
前記画素部は、複数の画素が行列状に配置され、かつ前記第 3 画素
は行方向において前記第 1 画素と前記第 2 画素との間に配置され、
前記第 3 容量の容量は、前記第 1 容量の容量及び前記第 2 容量の容
量よりも大きい容量を有することを特徴とする固体撮像素子。
- [請求項 6] 請求項 3 から請求項 5 のいずれか 1 項に記載の固体撮像素子におい
て、
前記第 1 画素、前記第 2 画素及び前記第 3 画素はそれぞれ同一の分

光感度を有する第 1 フィルタを含むことを特徴とする固体撮像素子。

[請求項 7]

請求項 6 に記載の固体撮像素子において、

前記画素部は、

前記第 1 フィルタとは異なる分光感度を有する第 2 フィルタを含み、前記行方向において前記第 1 画素と前記第 3 画素との間に配置される第 4 画素と、

前記第 1 フィルタとは異なる分光感度を有する第 3 フィルタを含み、前記行方向において前記第 2 画素と前記第 3 画素との間に配置される第 5 画素と、を更に備え、

前記第 2 フィルタと前記第 3 フィルタとは同一の分光感度を有することを特徴とする固体撮像素子。

[請求項 8]

第 1 画素と前記第 1 画素とは異なる第 2 画素とを有する画素部と、

第 1 容量と第 2 容量と前記第 1 容量及び前記第 2 容量に応じた第 1 出力信号を出力する第 1 演算増幅器とを有する第 1 出力部と、

第 3 容量と第 4 容量と前記第 3 容量及び前記第 4 容量に応じた第 2 出力信号を出力する第 2 演算増幅器とを有する第 2 出力部と、

前記第 1 画素から読み出された第 1 画素信号を前記第 1 容量に入力させ、かつ前記第 2 画素から読み出された第 2 画素信号を前記第 2 容量に入力させる第 1 モードと前記第 1 画素信号を前記第 1 容量及び前記第 2 容量に入力させ、かつ前記第 2 画素信号を前記第 3 容量及び前記第 4 容量に入力させる第 2 モードとを切り替える制御部と、を備えることを特徴とする固体撮像素子。

[請求項 9]

請求項 8 に記載の固体撮像素子において、

前記第 2 出力部は、第 1 モードの場合に前記第 1 出力部よりも消費電力が低いことを特徴とする固体撮像素子。

[請求項 10]

請求項 9 に記載の固体撮像素子において、

前記第 2 演算増幅部は、電源電圧が供給される電源供給部と、前記第 2 出力信号を出力する出力部と、前記第 1 モードの場合に前記電源

供給部と前記出力部との間を非導通状態にさせ、かつ前記第2モードの場合に前記電源供給部と前記出力部との間を導通状態にさせる第1切替制御部と、を含むことを特徴とする固体撮像素子。

[請求項11]

請求項10に記載の固体撮像素子において、

前記第2演算増幅部は、接地電圧に接続される接地部と、前記第1モードの場合に前記出力部と前記接地部との間を非導通状態にさせ、かつ前記第2モードの場合に前記出力部と前記接地部との間を導通状態にさせる第2切替制御部と、を含むことを特徴とする固体撮像素子。

[請求項12]

請求項11に記載の固体撮像素子において、

前記第1切替制御部は、PMOSで形成され、

前記第2切替制御部は、NMOSで形成されていることを特徴とする固体撮像素子。

[請求項13]

請求項8から請求項12のいずれか1項に記載の固体撮像素子において、

前記第1容量の容量と前記第2容量の容量とは同一の容量を有し、

前記第3容量の容量と前記第4容量の容量とは同一の容量を有することを特徴とする固体撮像素子。

[請求項14]

請求項8から請求項12のいずれか1項に記載の固体撮像素子において、

前記第1容量の容量と前記第2容量の容量とは異なる容量を有し、

前記第3容量の容量と前記第4容量の容量とは異なる容量を有することを特徴とする固体撮像素子。

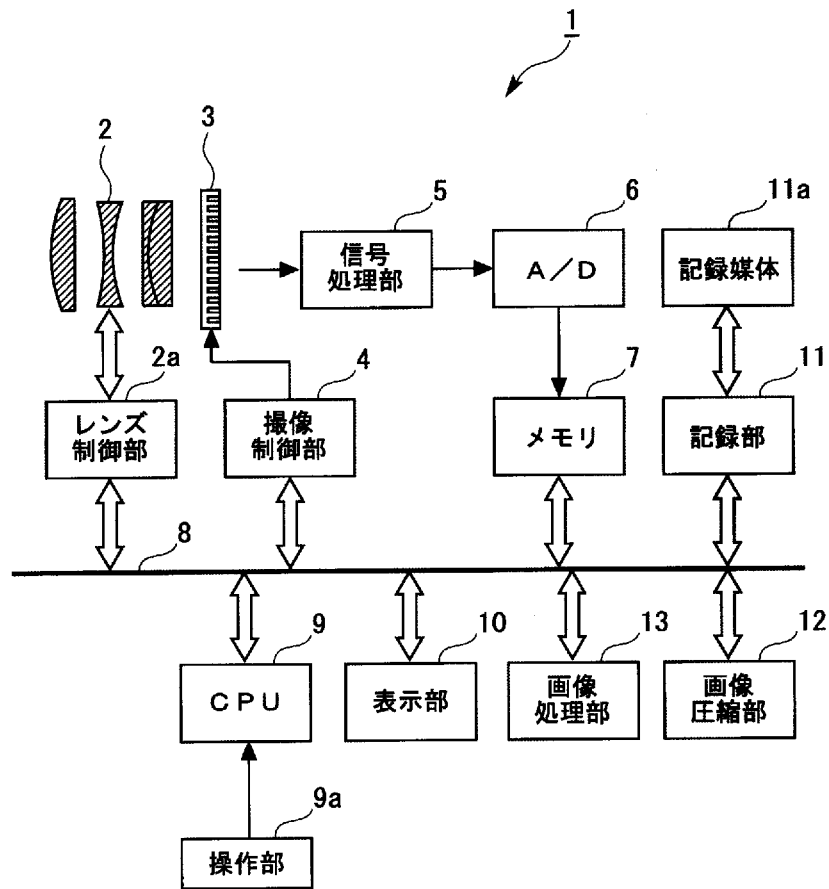
[請求項15]

請求項8から請求項14のいずれか1項に記載の固体撮像素子において、

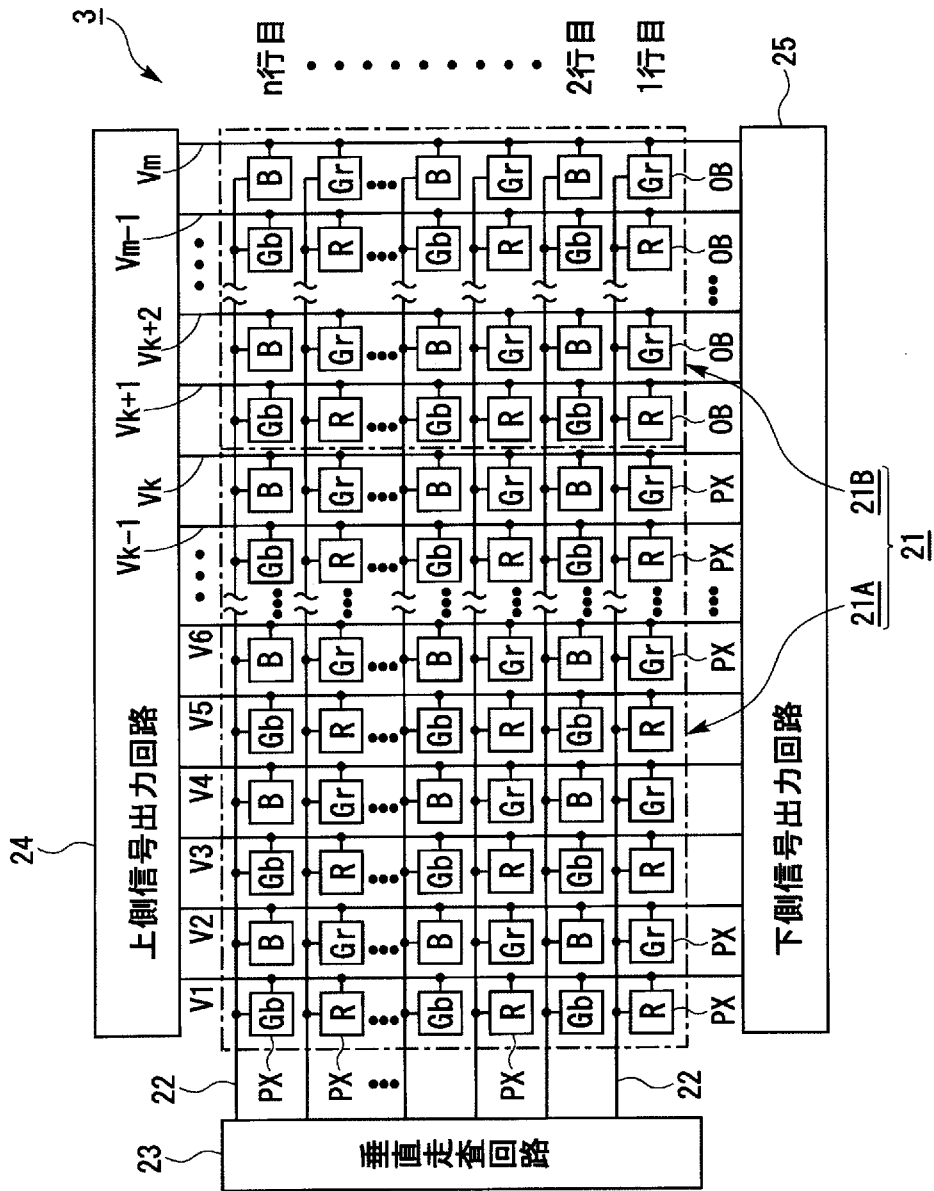
前記第1画素と前記第2画素とはそれぞれ同一の分光感度を有するフィルタを含むことを特徴とする固体撮像素子。

[請求項 16] 請求項 1 から請求項 15 のいずれか 1 項に記載の固体撮像素子を備えたことを特徴とする撮像装置。

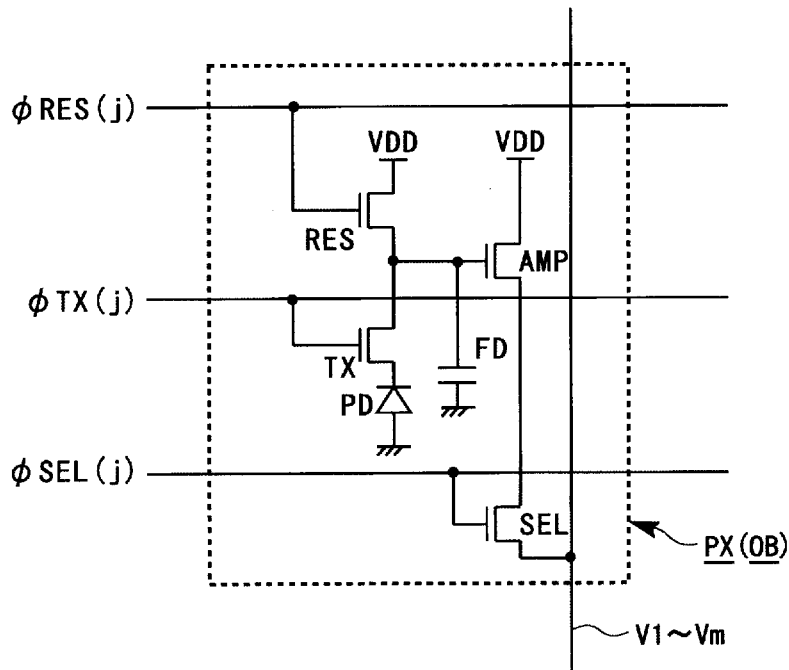
[図1]



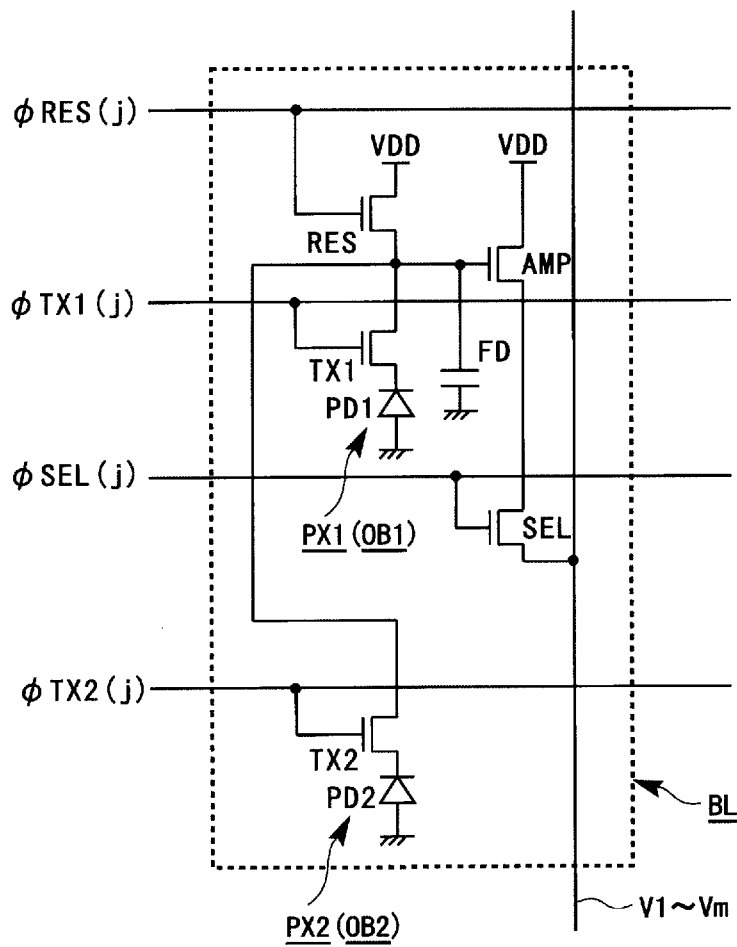
[図2]



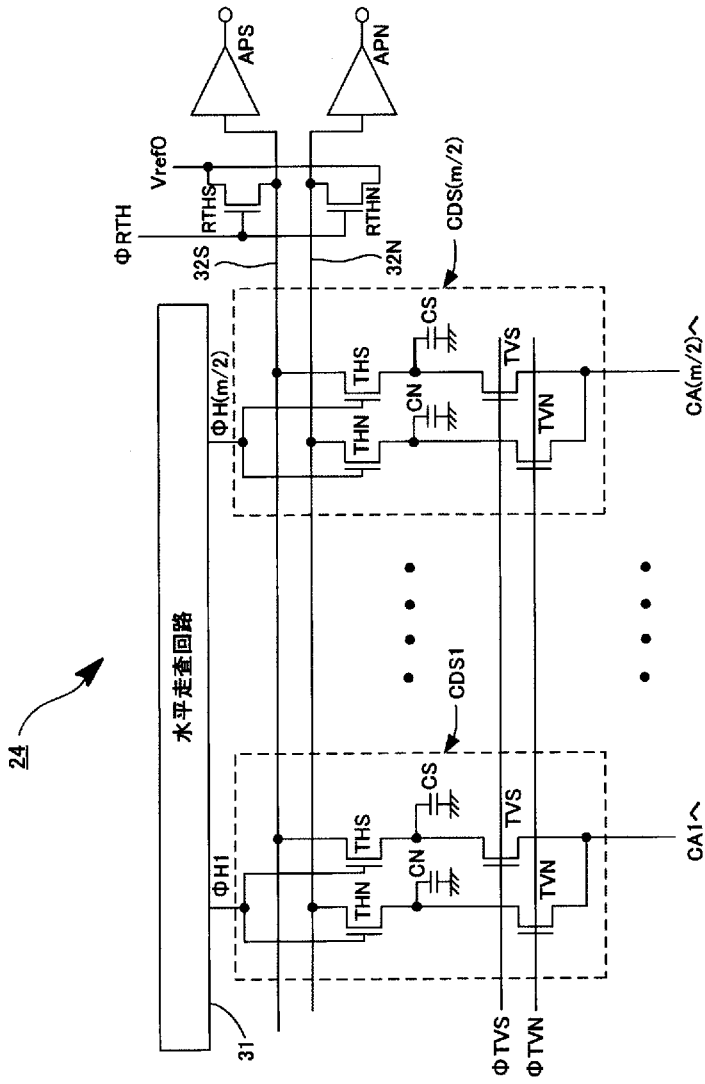
[図3]



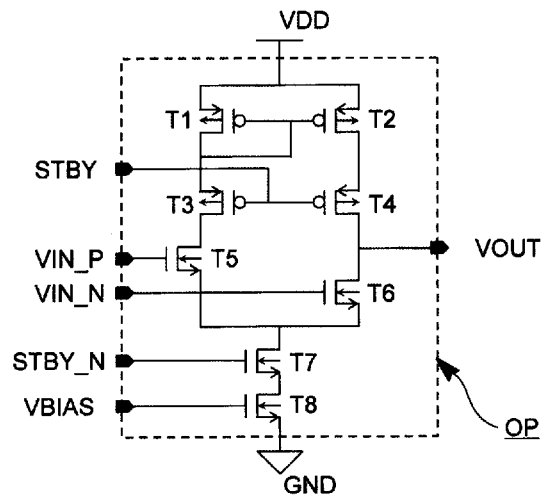
[図4]



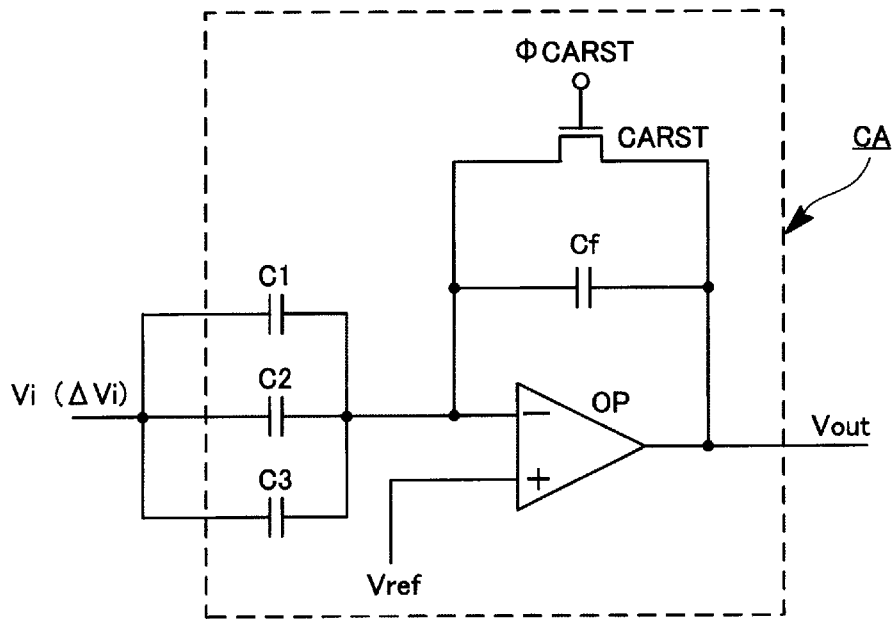
[図7]



[図8]

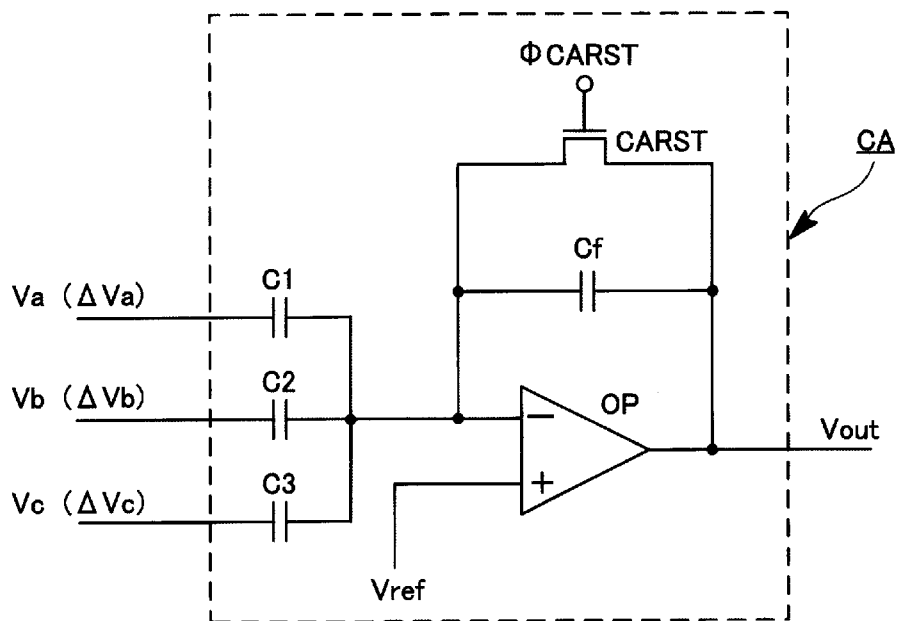


[図9]



$$V_{out} = V_{ref} - [(C1 + C2 + C3) / C_f] \times \Delta V_i$$

[図10]

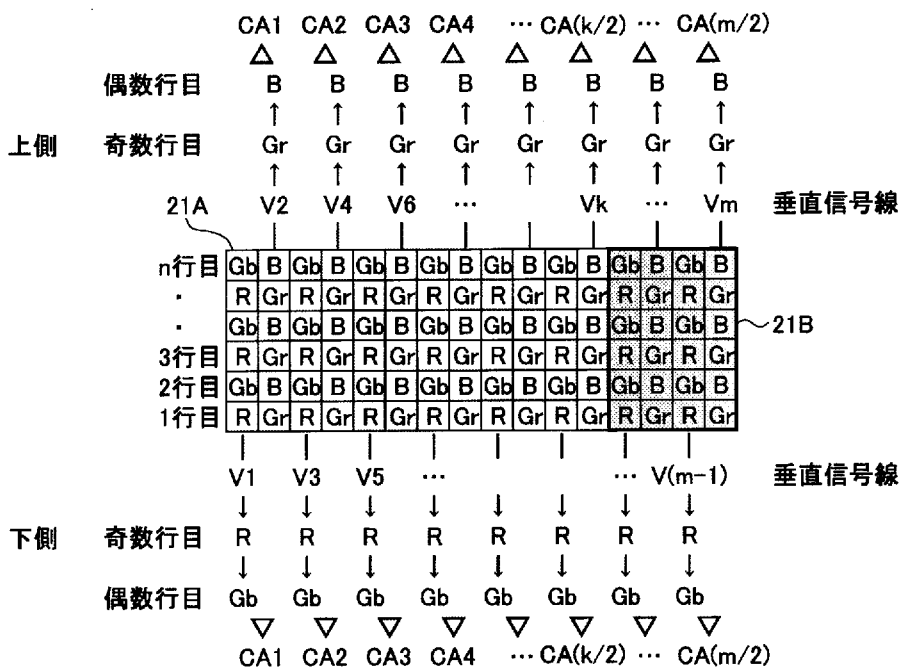


$$V_{out} = V_{ref} - [(C1 / C_f) \times \Delta V_a] + [(C2 / C_f) \times \Delta V_b] + [(C3 / C_f) \times \Delta V_c]$$

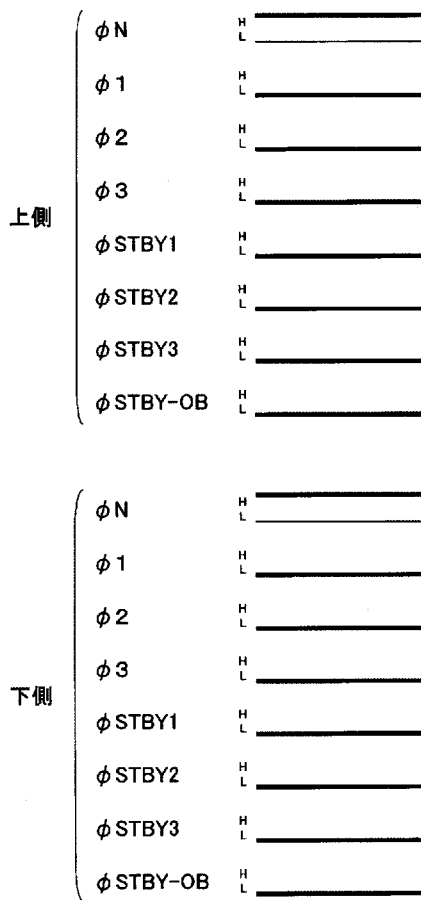
$C1 = C2 = C3 = C$ の場合、

$$V_{out} = V_{ref} - [(C / C_f) \times (\Delta V_a + \Delta V_b + \Delta V_c)]$$

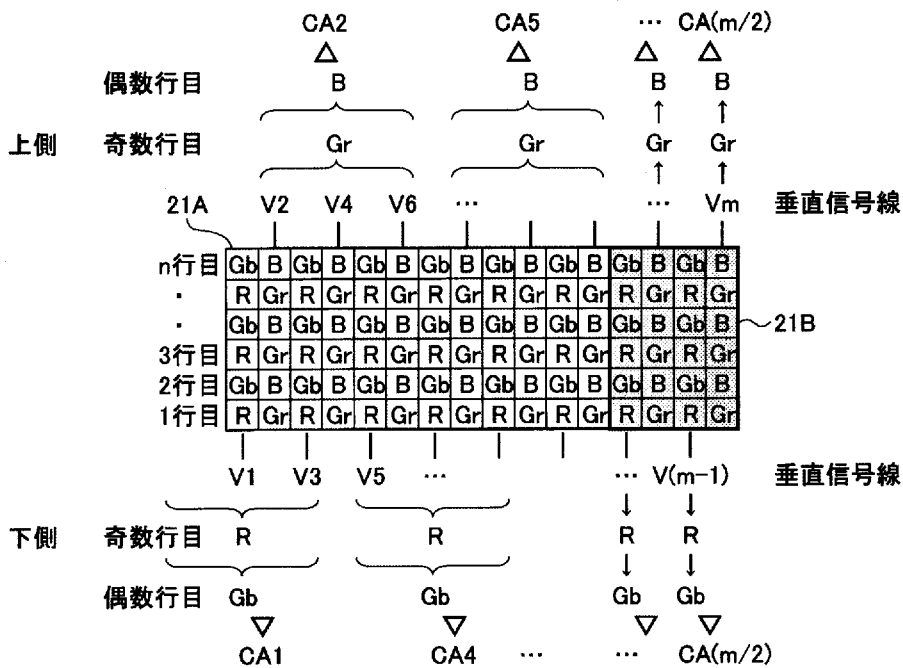
[図11]



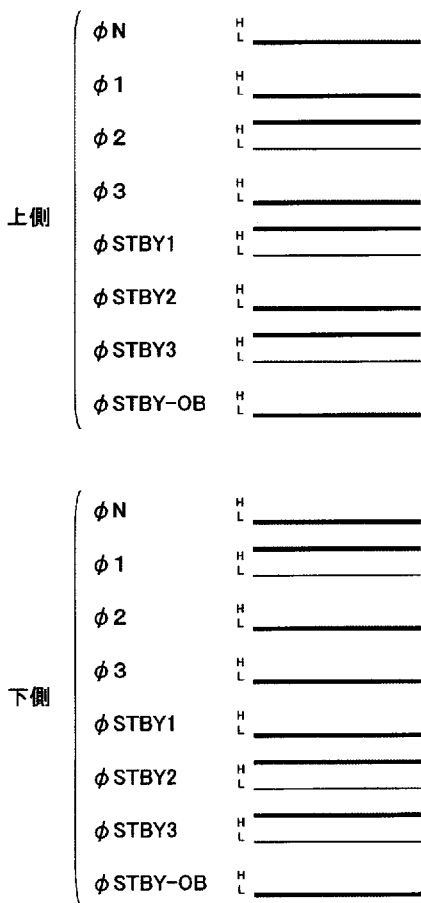
[図12]



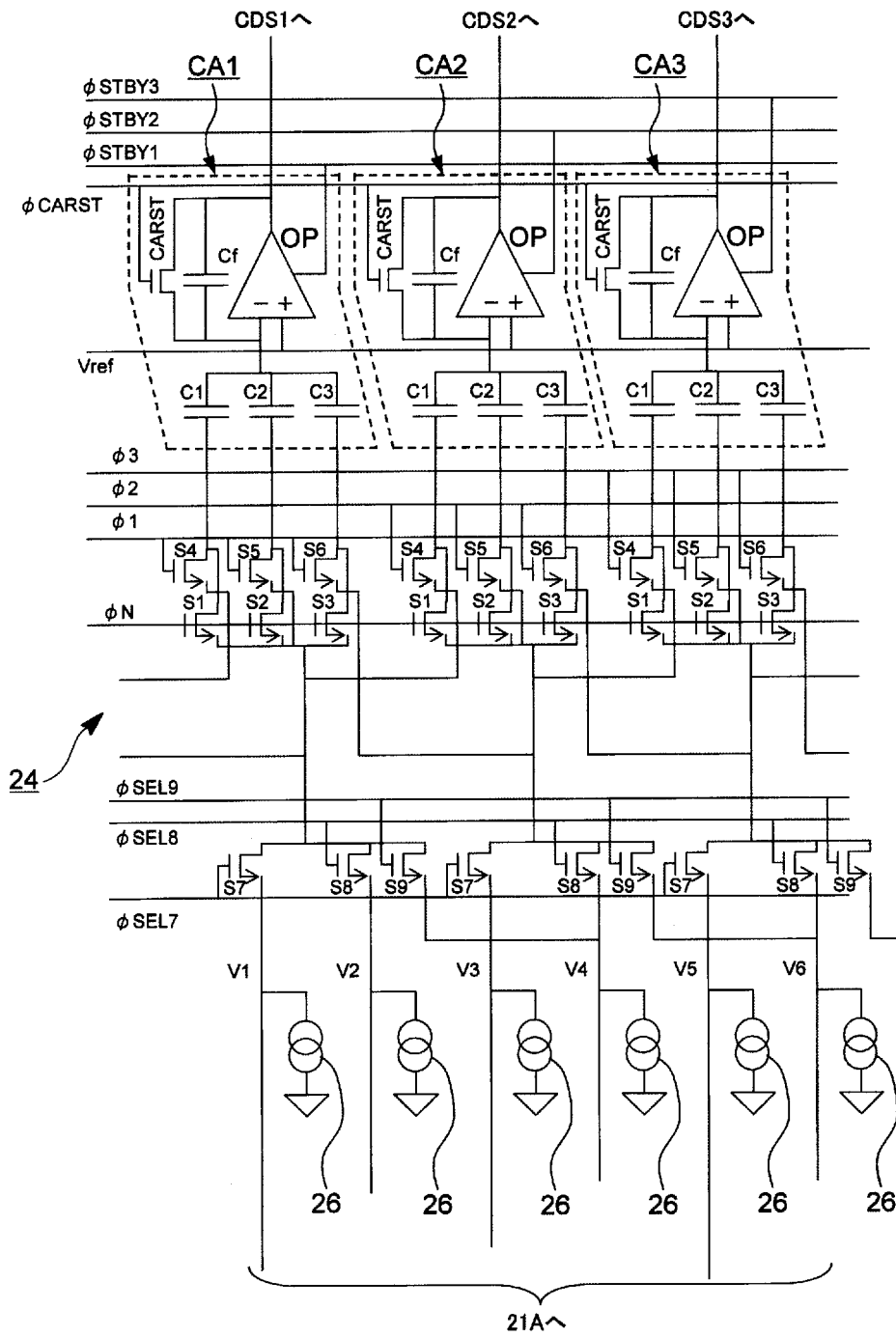
[図13]



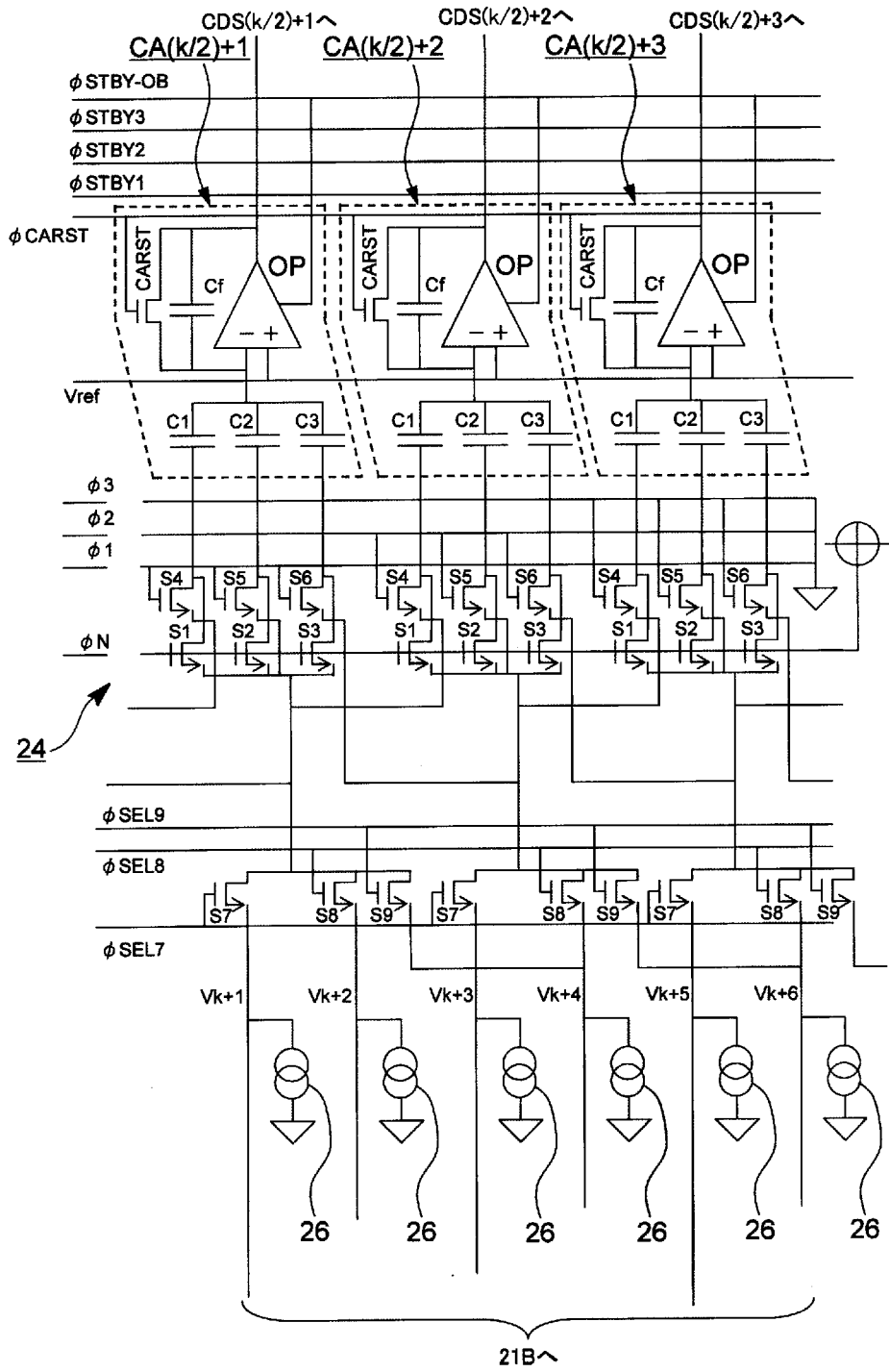
[図14]



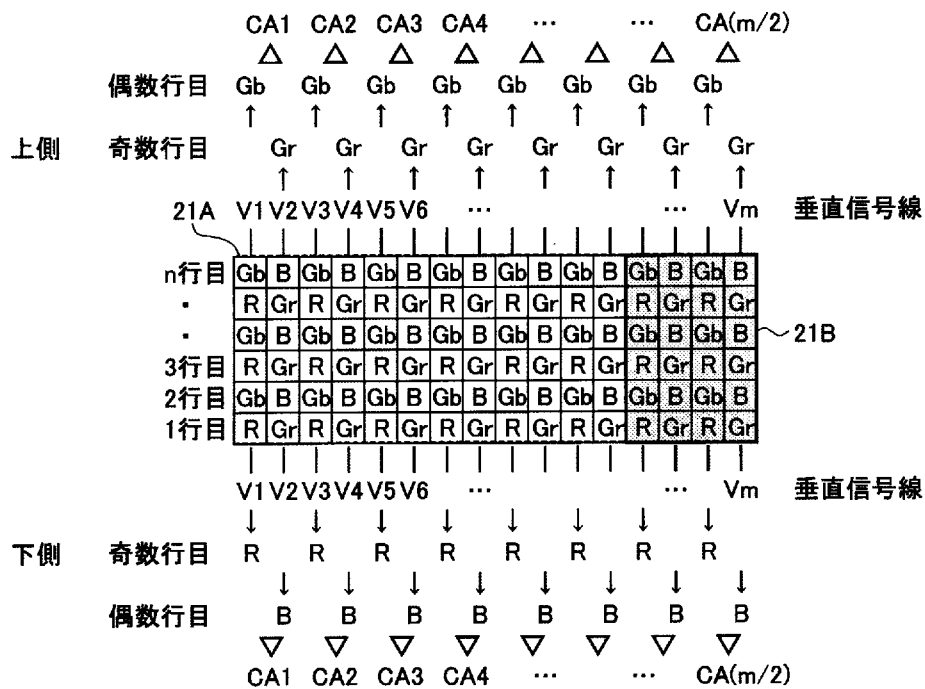
[図15]



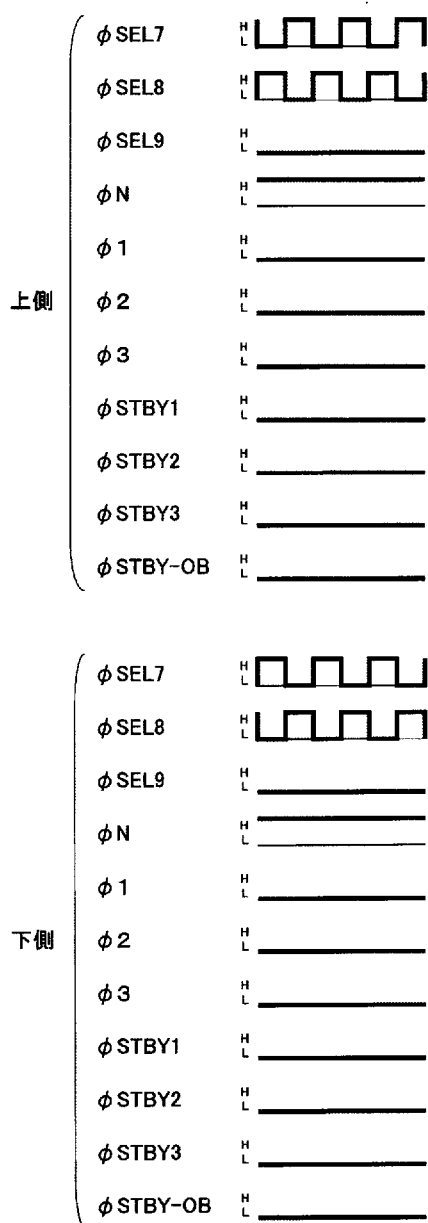
[図16]



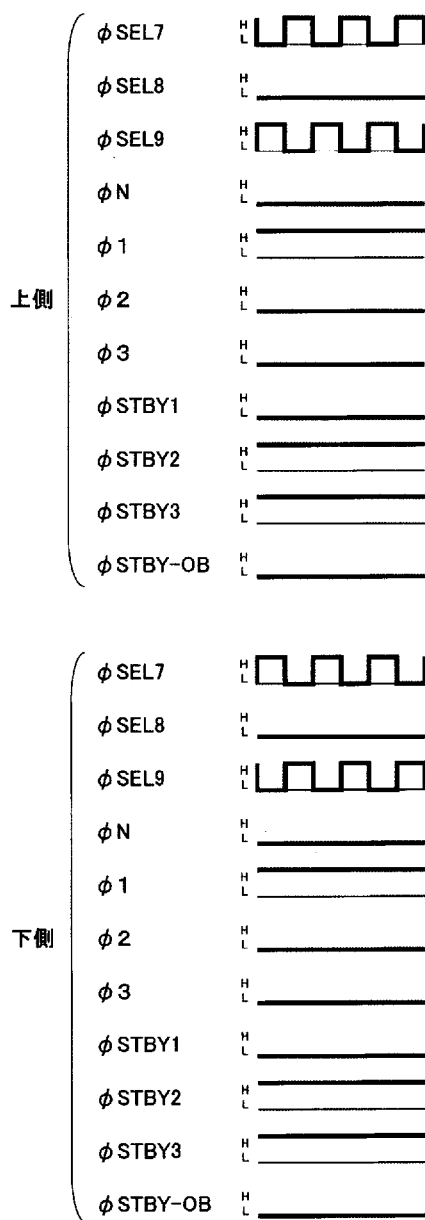
[図17]



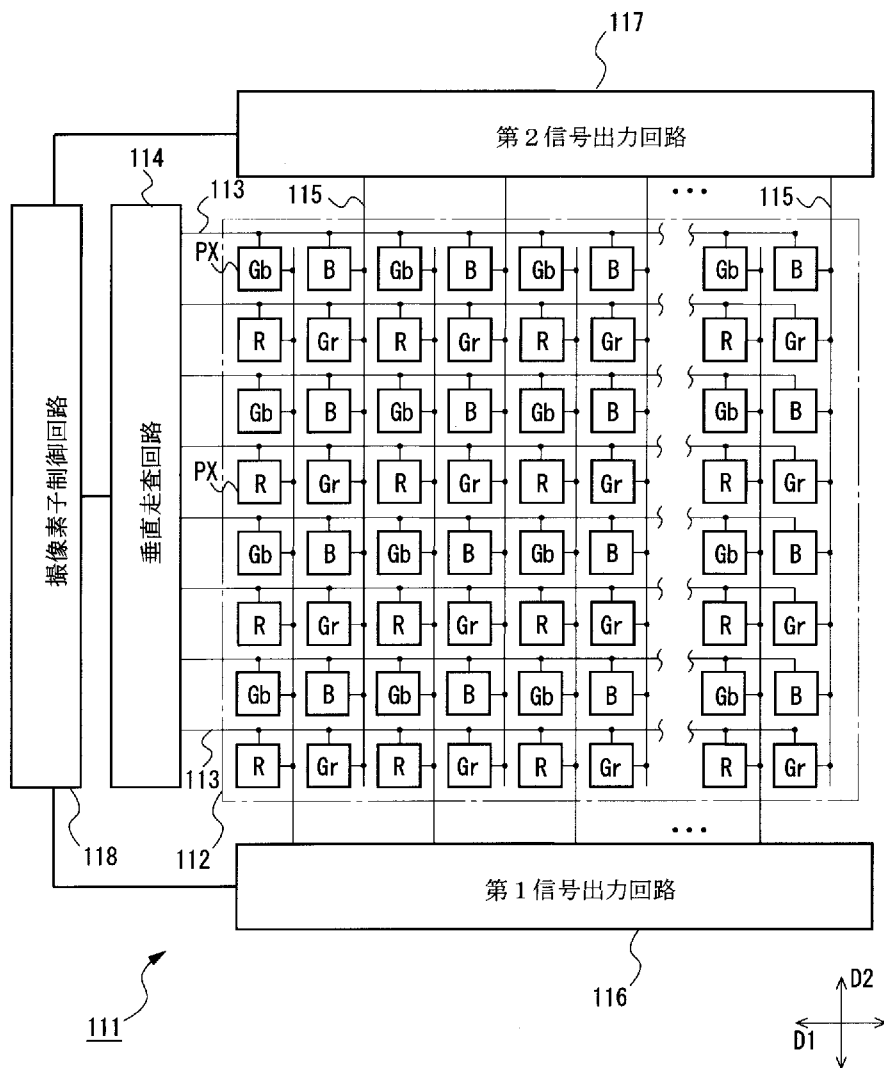
[図18]



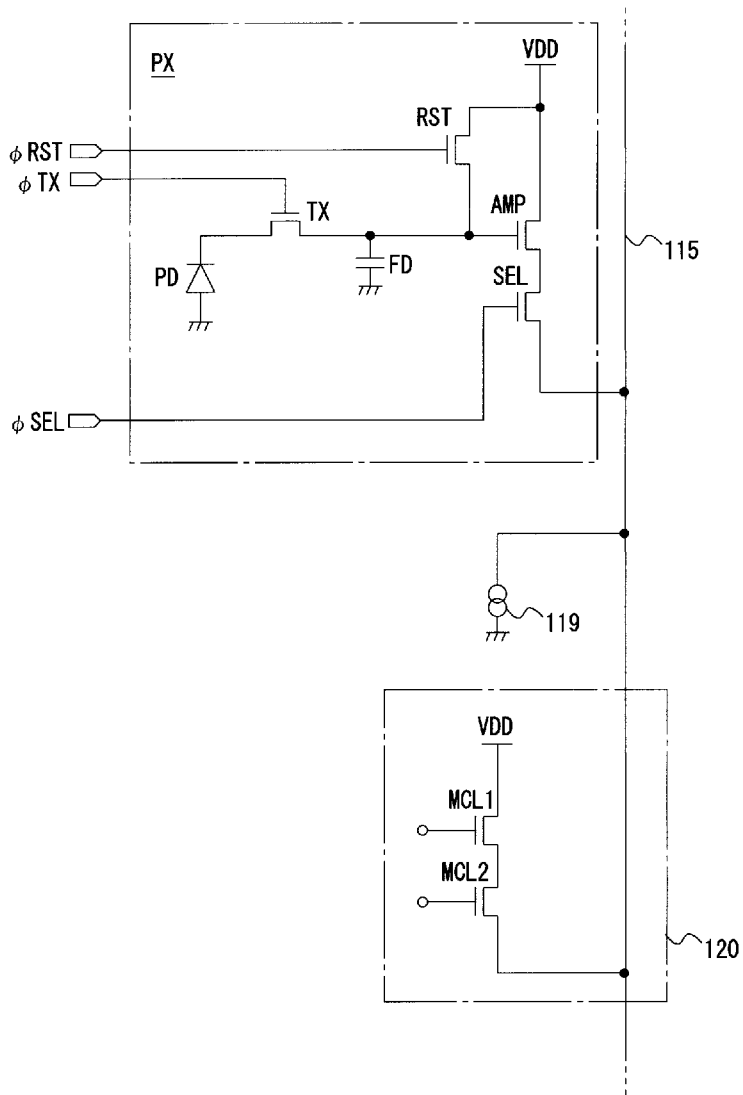
[図20]



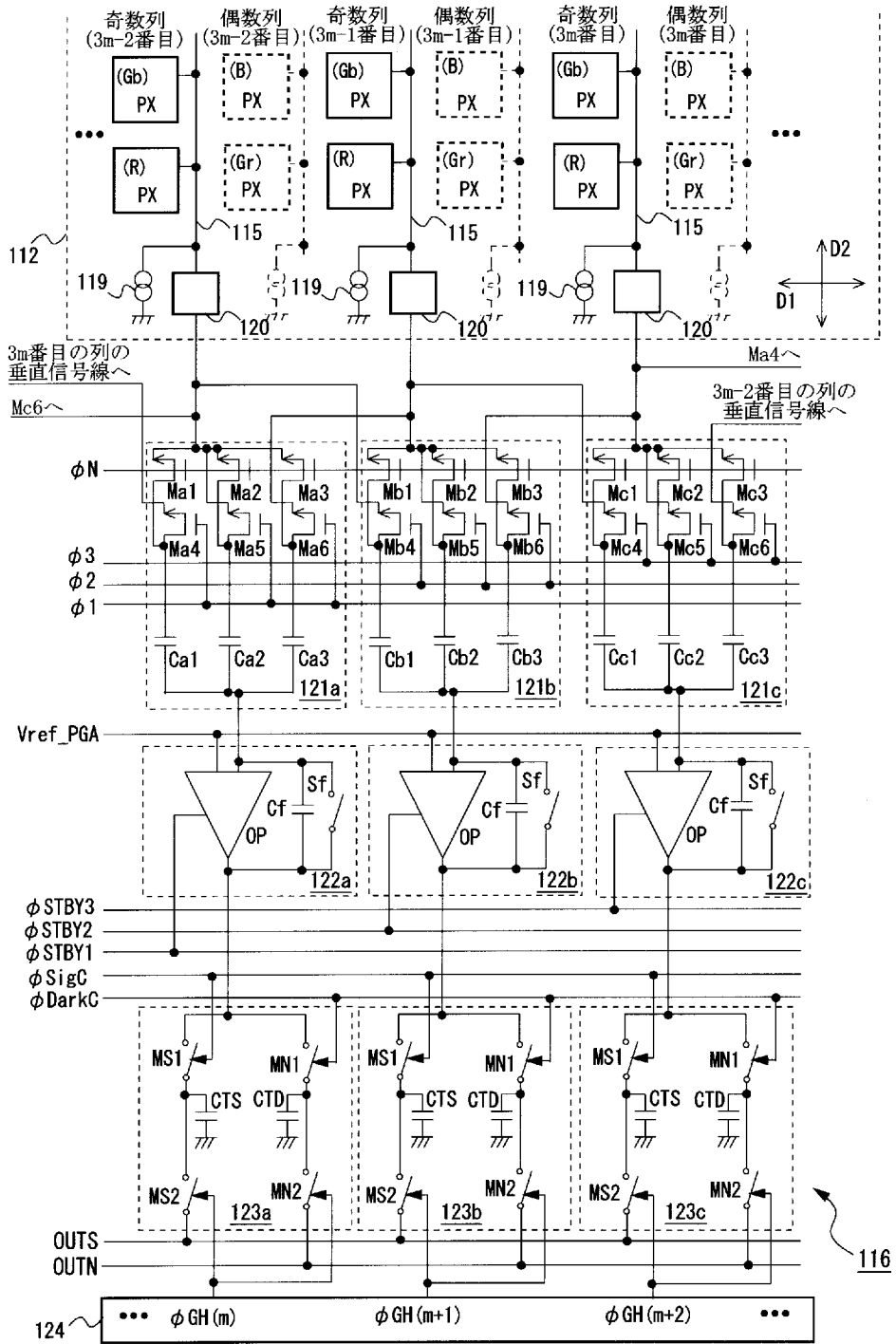
[図21]



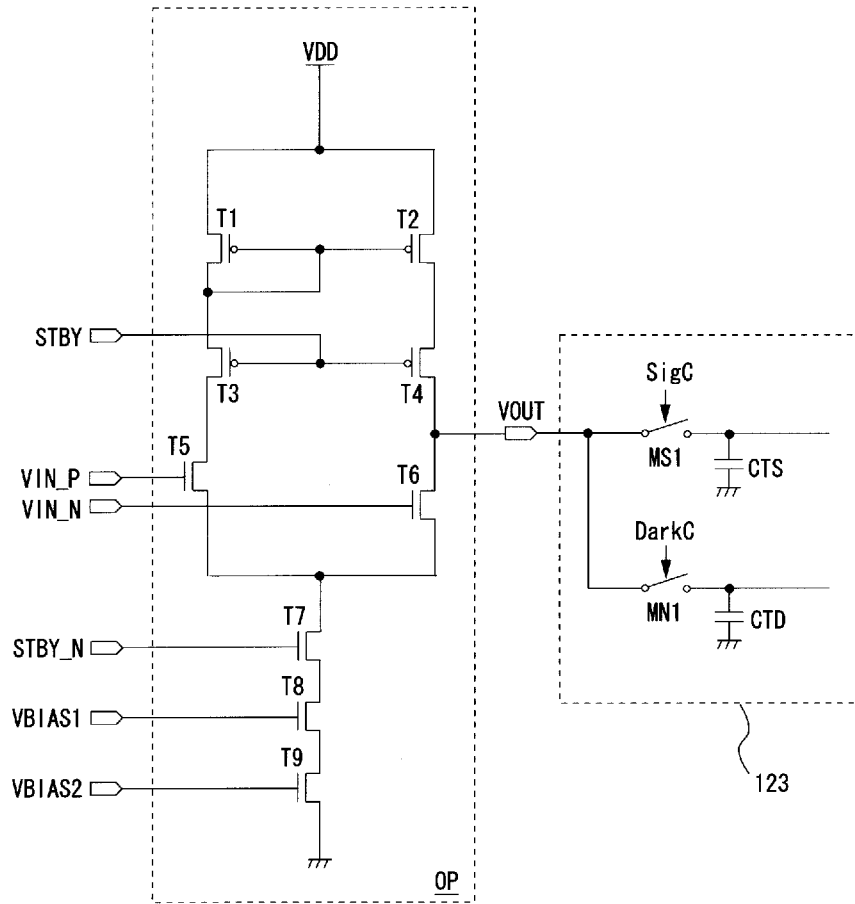
[図22]



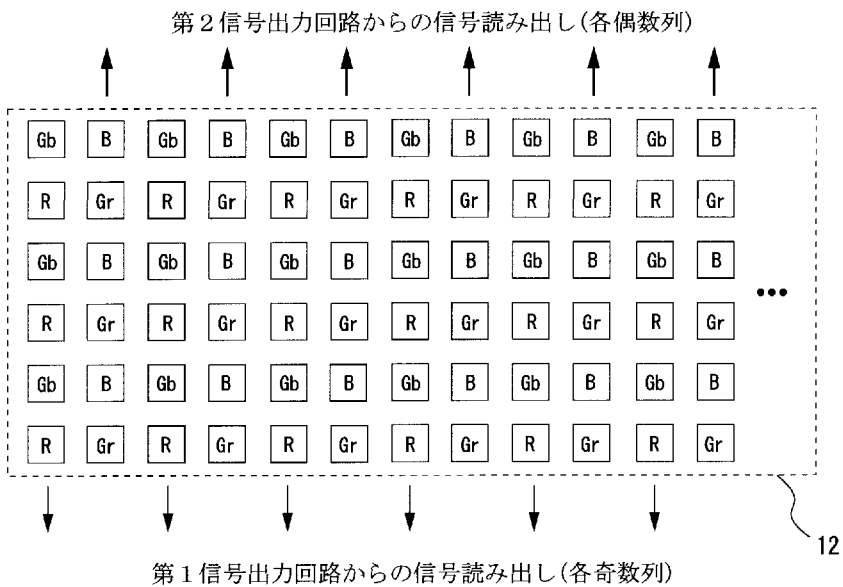
[図23]



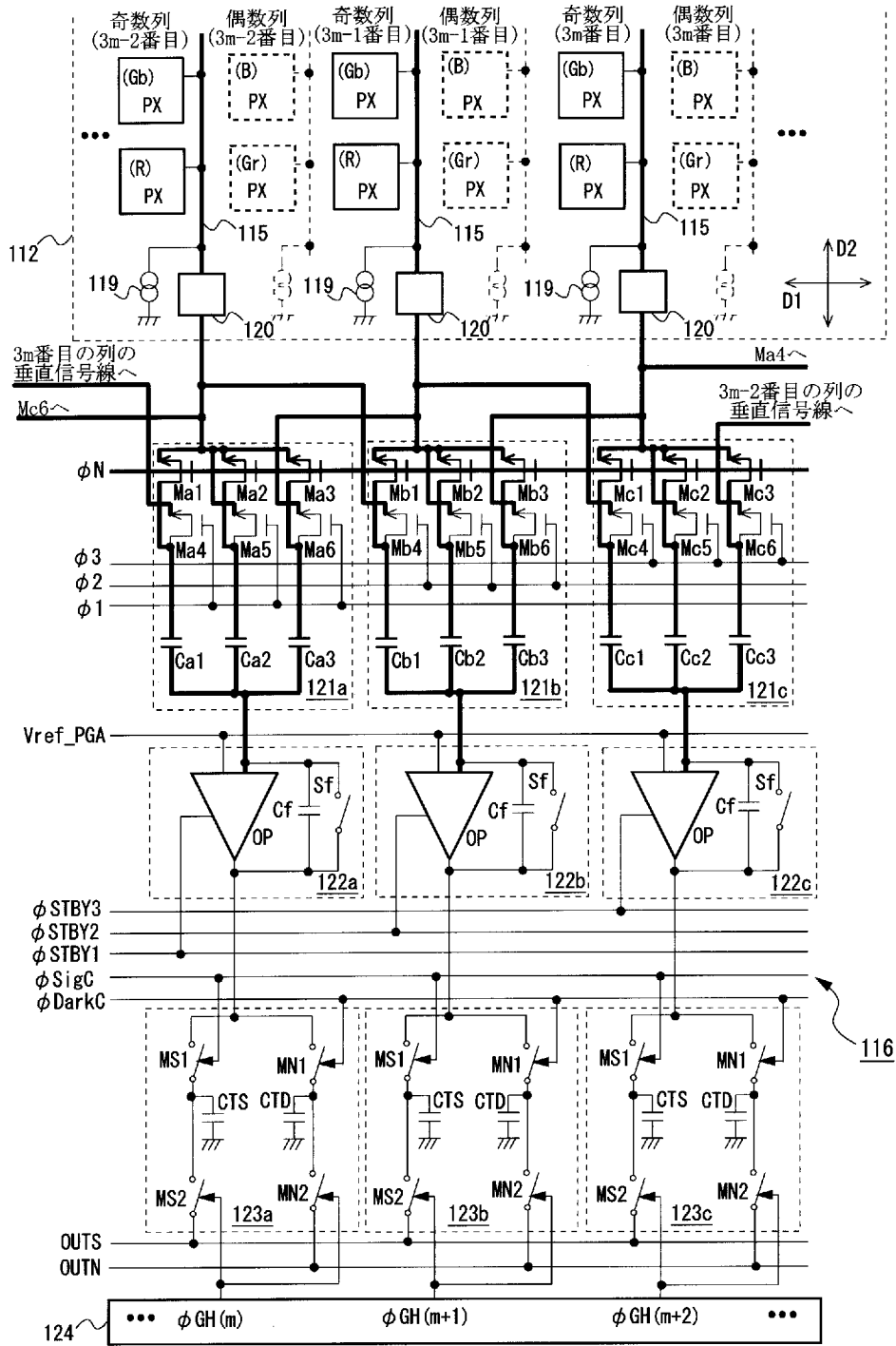
[図24]



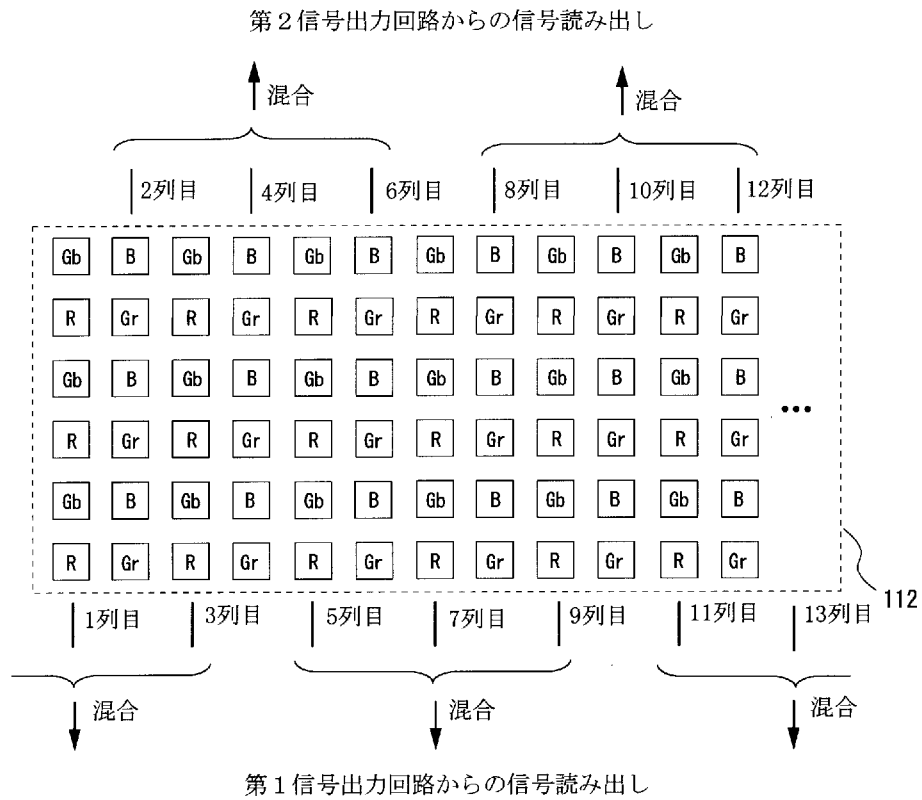
[図25]



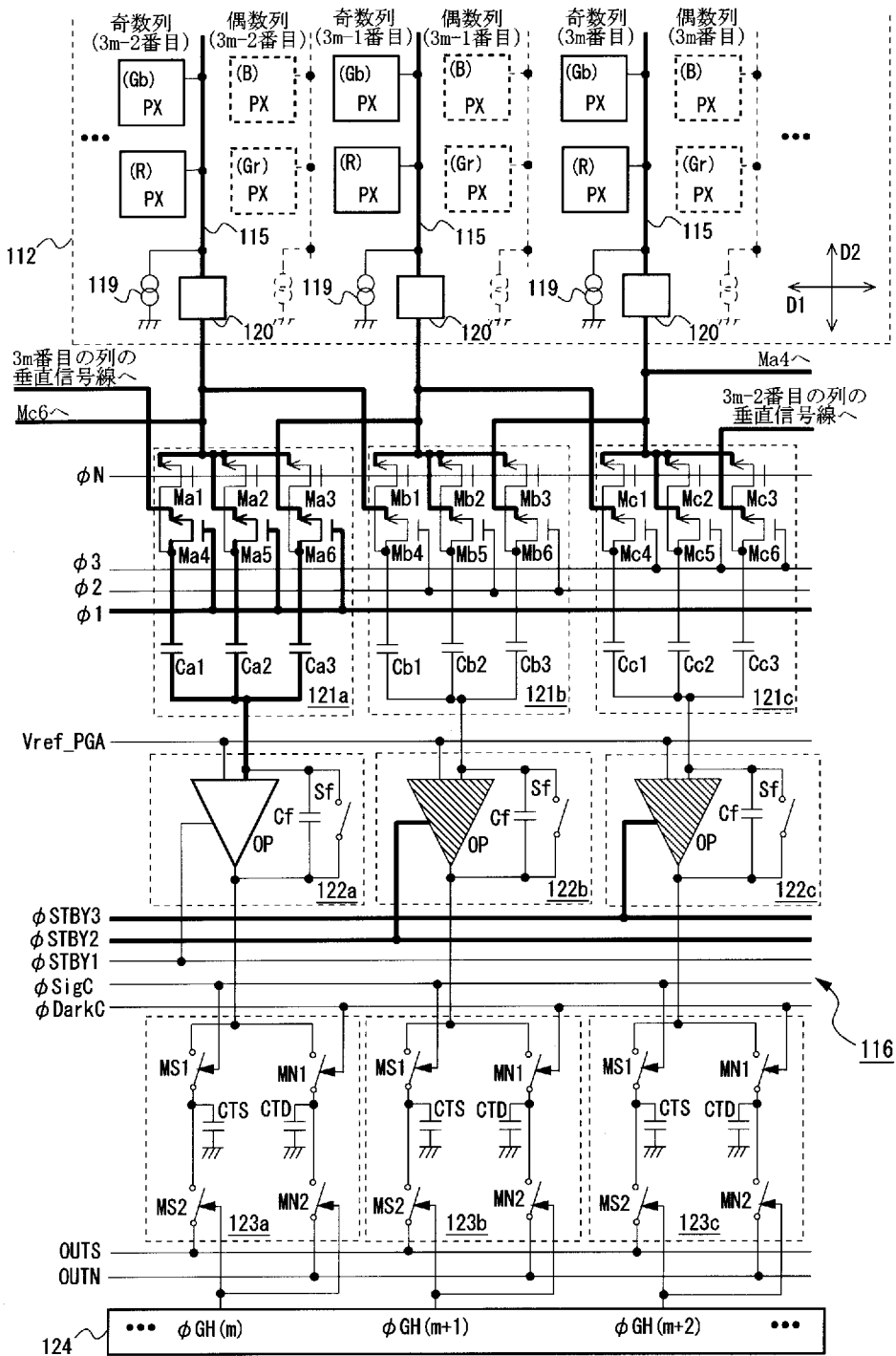
[図26]



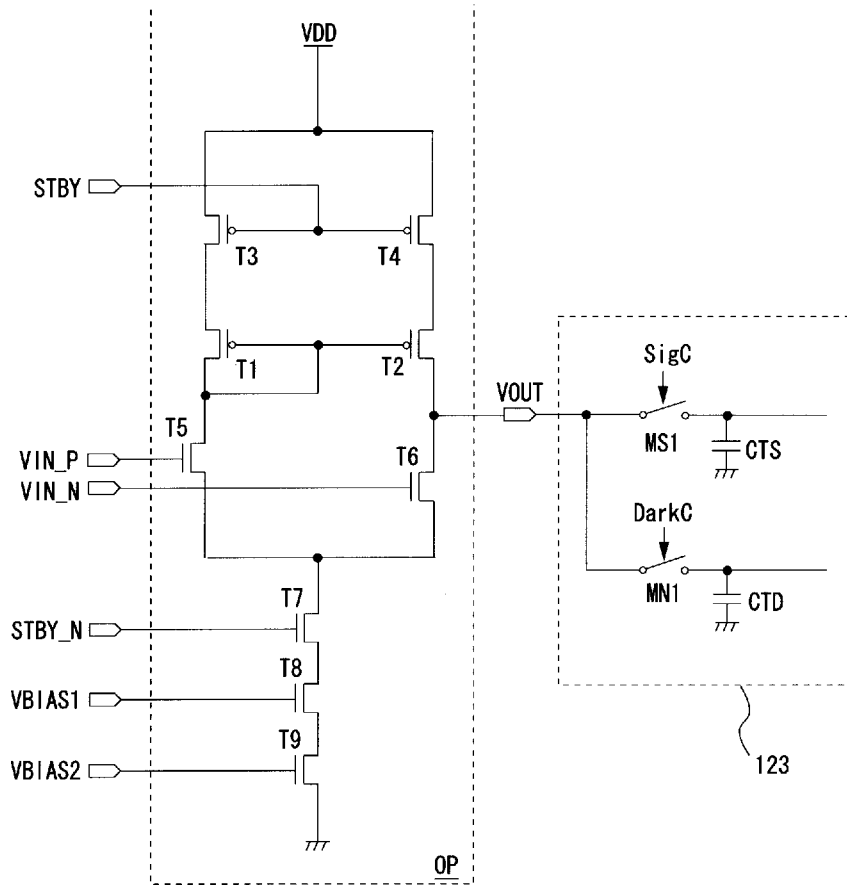
[図27]



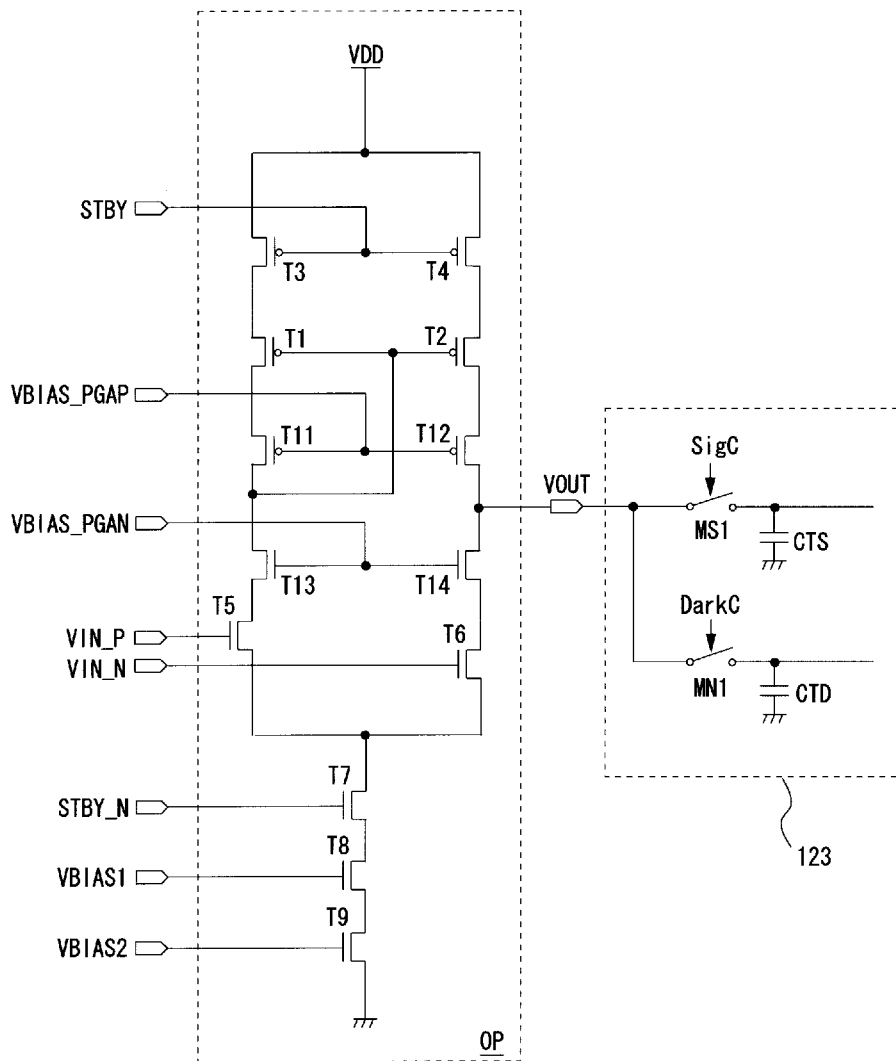
[図28]



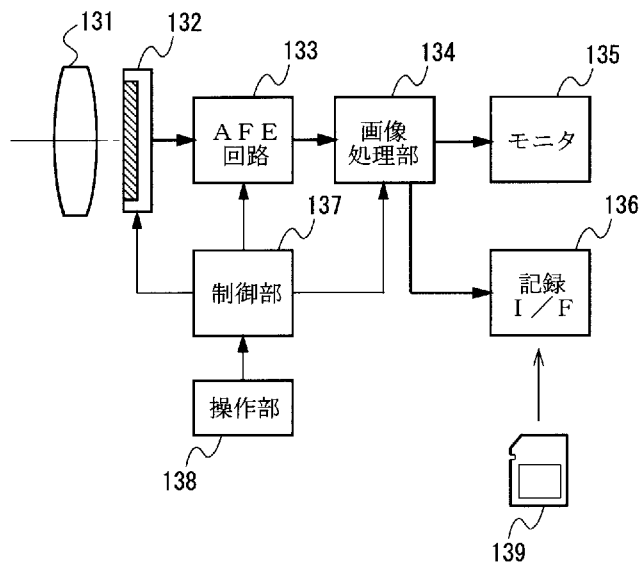
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 0 12 / 0 0 8 3 9 2

A. CLASSIFICATION OF SUBJECT MATTER

H 0 4 N 5 / 3 4 7 (2 0 1 1 . 0 1) i , H 0 4 N 5 / 3 7 8 (2 0 1 1 . 0 1) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H 0 4 N 5 / 3 4 7 , H 0 4 N 5 / 3 7 8

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1	996	Jitsuyo	Shinan	Toroku	Koho	1996-2013
Kokai	Jitsuyo	Shinan	Koho	1971-2013	Toroku	Jitsuyo	Shinan	Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-515869 A (Micon Technology, Inc.), 14 June 2007 (14.06.2007), paragraphs [0008], [0022], [0030]; fig. 5 & US 2005/0103977 A1	1-8, 13-16 9-12
Y	JP 2011-097646 A (Toshiba Corp.), 12 May 2011 (12.05.2011), paragraphs [0033], [0039]; fig. 5 (Family: none)	9-12
Y	JP 8-182005 A (Canon Inc.), 12 July 1996 (12.07.1996), entire text; all drawings (Family: none)	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 February, 2013 (19.02.13)Date of mailing of the international search report
05 March, 2013 (05.03.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 012 / 008392

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-269646 A (Samsung Electronics Co., Ltd.), 29 September 2005 (29.09.2005), entire text ; all drawings & US 2005/0206752 A1	1-16
Y	JP 2000-504516 A (California Institute of Technology), 11 April 2000 (11.04.2000), entire text ; all drawings & US 5949483 A	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04N5/347 (2011.01) i , H04N5/378 (2011.01) i

B. 一 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04N5/347, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-19
日本国公開実用新案公報	1971-20
日本国実用新案登録公報	1996-20
日本国登録実用新案公報	1994-20

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
 年

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2007-515869 A (マイクロン テクノロジー インコーポレイテ ッド) 2007. 06. 14, 段落 8, 22, 30, 図 5 & US 2005/0103977 A1	1-8 ,13-16 9-12
Y	JP 2011-097646 A (株式会社東芝) 2011. 05. 12, 段落 33, 39, 図 5 (ファミリーなし)	9-12
Y	JP 8-182005 A (キャノン株式会社) 1996. 07. 12, 全文、全図 (ファミリーなし)	1-16

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

IA 「特に関連のある文献ではなく、一般的技術水準を示すもの
 IE」国際出願 日前の出願または特許であるが、国際出願 日以後に公表されたもの
 I」優先権主張に疑義を提起する文献又は他の文献の発行 日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 Iθ」口頭による開示、使用、展示等に言及する文献
 IP」国際出願 日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 T」国際出願 日又は優先 日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 IY」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 I&」同一パテントファミリー文献

国際調査を完了した日
 19. 02. 2013

国際調査報告の発送日
 05. 03. 2013

国際調査機関の名称及びあて先
 日本国特許庁 (ISA / JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	5 P	4190
若林 治男		
電話番号 03-3581-1101	内線	3581

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-269646 A (三星電子株式会社) 2005. 09. 29, 全文、全図 & US 2005/0206752 A1	1-16
Y	JP 2000-504516 A (カリフォルニア インステイチュート オブ テ クノロジー) 2000. 04. 11, 全文、全図 & US 5949483 A	1-16