



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I735536 B

(45)公告日：中華民國 110 (2021) 年 08 月 11 日

(21)申請案號：106105280

(22)申請日：中華民國 106 (2017) 年 02 月 17 日

(51)Int. Cl. : H03K19/0948(2006.01)

H03K19/08 (2006.01)

(30)優先權：2016/02/18 美國

62/296702

(71)申請人：麻省理工學院(美國) MASSACHUSETTS INSTITUTE OF TECHNOLOGY (US)  
美國南洋理工大學(新加坡) NANYANG TECHNOLOGICAL UNIVERSITY (SG)  
新加坡(72)發明人：崔弼醇 CHOI, PILSOON (KR) ; 文 振財 BOON, CHIRN-CHYE (SG) ; 白 俐翹  
PEH, LI-SHIUAN (SG)

(74)代理人：洪蘭心

(56)參考文獻：

TW I506763B

US 3835457A

US 20070032089A1

US 20130146893A1

US 20130146893A1

US 20140367744A1

審查人員：蘇齊賢

申請專利範圍項數：34 項 圖式數：10 共 33 頁

(54)名稱

高電壓邏輯電路

(57)摘要

本發明提出一種用於高電壓系統應用的高電壓邏輯電路、一種邏輯電路、一種製造用於高電壓系統應用的高電壓邏輯電路的方法、以及一種製造邏輯電路的方法。用於高電壓系統應用的高電壓邏輯電路包括：第一元件層，由第一半導體材料形成且包括低電壓邏輯電路；以及第二元件層，由不同於第一半導體材料的第二半導體材料形成且包括附加電路的一個或多個組件，其中附加電路的一個或多個組件用於從低電壓邏輯電路的低電壓邏輯輸入產生高電壓邏輯輸出，其中第一元件層和第二元件層為一體形成。

A high voltage logic circuit for high voltage system application, a logic circuit, a method of fabricating a high voltage logic circuit for high voltage system application, and a method of fabricating a logic circuit are provided. The high voltage logic circuit for high voltage system application comprises a first device layer formed from a first semiconductor material and comprising a low voltage logic circuit; and a second device layer formed from a second semiconductor material different from the first semiconductor material and comprising one or more components of an additional circuit for generating a high voltage logic output from a low voltage logic input from the low voltage logic circuit; wherein the first and second device layers are integrally formed.

指定代表圖：

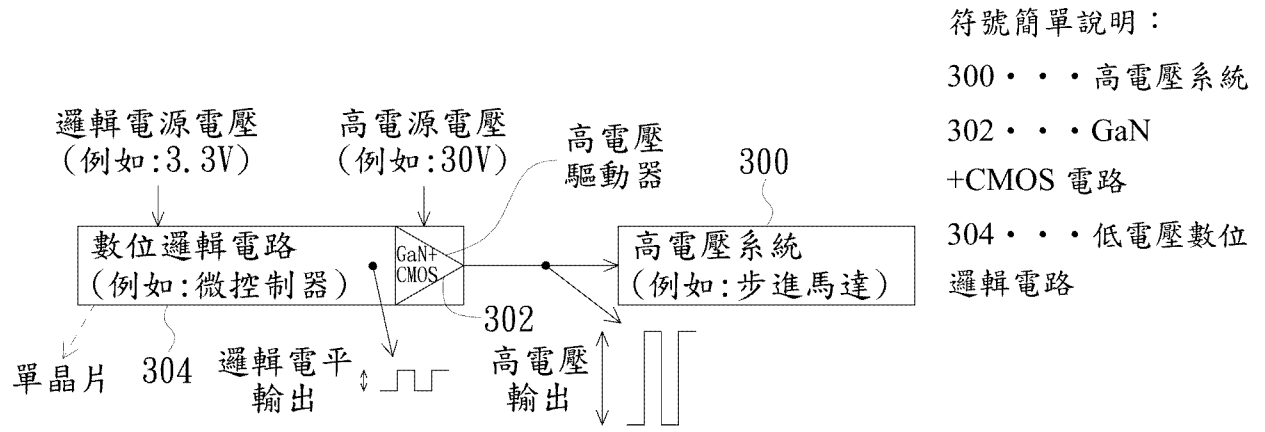


圖3



申請日: 106/02/17

IPC分類: *H03K 19/0948* (2006.01)  
*H03K 19/08* (2006.01)

I735536

## 【發明摘要】

【中文發明名稱】 高電壓邏輯電路

【英文發明名稱】 HIGH VOLTAGE LOGIC CIRCUIT

公告本

【中文】本發明提出一種用於高電壓系統應用的高電壓邏輯電路、一種邏輯電路、一種製造用於高電壓系統應用的高電壓邏輯電路的方法、以及一種製造邏輯電路的方法。用於高電壓系統應用的高電壓邏輯電路包括：第一元件層，由第一半導體材料形成且包括低電壓邏輯電路；以及第二元件層，由不同於第一半導體材料的第二半導體材料形成且包括附加電路的一個或多個組件，其中附加電路的一個或多個組件用於從低電壓邏輯電路的低電壓邏輯輸入產生高電壓邏輯輸出，其中第一元件層和第二元件層為一體形成。

【英文】 A high voltage logic circuit for high voltage system application, a logic circuit, a method of fabricating a high voltage logic circuit for high voltage system application, and a method of fabricating a logic circuit are provided. The high voltage logic circuit for high voltage system application comprises a first device layer formed from a first semiconductor material and comprising a low voltage logic circuit; and a second device layer formed from a second semiconductor material different from the first semiconductor material and comprising one or more components of an additional circuit for generating a high voltage logic output from

a low voltage logic input from the low voltage logic circuit; wherein the first and second device layers are integrally formed.

【指定代表圖】 圖3

【代表圖之符號簡單說明】

300：高電壓系統

302：GaN+CMOS 電路

304：低電壓數位邏輯電路

## 【發明說明書】

【中文發明名稱】 高電壓邏輯電路

【英文發明名稱】 HIGH VOLTAGE LOGIC CIRCUIT

### 【技術領域】

【0001】本發明廣泛涉及用於高電壓系統應用的高電壓邏輯電路、邏輯電路、製造用於高電壓系統應用的高電壓邏輯電路的方法、以及製造邏輯電路的方法。

### 【先前技術】

【0002】圖1示出了用於說明直流(DC)或步進馬達(steping motor)驅動電路的示意性方塊圖，其示出了以3.3V或5V邏輯電平(logic level)操作的微控制器(microcontroller) 100與具有高電源電壓(例如，12V或更高)的馬達驅動晶片組102分離。圖2示出了通用高電壓系統200與數位邏輯電路202(例如，微控制器)接口的更詳細方塊圖，其需要在兩個獨立方塊(相比於200、202)之間配置冗餘驅動電路(redundant drive circuitry) 204以將邏輯電平輸入電壓轉換為高電壓系統200(例如，DC或步進馬達)所需的高電壓輸出。

【0003】如圖2所示，數位控制電路202(例如，微控制器)通常以互補金屬氧化物半導體(CMOS)工藝實現，因此具有CMOS邏輯電平輸出，而此CMOS邏輯電平輸出應當通過高電壓驅動電路204放大以適應高電壓系統200。這將增加了系統的複雜性和尺寸。

【0004】另一方面，由於夾斷電壓（pinch-off voltage）為負，諸如氮化鎵（GaN）元件的III-V族元件通常需要負偏置電壓（bias voltage）。雖然亦存在具有正閾值電壓（threshold voltage）的增強型GaN（enhancement mode GaN）元件，但是在GaN元件開發期間難以精確地控制電壓。因此，即使對於增強型元件來說，其亦有較寬的電壓變化，有時甚至低於零（即負值）。具體來說，大多數GaN元件是空乏型FET（depletion mode FET），其需要用於適當的柵極偏置的額外負偏置電路[1]。

【0005】本發明的實施例尋求解決上述問題中的至少其中之一。

#### 【發明內容】

【0006】根據本發明的第一方面，提供了一種用於高電壓系統應用的高電壓邏輯電路，其包括：第一元件層，由第一半導體材料形成且包括低電壓邏輯電路；以及第二元件層，由不同於第一半導體材料的第二半導體材料形成且包括附加電路的一個或多個組件，其中附加電路的一個或多個組件用於從低電壓邏輯電路的低電壓邏輯輸入產生高電壓邏輯輸出，其中第一元件層和第二元件層為一體形成。

【0007】根據本發明的第二方面，提供了一種邏輯電路，其包括：低電壓邏輯輸入；高電源電壓輸入；電路接地電壓輸入；高電壓輸出；至少一個第一尾部元件，其由第一半導體材料製成；以及至少一個第二尾部元件，其由不同於第一半導體材料的第二半導體材料製成，其中至少一個第一尾部元件和至少一個第二尾部元件串聯耦合於高電壓輸出和電路接地電壓輸入之間，其中至少一個第一尾部

元件和至少一個第二尾部元件其各自柵極並聯耦合到低電壓邏輯輸入。

【0008】根據本發明的第三方面，提供了一種製造用於高電壓系統應用的高電壓邏輯電路的方法，其包括：提供第一元件層，其由第一半導體材料形成且包括低電壓邏輯電路；提供第二元件層，其由不同於第一半導體材料的第二半導體材料形成且包括附加電路的一個或多個組件，其中附加電路的一個或多個組件用於從低電壓邏輯電路的低電壓邏輯輸入產生高電壓邏輯輸出，其中第一元件層和第二元件層為一體形成。

【0009】根據本發明的第四方面，提供了一種製造邏輯電路的方法，其包括：提供低電壓邏輯輸入；提供高電源電壓輸入；提供電路接地電壓輸入；提供高電壓輸出；提供至少一個第一尾部元件，其由第一半導體材料製成；提供至少一個第二尾部元件，其由不同於第一半導體材料的第二半導體材料製成，其中至少一個第一尾部元件和至少一個第二尾部元件串聯耦合於高電壓輸出和電路接地電壓輸入之間，其中至少一個第一尾部元件和至少一個第二尾部元件其各自柵極並聯耦合到低電壓邏輯輸入。

### 【圖式簡單說明】

【0010】通過僅作為示例的以下書面描述並結合附圖，本發明的實施例將被更好地理解並且對於本領域的普通技術人員是顯而易見的，其中：

圖 1 示出了用於 DC 馬達的驅動電路的示例性示意圖。

圖 2 示出了與數位控制電路接口的習知高電壓系統的詳細方塊圖。

圖 3 根據示例性實施例示出了用於高電壓系統的高電壓邏輯電路示意圖，其包括在單晶片上與習知的（或低電壓）數位邏輯電路集成的 GaN+CMOS 電路。

圖 4 示出了用於圖 3 示例性實施例中具有 CMOS 偏置電路的 GaN 反相器的示例性示意圖。

圖 5 根據示例性實施例示出了不具 CMOS 偏置電路的 GaN+CMOS 反相器的示意圖，其也可以用在圖 3 的示例性實施例中。

圖 6 根據示例性實施例示出了具有不同高電源電壓，而邏輯電源為 3.3V 的電路的模擬波形。

圖 7 根據示例性實施例示出了不具 CMOS 偏置電路的 GaN+CMOS NOR 邏輯電路的示意圖，其也可以用於圖 3 的示例性實施例中。

圖 8a 至 8d 示出了用於在示例性實施例中使用的與 CMOS/Si 元件單片集成的 III-V 元件的示例性製造工藝的示意圖。

圖 9 根據示例性實施例示出了一種製造用於高電壓系統應用的高電壓邏輯電路的方法的流程圖。

圖 10 根據示例性實施例示出了一種製造邏輯電路的方法的流程圖。

## 【實施方式】

【0011】本文描述的示例性實施例可以消除冗餘（即，後端電路，例如位於微控制器和高電壓系統之間的驅動器電路），以實現較低的功率消耗、更大的面積節省、以及將兩個單獨的方塊（即，數位邏輯電路和後端電路）集成為一而用於具有較小形成因子（form-factor）的系統。

【0012】本文描述的一示例性實施例提供了具有高電壓輸出的邏輯反相器電路（logic inverter circuit），其可以與單晶粒（die）上的習知數位邏輯電路集成。本文描述的另一示例性實施例提供了具

有高電壓輸出的NOR邏輯電路，其可以與單晶粒上的習知數位邏輯電路集成。所述實施例可以簡化用於家庭/辦公自動化、車輛和工業應用的高電壓電路設計。

【0013】本文描述的示例性實施例提供了由CMOS和GaN元件組成的邏輯電路的電路拓撲（circuit topology），其具有來自CMOS電路的低電壓邏輯電平輸入和通過GaN元件的高電壓輸出。邏輯電路可以使用單片集成GaN+CMOS工藝（monolithically integrated GaN+CMOS process）而在單晶粒上與CMOS數位邏輯電路集成。例如，GaN FET可以實現具有高擊穿電壓（breakdown voltage）的高頻和高效操作[2]，並且近來更可以在單基底（substrate）上與CMOS電路集成[3]-[7]。

【0014】本文描述的示例性實施例提供了不需要附加偏置電路而具有高電壓輸出的邏輯電路。所述實施例可以簡化用於家庭/辦公自動化、車輛和工業應用的高電壓電路設計。

【0015】圖3依照本發明一實施例示出了包括GaN+CMOS電路302的方塊圖。GaN+CMOS電路302用於形成高電壓後端電路（例如，高電壓驅動器），其使用單片集成工藝而在單晶片上與低電壓數位邏輯電路304集成。與圖2所示的現有系統相比，圖3的系統顯著地降低了系統複雜性。來自GaN+CMOS電路302的高電壓輸出施加於高電壓系統300（例如，步進馬達）。

【0016】圖4示出了後端電路的示例性示意圖。所述後端電路具有反向器400形式，其具有空乏型GaN FET M1、M2和CMOS偏置電路402。反向器400可以用於如圖3實施例中與低電壓邏輯電路集成的高電壓後端電路中。此處值得注意的是，因響應於導通狀態低電壓

邏輯輸入406而當高電壓輸出404從零變為高電壓時，尾部GaN元件M1具有全電壓擺幅（full voltage swing），這將導致較慢的上升時間（rising time）。

【0017】圖5依照本發明另一示例性實施例示出了反向器500電路拓撲，其通過GaN元件M4、M5和CMOS元件M3將CMOS電路中邏輯輸入502處的邏輯電平低電壓轉換成輸出503處的高電壓。尾部CMOS元件（M3）和尾部GaN元件（M4）共享相同的邏輯輸入502，並且CMOS元件M3的擊穿電壓有益地高於在CMOS元件M3和GaN元件M4於導通狀態下之間的接合（injunction）505處的電勢（即，在邏輯輸入502處的正V）。頂部GaN元件M5的尺寸有益地盡可能的小以降低反向器500的導通狀態電流消耗。

【0018】如圖5所示，尾部配置（configuration）M3、M4具有相同的邏輯輸入502，而邏輯輸入502與GaN FET M4的GaN柵極共享CMOS FET M3的矽（Si）柵極，因此當施加例如 3.3V的邏輯高（logic high）時，與GaN FET M4的GaN柵極將固定在0V的配置相比，GaN FET M4變得更加導通。因此，導通電阻（on-resistance）將有益地變的較低，並且在本示例性實施例的GaN+Si柵極FET M4、M3的串聯組合中，電壓下降（voltage drop，Vds）將有益地變的較低。因此，根據本示例性實施例，導通狀態下的靜態功率損耗（static power loss）應當有益地變的較低。

【0019】另外，在本示例性實施例中，因為在斷開狀態（即，邏輯輸入502處的0V）的尾部CMOS元件M3使的GaN元件M4與電路接地輸入507斷開，原本因為空乏模式操作而需要負直流柵極偏置的尾部GaN元件M4將有益地不再需要偏置電路。如圖6所示，因為尾

部GaN元件M4在接合505處的源極電壓在斷開狀態（即，邏輯輸入502處的0V）不接地，因此，尾部GaN元件M4不會有全電壓擺幅和較慢上升時間問題。相反地，圖4中的反向器400的尾部GaN元件M1在切換時具有全電壓擺幅。

【0020】如圖5所示，尾部元件FET M3和M4串聯耦合於高電壓輸出503和電路接地輸入507之間。頂部GaN元件M5耦合於高電源電壓輸入509和高電壓輸出503之間。

【0021】反向器500還可以用於與圖3實施例中低電壓邏輯電路集成的高電壓後端電路。

【0022】圖6根據一示例性實施例示出了高電壓系統的模擬波形。如圖6所示，在沒有附加驅動和/或偏置電路下，取決於高電源電壓下3.3V邏輯輸入600可被轉換成不同的較高電壓邏輯輸出602、604。圖6還示出了3.3V CMOS元件的汲極電壓606（相比於圖5中的M3）。

【0023】圖7依照本發明另一示例性實施例示出了NOR邏輯電路700拓撲，其通過GaN元件M7、M9、M10和CMOS元件M6將CMOS電路中邏輯輸入702a、b處的兩個邏輯電平電壓轉換成輸出703處的高電壓。尾部CMOS元件M6和尾部GaN元件M7共享相同的邏輯輸入702a。尾部CMOS元件M8和尾部GaN元件M9共享相同的邏輯輸入702b。CMOS元件M6、M8的擊穿電壓有益地高於在CMOS和GaN元件於導通狀態下之間的接合705a、705b處的電勢（即，在邏輯輸入702a、b處的正V）。頂部GaN元件M10的尺寸有益地盡可能的小以降低NOR邏輯電路700的導通狀態電流消耗。

【0024】如圖7所示，尾部配置M6、M7具有相同的邏輯輸入702a，而邏輯輸入702a與GaN FET M7的GaN柵極共享CMOS FET M6的矽（Si）柵極，因此當施加例如 3.3V的邏輯高至邏輯輸入702a時，與GaN FET M7的GaN柵極將固定在0V的配置相比，GaN FET M7變得更加導通。因此，導通電阻將有益地變的較低，並且在本示例性實施例的GaN+Si柵極FET M6、M7的串聯組合中，電壓下降（ $V_{ds}$ ）將有益地變的較低。類似地，尾部配置M8、M9具有相同的邏輯輸入702b，而邏輯輸入702b與GaN FET M9的GaN柵極共享CMOS FET M8的矽（Si）柵極，因此當施加例如 3.3V的邏輯高至邏輯輸入702b時，與GaN FET M9的GaN柵極將固定在0V的配置相比，GaN FET M9變得更加導通。因此，導通電阻將有益地變的較低，並且在本示例性實施例的GaN+Si柵極FET M8、M9的串聯組合中，電壓下降（ $V_{ds}$ ）將有益地變的較低。因此，根據本示例性實施例，靜態功率損耗應當有益地變的較低。

【0025】另外，在本示例性實施例中，因為在斷開狀態（即，邏輯輸入702a、b處的0V）的尾部CMOS元件M6、M8使的GaN元件M7、M9與電路接地輸入707斷開，尾部GaN元件M7、M9將有益地不再需要偏置電路。因為尾部GaN元件M7、M9在接合705a、b處的源極電壓在斷開狀態（即，邏輯輸入702a、b處的0V）不接地，因此，尾部GaN元件M7、M9不會有全電壓擺幅和較慢上升時間問題。

【0026】如圖7所示，在一邊的尾部元件FET M6和M7以及在另一邊的尾部元件FET M8和M9串聯耦合於高電壓輸出703和電路接地輸入707之間。頂部GaN元件M10耦合於高電源電壓輸入709和高電壓輸出703之間。

【0027】NOR邏輯電路700還可以用於與圖3實施例中低電壓邏輯電路集成的高電壓後端電路。

【0028】為了在上述本發明示例性實施例的製造中實現III-V材料與CMOS的單片集成，此處採用了垂直集成工藝（vertically integrated process），以下稱之為LEES工藝。具體地，LEES工藝是基於由商業鑄造廠進行的習知前端矽CMOS處理，隨後在單獨的設施中進行III-V集成和處理，然後將處理後的晶片返回到用於後端矽CMOS處理的商業鑄造廠。圖8a至8d共同示出了採用LEES工藝以形成將III-V和CMOS/Si元件單片集成的示例性結構。此處應當理解的是對於所描述的實施例，採用GaN FET用作III-V半導體元件的示例是因為GaN FET特別適合於形成高功率和/或高電壓電路。簡要地說，圖8a示出了具有製造的Si-CMOS元件802的絕緣體上矽（silicon-on-insulator，SOI）晶片800。圖8b示出了通過使用圖8a的晶片800和矽上GaN（GaN-on-Silicon）晶片的兩步接合技術（two-step bonding technology）實現的Si-CMOS/GaN-on-Si晶片804。圖8c示出了用於元件隔離窗口（window）806的打開（opening）。圖8d示出了具有製造的FET 808和Si-CMOS元件802的最終金屬互連（final metal interconnection）的單片集成GaN FET元件808的示意性橫截面圖。

【0029】由於上述LEES工藝是基於商業CMOS鑄造，CMOS電路設計能夠利用由鑄造廠提供的現有CMOS工藝設計套件（PDK）。本領域技術人員將理解的是，晶粒III-V部分所使用的PDK包括III-V元件模型、佈局p單元（layout p-cells）以及III-V和CMOS元件之間的互連模型。PDK是利用基於物理的III-V元件（即，GaN FET）

的緊湊模型開發的，其耦合元件佈局，由元件和工藝研究者定義的尺寸和間隔規則，使得具有III-V電路仿真的CMOS能夠使用習知的計算機輔助設計（CAD）工具和用於晶粒的CMOS和GaN部分的佈局。這種集成的CAD流程實現了III-V電路和CMOS的聯合設計，並且簡化了LEES工藝到商業化的過程。

【0030】本發明一實施例提供了一種用於高電壓系統應用的高電壓邏輯電路，其包括：第一元件層，由第一半導體材料形成且包括低電壓邏輯電路；以及第二元件層，由不同於第一半導體材料的第二半導體材料形成且包括附加電路的一個或多個組件，其中附加電路的一個或多個組件用於從低電壓邏輯電路的低電壓邏輯輸入產生高電壓邏輯輸出，其中第一元件層和第二元件層為一體形成。

【0031】第一元件層可包括附加電路的至少一個組件。至少一個組件可包括偏置電路。至少一個組件可包括至少一個第一尾部電晶體，其由第一半導體材料製成。附加電路可不需要附加偏置電路，其用於偏置附加電路的至少一個第二尾部電晶體，其中至少一個第二尾部電晶體由第二半導體材料製成。

【0032】附加電路可包括邏輯反相器電路。

【0033】附加電路可包括NOR邏輯電路。

【0034】第一半導體材料可包括矽基材料。

【0035】第二半導體材料可包括基於III-V族材料。

【0036】本發明一實施例提供了一種邏輯電路，其包括：低電壓邏輯輸入；高電源電壓輸入；電路接地電壓輸入；高電壓輸出；至少一個第一尾部元件，其由第一半導體材料製成；以及至少一個第二尾部元件，其由不同於第一半導體材料的第二半導體材料製成，其

中至少一個第一尾部元件和至少一個第二尾部元件串聯耦合於高電壓輸出和電路接地電壓輸入之間，其中至少一個第一尾部元件和至少一個第二尾部元件其各自柵極並聯耦合到低電壓邏輯輸入。

【0037】邏輯電路可還包括頂部元件，其耦合於高電源電壓輸入和高電壓輸出之間。頂部元件可由第二半導體材料製成。頂部元件可具有小尺寸以降低反相器電路的導通狀態電流消耗。

【0038】邏輯電路可包括邏輯反相器電路。

【0039】邏輯電路可包括NOR邏輯電路。

【0040】第一半導體材料可包括矽基材料。

【0041】第二半導體材料可包括基於III-V族材料。

【0042】圖9根據一實施例示出了一種製造用於高電壓系統應用的高電壓邏輯電路的方法的流程圖900。在步驟902，提供第一元件層，其由第一半導體材料形成且包括低電壓邏輯電路。在步驟904，提供第二元件層，其由不同於第一半導體材料的第二半導體材料形成且包括附加電路的一個或多個組件，其中附加電路的一個或多個組件用於從低電壓邏輯電路的低電壓邏輯輸入產生高電壓邏輯輸出，其中第一元件層和第二元件層為一體形成。

【0043】第一元件層可包括附加電路的至少一個組件。至少一個組件可包括偏置電路。至少一個組件可包括至少一個第一尾部電晶體，其由第一半導體材料製成。附加電路可不需要附加偏置電路，其用於偏置附加電路的至少一個第二尾部電晶體，其中至少一個第二尾部電晶體由第二半導體材料製成。

【0044】附加電路可包括邏輯反相器電路。

【0045】附加電路可包括NOR邏輯電路。

【0046】第一半導體材料可包括矽基材料。

【0047】第二半導體材料可包括基於III-V族材料。

【0048】圖10根據一實施例示出了一種製造邏輯電路的方法的流程圖1000。在步驟1002，提供低電壓邏輯輸入。在步驟1004，提供高電源電壓輸入。在步驟1006，提供電路接地電壓輸入。在步驟1008，提供高電壓輸出。在步驟1010，提供至少一個第一尾部元件，其由第一半導體材料製成。在步驟1012，提供至少一個第二尾部元件，其由不同於第一半導體材料的第二半導體材料製成，其中至少一個第一尾部元件和至少一個第二尾部元件串聯耦合於高電壓輸出和電路接地電壓輸入之間，其中至少一個第一尾部元件和至少一個第二尾部元件其各自柵極並聯耦合到低電壓邏輯輸入。

【0049】所述方法可還包括提供頂部元件，其耦合於高電源電壓輸入和高電壓輸出之間。頂部元件可由第二半導體材料製成。頂部元件可具有小尺寸以降低反相器電路的導通狀態電流消耗。

【0050】邏輯電路可包括邏輯反相器電路。

【0051】邏輯電路可包括NOR邏輯電路。

【0052】第一半導體材料可包括矽基材料。

【0053】第二半導體材料可包括基於III-V族材料。

【0054】本發明的實施例可以應用於家庭、車輛和工業應用的具較小形成因子高電壓系統中。

【0055】本領域技術人員將理解的是，在不脫離廣泛描述的本發明的精神或範圍的情況下，可以對具體實施例中所示的本發明進行多種變化和/或修改。因此，本實施例在所有方面都被認為是說明性的而不具限制性。此外，本發明包括特徵的任何組合，特別是申請專

利範圍中的特徵的任何組合，即使特徵或特徵組合沒有在申請專利範圍或本實施例中明確指定。

【0056】例如，雖然在上述示例性實施例中採用了Ga<sub>N</sub>元件，但是亦可以用維持於高電壓並且使用單片集成工藝而與CMOS元件集成的其他基於III-V族的材料元件（例如GaP、InP、AlN）。

【0057】此外，雖然本文所述的示例性實施例中的所有Ga<sub>N</sub>元件以更受歡迎的空乏模式操作，但本領域技術人員可理解的是，在不同實施例中亦可以使用增強型Ga<sub>N</sub>元件。

【0058】參考文獻：

[1] P.Choi 等人，“A 5.9-GHz Fully Integrated GaN Frontend Design With Physics-Based RF Compact Model，” IEEE Trans. 微波理論與技術，vol. 63，no. 4，pp. 1163-1173，2015 四月。

[2] N.Tipirneni, A.Koudymov, V.Adivarahan, J.Yang, G.Simin 和 M.AKhan, “The 1.6-kV AlGa<sub>N</sub>/Ga<sub>N</sub> HFETs”，IEEE Electron Device Letters，vol. 27，no. 9，pp. 716-718，2006 年 9 月。

[3] US20150099328A1

[4] US8120060

[5] US7705370

[6] US7535089

[7] US8012592

【符號說明】

**【0059】**

- 100：微控制器
- 102：馬達驅動晶片組
- 200、300：高電壓系統
- 202：數位控制電路
- 204：冗餘驅動電路
- 302：GaN+CMOS 電路
- 304：低電壓數位邏輯電路
- 400、500：反向器
- 402：CMOS 偏置電路
- 404：高電壓輸出
- 406、502、600、702a、702b：電壓邏輯輸入
- 503、703：輸出
- 505、705a、705b：接合
- 507、707：電路接地輸入
- 509、709：電源電壓輸入
- 602、604：邏輯輸出 509：
- 606：汲極電壓
- 700：NOR 邏輯電路
- 800：晶片
- 802：Si-CMOS 元件
- 804：晶片
- 806：窗口
- 808：FET
- 900、1000：流程圖
- 902~904、1002~1012：步驟

M1、M2、M3、M4、M5、M6、M7、M8、M9、M10：電晶體

## 【發明申請專利範圍】

【第 1 項】一種用於高電壓系統應用的高電壓邏輯電路，包括：

一第一元件層，由一第一半導體材料形成且包括一低電壓邏輯電路；

一第二元件層，由不同於該第一半導體材料的一第二半導體材料形成且包括一附加電路的一個或多個組件，其中該附加電路的一個或多個組件用於從該低電壓邏輯電路的一低電壓邏輯輸入產生一高電壓邏輯輸出；以及

一晶片基底；

其中該第一元件層和該第二元件層為一體形成，並且該第一元件層與該第二元件層形成於該晶片基底的同一側，以及該第一元件層與該第二元件層及該晶片基底中的每一個垂直重疊。

【第 2 項】如申請專利範圍第 1 項所述之高電壓邏輯電路，其中該第一元件層包括該附加電路的至少一個組件。

【第 3 項】如申請專利範圍第 2 項所述之高電壓邏輯電路，其中該至少一個組件包括一偏置電路。

【第 4 項】如申請專利範圍第 2 項所述之高電壓邏輯電路，其中該至少一個組件包括至少一個第一尾部電晶體，其由該第一半導體材料製成。

【第 5 項】如申請專利範圍第 4 項所述之高電壓邏輯電路，其中該附加電路不需要一附加偏置電路，其用於偏置該附加電路的至少一個第二尾部電晶體，其中該至少一個第二尾部電晶體由該第二半導體材料製成。

【第 6 項】如申請專利範圍第 1 至 5 項任一項所述之高電壓邏輯電路，其中該附加電路包括一邏輯反相器電路。

【第 7 項】如申請專利範圍第 1 至 5 項任一項所述之高電壓邏輯電路，其中該附加電路包括一 NOR 邏輯電路。

【第 8 項】如申請專利範圍第 1 至 5 項任一項所述之高電壓邏輯電路，其中該第一半導體材料包括一矽基材料。

【第 9 項】如申請專利範圍第 1 至 5 項任一項所述之高電壓邏輯電路，其中該第二半導體材料包括一基於 III-V 族材料。

【第 10 項】一種邏輯電路，包括：

- 一低電壓邏輯輸入；
- 一高電源電壓輸入；
- 一電路接地電壓輸入；
- 一高電壓輸出；

至少一個第一尾部元件，其由一第一半導體材料製成；以及

至少一個第二尾部元件，其由不同於該第一半導體材料的一第二半導體材料製成，

其中該至少一個第一尾部元件和該至少一個第二尾部元件串聯耦合於該高電壓輸出和該電路接地電壓輸入之間，

其中該至少一個第一尾部元件和該至少一個第二尾部元件其各自柵極並聯耦合到該低電壓邏輯輸入。

【第 11 項】如申請專利範圍第 10 項所述之邏輯電路，還包括一頂部元件，其耦合於該高電源電壓輸入和該高電壓輸出之間。

【第 12 項】如申請專利範圍第 11 項所述之邏輯電路，其中該頂部元件由該第二半導體材料製成。

【第 13 項】如申請專利範圍第 11 或 12 項所述之邏輯電路，其中該頂部元件具有一小尺寸以降低該邏輯電路的一導通狀態電流消耗。

【第 14 項】如申請專利範圍第 10 至 12 項任一項所述之邏輯電路，其中該邏輯電路包括一邏輯反相器電路。

【第 15 項】如申請專利範圍第 10 至 12 項任一項所述之邏輯電路，其中該邏輯電路包括一 NOR 邏輯電路。

【第 16 項】如申請專利範圍第 10 至 12 項任一項所述之邏輯電路，其中該第一半導體材料包括一矽基材料。

【第 17 項】如申請專利範圍第 10 至 12 項任一項所述之邏輯電路，其中該第二半導體材料包括一基於 III-V 族材料。

【第 18 項】一種製造用於高電壓系統應用的高電壓邏輯電路的方法，包括：

提供一第一元件層，其由一第一半導體材料形成且包括一低電壓邏輯電路；

提供一第二元件層，其由不同於該第一半導體材料的一第二半導體材料形成且包括一附加電路的一個或多個組件，其中該附加電路的一個或多個組件用於從該低電壓邏輯電路的一低電壓邏輯輸入產生一高電壓邏輯輸出；以及

提供一晶片基底；

其中該第一元件層和該第二元件層為一體形成，並且該第一元件層與該第二元件層形成於該晶片基底的同一側，以及該第一元件層與該第二元件層及該晶片基底中的每一個垂直重疊。

【第 19 項】如申請專利範圍第 18 項所述之方法，其中該第一元件層包括該附加電路的至少一個組件。

【第 20 項】如申請專利範圍第 19 項所述之方法，其中該至少一個組件包括一偏置電路。

【第 21 項】如申請專利範圍第 19 項所述之方法，其中該至少一個組件包括至少一個第一尾部電晶體，其由該第一半導體材料製成。

【第 22 項】如申請專利範圍第 21 項所述之方法，其中該附加電路不需要一附加偏置電路，其用於偏置該附加電路的至少一個第二尾部電晶體，其中該至少一個第二尾部電晶體由該第二半導體材料製成。

【第 23 項】如申請專利範圍第 18 至 22 項任一項所述之方法，其中該附加電路包括一邏輯反相器電路。

【第 24 項】如申請專利範圍第 18 至 22 項任一項所述之方法，其中該附加電路包括一 NOR 邏輯電路。

【第 25 項】如申請專利範圍第 18 至 22 項任一項所述之方法，其中該第一半導體材料包括一矽基材料。

【第 26 項】如申請專利範圍第 18 至 22 項任一項所述之方法，其中該第二半導體材料包括一基於 III-V 族材料。

【第 27 項】一種製造邏輯電路的方法，包括：

提供一低電壓邏輯輸入；

提供一高電源電壓輸入；

提供一電路接地電壓輸入；

提供一高電壓輸出；

提供至少一個第一尾部元件，其由一第一半導體材料製成；以及

提供至少一個第二尾部元件，其由不同於該第一半導體材料的一第二半導體材料製成，

其中該至少一個第一尾部元件和該至少一個第二尾部元件串聯耦合於該高電壓輸出和該電路接地電壓輸入之間，

其中該至少一個第一尾部元件和該至少一個第二尾部元件其各自柵極並聯耦合到該低電壓邏輯輸入。

【第 28 項】如申請專利範圍第 27 項所述之方法，還包括一頂部元件，其耦合於該高電源電壓輸入和該高電壓輸出之間。

【第 29 項】如申請專利範圍第 28 項所述之方法，其中該頂部元件由該第二半導體材料製成。

【第 30 項】如申請專利範圍第 28 或 29 項所述之方法，其中該頂部元件具有一小尺寸以降低該邏輯電路的一導通狀態電流消耗。

【第 31 項】如申請專利範圍第 27 至 29 項任一項所述之方法，其中該邏輯電路包括一邏輯反相器電路。

【第 32 項】如申請專利範圍第 27 至 29 項任一項所述之方法，其中該邏輯電路包括一 NOR 邏輯電路。

【第 33 項】如申請專利範圍第 27 至 29 項任一項所述之方法，其中該第一半導體材料包括一矽基材料。

【第 34 項】如申請專利範圍第 27 至 29 項任一項所述之方法，其中該第二半導體材料包括一基於 III-V 族材料。

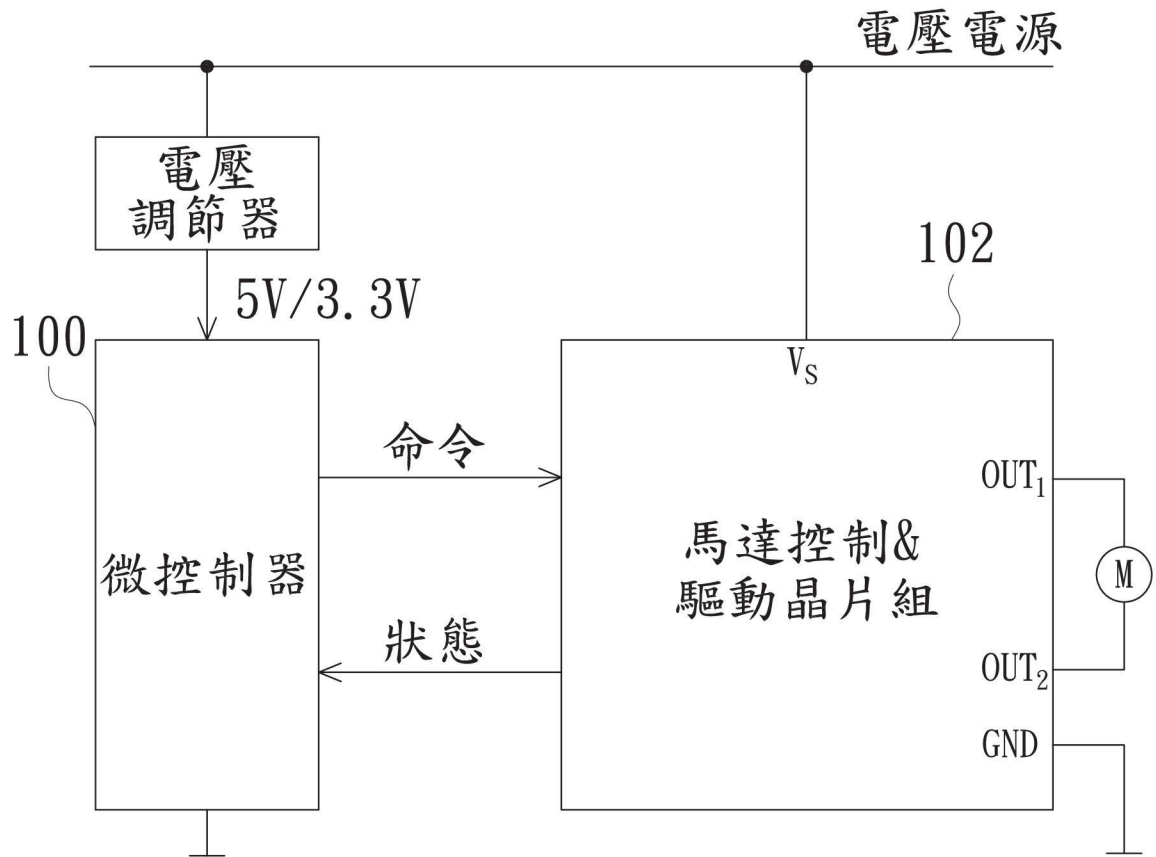


圖 1

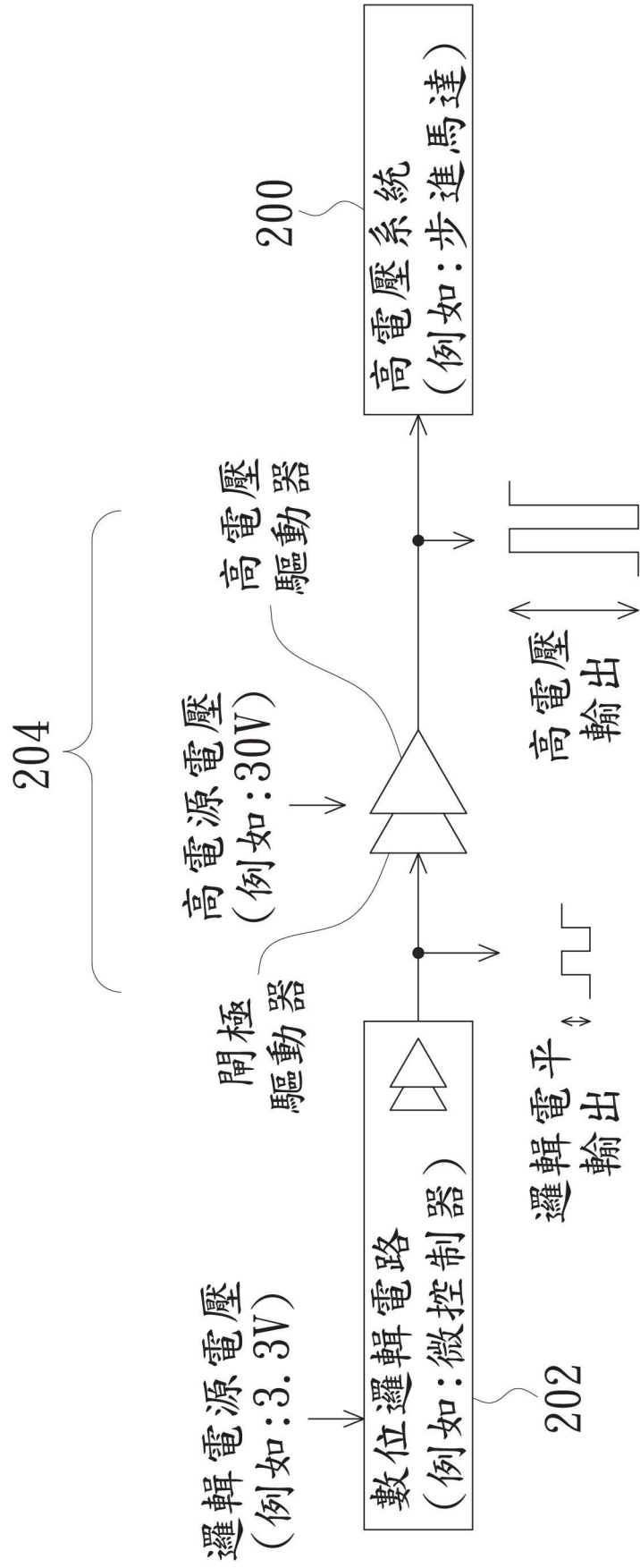


圖2

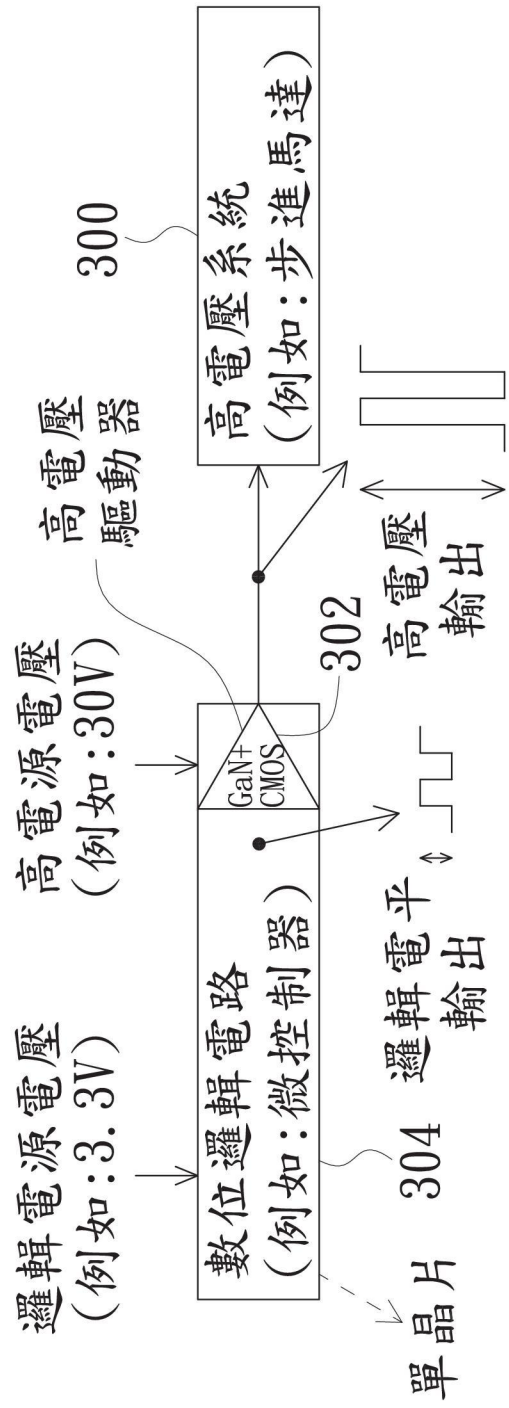


圖3

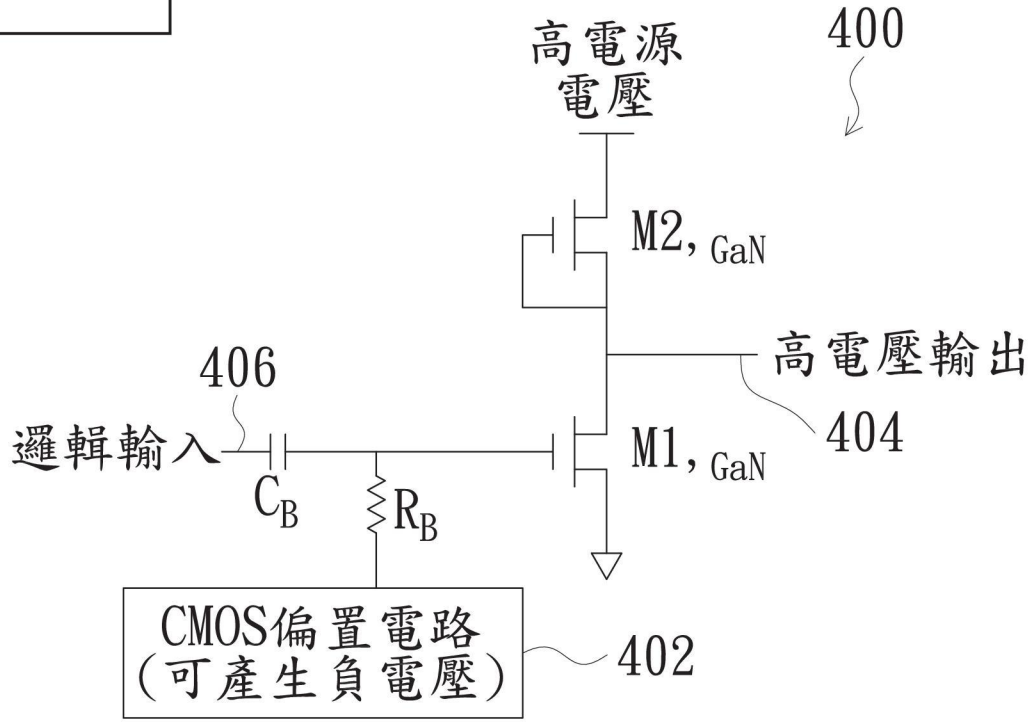


圖4

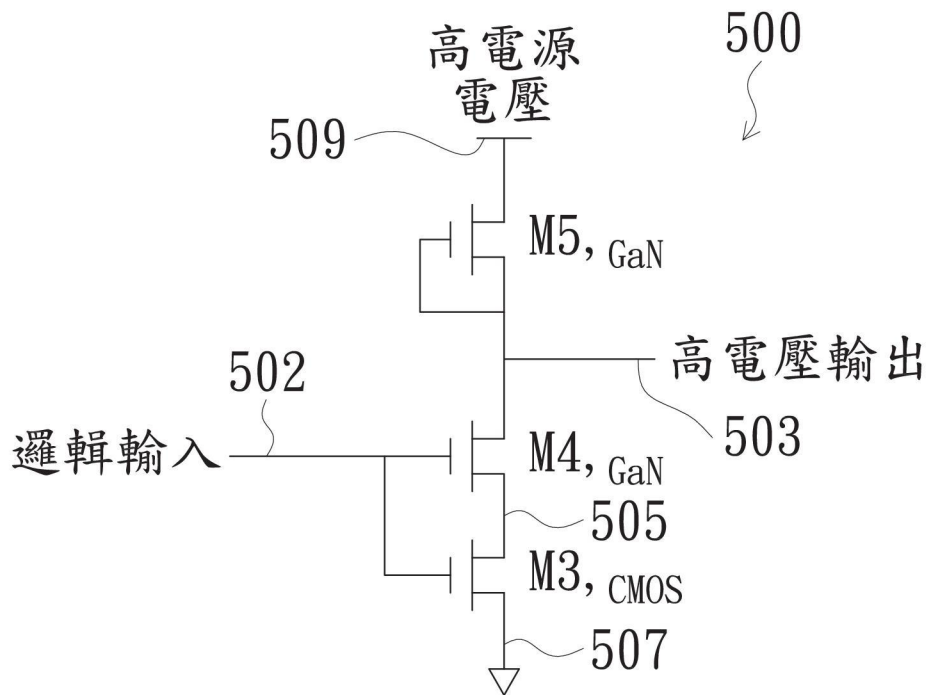


圖5

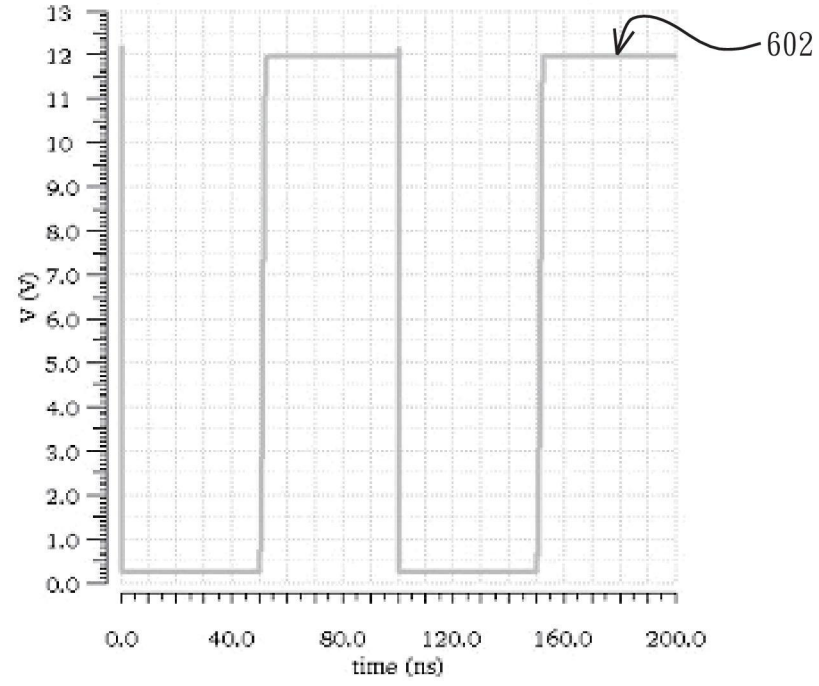
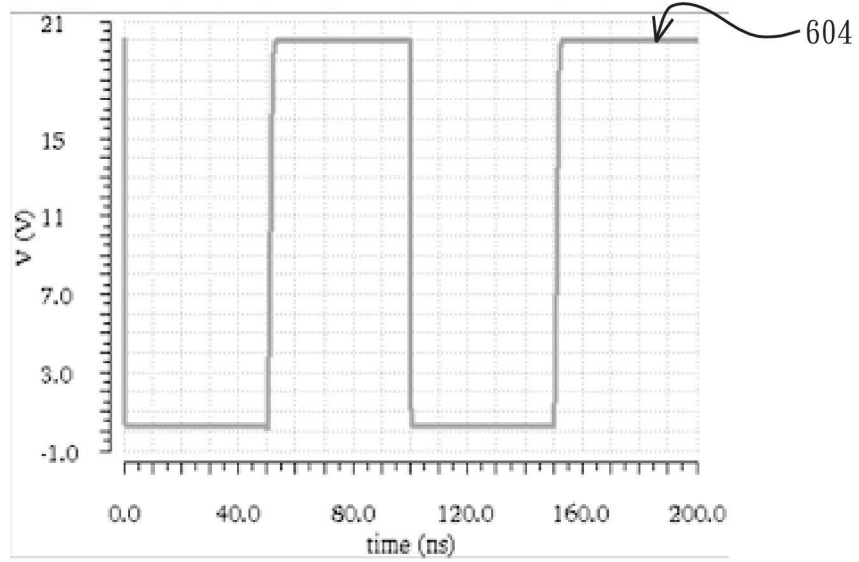
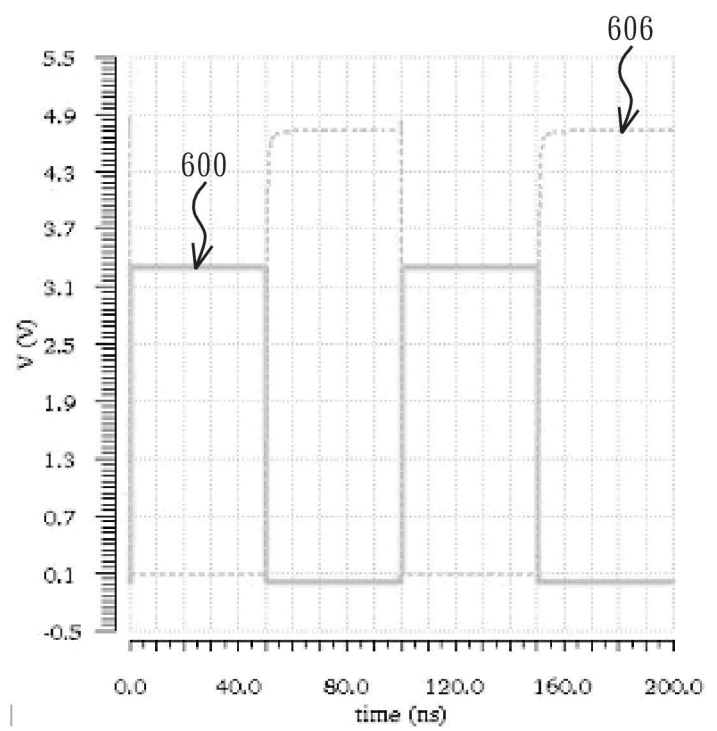


圖 6

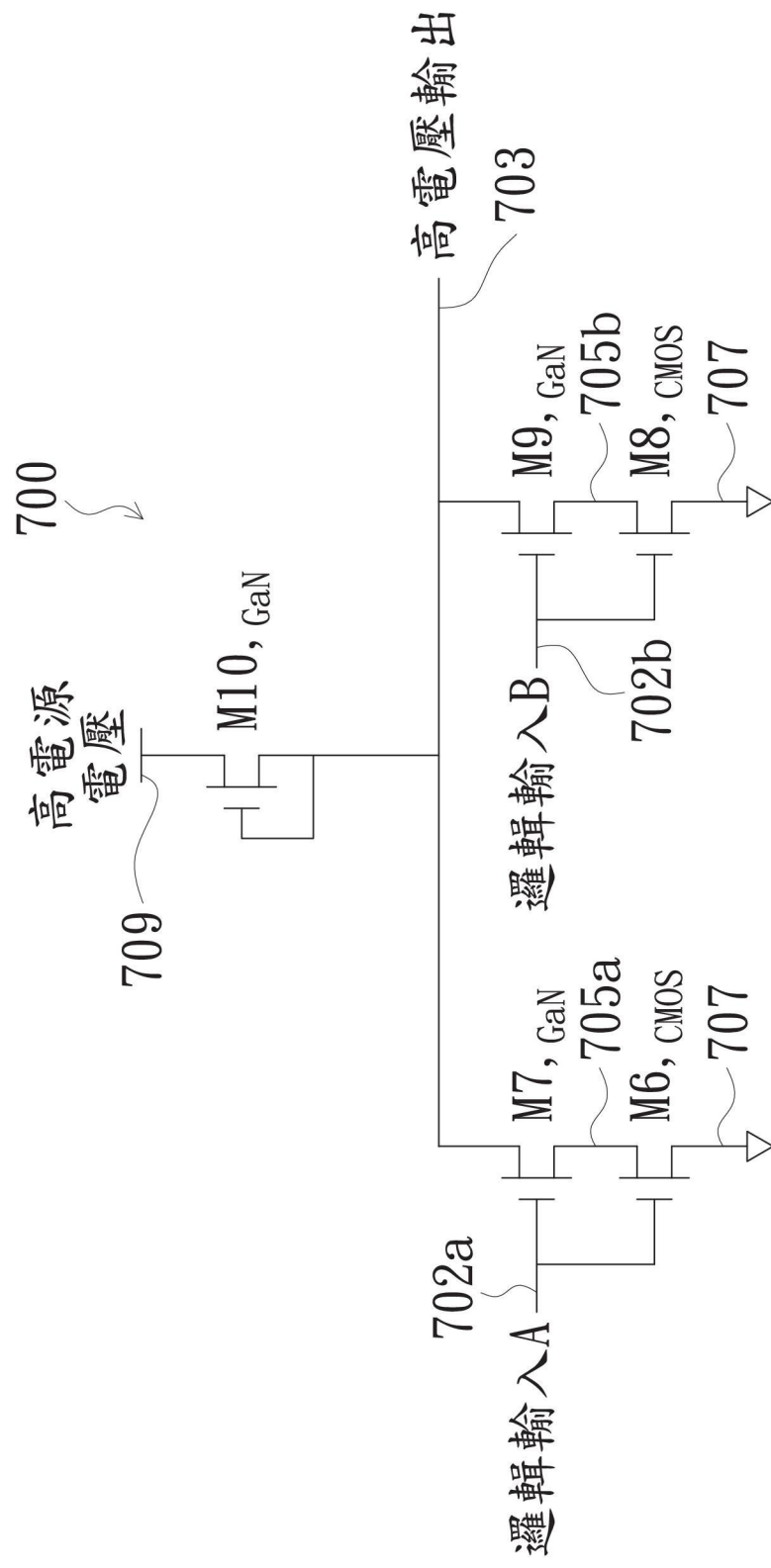


圖7

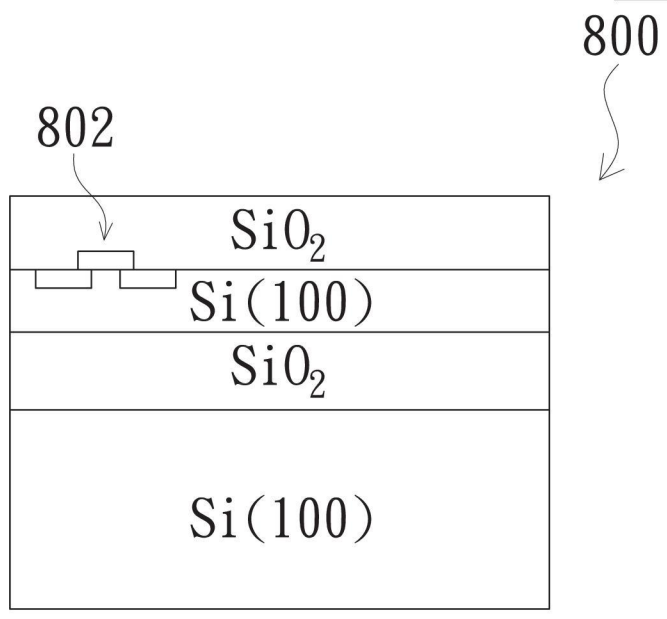


圖 8a

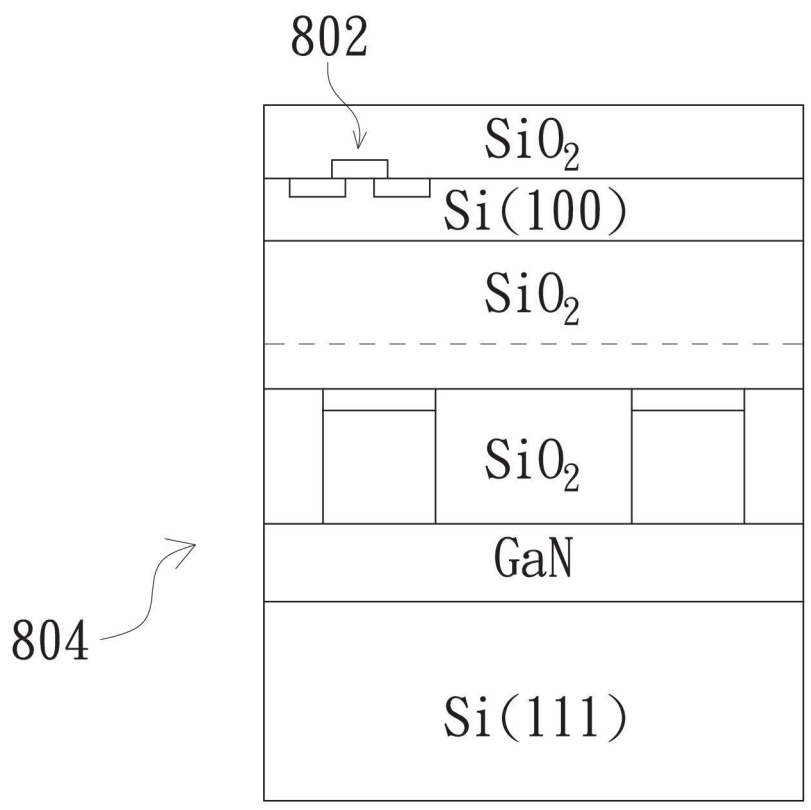


圖 8b

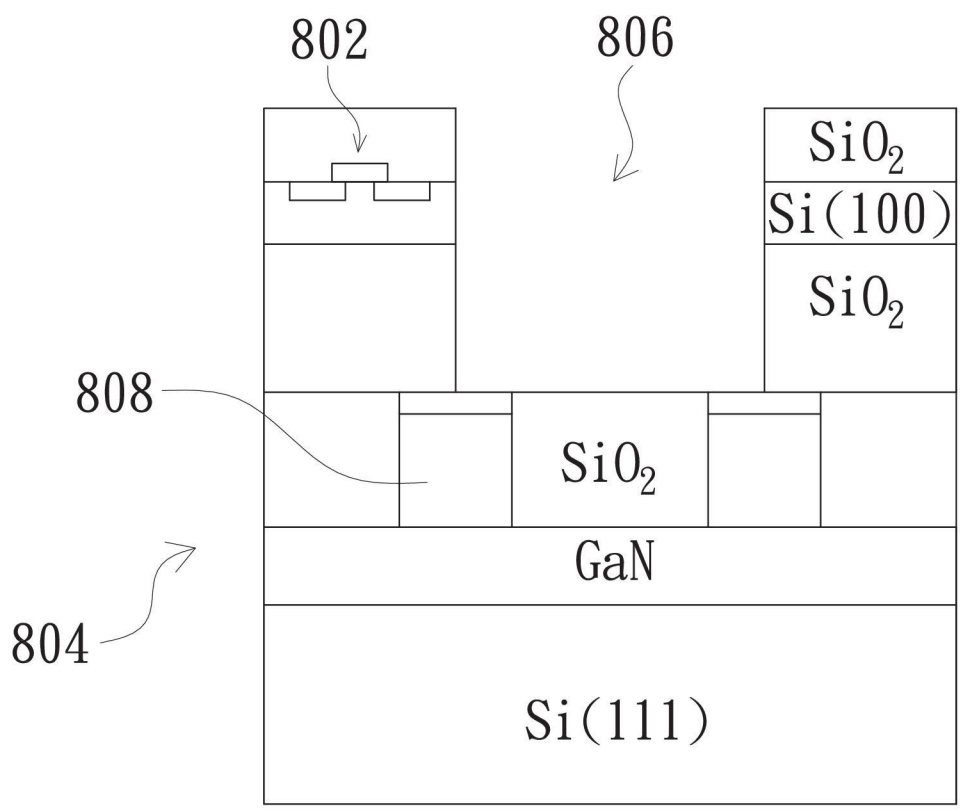


圖 8c

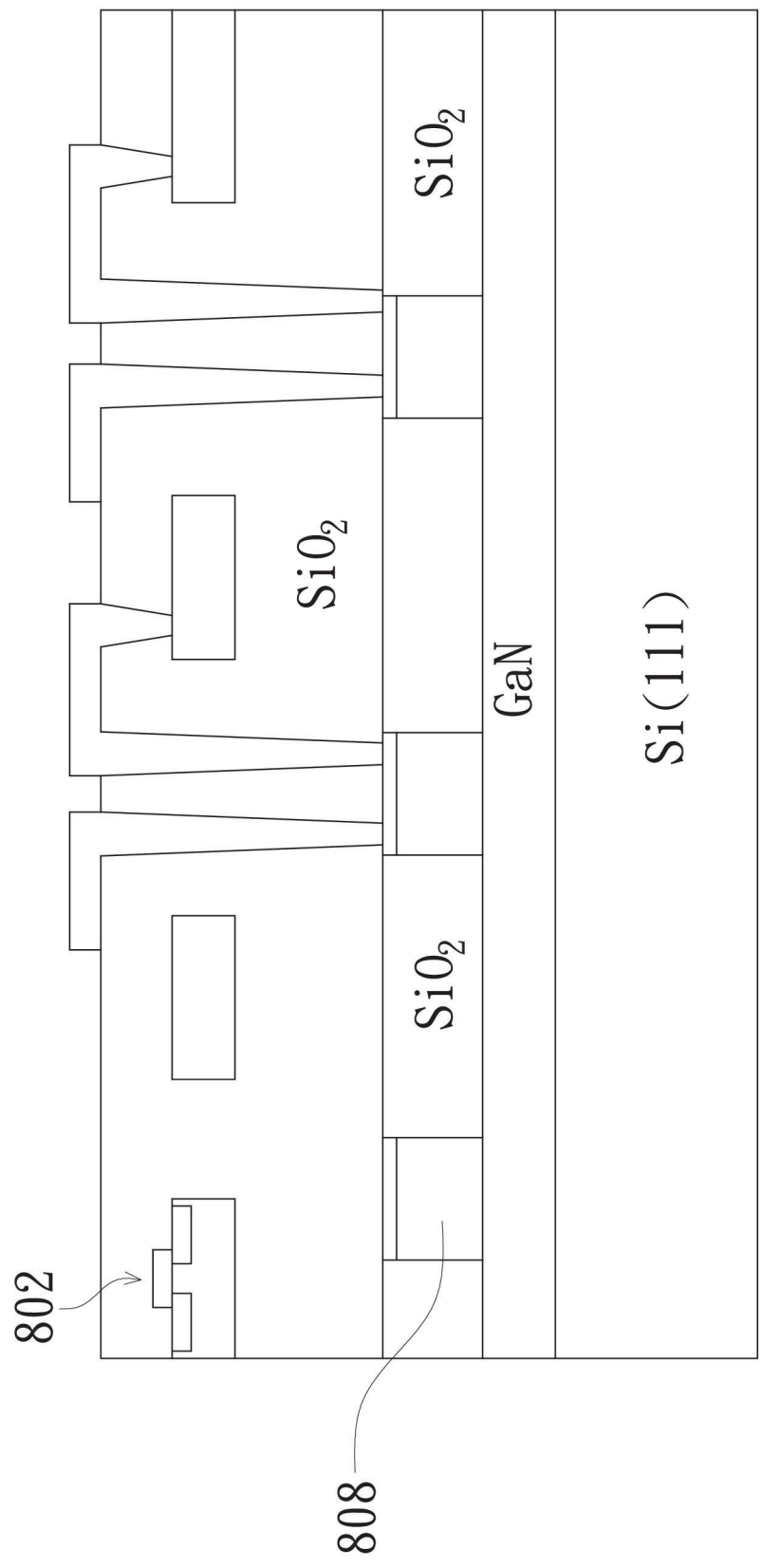


圖 8d

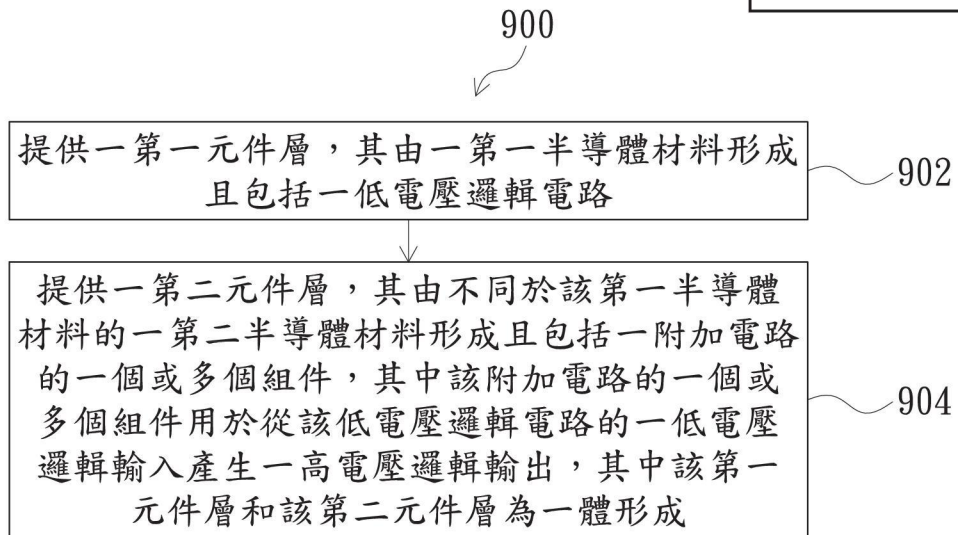


圖 9

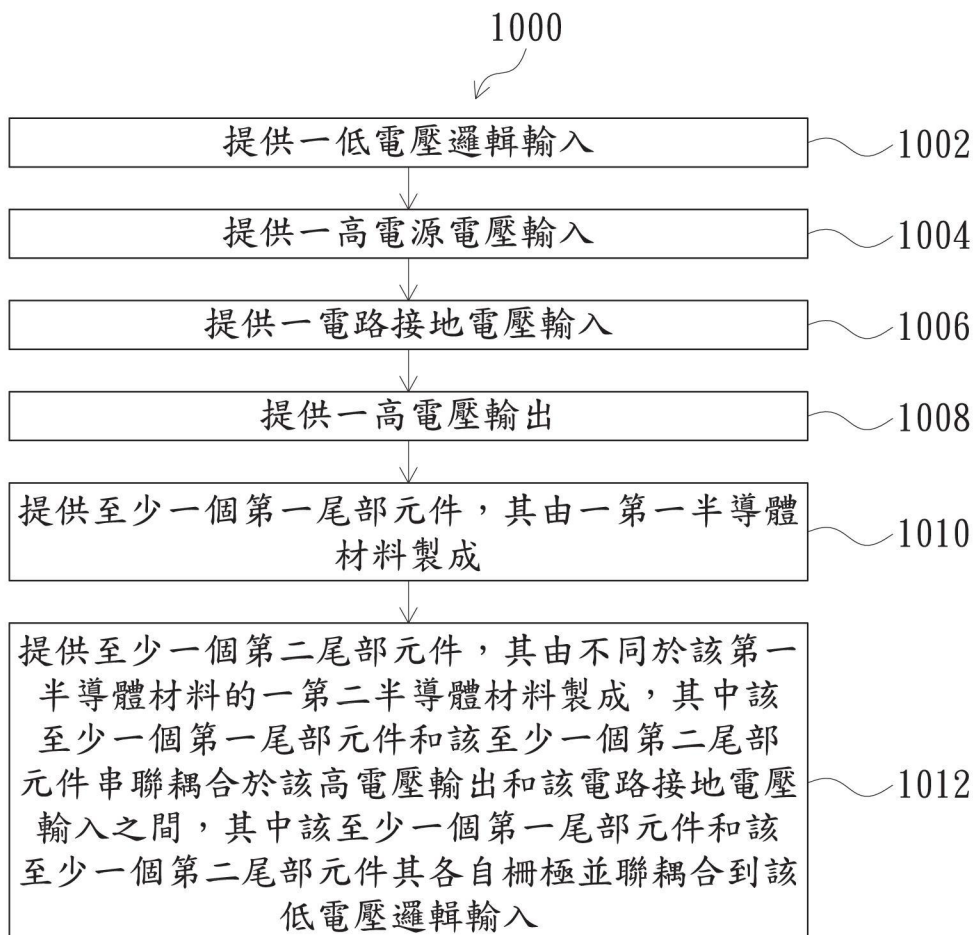


圖 10