

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-16347

(P2010-16347A)

(43) 公開日 平成22年1月21日 (2010.1.21)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 E	2 H O 9 2
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 8 B	5 C O 9 4
G O 2 F 1/1368 (2006.01)	H O 1 L 29/78 6 1 8 F	5 F 1 1 O
G O 9 F 9/30 (2006.01)	H O 1 L 29/78 6 1 8 A	
	H O 1 L 29/78 6 2 7 C	
審査請求 有 請求項の数 29 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2009-44309 (P2009-44309)	(71) 出願人	308040351 三星モバイルディスプレイ株式会社 大韓民国京畿道龍仁市器興区農書洞山2 4
(22) 出願日	平成21年2月26日 (2009. 2. 26)	(74) 代理人	100083806 弁理士 三好 秀和
(31) 優先権主張番号	10-2008-0062417	(74) 代理人	100095500 弁理士 伊藤 正和
(32) 優先日	平成20年6月30日 (2008. 6. 30)	(74) 代理人	100111235 弁理士 原 裕子
(33) 優先権主張国	韓国 (KR)	(72) 発明者	金 民 圭 大韓民国京畿道水原市靈通区▲しん▼洞 5 7 5 番地
		(72) 発明者	鄭 棕 翰 大韓民国京畿道水原市靈通区▲しん▼洞 5 7 5 番地
		最終頁に続く	

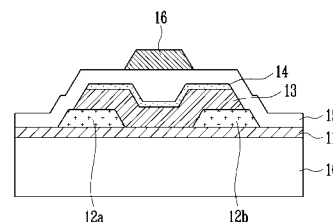
(54) 【発明の名称】 薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置

(57) 【要約】

【課題】 活性層の界面特性が向上できる薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置を提供する。

【解決手段】 基板と、前記基板上に形成されたソース電極及びドレイン電極と、前記ソース電極及びドレイン電極と一部重なり、酸化物半導体からなる活性層と、ゲート絶縁層によって前記活性層と絶縁されるゲート電極と、前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、前記界面安定化層は3.0～8.0 eVのバンドギャップを有する酸化物からなる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

基板と、
 前記基板上に形成されたソース電極及びドレイン電極と、
 前記ソース電極及びドレイン電極と一部重なり、酸化物半導体からなる活性層と、
 ゲート絶縁層によって前記活性層と絶縁されるゲート電極と、
 前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを
 有し、
 前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物からなる薄膜ト
 ランジスタ。

10

【請求項 2】

前記酸化物半導体は、酸化亜鉛 (ZnO) を含むことを特徴とする請求項 1 に記載の薄
 膜トランジスタ。

【請求項 3】

前記酸化物半導体にガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウ
 ム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲル
 マニウム (Ge) 及びバナジウム (V) のうちの少なくとも 1 つのイオンがドーピングさ
 れることを特徴とする請求項 2 に記載の薄膜トランジスタ。

【請求項 4】

前記界面安定化層は、 SiO_x 、 SiN 、 SiO_xNy 、 SiO_xCy 、 SiO_xCy
 Hz 、 SiO_xFy 、 GeO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG からなる
 群より選択されることを特徴とする請求項 1 に記載の薄膜トランジスタ。

20

【請求項 5】

前記界面安定化層の水素濃度は、 $10^{+19} / \text{cm}^3$ 以下であることを特徴とする請求項
 1 に記載の薄膜トランジスタ。

【請求項 6】

基板上にソース電極及びドレイン電極を形成する段階と、
 前記ソース電極及びドレイン電極を含む上部に界面安定化層及び酸化物半導体層を形成
 する段階と、
 前記酸化物半導体層をパターンニングして活性層を形成する段階と、
 前記活性層を含む上部にゲート絶縁層を形成する段階と、
 前記活性層上部の前記ゲート絶縁層上にゲート電極を形成する段階と
 を含み、

30

前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物で形成する薄膜
 トランジスタの製造方法。

【請求項 7】

前記界面安定化層は、 SiO_x 、 SiN 、 SiO_xNy 、 SiO_xCy 、 SiO_xCy
 Hz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SO
 G からなる群より選択されることを特徴とする請求項 6 に記載の薄膜トランジスタの製造
 方法。

40

【請求項 8】

前記界面安定化層は、物理蒸着方法により形成することを特徴とする請求項 7 に記載の
 薄膜トランジスタの製造方法。

【請求項 9】

前記界面安定化層は、 $10 \sim 20$ の厚さで形成することを特徴とする請求項 6 に記載
 の薄膜トランジスタの製造方法。

【請求項 10】

前記酸化物半導体は、酸化亜鉛 (ZnO) を含むことを特徴とする請求項 6 に記載の薄

50

膜トランジスタの製造方法。

【請求項 1 1】

前記酸化物半導体にガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲルマニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも 1 つのイオンがドーピングされることを特徴とする請求項 10 に記載の薄膜トランジスタの製造方法。

【請求項 1 2】

前記活性層を形成する段階で前記界面安定化層をパターニングすることを特徴とする請求項 6 に記載の薄膜トランジスタの製造方法。

10

【請求項 1 3】

前記活性層上に界面安定化層を形成する段階を更に含むことを特徴とする請求項 6 に記載の薄膜トランジスタの製造方法。

【請求項 1 4】

前記界面安定化層は、 SiO_x 、 SiN 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG からなる群より選択されることを特徴とする請求項 13 に記載の薄膜トランジスタの製造方法。

【請求項 1 5】

前記界面安定化層は、物理蒸着方法により形成することを特徴とする請求項 14 に記載の薄膜トランジスタの製造方法。

20

【請求項 1 6】

基板上にソース電極及びドレイン電極を形成する段階と、

前記ソース電極及びドレイン電極を含む上部に酸化物半導体層及び界面安定化層を形成する段階と、

前記界面安定化層及び酸化物半導体層をパターニングして活性層を形成する段階と、

前記活性層を含む上部にゲート絶縁層を形成する段階と、

前記活性層上部の前記ゲート絶縁層上にゲート電極を形成する段階とを含み、

前記界面安定化層は 3.0 ~ 8.0 eV のバンドギャップを有する酸化物で形成する薄膜トランジスタの製造方法。

30

【請求項 1 7】

前記酸化物半導体は、酸化亜鉛 (ZnO) を含むことを特徴とする請求項 16 に記載の薄膜トランジスタの製造方法。

【請求項 1 8】

前記酸化物半導体にガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲルマニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも 1 つのイオンがドーピングされることを特徴とする請求項 17 に記載の薄膜トランジスタの製造方法。

40

【請求項 1 9】

前記界面安定化層は、 SiO_x 、 SiN 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG からなる群より選択されることを特徴とする請求項 16 に記載の薄膜トランジスタの製造方法。

【請求項 2 0】

前記界面安定化層は、物理蒸着方法により形成することを特徴とする請求項 16 に記載の薄膜トランジスタの製造方法。

【請求項 2 1】

50

前記界面安定化層は、50～5000の厚さで形成することを特徴とする16に記載の薄膜トランジスタの製造方法。

【請求項22】

多数の第1導電線と第2導電線により多数の画素が画定され、各画素に供給される信号を制御する薄膜トランジスタ及び薄膜トランジスタと連結される第1電極が形成された第1基板と、

第2電極が形成された第2基板と、

前記第1電極と第2電極との間の封止された空間に注入される液晶層とを有し、

前記薄膜トランジスタは前記第1基板上に形成されたソース電極及びドレイン電極と、
前記ソース電極及びドレイン電極と一部重なり、酸化物半導体からなる活性層と、

10

ゲート絶縁層によって前記活性層と絶縁されるゲート電極と、

前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、

前記界面安定化層は3.0～8.0eVのバンドギャップを有する酸化物からなる平板表示装置。

【請求項23】

前記酸化物半導体は、酸化亜鉛(ZnO)を含むことを特徴とする請求項22に記載の薄膜トランジスタ。

【請求項24】

前記酸化物半導体にガリウム(Ga)、インジウム(In)、錫(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)、カドミウム(Cd)、銀(Ag)、銅(Cu)、ゲルマニウム(Ge)、ガドリニウム(Gd)及びバナジウム(V)のうちの少なくとも1つのイオンがドーピングされることを特徴とする請求項23に記載の薄膜トランジスタ。

20

【請求項25】

前記界面安定化層は、SiO_x、SiN、SiO_xN_y、SiO_xC_y、SiO_xC_yH_z、SiO_xF_y、GeO_x、GdO_x、AlO_x、GaO_x、SbO、ZrO_x、HfO_x、TaO_x、YO_x、VO_x、MgO_x、CaO_x、BaO_x、SrO_x及びSO₂からなる群より選択されることを特徴とする請求項22に記載の薄膜トランジスタ。

【請求項26】

第1電極、有機薄膜層及び第2電極からなる有機電界発光素子と、前記有機電界発光素子の動作を制御するための薄膜トランジスタが形成された第1基板と、

30

前記第1基板に対向するように配置された第2基板とを有し、

前記薄膜トランジスタは前記第1基板上に形成されたソース電極及びドレイン電極と、

前記ソース電極及びドレイン電極と一部重なり、酸化物半導体からなる活性層と、

ゲート絶縁層によって前記活性層と絶縁されるゲート電極と、

前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、

前記界面安定化層は3.0～8.0eVのバンドギャップを有する酸化物からなる平板表示装置。

【請求項27】

40

前記酸化物半導体は、酸化亜鉛(ZnO)を含むことを特徴とする請求項26に記載の平板表示装置。

【請求項28】

前記酸化物半導体にガリウム(Ga)、インジウム(In)、錫(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)、カドミウム(Cd)、銀(Ag)、銅(Cu)、ゲルマニウム(Ge)、ガドリニウム(Gd)及びバナジウム(V)のうちの少なくとも1つのイオンがドーピングされることを特徴とする請求項27に記載の平板表示装置。

【請求項29】

前記界面安定化層は、SiO_x、SiN、SiO_xN_y、SiO_xC_y、SiO_xC_yH_z、SiO_xF_y、GeO_x、GdO_x、AlO_x、GaO_x、SbO、ZrO_x、H

50

f O x、T a O x、Y O x、V O x、M g O x、C a O x、B a O x、S r O x 及び S O G からなる群より選択されることを特徴とする請求項 26 に記載の平板表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は酸化物半導体を活性層とする薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置に関し、より詳しくは、活性層の一面又は両面に界面安定化層 (interfacial stability layer) が備えられた薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置に関する。

【背景技術】

10

【0002】

一般に、薄膜トランジスタ (Thin Film Transistor; T F T) はチャネル領域、ソース領域及びドレイン領域を提供する活性層と、チャネル領域の上部に形成され、ゲート絶縁層によって活性層と電氣的に絶縁されるゲート電極からなる。

【0003】

このように構成される薄膜トランジスタの活性層は、概ね非晶質シリコンやポリシリコンのような半導体物質で形成される。活性層が非晶質シリコンで形成されれば、移動度が低いため、高速で動作する駆動回路の実現が難しくなる。そして、活性層がポリシリコンで形成されれば、移動度は高いものの、閾電圧が不均一になり、別途の補償回路が追加されなければならないという問題点がある。

20

【0004】

また、低温ポリシリコン (Low Temperature Poly-Silicon; L T P S) を用いた従来の薄膜トランジスタの製造方法は、レーザ熱処理などのような高価な費用のかかる工程が含まれるため、設備投資及び管理費用が高くなり、大面積の基板に適用し難いという問題点がある。

【0005】

このような問題点を解決するために、最近では酸化物半導体を活性層として用いる研究が進められている。

【0006】

下記の特許文献 1 には酸化亜鉛 (zinc oxide; Z n O) 又は酸化亜鉛 (Z n O) を主成分とする酸化物半導体を活性層として用いた薄膜トランジスタが開示されている。

30

【0007】

酸化亜鉛 (Z n O) を主成分とする酸化物半導体は、非晶質の形態でありながら、移動度が高いため、安定的な材料であると評価されている。このような酸化物半導体を活性層として用いれば、別途の工程装置を追加で購入しなくても既存の装置を用いて薄膜トランジスタを製造できる。また、酸化物半導体は、低温で蒸着が可能であり、イオン注入が不要である上に、スパッタリング方法で蒸着できるため、大面積の基板にも適用可能である。

【0008】

しかしながら、酸化物半導体を活性層とする薄膜トランジスタは、構造及び工程条件に応じて電氣的特性が変化され易いため、信頼性が低いという問題点がある。特に、定電圧又は定電流の駆動時に閾電圧が時間に応じて正 (+) の方向に変化するが、このような現象の主因は活性層とゲート絶縁層又は活性層と保護層の界面劣化による電荷トラップ (charge trapping) であると推定される。

40

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2004 - 273614 号

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 1 0 】

本発明は上記事情に鑑みてなされたものであって、その目的は、活性層の界面特性が向上できる薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置を提供することにある。

【 0 0 1 1 】

本発明の他の目的は、活性層の界面における電荷トラップを防止できる薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置を提供することにある。

【 0 0 1 2 】

本発明の更に別の目的は、電気的特性及び信頼性の高い薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置を提供することにある。

10

【課題を解決するための手段】

【 0 0 1 3 】

前記目的を達成するために、本発明の一側面に係る薄膜トランジスタは、基板と、前記基板上に形成されたソース電極及びドレイン電極と、前記ソース電極及びドレイン電極と一部重なり、酸化物半導体からなる活性層と、ゲート絶縁層によって前記活性層と絶縁されるゲート電極と、前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物からなる。

【 0 0 1 4 】

本発明の他の側面に係る薄膜トランジスタの製造方法は、基板上にソース電極及びドレイン電極を形成する段階と、前記ソース電極及びドレイン電極を含む上部に界面安定化層及び酸化物半導体層を形成する段階と、前記酸化物半導体層をパターニングして活性層を形成する段階と、前記活性層を含む上部にゲート絶縁層を形成する段階と、前記活性層上部の前記ゲート絶縁層上にゲート電極を形成する段階とを含み、前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物で形成する。

20

【 0 0 1 5 】

本発明の別の側面に係る薄膜トランジスタの製造方法は、基板上にソース電極及びドレイン電極を形成する段階と、前記ソース電極及びドレイン電極を含む上部に酸化物半導体層及び界面安定化層を形成する段階と、前記界面安定化層及び酸化物半導体層をパターニングして活性層を形成する段階と、前記活性層を含む上部にゲート絶縁層を形成する段階と、前記活性層上部の前記ゲート絶縁層上にゲート電極を形成する段階とを含み、前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物で形成する。

30

【 0 0 1 6 】

また、本発明の更に別の側面に係る薄膜トランジスタを備える平板表示装置は、多数の第1導電線と第2導電線により多数の画素が画定され、各画素に供給される信号を制御する薄膜トランジスタ及び薄膜トランジスタと連結される第1電極が形成された第1基板と、第2電極が形成された第2基板と、前記第1電極と第2電極との間の封止された空間に注入される液晶層とを有し、前記薄膜トランジスタは前記第1基板上に形成されたソース電極及びドレイン電極と、前記ソース電極及びドレイン電極と一部重なり、酸化物半導体からなる活性層と、ゲート絶縁層によって前記活性層と絶縁されるゲート電極と、前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物からなる。

40

【 0 0 1 7 】

更に、本発明の他の側面に係る薄膜トランジスタを備える平板表示装置は、第1電極、有機薄膜層及び第2電極からなる有機電界発光素子と、前記有機電界発光素子の動作を制御するための薄膜トランジスタが形成された第1基板と、前記第1基板に対向するように配置された第2基板とを有し、前記薄膜トランジスタは前記第1基板上に形成されたソース電極及びドレイン電極と、前記ソース電極及びドレイン電極と一部重なり、酸化物半導体からなる活性層と、ゲート絶縁層によって前記活性層と絶縁されるゲート電極と、前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、

50

前記界面安定化層は 3.0 ~ 8.0 eV のバンドギャップを有する酸化物からなる。

【発明の効果】

【0018】

本発明によれば、薄膜トランジスタは活性層の一面又は両面に界面安定化層が備えられる。酸化物を含む界面安定化層はゲート絶縁層及び保護層と同質性を有するため、化学的に高い界面安全性を維持できるという効果を奏する。また、酸化物を含む界面安定化層は活性層と同等であるか、活性層より大きいバンドギャップを有するため、物理的に電荷トラップを抑止すると同時に活性層を保護することができる。従って、高い界面安全性と電荷移動度により閾電圧の変化のような電気的特性の変化が最小化され、温度及び時間による信頼性の低下が防止され得る。本発明の薄膜トランジスタを平板表示装置に適用する場合には、安定した電気的特性によって更に向上した画質を実現できる。

10

【図面の簡単な説明】

【0019】

【図1】本発明の第1実施形態に係る薄膜トランジスタを説明する断面図である。

【図2】本発明の第2実施形態に係る薄膜トランジスタを説明する断面図である。

【図3】本発明の第3実施形態に係る薄膜トランジスタを説明する断面図である。

【図4a】本発明に係る薄膜トランジスタの製造方法を説明する断面図である。

【図4b】本発明に係る薄膜トランジスタの製造方法を説明する断面図である。

【図4c】本発明に係る薄膜トランジスタの製造方法を説明する断面図である。

【図4d】本発明に係る薄膜トランジスタの製造方法を説明する断面図である。

20

【図5a】本発明に係る薄膜トランジスタの信頼性測定結果を説明するグラフである。

【図5b】本発明に係る薄膜トランジスタの信頼性測定結果を説明するグラフである。

【図6a】本発明に係る薄膜トランジスタのストレス測定結果を説明するグラフである。

【図6b】本発明に係る薄膜トランジスタのストレス測定結果を説明するグラフである。

【図6c】本発明に係る薄膜トランジスタのストレス測定結果を説明するグラフである。

【図7】本発明に係る薄膜トランジスタを備える平板表示装置の一実施形態を説明する斜視図である。

【図8a】本発明に係る薄膜トランジスタを備える平板表示装置の他の実施形態を説明する平面図である。

【図8b】本発明に係る薄膜トランジスタを備える平板表示装置の他の実施形態を説明する断面図である。

30

【図9】図8aの有機電界発光素子を説明する断面図である。

【発明を実施するための形態】

【0020】

下記の詳細な説明には、本発明の特定の実施形態だけを詳細に記載する。本発明の技術分野において通常の知識を有する者は、本発明の技術的思想から逸脱しない範囲内で下記の実施形態を多様に変形できる。従って、添付する図面と説明は、本発明を説明するだけであって、これら添付する図面と説明によって本発明が限定されるものではない。また、1つの構成要素が他の構成要素と「接触している」ということはそれがその他の構成要素と直接接触するか、1つ以上の要素を2つの間に介在させて間接的に接触していることを意味する。また、ある要素が他の要素に「結合されている」ということは、それがその他の要素に直接的に連結されているか、1つ以上の要素を2つの間に介在させて間接的に連結されていることを意味する。以下で同じ参照番号は同じ構成要素を意味する。

40

【0021】

図1は、本発明の第1実施形態に係る薄膜トランジスタを説明する断面図であって、上部ゲート構造の一例を示す。

【0022】

基板10上にバッファ層11が形成され、バッファ層11上にソース電極12a及びド레인電極12bが形成される。ソース電極12a及びド레인電極12bを含む基板10上には酸化物半導体からなる活性層13及び界面安定化層14が順次形成される。活性

50

層 1 3 を含む上部にはゲート絶縁層 1 5 が形成され、活性層 1 3 上部のゲート絶縁層 1 5 上にはゲート電極 1 6 が形成される。

【 0 0 2 3 】

図 2 は、本発明の第 2 実施形態に係る薄膜トランジスタを説明する断面図であって、上部ゲート構造の他の例を示す。

【 0 0 2 4 】

基板 2 0 上にバッファ層 2 1 が形成され、バッファ層 2 1 上にソース電極 2 2 a 及びドレイン電極 2 2 b が形成される。ソース電極 2 2 a 及びドレイン電極 2 2 b を含む基板 2 0 上には界面安定化層 2 3 及び酸化物半導体からなる活性層 2 4 が順次形成される。活性層 2 4 を含む上部にはゲート絶縁層 2 5 が形成され、活性層 2 4 上部のゲート絶縁層 2 5 上にはゲート電極 2 6 が形成される。

10

【 0 0 2 5 】

図 3 は、本発明の第 3 実施形態に係る薄膜トランジスタを説明する断面図であって、上部ゲート構造の更に他の例を示す。

【 0 0 2 6 】

基板 3 0 上にバッファ層 3 1 が形成され、バッファ層 3 1 上にソース電極 3 2 a 及びドレイン電極 3 2 b が形成される。ソース電極 3 2 a 及びドレイン電極 3 2 b を含む基板 3 0 上には界面安定化層 3 3、酸化物半導体からなる活性層 3 4 及び界面安定化層 3 5 が順次形成される。活性層 3 4 を含む上部にはゲート絶縁層 3 6 が形成され、活性層 3 4 上部のゲート絶縁層 3 6 上にはゲート電極 3 7 が形成される。

20

【 0 0 2 7 】

前記実施形態において、活性層 1 3、2 4、3 4 は両側部がソース電極 1 2 a、2 2 a、3 2 a 及びドレイン電極 1 2 b、2 2 b、3 2 b と一部重なり、チャネル領域がゲート電極 1 6、2 6、3 7 と重なるように配置される。活性層 1 3、2 4、3 4 を構成する酸化物半導体は、酸化亜鉛 (ZnO) を含み、ガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲルマニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも 1 つのイオンがドーピングされ得る。活性層 1 3、2 4、3 4 は、例えば、 ZnO 、 $ZnGaO$ 、 $ZnInO$ 、 $ZnSnO$ 、 $GaInZnO$ 、 CdO 、 InO 、 GaO 、 SnO 、 AgO 、 CuO 、 GeO 、 GdO 、 HfO など形成される。

30

【 0 0 2 8 】

界面安定化層 1 4、2 3、3 3、3 5 は、活性層 1 3、2 4、3 4 と同等であるか、活性層 1 3、2 4、3 4 より大きいバンドギャップ、例えば、3.0 ~ 8.0 eV のバンドギャップを有する酸化物であって、 SiO_x 、 SiN 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG (spin on glass) からなる群より選択されることができる。

【 0 0 2 9 】

図 1 ~ 図 3 に示すように、本発明の薄膜トランジスタは、活性層 1 3、2 4、3 4 の一面又は両面に界面安定化層 1 4、2 3、3 3、3 5 が備えられる。界面安定化層 1 4、2 3、3 3、3 5 は、3.0 ~ 8.0 eV のバンドギャップを有する酸化物からなる。界面安定化層 1 4、2 3、3 3、3 5 のバンドギャップが活性層 1 3、2 4、3 4 のバンドギャップ、例えば、3.0 eV より小さければ電荷が容易に抜け出すため、チャネルのキャリアを効果的に利用できなくなり、バンドギャップが 8.0 eV より大きくなれば、高い絶縁特性により電気的特性が低下する。酸化物を含む界面安定化層 1 4、2 3、3 3、3 5 は、ゲート絶縁層 1 5、2 5、3 6 及び保護層 (図示せず) と同質性を有するため、化学的に高い界面安全性を維持し、活性層 1 3、2 4、3 4 と同等であるか、活性層 1 3、2 4、3 4 より大きいバンドギャップを有するため、物理的に電荷トラップを抑止する。

40

【 0 0 3 0 】

電荷トラップの抑止効果を高めるためには、界面安定化層 1 4、2 3、3 3、3 5 の水

50

素濃度を $10^{+19} / \text{cm}^3$ 以下に調節することが好ましい。界面安定化層 14、23、33、35 の水素濃度が $10^{+19} / \text{cm}^3$ より高ければ、水素が活性層 13、24、34 の表面部に侵入（拡散）してトラップとして作用するため、活性層 13、24、34 の電気的特性が低下し得る。界面安定化層 14、23、33、35 の水素濃度を $10^{+19} / \text{cm}^3$ 以下に調節するためには、化学蒸着方法よりはスパッタリング蒸着方法のような物理蒸着方法を利用することが好ましい。

【0031】

また、本発明の界面安定化層 14、23、33、35 は、チャネル領域の活性層 13、24、34 を保護すると同時に後続する熱処理過程でキュアリング（curing）効果を高めるため、活性層 13、24、34 の被害を回復させる役割もする。

10

【0032】

活性層 24、34 と、ソース電極 22a、32a 及びドレイン電極 22b、32b との間に介在される界面安定化層 23 及び 33 は、ソース電極 22a、32a 及びドレイン電極 22b、32b と活性層 13、24、34 の接触抵抗が低く維持されるように 100 以下の厚さ、好ましくは $10 \sim 20$ の厚さで形成されることが好ましい。そして、活性層 13、34 上部面の界面安定化層 14、35 は、活性層 13、34 を十分に保護し、界面安全性を維持できるように $50 \sim 5000$ の厚さで形成されることが好ましい。

【0033】

上記の通りに構成された本発明に係る薄膜トランジスタの製造方法を図 4a ~ 図 4d を通じて詳細に説明すれば、以下の通りである。説明の便宜上、図 3 の構造を例に挙げて説明する。

20

【0034】

まず、図 4a に示すように、基板 30 上に Mo、MoW、Al、AlAd、AlLiL など導電層を形成した後、パターニングしてソース電極 32a 及びドレイン電極 32b を形成する。このとき、不純物の拡散などを防止するために、基板 30 上にバッファ層 31 を形成し、バッファ層 31 上にソース電極 32a 及びドレイン電極 32b を形成できる。基板 30 としては、シリコン（Si）などの半導体基板、ガラスやプラスチックなどの絶縁基板又は金属基板を用いることができる。

【0035】

次に、図 4b に示すように、ソース電極 32a 及びドレイン電極 32b を含む基板 30 上に界面安定化層 33、酸化物半導体層 34 及び界面安定化層 35 を順次形成する。界面安定化層 33、35 は、活性層 34 と同等であるか、活性層 34 より大きいバンドギャップ、例えば、 $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物であって、 SiO_x 、 SiN 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG からなる群より選択されることができる。

30

【0036】

シリコン酸化物（ SiO_x ）及びアルミニウム酸化物（ AlO_x ）は、高周波（RF）又は直流（DC）スパッタリングなどの物理的な方法で蒸着できる。高周波（RF）スパッタリング方法でアルミニウム酸化物（ AlO_x ）を蒸着する場合、酸素比を $4 \sim 10\%$ に調節すれば、温度、ゲートバイアス（DC bias）などのストレスに対して信頼性に優れた界面安定化層 33、35 を得ることができる。

40

【0037】

次に、図 4c に示すように、界面安定化層 35、活性層 34 及び界面安定化層 33 を順次パターニングして酸化物半導体からなる活性層 34 を形成する。このとき、酸化物半導体層 34 下部面の界面安定化層 33 はパターニングしないこともできる。

【0038】

次に、図 4d に示すように、活性層 34 を含む上部に SiO_2 、 SiNx 、 GaO_3 などゲート絶縁層 36 を形成する。そして、ゲート絶縁層 36 上に Al、Cr、MoW な

50

どで導電層を形成した後、パターニングして活性層 3 4 上部のゲート絶縁層 3 6 上にゲート電極 3 7 を形成する。

【0039】

図 5 a には、本発明に係る薄膜トランジスタの信頼性測定結果を示す。この測定結果は、界面安定化層をアルミニウム酸化物 (AlO_x) で形成した場合の結果である。温度を常温から 100 に増加させた後も閾電圧 (V_{th})、スロップファクタ (slop-factor)、オフ電流 (off current) が殆ど変化しない優れた信頼性を示す。それに対し、図 5 b はプラズマ化学気相蒸着 (PECVD) 方法でシリコン酸化物 (SiO_x) を蒸着して界面安定化層を形成した場合の信頼性測定結果である。この場合、温度が増加するにつれて閾電圧 (V_{th}) が負の方向に変化し、スロップファクタが劣化した。

10

【0040】

図 6 a 及び図 6 b は、本発明に係る薄膜トランジスタのストレス測定結果であって、図 6 a はゲート電極に 15 V の電圧 (V_{GS}) を 1 時間印加した場合であり、図 6 b はゲート電極に -15 V の電圧 (V_{GS}) を 1 時間印加した場合である。図 6 a の場合に 0.5 V の閾電圧 (V_{th}) のシフト変化を示し、図 6 b の場合には -0.7 V の閾電圧 (V_{th}) のシフト変化を示した。それに対し、図 6 c は界面安定化層をシリコン酸化物 (SiO_x) で形成した場合であって、シリコン酸化物 (SiO_x) は一般的なポリシリコン薄膜トランジスタの製造に適用される方法で、900 の温度で乾燥式 (O_2) 又は湿式 (H_2O) 熱酸化方法による熱酸化物 (SiO_2) を用いた。ゲート電極に 15 V の電圧 (V_{GS}) を 1 時間印加した場合に 2.1 V の閾電圧 (V_{th}) の変化が、ゲート電極に -15 V の電圧 (V_{GS}) を 1 時間印加した場合には -2.8 V の閾電圧 (V_{th}) の変化が示された。従って、図 6 a 及び図 6 b の結果を通じて薄膜トランジスタの信頼性が従来に比べて顕著に改善されることが分かる。

20

【0041】

本発明の薄膜トランジスタは、平板表示装置に適用されることができる。図 7 は、本発明に係る薄膜トランジスタを備える平板表示装置の一実施形態を説明する斜視図であって、画像を表示する表示パネル 100 を中心に概略的に説明する。

【0042】

表示パネル 100 は、対向配置された 2 つの基板 110、120 と、2 つの基板 110、120 との間に介在された液晶層 130 とからなり、基板 110 にマトリックス状に配列された多数のゲート線 111 とデータ線 112 により画素領域 113 が画定される。

30

【0043】

ゲート線 111 とデータ線 112 とが交差する部分の基板 110 には各画素に供給される信号を制御する薄膜トランジスタ 114 及び薄膜トランジスタ 114 と連結された画素電極 115 が形成される。薄膜トランジスタ 114 は、図 1 ~ 図 3 のうちの 1 つの構造を有し、図 4 a ~ 図 4 d を参照して説明した本発明の製造方法によって製造されることができる。

【0044】

また、基板 120 にはカラーフィルタ 121 及び共通電極 122 が形成される。そして、基板 110、120 の背面には偏光板 116、123 がそれぞれ形成され、偏光板 116 の下部には光源としてバックライト (図示せず) が配置される。

40

【0045】

一方、表示パネル 100 の画素領域 113 の周辺には表示パネル 100 を駆動させるための駆動部 (LCD Drive IC; 図示せず) が実装される。駆動部は外部から提供される電気的信号を走査信号及びデータ信号に変換してゲート線とデータ線に供給する。

【0046】

図 8 a 及び図 8 b は、本発明に係る薄膜トランジスタを備える平板表示装置の他の実施形態を説明する平面図及び断面図であって、画像を表示する表示パネル 200 を中心に概略的に説明する。

【0047】

50

図 8 a を参照すれば、基板 2 1 0 は、画素領域 2 2 0 と、画素領域 2 2 0 周辺の非画素領域 2 3 0 とに画定される。画素領域 2 2 0 の基板 2 1 0 には走査ライン 2 2 4 及びデータライン 2 2 6 の間にマトリックス方式で連結された多数の有機電界発光素子 3 0 0 が形成される。そして、非画素領域 2 3 0 の基板 2 1 0 には画素領域 2 2 0 の走査ライン 2 2 4 及びデータライン 2 2 6 から延びた走査ライン 2 2 4 及びデータライン 2 2 6、有機電界発光素子 3 0 0 の動作のための電源供給ライン（図示せず）、そしてパッド 2 2 8 を介して外部から提供された信号を処理して走査ライン 2 2 4 及びデータライン 2 2 6 に供給する走査駆動部 2 3 4 及びデータ駆動部 2 3 6 が形成される。

【 0 0 4 8 】

図 9 に示すように、有機電界発光素子 3 0 0 は、アノード電極 3 1 7 及びカソード電極 3 2 0 と、アノード電極 3 1 7 及びカソード電極 3 2 0 の間に形成された有機薄膜層 3 1 9 とからなる。有機薄膜層 3 1 9 は、正孔輸送層、有機発光層及び電子輸送層が積層された構造で形成され、正孔注入層と電子注入層が更に含まれることができる。また、有機電界発光素子 3 0 0 の動作を制御するための薄膜トランジスタと、信号を維持させるためのキャパシタとが更に含まれることができる。

【 0 0 4 9 】

薄膜トランジスタは、図 1 ~ 図 3 のうちの 1 つの構造を有し、図 4 a ~ 図 4 d を参照して説明した本発明の製造方法によって製造され得る。薄膜トランジスタを含む有機電界発光素子 3 0 0 を図 8 a 及び図 9 を通じて更に詳細に説明すれば、以下の通りである。

【 0 0 5 0 】

基板 2 1 0 上にバッファ層 3 1 が形成され、画素領域 2 2 0 のバッファ層 3 1 上にソース電極 3 2 a 及びドレイン電極 3 2 b が形成される。このとき、画素領域 2 2 0 にはソース電極 3 2 a 及びドレイン電極 2 2 b と連結されるデータライン 2 2 6 が形成される。そして、非画素領域 2 3 0 には画素領域 2 2 0 のデータライン 2 2 6 から延びるデータライン 2 2 6 及び外部から信号の提供を受けるためのパッド 2 2 8 が形成されることができ

る。

【 0 0 5 1 】

ソース電極 3 2 a 及びドレイン電極 3 2 b を含む基板 2 1 0 上には界面安定化層 3 3、酸化物半導体からなる活性層 3 4 及び界面安定化層 3 5 が順次形成される。そして、活性層 3 4 を含む上部にはゲート絶縁層 3 6 が形成され、活性層 3 4 上部のゲート絶縁層 3 6 上にはゲート電極 3 7 が形成される。このとき、画素領域 2 2 0 にはゲート電極 3 7 と連結される走査ライン 2 2 4 が形成される。そして、非画素領域 2 3 0 には画素領域 2 2 0 の走査ライン 2 2 4 から延びる走査ライン 2 2 4 及び外部から信号の提供を受けるためのパッド 2 2 8 が形成されることができ

る。

【 0 0 5 2 】

上記の通りに構成された有機電界発光素子 3 0 0 上には表面の平坦化のために平坦化層 3 8 が形成され、平坦化層 3 8 及びゲート絶縁層 3 6 にはソース電極 3 2 a 又はドレイン電極 3 2 b が露出するようにピアホールが形成され、ピアホールを介してソース電極 3 2 a 又はドレイン電極 3 2 b と連結されるアノード電極 3 1 7 が形成される。

【 0 0 5 3 】

アノード電極 3 1 7 の一部領域（発光領域）が露出するように平坦化層 3 8 上に画素定義膜 3 1 8 が形成され、露出したアノード電極 3 1 7 上に有機薄膜層 3 1 9 が形成される。また、有機薄膜層 3 1 9 を含む画素定義膜 3 1 8 上にカソード電極 3 2 0 が形成される。

【 0 0 5 4 】

図 8 b を参照すれば、上記の通りに有機電界発光素子 3 0 0 が形成された基板 2 1 0 の上部には画素領域 2 2 0 を封止させるための封止基板 4 0 0 が配置され、封止材 4 1 0 により封止基板 4 0 0 が基板 2 1 0 に貼り合わされて表示パネル 2 0 0 が完成する。

【 0 0 5 5 】

以上説明したように、本発明の最も好ましい実施の形態について説明したが、本発明は

10

20

30

40

50

、上記記載に限定されるものではなく、特許請求の範囲に記載され、又は明細書に開示された発明の要旨に基づき、当業者において様々な変形や変更が可能であることはもちろんであり、斯かる変形や変更が、本発明の範囲に含まれることは言うまでもない。

【符号の説明】

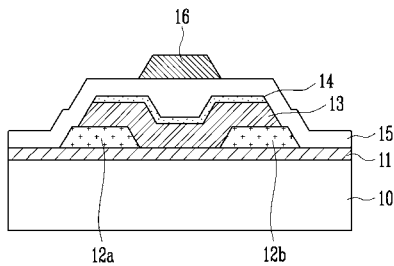
【 0 0 5 6 】

- 1 0、2 0、3 0、2 1 0 基板
- 1 1、2 1、3 1 バッファ層
- 1 2 a、2 2 a、3 2 a ソース電極
- 1 2 b、2 2 b、3 2 b ドレイン電極
- 1 3、2 4、3 4 活性層
- 1 4、2 3、3 3、3 5 界面安定化層
- 1 5、2 5、3 6 ゲート絶縁層
- 1 6、2 6、3 7 ゲート電極
- 1 0 0 表示パネル
- 1 1 1 ゲート線
- 1 1 2 データ線
- 1 1 3 画素領域
- 1 1 4 薄膜トランジスタ
- 1 1 5 画素電極
- 1 3 0 液晶層
- 2 2 0 画素領域
- 2 2 4 走査ライン
- 2 2 6 データライン
- 2 3 0 非画素領域
- 3 0 0 有機電界発光素子

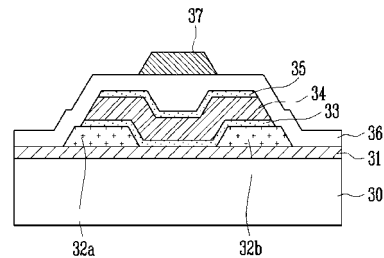
10

20

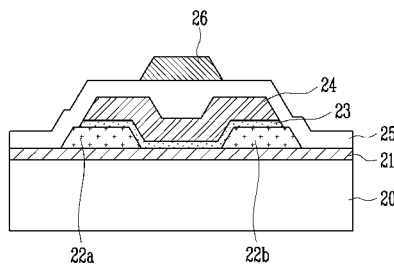
【 図 1 】



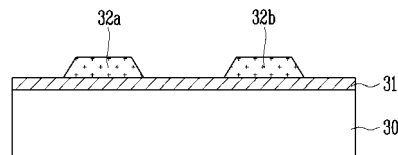
【 図 3 】



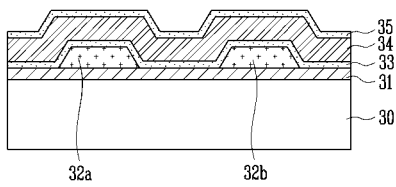
【 図 2 】



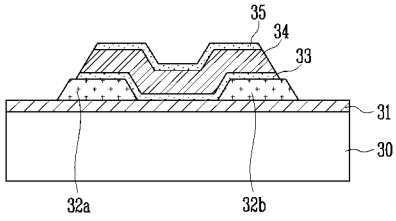
【 図 4 a 】



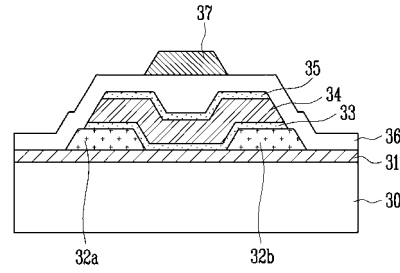
【図 4 b】



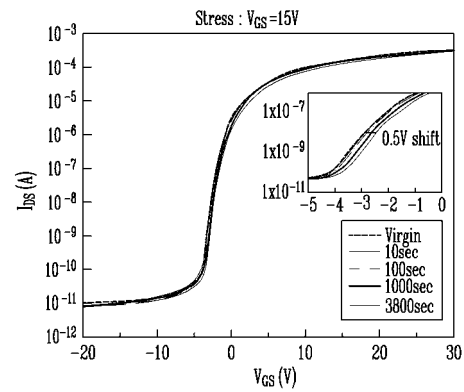
【図 4 c】



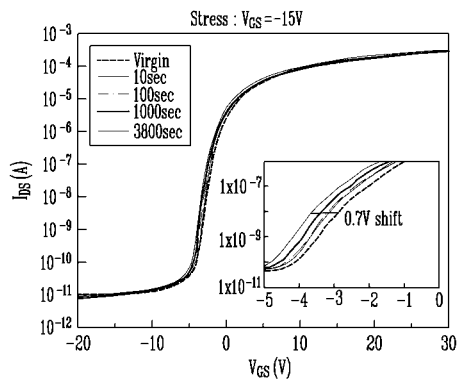
【図 4 d】



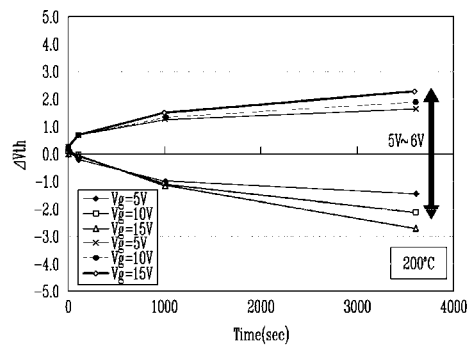
【図 6 a】



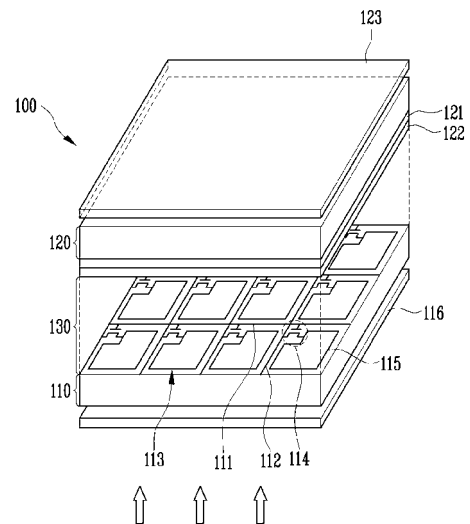
【図 6 b】



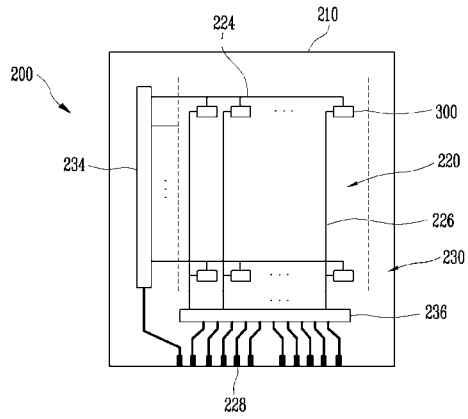
【図 6 c】



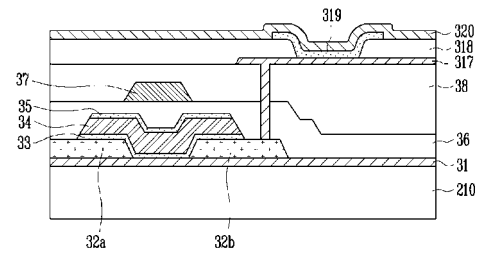
【図 7】



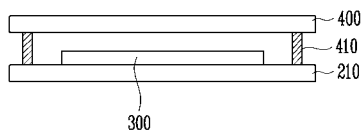
【図 8 a】



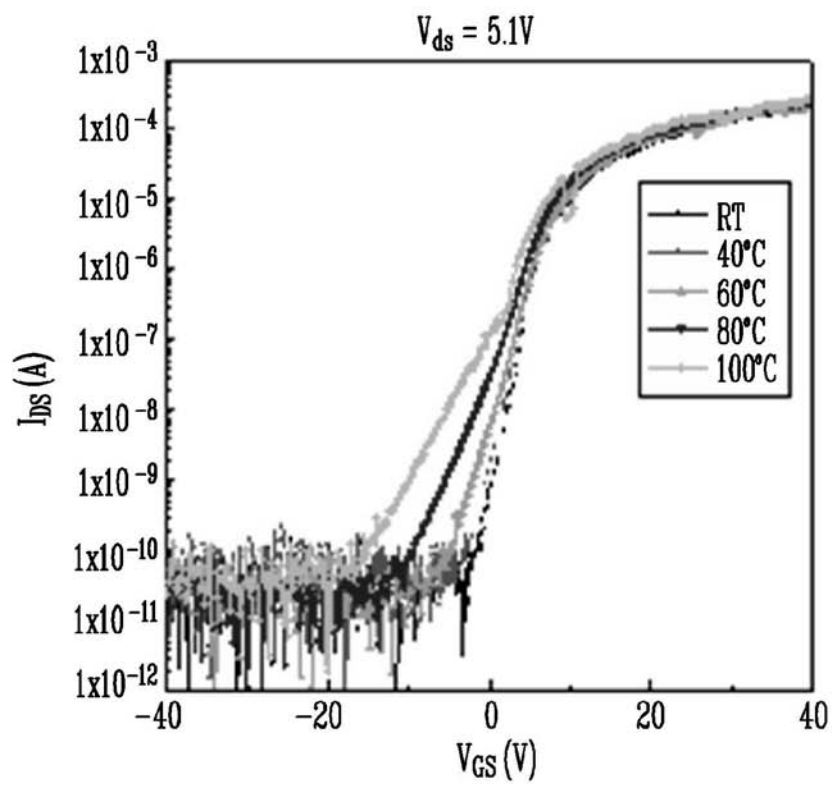
【図 9】



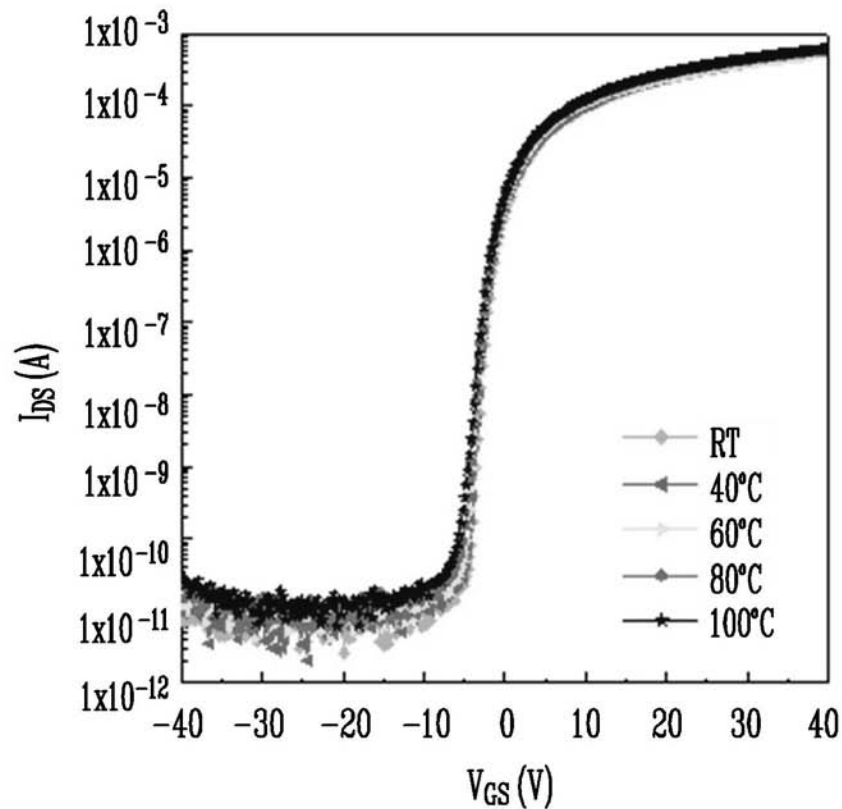
【図 8 b】



【図 5 a】



【図 5 b】



【手続補正書】

【提出日】平成21年4月13日(2009.4.13)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

界面安定化層14、23、33、35は、活性層13、24、34と同等であるか、活性層13、24、34より大きいバンドギャップ、例えば、3.0～8.0 eVのバンドギャップを有する酸化物であって、 SiO_x 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SO_G (spin on glass)からなる群より選択されることができる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

まず、図4aに示すように、基板30上にMo、MoW、Al、AlNd、AlLiLaなどで導電層を形成した後、パターンニングしてソース電極32a及びドレイン電極32bを形成する。このとき、不純物の拡散などを防止するために、基板30上にバッファ層31を形成し、バッファ層31上にソース電極32a及びドレイン電極32bを形成できる。基板30としては、シリコン(Si)などの半導体基板、ガラスやプラスチックなど

の絶縁基板又は金属基板を用いることができる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

次に、図4bに示すように、ソース電極32a及びドレイン電極32bを含む基板30上に界面安定化層33、酸化物半導体層34及び界面安定化層35を順次形成する。界面安定化層33、35は、活性層34と同等であるか、活性層34より大きいバンドギャップ、例えば、3.0～8.0 eVのバンドギャップを有する酸化物であって、 SiO_x 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SiO_2 からなる群より選択されることができる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

図5aには、本発明に係る薄膜トランジスタの信頼性測定結果を示す。この測定結果は、界面安定化層をアルミニウム酸化物(AlO_x)で形成した場合の結果である。温度を常温から100℃に増加させた後も閾電圧(V_{th})、S-ファクタ(sub-threshold slope-factor)、オフ電流(off current)が殆ど変化しない優れた信頼性を示す。それに対し、図5bはプラズマ化学気相蒸着(PECVD)方法でシリコン酸化物(SiO_x)を蒸着して界面安定化層を形成した場合の信頼性測定結果である。この場合、温度が増加するにつれて閾電圧(V_{th})が負の方向に変化し、S-ファクタが劣化した。

【手続補正 5】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に形成されたソース電極及びドレイン電極と、

前記ソース電極及びドレイン電極と一部重なり、酸化物半導体からなる活性層と、

ゲート絶縁層によって前記活性層と絶縁されるゲート電極と、

前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、

前記界面安定化層は3.0～8.0 eVのバンドギャップを有する酸化物からなる薄膜トランジスタ。

【請求項 2】

前記酸化物半導体は、酸化亜鉛(ZnO)を含むことを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項 3】

前記酸化物半導体にガリウム(Ga)、インジウム(In)、錫(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)、カドミウム(Cd)、銀(Ag)、銅(Cu)、ゲルマニウム(Ge)及びバナジウム(V)のうちの少なくとも1つのイオンがドーピングされることを特徴とする請求項2に記載の薄膜トランジスタ。

【請求項 4】

前記界面安定化層は、 SiO_x 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SiO_2 からなる群より選択されることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 5】

前記界面安定化層の水素濃度は、 $10^{+19} / \text{cm}^3$ 以下であることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 6】

基板上にソース電極及びドレイン電極を形成する段階と、
前記ソース電極及びドレイン電極を含む上部に界面安定化層及び酸化物半導体層を形成する段階と、
前記酸化物半導体層をパターニングして活性層を形成する段階と、
前記活性層を含む上部にゲート絶縁層を形成する段階と、
前記活性層上部の前記ゲート絶縁層上にゲート電極を形成する段階と
を含み、
前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物で形成する薄膜トランジスタの製造方法。

【請求項 7】

前記界面安定化層は、 SiO_x 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SiO_2 からなる群より選択されることを特徴とする請求項 6 に記載の薄膜トランジスタの製造方法。

【請求項 8】

前記界面安定化層は、物理蒸着方法により形成することを特徴とする請求項 7 に記載の薄膜トランジスタの製造方法。

【請求項 9】

前記界面安定化層は、 $10 \sim 20$ の厚さで形成することを特徴とする請求項 6 に記載の薄膜トランジスタの製造方法。

【請求項 10】

前記酸化物半導体は、酸化亜鉛 (ZnO) を含むことを特徴とする請求項 6 に記載の薄膜トランジスタの製造方法。

【請求項 11】

前記酸化物半導体にガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲルマニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも 1 つのイオンがドーピングされることを特徴とする請求項 10 に記載の薄膜トランジスタの製造方法。

【請求項 12】

前記活性層を形成する段階で前記界面安定化層をパターニングすることを特徴とする請求項 6 に記載の薄膜トランジスタの製造方法。

【請求項 13】

前記活性層上に界面安定化層を形成する段階を更に含むことを特徴とする請求項 6 に記載の薄膜トランジスタの製造方法。

【請求項 14】

前記界面安定化層は、 SiO_x 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SiO_2 からなる群より選択されることを特徴とする請求項 13 に記載の薄膜トランジスタの製造方法。

【請求項 15】

前記界面安定化層は、物理蒸着方法により形成することを特徴とする請求項 14 に記載の薄膜トランジスタの製造方法。

【請求項 16】

基板上にソース電極及びドレイン電極を形成する段階と、

前記ソース電極及びドレイン電極を含む上部に酸化物半導体層及び界面安定化層を形成する段階と、

前記界面安定化層及び酸化物半導体層をパターニングして活性層を形成する段階と、

前記活性層を含む上部にゲート絶縁層を形成する段階と、

前記活性層上部の前記ゲート絶縁層上にゲート電極を形成する段階とを含み、

前記界面安定化層は 3.0 ~ 8.0 eV のバンドギャップを有する酸化物で形成する薄膜トランジスタの製造方法。

【請求項 17】

前記酸化物半導体は、酸化亜鉛 (ZnO) を含むことを特徴とする請求項 16 に記載の薄膜トランジスタの製造方法。

【請求項 18】

前記酸化物半導体にガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲルマニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも 1 つのイオンがドーピングされることを特徴とする請求項 17 に記載の薄膜トランジスタの製造方法。

【請求項 19】

前記界面安定化層は、 SiO_x 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG からなる群より選択されることを特徴とする請求項 16 に記載の薄膜トランジスタの製造方法。

【請求項 20】

前記界面安定化層は、物理蒸着方法により形成することを特徴とする請求項 16 に記載の薄膜トランジスタの製造方法。

【請求項 21】

前記界面安定化層は、50 ~ 5000 の厚さで形成することを特徴とする 16 に記載の薄膜トランジスタの製造方法。

【請求項 22】

多数の第 1 導電線と第 2 導電線により多数の画素が画定され、各画素に供給される信号を制御する薄膜トランジスタ及び薄膜トランジスタと連結される第 1 電極が形成された第 1 基板と、

第 2 電極が形成された第 2 基板と、

前記第 1 電極と第 2 電極との間の封止された空間に注入される液晶層とを有し、

前記薄膜トランジスタは前記第 1 基板上に形成されたソース電極及びドレイン電極と、前記ソース電極及びドレイン電極と一部重なり、酸化物半導体からなる活性層と、

ゲート絶縁層によって前記活性層と絶縁されるゲート電極と、

前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、

前記界面安定化層は 3.0 ~ 8.0 eV のバンドギャップを有する酸化物からなる平板表示装置。

【請求項 23】

前記酸化物半導体は、酸化亜鉛 (ZnO) を含むことを特徴とする請求項 22 に記載の薄膜トランジスタ。

【請求項 24】

前記酸化物半導体にガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲル

マニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも 1 つのイオンがドーピングされることを特徴とする請求項 23 に記載の薄膜トランジスタ。

【請求項 25】

前記界面安定化層は、 SiO_x 、 SiO_xN_y 、 SiO_xC_y 、 $\text{SiO}_x\text{C}_y\text{H}_z$ 、 SiO_xF_y 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG からなる群より選択されることを特徴とする請求項 22 に記載の薄膜トランジスタ。

【請求項 26】

第 1 電極、有機薄膜層及び第 2 電極からなる有機電界発光素子と、前記有機電界発光素子の動作を制御するための薄膜トランジスタが形成された第 1 基板と、

前記第 1 基板に対向するように配置された第 2 基板とを有し、

前記薄膜トランジスタは前記第 1 基板上に形成されたソース電極及びドレイン電極と、

前記ソース電極及びドレイン電極と一部重なり、酸化物半導体からなる活性層と、

ゲート絶縁層によって前記活性層と絶縁されるゲート電極と、

前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、

前記界面安定化層は 3.0 ~ 8.0 eV のバンドギャップを有する酸化物からなる平板表示装置。

【請求項 27】

前記酸化物半導体は、酸化亜鉛 (ZnO) を含むことを特徴とする請求項 26 に記載の平板表示装置。

【請求項 28】

前記酸化物半導体にガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲルマニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも 1 つのイオンがドーピングされることを特徴とする請求項 27 に記載の平板表示装置。

【請求項 29】

前記界面安定化層は、 SiO_x 、 SiO_xN_y 、 SiO_xC_y 、 $\text{SiO}_x\text{C}_y\text{H}_z$ 、 SiO_xF_y 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG からなる群より選択されることを特徴とする請求項 26 に記載の平板表示装置。

【手続補正 6】

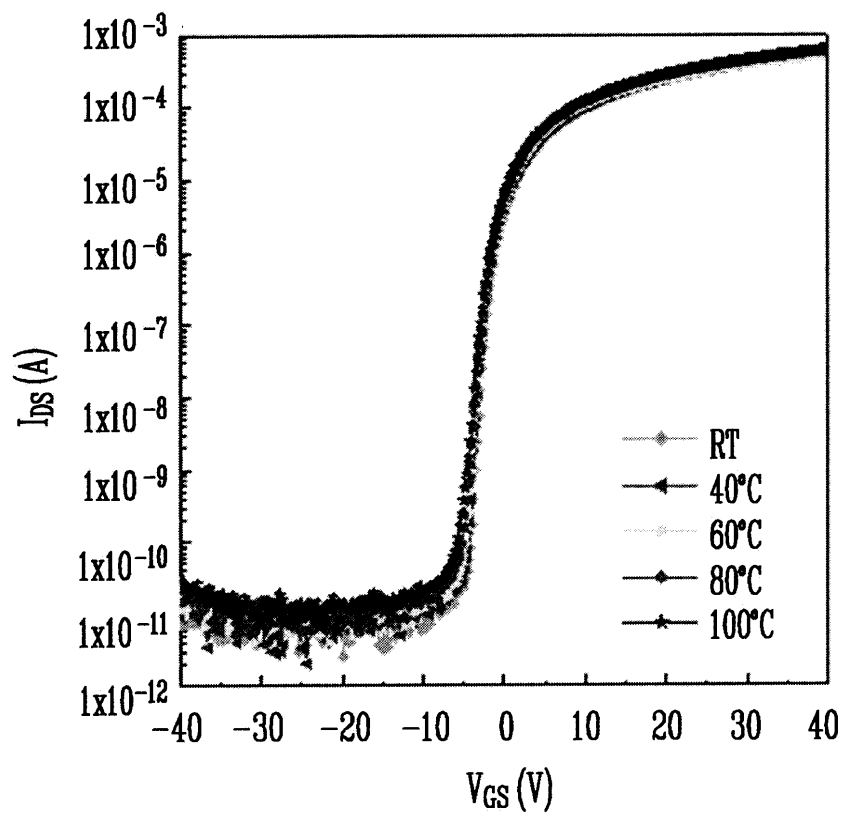
【補正対象書類名】図面

【補正対象項目名】図 5 a

【補正方法】変更

【補正の内容】

【図 5 a】



【手続補正 7】

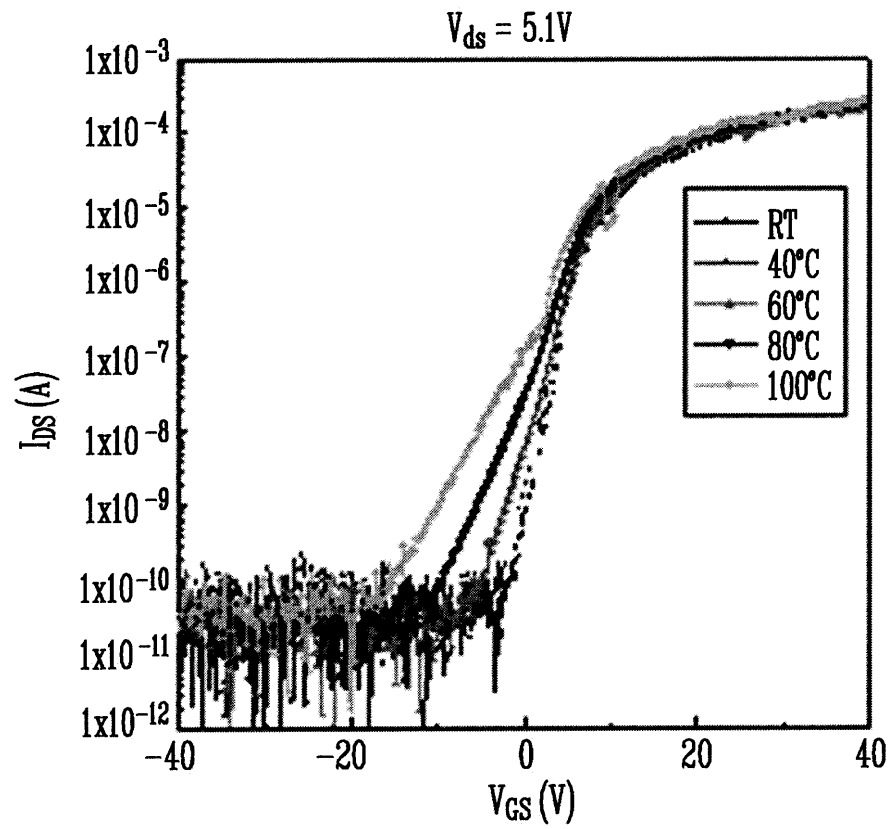
【補正対象書類名】図面

【補正対象項目名】図 5 b

【補正方法】変更

【補正の内容】

【 図 5 b 】



【 手続補正 8 】

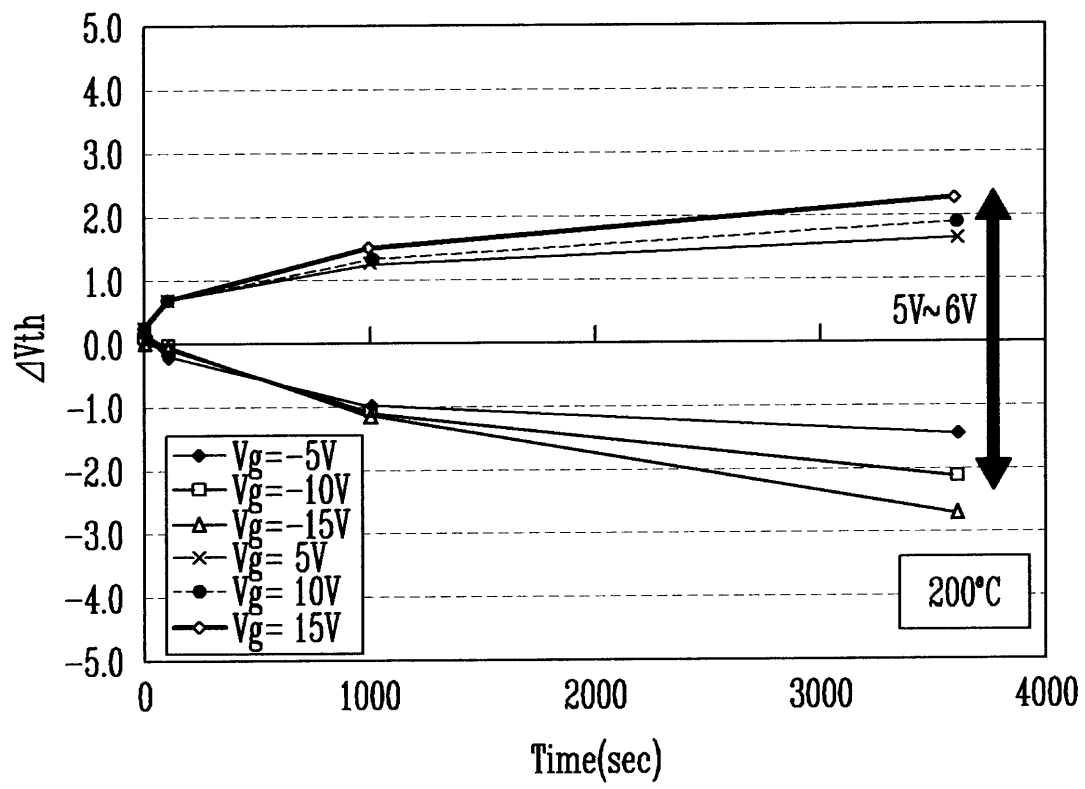
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 6 c

【 補正方法 】 変更

【 補正の内容 】

【図 6 c】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

H 0 1 L	29/78	6 1 3 Z
G 0 2 F	1/1368	
G 0 9 F	9/30	3 3 8

(72)発明者 安 泰 瓊
大韓民国京畿道水原市霊通区 ▲しん▼洞 5 7 5 番地

(72)発明者 鄭 在 景
大韓民国京畿道水原市霊通区 ▲しん▼洞 5 7 5 番地

(72)発明者 牟 然 坤
大韓民国京畿道水原市霊通区 ▲しん▼洞 5 7 5 番地

(72)発明者 朴 鎮 成
大韓民国京畿道水原市霊通区 ▲しん▼洞 5 7 5 番地

(72)発明者 鄭 現 中
大韓民国京畿道水原市霊通区 ▲しん▼洞 5 7 5 番地

(72)発明者 金 光 淑
大韓民国京畿道水原市霊通区 ▲しん▼洞 5 7 5 番地

(72)発明者 梁 熙 元
大韓民国京畿道水原市霊通区 ▲しん▼洞 5 7 5 番地

F ターム(参考) 2H092 GA29 JA25 JA29 JA46 KA07 KA10 KA12 KA18 MA04 MA27
NA21
5C094 AA21 BA03 BA43 CA19 DA13 FB02 FB20 GB10 JA02
5F110 AA14 AA30 BB01 CC05 DD01 DD02 DD05 EE03 EE04 EE06
FF01 FF02 FF03 GG01 GG06 GG19 GG25 GG26 GG33 GG34
GG43 HK04 HK06 NN02 NN71 NN72 QQ09