

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-539447

(P2024-539447A)

(43)公表日 令和6年10月28日(2024.10.28)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 23/427 (2006.01)	H 0 1 L 23/46	B 5 E 3 2 2
H 0 1 L 23/473 (2006.01)	H 0 1 L 23/46	Z 5 F 1 3 6
H 0 5 K 7/20 (2006.01)	H 0 5 K 7/20	N

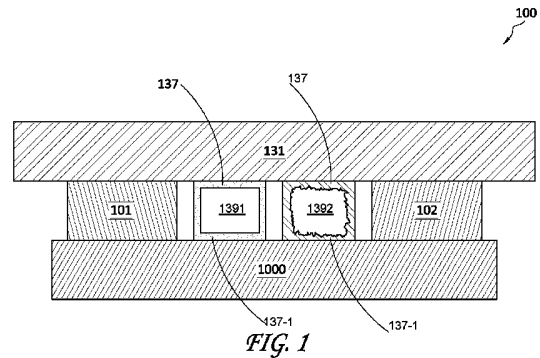
審査請求 未請求 予備審査請求 未請求 (全23頁)

(21)出願番号	特願2024-529540(P2024-529540)	(71)出願人	518065991 アデア セミコンダクター ボンディング テクノロジーズ インコーポレイテッド アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パーク ウェイ 3 0 2 5
(86)(22)出願日	令和4年11月16日(2022.11.16)	(74)代理人	100103610 弁理士 吉 田 和彦
(85)翻訳文提出日	令和6年7月16日(2024.7.16)	(74)代理人	100109070 弁理士 須田 洋之
(86)国際出願番号	PCT/US2022/050105	(74)代理人	100119013 弁理士 山崎 一夫
(87)国際公開番号	WO2023/091485	(74)代理人	100130937 弁理士 山本 泰史
(87)国際公開日	令和5年5月25日(2023.5.25)	(74)代理人	100144451
(31)優先権主張番号	63/264,261		
(32)優先日	令和3年11月18日(2021.11.18)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く		最終頁に続く

(54)【発明の名称】 ダイスタックの流体冷却

(57)【要約】

開示する技術は、熱を効率的に放散させることができるマイクロ電子デバイスに関する。幾つかの観点では、かかるマイクロ電子デバイスは、第1の半導体素子及び第1の半導体素子上に設けられた第2の半導体素子を有する。マイクロ電子デバイスは、第1の半導体素子上に設けられた流体冷却ユニットをさらに有するのがよい。幾つかの実施形態では、流体冷却ユニットは、流体を収容する空洞構造を有するのがよい。幾つかの実施形態では、流体冷却ユニットは、熱を第1の半導体素子から伝達・放散させるための熱経路を有するのがよい。



【特許請求の範囲】

【請求項 1】

マイクロ電子デバイスであって、
第 1 の半導体素子と、
前記第 1 の半導体素子上に設けられた少なくとも 1 つの第 2 の半導体素子と、
前記第 1 の半導体素子上に設けられた流体冷却ユニットと、を有し、前記流体冷却ユニットは、流体を收容するための空洞構造を有し、前記流体冷却ユニットは、熱を前記第 1 の半導体素子から伝達・放散させるための熱経路を有する、マイクロ電子デバイス。

【請求項 2】

流体は、アクティブ機構体によって前記空洞構造を通して運搬される、請求項 1 記載のマイクロ電子デバイス。 10

【請求項 3】

前記空洞構造は、1 種類以上の電気的不導体又は半導体で作られている、請求項 1 記載のマイクロ電子デバイス。

【請求項 4】

前記 1 種類以上の電気的不導体又は半導体は、シリコン又はプラスチックからなる、請求項 3 記載のマイクロ電子デバイス。

【請求項 5】

前記空洞構造の内面は、前記流体中の乱流を増大させるよう構成された特徴部を有する、請求項 1 記載のマイクロ電子デバイス。 20

【請求項 6】

前記特徴部は、ピラーのレイからなる、請求項 5 記載のマイクロ電子デバイス。

【請求項 7】

前記特徴部は、シリコン又は金属からなる、請求項 5 記載のマイクロ電子デバイス。

【請求項 8】

前記空洞構造は、底壁を有し、前記特徴部は、前記底壁上に設けられている、請求項 5 記載のマイクロ電子デバイス。

【請求項 9】

前記特徴部は、前記第 1 の半導体素子まで延びる金属特徴部からなる、請求項 8 記載のマイクロ電子デバイス。 30

【請求項 10】

前記第 1 の半導体素子まで延びる前記金属特徴部は、前記底壁上に設けられた特徴部を前記第 1 の半導体素子内に設けられた導電パイアにダイレクトボンディングすることによって形成されている、請求項 9 記載のマイクロ電子デバイス。

【請求項 11】

前記特徴部は、前記第 1 の半導体素子上に設けられている、請求項 5 記載のマイクロ電子デバイス。

【請求項 12】

前記空洞構造は、底壁のないキャップ構造体を前記第 1 の半導体素子にダイレクトボンディングすることによって形成されている、請求項 1 記載のマイクロ電子デバイス。 40

【請求項 13】

前記空洞構造は、前記第 1 の半導体素子上に設けられた底壁を有し、前記底壁の熱膨張率 (CTE) は、前記第 1 の半導体素子の CTE と実質的に同じである、請求項 1 記載のマイクロ電子デバイス。

【請求項 14】

前記第 1 の半導体素子は、シリコンからなり、前記空洞構造は、前記第 1 の半導体素子上に設けられた底壁を有し、前記底壁の熱膨張率 (CTE) は、シリコンの CTE と実質的に同じである、請求項 1 記載のマイクロ電子デバイス。

【請求項 15】

前記空洞構造は、前記第 1 の半導体素子上に設けられた底壁を有し、前記底壁の熱膨張 50

率 (C T E) は、銅の C T E よりも低い、請求項 1 記載のマイクロ電子デバイス。

【請求項 16】

前記空洞構造は、前記第 1 の半導体素子上に設けられた底壁を有し、前記底壁の熱膨張率 (C T E) は、 $10 \mu\text{m}/\text{m}$ よりも低い、請求項 1 記載のマイクロ電子デバイス。

【請求項 17】

前記空洞構造は、前記第 1 の半導体素子上に設けられた底壁を有し、前記底壁は、シリコンからなる、請求項 1 記載のマイクロ電子デバイス。

【請求項 18】

前記空洞構造は、前記第 1 の半導体素子上に設けられた底壁を有し、前記底壁は、介在する接着剤なしで前記第 1 の半導体素子にダイレクトボンディングされている、請求項 1 記載のマイクロ電子デバイス。 10

【請求項 19】

前記底壁と前記第 1 の半導体素子との間のインターフェースは、誘電体 誘電体ダイレクトボンドからなる、請求項 1 記載のマイクロ電子デバイス。

【請求項 20】

前記空洞構造は、前記第 1 の半導体素子上に設けられた底壁を有し、前記底壁は、はんだボンディングにより前記第 1 の半導体素子にボンディングされている、請求項 1 記載のマイクロ電子デバイス。

【請求項 21】

前記空洞構造は、前記第 1 の半導体素子上に設けられた底壁を有し、前記底壁は、接着剤ボンディングにより前記第 1 の半導体素子にボンディングされている、請求項 1 記載のマイクロ電子デバイス。 20

【請求項 22】

前記空洞構造は、前記第 1 の半導体素子上に設けられた底壁を有し、前記底壁は、熱伝導材料 (T I M) によって前記第 1 の半導体素子にボンディングされている、請求項 1 記載のマイクロ電子デバイス。

【請求項 23】

前記少なくとも 1 つの第 2 の半導体素子は、介在する接着剤なしで前記第 1 の半導体素子にダイレクトハイブリッドボンディングされている、請求項 1 記載のマイクロ電子デバイス。 30

【請求項 24】

前記少なくとも 1 つの第 2 の半導体素子と前記第 1 の半導体素子との間のインターフェースは、導体 導体ダイレクトボンド及び誘電体 誘電体ダイレクトボンドからなる、請求項 23 記載のマイクロ電子デバイス。

【請求項 25】

前記少なくとも 1 つの第 2 の半導体素子上に設けられたヒートシンクをさらに有する、請求項 1 記載のマイクロ電子デバイス。

【請求項 26】

前記流体冷却ユニットは、熱を第 1 の半導体素子から前記ヒートシンクに伝達するよう構成されている、請求項 25 記載のマイクロ電子デバイス。 40

【請求項 27】

前記ヒートシンクは、介在する接着剤なしで前記少なくとも 1 つの第 2 の半導体素子にダイレクトボンディングされている、請求項 25 記載のマイクロ電子デバイス。

【請求項 28】

前記第 1 の半導体素子は、集積化デバイスダイからなる、請求項 1 記載のマイクロ電子デバイス。

【請求項 29】

前記少なくとも 1 つの第 2 の半導体素子は、集積化デバイスダイからなる、請求項 1 記載のマイクロ電子デバイス。

【請求項 30】

マイクロ電子デバイスを作製する方法であって、前記方法は、

第 1 の半導体素子を提供するステップと、

第 2 の半導体素子及び流体冷却ユニットを前記第 1 の半導体素子にボンディングして前記第 2 の半導体素子及び前記流体冷却ユニットが前記第 1 の半導体素子上に設けられるようにするステップと、を含み、

前記流体冷却ユニットは、流体を収容するための空洞構造を有し、前記流体冷却ユニットは、熱を前記第 1 の半導体素子から伝達・放散させるための熱経路を有する、方法。

【請求項 3 1】

前記第 2 の半導体素子をボンディングする前記ステップは、前記第 2 の半導体素子を介在する接着剤なしで前記第 1 の半導体素子にダイレクトボンディングするステップからなる、請求項 3 0 記載の方法。

10

【請求項 3 2】

前記空洞構造は、底壁を有し、前記流体冷却ユニットをボンディングする前記ステップは、前記底壁を介在する接着剤なしで前記第 1 の半導体素子にダイレクトボンディングするステップからなる、請求項 3 0 記載の方法。

【請求項 3 3】

底壁のないキャップ構造体を前記第 1 の半導体素子にダイレクトボンディングすることによって前記空洞構造を形成するステップをさらに含む、請求項 3 0 記載の方法。

【請求項 3 4】

前記流体は、気体からなる、請求項 1 記載のマイクロ電子デバイス。

20

【請求項 3 5】

前記流体は、液体からなる、請求項 1 記載のマイクロ電子デバイス。

【請求項 3 6】

前記流体冷却ユニットは、前記少なくとも 1 つの第 2 の半導体素子を通る熱流量を減少させる、請求項 1 記載のマイクロ電子デバイス。

【請求項 3 7】

マイクロ電子デバイスであって、

第 1 の半導体素子と、

前記第 1 の半導体素子に介在する接着剤なしでダイレクトボンディングされた流体冷却ユニットと、を有し、前記流体冷却ユニットは、流体を収容するための空洞構造を有する、マイクロ電子デバイス。

30

【請求項 3 8】

前記第 1 の半導体素子上に設けられた少なくとも 1 つの第 2 の半導体素子をさらに有する、請求項 3 7 記載のマイクロ電子デバイス。

【請求項 3 9】

前記流体冷却ユニットは、前記少なくとも 1 つの第 2 の半導体素子を通る熱流量を減少させる、請求項 3 8 記載のマイクロ電子デバイス。

【請求項 4 0】

前記少なくとも 1 つの第 2 の半導体素子は、前記流体冷却ユニット内に設けられている、請求項 1 記載のマイクロ電子デバイス。

40

【請求項 4 1】

前記少なくとも 1 つの第 2 の半導体素子は、前記流体冷却ユニット外に設けられている、請求項 1 記載のマイクロ電子デバイス。

【請求項 4 2】

前記第 2 の半導体素子は、前記流体冷却ユニット内に設けられている、請求項 3 0 記載のマイクロ電子デバイス。

【請求項 4 3】

前記第 2 の半導体素子は、前記流体冷却ユニット外に設けられている、請求項 3 0 記載のマイクロ電子デバイス。

【発明の詳細な説明】

50

【技術分野】**【0001】**

本技術分野は、マイクロ電子デバイス内、特にダイレクトボンDED素子で作られたマイクロ電子デバイス内の熱の放散に関する。

【0002】

〔関連出願の引照〕

本願は、2021年11月18日に提出された米国特許仮出願第63/264,261号（発明の名称：FLUID COOLING FOR DIE STACKS）の優先権主張出願であり、この米国特許仮出願を参照により引用し、その記載内容全体を本明細書の一部とする。

【背景技術】**【0003】**

電子部品の超小型化及び高密度集積化によりマイクロエレクトロニクス内の熱流束密度が増大している。マイクロエレクトロニクスの動作中に生じる熱が放散されない場合、マイクロエレクトロニクスは、動作停止となり、又は焼け切れる場合がある。特に、放熱は、高電力（ハイパワー）デバイスにおいて深刻な課題である。

【発明の概要】**【0004】**

本発明の一観点によれば、マイクロ電子デバイスであって、

第1の半導体素子と、

第1の半導体素子上に設けられた少なくとも1つの第2の半導体素子と、

第1の半導体素子上に設けられた流体冷却ユニットと、を有し、流体冷却ユニットは、流体を収容するための空洞構造を有し、流体冷却ユニットは、熱を第1の半導体素子から伝達・放散させるための熱経路を有することを特徴とするマイクロ電子デバイスが提供される。

【0005】

本発明の別の観点によれば、マイクロ電子デバイスを作製する方法であって、

第1の半導体素子を提供するステップと、

第2の半導体素子及び流体冷却ユニットを第1の半導体素子にボンディングして第2の半導体素子及び流体冷却ユニットが第1の半導体素子上に設けられるようにするステップと、を含み、

流体冷却ユニットは、流体を収容するための空洞構造を有し、流体冷却ユニットは、熱を第1の半導体素子から伝達・放散させるための熱経路を有することを特徴とする方法が提供される。

【0006】

本発明のさらに別の観点によれば、マイクロ電子デバイスであって、

第1の半導体素子と、

第1の半導体素子に介在する接着剤なしでダイレクトボンディングされた流体冷却ユニットと、を有し、流体冷却ユニットは、流体を収容するための空洞構造を有することを特徴とするマイクロ電子デバイスが提供される。

【0007】

次に、以下の図面を参照して特定の実施形態について説明するが、以下の図面は、本発明を限定するものではなく、例示として提供されている。

【図面の簡単な説明】**【0008】**

【図1】開示する技術の幾つかの実施形態としての例示のマイクロ電子システムの概略断面図である。

【図2】開示する技術の幾つかの実施形態としてのもう1つの例示のマイクロ電子システムの概略断面図である。

【図3A】開示する技術の幾つかの実施形態としてのさらにもう1つの例示のマイクロ電子システムの概略断面図である。

10

20

30

40

50

【図 3 B】図 3 A の例示のマイクロ電子システムで使用できる例示の流体冷却ユニットの概略断面図である。

【図 3 C】図 3 A の例示のマイクロ電子システムで使用できる例示の流体冷却ユニットの概略断面図である。

【図 3 D】図 3 A の例示のマイクロ電子システムで使用できる例示の流体冷却ユニットの概略断面図である。

【図 4】開示する技術の幾つかの実施形態としてのもう 1 つの例示のマイクロ電子システムの概略断面図である。

【発明を実施するための形態】

【0009】

マイクロ電子素子（例えば、ダイ/チップ）を積層して互いにボンディングすると、デバイスを形成することができる。チップ積層化が行われたデバイス内の熱を放散させることは困難であり、チップが薄くなるにつれて特にそうである。チップ接合技術、例えば接着剤ボンディングの使用により、デバイス内の熱放散の効率が低くなる場合があり、と言うのは、接着剤は、熱伝達量を減少させ又は断熱する場合があるからである。さらに、デバイスの所望の部分における温度を特別に低くすることが困難である。例えば、ダイのスタックをパッケージ化する際、熱放散は、典型的には、スタックの頂部のところに設けられたヒートシンクによって助けられるが、下側ダイから熱を引き出すことは、難題である。特に高電力チップでは、熱放散は、深刻な問題となる場合がある。したがって、マイクロ電子デバイス内における熱を放散させる改良技術が要望され続けている。

【0010】

スタック中の下側ダイから上側の熱放散構造体（例えば、ヒートシンク/ヒートパイプ）までの熱経路の向きを変えるための方法及び構造が提供される。一観点では、マイクロ電子デバイスは、熱をデバイスから奪うとともに、デバイス中の熱流の向きを変えるのを助け、それにより例えばデバイス中のある 1 つのチップを通る熱流量を減少させることができる流体冷却ユニットを有するのがよい。例えば、流体冷却ユニットは、熱を下側/底部半導体素子から伝達・放散させる熱経路を含むのがよい。かかる流体冷却ユニットは、デバイス中の僅かなフットプリントを占めるに過ぎない。

【0011】

幾つかの実施形態では、流体冷却ユニットの下側壁は、デバイス中のもう 1 つの素子（例えば、下側ダイ）にダイレクトボンディングされ、かくして、熱伝達量を減少させる場合のある接着剤の使用が回避される。流体冷却ユニットの下側壁の熱膨張率（CTE）は、温度がデバイスの動作中に上昇したときにボンデッド構造体に破損又はクラックが生じるのを回避するために当該素子の CTE と実質的に一致するよう選択されるのがよい。例えば、流体冷却ユニットをダイレクトボンディングすることができる素子（例えば、下側ダイ）は、シリコンで作られるのがよく、下側壁材料は、シリコンの CTE とおおよそ同じ CTE を有するのがよい。

【0012】

幾つかの実施形態では、流体冷却ユニットは、ポンプを用いて運搬/循環させることができる流体冷却剤を収容したチャネルを含むのがよい。幾つかの実施形態では、流体冷却ユニットは、熱を相転移サイクルにより伝達することができる作業流体を収容したヒートパイプを含むのがよい。隣のチップと比較して、流体冷却ユニットは、熱を下側ダイから伝達する上でより効率的であるのがよく、かくして、流体冷却ユニットは、デバイス中の熱流の向きを変えることができ、そしてその隣のチップを通る熱流量を減少させることができる。

【0013】

図 1 は、例示のマイクロ電子システム 100 の概略断面図であり、マイクロ電子システム 100 は、積層半導体素子（例えば、ダイ/チップ）及びスタックの頂部のところに位置するヒートシンク 131（例えば、金属ヒートシンク又は流体冷却剤入りのヒートパイプ）につながる流体冷却ユニット 137 を含む。例えば、流体冷却ユニット 137 は、熱

10

20

30

40

50

を下側ノ底部半導体素子1000から伝達・放散させる熱経路を含むのがよい。流体冷却ユニット137は、半導体（例えば、シリコン）、金属、プラスチック、又はこれらの任意の組み合わせで形成されるのがよく、かかる流体冷却ユニットは、空洞構造（例えば、液体チャンネル1391又はヒートパイプ1392）を含むのがよく、また、循環又は相転移サイクルにより熱を伝達するよう構成された流体を収容するのがよい。例えば、流体としては、気体又は液体（例えば、水又は誘電液）が挙げられる。動作中に半導体素子1000、101及びノ又は102により生じた熱をヒートシンク131に伝達してシステム100から放散させるのがよい。例えば、流体を入口導管経由で空洞、例えば液体チャンネル1391又はヒートパイプ1392中にポンプ送りするのがよく、そして、この流体は、出口導管経由で空洞、例えば液体チャンネル1391又はヒートパイプ1392を出るのがよい。流体を出口導管から外部熱交換器（図示せず）に運ぶのがよく、外部熱交換器において、流体を冷却するのがよく、その後、流体を入口導管経由で空洞、例えば液体チャンネル1391又はヒートパイプ1392に戻す。流体冷却ユニット137及び1つ又は複数のチップ（例えば、「第1のダイ」101及び「第2のダイ」102）は、ベース素子1000に取り付けられるのがよく、ベース素子1000は、ダイ、ウエハなどであるのがよい。幾つかの実施形態では、「第1のダイ」又は「第2のダイ」は、流体冷却ユニット137内に設けられるのがよい。他の実施形態では、「第1のダイ」101又は「第2のダイ」102は、流体冷却ユニット137外に設けられてもよい。流体冷却ユニット137は、少なくとも1つのチップ（例えば、少なくとも「第1のダイ101」）に隣接して位置するのがよく、かくして少なくとも1つのチップを通る熱流量が減少する。

10

20

【0014】

幾つかの実施形態では、流体冷却ユニット137の底壁1371は、ベース素子1000のCTEに極めて近いCTEを有する。例えば、ベース素子1000は、半導体材料、例えばシリコン（Si）を含むのがよく、流体冷却ユニット137の底壁1371は、半導体材料（例えば、Si）のCTEに近い又はこれに一致したCTEを有するのがよい。1つの実施例では、流体冷却ユニット137の底壁1371は、銅のCTEよりも低い又は $10\mu\text{m}/\text{m}$ 未満のCTEを有するのがよい。幾つかの実施形態では、流体冷却ユニット137の底壁1371は、電気的不導体又は半導体、例えば非金属で作られるのがよい。幾つかの実施形態では、流体冷却ユニット137の底壁1371は、半導体材料、例えばシリコン（例えば、Si）で作られるのがよい。

30

【0015】

幾つかの実施形態では、流体冷却ユニット137の底壁1371は、介在する接着剤なしでダイレクトボンディングにより、例えば非導電ダイレクトボンディング技術及びノ又はハイブリッドダイレクトボンディング技術により、ベース素子1000に取り付けられるのがよい。例えば、底壁1371は、室温大気圧ダイレクトボンディング向きに構成されたZIBOND（登録商標）及びノ又はDBI（登録商標）プロセス又は低温ハイブリッドボンディング向きに構成されたDBI（登録商標）ウルトラプロセスを用いて取り付けられるのがよく、これらのプロセスは、カリフォルニア州サンノゼ所在のAdeia（Adeia）社から商業的に入手できる。幾つかの実施形態では、流体冷却ユニット137の底壁1371は、はんだボンディング又は接着剤ボンディングにより底部チップ1000に取り付けられてもよい。幾つかの実施形態では、流体冷却ユニットの底壁1371は、熱伝導材料（TIM）を介して底部チップに取り付けられてもよい。

40

【0016】

幾つかの実施形態では、積層半導体素子は、介在する接着剤なしで互いにダイレクトボンディングされるのがよい。例えば、「第1のダイ」101及びノ又は「第2のダイ」102は、ベース素子1000にダイレクトボンディングされるのがよい。幾つかの実施形態では、超ヒートシンクは、半導体素子（例えば、「第1のダイ」101及びノ又は「第2のダイ」102及びノ又は流体冷却ユニット137にダイレクトボンディングされるのがよく、あるいは、熱伝導材料（TIM）を介して半導体素子及びノ又は流体冷却ユニットに取り付けられるのがよい。例えば、ダイレクトボンディングプロセスとしては、室温

50

大気圧ダイレクトボンディング向きに構成されたZIBOND（登録商標）やDBI（登録商標）プロセス又は低温ハイブリッドボンディング向きに構成されたDBI（登録商標）ウルトラプロセスが挙げられ、これらのプロセスは、カリフォルニア州サンノゼ所在のアイデア社から商業的に入手できる。ダイレクトボンドは、ボンデッド素子の誘電体相互間に位置するのがよく、かかるダイレクトボンドは、ダイレクトハイブリッドボンディング用のボンドインターフェースのところ又はその近くに導電材料をさらに含むのがよい。ボンディングインターフェースのところの導電材料は、ダイに被着された再配線層（RDL）内又はこの上に形成されたボンディングパッド及び／又はパッシブ電子部品であるのがよい。

【0017】

10

図2は、図1のマイクロ電子システムに類似した例示のマイクロ電子デバイスの断面図であり、同一の参照符号は、同一の特徴を指すよう用いられている。しかしながら、流体冷却ユニットは、ヒートシンクには連結されていない。これとは異なり、流体冷却ユニットは、流体冷却剤を流体冷却ユニット内で運搬／循環させ、かくして熱をマイクロ電子システムから伝達・放散させるよう構成された流体システム240（これは、ポンプや追加の流体チャネルを含むのがよい）に直接連結されている。頂部ヒートシンク131は、熱伝導材料（TIM）249を介して半導体素子に取り付けられるのがよい。

【0018】

例えば、マイクロ電子デバイスは、第1の半導体素子、接着剤なしで第1の半導体素子にダイレクトボンディングされた流体冷却ユニットを有するのがよく、流体冷却ユニットは、液体を収容する空洞構造を含む。1つの実施形態では、マイクロ電子デバイスは、第1の半導体素子上に設けられた少なくとも1つの第2の半導体素子をさらに有する。1つの実施形態では、流体冷却ユニットは、少なくとも1つの第2の半導体素子を通る熱流量を減少させる（例えば、熱流は、少なくとも1つの第2の半導体素子をバイパスする）。1つの実施形態では、少なくとも1つの第2の半導体素子は、介在する接着剤なしで第1の半導体素子にダイレクトボンディングされる（例えば、ダイレクトハイブリッドボンディングされる）。1つの実施形態では、少なくとも1つの第2の半導体素子と第1の半導体素子との間のインターフェースは、導体 導体（導体間）及び誘電体 誘電体（誘電体間）ダイレクトボンドを含む。1つの実施形態では、マイクロ電子デバイスは、少なくとも1つの第2の半導体素子上に設けられたヒートシンクをさらに有する。1つの実施形態では、流体冷却ユニットは、熱を第1の半導体素子からヒートシンクに伝達するよう構成される。1つの実施形態では、ヒートシンクは、介在する接着剤なしで少なくとも1つの第2の半導体素子にダイレクトボンディングされる。1つの実施形態では、第1の半導体素子は、集積化デバイスダイを含む。1つの実施形態では、少なくとも1つの第2の半導体素子は、集積化デバイスダイを含む。1つの実施形態では、流体は、気体からなる。1つの実施形態では、流体は、液体からなる。1つの実施形態では、流体冷却ユニットは、少なくとも1つの第2の半導体素子を通る熱流量を減少させる（例えば、熱流は、少なくとも1つの第2の半導体素子をバイパスする）。1つの実施形態では、少なくとも1つの第2の半導体素子は、流体冷却ユニット内に設けられる。1つの実施形態では、少なくとも1つの第2の半導体素子は、流体冷却ユニットの外部に設けられる。

20

30

40

【0019】

図3Aは、図2のマイクロ電子システムに類似した例示のマイクロ電子システムの断面図であり、同一の参照符号は、同一の特徴を指すために用いられている。しかしながら、流体冷却ユニットの内側壁は、フィンガ特徴部391, 392, 393（例えば、フィンガ／ピラー）を含むのがよく、かかるフィンガ特徴は、流体中の層流の発生を阻止するのを助けることができる。幾つかの実施形態では、特徴部391, 392及び／又は393は、空洞1391中に内方に突出するのがよい。幾つかの実施例では、これら特徴は、流体中に乱入の発生を促進するのを助けることができ、かくして流体混合及び熱輸送を容易にすることができる。かくして、開示した技術の非限定的な利点は、特徴部391, 392及び／又は393が熱放散量を増大させるのを助けることができるということにある。

50

幾つかの実施形態では、流体冷却ユニットの内側壁は、半導体材料、例えばシリコン（Si）で作られるのがよい。幾つかの実施形態では、流体冷却ユニットの内側底壁は、半導体材料（例えば、Si）で作られたフィンガ391又は金属（例えば、銅）で作られたフィンガ392もしくはビア393を含む。1つの実施形態では、幾つかの金属フィンガは、ベース素子1000まで延びるのがよい。例えば、流体冷却ユニットから底部チップまで延びる金属フィンガは、流体冷却ユニットの金属特徴部を底部チップ導電ビア393にダイレクトボンディングすることによって（例えば、ダイレクトハイブリッドボンディングすることによって、例えば、DBI（登録商標）プロセスを用いて）形成されるのがよい。導電ビア393は、熱をベース素子1000から空洞1301に上方に伝導させるのを助けることができる。頂部ヒートシンク131は、熱伝導材料（TIM）を介して半導体素子101及び/又は102に取り付けられるのがよい。

【0020】

図3B、図3C、図3Dに示す別の実施形態では、流体冷却ユニットの底/ベース部分301と流体冷却ユニットの頂部分302は、互いに異なる材料で作られるのがよい。加うるに、流体冷却ユニットは、カプセル部分303をさらに含むのがよい。例えば、流体冷却ユニットの底/ベース部分301は、半導体材料、例えばシリコン（Si）336で作られている。しかしながら、流体冷却ユニットの他の部分、例えば頂部分302又はカプセル部分303は、他の半導体材料337又はポリマー/プラスチック材料338で作られるのがよい。

【0021】

例えば、マイクロ電子デバイスは、第1の半導体素子、第1の半導体素子上に設けられた少なくとも1つの第2の半導体素子、及び第1の半導体素子上に設けられた流体冷却ユニットを有するのがよく、流体冷却ユニットは、流体を収容する空洞構造を含み、流体冷却ユニットは、熱を第1の半導体素子から伝達・放散させる熱経路を含む。流体は、アクティブ機構体によって空洞構造体を通して運搬される。1つの実施形態では、空洞構造は、1種類以上の電気的不導体又は半導体で作られる。1つの実施形態では、1つ以上の電気的不導体又は半導体は、シリコン又はプラスチックからなる。1つの実施形態では、空洞構造の内面は、流体中の乱流を増大させるよう構成された特徴部を有する。1つの実施形態では、これら特徴部は、アレイ状に配列されたピラーからなる。1つの実施形態では、かかる特徴部は、シリコン又は金属からなる。1つの実施形態では、空洞構造は、底壁を有し、これら特徴部は、底壁上に設けられる。1つの実施形態では、これら特徴部は、第1の半導体素子まで延びる金属特徴部を含む。1つの実施形態では、第1の半導体素子まで延びる金属特徴部は、底壁上に設けられた特徴部を第1の半導体素子中に設けられた導電ビアにダイレクトボンディングすることによって形成される。1つの実施形態では、これら特徴部は、第1の半導体素子上に設けられる。

【0022】

図4は、図3Aのマイクロ電子システムに類似した例示のマイクロ電子システムの断面図であり、同一の参照符号は、同一の特徴を指すために用いられている。しかしながら、あらかじめ形成された空洞構造、例えば液体チャネル1391をベース素子1000に取り付ける代わりに、流体冷却ユニットは、キャップ構造体450（底壁なし）を底部チップ医取り付け/ボンディングすることによって形成され、かくして、流体を収容することができる空洞、例えば液体チャネル1391が形成される。幾つかの実施形態では、キャップ構造体は、底部チップにダイレクトボンディング（例えば、ZIBOND（登録商標）又はDBI（登録商標））されるのがよい。幾つかの実施形態では、空洞、例えば液体チャネル1391とインターフェースする底部チップの部分は、流体中における層流の発生を阻止/乱流発生の促進を助けることができる特徴部（例えば、半導体材料（例えば、Si又は金属フィンガ）を含むのがよい。頂部ヒートシンクは、TIMを介して半導体素子に取り付けられるのがよい。

【0023】

例えば、マイクロ電子デバイスは、第1の半導体素子、第1の半導体素子上に設けられ

た少なくとも1つの第2の半導体素子、及び第1の半導体素子上に設けられた流体冷却ユニットを有するのがよく、流体冷却ユニットは、流体を収容する空洞構造を含み、流体冷却ユニットは、熱を第1の半導体素子から伝達・放散させる熱経路を含む。流体は、アクティブ機構体により空洞構造を通して運搬される。1つの実施形態では、空洞構造は、底壁なしのキャップ構造体を第1の半導体素子にダイレクトボンディングすることによって形成される。1つの実施形態では、空洞構造は、第1の半導体素子上に設けられた底壁を有し、底壁の熱膨張率(CTE)は、第1の半導体素子のCTEと実質的に同じである。1つの実施形態では、第1の半導体素子は、シリコンからなり、空洞構造は、第1の半導体素子上に設けられた底壁を含み、底壁の熱膨張率(CTE)は、シリコンのCTEと実質的に同じである。1つの実施形態では、空洞構造は、第1の半導体素子上に設けられた底壁を含み、底壁の熱膨張率(CTE)は、銅の熱膨張率よりも低い。1つの実施形態では、空洞構造は、第1の半導体素子上に設けられた底壁を含み、底壁の熱膨張率(CTE)は、 $10\ \mu\text{m}/\text{m}$ よりも低い。1つの実施形態では、空洞構造は、第1の半導体素子上に設けられた底壁を含み、底壁は、シリコンからなる。1つの実施形態では、空洞構造は、第1の半導体素子上に設けられた底壁を含み、底壁は、介在する接着剤なしで第1の半導体素子にダイレクトボンディングされる。1つの実施形態では、底壁と第1の半導体素子との間のインターフェースは、誘電体 誘電体ダイレクトボンドを含む。

10

【0024】

マイクロ電子デバイス100を形成する方法は、第1の半導体素子を用意するステップ、及び第2の半導体素子及び流体冷却ユニットを第1の半導体素子にボンディングして第2の半導体素子及び流体冷却ユニットが第1の半導体素子上に設けられるようにするステップを含むのがよく、流体冷却ユニットは、流体を収容する空洞構造を含み、流体冷却ユニットは、熱を第1の半導体素子から伝達・放散させる熱経路を含む。1つの実施形態では、第2の半導体素子をボンディングするステップは、第2の半導体素子を介在する接着剤なしで第1の半導体素子にダイレクトボンディングするステップを含む。1つの実施形態では、空洞構造は底壁を含み、流体冷却ユニットをボンディングするステップは、底壁を介在する接着剤なしで第1の半導体素子にダイレクトボンディングするステップを含む。1つの実施形態では、この方法は、底壁なしのキャップ構造体を第1の半導体素子にダイレクトボンディングすることによって空洞構造を形成するステップをさらに含む。1つの実施形態では、第2の半導体素子は、流体冷却ユニット内に設けられる。1つの実施形態では、第2の半導体素子は、流体冷却ユニットの外部に設けられる。

20

30

【0025】

電子素子

ダイは、任意適当な形式の集積化デバイスダイを指すと言える。例えば、集積化デバイスダイは、電子部品、例えば集積回路(例えば、プロセッサダイ、コントローラダイ、又はメモリダイ)、微小電子機械システム(MEMS)ダイ、光学デバイス、又は任意他の適当な形式のデバイスダイを含むことができる。幾つかの実施形態では、電子部品としては、パッシブデバイス、例えばキャパシタ、インダクタ、又は他の表面実装デバイスが挙げられる。回路(例えば、トランジスタのようなアクティブ部品)が種々の実施形態では、アクティブ面のところ又はその近くのところにパターン化されるのがよい。アクティブ面は、ダイのうら面と反対側のダイの面(おもて面)上に位置するのがよい。うら面は、任意のアクティブ回路又はパッシブ回路を有してもよく、有さなくてもよい。

40

【0026】

集積化デバイスダイは、ボンディング表面及びボンディング表面と反対側のうら面を有するのがよい。ボンディング表面は、一導電ボンドパッドを含む複数の導電ボンドパッド、及び導電ボンドパッドの近くに位置する非導電材料を有するのがよい。幾つかの実施形態では、集積化デバイスダイの導電ボンドパッドは、介在する接着剤なしで基板又はウエハの対応の導電パッドにダイレクトボンディングされるのがよく、集積化デバイスダイの非導電材料は、介在する接着剤なしで基板又はウエハの対応の非導電材料の一部分にダイレクトボンディングされるのがよい。接着剤なしのダイレクトボンディングは、米国特許

50

第 7, 1 2 6, 2 1 2 号明細書、同第 8, 1 5 3, 5 0 5 号明細書、同第 7, 6 2 2, 3 2 4 号明細書、同第 7, 6 0 2, 0 7 0 号明細書、同第 8, 1 6 3, 3 7 3 号明細書、同第 8, 3 8 9, 3 7 8 号明細書、同第 7, 4 8 5, 9 6 8 号明細書、同第 8, 7 3 5, 2 1 9 号明細書、同第 9, 3 8 5, 0 2 4 号明細書、同第 9, 3 9 1, 1 4 3 号明細書、同第 9, 4 3 1, 3 6 8 号明細書、同第 9, 9 5 3, 9 4 1 号明細書、同第 9, 7 1 6, 0 3 3 号明細書、同第 9, 8 5 2, 9 8 8 号明細書、同第 10, 0 3 2, 0 6 8 号明細書、同第 10, 2 0 4, 8 9 3 号明細書、同第 10, 4 3 4, 7 4 9 号明細書、及び同第 10, 4 4 6, 5 3 2 号明細書全体に記載されており、これら米国特許の各々を参照により引用し、その記載内容全体を全ての目的に関して本明細書の一部とする。

【0027】

10

ダイレクトボンディング方法及びダイレクトボンデッド構造体の実施例

本明細書において開示する種々の実施形態は、2つの素子を介在する接着剤なしでダイレクトボンディングすることができるダイレクトボンデッド構造体に関する。2つ以上の電子素子は、半導体素子（例えば、集積化デバイスダイ、ウエハなど）であるのがよく、かかる2つ以上の電子素子を互いに積層し又はボンディングすると、ボンデッド構造体を形成することができる。1つの素子の導電接触パッドをもう1つの素子の対応の導電接触パッドに電氣的に接続することができる。任意適当な数の素子を積層してボンデッド構造体とすることができる。接触パッドは、非導電ボンディング領域に形成された金属パッドからなるのがよく、これら接触パッドを下に位置するメタライゼーション、例えば再配線層（RDL）に接続するのがよい。

20

【0028】

幾つかの実施形態では、素子は、接着剤なしで互いにダイレクトボンディングされる。種々の実施形態では、第1の素子の非導電材料又は誘電体は、接着剤なしで第2の素子の対応の非導電又は誘電フィールド領域ダイレクトボンディングされるのがよい。非導電材料を第1の素子の非導電ボンディング領域又はボンディング層という場合がある。幾つかの実施形態では、第1の素子の非導電材料は、誘電体 誘電体（誘電体間）ボンディング技術を用いて第2の素子の対応の非導電材料にダイレクトボンディングされるのがよい。例えば、誘電体 誘電体ボンドは、少なくとも米国特許第9, 564, 414号明細書、同第9, 391, 143号明細書、及び同第10, 434, 749号明細書に開示されているダイレクトボンディング技術を用いて接着剤なしで形成でき、これら米国特許を参照により引用し、全ての目的に関しこれらの各々の記載内容全体を本明細書の一部とする。ダイレクトボンディングに適した誘電体としては、無機誘電体、例えば酸化シリコン、窒化シリコン、オキシ窒化シリコンが挙げられるが、これには限定されず、あるいは、炭素、例えば炭化シリコン、オキシ炭窒化シリコン、炭窒化シリコンもしくはダイヤモンド状炭素が挙げられる。幾つかの実施形態では、誘電体は、ポリマー材料、例えばエポキシ、樹脂又は成形材料を含まない。

30

【0029】

幾つかの実施形態では、ダイレクトハイブリッドボンドは、介在する接着剤なしで形成できる。例えば、誘電ボンディング表面を高い平滑度に研磨することができる。ボンディング表面を清浄化してプラズマ及び/又はエッチング剤に当てると、これら表面を活性化することができる。幾つかの実施形態では、これら表面は、活性化後又は活性化中（例えば、プラズマ及び/又はエッチングプロセス中）、化学種で末端基化することができる。理論に束縛されるものではないが、幾つかの実施形態では、活性化プロセスは、ボンディング表面のところの化学結合を壊すために実施されるのがよく、末端基化プロセスは、ダイレクトボンディング中におけるボンディングエネルギーを向上させる追加の化学種をボンディング表面のところに提供することができる。幾つかの実施形態では、活性化及び末端基化は、同一のステップで提供され、例えば、プラズマ又はウェットエッチング剤を用いて表面を活性化して末端基化することができる。他の実施形態では、ボンディング表面を別個の処理で末端基化して追加の化学種を提供することができ、それによりダイレクトボンディングを行うことができる。種々の実施形態では、末端基化化学種は、窒素を含むの

40

50

がよい。例えば、幾つかの実施形態では、ボンディング表面をフッ素にさらすのがよい。例えば、層及び/又はボンディングインターフェースの近くに1つ又は多数のフッ素ピークが現れる場合がある。かくして、ダイレクトボンデッド構造体では、2つの誘電体相互間のボンディングインターフェースは、ボンディングインターフェースのところに高い窒素含有量及び/又はフッ素ピークを有する極めて滑らかなインターフェースを構成することができる。活性化及び/又は末端基化処理の追加の例が米国特許第9,564,414号明細書、同第9,391,143号明細書、及び同第10,434,749号明細書全体にわたって見受けられ、これら米国特許の各々を参照により引用し、全ての目的に関してその記載内容全体を本明細書の一部とする。

【0030】

種々の実施形態では、第1の素子の接触パッドもまた、第2の素子の対応の導電接触パッドにダイレクトボンディングされるのがよい。例えば、ハイブリッドダイレクトボンディング技術を用いると、上述したように前処理された共有直接結合状態の誘電体間表面を含むボンディングインターフェースに沿って導体-導体ダイレクトボンドを提供することができる。種々の実施形態では、導体-導体(例えば、接触パッド-接触パッド)ダイレクトボンド及び誘電体-誘電体ハイブリッドボンドは、少なくとも米国特許第9,716,033号明細書及び同第9,852,988号明細書に開示されたダイレクトボンディング技術を用いて形成でき、これら米国特許の各々を参照により引用し、全ての目的についてその記載内容全体を本明細書の一部とする。

【0031】

例えば、誘電ボンディング表面を前処理して、上述したように介在接着剤なしで互いにダイレクトボンディングすることができる。導電接触パッド(これらは、非導電性の誘電フィールド領域によって包囲されるのがよい)もまた、介在接着剤なしで互いにダイレクトボンディングすることができる。幾つかの実施形態では、接触パッドをそれぞれ、誘電フィールド領域又は非導電ボンディング層の外面(例えば、上面)の下に凹ませるのがよく、例えば30nm未満、20nm未満、15nm未満、又は10nm未満だけ凹ませるのがよく、例えば、2nmから20nmまでの範囲又は4nm~10nmの範囲で凹ませるのがよい。非導電ボンディング層を幾つかの実施形態では本明細書において説明したボンディングツールで室温において接着剤なしで互いにダイレクトボンディングするのがよく、その後、ボンデッド構造体をアニールするのがよい。アニールは、別個の装置で実施されるのがよい。アニール時、接触パッドは、膨張して互いに接触し、それにより金属-金属(金属間)ダイレクトボンドを形成することができる。有益には、ハイブリッドボンディング技術、例えばカリフォルニア州サンノゼ所在のエクスペリ(Xperi)社から商業的に入手できるダイレクトボンドインターコネクト(Direct Bond Interconnect)、すなわち、DBI(登録商標)技術の使用により、ダイレクトボンドインターフェースを横切って接続された高密度のパッドを実現できる(例えば、規則的なアレイについては僅かな又は細かいピッチで)。幾つかの実施形態では、ボンディングパッド、又はボンデッド素子のうちの1つのボンディング表面内に埋め込まれた導電トレースのピッチは、40ミクロン未満又は10ミクロン未満であるのがよく、それどころか2ミクロン未満であってもよい。幾つかの用途に関し、ボンディングパッドのピッチとボンディングパッドの諸元のうちの1つの比は、5未満又は3未満であり、場合によっては望ましくは2未満である。他の用途では、ボンデッド素子のうちの1つのボンディング表面内に埋め込まれた導電トレースの幅は、0.3ミクロンから5ミクロンまでの範囲にあるのがよい。種々の実施形態では、接触パッド及び/又はトレースは、銅からなるのがよいが、他の金属が適している場合がある。

【0032】

かくして、ダイレクトボンディングプロセスでは、第1の素子を介在接着剤なしで第2の素子にダイレクトボンディングすることができる。幾つかの構成例では、第1の素子は、単体化された素子、例えば単体化集積化デバイスダイからなるのがよい。他の構成例では、第1の素子は、単体化されたときに複数の集積化デバイスダイを形成する複数(例え

10

20

30

40

50

ば、数十個、数百個、又はそれ以上)のデバイス領域を含むキャリア又は基板(例えば、ウエハ)からなるのがよい。本明細書において説明した実施形態では、ダイであれ基板であれ、いずれにせよ、第1の素子は、ホスト基板と見なされる場合があり、これは、第2の素子をピックアンドプレイス(pick-and-place)又はロボットエンドエフェクタを受け取るためにボンディングツールのサポートに取り付けられる。図示の実施形態の第2の素子は、ダイからなる。他の構成例では、第2の素子は、キャリア又はフラットパネル、もしくは基板(例えば、ウエハ)からなるのがよい。

【0033】

本明細書において説明するように、第1の素子と第2の素子を接着剤なしで互いにダイレクトボンディングすることができ、これは、蒸着プロセスとは異なっている。1つの用途では、ボンデッド構造体中の第1の素子の幅は、第2の素子の幅とほぼ同じであるのがよい。幾つかの他の実施形態では、ボンデッド構造体中の第1の素子の幅は、第2の素子の幅とは異なるのがよい。ボンデッド構造体中の大きい方の素子の幅又は面積は、小さい方の素子の幅又は面積よりも少なくとも10%大きいのがよい。したがって、第1及び第2の素子は、非蒸着素子からなるのがよい。さらに、ダイレクトボンデッド構造体は、蒸着層とは異なり、ボンドインターフェースに沿って、ナノボイドが存在する欠陥領域を含む場合がある。ナノボイドは、ボンディング表面の活性化(例えば、プラズマへの曝露)に起因して形成される場合がある。上述したように、ボンドインターフェースは、活性化及び/又は最終化学処理プロセスから生じる物質の濃縮を呈する場合がある。例えば、活性化のために窒素プラズマを利用する実施形態では、窒素ピークがボンドインターフェースのところに形成される場合がある。活性化のために酸素プラズマを利用する実施形態では、酸素ピークがボンドインターフェースのところに形成される場合がある。幾つかの実施形態では、ボンドインターフェースは、オキシ窒化シリコン、オキシ炭窒化シリコン、又は炭窒化シリコンからなるのがよい。本明細書において説明したように、ダイレクトボンドは、共有結合を含むのがよく、この共有結合は、ファンデルワールス結合よりも強固である。ボンディング層は、高い平滑度まで平坦化された研磨表面をさらに有するのがよい。例えば、ボンディング層は、1ミクロン当り2nm二乗平均(RMS)又は1ミクロン当り1nmRMSの表面粗さを有するのがよい。

【0034】

種々の実施形態では、ダイレクトハイブリッドボンデッド構造体中の接触パッド相互間の金属-金属ボンドは、導電特徴部上の導電特徴部粒、例えば銅結晶粒がボンドインターフェースを横切って互いの中に成長するよう接合されるのがよい。幾つかの実施形態では、銅は、ボンドインターフェースを横切る銅の拡散を向上させるために、111結晶面に沿って配向した結晶粒を有するのがよい。ボンドインターフェースは、ボンデッド接触パッドの少なくとも一部分まで実質的に完全に延びるのがよく、その結果、ボンデッド接触パッドのところ又はその近くには非導電ボンディング領域相互間には隙間が実質的に生じないようになっている。幾つかの実施形態では、バリヤ層を接触パッド(例えば、これは、銅を含むのがよい)の下に設けるのがよい。しかしながら、他の実施形態では、例えば、米国特許出願公開第2019/0096741号明細書に記載されているように、接触パッドの下にバリヤ層が存在しなくてもよく、この米国特許を参照により引用し、その記載内容全体を全ての目的に関して本明細書の一部とする。

【0035】

1つの観点では、開示した技術は、マイクロ電子デバイスであって、第1の半導体素子と、第1の半導体素子上に設けられた少なくとも1つの第2の半導体素子と、第1の半導体素子上に設けられた流体冷却ユニットとを有し、流体冷却ユニットは、流体を收容するための空洞構造を有し、流体冷却ユニットは、熱を第1の半導体素子から伝達・放散させるための熱経路を有することを特徴とするマイクロ電子デバイスに関する。

【0036】

1つの実施形態では、流体は、アクティブ機構体によって空洞構造を通して運搬される。

。

10

20

30

40

50

- 【 0 0 3 7 】
1つの実施形態では、空洞構造は、1種類以上の電気的不導体又は半導体で作られている。
- 【 0 0 3 8 】
1つの実施形態では、1種類以上の電気的不導体又は半導体は、シリコン又はプラスチックからなる。
- 【 0 0 3 9 】
1つの実施形態では、空洞構造の内面は、流体中の乱流を増大させるよう構成された特徴部を有する。
- 【 0 0 4 0 】 10
1つの実施形態では、特徴部は、ピラーのアレイからなる。
- 【 0 0 4 1 】
1つの実施形態では、特徴部は、シリコン又は金属からなる。
- 【 0 0 4 2 】
1つの実施形態では、空洞構造は、底壁を有し、特徴部は、底壁上に設けられている。
- 【 0 0 4 3 】
1つの実施形態では、特徴部は、第1の半導体素子まで延びる金属特徴部からなる。
- 【 0 0 4 4 】
1つの実施形態では、第1の半導体素子まで延びる金属特徴部は、底壁上に設けられた特徴部を第1の半導体素子内に設けられた導電パイアにダイレクトボンディングすることによって形成されている。 20
- 【 0 0 4 5 】
1つの実施形態では、特徴部は、第1の半導体素子上に設けられている。
- 【 0 0 4 6 】
1つの実施形態では、空洞構造は、底壁のないキャップ構造体を第1の半導体素子にダイレクトボンディングすることによって形成されている。
- 【 0 0 4 7 】
1つの実施形態では、空洞構造は、第1の半導体素子上に設けられた底壁を有し、底壁の熱膨張率 (C T E) は、第1の半導体素子の C T E と実質的に同じである。
- 【 0 0 4 8 】 30
1つの実施形態では、第1の半導体素子は、シリコンからなり、空洞構造は、第1の半導体素子上に設けられた底壁を有し、底壁の熱膨張率 (C T E) は、シリコンの C T E と実質的に同じである。
- 【 0 0 4 9 】
1つの実施形態では、空洞構造は、第1の半導体素子上に設けられた底壁を有し、底壁の熱膨張率 (C T E) は、銅の C T E よりも低い。
- 【 0 0 5 0 】
1つの実施形態では、空洞構造は、第1の半導体素子上に設けられた底壁を有し、底壁の熱膨張率 (C T E) は、 $10 \mu\text{m}/\text{m}$ よりも低い。
- 【 0 0 5 1 】 40
1つの実施形態では、空洞構造は、第1の半導体素子上に設けられた底壁を有し、底壁は、シリコンからなる。
- 【 0 0 5 2 】
1つの実施形態では、空洞構造は、第1の半導体素子上に設けられた底壁を有し、底壁は、介在する接着剤なしで第1の半導体素子にダイレクトボンディングされている。
- 【 0 0 5 3 】
1つの実施形態では、底壁と第1の半導体素子との間のインターフェースは、誘電体誘電体ダイレクトボンドからなる。
- 【 0 0 5 4 】 50
1つの実施形態では、空洞構造は、第1の半導体素子上に設けられた底壁を有し、底壁

は、はんだボンディングにより第 1 の半導体素子にボンディングされている。

【 0 0 5 5 】

1 つの実施形態では、空洞構造は、第 1 の半導体素子上に設けられた底壁を有し、底壁は、接着剤ボンディングにより第 1 の半導体素子にボンディングされている。

【 0 0 5 6 】

1 つの実施形態では、空洞構造は、第 1 の半導体素子上に設けられた底壁を有し、底壁は、熱伝導材料 (T I M) によって第 1 の半導体素子にボンディングされている。

【 0 0 5 7 】

1 つの実施形態では、少なくとも 1 つの第 2 の半導体素子は、介在する接着剤なしで第 1 の半導体素子にダイレクトボンディング (例えば、ダイレクトハイブリッドボンディング) されている。

10

【 0 0 5 8 】

1 つの実施形態では、少なくとも 1 つの第 2 の半導体素子と第 1 の半導体素子との間のインターフェースは、導体 導体ダイレクトボンド及び誘電体 誘電体ダイレクトボンドからなる。

【 0 0 5 9 】

1 つの実施形態では、マイクロ電子デバイスは、少なくとも 1 つの第 2 の半導体素子上に設けられたヒートシンクをさらに有する。

【 0 0 6 0 】

1 つの実施形態では、流体冷却ユニットは、熱を第 1 の半導体素子からヒートシンクに伝達するよう構成されている。

20

【 0 0 6 1 】

1 つの実施形態では、ヒートシンクは、介在する接着剤なしで少なくとも 1 つの第 2 の半導体素子にダイレクトボンディングされている。

【 0 0 6 2 】

1 つの実施形態では、第 1 の半導体素子は、集積化デバイスダイからなる。

【 0 0 6 3 】

1 つの実施形態では、少なくとも 1 つの第 2 の半導体素子は、集積化デバイスダイからなる。

【 0 0 6 4 】

1 つの実施形態では、流体は、気体からなる。

30

【 0 0 6 5 】

1 つの実施形態では、流体は、液体からなる。

【 0 0 6 6 】

1 つの実施形態では、流体冷却ユニットは、少なくとも 1 つの第 2 の半導体素子を通る熱流量を減少させる (例えば、熱流は、少なくとも 1 つの第 2 の半導体素子をバイパスする) 。

【 0 0 6 7 】

1 つの実施形態では、少なくとも 1 つの第 2 の半導体素子は、流体冷却ユニット内に設けられている。

40

【 0 0 6 8 】

1 つの実施形態では、少なくとも 1 つの第 2 の半導体素子は、流体冷却ユニット外に設けられている。

【 0 0 6 9 】

もう 1 つの観点では、開示した技術は、マイクロ電子デバイスを作製する方法であって、第 1 の半導体素子を提供するステップと、第 2 の半導体素子及び流体冷却ユニットを第 1 の半導体素子にボンディングして第 2 の半導体素子及び流体冷却ユニットが第 1 の半導体素子上に設けられるようにするステップとを含み、流体冷却ユニットは、流体を収容するための空洞構造を有し、流体冷却ユニットは、熱を第 1 の半導体素子から伝達・放散させるための熱経路を有することを特徴とする方法に関する。

50

【0070】

1つの実施形態では、第2の半導体素子をボンディングするステップは、第2の半導体素子を介在する接着剤なしで第1の半導体素子にダイレクトボンディングするステップからなる。

【0071】

1つの実施形態では、空洞構造は、底壁を有し、流体冷却ユニットをボンディングするステップは、底壁を介在する接着剤なしで第1の半導体素子にダイレクトボンディングするステップからなる。

【0072】

1つの実施形態では、本方法は、底壁のないキャップ構造体を第1の半導体素子にダイレクトボンディングすることによって空洞構造を形成するステップをさらに含む。 10

【0073】

1つの実施形態では、第2の半導体素子は、流体冷却ユニット内に設けられている。

【0074】

1つの実施形態では、第2の半導体素子は、流体冷却ユニット外に設けられている。

【0075】

もう1つの観点では、開示した技術は、マイクロ電子デバイスであって、第1の半導体素子と、第1の半導体素子に介在する接着剤なしでダイレクトボンディングされた流体冷却ユニットとを有し、流体冷却ユニットは、流体を収容するための空洞構造を有することを特徴とするマイクロ電子デバイスに関する。 20

【0076】

1つの実施形態では、マイクロ電子デバイスは、第1の半導体素子上に設けられた少なくとも1つの第2の半導体素子をさらに有する。

【0077】

1つの実施形態では、流体冷却ユニットは、少なくとも1つの第2の半導体素子を通る熱流量を減少させる（例えば、熱流は、少なくとも1つの第2の半導体素子をバイパスする）。

【0078】

文脈上別段の明示の必要がなければ、原文明細書及び原文特許請求の範囲全体を通じて、“comprise”（訳文では「～を有する」としている場合が多い），“comprising”、“include”（「～を含む」），“including”などの用語は、排他的又は網羅的な意味とは異なり、包括的な意味に、すなわち“including, but not limited to”（「～を含むが、これには限定されない」）の意味に解されるべきである。本明細書に一般的に用いられている「結合され」という用語は、互いに直接的に（ダイレクトに）連結されるか、1つ以上の中間要素により互いに連結される2つ以上の要素を意味している。同様に、本明細書において一般的に用いられている「連結され」という用語は、互いに直接的に連結されるか、1つ以上の中間要素により互いに連結される2つ以上の要素を意味している。加うるに、原語出願において用いられている“herein”（訳文では「本明細書において」としている場合が多い），“above”（「上述の」の意），“below”（「後述の」の意）、及び同様な趣旨の用語は、本願を全体として意味しており、本願の何らかの特定の部分を意味しているわけではない。さらに、本明細書で用いられているように、第1の素子が第2の素子の「上（on）」又は「覆って（over）」位置すると説明されている場合、第1の素子は、第1の素子と第2の素子は、互いに直接的に接触するよう、第2の素子上に又はこれを覆って直接位置する場合があります。あるいは第1の素子は、1つ以上の素子が第1の素子と第2の素子の間に介在するよう、第2の素子上又はこれを覆って間接的に位置する場合があります。文脈上許容される場合には、単数形又は複数形を用いた上記の詳細な説明中の用語は、それぞれ複数又は単数を含む場合がある。2つ以上のアイテムのリストに関して「又は」という用語は、この用語についての以下の解釈、すなわち、リスト中のアイテムのうちの任意のもの、リスト中のアイテムの全て、及びリスト中のアイテムの任意の組み合わせの全てを含む。 40 50

【 0 0 7 9 】

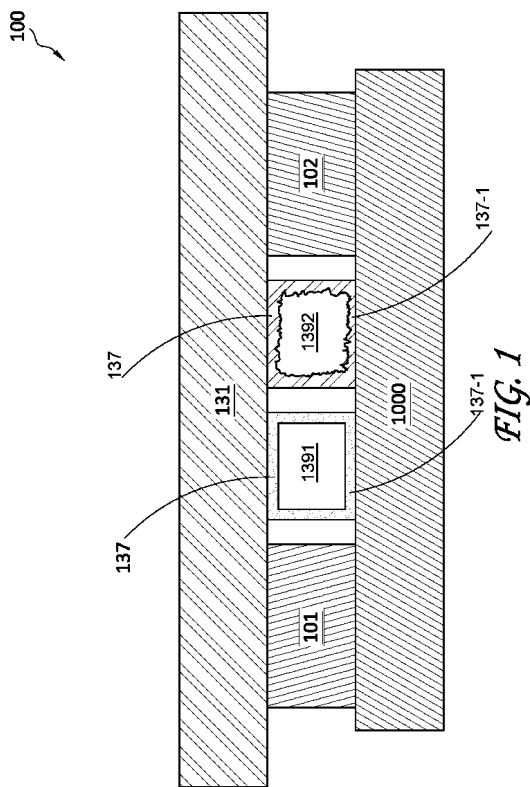
さらに、原文明細書で用いられている条件語、とりわけ“can”（「～のがよい」、「～でもよい」又は「～することができる」）、“could”、“might”、“may”、“e.g.”、“for example”、“such as”などは、別段の明示の指定がなければ、又は用いられている文脈内で違ったやり方で理解されない場合、一般に、ある特定の実施形態がある特定の特徴、要素、及び／又は状態を含み、他の実施形態がある特定の特徴、要素、及び／又は状態を含まないということを意味するようになっている。かくして、かかる条件語は、一般的には、特徴、要素、及び／又は状態が、1つ以上の実施形態について必要な何らかの仕方で存在することを意味するようにはなっていない。

【 0 0 8 0 】

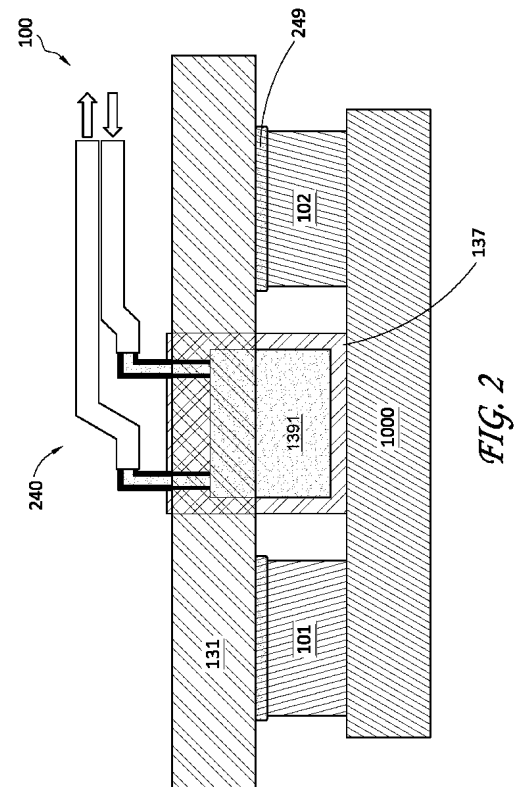
ある特定の実施形態を説明したが、これら実施形態は、例示としてのみ提供されており、本発明の範囲を限定するものではない。確かに、本明細書において説明した新規な装置、方法、及びシステムは、種々の他の形態で具体化でき、さらに、本明細書において説明した方法及びシステムの形態における種々の省略、置換、及び変更は、本発明の範囲から逸脱することなく実施できる。例えば、ブロックが所与の配置で示されているが、変形実施形態は、異なるコンポーネント及び／又は回路トポロジでほぼ同じ機能を実行することができ、幾つかのブロックを削除し、動かし、追加し、分割し、組み合わせ、かつ／あるいは改造することができる。これらブロックの各々は、多種多様な仕方で具体化できる。上述の種々の実施形態の要素及び作用の任意適当な組み合わせは、別の実施形態を提供するよう組み合わせ可能である。添付の特許請求の範囲に記載された本発明の範囲及びその均等範囲は、本発明の範囲及び精神に含まれるかかる形態又は改造を含むものである。

【 図 面 】

【 図 1 】



【 図 2 】



10

20

30

40

50

【 3 A 】

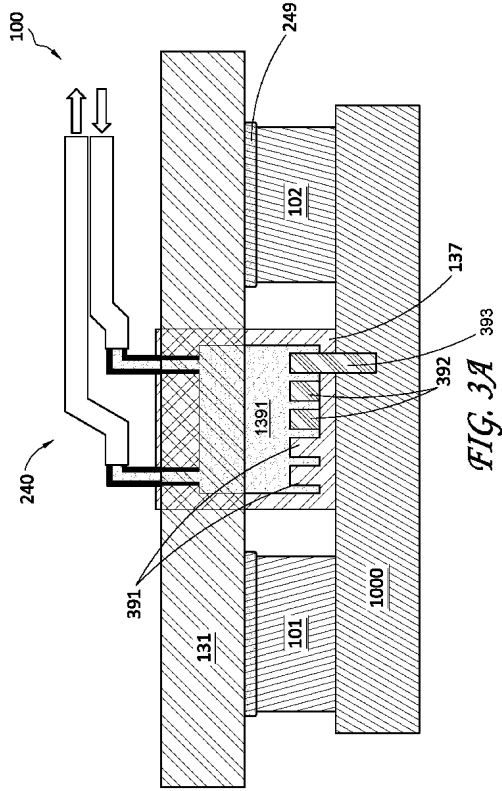


FIG. 3A

【 3 B 】

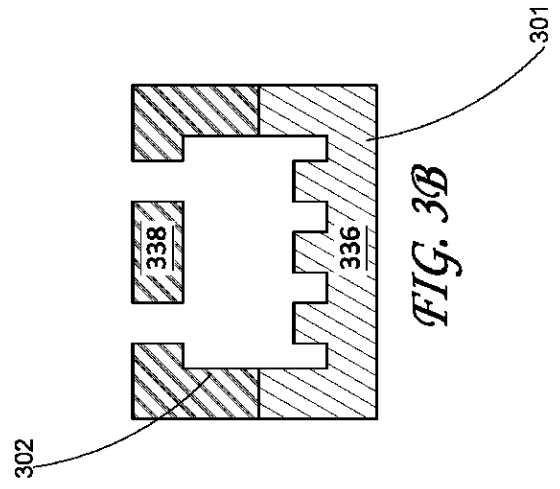


FIG. 3B

10

20

【 3 C 】

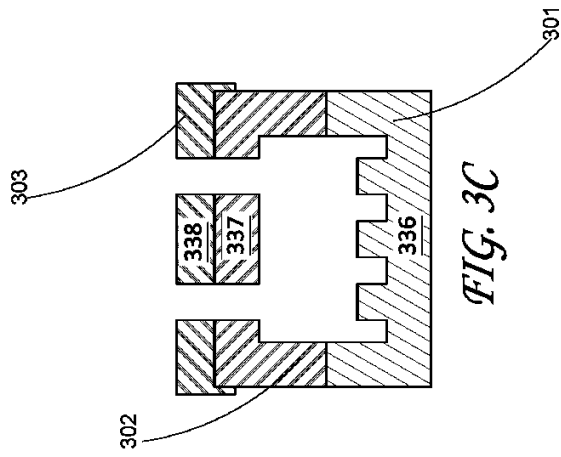


FIG. 3C

【 3 D 】

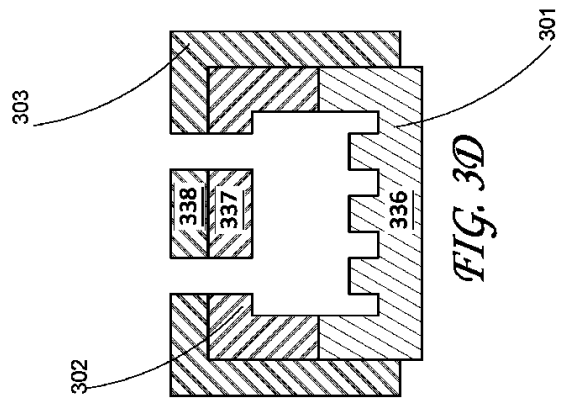


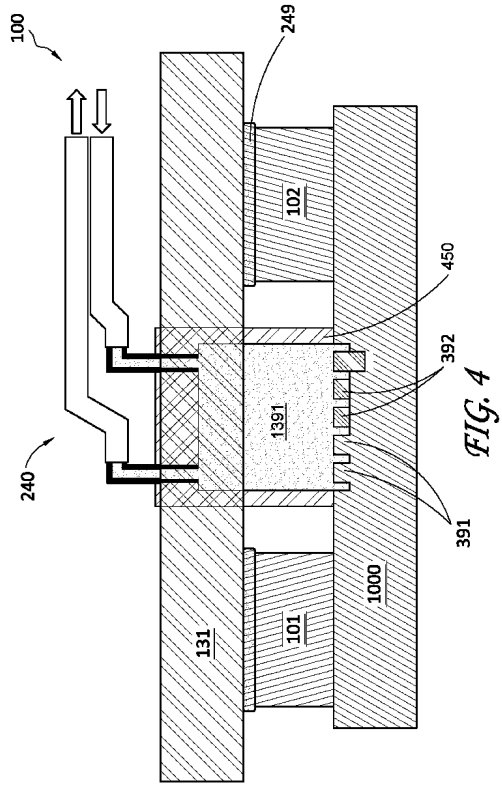
FIG. 3D

30

40

50

【 図 4 】



10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/050105

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 23/46(2006.01)i; H01L 23/367(2006.01)i; H01L 25/065(2006.01)i; H01L 23/42(2006.01)i; H01L 21/48(2006.01)i; H01L 23/373(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L 23/46(2006.01); H01L 21/98(2006.01); H01L 23/04(2006.01); H01L 23/367(2006.01); H01L 23/473(2006.01); H01L 23/498(2006.01); H01L 25/065(2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: cool, heat dissipation, stacked chip, fluid, bonding		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2021-0193548 A1 (INTEL CORPORATION) 24 June 2021 (2021-06-24) See paragraphs [0024]-[0039], claim 1 and figure 1A.	1-4,12-43 5-11
Y	US 2018-0211900 A1 (INTEL CORPORATION) 26 July 2018 (2018-07-26) See paragraphs [0017]-[0041], claims 1, 13 and figures 1, 5.	1-4,12-43
A	US 2021-0193620 A1 (XILINX, INC.) 24 June 2021 (2021-06-24) See paragraphs [0019]-[0033] and figure 1.	1-43
A	CN 111128976 B (QINGDAO GEER INTELLIGENT SENSOR CO., LTD.) 01 October 2021 (2021-10-01) See claims 1-4 and figure 1.	1-43
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 16 March 2023	Date of mailing of the international search report 16 March 2023	
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578	Authorized officer JANG, Gi Jeong Telephone No. +82-42-481-8364	

Form PCT/ISA/210 (second sheet) (July 2022)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2022/050105

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2021-0193548	A1	24 June 2021	None			
US	2018-0211900	A1	26 July 2018	EP	3574524	A1	04 December 2019
				EP	3574524	A4	04 November 2020
				US	10964624	B2	30 March 2021
				WO	2018-140113	A1	02 August 2018
US	2021-0193620	A1	24 June 2021	CN	213752684	U	20 July 2021
				TW	M610767	U	21 April 2021
				US	11488936	B2	01 November 2022
CN	111128976	B	01 October 2021	CN	111128976	A	08 May 2020
US	2018-0090427	A1	29 March 2018	US	10586760	B2	10 March 2020
				US	10622294	B2	14 April 2020
				US	2009-0108435	A1	30 April 2009
				US	2009-0308578	A1	17 December 2009
				US	2009-0311826	A1	17 December 2009
				US	2014-0084443	A1	27 March 2014
				US	2014-0084448	A1	27 March 2014
				US	2016-0049353	A1	18 February 2016
				US	2016-0049360	A1	18 February 2016
				US	2018-0090428	A1	29 March 2018
				US	2020-0144169	A1	07 May 2020
				US	8106505	B2	31 January 2012
				US	8487427	B2	16 July 2013
				US	8629554	B2	14 January 2014
				US	9252071	B2	02 February 2016
				US	9252072	B2	02 February 2016
				US	9905505	B2	27 February 2018
				US	9905506	B2	27 February 2018

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,I
T,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,
MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,
SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

弁理士 鈴木 博子

(72)発明者 ハーバ ベルガセム

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 オープション クリストファー

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

Fターム(参考) 5E322 AA05 DA00 FA04

5F136 BA30 CB01 CB07 CC11 CC17 FA82 FA83