

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4360077号
(P4360077)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月21日(2009.8.21)

(51) Int.Cl.		F I		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 5 8 G	
HO 1 L 29/78	(2006.01)	HO 1 L 29/78	6 5 2 Q	
HO 1 L 29/739	(2006.01)	HO 1 L 29/78	6 5 5 Z	

請求項の数 10 (全 29 頁)

(21) 出願番号	特願2002-302137 (P2002-302137)	(73) 特許権者	503361248
(22) 出願日	平成14年10月16日(2002.10.16)		富士電機デバイステクノロジー株式会社
(65) 公開番号	特開2004-140101 (P2004-140101A)		東京都品川区大崎一丁目11番2号
(43) 公開日	平成16年5月13日(2004.5.13)	(74) 代理人	100104190
審査請求日	平成17年2月15日(2005.2.15)		弁理士 酒井 昭徳
		(72) 発明者	中澤 治雄
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		(72) 発明者	吉原 克彦
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		(72) 発明者	桐沢 光明
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体ウエハーの表面に半導体素子の表面側素子構造部を作製する工程と、
前記半導体ウエハーの、前記表面側素子構造部が作製された側の面に高剛性の接着シートを貼り付ける工程と、
前記高剛性の接着シートにさらにパーティクル除去用の接着シートを貼り付ける工程と

前記高剛性の接着シートおよび前記パーティクル除去用の接着シートを貼り付けた状態のまま前記半導体ウエハーの裏面を、当該半導体ウエハーの裏面側の表面が平坦になるように研削する工程と、

前記パーティクル除去用の接着シートを剥離させる工程と、

前記パーティクル除去用の接着シートの剥離後、イオン注入をおこない、注入された不純物をレーザーアニール法により活性化させて、前記半導体ウエハーの研削された面の表面に応力が生じないように裏面構造を作製する工程と、

裏面構造が作製された前記半導体ウエハーから前記高剛性の接着シートを剥離させる工程と、

前記高剛性の接着シートの剥離後、前記半導体ウエハーをチップ状に切断する工程と、を含むことを特徴とする半導体素子の製造方法。

【請求項2】

前記高剛性の接着シートの基材の弾性率は2～5Gpaであり、前記基材の厚さは50

μm以上であることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】

前記高剛性の接着シートを前記半導体ウエハーに貼り付けるための粘着剤は、UV光の照射により硬化して剥離可能なUV硬化型粘着剤であり、UV光を照射して当該高剛性の接着シートを剥離させることを特徴とする請求項 1 または 2 に記載の半導体素子の製造方法。

【請求項 4】

前記高剛性の接着シートを前記半導体ウエハーに貼り付けるための粘着剤は、加熱発泡により剥離可能な加熱発泡型粘着剤であり、当該高剛性の接着シートを加熱して剥離させることを特徴とする請求項 1 または 2 に記載の半導体素子の製造方法。

10

【請求項 5】

前記高剛性の接着シートを前記半導体ウエハーに貼り付けるための粘着剤は、可視光の照射により硬化して剥離可能な可視光硬化型粘着剤であり、当該高剛性の接着シートを剥離させる際に、可視光を照射することを特徴とする請求項 1 または 2 に記載の半導体素子の製造方法。

【請求項 6】

前記パーティクル除去用の接着シートを、機械的に剥離させることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の半導体素子の製造方法。

【請求項 7】

前記パーティクル除去用の接着シートを貼り付けるための粘着剤は、UV光の照射により硬化して剥離可能なUV硬化型粘着剤であり、UV光を照射して当該パーティクル除去用の接着シートを剥離させることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の半導体素子の製造方法。

20

【請求項 8】

前記パーティクル除去用の接着シートを貼り付けるための粘着剤は、加熱発泡により剥離可能な加熱発泡型粘着剤であり、当該パーティクル除去用の接着シートを加熱して剥離させることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の半導体素子の製造方法。

【請求項 9】

前記パーティクル除去用の接着シートを貼り付けるための粘着剤は、可視光の照射により硬化して剥離可能な可視光硬化型粘着剤であり、可視光を照射して当該パーティクル除去用の接着シートを剥離させることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の半導体素子の製造方法。

30

【請求項 10】

前記半導体ウエハーはエピタキシャルウエハーであり、裏面構造を作製する際に、イオン注入をおこない、注入された不純物をレーザーアニール法により活性化させることを特徴とする請求項 1 ~ 9 のいずれか一つに記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子の製造方法に関し、特に絶縁ゲート型バイポーラトランジスタ（以下、IGBTとする）等の電力用半導体素子の製造方法に関する。

40

【0002】

【従来の技術】

IGBTは、電圧駆動型であり、オン電圧が低く、かつ高速スイッチング特性を有する素子であり、その応用範囲も、インバータなどの産業用分野から電子レンジなどの民生機器分野へ広がっている。従来、IGBTには、パンチスルー（以下、PTとする）型、ノンパンチスルー（以下、NPTとする）型、フィールドストップ（以下、FSとする）型の構造があり、nチャンネル型の縦型二重拡散構造のものが主流である。

【0003】

PT型IGBTは、p⁺半導体基板上にn⁺バッファ層とn⁻活性層をエピタキシャル成長

50

させたエピウエハーを用いて形成される。そのため、たとえば耐圧600V系の素子では、活性層の厚さは70 μ m程度であるが、基板を含む総厚さは200~300 μ m程度になる。

【0004】

図29は、低ドーズ量の浅いp⁺コレクタ層を有するNPT型IGBTの1/2セル分の構成を示す断面図である。図29に示すように、たとえばFZウエハーよりなるn⁻半導体基板を活性層1とし、その表面側に、p⁺ベース領域2が選択的に形成されている。ベース領域2の表面層には、n⁺エミッタ領域3が選択的に形成されている。また、基板表面上には、ゲート酸化膜4を介してゲート電極5が形成されている。

【0005】

エミッタ電極6は、エミッタ領域3およびベース領域2に接触しているとともに、層間絶縁膜7によりゲート電極5から絶縁されている。基板裏面には、p⁺コレクタ層8およびコレクタ電極9が形成されている。NPT型の場合には、活性層1の厚さがPT型よりも厚くなるが、素子全体としては、PT型の素子に比べて、大幅に薄くなる。また、エピタキシャル基板を用いずに、FZ基板を用いているため、安価である。

【0006】

図30は、FS型IGBTの1/2セル分の構成を示す断面図である。図30に示すように、基板表面側の素子構造は、図29に示すNPT型の素子と同じである。基板裏面側には、n⁻活性層1とp⁺コレクタ層8との間に、n⁺バッファ層10が設けられている。FS型の場合、活性層1の厚さは、PT型と同じ70 μ m程度(耐圧600V系)であり、素子全体の厚さは100~200 μ m程度である。

【0007】

最近では、総合損失をより低減するため、ウエハーを薄く削り、デバイス厚をできるだけ薄くする試みがなされている。たとえば、耐圧600V系の素子の場合、FS-IGBTの厚さは70 μ m程度が想定されている。耐圧クラスが低くなると、素子の厚さはさらに薄くなる。このような厚さのFS型IGBTまたはそれに類似したデバイスの製造方法として、以下に説明するように、FZウエハーを研磨する方法と、エピタキシャルウエハーを研磨する方法が知られている。

【0008】

図31は、従来のFZウエハーを用いたFS型IGBTの製造プロセスを示す図である。図31に示すように、まず、活性層1となるn⁻FZウエハーの表面側に、ベース領域、エミッタ領域、ゲート酸化膜、ゲート電極、層間絶縁膜、エミッタ電極およびパッシベーション膜よりなる表面側素子構造部11を形成する(同図(a))。ついで、ウエハーの裏面を、バックグラインド、ポリシュあるいはエッチング等の加工方法を単独または組合せて研削し、ウエハーを所望の厚さ、たとえば70 μ mの厚さとする(図31(b))。なお、エッチングの場合、厳密には研削ではないが、本明細書では、ウエハーを薄くする手段については問わないので、エッチングを含めて研削とする。

【0009】

ついで、ウエハーの裏面から、たとえばn型不純物であるリン(P)と、p型不純物であるボロン(B)をイオン注入し、電気炉で350~500の熱処理(アニール)をおこない、バッファ層10およびコレクタ層8を形成する(図31(c))。ついで、ウエハーの裏面、すなわちコレクタ層8の表面に、アルミニウム(Al)、チタン(Ti)、ニッケル(Ni)および金(Au)などの複数の金属を蒸着し、コレクタ電極9を形成する(図31(d))。最後に、コレクタ電極9側にダイシングテープ12を貼り付けてダイシングをおこない、ウエハーを複数のチップ13に切断する(図31(e))。

【0010】

図32は、従来のエピタキシャルウエハーを用いたFS型IGBTの製造プロセスを示す図である。図32に示すように、まず、バッファ層10となるn⁺半導体基板の上に、活性層1となるエピタキシャル層を成長させたエピタキシャルウエハーを用意し、そのエピタキシャル層側の表面に、ベース領域、エミッタ領域、ゲート酸化膜、ゲート電極、層間絶

10

20

30

40

50

縁膜、エミッタ電極およびパッシベーション膜よりなる表面側素子構造部 11 を形成する（同図（a））。表面側素子構造部 11 を形成時の拡散工程において n 層が拡散していく。ついで、バックグラインド等により、ウエハーをたとえば 70 μm の厚さにし、n⁺半導体基板がたとえば 10 μm の厚さで残るようにする（図 32（b））。

【0011】

ついで、ウエハーの裏面から、たとえば p 型不純物であるボロンをイオン注入し、電気炉で 350 ~ 500 のアニールをおこない、コレクタ層 8 を形成する（図 32（c））。ついで、コレクタ層 8 の表面に、複数の金属層よりなるコレクタ電極 9 を形成する（図 32（d））。最後に、ダイシングテープ 12 を貼り付けてダイシングをおこない、ウエハーを複数のチップ 13 に切断する（図 32（e））。

10

【0012】

図 33 は、従来のバックグラインド工程を詳細に説明するためのプロセス図である。図 33 に示すように、バックグラインド工程では、まず、図示しない表面側素子構造部が形成されたウエハー 15 の表面側に、保護テープ 16 を貼り付ける（同図（a））。これを裏返し、保護テープ 16 を下にして、バックグラインド装置の吸着台 19 に真空吸着させる（図 33（b））。

【0013】

そして、バックグラインドをおこなう。その際、ウエハー 15 の表面には、パッシベーション膜を構成するポリイミドの段差部 17 が形成されているため、その段差部 17 のパターンを反映した凹部 18 がウエハー裏面に形成される（図 33（c））。バックグラインド終了後、吸着台 19 からウエハー 15 を取り外し、保護テープ 16 を剥がす（図 33（d））。このようにして、所望の厚さのウエハー 15 が得られる（図 33（e））。

20

【0014】

【発明が解決しようとする課題】

しかしながら、上述した従来の製造方法によりたとえば 70 μm 厚程度の素子を作製しようとする、バックグラインド後のウエハーが薄過ぎるため、ウエハー裏面側からイオン注入をおこなう際に、ウエハーが割れやすいという問題点がある。また、ウエハー裏面にコレクタ電極となる金属膜を蒸着すると、その金属膜が、基板側からみて圧縮応力の大きな膜となるため、ウエハーに割れが生じやすいという問題点がある。

【0015】

また、電気炉によるアニール時にウエハーに発生する応力によって、ウエハーが割れやすくなるという問題点がある。また、ウエハー割れが生じなくても、圧縮応力によってウエハーが大きく反るため、ダイシングが困難になるという問題点がある。また、ダイシング後のチップの形が歪むため、設計通りの特性が得られないおそれがある。

30

【0016】

また、上述した従来のバックグラインド工程では、バックグラインドによってウエハー裏面が凹凸形状になり、特に真空吸着の強い箇所深く削れてしまう（図 33（e）参照、中央の凹部）ため、ウエハー割れが起こりやすいという問題点がある。また、ウエハー外周部の強度が低い場合、ウエハーの外周がバックグラインド装置の吸着台から浮き上がってしまい、ウエハー割れの原因になるという問題点がある。また、ウエハー裏面が局部的に削れてしまうことによって、所望のデバイス特性が得られないおそれがある。

40

【0017】

本発明は、上記問題点に鑑みてなされたものであって、ウエハー裏面をバックグラインドしてデバイス厚の薄い IGBT 等の半導体素子を製造するにあたって、ウエハーの反りやウエハーに作用する応力を抑制することによって、ウエハーが割れるのを防ぎながら半導体素子を作製することができる半導体素子の製造方法を提供することを目的とする。

【0018】

また、本発明は、バックグラインド時にウエハー裏面に局所的な削れが生じるのを防ぐことによって、ウエハーが割れるのを防ぐようにした半導体素子の製造方法を提供することを目的とする。

50

【 0 0 1 9 】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる半導体素子の製造方法は、半導体ウエハの表面に半導体素子の表面側素子構造部を作製する工程と、前記半導体ウエハの、前記表面側素子構造部が作製された側の面に高剛性の接着シートを貼り付ける工程と、前記高剛性の接着シートにさらにパーティクル除去用の接着シートを貼り付ける工程と、前記高剛性の接着シートおよび前記パーティクル除去用の接着シートを貼り付けた状態のまま前記半導体ウエハの裏面を、当該半導体ウエハの裏面側の表面が平坦になるように研削する工程と、前記パーティクル除去用の接着シートを剥離させる工程と、前記パーティクル除去用の接着シートの剥離後、イオン注入をおこない、注入された不純物をレーザーアニール法により活性化させて、前記半導体ウエハの研削された面の表面に応力が生じないように裏面構造を作製する工程と、裏面構造が作製された前記半導体ウエハから前記高剛性の接着シートを剥離させる工程と、前記高剛性の接着シートの剥離後、前記半導体ウエハをチップ状に切断する工程と、を含むことを特徴とする。

10

【 0 0 2 0 】

この発明において、裏面構造を作製する際に、イオン注入をおこない、注入された不純物をレーザーアニール法により活性化させる構成としてもよい。

【 0 0 2 3 】

この発明において、前記半導体ウエハに前記接着シートを貼り付けた後、当該接着シートにさらにパーティクル除去用の接着シートを貼り付け、ウエハ裏面の研削後、前記パーティクル除去用の接着シートを剥がしてから、裏面構造を作製する構成としてもよい。

20

【 0 0 2 4 】

この発明によれば、半導体ウエハの表面側に、半導体素子の表面側素子構造部を形成した後、その表面に高剛性接着シートを貼り付け、この状態でバックグラインドをおこなってウエハを薄くした後、ウエハ裏面に対する処理をおこなうことにより、ウエハ裏面に対する処理をおこなっている間のウエハの反りや、ウエハに作用する応力が抑制される。

【 0 0 2 5 】

また、本発明によれば、半導体ウエハの裏面に、高剛性接着シートおよびパーティクル除去用接着シートを貼り付けた状態でバックグラインドをおこない、裏面研削終了後にパーティクル除去用接着シートを剥がしてから裏面構造の作製をおこなうことにより、ウエハ裏面の研削時に発生した削り屑やその他の塵などのパーティクルが、裏面構造を作製する前に取り除かれる。

30

【 0 0 3 0 】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。なお、実施の形態においては、本発明方法によりIGBTを製造する場合を例にして説明する。また、以下の各実施の形態の説明および添付図面では、同様の構成については同一の符号を付す。

【 0 0 3 1 】

実施の形態 1 .

40

図1および図2は、本発明の実施の形態1にかかる半導体素子の製造方法の製造プロセスを示す図である。まず、 n^+FZ ウエハ21の表面側に、 SiO_2 等のゲート酸化膜とポリシリコンからなるゲート電極を堆積し、これらを加工する。そして、その表面にBPSG等の層間絶縁膜を堆積し、これを加工することによって、絶縁ゲート構造を作製する。つづいて、 P^+ ベース層を形成し、その中に n^+ エミッタ層を形成する。

【 0 0 3 2 】

そして、Al-Si膜からなる表面電極、すなわちエミッタ電極を形成し、400~500程度で熱処理をおこなって、Al-Si膜を安定した接合性を有する低抵抗配線とする。その上全面に、ポリイミドのパッシベーション膜を積層し、図30に示す構成と同様の表面側素子構造部22ができあがる(図1(a))。本明細書では、ウエハ21の、

50

表面側素子構造部 2 2 が形成される側の面をウエハー表面とし、その反対側の面をウエハー裏面とする。なお、図 1 および図 2 においては、表面側素子構造部 2 2 の詳細な構成の図示を省略する。

【 0 0 3 3 】

ついで、ウエハー 2 1 を裏返し、表面側素子構造部 2 2 の表面に、両面接着タイプの接着シート 3 1 を介して、支持基板 3 2 を接合する（図 1 (b)）。ここでは、支持基板 3 2 として、たとえば UV 光を透過する石英ガラスウエハーを用いる。また、接着シート 3 1 として、たとえば UV 光の照射で接着剤が硬化することにより剥離可能な高剛性 UV テープ型シートや耐熱性 UV テープ型シート、あるいは加熱発泡により剥離可能な加熱発泡テープ型シートで、接着時に気泡が入らないものを用いる。接着シート 3 1 の厚さは、たと

10

【 0 0 3 4 】

ついで、支持基板 3 2 を接合した状態で、ウエハー裏面をバックグラインドやエッチング等により研削し、表面側素子構造部 2 2 を含むウエハー全体の厚さを所望の厚さ、たとえば $70 \mu\text{m}$ とする（図 1 (c)）。ついで、ウエハー 2 1 の裏面から、たとえば n 型不純物であるリンを、ドーズ量がたとえば $1 \times 10^{11} \sim 1 \times 10^{13} \text{ cm}^{-2}$ で、加速電圧がたとえば $200 \text{ k} \sim 6 \text{ MeV}$ でイオン注入する。つづいて、ウエハー 2 1 の裏面から、たとえば p 型不純物であるボロンを、ドーズ量がたとえば $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ で、加速電圧がたとえば $20 \text{ k} \sim 100 \text{ keV}$ でイオン注入する。

20

【 0 0 3 5 】

その後、ウエハー裏面にレーザーを照射してアニールをおこない、バッファ層となる n^+ 層 2 3 およびコレクタ層となる p^+ 層 2 4 を形成する（図 2 (a)）。特に限定しないが、ここでは、レーザーとして、たとえば YAG の第 3 高調波 (YAG 3) パルスレーザー（波長： 355 nm 、半値幅： $100 \sim 500 \text{ ns}$ 、周波数： 500 Hz ）を用いる。そして、たとえば一回の照射エリアを約 1 mm 角とし、 $50\% \sim 90\%$ オーバーラップさせて照射する。YAG の第 3 高調波を用いる理由は、深い n^+ 層 2 3 を形成することができるからである。また、このレーザーアニールによって、ウエハー裏面の p^+ 層 2 4 および n^+ 層 2 3 のみを活性化させることができ、接着シート 3 1 の耐熱温度に関係なく熱処理をおこなうことができる。

30

【 0 0 3 6 】

ついで、ウエハー裏面に、たとえばアルミニウム、チタン、ニッケルおよび金などの複数の金属を蒸着し、コレクタ電極となる裏面電極 2 5 を形成する（図 2 (b)）。ここで、低温スパッタ法により金属膜の蒸着をおこなうのが適当である。その理由は、接着シート 3 1 の耐熱温度がおおよそ、高剛性 UV テープ型シートでは 100 以下であり、耐熱性 UV テープ型シートでは 200 以下であり、加熱発泡テープ型シートでは 150 以下であるため、成膜時の温度は 100 以下であるのが望ましいからである。

【 0 0 3 7 】

ついで、ウエハー裏面に一般的なダイシングテープ 2 6 を貼り付ける。そして、支持基板 3 2 側から UV 光を照射し、表面側素子構造部 2 2 のパッシベーション膜との界面で接着シート 3 1 を剥離させ、接着シート 3 1 および支持基板 3 2 を取り除く（図 2 (c)）。その際、表面側素子構造部 2 2 に接着シート 3 1 の接着剤の残渣が残らないように注意する。なお、接着シート 3 1 が加熱発泡テープ型シートの場合には、UV 光の照射の代わりに、加熱発泡により接着シート 3 1 を剥離させる。その後、ウエハー 2 1 を複数のチップ 2 7 に切断する（図 2 (d)）。図示省略するが、各チップ 2 7 は、裏面電極 2 5 を介して配線基板等の固定部材に半田付けされる。そして、各チップ 2 7 のウエハー表面側の電極には、アルミワイヤ電極が超音波ワイヤボンディング装置により固着される。

40

【 0 0 3 8 】

上述した実施の形態 1 によれば、表面側素子構造部 2 2 を形成した後、その表面に支持基板 3 2 を接合し、この状態でバックグラインドをおこなってウエハー 2 1 を薄くした後、

50

ウエハー裏面に対する処理をおこなうので、ウエハー裏面に対する処理をおこなっている間のウエハー 2 1 の反りや、ウエハー 2 1 に作用する応力を抑制することができる。また、応力の発生源となる電気炉アニールに代えて、レーザーアニールを採用したことにより、ウエハー 2 1 に作用する応力を抑制することができる。したがって、ウエハー裏面に対する処理をおこなっている間にウエハー 2 1 が割れるのを防ぐことができる。また、ウエハー 2 1 の反りが小さくなるので、容易にダイシングをおこなうことができるとともに、設計通りのデバイス特性が得られる。また、レーザーアニールをおこなうことによって、 p^+ 層 2 4 の高濃度化が図れるので、オン電圧の低減を図ることができる。

【 0 0 3 9 】

なお、上述した実施の形態 1 において、接着シート 3 1 として加熱発泡テープ型シートを用いた場合には、支持基板 3 2 は、UV 光を透過させる必要がないので、金属やセラミックや硬質プラスチックなど、UV 光が透過しない材質でできていてもよい。また、接着シート 3 1 は、その両面の粘着剤が UV 硬化型であってもよいし、両面の粘着剤が加熱発泡型であってもよいし、支持基板 3 2 側の面および素子側の面がそれぞれ UV 硬化型および加熱発泡型であってもよいし、その逆でもよい。

【 0 0 4 0 】

また、NPT 型の IGBT を作製する場合には、実施の形態 1 において、 n^+ 層 2 3 を形成するための n 型不純物 (リン) のイオン注入工程を省略すればよい。その場合、ウエハー裏面のレーザーアニールに用いるレーザーは、半値幅の短い XeF パルスレーザー (波長: 351 nm、半値幅: 14 ns) や、XeCl パルスレーザー (波長: 308 nm、半値幅: 49 ns) でもよい。これらのレーザー、または YAG の第 2 高調波 (YAG 2) や第 3 高調波 (YAG 3) パルスレーザーを用いれば、 p^+ 層 2 4 のみを活性化させることができる。

【 0 0 4 1 】

実施の形態 2 .

図 3 および図 4 は、本発明の実施の形態 2 にかかる半導体素子の製造方法の製造プロセスを示す図である。実施の形態 2 では、 n ドープのエピタキシャルウエハーを用いる。まず、 n^+ 半導体基板 4 1 の上に、エピタキシャル層 4 2 を成長させたエピタキシャルウエハーの表面側、すなわちエピタキシャル層 4 2 の表面に、実施の形態 1 と同様にして、図 3 0 に示す構成と同様の表面側素子構造部 2 2 を作製する (図 3 (a))。この表面側素子構造部 2 2 を作製する際の拡散工程において n 層が拡散していく。なお、図 3 および図 4 においては、表面側素子構造部 2 2 の詳細な構成の図示を省略する。

【 0 0 4 2 】

ついで、ウエハーを裏返し、表面側素子構造部 2 2 の表面に、接着シート 3 1 を介して、支持基板 3 2 を接合する (図 3 (b))。接着シート 3 1 および支持基板 3 2 については、実施の形態 1 と同じであるので、重複する説明を省略する。ただし、実施の形態 2 では、支持基板 3 2 の厚さは、たとえば 625 μm である。

【 0 0 4 3 】

ついで、支持基板 3 2 を接合した状態で、ウエハー裏面をバックグラインドやエッチング等により研削し、表面側素子構造部 2 2 を含むウエハー全体の厚さが所望の厚さ、たとえば 70 μm で、かつ n^+ 半導体基板 4 1 がたとえば 10 μm の厚さで残るようにする (図 3 (c))。ついで、ウエハーの裏面から、たとえば p 型不純物であるボロンを、ドーズ量がたとえば $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ で、加速電圧がたとえば 20 k ~ 100 keV でイオン注入する。

【 0 0 4 4 】

その後、ウエハー裏面にレーザーを照射してアニールをおこない、コレクタ層となる p^+ 層 2 4 を形成する (図 4 (a))。特に限定しないが、ここでは、レーザーとして、XeCl パルスレーザー (波長: 308 nm、半値幅: 49 ns、周波数: 100 Hz) を用いる。そして、たとえば一回の照射エリアを約 1 mm 角とし、50% ~ 90% オーバーラップさせて照射する。このレーザーアニールによって、ウエハー裏面の p^+ 層 2 4 のみを

活性化させることができ、接着シート31の耐熱温度に関係なく熱処理をおこなうことができる。なお、XeClに代えて、YAG2、YAG3やXeFを用いてもよい。

【0045】

ついで、ウエハー裏面に、実施の形態1と同様の理由で、たとえば低温スパッタ法により、コレクタ電極となる裏面電極25を形成する(図4(b))。そして、ウエハー裏面に一般的なダイシングテープ26を貼り付け、UV光の照射により、表面側素子構造部22から接着シート31を剥離させ、接着シート31および支持基板32を取り除く(図4(c))。なお、加熱発泡型の接着シート31を用いた場合には、加熱発泡により接着シート31を剥離させる。その後、ウエハーを複数のチップ27に切断する(図4(d))。図示省略するが、各チップ27の裏面電極25は、配線基板等の固定部材に半田付けされ、ウエハー表面側の電極には、アルミワイヤ電極が超音波ワイヤボンディング装置により固着される。

10

【0046】

上述した実施の形態2によれば、実施の形態1と同様に、ウエハー裏面に対する処理をおこなっている間のウエハーの反りや、ウエハーに作用する応力を抑制することができ、また、レーザーアニールの採用により、ウエハーに作用する応力を抑制することができるので、ウエハー裏面に対する処理をおこなっている間にウエハーが割れるのを防ぐことができる。また、ダイシングが容易であり、設計通りのデバイス特性が得られる。また、レーザーアニールによるp⁺層24の高濃度化によって、オン電圧の低減を図ることができる。なお、実施の形態2によれば、NPT型のIGBTを作製することもでき、その場合にも同様の効果が得られる。

20

【0047】

実施の形態3

図5および図6は、本発明の実施の形態3にかかる半導体素子の製造方法の製造プロセスを示す図である。まず、n⁻FZウエハー21の表面側に、実施の形態1と同様に、図30に示す構成と同様の表面側素子構造部22を作製する(図5(a))。なお、図5および図6においては、表面側素子構造部22の詳細な構成の図示を省略する。

【0048】

ついで、ウエハー21を裏返し、表面側素子構造部22の表面に、高剛性接着シート51を貼り付ける(図5(b))。高剛性接着シート51の基材としては、たとえばPET(ポリエチレンテレフタレート)を用いるとよい。高剛性接着シート51の基材の弾性率は、2~5Gpaであるのが適当である。また、高剛性接着シート51の基材の厚さは50μm以上であるのが適当である。その理由は、剛性率=厚さ×弾性率の関係があるが、ウエハー搬送工程での割れをなくする(ウエハーをたわまなくする)ために剛性を高めなければならない。そのためには、PETの場合、前記の弾性率と厚さが必要となる。

30

【0049】

また、高剛性接着シート51の粘着剤としては、UV光の照射により硬化して剥離可能なアクリル系UV硬化型粘着剤を用いるとよい。また、粘着剤として、加熱発泡により剥離可能なウレタン系加熱発泡型粘着剤を用いることもできる。あるいは、粘着剤として、可視光の照射により硬化して剥離可能な可視光硬化型粘着剤を用いることもできる。

40

【0050】

ついで、高剛性接着シート51を貼り付けた状態で、ウエハー裏面をバックグラインドやエッチング等により研削し、表面側素子構造部22を含むウエハー全体の厚さを所望の厚さ、たとえば70μmとする(図5(c))。ついで、ウエハー21の裏面から、たとえばn型不純物であるリンを、ドーズ量がたとえば $1 \times 10^{11} \sim 1 \times 10^{13} \text{ cm}^{-2}$ で、加速電圧がたとえば200k~6MeVでイオン注入する。つづいて、ウエハー21の裏面から、たとえばp型不純物であるボロンを、ドーズ量がたとえば $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ で、加速電圧がたとえば20k~100keVでイオン注入する。

【0051】

その後、ウエハー裏面にレーザーを照射してアニールをおこない、バッファ層となるn⁺

50

層23およびコレクタ層となる p^+ 層24を形成する(図6(a))。特に限定しないが、ここでは、レーザーとして、実施の形態1と同様に、深い n^+ 層23を形成することが可能なYAGの第3高調波(YAG3)パルスレーザーを用いる。照射条件等は、実施の形態1と同じである。このレーザーアニールによって、ウエハー裏面の p^+ 層24および n^+ 層23のみを活性化させることができるので、高剛性接着シート51の耐熱温度に関係なく熱処理をおこなうことができる。

【0052】

ついで、ウエハー裏面に、実施の形態1と同様にして、たとえば低温スパッタ法により、コレクタ電極となる裏面電極25を形成する(図6(b))。ここで、成膜時の温度は100以下であるのが望ましい。その理由は、高剛性接着シート51の耐熱温度がおおよそ、UV硬化型のシートでは100以下であり、加熱発泡型のシートでは150以下であり、可視光硬化型のシートでは100以下であるからである。

10

【0053】

ついで、ウエハー裏面に一般的なダイシングテープ26を貼り付ける。そして、高剛性接着シート51側からUV光を照射し、表面側素子構造部22のパッシベーション膜との界面で高剛性接着シート51を剥離させ、高剛性接着シート51を取り除く(図6(c))。その際、表面側素子構造部22に高剛性接着シート51の粘着剤の残渣が残らないように注意する。

【0054】

なお、高剛性接着シート51が加熱発泡型粘着剤を用いたものである場合には、UV光の照射の代わりに、加熱発泡により高剛性接着シート51を剥離させる。また、高剛性接着シート51が可視光硬化型粘着剤を用いたものである場合には、可視光を照射して高剛性接着シート51を剥離させる。その後、ウエハー21を複数のチップ27に切断する(図6(d))。図示省略するが、各チップ27の裏面電極25は、配線基板等の固定部材に半田付けされ、ウエハー表面側の電極には、アルミワイヤ電極が超音波ワイヤボンディング装置により固着される。

20

【0055】

上述した実施の形態3によれば、表面側素子構造部22を形成した後、その表面に高剛性接着シート51を接合し、この状態でバックグラインドをおこなってウエハー21を薄くした後、ウエハー裏面に対する処理をおこなうので、ウエハー裏面に対する処理をおこなっている間のウエハー21の反りや、ウエハー21に作用する応力を抑制することができる。また、レーザーアニールの採用により、ウエハー21に作用する応力を抑制することができるので、ウエハー裏面に対する処理をおこなっている間にウエハー21が割れるのを防ぐことができる。また、ダイシングが容易であり、設計通りのデバイス特性が得られる。また、レーザーアニールによる p^+ 層24の高濃度化によって、オン電圧の低減を図ることができる。

30

【0056】

なお、NPT型のIGBTを作製する場合には、実施の形態3において、 n^+ 層23を形成するための n 型不純物(リン)のイオン注入工程を省略すればよい。その場合、XeFパルスレーザーやXeClパルスレーザーを用いて、ウエハー裏面のレーザーアニールをおこなうようにしてもよい。これらのレーザー、またはYAGの第2高調波(YAG2)、第3高調波(YAG3)パルスレーザーを用いれば、 p^+ 層24のみを活性化させることができる。

40

【0057】

実施の形態4

図7および図8は、本発明の実施の形態4にかかる半導体素子の製造方法の製造プロセスを示す図である。実施の形態4では、 n ドープのエピタキシャルウエハーを用いる。まず、 n^+ 半導体基板41上に成長したエピタキシャル層42の表面に、実施の形態1と同様にして、図30に示す構成と同様の表面側素子構造部22を作製する(図7(a))。この表面側素子構造部22を作製する際の拡散工程において n 層が拡散していく。なお、図

50

7および図8においては、表面側素子構造部22の詳細な構成の図示を省略する。

【0058】

ついで、ウエハーを裏返し、表面側素子構造部22の表面に、高剛性接着シート51を貼り付ける(図7(b))。高剛性接着シート51については、実施の形態3と同じであるので、重複する説明を省略する。ついで、高剛性接着シート51を接合した状態で、ウエハー裏面をバックグラインドやエッチング等により研削し、表面側素子構造部22を含むウエハー全体の厚さが所望の厚さ、たとえば70 μm で、かつ n^+ 半導体基板41がたとえば10 μm の厚さで残るようにする(図7(c))。ついで、ウエハーの裏面から、たとえばp型不純物であるボロンを、ドーズ量がたとえば $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ で、加速電圧がたとえば20k \sim 100keVでイオン注入する。

10

【0059】

その後、ウエハー裏面にレーザーを照射してアニールをおこない、コレクタ層となる p^+ 層24を形成する(図8(a))。特に限定しないが、ここでは、レーザーとして、実施の形態2と同様に、XeClパルスレーザーを用いる。照射条件等は、実施の形態2と同じである。このレーザーアニールによって、ウエハー裏面の p^+ 層24のみを活性化させることができるので、高剛性接着シート51の耐熱温度に関係なく熱処理をおこなうことができる。なお、XeClに代えて、YAG2、YAG3やXeFを用いてもよい。

【0060】

ついで、ウエハー裏面に、実施の形態3と同様の理由で、たとえば低温スパッタ法により、コレクタ電極となる裏面電極25を形成する(図8(b))。そして、ウエハー裏面に一般的なダイシングテープ26を貼り付け、UV光の照射により、表面側素子構造部22から高剛性接着シート51を剥離させ、高剛性接着シート51を取り除く(図8(c))。なお、加熱発泡型粘着剤を用いた高剛性接着シート51の場合には、加熱発泡により高剛性接着シート51を剥離させる。その後、ウエハーを複数のチップ27に切断する(図8(d))。図示省略するが、各チップ27の裏面電極25は、配線基板等の固定部材に半田付けされ、ウエハー表面側の電極には、アルミワイヤ電極が超音波ワイヤボンディング装置により固着される。

20

【0061】

上述した実施の形態4によれば、実施の形態3と同様に、ウエハー裏面に対する処理をおこなっている間のウエハーの反りや、ウエハーに作用する応力を抑制することができ、また、レーザーアニールの採用により、ウエハーに作用する応力を抑制することができるので、ウエハー裏面に対する処理をおこなっている間にウエハーが割れるのを防ぐことができる。また、ダイシングが容易であり、設計通りのデバイス特性が得られる。また、レーザーアニールによる p^+ 層24の高濃度化によって、オン電圧の低減を図ることができる。なお、実施の形態4によれば、NPT型のIGBTを作製することもでき、その場合にも同様の効果が得られる。

30

【0062】

実施の形態5

図9は、本発明の実施の形態5にかかる半導体素子の製造方法の製造プロセスの一部を示す図である。まず、 n^-FZ ウエハー21の表面側に、実施の形態1と同様にして、図30に示す構成と同様の表面側素子構造部22(詳細な構成については図示省略)を作製する(図9(a))。

40

【0063】

ついで、ウエハー21を裏返し、表面側素子構造部22の表面に、高剛性接着シート51を貼り付ける。高剛性接着シート51については、実施の形態3と同じであるので、重複する説明を省略する。さらに、高剛性接着シート51の表面に、パーティクル除去用接着シート52を貼り付ける(図9(b))。パーティクル除去用接着シート52としては、たとえばUV光の照射による硬化によって剥離可能なUV硬化型、加熱発泡により剥離可能な加熱発泡型、可視光の照射による硬化によって剥離可能な可視光硬化型、または機械的に剥離するタイプのフィルム状の接着シートを用いることができる。

50

【 0 0 6 4 】

ついで、高剛性接着シート 5 1 およびパーティクル除去用接着シート 5 2 を貼り付けた状態で、ウエハー裏面をバックグラインドやエッチング等により研削し、表面側素子構造部 2 2 を含むウエハー全体の厚さを所望の厚さ、たとえば $70 \mu\text{m}$ とする (図 9 (c))。その後、パーティクル除去用接着シート 5 2 のタイプに合わせて、UV 光の照射、または加熱発泡、または可視光の照射、または機械的に、パーティクル除去用接着シート 5 2 を剥離させ、パーティクル除去用接着シート 5 2 を取り除く。高剛性接着シート 5 1 は貼り付けられたままである (図 9 (d))。これ以降のプロセスは、実施の形態 3 の図 6 以降のプロセスと同じであるので、説明を省略する。

【 0 0 6 5 】

上述した実施の形態 5 によれば、実施の形態 3 と同様に、ウエハー割れを防ぐことができる、ダイシングが容易である、設計通りのデバイス特性が得られる、オン電圧の低減を図ることができるという効果に加えて、ウエハー裏面の研削後にパーティクル除去用接着シート 5 2 を剥がしてからイオン注入をおこなうことにより、ウエハー裏面の研削時に発生した削り屑やその他の塵などのパーティクルを、イオン注入前に取り除くことができるので、パーティクルによる不良品の発生を防ぐことができるという効果が得られる。

【 0 0 6 6 】

実施の形態 6 .

図 1 0 は、本発明の実施の形態 6 にかかる半導体素子の製造方法の製造プロセスの一部を示す図である。実施の形態 6 では、n ドープのエピタキシャルウエハーを用いる。まず、 n^+ 半導体基板 4 1 上に成長したエピタキシャル層 4 2 の表面に、実施の形態 1 と同様にして、図 3 0 に示す構成と同様の表面側素子構造部 2 2 (詳細な構成については図示省略) を作製する (図 1 0 (a))。この表面側素子構造部 2 2 を作製する際の拡散工程において n 層が拡散していく。

【 0 0 6 7 】

ついで、ウエハーを裏返し、表面側素子構造部 2 2 の表面に、高剛性接着シート 5 1 を貼り付け、さらに、高剛性接着シート 5 1 の表面に、パーティクル除去用接着シート 5 2 を貼り付ける (図 1 0 (b))。高剛性接着シート 5 1 およびパーティクル除去用接着シート 5 2 は、それぞれ実施の形態 3 および実施の形態 5 と同じであるので、重複する説明を省略する。ついで、その状態で、ウエハー裏面をバックグラインドやエッチング等により研削し、表面側素子構造部 2 2 を含むウエハー全体の厚さが所望の厚さ、たとえば $70 \mu\text{m}$ で、かつ n^+ 半導体基板 4 1 がたとえば $10 \mu\text{m}$ の厚さで残るようにする (図 1 0 (c))。

【 0 0 6 8 】

その後、高剛性接着シート 5 1 からパーティクル除去用接着シート 5 2 を剥離させ、パーティクル除去用接着シート 5 2 を取り除く。高剛性接着シート 5 1 は貼り付けられたままである (図 1 0 (d))。これ以降のプロセスは、実施の形態 4 の図 8 以降のプロセスと同じであるので、説明を省略する。

【 0 0 6 9 】

上述した実施の形態 6 によれば、実施の形態 3 と同様に、ウエハー割れを防ぐことができる、ダイシングが容易である、設計通りのデバイス特性が得られる、オン電圧の低減を図ることができるという効果に加えて、ウエハー裏面の研削後にパーティクル除去用接着シート 5 2 を剥がしてからイオン注入をおこなうことにより、ウエハー裏面の研削時に発生した削り屑やその他の塵などのパーティクルを、イオン注入前に取り除くことができるので、パーティクルによる不良品の発生を防ぐことができるという効果が得られる。

【 0 0 7 0 】

実施の形態 7 .

図 1 1 は、本発明の実施の形態 7 にかかる半導体素子の製造方法のバックグラインド工程を詳細に説明するためのプロセス図である。まず、半導体ウエハー 6 1 の表面に、実施の形態 1 と同様にして、図 3 0 に示す構成と同様の表面側素子構造部 (図示省略) を作製す

10

20

30

40

50

る。表面側素子構造部（図示省略）の作製後の表面には、パッシベーション膜を構成するポリイミド等による段差部 6 2 ができている（図 1 1（a））。

【 0 0 7 1 】

ついで、段差部 6 2 と段差部 6 2 の間の溝部分に充填剤 6 3 を充填して、溝部分を埋め、表面を平坦にする（図 1 1（b））。充填剤 6 3 としては、たとえば加熱発泡により剥離可能な粘着剤を用いる。この粘着剤は、溝部分の幅が 5 0 ~ 1 0 0 μ m 程度で、1 0 μ m 程度の深さまでであれば、ドクターブレード法、スピンコート法またはスクリーン印刷法などにより充填可能である。

【 0 0 7 2 】

ついで、充填剤 6 3 の充填により平坦化した表面に、一般的な厚さ（たとえば 5 0 μ m 程度）の保護テープ 6 4 を貼り付ける（図 1 1（c））。テープ材質は、一般的に、EVA（エチレン - 酢酸ビニルコポリマー）、PO（ポリオレフィン）系樹脂または PET などの樹脂基材である。そして、ウエハー 6 1 を、保護テープ 6 4 を下にして、バックグラインド装置の吸着台 6 5 に取り付け（図 1 1（d））、バックグラインドをおこなう（図 1 1（e））。バックグラインド終了後、吸着台 6 5 からウエハー 6 1 を取り外す（図 1 1（f））。

【 0 0 7 3 】

ついで、たとえば図示しないホットプレートの上に半導体ウエハー 6 1 を載せ、たとえば約 1 5 0 °C に加熱して、発泡剥離性の充填剤 6 3 を発泡させ、充填剤 6 3 と一緒に保護テープ 6 4 を剥がす（図 1 1（g））。その後、必要に応じて、エッチングにより、ウエハー裏面側の表面処理をおこなう。そして、実施の形態 1 ~ 6 のように、イオン注入やアニール、および裏面電極の形成などのウエハー裏面側の処理をおこない、ダイシングによってチップ状に切断する。

【 0 0 7 4 】

上述した実施の形態 7 によれば、表面側素子構造部を形成した後、充填剤 6 3 によりその表面を平坦化してからバックグラインドをおこなうことによって、ウエハー 6 1 の裏面に段差部 6 2 のパターンを反映させることなく、裏面を平坦に研削することができる。また、ウエハー外周部が充填剤 6 3 により強化されるので、バックグラインド時に、ウエハー 6 1 の外周がバックグラインド装置の吸着台から浮き上がるのを防ぐことができる。したがって、ウエハー割れが起こるのを防ぐことができる。また、ウエハー 6 1 の裏面が局所的に削れてしまうのを防ぐことができるので、所望のデバイス特性が得られる。

【 0 0 7 5 】

なお、充填剤 6 3 として、UV 光の照射により硬化して剥離可能な粘着剤を用い、バックグラインド終了後に UV 光を照射して、この粘着剤とともに保護テープ 6 4 を剥がすようにしてもよい。あるいは、充填剤 6 3 として、レジスト剤やポリイミドを用いてもよく、その場合には、保護テープ 6 4 を剥がした後に、レジストやポリイミドを、それらの剥離液を用いて除去すればよい。

【 0 0 7 6 】

実施の形態 8 .

図 1 2 は、本発明の実施の形態 8 にかかる半導体素子の製造方法のバックグラインド工程を詳細に説明するためのプロセス図である。まず、半導体ウエハー 6 1 の表面に、実施の形態 1 と同様にして、図 3 0 に示す構成と同様の表面側素子構造部（図示省略）を作製する。表面側素子構造部（図示省略）の作製後の表面には、パッシベーション膜を構成するポリイミド等による段差部 6 2 ができている（図 1 2（a））。

【 0 0 7 7 】

ついで、段差部 6 2 の上から、一般的な厚さよりも厚い、EVA、PO、PET などの樹脂でできた保護テープ 6 6 を貼り付ける（図 1 2（b））。なお、EVA（エチレン - 酢酸ビニルコポリマー）を基材としたバックグラインド用保護テープとしては、日東電工株式会社製の商品名 BT - 1 5 0 E - A L や BT - 1 5 0 E - F L が使用できる。

【 0 0 7 8 】

ここで、保護テープ66の厚さは、150～200 μm であるのが適当である。その理由は、本発明者らが、保護テープの厚さを30 μm 、50 μm 、100 μm 、150 μm 、175 μm 、200 μm 、250 μm 、300 μm として、ウエハー面内厚さの均一性を調べた結果、図13に示すように、テープの厚さが150～200 μm のときに、ウエハー面内厚さのばらつきが、デバイス性能を維持することが可能である3 μm 以下となるからである。

【0079】

保護テープが150 μm よりも薄いと、ウエハー表面の段差部62によるパターンを十分に吸収することができないため、ウエハー面内厚さのばらつきが大きくなると考えられる。一方、保護テープが200 μm よりも厚いと、テープ自体の厚さのばらつきや、テープが押されることによるばらつきなどの影響で、ウエハー面内厚さのばらつきが悪化すると考えられる。

10

【0080】

保護テープ66を貼り付けた後、ウエハー61を、保護テープ66を下にして、バックグランド装置の吸着台65に取り付け(図12(c))、バックグランドをおこなう(図12(d))。このとき、ウエハー裏面には、わずかに段差部62のパターンを反映した凹部67が形成されるが、図13から明らかなように、この凹部67の深さは3 μm 程度であり、その後のプロセスに及ぼす影響は極めて小さい。また、デバイス特性に及ぼす影響も極めて小さい。

【0081】

バックグランド終了後、吸着台65からウエハー61を取り外し、保護テープ66を剥がす(図12(e))。その後、必要に応じて、エッチングにより、ウエハー裏面側の表面処理をおこなう。そして、実施の形態1～6のように、イオン注入やアニール、および裏面電極の形成などのウエハー裏面側の処理をおこない、ダイシングによってチップ状に切断する。

20

【0082】

上述した実施の形態8によれば、表面側素子構造部を形成した後、厚い保護テープ66を貼り付けた状態でバックグランドをおこなうことによって、ウエハー61の裏面に段差部62のパターンを極力反映させることなく、裏面をほぼ平坦に研削することができる。したがって、ウエハー割れが起こるのを防ぐことができる。また、ウエハー61の裏面が局部的に深く削れてしまうのを防ぐことができるので、所望のデバイス特性が得られる。なお、保護テープ66として、テープ基材を柔らかくして厚くしたときに面内圧さの均一性が良好なテープを用いても、同様の効果が得られる。

30

【0083】

実施の形態9。

図14は、本発明の実施の形態9にかかる半導体素子の製造方法のバックグランド工程を詳細に説明するためのプロセス図である。まず、実施の形態7と同様にして、半導体ウエハー61の表面に、表面側素子構造部(図示省略)を作製し(図14(a))、パッシベーション膜を構成するポリイミド等による段差部62と段差部62との間の溝部分に、加熱発泡による剥離性を有する充填剤63を充填し、表面を平坦にする(図14(b))。充填剤63については、実施の形態7と同じであるので、重複する説明を省略する。

40

【0084】

ついで、充填剤63の充填により平坦化した表面に、両面接着タイプで、耐熱性UVテープ型の接着シート31を貼り付け(図14(c))、その接着シート31に支持基板32を貼り付ける(図14(d))。接着シート31および支持基板32については、実施の形態1と同じであるので、重複する説明を省略する。ついで、支持基板32の、素子と接合されていない側の面に、一般的な厚さ(たとえば100 μm 程度)の保護テープ64を貼り付け、それを、保護テープ64を下にして、バックグランド装置の吸着台65に取り付け(図14(e))、バックグランドをおこなう(図14(f))。バックグランド終了後、吸着台65からウエハー61を取り外し、保護テープ64を剥がす(図14

50

(g))。

【0085】

ついで、たとえば図示しないホットプレート等によりウエハー61をたとえば約150に加熱して、発泡剥離性の充填剤63を剥離させる(図14(h))。その後、必要に応じて、エッチングにより、ウエハー裏面側の表面処理をおこなう。そして、実施の形態1~6のように、イオン注入やアニール、および裏面電極の形成などのウエハー裏面側の処理をおこない、UV光を照射して接着シート31および支持基板32を剥離させる(図14(h))。最後に、ダイシングによってチップ状に切断する(図14(i))。

【0086】

上述した実施の形態9によれば、表面側素子構造部を形成した後、充填剤63によりその表面を平坦化し、さらに支持基板32を接合した状態でバックグラインドをおこなうことにより、ウエハー61の裏面に段差部62のパターンを反映させることなく、裏面を平坦に研削することができる。また、ウエハー61が薄くなっても、支持基板32に接合されていることにより、バックグラインド後のプロセスでのウエハー61の反りを抑制することができる。したがって、ウエハー割れが起こるのを防ぐことができる。また、ウエハー61の裏面が局所的に削れてしまうのを防ぐことができるので、所望のデバイス特性が得られる。

【0087】

なお、充填剤63として、UV光の照射により硬化して剥離可能な粘着剤を用いてもよい。その場合には、ホットプレート等によるウエハー61の加熱は不要であり、バックグラインド後、充填剤63を充填した状態のまま裏面電極形成までのウエハー裏面処理をおこなう。そして、ダイシングの直前に、UV光を照射して接着シート31および支持基板32の剥離と同時に、充填剤63を除去する。

【0088】

【実施例】

実施例1.

上述した実施の形態1にしたがい、FS型IGBTを作製した。使用したn⁻FZウエハー21の直径は6インチであり、厚さは625μmであった。支持基板32として、石英ガラスウエハーを用いた。接着シート31として、UVテープ型シートを用いた。バックグラインド後のウエハー21の厚さは、ウエハー厚に対するウエハーの反り量や割れ率の関係を調べるため、70μm、80μm、90μmまたは100μmとした。

【0089】

また、バッファ層となるn⁺層23を形成するために、リンをイオン注入する際のドーズ量を $5 \times 10^{12} \text{ cm}^{-2}$ とし、加速電圧を600keVとした。コレクタ層となるp⁺層24を形成するために、ボロンをイオン注入する際のドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ とし、加速電圧を50keVとした。レーザーアニールでは、YAGの第3高調波(YAG3)パルスレーザーを、50%オーバーラップさせながら照射した。コレクタ電極となる裏面電極25は、アルミニウム、チタン、ニッケルおよび金からなり、合計で2μmの厚さとした。

【0090】

実施例2.

上述した実施の形態2にしたがい、FS型IGBTを作製した。使用したエピタキシャルウエハーの直径は6インチであった。バックグラインド後のウエハーの厚さは、70μm(n⁺半導体基板41の残りの厚さ:10μm)、80μm(n⁺半導体基板41の残りの厚さ:20μm)、90μm(n⁺半導体基板41の残りの厚さ:30μm)または100μm(n⁺半導体基板41の残りの厚さ:40μm)とした。レーザーアニールでは、XeClパルスレーザーを、90%オーバーラップさせながら照射した。支持基板32、接着シート31、ボロンのイオン注入および裏面電極25については、実施例1と同じであった。ただし、ウエハー裏面に対するリンのイオン注入はおこなわなかった。

【0091】

10

20

30

40

50

実施例 3 .

上述した実施の形態 3 にしたがって、FS 型 IGBT を作製した。支持基板 3 2 および接着シート 3 1 を用いずに、高剛性接着シート 5 1 を貼り付けた点を除いて、実施例 1 と同じであった。

【0092】

実施例 4 .

上述した実施の形態 4 にしたがって、FS 型 IGBT を作製した。支持基板 3 2 および接着シート 3 1 を用いずに、高剛性接着シート 5 1 を貼り付けた点を除いて、実施例 2 と同じであった。

【0093】

実施例 5 .

上述した実施の形態 5 にしたがって、FS 型 IGBT を作製した。支持基板 3 2 および接着シート 3 1 を用いずに、高剛性接着シート 5 1 およびパーティクル除去用接着シート 5 2 を貼り付けた点を除いて、実施例 1 と同じであった。

【0094】

実施例 6 .

上述した実施の形態 6 にしたがって、FS 型 IGBT を作製した。支持基板 3 2 および接着シート 3 1 を用いずに、高剛性接着シート 5 1 およびパーティクル除去用接着シート 5 2 を貼り付けた点を除いて、実施例 2 と同じであった。

【0095】

実施例 7 .

上述した実施の形態 7 にしたがって、FS 型 IGBT を作製した。使用したウエハー 6 1 の直径は 6 インチであった。充填剤 6 3 として、加熱発泡により剥離可能な粘着剤を用いた。バックグラインド後のウエハー 6 1 の厚さは、70 μm 、80 μm 、90 μm または 100 μm とした。裏面電極は、アルミニウム、チタン、ニッケルおよび金からなり、合計で 2 μm の厚さとした。

【0096】

実施例 8 .

上述した実施の形態 8 にしたがって、FS 型 IGBT を作製した。使用したウエハー 6 1 の直径は 6 インチであった。使用した保護テープ 6 6 は、厚さがおよそ 150 μm の樹脂テープであった。バックグラインド後のウエハー 6 1 の厚さは、70 μm 、80 μm 、90 μm または 100 μm とした。裏面電極は、アルミニウム、チタン、ニッケルおよび金からなり、合計で 2 μm の厚さとした。

【0097】

実施例 9 .

上述した実施の形態 9 にしたがって、FS 型 IGBT を作製した。充填剤 6 3 として、加熱発泡により剥離可能な粘着剤を用いた。その他は、実施例 2 と同じであった。

【0098】

従来例 1 .

従来の FZ ウエハーを用いた FS 型 IGBT の製造プロセス (図 3 1 参照) にしたがって、FS 型 IGBT を作製した。支持基板 3 2 および接着シート 3 1 を用いていないことと、レーザーアニールの代わりに電気炉アニール (400 で 1 時間) をおこなったことを除いて、実施例 1 と同じであった。

【0099】

従来例 2 .

従来のエピタキシャルウエハーを用いた FS 型 IGBT の製造プロセス (図 3 2 参照) にしたがって、FS 型 IGBT を作製した。支持基板 3 2 および接着シート 3 1 を用いていないことと、レーザーアニールの代わりに電気炉アニール (400 で 1 時間) をおこなったことを除いて、実施例 2 と同じであった。

【0100】

10

20

30

40

50

図15は、実施例1および実施例2について、裏面電極を形成した後（裏面蒸着後）のウエハーの反り量とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。ここで、反り量とは、ウエハーの中央と周縁との高さの差である。図15より、実施例1および実施例2のいずれも、バックグラインド後のウエハーの厚さを70 μ mまで薄くしても、裏面電極形成後のウエハーの反り量は、裏面電極形成後に割れが生じるときの反りの限界値である5.5mm（直径6インチのウエハーの場合）よりもはるかに小さいことがわかる。

【0101】

比較のため、従来例1および従来例2について、同様のことを調べた結果も併せて図15に示す。従来例1および従来例2では、バックグラインド後のウエハーの厚さを90 μ m以下にすると、裏面電極形成後のウエハーの反り量は、反りの限界値である5.5mm（直径6インチのウエハーの場合）を超えてしまう。具体的には、バックグラインド後のウエハーの厚さを70 μ mにしたときの裏面電極形成後のウエハーの反り量は、実施例1では2mmであり、実施例2では2.1mmであり、従来例1では11mmであり、従来例2では11.2mmである。

10

【0102】

図16は、実施例1および実施例2において、バックグラインド後のウエハーの厚さが70 μ mであるものについて、工程ごとにウエハーの反り量を調べた結果を示す図である。なお、本明細書では、ウエハーの表面側が凹状になるときにウエハーに引っ張り応力が作用しており、凸状になるときに圧縮応力が作用しているとする。そして、ウエハーに引っ張り応力が作用している場合の反り量を正の値で表し、圧縮応力が作用している場合の反り量を負の値で表すことにする。図16より、実施例1および実施例2のいずれも、各工程においてほとんど反り量がないことがわかる。

20

【0103】

比較のため、図28に、従来例1および従来例2において、バックグラインド後のウエハーの厚さが70 μ mであるものについて、同様のことを調べた結果を示す。従来例1および従来例2では、裏面電極を形成する前は正の反り量が発生するが、裏面電極の形成により、おおよそ-11mmの反り量が発生している。

【0104】

図17は、実施例1および実施例2について、素子の割れ率とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。比較のため、従来例1および従来例2について、同様のことを調べた結果も併せて図17に示す。図17に示すように、実施例1および実施例2のいずれも、バックグラインド後のウエハーの厚さを70 μ mまで薄くしても、割れ率は2%以下と極めて小さい。実施例1または実施例2において割れが発生するのは、UVテープ型の接着シートの剥離時と、ダイシング時であり、途中の工程ではほとんど割れない。それに対して、図17より、従来例1および従来例2では、バックグラインド後のウエハーの厚さが70 μ mであるものの割れ率は95%と極めて高い。

30

【0105】

図18は、実施例1および従来例1について、キャリア濃度分布を調べた結果を示す図である。図19は、実施例2および従来例2について、キャリア濃度分布を調べた結果を示す図である。ただし、いずれも、裏面電極をのぞいて、ウエハー裏面側からのSR（広がり抵抗法）により測定した。図18および図19より、実施例1および実施例2では、レーザーアニールを用いたことにより、ウエハー裏面のp層を従来例よりも高濃度化することができ、低オン電圧化が図れていることがわかる。

40

【0106】

図20は、実施例3～実施例6について、裏面電極を形成した後のウエハーの反り量とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。比較のため、従来例1および従来例2の結果も併せて図20に示す。図20より、実施例3～実施例6のいずれも、バックグラインド後のウエハーの厚さを70 μ mまで薄くしても、裏面電極形成後のウエハーの反り量は、裏面電極形成後に割れが生じるときの反りの限界値である

50

5.5 mm (直径6インチのウエハーの場合)よりも小さいことがわかる。具体的には、実施例3～実施例6では、バックグラインド後のウエハーの厚さを70 μmにしたときの裏面電極形成後のウエハーの反り量は、約3～3.5 mmである。

【0107】

図21は、実施例3および実施例4において、バックグラインド後のウエハーの厚さが70 μmであるものについて、工程ごとにウエハーの反り量を調べた結果を示す図である。また、図22は、実施例5および実施例6において、バックグラインド後のウエハーの厚さが70 μmであるものについて、工程ごとにウエハーの反り量を調べた結果を示す図である。図21および図22より、実施例3～実施例6のいずれも、各工程においてほとんど反り量がないことがわかる。

10

【0108】

図23は、実施例3～実施例6について、素子の割れ率とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。比較のため、従来例1および従来例2の結果も併せて図23に示す。図23に示すように、実施例3～実施例6のいずれも、バックグラインド後のウエハーの厚さを70 μmまで薄くしても、割れ率は5%以下と極めて小さい。実施例3～実施例6において割れが発生するのは、高剛性接着シートやパーティクル除去用接着シートの剥離時と、ダイシング時であり、途中の工程ではほとんど割れない。

【0109】

実施例3および実施例5について、キャリア濃度分布を調べた結果を図18に、また実施例4および実施例6について、キャリア濃度分布を調べた結果を図19にそれぞれ示す。ただし、いずれも、裏面電極をのぞいて、ウエハー裏面側からのSRにより測定した。図18および図19より、実施例3～実施例6では、レーザーアニールを用いたことにより、ウエハー裏面のp層を従来例よりも高濃度化することができ、低オン電圧化が図れていることがわかる。

20

【0110】

図24は、実施例7および実施例8について、裏面電極を形成した後のウエハーの反り量とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。比較のため、従来例1および従来例2の結果も併せて図24に示す。図24より、実施例7および実施例8のいずれも、バックグラインド後のウエハーの厚さを70 μmまで薄くしても、裏面電極形成後のウエハーの反り量は、裏面電極形成後に割れが生じるときの反りの限界値である5.5 mm (直径6インチのウエハーの場合)よりも小さいことがわかる。

30

【0111】

具体的には、実施例7および実施例8では、バックグラインド後のウエハーの厚さを70 μmにしたときの裏面電極形成後のウエハーの反り量は、5.4 mmである。つまり、ウエハー表面の凹凸形状のパターンをウエハー裏面に極力反映させずにバックグラインドをおこなうことによって、反り量が従来の半分程度に抑えられることがわかる。

【0112】

図25は、実施例7および実施例8について、素子の割れ率とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。比較のため、従来例1および従来例2の結果も併せて図25に示す。図25に示すように、バックグラインド後のウエハーの厚さを70 μmにした場合の割れ率は、実施例7では30%であり、実施例8では35%である。従来例に比べて割れ率が低減した理由は、反り量を低減させ、ウエハー表面の凹凸形状のパターンがウエハー裏面に反映されることが原因で割れるのをほとんど失くしたことである。

40

【0113】

図26は、実施例9について、裏面電極を形成した後(裏面蒸着後)のウエハーの反り量とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。比較のため、実施例2の結果も併せて図26に示す。図26より、実施例9では、裏面電極形成後のウエハーの反り量は、実施例2よりも小さいことがわかる。具体的には、実施例9では

50

、バックグランド後のウエハーの厚さを70 μmにしたときの裏面電極形成後のウエハーの反り量は、1.8 mmである。

【0114】

図27は、実施例9について、素子の割れ率とバックグランド後のウエハーの厚さとの関係を調べた結果を示す図である。比較のため、実施例2の結果も併せて図27に示す。図27に示すように、実施例9では、バックグランド後のウエハーの厚さを70 μmにした場合、割れ率は実施例2よりも小さいことがわかる。

【0115】

以上において、本発明は、半導体素子の表面構成は問わないので、半導体素子の表面側素子構造部はプレーナ型でもトレンチ型でもよい。また、本発明は、バックグランド後のウエハーの厚さが70 μmであるIGBTに限らず、ウエハー裏面をバックグランドしてウエハー厚さを100 μm以下にする工程を有する電力用半導体素子の製造方法に適用できる。また、実施の形態9のように、実施の形態1～実施の形態6のいずれかと、実施の形態7または実施の形態8とを組み合わせてもよい。

【0116】

【発明の効果】

本発明によれば、半導体ウエハーの表面側に、半導体素子の表面側素子構造部を形成した後、その表面に支持基板または高剛性接着シートを接合し、この状態でバックグランドをおこなってウエハーを薄くした後、ウエハー裏面に対する処理をおこなうことにより、ウエハー裏面に対する処理をおこなっている間のウエハーの反りや、ウエハーに作用する応力を抑制することができるので、ウエハー裏面に対する処理をおこなっている間にウエハーが割れるのを防ぐことができる。また、応力の発生源となる電気炉アニールに代えて、レーザーアニールを採用することにより、ウエハーに作用する応力を抑制することができるので、ウエハーが割れるのを防ぐことができる。また、ウエハーの反りが小さくなるので、設計通りのデバイス特性が得られる。

【0117】

また、本発明によれば、半導体ウエハーの裏面に、高剛性接着シートおよびパーティクル除去用接着シートを貼り付けた状態でバックグランドをおこない、裏面研削終了後にパーティクル除去用接着シートを剥がしてからイオン注入をおこなうことにより、ウエハー裏面の研削時に発生した削り屑やその他の塵などのパーティクルを、イオン注入前に取り除くことができるので、パーティクルによる不良品の発生を防ぐことができる。

【0118】

また、本発明によれば、表面側素子構造部を形成した後、充填剤によりその表面を平坦化してからバックグランドをおこなうことにより、あるいは、表面側素子構造部上に厚い保護テープを貼り付けてバックグランドをおこなうことにより、ウエハーの裏面に、ウエハー表面の段差部のパターンを反映させることなく、裏面を平坦に研削することができる。また、ウエハー外周部が充填剤により強化されるので、バックグランド時に、ウエハーの外周がバックグランド装置の吸着台から浮き上がるのを防ぐことができる。したがって、ウエハー割れが起こるのを防ぐことができる。また、ウエハーの裏面が局所的に削れてしまうのを防ぐことができるので、所望のデバイス特性が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかる半導体素子の製造方法の製造プロセスの一部を示す図である。

【図2】図1に示す製造プロセスの続きを示す図である。

【図3】本発明の実施の形態2にかかる半導体素子の製造方法の製造プロセスの一部を示す図である。

【図4】図3に示す製造プロセスの続きを示す図である。

【図5】本発明の実施の形態3にかかる半導体素子の製造方法の製造プロセスの一部を示す図である。

【図6】図5に示す製造プロセスの続きを示す図である。

10

20

30

40

50

【図 7】本発明の実施の形態 4 にかかる半導体素子の製造方法の製造プロセスの一部を示す図である。

【図 8】図 7 に示す製造プロセスの続きを示す図である。

【図 9】本発明の実施の形態 5 にかかる半導体素子の製造方法の製造プロセスの一部を示す図である。

【図 10】本発明の実施の形態 6 にかかる半導体素子の製造方法の製造プロセスの一部を示す図である。

【図 11】本発明の実施の形態 7 にかかる半導体素子の製造方法のバックグラインド工程を詳細に説明するためのプロセス図である。

【図 12】本発明の実施の形態 8 にかかる半導体素子の製造方法のバックグラインド工程を詳細に説明するためのプロセス図である。

【図 13】実施の形態 8 において、保護テープの厚さを変えてウエハー面内厚さの均一性を調べた結果を示す特性図である。

【図 14】本発明の実施の形態 9 にかかる半導体素子の製造方法のバックグラインド工程を詳細に説明するためのプロセス図である。

【図 15】実施例 1、実施例 2、従来例 1 および従来例 2 について、裏面電極を形成した後のウエハーの反り量とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。

【図 16】実施例 1 および実施例 2 について、工程ごとにウエハーの反り量を調べた結果を示す図である。

【図 17】実施例 1、実施例 2、従来例 1 および従来例 2 について、素子の割れ率とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。

【図 18】実施例 1、実施例 3、実施例 5 および従来例 1 について、キャリア濃度分布を調べた結果を示す図である。

【図 19】実施例 2、実施例 4、実施例 6 および従来例 2 について、キャリア濃度分布を調べた結果を示す図である。

【図 20】実施例 3、実施例 4、実施例 5 および実施例 6 について、裏面電極を形成した後のウエハーの反り量とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。

【図 21】実施例 3 および実施例 4 において、工程ごとにウエハーの反り量を調べた結果を示す図である。

【図 22】実施例 5 および実施例 6 において、工程ごとにウエハーの反り量を調べた結果を示す図である。

【図 23】実施例 3、実施例 4、実施例 5 および実施例 6 について、素子の割れ率とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。

【図 24】実施例 7 および実施例 8 について、裏面電極を形成した後のウエハーの反り量とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。

【図 25】実施例 7 および実施例 8 について、素子の割れ率とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。

【図 26】実施例 9 および実施例 2 について、裏面電極を形成した後のウエハーの反り量とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。

【図 27】実施例 9 および実施例 2 について、素子の割れ率とバックグラインド後のウエハーの厚さとの関係を調べた結果を示す図である。

【図 28】従来例 1 および従来例 2 について、工程ごとにウエハーの反り量を調べた結果を示す図である。

【図 29】NPT 型 IGBT の構成を示す断面図である。

【図 30】FS 型 IGBT の構成を示す断面図である。

【図 31】従来の FZ ウエハーを用いた FS 型 IGBT の製造プロセスを示す図である。

【図 32】従来のエピタキシャルウエハーを用いた FS 型 IGBT の製造プロセスを示す図である。

10

20

30

40

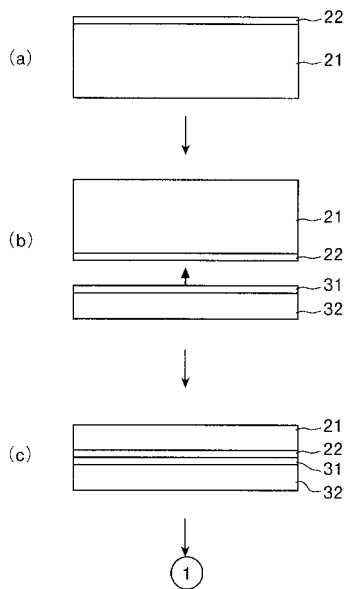
50

【図33】従来のバックグラインド工程を詳細に説明するためのプロセス図である。

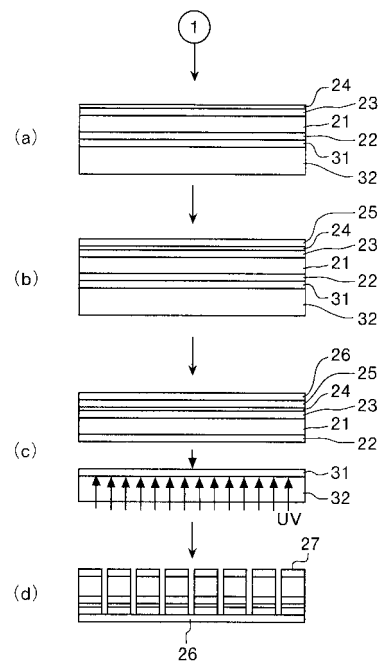
【符号の説明】

- 2 1 , 6 1 半導体ウエハー
- 2 2 表面側素子構造部
- 2 7 チップ
- 3 1 両面接着タイプの接着シート
- 3 2 支持基板
- 4 1 n⁺半導体基板
- 4 2 エピタキシャル層
- 5 1 高剛性接着シート
- 5 2 パーティクル除去用接着シート
- 6 3 充填剤
- 6 6 保護テープ

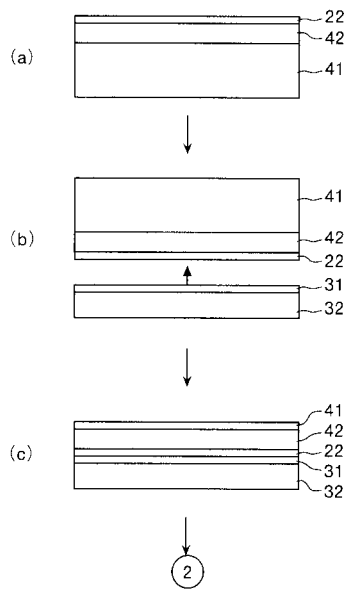
【図1】



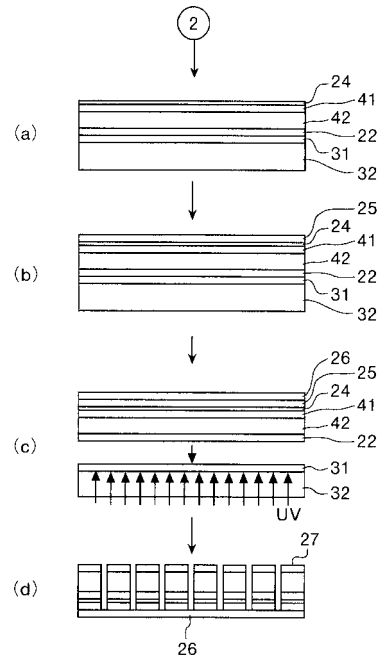
【図2】



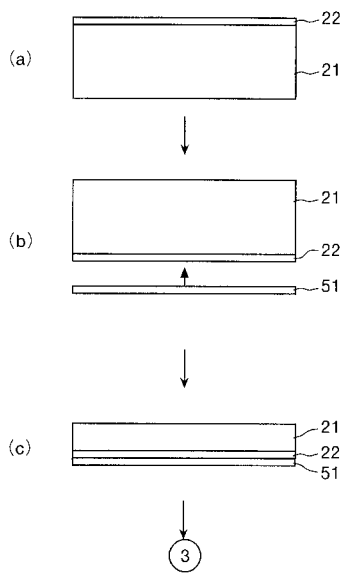
【 図 3 】



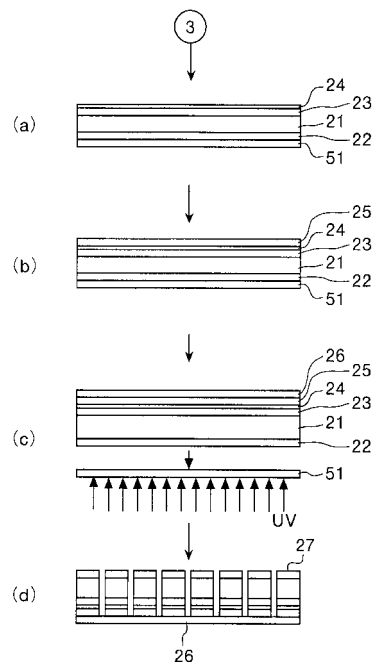
【 図 4 】



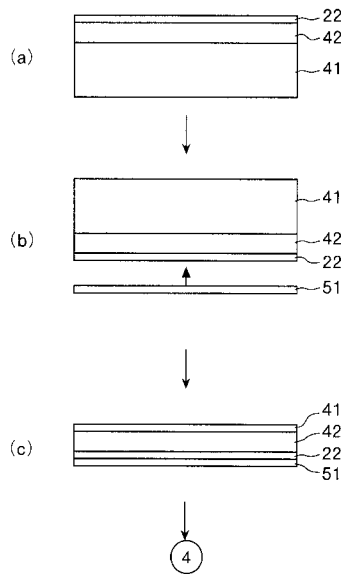
【 図 5 】



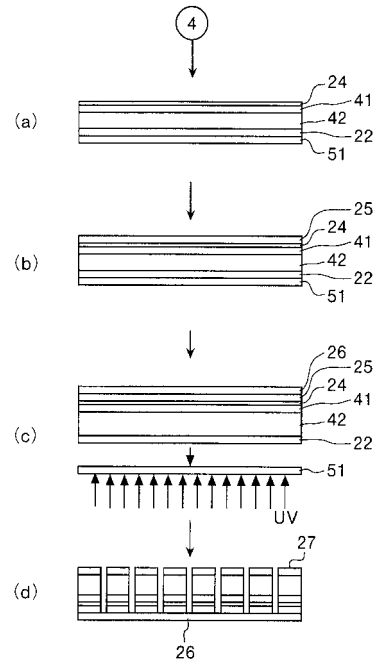
【 図 6 】



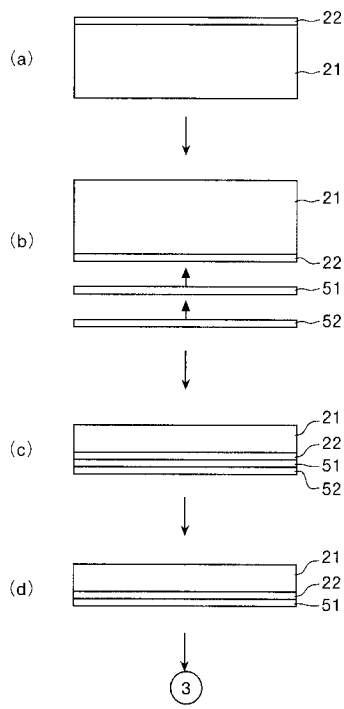
【図7】



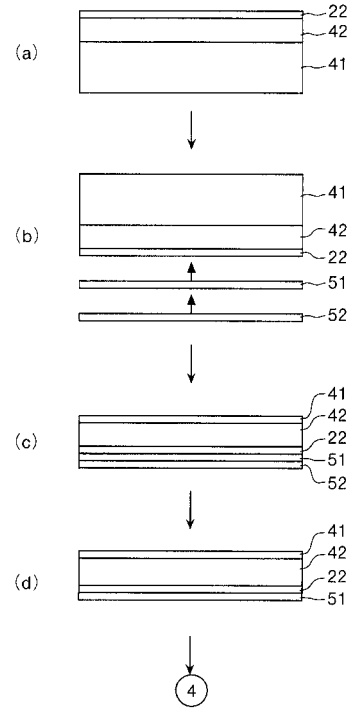
【図8】



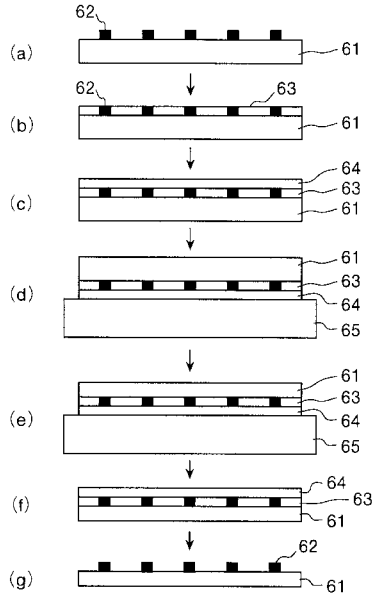
【図9】



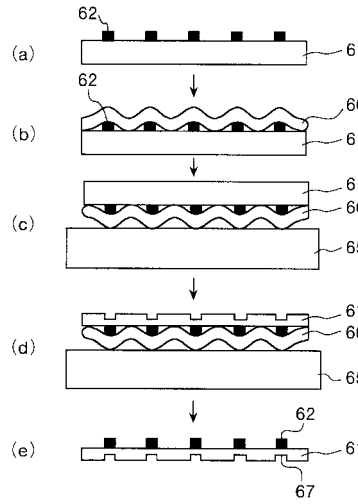
【図10】



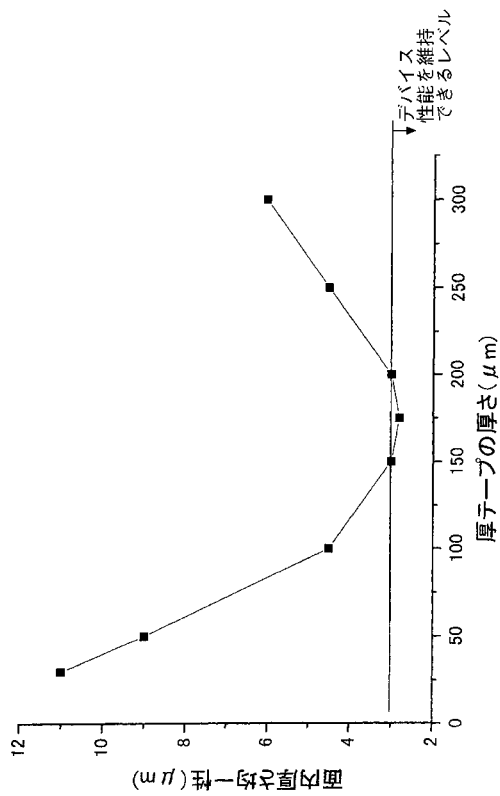
【図11】



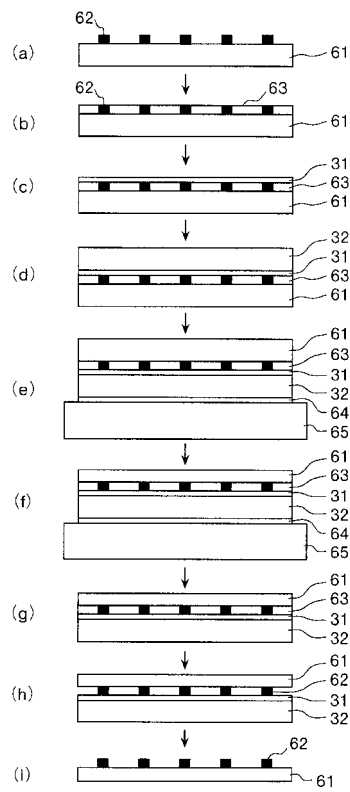
【図12】



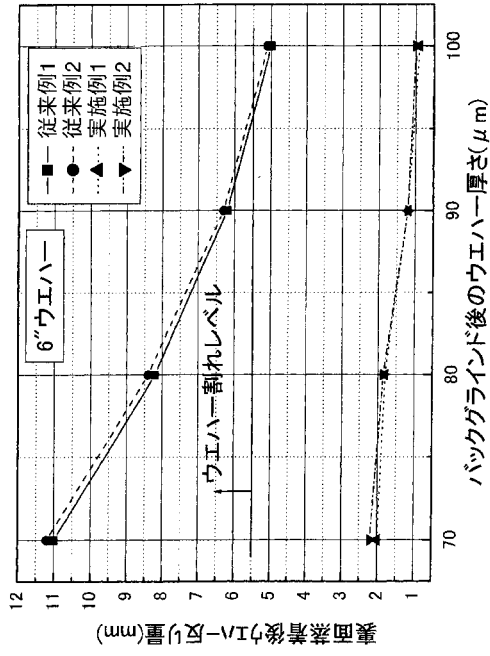
【図13】



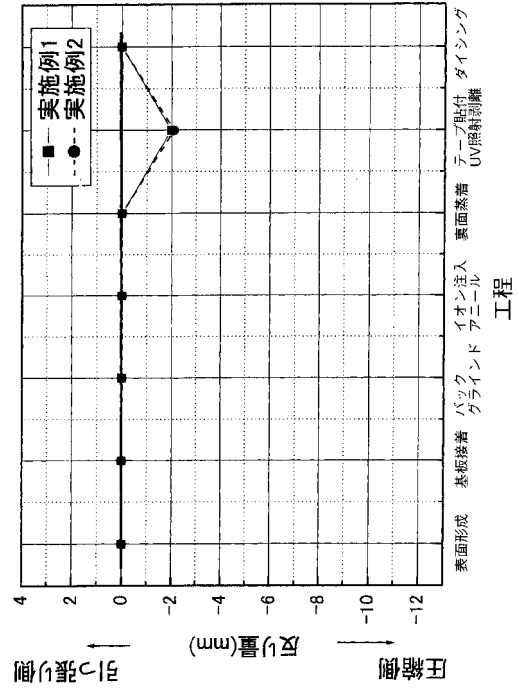
【図14】



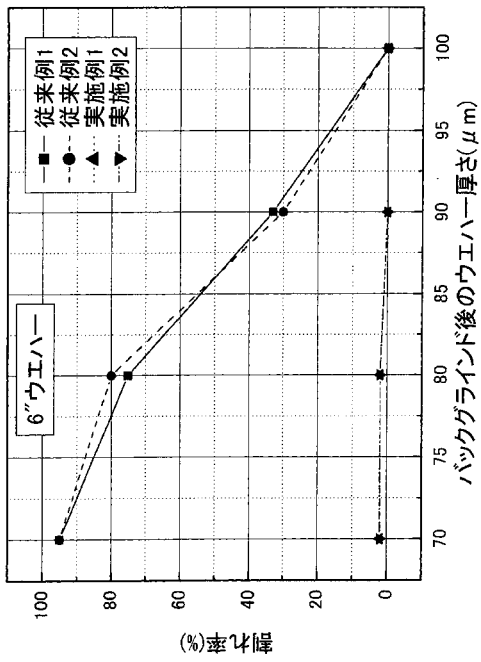
【 図 15 】



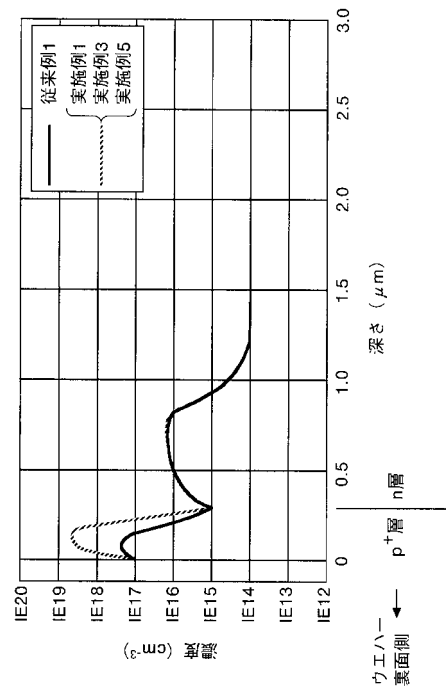
【 図 16 】



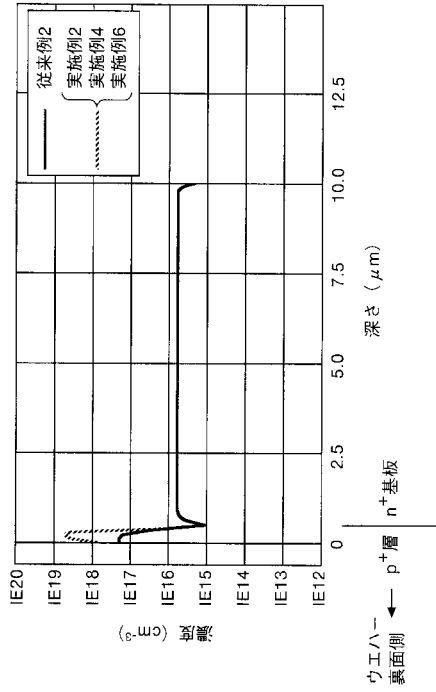
【 図 17 】



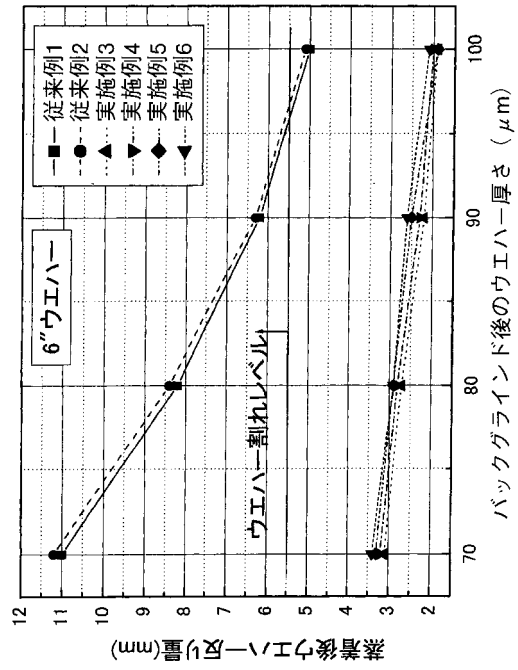
【 図 18 】



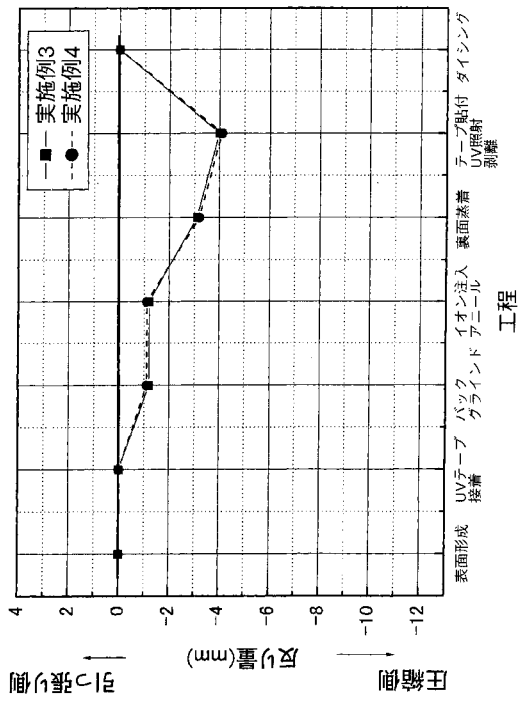
【 図 19 】



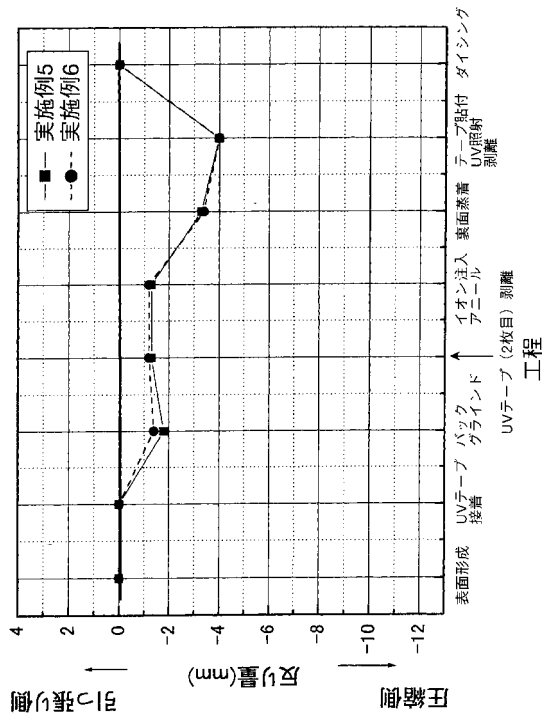
【 図 20 】



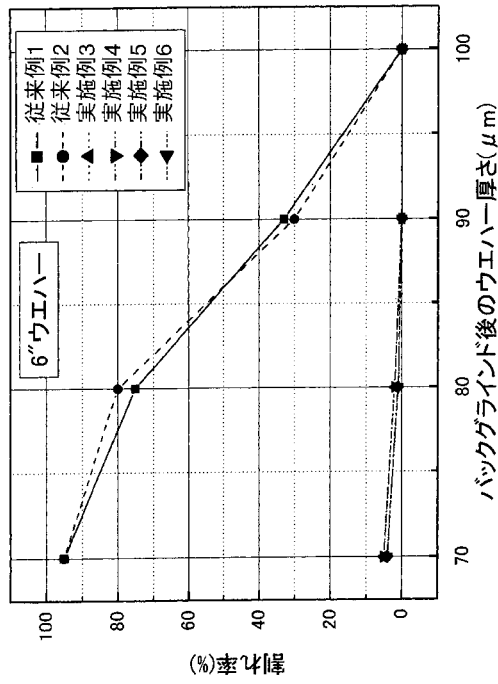
【 図 21 】



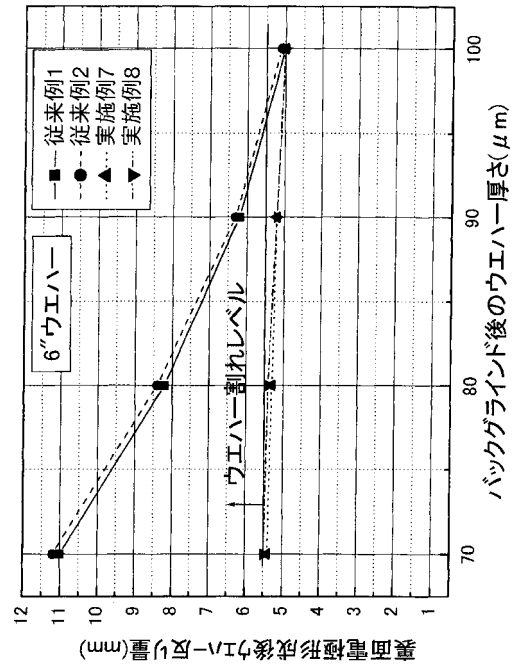
【 図 22 】



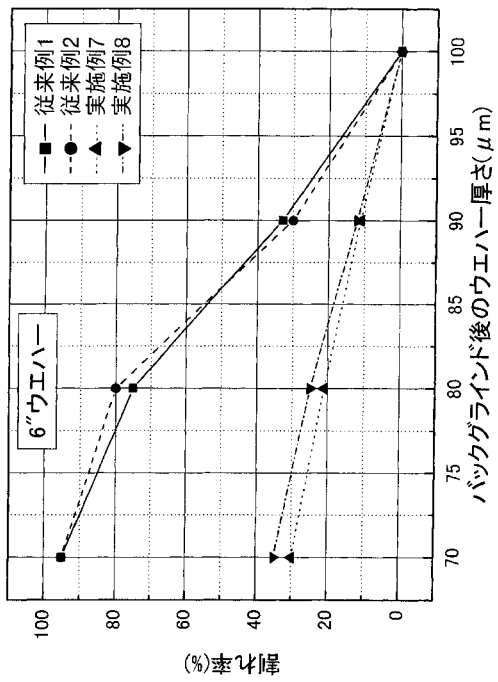
【図23】



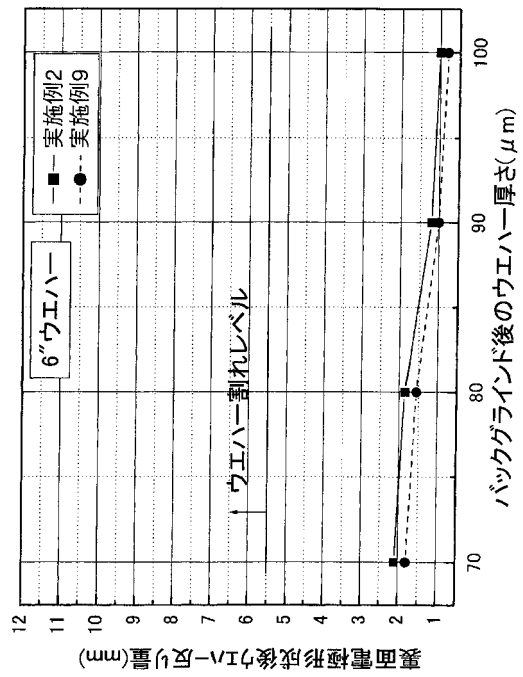
【図24】



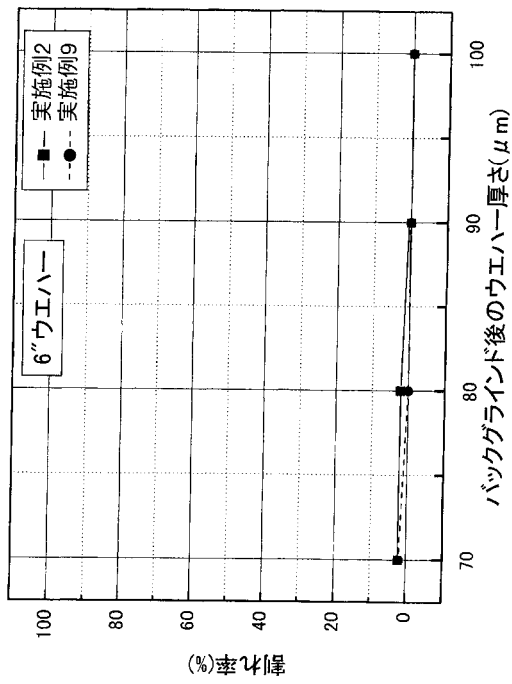
【図25】



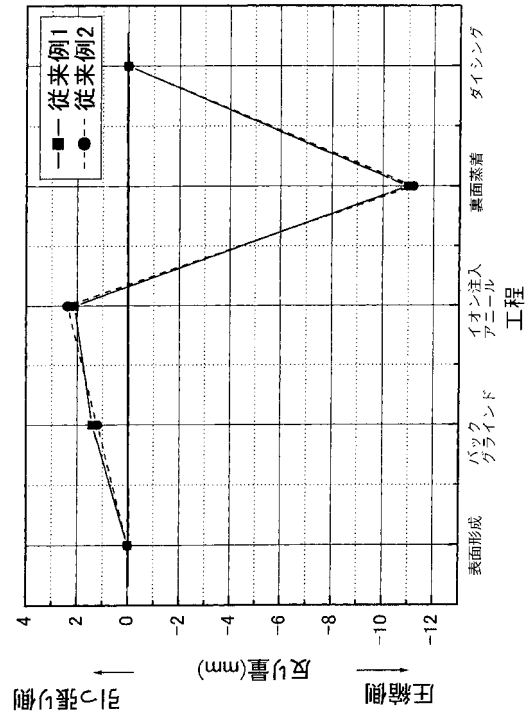
【図26】



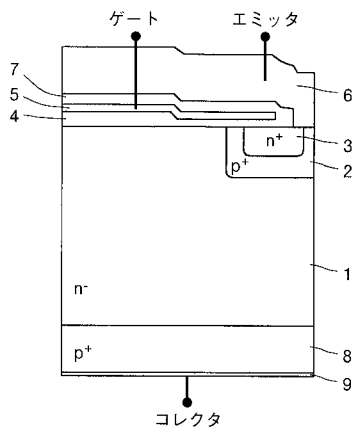
【図27】



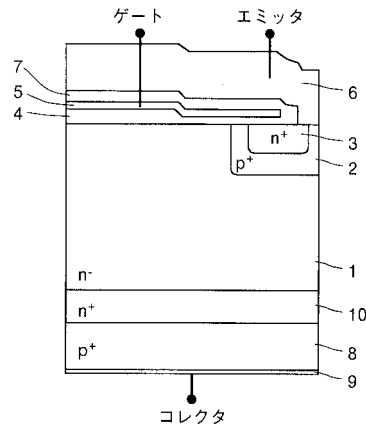
【図28】



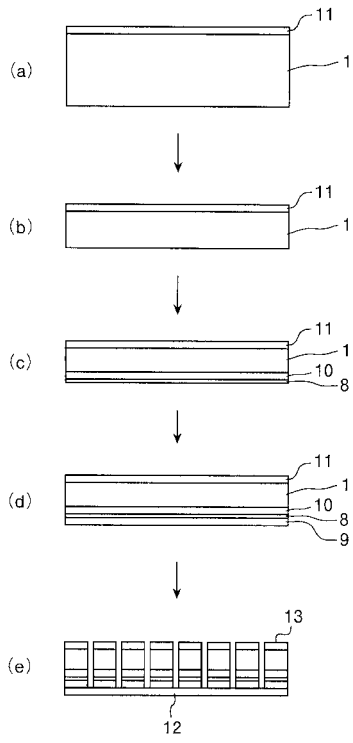
【図29】



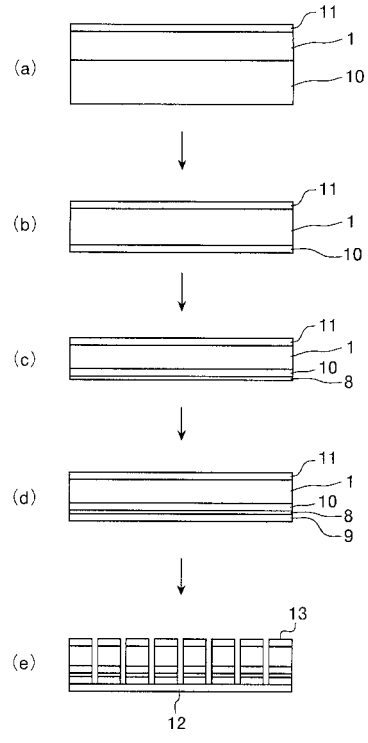
【図30】



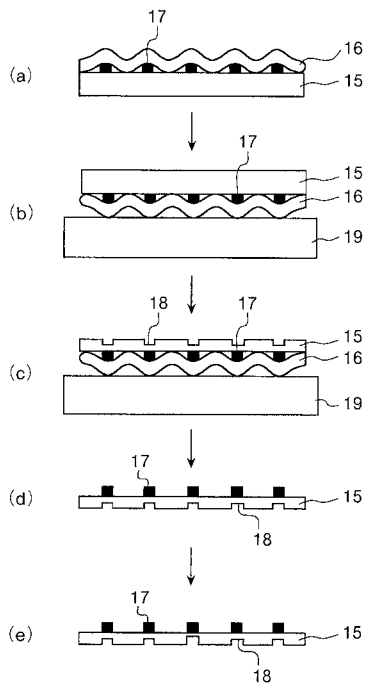
【図 3 1】



【図 3 2】



【図 3 3】



フロントページの続き

(72)発明者 爲則 啓

神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 河合 俊英

(56)参考文献 特開平11-016863(JP,A)
特開平11-145089(JP,A)
特開平11-343469(JP,A)
特開2000-232085(JP,A)
特開2000-252466(JP,A)
特開2001-177096(JP,A)
特開2002-075940(JP,A)
特開2002-203816(JP,A)
特開2002-203822(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/739

H01L 29/78