

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年2月8日(2007.2.8)

【公開番号】特開2004-214673(P2004-214673A)

【公開日】平成16年7月29日(2004.7.29)

【年通号数】公開・登録公報2004-029

【出願番号】特願2003-433002(P2003-433002)

【国際特許分類】

H 01 L 29/78 (2006.01)

【F I】

H 01 L 29/78 301 G

【手続補正書】

【提出日】平成18年12月19日(2006.12.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

P MOSトランジスタを形成する方法であって、半導体基板の上にゲート誘電体層を形成し、ゲート誘電体層の上にシリコン又はSiGe層を形成し、p型ドーパントがシリコン又はSiGe層を通り抜けて下にあるゲート誘電体層に拡散することを抑制する隔離ドーパントで、シリコン又はSiGe層をドープし、シリコン又はSiGe層の上にゲート電極層を形成し、ゲート構造を形成するように、ゲート電極層、シリコン又はSiGe層、及びゲート誘電体層をパターニングし、そのトランジスタに関連する所望の仕事関数を確立するように、パターニングされたゲート電極層をp型ドーパントでドープし、ゲート構造の対向する側の半導体基板にソース及びドレイン領域を形成し、それらの間にチャネル領域を画定するように、ゲート構造に隣接する、基板の露出された部分をドープすることを含む方法。

【請求項2】

P MOSトランジスタを形成する方法であって、半導体本体の上にゲート誘電体を形成し、ゲート誘電体の上にシリコン又はSiGe層を形成し、ここで、シリコン又はSiGe層は、ボロンではないp型ドーパントでドープされ、シリコン又はSiGe層の上にポリシリコン又はSiGe層を形成し、ここで、ポリシリコン又はSiGe層はボロンでドープされ、シリコン又はSiGe層及びポリシリコン又はSiGe層は共にゲートを構成し、更に

ゲートの対向する側に半導体本体のソース及びドレイン領域を形成し、それにより、それらの間にチャネル領域を画定する

ことを含む方法。

【請求項3】

P MOSトランジスタであって、基板内に形成されるソース領域、

基板内に形成されるドレイン領域、

ソース領域とドレイン領域との間の基板内に画定されるチャネル領域、

チャネル領域の上に形成されるゲート誘電体、

ゲート誘電体の上に形成されるシリコン又はSiGe層、及び

シリコン又はSiGe層の上に形成されるゲート電極を含み、ゲート電極は、トランジスタに関連する所望の仕事関数を確立するようにp型ドーパントでドープされ、シリコン又はSiGe層は、p型ドーパントがゲート誘電体に入り込むことを抑制する

P MOSトランジスタ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

本発明を1つ又は複数の実施例に関連して図示し説明したが、当業者ならば本明細書及び添付の図面を読んで理解すれば同等な変更及び変形が明らかであろう。本発明は、このような変更及び変形の全てを含み、本発明の特許請求の範囲によってのみ限定される。特に、前記した構成要素(アセンブリ、装置、回路など)により実施される様々な機能に関して、このような構成要素を説明するために用いられた用語(「手段」の参照を含めて)は、特記なき限り、本明細書に例示した本発明の典型的な実施例における機能を実施する開示された構造とたとえ構造的には同等ではなくても、前述した構成要素の特定の機能を実施する任意の構成要素に対応する(即ち、機能的に同等である)ことを意図している。さらには、幾つかの実施例の中の1つのみに関して本発明の特定の特徴が開示されたが、このような特徴は、いかなる所与の又は特定の応用にも望ましい及び有利であるように、他の実施例の1つ又は複数の他の特徴と組合わせることができる。さらに、詳細な説明及び特許請求の範囲のいずれかにおいて使用される「含む(including)」、「有する(having)」、「有する(has)」、「備える(with)」という用語、又はそれらの変形の範囲について、このような用語は、用語“含む(comprising)”と同様に包括的であることを意図している。

(1) P MOSトランジスタを形成する方法であって、

半導体基板の上にゲート誘電体層を形成し、

ゲート誘電体層の上にシリコン又はSiGe層を形成し、

p型ドーパントがシリコン又はSiGe層を通り抜けて下にあるゲート誘電体層に拡散することを抑制する隔離ドーパントで、シリコン又はSiGe層をドープし、

シリコン又はSiGe層の上にゲート電極層を形成し、

ゲート構造を形成するように、ゲート電極層、シリコン又はSiGe層、及びゲート誘電体層をパターニングし、

そのトランジスタに関連する所望の仕事関数を確立するように、パターニングされたゲート電極層をp型ドーパントでドープし、

ゲート構造の対向する側の半導体基板にソース及びドレイン領域を形成し、それらの間にチャネル領域を画定するように、ゲート構造に隣接する、基板の露出された部分をドープする

ことを含む方法。

(2) (1)に記載の方法であって、隔離ドーパントがインジウム(In)を含む方法。

(3) (1)に記載の方法であって、シリコン又はSiGe層が、約5から120ナノメートルの厚みに形成される方法。

(4) (1)に記載の方法であって、シリコン又はSiGe層が、ゲート電極層に面する上面と、ゲート誘電体層に面する底面とを有し、隔離ドーパントがシリコン又はSiGe層の底面近くに集中している方法。

(5) (1)に記載の方法であって、基板がシリコンを含む方法。

(6) (1)に記載の方法であって、ゲート誘電体層が、二酸化シリコン、シリコン・

オキシナイトライド、酸化アルミニウム(Al_2O_3)、ケイ酸ジルコニウム、ケイ酸ハフニウム、ハフニウム・シリコン・オキシナイトライド、ジルコニウム・シリコン・オキシナイトライド、ハフニウム・シリコン・ナイトライド、酸化ランタン(La_2O_3)、酸化ハフニウム(HfO_2)、ハフニウム・オキシナイトライド、酸化ジルコニウム(ZrO_2)、ジルコニウム・オキシナイトライド、酸化セリウム(CeO_2)、ビスマス・シリコン・オキサイド($\text{Bi}_4\text{Si}_2\text{O}_{12}$)、二酸化チタン(TiO_2)、酸化タンタル(Ta_2O_5)、酸化タンゲステン(WO_3)、酸化イットリウム(Y_2O_3)、酸化ランタン・アルミニウム(LaAlO_3)、チタン酸バリウム・ストロンチウム($\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$)、酸化バリウム・ストロンチウム($\text{Ba}_{1-x}\text{Sr}_x\text{O}_3$)、 PbTiO_3 、チタン酸バリウム(BaTiO_3)、チタン酸ストロンチウム(SrTiO_3)、 PbZrO_3 、PST($\text{PbSc}_x\text{Ta}_{1-x}\text{O}_3$)、PZN($\text{PbZn}_x\text{Nb}_{1-x}\text{O}_3$)、PZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$)、及びPMN($\text{PbMg}_x\text{Nb}_{1-x}\text{O}_3$)のうち少なくとも1つを含む方法。

(7) (1)に記載の方法であって、パターニングされたゲート電極層をp型ドーパントでドープする前に、この方法が更に、

パターニングされたゲート電極層と、ゲート構造に隣接する、基板の露出された部分とをp型ドーパントで薄くドープして、その中に拡張領域を形成し、

ゲート構造と、基板の露出された部分との上に誘電体材料の層を形成し、

誘電体材料の層をパターニングして、ゲート構造に隣接する側壁スペーサを形成することを含む方法。

(8) (7)に記載の方法であって、側壁スペーサが、基板の側壁スペーサの下に位置する部分にp型ドーパントが供給されることを阻止する方法。

(9) (7)に記載の方法であって、パターニングされたゲート電極層が、約 $2 \sim 3 \times 10^{20}/\text{cm}^3$ に又はそれよりも少なく、薄くドープされる方法。

(10) (1)に記載の方法であって、ゲート電極層がポリシリコン又はSiGeを含む方法。

(11) (1)に記載の方法であって、p型ドーパントがボロン(B)を含む方法。

(12) (1)に記載の方法であって、パターニングされたゲート電極層が、約 $2 \sim 3 \times 10^{20}/\text{cm}^3$ に又はそれよりも多くドープされる方法。

(13) (1)に記載の方法であって、ゲート誘電体層が約2.0ナノメートル又はそれよりも厚い厚みを有する方法。

(14) (1)に記載の方法であって、ゲート電極層が約2.0ナノメートル又はそれよりも薄い厚みを有する方法。

(15) (1)に記載の方法であって、パターニングされたゲート電極層が、約4.8から約5.6電子ボルト(eV)のフェルミ準位に一致する、所望の仕事関数を確立するように、p型ドーパントでドープされる方法。

(16) (1)に記載の方法であって、ゲート誘電体層が、約10ナノメートル又はそれより小さい等価酸化膜厚(EOT)を有する方法。

(17) (1)に記載の方法であって、シリコン又はSiGe層が、ポリシリコン若しくはSiGe、又は、アモルファス・シリコン若しくはSiGeを含む方法。

(18) PMOSトランジスタを形成する方法であって、

半導体本体の上にゲート誘電体を形成し、

ゲート誘電体の上にシリコン又はSiGe層を形成し、ここで、シリコン又はSiGe層は、ボロンではないp型ドーパントでドープされ、

シリコン又はSiGe層の上にポリシリコン又はSiGe層を形成し、ここで、ポリシリコン又はSiGe層はボロンでドープされ、シリコン又はSiGe層及びポリシリコン又はSiGe層は共にゲートを構成し、更に

ゲートの対向する側に半導体本体のソース及びドレイン領域を形成し、それにより、それらの間にチャネル領域を画定する

ことを含む方法。

(19) (18)に記載の方法であって、シリコン又はSiGe層が、ポリシリコン又はSiGe、又はアモルファス・シリコン又はSiGeを含む方法。

(20) (18)に記載の方法であって、シリコン又はSiGe層のp型ドーパントが、インジウムを含む方法。

(21) (18)に記載の方法であって、シリコン又はSiGe層の形成が、化学蒸着法(CVD)又は物理蒸着法(PVD)を用いて、ゲート誘電体の上にシリコン又はSiGe層をデポジットさせることを含み、ここで、シリコン又はSiGe層は、約5nm又はそれよりも厚く、約120nm又はそれよりも薄い厚みにデポジットされる方法。

(22) (18)に記載の方法であって、シリコン又はSiGe層の形成が、シリコン又はSiGe層をデポジットさせ、ボロンではないp型ドーパントでシリコン又はSiGe層をドープすることを含む方法。

(23) (22)に記載の方法であって、シリコン又はSiGe層のドーピングが、そのデポジットの間にシリコン又はSiGe層をその場(in-situ)ドープすること、或いは、デポジットの後、シリコン又はSiGeにp型ドーパントを注入することを含む方法。

(24) PMOSトランジスタであって、基板内に形成されるソース領域、基板内に形成されるドレイン領域、ソース領域とドレイン領域との間の基板内に画定されるチャネル領域、チャネル領域の上に形成されるゲート誘電体、ゲート誘電体の上に形成されるシリコン又はSiGe層、及びシリコン又はSiGe層の上に形成されるゲート電極を含み、ゲート電極は、トランジスタに関連する所望の仕事関数を確立するようにp型ドーパントでドープされ、シリコン又はSiGe層は、p型ドーパントがゲート誘電体に入り込むことを抑制するPMOSトランジスタ。

(25) (24)に記載のトランジスタであって、p型ドーパントがシリコン又はSiGe層を通過して下にあるゲート誘電体に拡散することを抑制するように、シリコン又はSiGe層がドーパントでドープされ、このドーパントがボロン(B)を含まないトランジスタ。

(26) (25)に記載のトランジスタであって、p型ドーパントがゲート誘電体に入り込むことを抑制するため、シリコン又はSiGe層がインジウム(In)でドープされるトランジスタ。

(27) (24)に記載のトランジスタであって、シリコン又はSiGe層が約5から120ナノメートルの厚みを有するトランジスタ。

(28) (24)に記載のトランジスタであって、p型ドーパントがボロン(B)を含むトランジスタ。

(29) (24)に記載のトランジスタであって、ゲート電極が、約 $2 \sim 3E20/cm^3$ に又はそれより多く、p型ドーパントでドープされるトランジスタ。

(30) (24)に記載のトランジスタであって、ゲート電極が、約4.8から約5.6eVのフェルミ準位に一致する、所望の仕事関数を確立するように、p型ドーパントでドープされるトランジスタ。

(31) (24)に記載のトランジスタであって、シリコン又はSiGe層が、ポリシリコン又はSiGe、又はアモルファス・シリコン又はSiGeを含むトランジスタ。