

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 10 月 5 日 (05.10.2023)



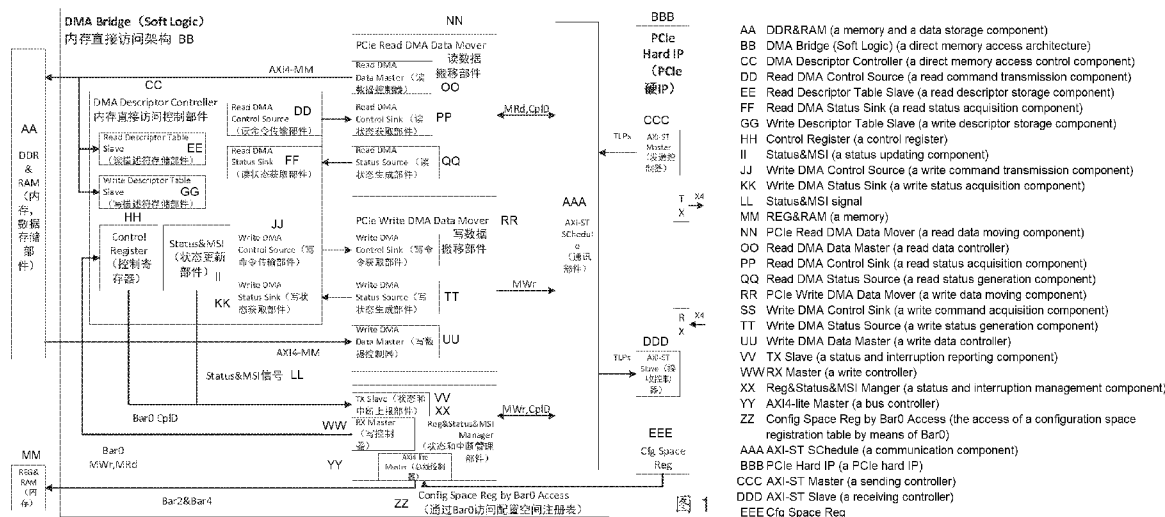
(10) 国际公布号
WO 2023/185035 A1

- (51) 国际专利分类号:
G06F 13/28 (2006.01) G06F 5/06 (2006.01)
G06F 9/50 (2006.01) G06F 13/40 (2006.01)
- (21) 国际申请号: PCT/CN2022/134792
- (22) 国际申请日: 2022 年 11 月 28 日 (28.11.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202210340235.X 2022 年 4 月 2 日 (02.04.2022) CN
- (71) 申请人: 苏州浪潮智能科技有限公司
(INSPUR SUZHOU INTELLIGENT TECHNOLOGY
CO., LTD.) [CN/CN]; 中国江苏省苏州市吴中
区吴中经济开发区郭巷街道官浦路 1 号
9 幢, Jiangsu 215000 (CN)。

- (72) 发明人: 王洪良(WANG, Hongliang); 中国江苏省
苏州市吴中区吴中经济开发区郭巷街道官浦路
1 号 9 幢, Jiangsu 215000 (CN)。 牟奇(MU, Qi); 中
国江苏省苏州市吴中区吴中经济开发区郭巷街
道官浦路 1 号 9 幢, Jiangsu 215000 (CN)。 张德闪
(ZHANG, Deshan); 中国江苏省苏州市吴中区吴
中经济开发区郭巷街道官浦路 1 号 9 幢, Jiangsu
215000 (CN)。 刘伟(LIU, Wei); 中国江苏省苏州
市吴中区吴中经济开发区郭巷街道官浦路 1 号
9 幢, Jiangsu 215000 (CN)。 李仁刚(LI, Rengang);
中国江苏省苏州市吴中区吴中经济开发区郭巷
街道官浦路 1 号 9 幢, Jiangsu 215000 (CN)。
- (74) 代理人: 北京康信知识产权代理有限责
任公司(KANGXIN PARTNERS, P.C.); 中国北京
市海淀区知春路甲 48 号盈都大厦 A 座
16 层, Beijing 100098 (CN)。

(54) Title: DIRECT MEMORY ACCESS ARCHITECTURE, SYSTEM AND METHOD, AND ELECTRONIC DEVICE AND MEDIUM

(54) 发明名称: 内存直接访问架构、系统、方法、电子设备和介质



(57) Abstract: Disclosed in the present application is a direct memory access architecture. The direct memory access architecture comprises a direct memory access control component, a read data moving component, a write data moving component and a data storage component. The direct memory access control component comprises a control register, a read descriptor storage component, a write descriptor storage component, a read command transmission component and a write command transmission component, wherein the control register is configured to be set by a host to obtain descriptor address information, the read descriptor storage component is configured to store a read descriptor, which is obtained by using the control register, the write descriptor storage component is configured to store a write descriptor, which is obtained by using the control register, the read command transmission component is configured to send to the read data moving component a read command, which is obtained on the basis of the read descriptor or the descriptor address information, and the write command transmission component is configured to send to the write data moving component a write

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

command, which is obtained on the basis of the read descriptor. The read data moving component is configured to execute the read command, and the write data moving component is configured to execute the write command. The architecture can implement parallel processing of reading and writing and is highly efficient.

(57) 摘要: 本申请公开了内存直接访问架构, 包括内存直接访问控制部件、读数据搬移部件、写数据搬移部件和数据存储部件; 内存直接访问控制部件包括控制寄存器、读描述符存储部件、写描述符存储部件、读命令传输部件、写命令传输部件; 控制寄存器设置为被主机设置得到描述符地址信息; 读描述符存储部件设置为存储利用控制寄存器得到的读描述符; 写描述符存储部件设置为存储利用控制寄存器得到的写描述符; 读命令传输部件设置为向读数据搬移部件发送基于读描述符或描述符地址信息得到的读命令; 写命令传输部件设置为向写数据搬移部件发送基于读描述符得到的写命令; 读数据搬移部件设置为执行读命令, 写数据搬移部件设置为执行写命令; 该架构能够读写并行处理, 效率高。

内存直接访问架构、系统、方法、电子设备和介质

相关申请的交叉引用

本申请要求于 2022 年 4 月 2 日提交中国专利局，申请号为 202210340235.X，申请名称为“内存直接访问架构、系统、方法、电子设备和介质”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及计算机技术领域，特别涉及一种内存直接访问架构、系统、方法、电子设备和介质。

背景技术

PCI-Express (peripheral component interconnect express) 是一种高速串行计算机扩展总线标准，PCIE 具有两种数据传输方式：1、DMA(Direct Memory Access, 直接内存访问)，在该模式下，数据传送不是由 CPU (Central Processing Unit, 中央处理器) 负责处理，而是由一个特殊的处理器 DMA 控制器来完成，因此占用极少的 CPU 资源；2、PIO(Programmed Input-Output, 可编程输入输出)，在该模式下，数据传送由 CPU 执行 I/O 端口指令来按照字节或更大的数据单位来处理，占用大量的 CPU 资源，数据传输速度也大大低于 DMA 模式。故此，DMA 模式优于 PIO 模式。

目前实现 DMA 的方式是有两种，链式 DMA 与块 DMA 方式。在 DMA 传输数据的过程中，要求源物理地址和目标物理地址必须是连续的。但是在某些计算机体系中，连续的存储器地址在物理上不一定是连续的，所以 DMA 传输要分成多次完成。如果在传输完一块物理上连续的数据后引起一次中断，然后再由主机进行下一块物理上连续的数据传输，则为块 DMA 方式。链式 DMA 方式则不同，它使用一个链表描述物理上不连续的存储空间，然后把链表首地址告诉 DMA 控制器。DMA 控制器在传输完一块物理连续的数据后，不用发起中断，而是根据链表来传输下一块物理上连续的数据，直到传输完毕后再发起一次中断。然而，当前链式 DMA 的传输效率仍较低。

因此，相关技术存在的链式 DMA 的传输效率仍较低的问题，尚未提出有效的解决方案。

发明内容

有鉴于此，本申请的目的在于提供一种内存直接访问架构、系统、方法、电子设备和介质，提高了 DMA 的传输效率。

为解决上述技术问题，本申请提供了一种内存直接访问架构，应用于数字电路，包括内存直接访问控制部件、读数据搬移部件、写数据搬移部件和数据存储部件；所述内存直接访问控制部件包括控制寄存器、读描述符存储部件、写描述符存储部件、读命令传输部件、写命令传输部件；所述控制寄存器设置为被主机设置得到描述符地址信息；所述读描述符存储部件设置为存储利用控制寄存器得到的读描述符；所述写描述符存储部件设置为存储利用控制寄存器得到的写描述符；所述读命令传输部件设置为向所述读数据搬移部件发送基于读描述符或所述描述符地址信息得到的读命令；所述写命令传输部件设置为向所述写数据搬移部件发送基于读描述符得到的写命令；所述读数据搬移部件设置为执行所述读命令，所述写数据搬移部件设置为执行所述写命令，所述数据存储部件设置为存储所述读命令执行后得到的读数据。

本申请还提供了一种电子设备，所述电子设备应用了上述的内存直接访问架构。

本申请还提供了一种内存直接访问系统，包括主机和上述的电子设备，所述主机和所述电子设备通过目标总线连接。

本申请还提供了一种内存直接访问方法，应用于上述的电子设备，所述方法包括：若检测到内存直接访问控制部件的控制寄存器被触发，则获取描述符地址信息；利用所述内存直接访问控制部件，基于所述描述符地址信息生成描述符读命令；利用读数据搬移部件执行所述描述符读命令，得到描述符，并将所述描述符写入所述内存直接访问控制部件的描述符存储部件；利用所述内存直接访问控制部件，基于所述描述符生成访问命令；基于所述访问命令的种类，利用读数据搬移部件或写数据搬移部件执行所述访问命令。

本申请还提供了一种计算机可读存储介质，用于保存计算机程序，其中，所述计算机程序被处理器执行时实现上述的内存直接访问方法。

本申请提供的内存直接访问架构，应用于数字电路，包括内存直接访问控制部件、读数据搬移部件、写数据搬移部件和数据存储部件；内存直接访问控制部件包括控制寄存器、读描述符存储部件、写描述符存储部件、读命令传输部件、写命令传输部件；控制寄存器设置为被主机设置得到描述符地址信息；读描述符存储部件设置为存储利用控制寄存器得到的读描述符；写描述符存储部件设置为存储利用控制寄存器得到的写描述符；读命令传输部件设

置为向读数据搬移部件发送基于读描述符或描述符地址信息得到的读命令；写命令传输部件设置为向写数据搬移部件发送基于读描述符得到的写命令；读数据搬移部件设置为执行读命令，写数据搬移部件设置为执行写命令，数据存储部件设置为存储读命令执行后得到的读数据。

可见，该架构中设置了读数据搬移部件和写数据搬移部件，分别设置为执行读命令和写命令，此外还分别对应设置了读描述符存储部件和写描述符存储部件，使得数字电路能够读写并行处理。此外，读数据搬移部件还能够执行描述符地址信息得到的读命令，能够实现对描述符的搬移，利用同一套部件完成对描述符以及数据的搬移，节省硬件资源。

此外，本申请还提供了一种系统、方法、电子设备和介质，同样具有上述有益效果。

附图说明

为了更清楚地说明本申请实施例或相关技术中的技术方案，下面将对实施例或相关技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据提供的附图获得其他的附图。

图 1 为本申请实施例提供的一种内存直接访问架构的结构示意图；

图 2 为本申请实施例提供的一种主机内存的结构示意图；

图 3 为本申请实施例提供的一种具体的主机内存的机构示意图；

图 4 为本申请实施例提供的一种数据搬移的过程示意图；

图 5 为本申请实施例提供的一种内存直接访问方法的流程图；

图 6 为本申请实施例提供的一种主机内存写入流程图；

图 7 为本申请实施例提供的一种主机内存读取流程图。

具体实施方式

为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

当前，链式 DMA 存在传输效率较低的问题，具体包括在读取数据时不支持数据乱序接

收、无法与标准总线互连、无法进行读写并行处理、带宽利用率较低等问题。

为了解决上述问题，本申请提出了一种新的内存直接访问架构，该架构应用于数字电路，具体可以为现场可编程逻辑门阵列（Field Programmable Gate Array, FPGA）电路，或者可以为数字集成（digital integrated circuit, 数字 IC）电路。整个架构包括内存直接访问控制部件、读数据搬移部件、写数据搬移部件和数据存储部件，内存直接访问控制部件进一步包括控制寄存器、读描述符存储部件、写描述符存储部件、读命令传输部件、写命令传输部件。

请参考图 1，图 1 为一种具体的实施方式，其中示出了内存直接访问控制部件 DMA Descriptor Controller，读数据搬移部件 PCIe Read DMA Data Mover，写数据搬移部件 PCIe Write DMA Data Mover，数据存储部件 DDR&RAM。内存直接访问控制部件进一步包括控制寄存器 Control Register、读描述符存储部件 Read Descriptor Table Slave、写描述符存储部件 Write Descriptor Table Slave、读命令传输部件 Read DMA Control Source、写命令传输部件 Write DMA Control Source。

其中，控制寄存器设置为被主机设置得到描述符地址信息，具体的，主机能够设置控制寄存器的寄存器值，使得控制寄存器能够根据写入的寄存器值定位描述符，即得到描述符地址，进而从主机内存中读出描述符，以便进一步根据描述符执行 DMA 读写。在一种实施方式中，控制寄存器（或者可以称为 DMA 描述符控制寄存器）通过 BAR（Base Address register，基地址寄存器）空间访问，例如可以对应于 PCIe 总线的 BAR0，在这种情况下，控制寄存器对应的地址偏移量可以为 0x0000，需要注意的是，该地址偏移量可以根据需要进行设置，具体不做限定。

在一种实施方式中，控制寄存器的结构可以如下所示：

表1 读状态控制寄存器的结构示意图

地址 偏移量	寄存器	访问 权限	描述
0x0000	RC Read Status and Descriptor Base (Low)	R/W	RC 端读状态以及描述符表的存储地址-低 32bit, 共 64bit。该地址必须位于 32byte 的地址边界上。
0x0004	RC Read Status and Descriptor Base (High)	R/W	RC 端读状态以及描述符表的存储地址-高 32bit。
0x0008	EP Read Descriptor FIFO Base (Low)	RW	读描述符 FIFO 地址-低 32bit, 共 64bit。此处的地址是 FPGA 内部总线地址。
0x000C	EP Read Descriptor FIFO Base (High)	RW	读描述符 FIFO 地址-高 32bit 地址。
0x0010	RD_DMA_LAST_PTR	RW	表示最后一个描述符 ID, 用于在连续读写时指示执行到什么情况下停止。
0x0014	RD_TABLE_SIZE	RW	指定读描述符表格的大小, 设置为最大描述符数量-1。例如该值可以为 127。这个值指定了最大的描述符 ID。如果要改变 RC Read Status and Descriptor Base 地址, 在此之前, RD_TABLE_SIZE 以内所有的描述符必须被执行完毕。
0x0018	RD_CONTROL	RW	[31:1] 保留。[0]Done。当设置为 1, 描述符控制器为每个完成的描述符在状态表中写 done 比特位。当没有设置该寄存器, 只在 RD_DMA_LAST_PTR 指定的描述符完成后写相应的 done 比特位。同时, 在最后一个描述符完成后需要发送 MSI 中断。
0x001C	RD_DMA_START	RW	返回值为 0, 写该寄存器 (任意值) 触发读 DMA 开始。

其中, MSI 为 Message Signal Interrupt, 是 PCIe 设备通过写一个特定消息到特定地址, 从而触发一个处理器中断的机制。RC, Root Complex, 根组件, 通常指主机, ED, End Point, 终端设备, 即本申请中的数字电路, 例如可以指 FPGA 电路。R 表示读 (Read), W 表示写 (Write)。

在一种实施方式中, 读描述符存储部件和写描述符存储部件为先入先出存储器, 读描述符存储部件和写描述符存储部件被预先定义了存储地址。FIFO 为 First Input First Output, 先入先出队列, 或称为先入先出存储器, 在该实施方式中, 描述符在数字电路中被存放于 FIFO 中, 并为 FIFO 赋予地址, 使得其能够被地址标识, 以便使得该数字电路能够与标准总线互连, 便于开发。相应的, 控制寄存器包括源地址寄存器、目的地址寄存器、描述符大小寄存器、触发寄存器, 其中, 目的地址寄存器设置为存储任一存储地址。

需要说明的是，上述的示例为读取读描述符时的配置，在读取写描述符时，该控制寄存器结构为：

表 2 写状态控制寄存器结构示意图

地址 偏移量	寄存器	访问 权限	描述
0x0100	RC Write Status and Descriptor Base (Low)	R/W	见读 DMA 描述符控制寄存器。
0x0104	RC Write Status and Descriptor Base (High)	R/W	见读 DMA 描述符控制寄存器。
0x0108	EP Write Descriptor FIFO Base (Low)	RW	见读 DMA 描述符控制寄存器。
0x010C	EP Write Descriptor FIFO Base (High)	RW	见读 DMA 描述符控制寄存器。
0x0110	WR_DMA_LAST_PTR	RW	见读 DMA 描述符控制寄存器。
0x0114	WR_TABLE_SIZE	RW	见读 DMA 描述符控制寄存器。
0x0118	WR_CONTROL	RW	见读 DMA 描述符控制寄存器。
0x011C	WR_DMA_START	RW	返回值为 0，写该寄存器（任意值）触发写 DMA 开始。

二者区别在于，在该状态下，DMA 描述符控制寄存器的起始地址偏移量被设置为 0x0100，当然，该地址偏移量同样可以根据需要进行设置，具体不做限定。

其中，RC Write Status and Descriptor Base (Low)和 RC Write Status and Descriptor Base (High)，或者 RC Read Status and Descriptor Base (Low)和 RC Read Status and Descriptor Base (High)，构成描述符地址信息，根据该描述符地址信息，能够定位读描述符或写描述符，进而进行读取。

内存直接访问控制部件能够根据描述符或者描述符地址信息生成对应的读命令或写命令，读数据搬移部件和写数据搬移部件中同样具有控制器，例如图 1 中的 Read DMA Data Master 和 Write DMA Data Master，设置为控制指令执行。为了能够实现读写并行处理，本申请设置有读描述符存储部件和写描述符存储部件，其中，读描述符存储部件设置为存储利用控制寄存器得到的读描述符，写描述符存储部件设置为存储利用控制寄存器得到的写描述符。读描述符为指示数字电路从主机中读取数据到自身的描述符，写描述符为指示数字电路将自身的数据写入到主机中的描述符。与二者相配合工作的是读命令传输部件和写命令传输部件，读命令传输部件设置为向读数据搬移部件发送基于读描述符得到的读命令，或者基于描述符地址信息得到的读命令，可以理解的是，基于描述符地址信息得到的读命令即设置为读取描述符的命令，通过该方式，可以利用同一套部件完成对描述符以及数据的搬移，节省

硬件资源。写命令传输部件设置为向写数据搬移部件发送基于读描述符得到的写命令。此外，还包括读数据搬移部件和写数据搬移部件，读数据搬移部件设置为执行读命令，写数据搬移部件设置为执行写命令，数据存储部件设置为存储读命令执行后得到的读数据。

具体的，描述符预先存储在主机中，具体的，主机内存中具有描述符表，描述符表具有存储若干数量的描述符的空间，具体数量不做限定，例如可以为 128 个，每个描述符对应的空间大小不做限定，例如可以为 8 个 word，或者可以为 32 个字节。此外，在另一种实施方式中，描述符表中还可以存在与各个描述符分别一一对应的状态表，状态表中的数据能够根据描述符的执行情况进行更新，在主机需要时，能够读取状态表中的数据，确定各个描述符的执行情况，在必要时，可以更新已经被执行完毕的描述符，以便数字电路能够连续不断地进行数据读写，提高效率。

本实施例并不限定状态表和描述符表的具体形式，在一种实施方式中，请参考图 2，图 2 示出了一种主机内存结构，主机内存中采用状态表+描述符表的形式，前面是状态表，后面是描述符表。状态表的地址可以为 RC Write Status and Descriptor Base 或者 RC Read Status and Descriptor Base 地址，在这种情况下，描述符表的地址即为基地址+偏移地址，偏移地址与状态表的总体大小相关，例如图 2 所示，当有 128 个状态表，每个状态表 32 个比特位时，偏移地址为 0x200。每个状态表中有 31 个比特位为预留操作位 (reserved)，另一个为标识操作位 (done)，标识操作位用于表示对应的描述符的执行状态。

描述符的具体结构不做限定，可以根据需要进行设置。具体的，在一种实施方式中，读描述符的结构可以为：

表 3 读描述符结构示意图

地址 偏移	寄存器名称	描述
0x00	RD_LOW_SRC_ADDR	读 DMA 源地址-低字节, PCIe 系统内存地址。
0x04	RD_HIGH_SRC_ADDR	读 DMA 源地址-高字节。
0x08	RD_CTRL_LOW_DEST_ADDR	读 DMA 目的地址-低字节, FPGA 内部总线地址。
0x0C	RD_CTRL_HIGH_DEST_ADDR	读 DMA 目的地址-高字节。
0x10	CONTROL	• [31:25] 保留。 • [24:18] 指定描述符的 ID, 最大为 127。 • [17:0] 传输大小, 单位为 DWORD (4Byte)。不能为 0。传输范围为 (1 MB - 4 bytes), 超出后按照边界处理。
0x14 - 0x1C	Reserved	N/A

相应的, 写描述符的结构可以为:

表 4 写描述符结构示意图

地址 偏移	寄存器名称	描述
0x00	WR_LOW_SRC_ADDR	写 DMA 源地址-低字节, FPGA 内部总线地址。
0x04	WR_HIGH_SRC_ADDR	写 DMA 源地址-高字节。
0x08	WR_CTRL_LOW_DEST_ADDR	写 DMA 目的地址-低字节, PCIe 系统内存地址。
0x0C	WR_CTRL_HIGH_DEST_ADDR	写 DMA 目的地址-高字节。
0x10	CONTROL	• [31:25] 保留。 • [24:18] 指定描述符的 ID, 最大为 127。 • [17:0] 传输大小, 单位为 DWORD (4Byte)。不能为 0。传输范围为 (1 MB - 4 bytes), 超出后按照边界处理。
0x14 - 0x1C	Reserved	N/A

描述符的具体内容不做限定, 可以根据实际需要进行设置, 例如请参考图 3, 图 3 中示出了三个描述符的具体内容, 即 descriptor 0、descriptor 1 和 descriptor 2。请参考图 4, 图 4 为本申请实施例提供的一种数据搬移的过程示意图, 具体为将三个数据块从主机内存移动到 FPGA 总线地址空间。

为了完成该操作，主机首先需要计算需要分配所需的内存空间大小，在一种实施方式中，每个状态表中的条目为 4 字节，128 个条目即需要 512 字节的内存；每个描述符的大小为 32 个字节，以图 2 和图 3 为例，三个描述符需要 96 字节的内存，因此状态表和描述符表的总内存分配为 608 字节。

然后，主机在 PCI Express 地址空间中分配 608 字节的内存，具体的，分配内存的起始地址可以是 0xf000_0000，将此地址写入 Root Complex Read Status and Descriptor 寄存器中。基地址为 0xf000_0000，那么第一个描述符的地址即为基地址 + 偏移地址，即 0xf000_0000+0x200，因此在主机内存空间的 0xf000_0204 中写入高 32bit 源地址 0，在 0xf000_0200 中写入低 32bit 源地址 0x1000_0000，在 0xf000_0200c 中写入高 32bit 目的地址 0，在 0xf000_0208 中写入低 32bit 目的地址 0x5000_0000，在 0xf000_0210 中写入 0x0000_4000 发送 16Kdwords (64KB)，描述符 ID 为 0，完成对第一个描述符的具体设置。重复该步骤两次，完成剩余两个描述符的设置，完成后的效果图即为图 3。

主机通过 bar0 配置控制寄存器，以便控制寄存器读取读状态描述符基地址，具体可以使用 64 位地址。即主机在 0x0000_0004 中写入 0x0000_0000 - 高 32bit 读状态描述符基地址，并在 0x0000_0000 中写入 0xF000_0000 - 低 32bit 读状态描述符基地址。数字电路能够在此基础上+0x200 得到描述符地址。

进一步的，主机通过 bar0 配置控制寄存器的 FIFO 地址，由于 FIFO 本身没有地址的概念，为了使其能够适配标准总线，在使用总线接口的 FIFO 时，需要定义该 FIFO 的地址。具体的，可以在 0x0000_000C 中写入 0x0000_0000 - 高 32bitFIFO 地址，并在 0x0000_0008 中写入 0x0100_0000 - 低 32bitFIFO 地址。此时，该 FIFO 在 FPGA 内部总线上对应的地址为 0x0100_0000。

然后，主机写寄存器 RD_DMA_LAST_PTR，即在 0x0000_0010 写入 0x2，表示共有 3 个描述符。

最后，主机在 0x0000_001c 写入任意值，以便启动数字电路的 DMA 操作。

在上述的内存直接访问架构的基础上，该架构内还可以进一步增加其他部件，以便提高其性能。具体的，在一种实施方式中，内存直接访问控制部件设置为接收读数据搬移部件和写数据搬移部件发送的搬移完毕通知。具体的，请参考图 1，DMA Descriptor Controller 中包括 Read DMA Status Sink（可称为读状态获取部件）和 Write DMA Status Sink（可称为写状态获取部件），分别与 Read DMA Status Source（读状态生成部件）和 Write DMA Status Source（写状态生成部件）相连，Read DMA Status Source 和 Write DMA Status Source 分别

在执行完描述符、或读命令/写命令后生成搬移完毕通知并发送至 Read DMA Status Sink 和 Write DMA Status Sink，使得控制寄存器得知其状态。内存直接访问控制部件包括状态更新部件，例如图 1 中的 Status&MSI 部件，状态更新部件设置为在检测到目标描述符执行完毕后，更新主机的系统内存中目标描述符对应的目标状态位数据。具体的，其可以通过 Reg&Status&MSI Manager（可称为状态和中断管理部件）中的 TX Slave（可称为状态和中断上报部件）更新主机内的目标描述符对应的目标状态表中的目标状态位数据。具体的，可以通过 TX Slave 生成 MWr 写数据包，并将其通过 PCIe 总线发送给主机。

需要说明的是，为了能够实现读写并行的效果，在本申请中，在主机处可以分别划分两个独立的内存空间，分别用于存储读描述符和对应的状态表，以及写描述符和对应的状态表。在完成后，数字电路可以发送中断信号，主机可以通过判断哪一个内存空间中的状态表均为完成状态，来确定是读完成还是写完成。

进一步的，内存直接访问控制部件包括中断上报部件，中断上报部件设置为在检测到目标描述符执行完毕后，向主机发送中断消息。继续参考图 1，图 1 中 Reg&Status&MSI Manage（可称为状态和中断管理部件）中的 TX Slave 同样可以承担中断上报的功能，DMA Descriptor Controller 中的 Status&MSI 部件可以作为中断上报部件，与 TX Slave 配合生成 MWr 写数据包，并将其通过 PCIe 总线发送给主机，起到中断上报的效果。可以理解的是，中断上报和状态位数据更新对应的 MWr 写数据包的内容不同。

此外，在读数据的场景下，若同时读取多个数据包，读取的各个数据包可能会出现不按照读取顺序的其他顺序被获取，为了避免数据错误，通常会在一个时刻仅读取一个数据包，这样会使得带宽无法被充分利用。为了解决该问题，本申请中内存直接访问架构中还包括先入先出缓存器，先入先出缓存器设置为缓存读命令执行后得到的读数据包。此外，各个读数据包包括与读命令对应的数据包标签，读数据包按照数据包标签进行先后顺序排列得到读数据。通过在先入先出缓存器中对多个数据包进行缓存，配合数据包读取时根据读命令得到的数据包标签，可以对各个数据包进行排序后存储，实现在一个时刻同时读取多个数据包，充分利用带宽的效果。

可以理解的是，在读写并行，以及同时进行状态表更新或中断上报时，数字电路需要与主机进行多类型且高频的交互，为了保证数据交互的正常，内存直接访问架构中可以包括与目标总线连接的通讯部件。通讯部件设置为向目标总线发送第一数据包，或者设置为从目标总线上获取第二数据包，并基于第二数据包的数据包类型，将第二数据包发送至对应的部件。第一数据包，是指数字电路能够生成的任意一种数据包，例如写数据包，或者可以为终

端数据包。第二数据包，是指从主机获取的任意一种类型的数据包，例如读数据包。请参考图 1，图 1 中的 Schedule（即 AXI-ST Schedule，表示基于 AXI 总线的通讯部件）即为通信部件。

上述的数字电路可以单独作为一个设备工作，或者可以集成至其他的电子设备中，即电子设备可以应用上述的内存直接访问架构。该电子设备可以通过目标总线，例如 PCIe 总线，与主机相连，共同组成内存直接访问系统。

请参考图 5，图 5 为本申请实施例提供的一种内存直接访问方法的流程图。该方法包括：

S101：若检测到内存直接访问控制部件的控制寄存器被触发，则获取描述符地址信息。

S102：利用内存直接访问控制部件，基于描述符地址信息生成描述符读命令。

S103：利用读数据搬移部件执行描述符读命令，得到描述符，并将描述符写入内存直接访问控制部件的描述符存储部件。需要说明的是，描述符的数量不做限定，类型可以为读描述符和/或写描述符。

S104：利用内存直接访问控制部件，基于描述符生成访问命令。

S105：基于访问命令的种类，利用读数据搬移部件或写数据搬移部件执行访问命令。

可以理解的是，访问命令可以读命令或者为写命令。

具体的，请参考图 6，图 6 为本申请实施例提供的一种主机内存写入流程图，其中包括如下步骤：

1、主机 CPU 设置 DMA 描述符控制寄存器，启动 DMA 流程。

2、控制寄存器命令读数据搬移器获取上位机（即主机，host）内的描述符表内描述符。

3、将获取的描述符存入 FPGA 内部写描述符 FIFO（即 Read Descriptor Table Slave）中。

4、控制寄存器命令写数据搬移器传输数据。

5、写数据搬移器将数据从 FPGA 的 DDR（Double Data Rate，双倍速率同步动态随机存储器）或者 ram（Random Access Memory，随机存取存储器）中取数据，组成 MWr（存储写）TLP 包，将数据搬移到 Host 系统内存中。

6、写数据搬移器生成 done bit 通知（即搬移完毕通知），发送至控制寄存器，以便通知控制寄存器完成数据传输。

- 7、更新 Host 系统内存中对应 ID 的描述符状态位。
- 8、控制寄存器向主机发送 MSI 中断。

请参考图 7，图 7 为本申请实施例提供的一种主机内存读取流程图，其中包括如下步骤：

- 1、主机 CPU 设置 DMA 描述符控制寄存器，启动 DMA 流程。
- 2、控制寄存器命令读数据搬移器获取上位机内的描述符表内描述符。
- 3、将获取的描述符存入 FPGA 内部读描述符 FIFO 中。
- 4、控制寄存器命令读数据搬移器发送 MRd（内存读）TLP 包，每个 TLP 数据包具有 tag（即数据包标签），tag 基于报文管理生成。
- 5、读数据搬移器将数据从 Host 系统内存搬移到 FPGA，利用 16 个 FIFO（即先入先出缓存器）接收 CplID（读数据包），每个读数据包中具有对应的 tag，依据 tag 进行数据定序处理，将数据写到相应的总线上。
- 6、读数据搬移器使用 done bit 通知发送至控制寄存器，以便通知控制寄存器完成数据传输。
- 7、更新 Host 系统内存中对应 ID 的描述符状态位。
- 8、控制寄存器向主机发送 MSI 中断。

应用本申请实施例提供的内存直接访问架构，设置了读数据搬移部件和写数据搬移部件，分别设置为执行读命令和写命令，此外还分别对应设置了读描述符存储部件和写描述符存储部件，使得数字电路能够读写并行处理。此外，读数据搬移部件还能够执行描述符地址信息得到的读命令，能够实现对描述符的搬移，利用同一套部件完成对描述符以及数据的搬移，节省硬件资源。

下面对本申请实施例提供的电子设备进行介绍，下文描述的电子设备与上文描述的内存直接访问方法可相互对应参照。

其中电子设备 100 应用了上述的内存直接访问架构，该电子设备 100 具体可以包括处理器 101 和存储器 102，还可以进一步包括多媒体组件 103、信息输入/信息输出（I/O）接口 104 以及通信组件 105 中的一种或多种。

其中，处理器 101 设置为控制电子设备 100 的整体操作，以完成上述的内存直接访问方法中的全部或部分步骤；存储器 102 设置为存储各种类型的数据以支持在电子设备 100 的操作，这些数据例如可以包括用于在该电子设备 100 上操作的任何应用程序或方法的指令，以

及应用程序相关的数据。该存储器 102 可以由任何类型的易失性或非易失性存储设备或者它们的组合实现，例如静态随机存取存储器（Static Random Access Memory, SRAM）、电可擦除可编程只读存储器（Electrically Erasable Programmable Read-Only Memory, EEPROM）、可擦除可编程只读存储器（Erasable Programmable Read-Only Memory, EPROM）、可编程只读存储器（Programmable Read-Only Memory, PROM）、只读存储器（Read-Only Memory, ROM）、磁存储器、快闪存储器、磁盘或光盘中的一种或多种。

多媒体组件 103 可以包括屏幕和音频组件。其中屏幕例如可以是触摸屏，音频组件设置为输出和/或输入音频信号。例如，音频组件可以包括一个麦克风，麦克风设置为接收外部音频信号。所接收的音频信号可以被进一步存储在存储器 102 或通过通信组件 105 发送。音频组件还包括至少一个扬声器，设置为输出音频信号。I/O 接口 104 为处理器 101 和其他接口模块之间提供接口，上述其他接口模块可以是键盘，鼠标，按钮等。这些按钮可以是虚拟按钮或者实体按钮。通信组件 105 设置为电子设备 100 与其他设备之间进行有线或无线通信。无线通信，例如 Wi-Fi，蓝牙，近场通信（Near Field Communication，简称 NFC），2G、3G 或 4G，或它们中的一种或几种的组合，因此相应的该通信组件 105 可以包括：Wi-Fi 部件，蓝牙部件，NFC 部件。

电子设备 100 可以被一个或多个应用专用集成电路（Application Specific Integrated Circuit，简称 ASIC）、数字信号处理器（Digital Signal Processor，简称 DSP）、数字信号处理设备（Digital Signal Processing Device，简称 DSPD）、可编程逻辑器件（Programmable Logic Device，简称 PLD）、现场可编程门阵列（Field Programmable Gate Array，简称 FPGA）、控制器、微控制器、微处理器或其他电子元件实现，用于执行上述实施例给出的内存直接访问方法。

下面对本申请实施例提供的计算机可读存储介质进行介绍，下文描述的计算机可读存储介质与上文描述的内存直接访问方法可相互对应参照。

本申请还提供一种计算机可读存储介质，计算机可读存储介质上存储有计算机程序，计算机程序被处理器执行时实现上述的内存直接访问方法的步骤。

该计算机可读存储介质可以包括：U 盘、移动硬盘、只读存储器（Read-Only Memory, ROM）、随机存取存储器（Random Access Memory, RAM）、磁碟或者光盘等各种可以存储程序代码的介质。

本说明书中各个实施例采用递进的方式描述，每个实施例重点说明的都是与其它实施例

的不同之处，各个实施例之间相同或相似部分互相参见即可。对于实施例公开的装置而言，由于其与实施例公开的方法相对应，所以描述的比较简单，相关之处参见方法部分说明即可。

本领域技术人员还可以进一步意识到，结合本文中所公开的实施例描述的各示例的单元及算法步骤，能够以电子硬件、计算机软件或者二者的结合来实现，为了清楚地说明硬件和软件的可互换性，在上述说明中已经按照功能一般性地描述了各示例的组成及步骤。这些功能究竟以硬件还是软件的方式来执行，取决于技术方案的特定应用和设计约束条件。本领域技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应该认为超出本申请的范围。

结合本文中所公开的实施例描述的方法或算法的步骤可以直接用硬件、处理器执行的软件模块，或者二者的结合来实施。软件模块可以置于随机存储器（RAM）、内存、只读存储器（ROM）、电可编程 ROM、电可擦除可编程 ROM、寄存器、硬盘、可移动磁盘、CD-ROM、或技术领域内所公知的任意其它形式的存储介质中。

最后，还需要说明的是，在本文中，诸如第一和第二等之类的关系属于仅仅用来将一个实体或者操作与另一个实体或者操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语包括、包含或者其他任何变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。

本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想；同时，对于本领域的一般技术人员，依据本申请的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本申请的限制。

权 利 要 求 书

1、一种内存直接访问架构，应用于数字电路，包括内存直接访问控制部件、读数据搬移部件、写数据搬移部件和数据存储部件；

所述内存直接访问控制部件包括控制寄存器、读描述符存储部件、写描述符存储部件、读命令传输部件、写命令传输部件；

所述控制寄存器设置为被主机设置得到描述符地址信息；

所述读描述符存储部件设置为存储利用控制寄存器得到的读描述符；

所述写描述符存储部件设置为存储利用控制寄存器得到的写描述符；

所述读命令传输部件设置为向所述读数据搬移部件发送基于读描述符或所述描述符地址信息得到的读命令；

所述写命令传输部件设置为向所述写数据搬移部件发送基于读描述符得到的写命令；

所述读数据搬移部件设置为执行所述读命令，所述写数据搬移部件设置为执行所述写命令，所述数据存储部件设置为存储所述读命令执行后得到的读数据。

2、根据权利要求 1 所述的内存直接访问架构，其中，所述数字电路为现场可编程逻辑门阵列电路，或者为数字集成电路。

3、根据权利要求 1 所述的内存直接访问架构，其中，所述内存直接访问控制部件设置为接收所述读数据搬移部件和所述写数据搬移部件发送的搬移完毕通知；

所述内存直接访问控制部件包括状态更新部件，所述状态更新部件设置为在检测到目标描述符执行完毕后，更新所述主机的系统内存中所述目标描述符对应的目标状态位数据。

4、根据权利要求 1 所述的内存直接访问架构，其中，还包括先入先出缓存器，所述先入先出缓存器设置为缓存所述读命令执行后得到的读数据包；

所述读数据包包括与所述读命令对应的数据包标签，所述读数据包按照所述数据包标签先后顺序排列得到所述读数据。

5、根据权利要求 3 所述的内存直接访问架构，其中，所述内存直接访问控制部件包括中断上报部件，所述中断上报部件设置为在检测到所述目标描述符执行完毕后，向所述主机发送中断消息。

6、根据权利要求 1 所述的内存直接访问架构，其中，还包括与目标总线连接的通讯部件；

所述通讯部件设置为向所述目标总线发送第一数据包，或者设置为从所述目标总线上获取第二数据包，并基于所述第二数据包的数据包类型，将所述第二数据包发送至对应的部件。

7、根据权利要求 1 所述的内存直接访问架构，其中，所述读描述符存储部件和写描述符存储部件为先入先出存储器，所述读描述符存储部件和写描述符存储部件被预先定义了存储地址；

所述控制寄存器包括源地址寄存器、目的地址寄存器、描述符大小寄存器、触发寄存器，其中，所述目的地址寄存器设置为存储任一所述存储地址。

8、根据权利要求 1 所述的内存直接访问架构，其中，所述控制寄存器设置为通过基地址寄存器进行空间访问。

9、根据权利要求 1 所述的内存直接访问架构，其中，所述主机的系统内存中包括描述符表，其中，所述描述符表具有存储若干数量的描述符的空间。

10、根据权利要求 9 所述的内存直接访问架构，其中，所述描述符表包括与各个描述符一一对应的状态表，其中，所述状态表中的数据允许根据描述符的执行情况进行更新。

11、根据权利要求 9 所述的内存直接访问架构，其中，所述主机，设置为划分两个独立的内存空间，其中，所述两个独立的内存空间分别用于存储读描述符和读描述符对应的状态表，以及写描述符和写描述符对应的状态表。

12、根据权利要求 1 所述的内存直接访问架构，其中，所述主机，设置为配置所述控制寄存器，以使所述控制寄存器读取读描述符的基地址。

13、根据权利要求 1 所述的内存直接访问架构，其中，所述状态更新部件包括：读状态获取部件，与所述读数据搬移部件中的读状态生成部件连接，其中，所述读状态生成部件用于在读命令生成所述搬移完毕通知后，将所述搬移完毕通知发送至所述读状态读取部件。

14、根据权利要求 1 所述的内存直接访问架构，其中，所述状态更新部件包括：写状态获取部件，与所述写数据搬移部件中的写状态生成部件连接，其中，所述写状态生成部件用于在写命令生成所述搬移完毕通知后，将所述搬移完毕通知发送至所述写状态读取部件。

15、根据权利要求 6 所述的内存直接访问架构，其中，所述第一数据包包括以下至少之一：写数据包，终端数据包；所述第二数据包包括：读数据包。

16、一种电子设备，所述电子设备应用了如权利要求 1 至 15 任一项所述的内存直接

访问架构。

17、一种内存直接访问系统，包括主机和如权利要求 16 所述的电子设备，所述主机和所述电子设备通过目标总线连接。

18、一种内存直接访问方法，应用于如权利要求 16 所述的电子设备，所述方法包括：

若检测到内存直接访问控制部件的控制寄存器被触发，则获取描述符地址信息；

利用所述内存直接访问控制部件，基于所述描述符地址信息生成描述符读命令；

利用读数据搬移部件执行所述描述符读命令，得到描述符，并将所述描述符写入所述内存直接访问控制部件的描述符存储部件；

利用所述内存直接访问控制部件，基于所述描述符生成访问命令；

基于所述访问命令的种类，利用读数据搬移部件或写数据搬移部件执行所述访问命令。

19、根据权利要求 18 所述的内存直接访问方法，其中，所述方法还包括：在检测到所述目标描述符执行完毕后，向所述主机发送中断消息。

20、一种计算机可读存储介质，用于保存计算机程序，其中，所述计算机程序被处理器执行时实现如权利要求 10 所述的内存直接访问方法。

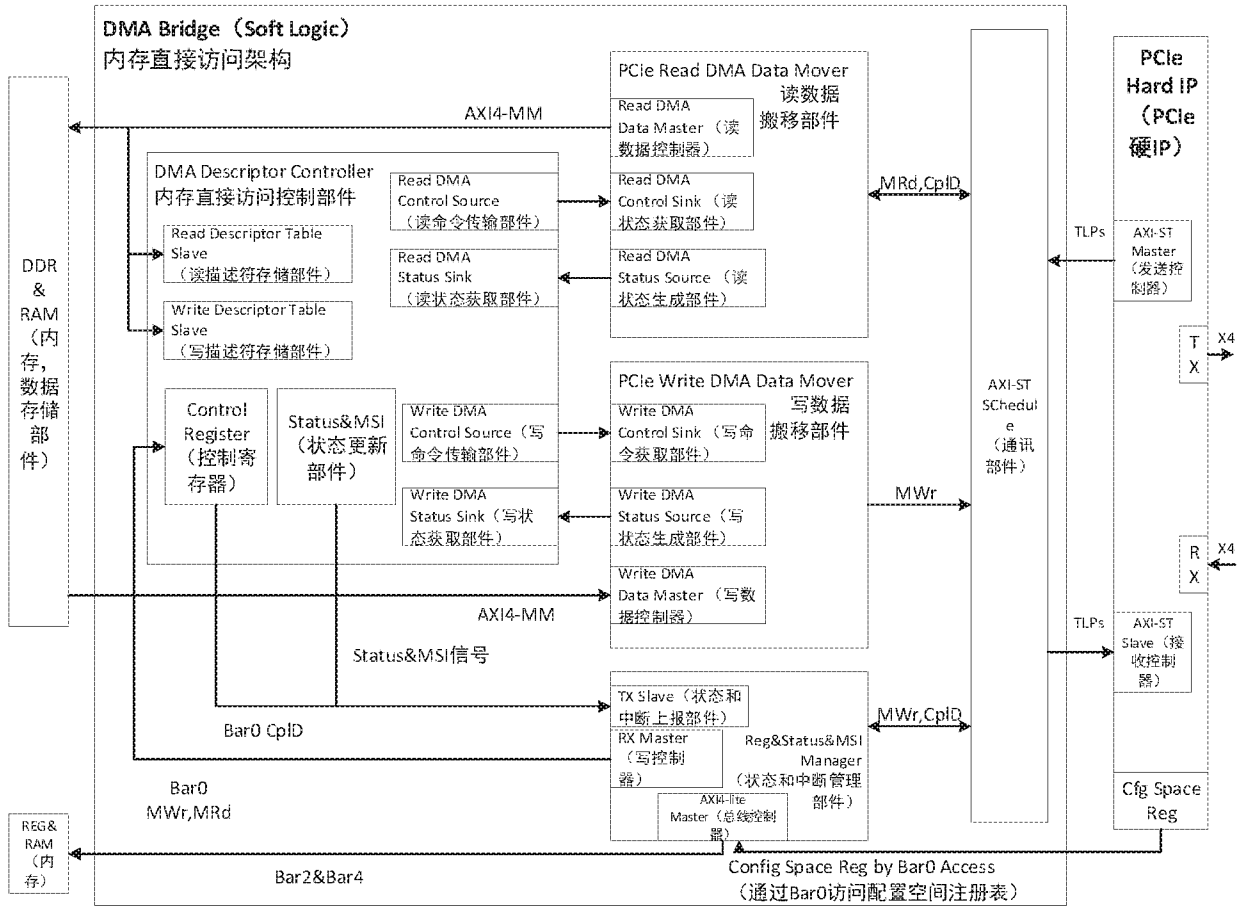


图 1

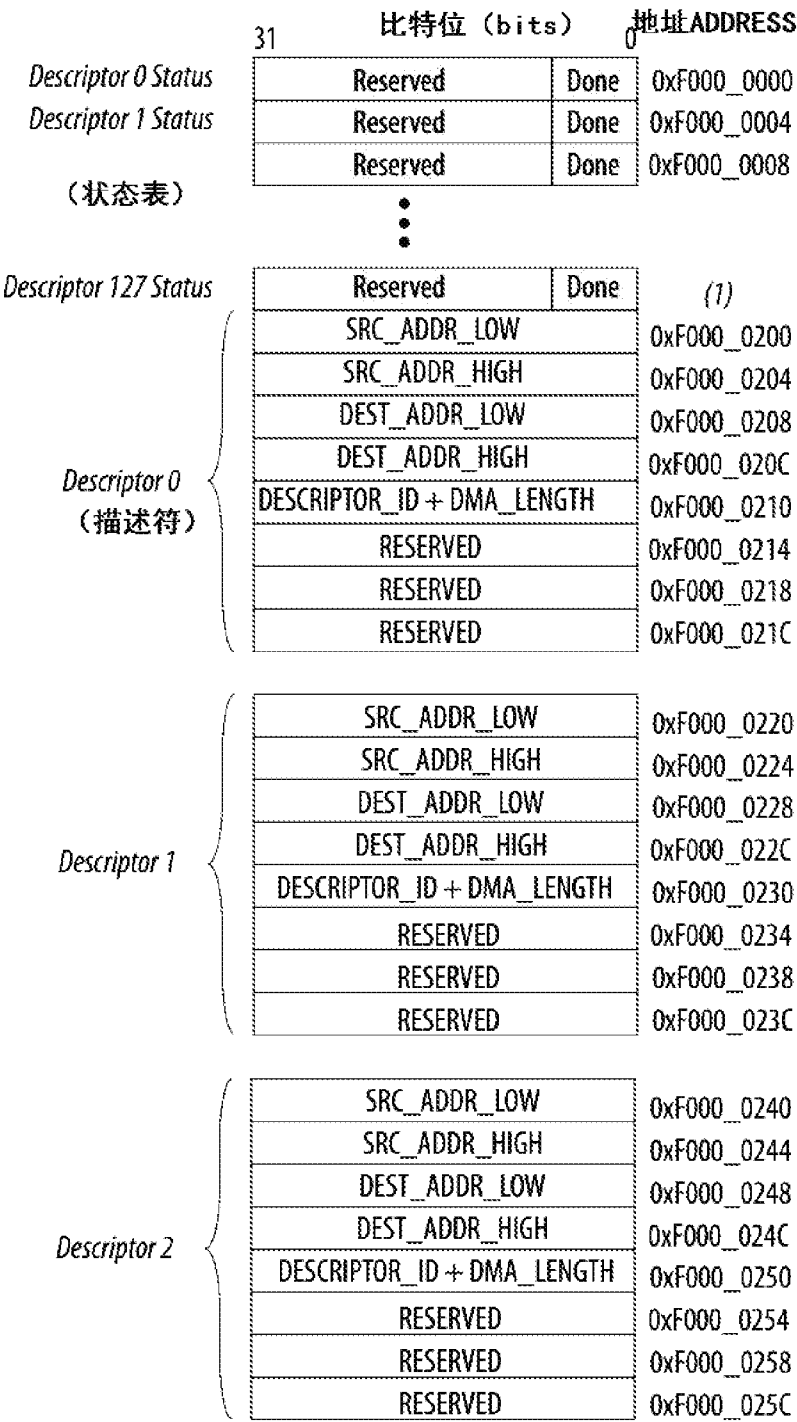


图 2

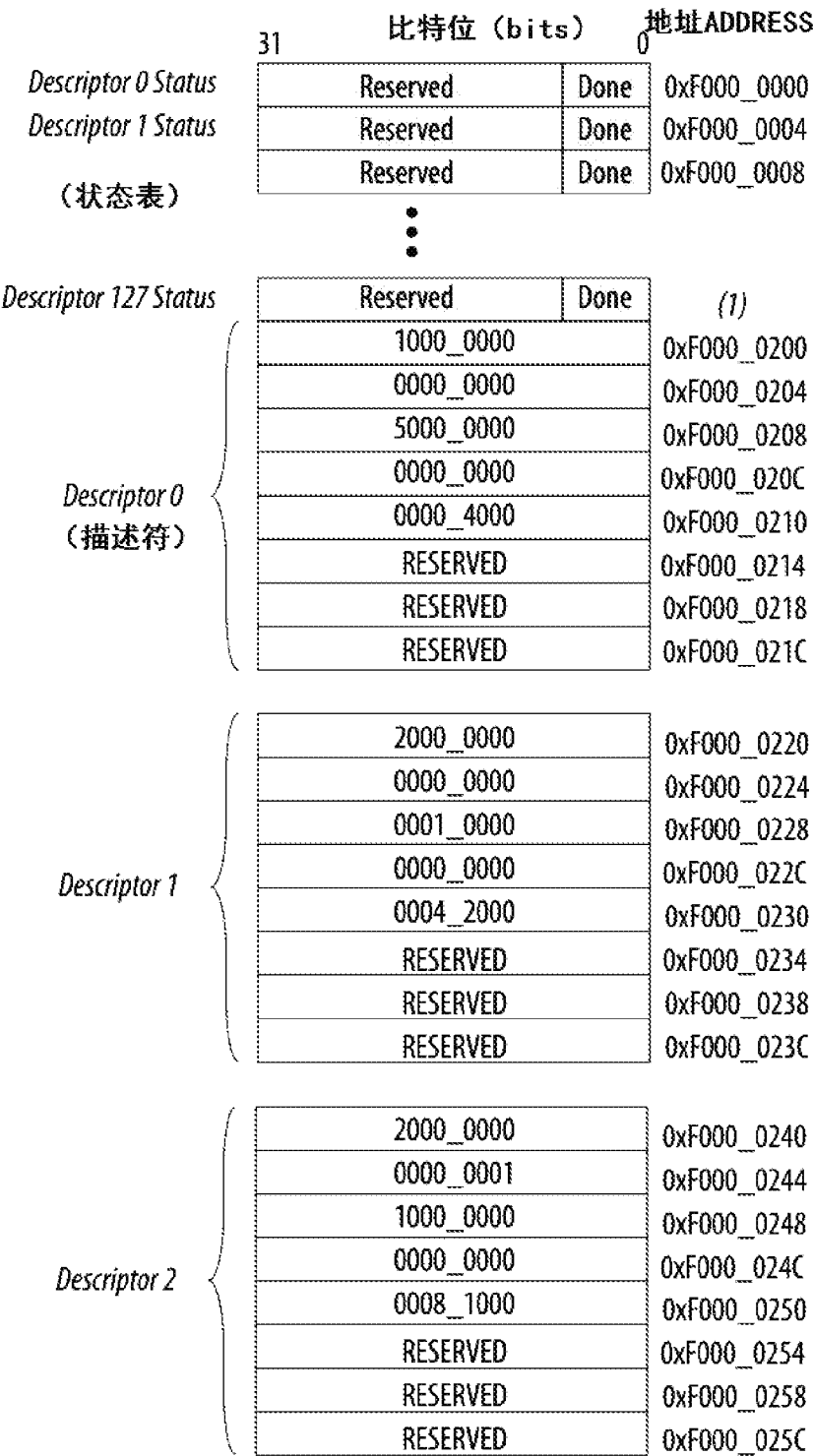


图 3

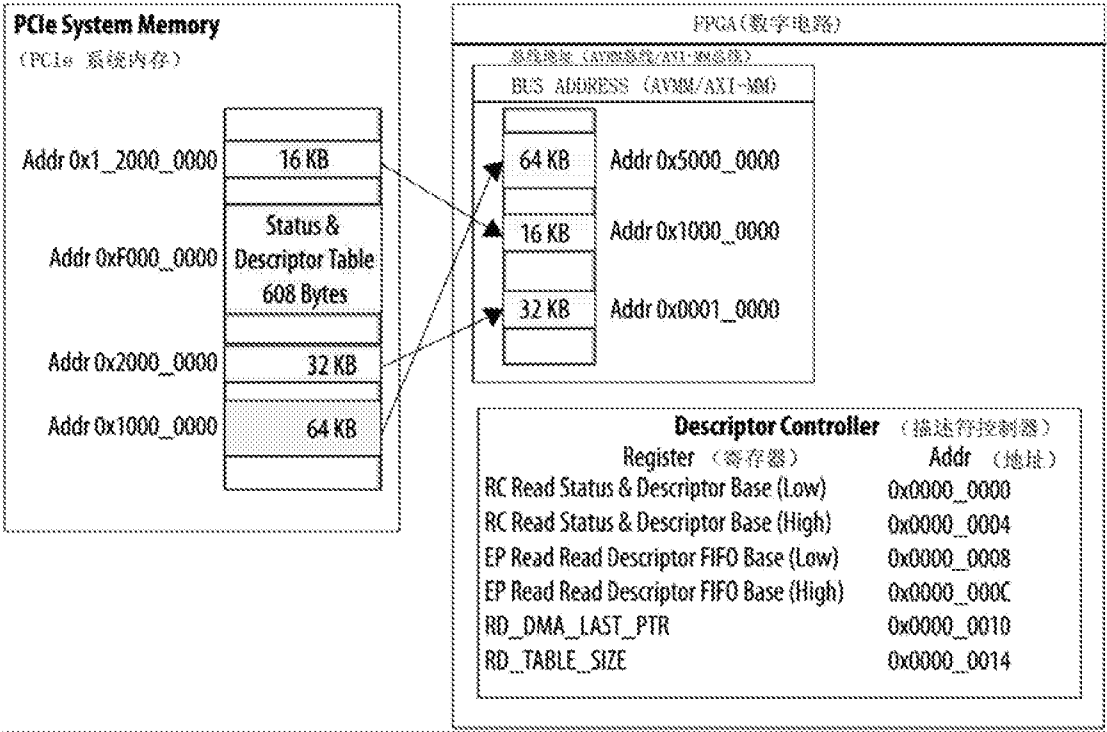


图 4

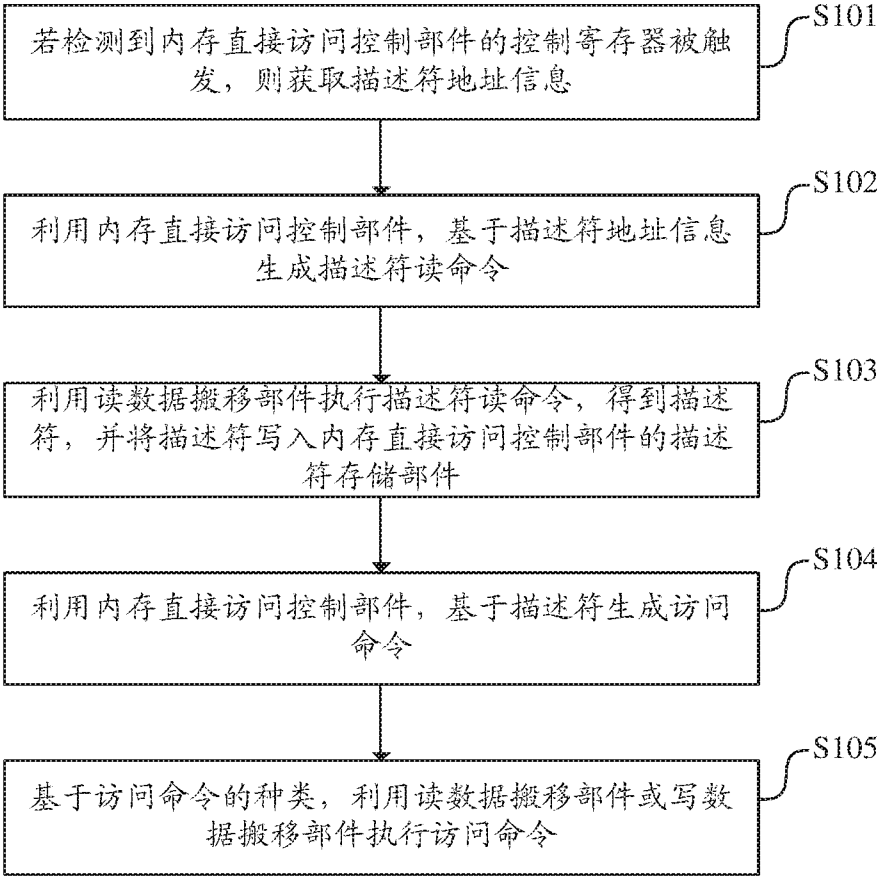


图 5

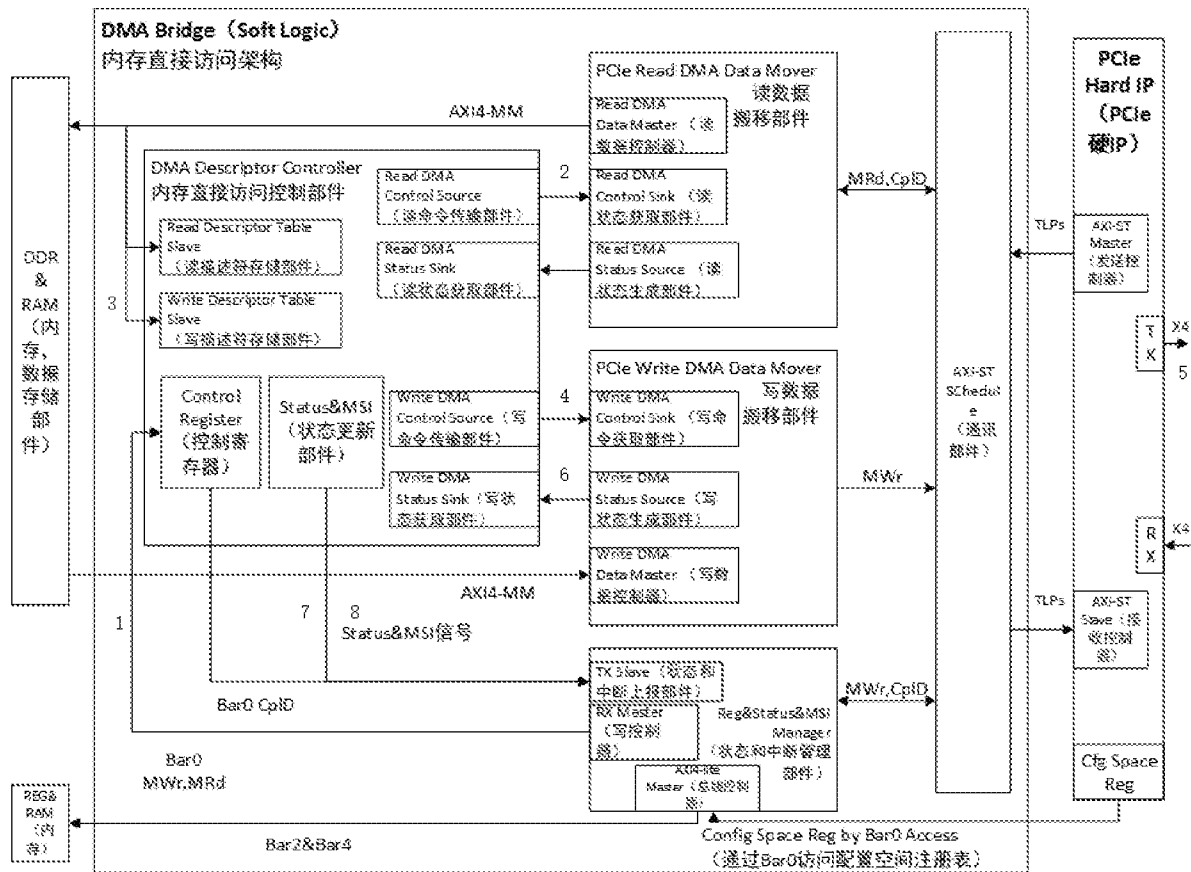


图 6

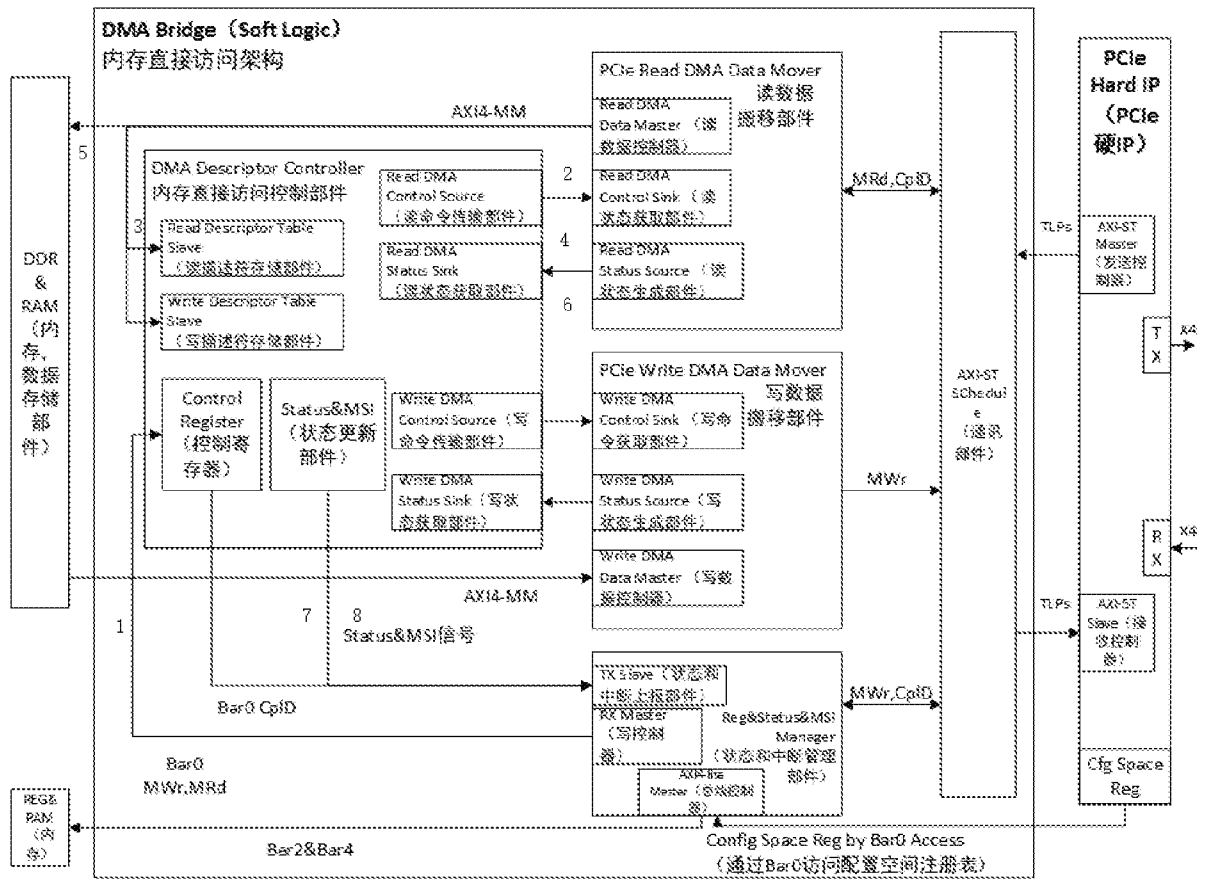


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/134792

A. CLASSIFICATION OF SUBJECT MATTER

G06F13/28(2006.01)i;G06F9/50(2006.01)i;G06F5/06(2006.01)i;G06F13/40(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; ENTXT; CNABS; WPABS; CJFD; DWPI; CNKI; IEEE: 内存直接访问, 描述符, 地址, 移动, 搬移, 寄存器, 读, 写, 数据, 存储器, DMA, descriptor?, address, mov+, register?, RTL, read, writ+, data, memor+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 114443529 A (INSPUR SUZHOU INTELLIGENT TECHNOLOGY CO., LTD.) 06 May 2022 (2022-05-06) claims 1-11, description, paragraphs 1-82, and figures 1-7	1-20
X	US 9053093 B1 (ALTERA CORP.) 09 June 2015 (2015-06-09) description, column 3, line 4-column 17, line 17, and figures 2-4	1-20
A	US 6145016 A (ADVANCED MICRO DEVICES INC.) 07 November 2000 (2000-11-07) entire document	1-20
A	US 7912997 B1 (XILINX INC.) 22 March 2011 (2011-03-22) entire document	1-20
A	CN 102841871 A (WUXI ZHONGZHI HEDA STORAGE TECHNOLOGY CO., LTD.) 26 December 2012 (2012-12-26) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 February 2023

Date of mailing of the international search report

10 February 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/134792

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	114443529	A	06 May 2022	CN 114443529 B	05 July 2022
US	9053093	B1	09 June 2015	None	
US	6145016	A	07 November 2000	None	
US	7912997	B1	22 March 2011	None	
CN	102841871	A	26 December 2012	CN 102841871 B	17 June 2015

国际检索报告

国际申请号

PCT/CN2022/134792

A. 主题的分类

G06F13/28(2006.01)i;G06F9/50(2006.01)i;G06F5/06(2006.01)i;G06F13/40(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称,和使用的检索词(如使用))

CNTXT;ENTXT;CNABS;WPABS;CJFD;DWPI;CNKI;IEEE:内存直接访问,描述符,地址,移动,搬移,寄存器,读,写,数
据,存储器,DMA,descriptor?,address,mov+,register?,RTL,read,writ+,data,memor+

C. 相关文件

类 型*	引用文件,必要时,指明相关段落	相关的权利要求
PX	CN 114443529 A (苏州浪潮智能科技有限公司) 2022年5月6日 (2022 - 05 - 06) 权利要求1-11,说明书第1-82段,附图1-7	1-20
X	US 9053093 B1 (ALTERA CORP) 2015年6月9日 (2015 - 06 - 09) 说明书第3栏第4行-第17栏第17行、附图2-4	1-20
A	US 6145016 A (ADVANCED MICRO DEVICES INC) 2000年11月7日 (2000 - 11 - 07) 全文	1-20
A	US 7912997 B1 (XILINX INC) 2011年3月22日 (2011 - 03 - 22) 全文	1-20
A	CN 102841871 A (无锡众志和达存储技术股份有限公司) 2012年12月26日 (2012 - 12 - 26) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件,或为确定另一篇引用文件的
公布日而引用的或者因其他特殊理由而引用的文件(如具体
说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布,与申请不相抵触,但为了理解
发明之理论或原理的在后文件“X” 特别相关的文件,单独考虑该文件,认定要求保护的发明不是
新颖的或不具有创造性“Y” 特别相关的文件,当该文件与另一篇或者多篇该类文件结合并
且这种结合对于本领域技术人员为显而易见时,要求保护的发
明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年2月5日

国际检索报告邮寄日期

2023年2月10日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

张慧玲

电话号码 (+86) 62412229

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/134792

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	114443529	A	2022年5月6日	CN 114443529 B	2022年7月5日
US	9053093	B1	2015年6月9日	无	
US	6145016	A	2000年11月7日	无	
US	7912997	B1	2011年3月22日	无	
CN	102841871	A	2012年12月26日	CN 102841871 B	2015年6月17日