

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2011-508354
(P2011-508354A)

(43) 公表日 平成23年3月10日(2011.3.10)

(51) Int.Cl.

G 11 C 16/06 (2006.01)
G 11 C 16/04 (2006.01)

F 1

G 11 C 17/00 635
G 11 C 17/00 622 E

テーマコード(参考)

5B125

審査請求 未請求 予備審査請求 未請求 (全 32 頁)

(21) 出願番号 特願2010-539660 (P2010-539660)
 (86) (22) 出願日 平成20年12月12日 (2008.12.12)
 (85) 翻訳文提出日 平成22年6月30日 (2010.6.30)
 (86) 国際出願番号 PCT/US2008/086694
 (87) 国際公開番号 WO2009/082637
 (87) 国際公開日 平成21年7月2日 (2009.7.2)
 (31) 優先権主張番号 11/961,871
 (32) 優先日 平成19年12月20日 (2007.12.20)
 (33) 優先権主張国 米国(US)

(71) 出願人 506197901
 サンディスク コーポレイション
 アメリカ合衆国、95035、カリフォルニア州、ミルピタス、マッカシー ブルバード 601
 (74) 代理人 100075144
 弁理士 井ノ口 寿
 リー、デーナ
 アメリカ合衆国、95070、カリフォルニア州、サラトガ、ヒース ストリート 13173
 (72) 発明者 モクレシー、ニーマ
 アメリカ合衆国、95032、カリフォルニア州、ロス ガトス、セリンダ ウェイ 14285

最終頁に続く

(54) 【発明の名称】セルのソースのIR降下に対処するためのソース電位の調整

(57) 【要約】

発生し得るソース線バイアスを処理するための技術が示され、不揮発性記憶装置の読み出し/書き込み回路の接地ループにおける非ゼロの抵抗によりもたらされるエラーである。エラーは、電流が流れるときのチップの接地へのソース経路の抵抗における電圧降下により引き起こされる。この目的のために、記憶装置は、ソース電位調整回路を備え、それは、基準電圧に接続された第1の入力を有すると共に集合ノードに接続可能なフィードバックループとして接続された第2の入力を有する能動的回路素子を含み、集合ノードから構造ブロックのメモリセルがセル自身の電流を接地へ流れさせる。1つの変形例は、集合ノードと接地との間に接続可能な非線形抵抗性素子を含む。

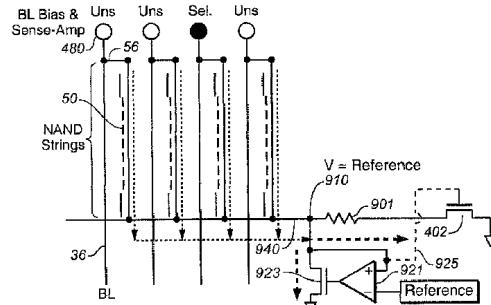


FIG. 15A

【特許請求の範囲】**【請求項 1】**

並行して感知されるべきメモリセルの個々のページを有する不揮発性記憶装置であって、各メモリセルは、ソースと、ドレインと、電荷蓄積ユニットと、前記ドレインおよび前記ソースに沿う伝導電流を制御するためのコントロールゲートとを有する不揮発性記憶装置において、

ページ内の各メモリセルの前記ソースに接続可能なページソース線と、構造ブロックの個々のページソース線に結合された集合ノードと、メモリ操作のために選択されたページのページソース線に前記集合ノードを介して結合されたソース絶縁スイッチと、

第1の基準電圧に接続された第1の入力を有すると共に前記集合ノードに接続可能であるフィードバックループとして接続された第2の入力を有する能動的回路素子を含むソース電位調整回路と、

を備える不揮発性記憶装置。

【請求項 2】

請求項1記載の不揮発性記憶装置において、

前記第2の入力は、前記能動的回路素子の出力により制御されるトランジスタを通して接地基準に接続される不揮発性記憶装置。

【請求項 3】

請求項1記載の不揮発性記憶装置において、

前記ソース絶縁スイッチは、前記集合ノードがそれを通して接地基準に接続されるところのトランジスタを含み、前記トランジスタは前記フィードバックループにより制御される不揮発性記憶装置。

【請求項 4】

請求項1記載の不揮発性記憶装置において、

制御回路をさらに備え、それによって前記フィードバックループは感知操作中に前記集合ノードに接続される不揮発性記憶装置。

【請求項 5】

請求項1記載の不揮発性記憶装置において、

前記選択されたページの各メモリセルの前記ドレインに接続可能な関連するビット線と、

感知操作のために前記選択されたページの各メモリセルの前記関連するビット線に所定のビット線電圧を提供するためのビット線電圧源と、

前記選択されたページの各メモリセルの前記コントロールゲートに接続可能なワード線と、

前記感知操作のために前記選択されたページの各メモリセルの前記ワード線のために所定のワード線電圧を提供するためのワード線電圧源回路と、をさらに備え、

前記感知操作中、前記第1の基準電圧は、前記ワード線電圧および前記ビット線電圧とは無関係である不揮発性記憶装置。

【請求項 6】

請求項1記載の不揮発性記憶装置において、

前記集合ノードに接続可能なプルアップ素子をさらに備える不揮発性記憶装置。

【請求項 7】

請求項6記載の不揮発性記憶装置において、

前記プルアップ素子は、前記能動的回路素子により調整される不揮発性記憶装置。

【請求項 8】

請求項1記載の不揮発性記憶装置において、

前記第1の基準電圧は、0.5Vから1.0Vまでの範囲の中にある不揮発性記憶装置。

【請求項 9】

10

20

30

40

50

請求項 1 記載の不揮発性記憶装置において、
前記第 1 の基準電圧は、接地基準である不揮発性記憶装置。

【請求項 1 0】

請求項 1 記載の不揮発性記憶装置において、
前記記憶装置は複数のプレーンを有し、前記ソース電位調整回路は前記プレーンのうちの第 1 のもののためのものであり、前記プレーンのうちの他のものは異なるソース電位調整回路を有する不揮発性記憶装置。

【請求項 1 1】

請求項 1 記載の不揮発性記憶装置において、
前記メモリセルは、NAND 形アーキテクチャに従って組織されている不揮発性記憶裝置。10

【請求項 1 2】

並行して感知されるべきメモリセルの個々のページを有し、各メモリセルがソースと、ドレインと、電荷蓄積ユニットと、前記ドレインおよび前記ソースに沿う伝導電流を制御するためのコントロールゲートとを有する不揮発性記憶装置において、メモリセルのページを感知する方法であつて、20

ページソース線を提供するステップと、

前記ページの各メモリセルの前記ソースを前記ページソース線に結合するステップと、
感知操作のためのソース電圧制御回路への接続のために前記ページソース線を構造ブロックの集合ノードに結合するステップと、20

前記集合ノードをソース電位調整回路のフィードバックループに結合するステップであつて、第 1 の入力を有すると共に前記フィードバックループに接続された第 2 の入力を有する能動的回路素子を前記ソース電位調整回路が含む、フィードバックループに結合するステップと、30

第 1 基準電圧を前記第 1 の入力に印加するステップと、
を含む方法。

【請求項 1 3】

請求項 1 2 記載の方法において、
前記第 2 の入力は、トランジスタを通して接地基準に接続され、
前記方法は、前記能動的回路素子の出力によって前記トランジスタを制御するステップをさらに含む方法。30

【請求項 1 4】

請求項 1 2 記載の方法において、
前記ソース絶縁スイッチは、前記集合ノードがそれを通して接地基準に接続されるところのトランジスタを含み、40

前記方法は、前記フィードバックループによって前記トランジスタを制御するステップをさらに含む方法。

【請求項 1 5】

請求項 1 2 記載の方法において、
前記フィードバックループを前記集合ノードに接続するステップをさらに含む方法。40

【請求項 1 6】

請求項 1 2 記載の方法において、
前記不揮発性記憶装置は、前記ページの各メモリセルの前記ドレインに結合する関連するビット線と、前記ページの各メモリセルの前記コントロールゲートに結合するワード線とをさらに有し、前記方法は、50

前記感知操作のために前記ページの各メモリセルの前記関連するビット線に所定のビット線電圧を提供するステップと、

前記感知操作のために前記ページの各メモリセルの前記ワード線のために所定のワード線電圧を提供するステップと、をさらに含み、

前記感知操作中、前記第 1 基準電圧は、前記ワード線電圧および前記ビット線電圧とは

無関係である方法。

【請求項 1 7】

請求項 1 2 記載の方法において、

前記集合ノードに接続可能なプルアップ素子を接続するステップをさらに含む方法。

【請求項 1 8】

請求項 1 7 記載の方法において、

前記プルアップ素子を前記能動的回路素子によって調整するステップをさらに含む方法

。

【請求項 1 9】

並行して感知されるべきメモリセルの個々のページを有する不揮発性記憶装置であって、各メモリセルはソースと、ドレインと、電荷蓄積ユニットと、前記ドレインおよび前記ソースに沿う伝導電流を制御するためのコントロールゲートとを有する不揮発性記憶装置において、

10

ページ内の各メモリセルの前記ソースに接続可能なページソース線と、

構造ブロックの個々のページソース線に結合された集合ノードと、

メモリ操作のために選択されたページのページソース線に前記集合ノードを介して結合されたソース絶縁スイッチと、

前記集合ノードと接地基準との間に接続可能な非線形抵抗性素子と、

を備える不揮発性記憶装置。

20

【請求項 2 0】

請求項 1 9 記載の不揮発性記憶装置において、

前記非線形抵抗性素子は、ダイオードである不揮発性記憶装置。

【請求項 2 1】

請求項 1 9 記載の不揮発性記憶装置において、

制御回路をさらに備え、これにより前記非線形抵抗性素子は感知操作中に前記集合ノードに接続される不揮発性記憶装置。

30

【請求項 2 2】

並行して感知されるべきメモリセルの個々のページを有し、各メモリセルがソースと、ドレインと、電荷蓄積ユニットと、前記ドレインおよび前記ソースに沿う伝導電流を制御するためのコントロールゲートとを有する不揮発性記憶装置において、メモリセルのページを感知する方法であって、

30

ページソース線を提供するステップと、

前記ページの各メモリセルの前記ソースを前記ページソース線に結合するステップと、感知操作のためのソース電圧制御回路への接続のために前記ページソース線を構造ブロックの集合ノードに結合するステップと、

30

前記集合ノードを接続可能な非線形抵抗性素子によって接地基準に結合するステップと

、

を含む方法。

【請求項 2 3】

請求項 2 2 記載の方法において、

40

前記非線形抵抗性素子は、ダイオードである方法。

【請求項 2 4】

請求項 2 2 記載の方法において、

前記非線形抵抗性素子を前記集合ノードに接続するステップをさらに含む方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、一般的には、電気的に消去可能でプログラム可能な読み出し専用メモリ（EEPROM）およびフラッシュEEPROMなどの不揮発性半導体メモリに関し、特に、接地ループにおける有限の抵抗に起因するソースバイアスエラーを補償する改善された感

50

知回路を有するものに関する。

【背景技術】

【0002】

特に小形形状のファクタカードとしてパッケージ化されたEEPROMおよびフラッシュ EEPROMの形の、電荷を不揮発性に蓄積することのできる固体メモリは、近時、多様なモバイルおよびハンドヘルド装置、特に情報装置および消費者エレクトロニクス製品の分野で一般的に好まれる記憶装置となっている。同じく固体メモリであるRAM(ランダムアクセスメモリ)とは違って、フラッシュメモリは不揮発性であって、電力がオフに切り替えられた後も、格納されているデータを保持する。コストがより高いにもかかわらず、フラッシュメモリは大容量記憶アプリケーションにますます用いられるようになっている。ハードディスクおよびフロッピーディスクなどの回転する磁気媒体に基づく在来の大容量記憶は、モバイルおよびハンドヘルド環境には向いていない。なぜならば、ディスクドライブは、かさばりがちであり、機械的故障を起こしやすく、大きな待ち時間および大きな電力要件を有するからである。これらの望ましくない属性は、ディスクベースの記憶をたいていのモバイルおよびポータブルアプリケーションにおいて非実用的なものとする。一方、フラッシュメモリは、埋め込み型、および取り外し可能なカードの形の両方において、サイズが小さくて、電力消費が少なくて、高速で信頼性が高いという特徴のために、モバイルおよびハンドヘルド環境に理想的に適している。

10

【0003】

EEPROMと電気的にプログラム可能な読み出し専用メモリ(EEPROM)とは、消去することができると共に新しいデータをそのメモリセルに書き込むあるいは「プログラムする」ことのできる不揮発性メモリである。両方が、ソース領域およびドレイン領域の間の、半導体基板内のチャネル領域の上に位置する、電界効果トランジスタ構造内の、フローティング(接続されていない)導電性ゲートを利用する。次に、コントロールゲートがフローティングゲートの上に設けられる。トランジスタのしきい値電圧特性は、フローティングゲート上に保持される電荷の量により制御される。すなわち、フローティングゲート上の所与の電荷レベルについて、そのソース領域およびドレイン領域の間の導通を可能にするようにトランジスタが「オン」に転換される前にコントロールゲートに印加されなければならない対応する電圧(しきい値)が存在する。

20

【0004】

フローティングゲートは、或る範囲の電荷を保持することができ、従って或るしきい値電圧ウインドウの中の任意のしきい値電圧レベルにプログラムすることができる。しきい値電圧ウインドウのサイズは装置の最低しきい値レベルおよび最高しきい値レベルにより画定され、フローティングゲートにプログラムされ得る電荷の範囲に対応する。しきい値ウインドウは、一般的に、記憶装置の特性、動作条件および履歴に依存する。原理上、ウインドウ内の各々の異なる、分解可能なしきい値電圧レベル範囲は、セルの一定のメモリ状態を指定するために使用され得る。

30

【0005】

メモリセルとして役立つトランジスタは、通例、2つのメカニズムのうちの一方によって「プログラム済み」状態にプログラムされる。「ホットエレクトロン注入」では、ドレインに印加された高電圧により、電子が基板チャネル領域を横断して加速される。同時に、コントロールゲートに印加された高電圧により、ホットエレクトロンを薄いゲート誘電体を通してフローティングゲートへ引きつける。「トンネリング注入」では、基板に関して高い電圧がコントロールゲートに印加される。このようにして、電子は基板から中間のフローティングゲートに引き付けられる。

40

【0006】

記憶装置は、いくつかのメカニズムによって消去され得る。EEPROMでは、メモリは、紫外線照射によってフローティングゲートから電荷を除去することによってバルク消去される。EEPROMでは、薄い酸化物を通じて基板チャネル領域へトンネリング(すなわち、ファウラーノルドハイムのトンネリング)するようにフローティングゲート内の電

50

子を誘導するようにコントロールゲートに関して高い電圧を基板に印加することにより、メモリセルは電気的に消去可能である。通例、EEPROMはバイトごとに消去可能である。フラッシュ EEPROMでは、メモリは一度に全部または一度に1ブロック以上、電気的に消去可能であり、ここで1ブロックは512バイト以上のメモリから成り得る。

【0007】

不揮発性メモリセルの例

記憶装置は、通例、カードに搭載され得る1つ以上のメモリチップを含む。各メモリチップは、デコーダおよび消去回路、書き込み回路および読み出し回路などの周辺回路によりサポートされるメモリセルのアレイを含む。より精巧な記憶装置は、インテリジェントで高レベルのメモリ操作およびインターフェイスを行うコントローラも伴う。今日使用されている商業的に成功した多くの不揮発性固体記憶装置がある。これらの記憶装置はいろいろなタイプのメモリセルを採用することができ、各タイプは1つ以上の電荷蓄積素子を有する。

【0008】

図1A～1Eは、不揮発性メモリセルのいろいろな例を概略的に示す。

図1Aは、電荷を蓄積するためのフローティングゲートを有するEEPROMセルの形の不揮発性メモリを概略的に示す。電気的に消去可能でプログラム可能な読み出し専用メモリ(EEPROM)は、EPROMに類似する構造を有するけれども、電荷をロードし、また、UV照射にさらすことを必要とせずに適切な電圧の印加時に電荷をそのフローティングゲートから電気的に除去するためのメカニズムをさらに提供する。このようなセルおよびこののようなセルを製造する方法の例が、米国特許第5,595,924号(特許文献1)に与えられている。

【0009】

図1Bは、選択ゲートとコントロールゲートまたはステアリングゲートとの両方を有するフラッシュ EEPROMセルを概略的に示す。メモリセル10は、ソース拡散14とドレイン拡散16との間の「スプリットチャネル」12を有する。セルは实际上直列の2つのトランジスタT1およびT2を伴って形成される。T1は、フローティングゲート20とコントロールゲート30とを有するメモリトランジスタとして働く。フローティングゲートは、選択可能な量の電荷を蓄積することができる。チャネルのT1の部分を通って流れることのできる電流の量は、コントロールゲート30の電圧と、中間のフローティングゲート20に存在する電荷の量とに依存する。T2は、選択ゲート40を有する選択トランジスタとして働く。T2が選択ゲート40の電圧によりオンに転換されたときに、チャネルのT1の部分の電流がソースとドレインとの間を進むことを可能にする。選択トランジスタは、コントロールゲートの電圧に依存しないソース-ドレインチャネルに沿うスイッチを提供する。1つの利点は、それらのフローティングゲートにおけるそれらの電荷空乏(正)に起因してゼロコントロールゲート電圧でお導通しているセルをオフに転換するためにそれが使用され得ることである。他の利点は、それがソース側注入プログラミングをより容易に実行することを可能にすることである。

【0010】

スプリットチャネルメモリセルの1つの簡単な実施形態では、図1Bにおいて点線で概略的に示されているように選択ゲートとコントロールゲートとは同じワード線に接続される。これは、電荷蓄積素子(フローティングゲート)をチャネルの一部分の上に位置させ、コントロールゲート構造(これはワード線の一部である)を他方のチャネル部分の上にかつて電荷蓄積素子の上に位置させることによって成し遂げられる。これは实际上直列の2つのトランジスタを有するセルを形成し、一方(メモリトランジスタ)は、チャネルのその部分を通って流れることのできる電流の量を制御する電荷蓄積素子上の電荷の量とワード線の電圧との組み合わせを有し、他方(選択トランジスタ)はそのゲートとして働くワード線だけを有する。そのようなセル、メモリシステムにおけるそれらの使用法、およびそれらを製造する方法の例が、米国特許第5,070,032号(特許文献2)、第5,095,344号(特許文献3)、第5,315,541号(特許文献4)、第5,34

10

20

30

40

50

3,063号(特許文献5)、および第5,661,053号(特許文献6)に与えられている。

【0011】

図1Bに示されているスプリットチャネルセルのより洗練された1つの実施形態では、選択ゲートとコントロールゲートとは独立であって、それらの間の点線で接続されてはいない。一実施例は、セルのアレイ中の一列のコントロールゲートを、ワード線に対して垂直な制御(またはステアリング)線に接続させる。その効果は、ワード線の、選択されたセルを読み出すかあるいはプログラムするときに2つの機能を同時に実行しなければならないという負担を除くことである。これらの2つの機能とは、(1)選択トランジスタのゲートとして働き、従って選択トランジスタをオンオフするために適切な電圧を必要とすること、および(2)ワード線と電荷蓄積素子との間の電界(容量)結合を通して電荷蓄積素子の電圧を所望のレベルへ駆ることである。これら2つの機能の両方を单一の電圧で最適に実行することは、しばしば、困難である。コントロールゲートと選択ゲートとが別々に制御される場合、ワード線は機能(1)を実行するだけによく、付加された制御線が機能(2)を実行する。この能力は、プログラミング電圧が目標とされるデータに合わせて調整される、より高い性能のプログラミングの設計を考慮に入れるものである。フラッシュ EEPROMアレイにおける独立のコントロール(またはステアリング)ゲートの使用は、例えば、米国特許第5,313,421号(特許文献7)および第6,222,762号(特許文献8)に記載されている。

10

【0012】

図1Cは、二重フローティングゲートと、独立の選択ゲートおよびコントロールゲートとを有する他の1つのフラッシュ EEPROMセルを概略的に示す。メモリセル10は、实际上直列の3つのトランジスタを有することを除いて、図1Bのものと同様である。このタイプのセルでは、ソース拡散およびドレイン拡散の間でそのチャネルの上に2つの蓄積素子(すなわち、T1-左のものとT1-右のもの)が含まれ、それらの間に選択トランジスタT2がある。メモリトランジスタは、フローティングゲート20'および20"と、コントロールゲート30'および30"とをそれぞれ有する。選択トランジスタT2は選択ゲート40により制御される。任意の時点で、メモリトランジスタの対のうちの一方だけが読み出しあり書き込みのためにアクセスされる。記憶ユニットT1-左がアクセスされるときに、チャネルのT1-左の部分の電流がソースとドレインとの間を通過るようにT2およびT1-右の両方がオンにされる。同様に、記憶ユニットT1-右がアクセスされるときに、T2とT1-左とはオンにされる。消去は、選択ゲートのポリシリコンの一部分をフローティングゲートの近傍に有し、フローティングゲート内に蓄積されている電子が選択ゲートのポリシリコンにトンネリングすることができるように選択ゲートに相当の正電圧(例えば、20V)を印加することによって実行される。

20

30

【0013】

図1Dは、NANDチェーンに組織されたメモリセルのストリングを概略的に示す。NANDチェーン50は、そのソースおよびドレインによりデイジーチェーン方式で接続された一連のメモリトランジスタM1、M2…Mn(n=4、8、16あるいはそれ以上)から成る。1対の選択トランジスタS1、S2は、NANDチェーンのソース端子54およびドレイン端子56を介しての、メモリトランジスタのチェーンの外部への接続を制御する。或るメモリアレイでは、ソース選択トランジスタS1がオンにされると、ソース端子はソース線に結合される。同様に、ドレイン選択トランジスタS2がオンにされると、NANDチェーンのドレイン端子はメモリアレイのビット線に結合される。チェーン中の各メモリトランジスタは、意図されたメモリ状態を表すように所与の量の電荷を蓄積するための電荷蓄積素子を有する。各メモリトランジスタのコントロールゲートは、読み出し操作および書き込み操作の制御を提供する。選択トランジスタS1、S2の各々のコントロールゲートは、それぞれそのソース端子54およびドレイン端子56を介してNANDチェーンへの制御アクセスを提供する。

40

【0014】

50

プログラミング中にNANDチェーン内のアドレス指定されたメモリトランジスタが読み出されベリファイされるときに、そのコントロールゲートには適切な電圧が供給される。同時に、NANDチェーン50内のアドレス指定されていないメモリトランジスタの残りは、それらのコントロールゲートへの充分な電圧の印加によって完全にオンにされる。このようにして、そのメモリトランジスタのソースからNANDチェーンのソース端子54へ、また同様にそのメモリトランジスタのドレインのためにチェーンのドレイン端子56へ、伝導路が実際上作られる。このようなNANDチェーン構造を有する記憶装置は、米国特許第5,570,315号(特許文献9)、第5,903,495号(特許文献10)、第6,046,935号(特許文献11)に記載されている。

【0015】

10

図1Eは、電荷を蓄積するための誘電体層を有する不揮発性メモリを概略的に示す。前述した伝導性フローティングゲート素子の代わりに、誘電体層が使用されている。誘電体蓄積素子を利用するそのような記憶装置が、Eitan et al., "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp.543-545(非特許文献1)に記載されている。ONO誘電体層が、ソース拡散およびドレイン拡散の間のチャネルを横断して広がる。1つのデータビットのための電荷は、ドレインに隣接して誘電体層に局在させられ、他方のデータビットのための電荷はソースに隣接して誘電体層に局在させられる。例えば、米国特許第5,768,192号(特許文献12)および第6,011,725号(特許文献13)は、2つの二酸化ケイ素層に挟まれたトラッピング誘電体を有する不揮発性メモリセルを開示している。誘電体内の空間的に分離された電荷蓄積領域のバイナリ状態を別々に読み出すことによって多状態データ記憶が実現される。

20

【0016】

メモリアレイ

記憶装置は、通常、行および列を成して配列されてワード線およびビット線によりアドレス指定可能なメモリセルの2次元アレイから構成される。アレイは、NOR型またはNAND型のアーキテクチャに従って形成され得る。

【0017】

NORアレイ

図2は、メモリセルのNORアレイの一例を示す。図1Bまたは1Cに示されているタイプのセルで、NOR型アーキテクチャを有する記憶装置が実現されている。メモリセルの各行は、それらのソースおよびドレインによりデイジーチェーン方式で接続されている。この設計は、時に仮想接地設計と称される。各メモリセル10は、ソース14、ドレイン16、コントロールゲート30および選択ゲート40を有する。行の中のセルの選択ゲートはワード線42に接続されている。列の中のセルのソースおよびドレインは、選択されたビット線34および36にそれぞれ接続されている。メモリセルのコントロールゲートおよび選択ゲートが独立して制御される実施形態では、列中のセルのコントロールゲートをステアリング線30が接続する。

30

多くのフラッシュEEPROMは、そのコントロールゲートおよび選択ゲートが互いに接続されて各々形成されるメモリセルで実現される。この場合、ステアリング線は不要であり、各行に沿うセルの全てのコントロールゲートおよび選択ゲートを1つのワード線が単に接続する。これらの設計の例が、米国特許第5,172,338号(特許文献14)および第5,418,752号(特許文献15)に開示されている。これらの設計では、ワード線は本質的に2つの機能、すなわち行選択と、読み出しおよびプログラミングのために行内の全セルにコントロールゲート電圧を供給することとを実行した。

40

【0018】

NANDアレイ

図3は、図1Dに示されているものなどの、メモリセルのNANDアレイの一例を示す。NANDチェーンの各列に沿って、ビット線が各NANDチェーンのドレイン端子56に結合されている。NANDチェーンの各行に沿って、ソース線がそれらの全てのソース

50

端子 5 4 を接続することができる。行に沿う N A N D チェーンのコントロールゲートは、一連の対応するワード線に接続されている。1 行の N A N D チェーン全体が、選択トランジスタの対(図 1 D を参照)を、接続されているワード線を介してそれらのコントロールゲートに適切な電圧を用いて、オンにすることによって、アドレス指定され得る。N A N D チェーン内の 1 つのメモリセルを代表する 1 つのメモリトランジスタが読み出されるときに、チェーンを通って流れる電流が、その読み出されるセルに蓄積されている電荷のレベルに本質的に依存するように、チェーン内の残りのメモリトランジスタは、それらに関連付けられているワード線を介して充分にオンにされる。N A N D アーキテクチャアレイと、メモリシステムの一部としてのその動作との例が、米国特許第 5,570,315 号(特許文献 9)、第 5,774,397 号(特許文献 16)、および第 6,046,935 号(特許文献 11)に見出される。10

【 0 0 1 9 】

ロック消去

電荷蓄積記憶装置をプログラムすることは、単により多くの電荷をその電荷蓄積素子に加えるという結果をもたらし得る。従って、プログラミング操作の前に、電荷蓄積素子に現存している電荷は除去(あるいは消去)されなければならない。メモリセルの 1 つ以上のロックを消去するために消去回路(図示せず)が設けられる。E E P R O M などの不揮発性メモリは、セルのアレイの全体、またはアレイのセルの相当のグループが一緒に(すなわち、即座に(in a flash))電気的に消去されるときに、「フラッシュ」E E P R O M と称される。消去されたならば、そのセルのグループはその後再プログラムされ得る。一緒に消去可能なセルのグループは、1 つ以上のアドレス指定可能な消去ユニットから成ることができる。消去ユニットまたはロックは通常 1 ページ以上のデータを記憶し、ページはプログラミングおよび読み出しの単位であるけれども、单一の操作で 2 ページ以上がプログラムされたりあるいは読み出され得る。各ページは通常 1 セクタ以上のデータを記憶し、セクタのサイズはホストシステムによって定められる。一例は、磁気ディスクドライブに関して定められた標準規格に従うユーザデータの 512 バイトと、そのユーザデータおよび/またはそれが格納されるロックに関するオーバーヘッド情報の数バイトとのセクタである。20

【 0 0 2 0 】

読み出し / 書き込み回路

普通の 2 状態 E E P R O M セルでは、伝導ウィンドウを 2 領域に分割するために少なくとも 1 つの電流ブレークポイントレベルが確立される。所定の決まった電圧を印加することによってセルが読み出されるときに、そのソース / ドレイン電流は、ブレークポイントレベル(あるいは基準電流 I_{REF})と比較することによって 1 つのメモリ状態に分解される。読まれた電流がブレークポイントレベルのものより多ければ、そのセルは 1 つの論理状態(例えば、「ゼロ」状態)にあると判定される。一方、電流がブレークポイントレベルのものより少なければ、そのセルは他方の論理状態(例えば、「1」状態)にあると判定される。従って、このような 2 状態セルは 1 ビットのデジタル情報を記憶する。外部からプログラム可能であり得る基準電流源が、しばしば、ブレークポイントレベル電流を生成するためにメモリシステムの一部として設けられる。30

【 0 0 2 1 】

メモリ容量を増やすために、半導体技術の状態が進歩するに連れて、フラッシュ E E P R O M 装置はますます高い密度で製造されるようになってきている。記憶容量を増やすための他の 1 つの方法は、各メモリに 2 より多い状態を記憶させることである。

多状態または多レベルの E E P R O M メモリセルのために、各セルが 1 ビットより多いデータを記憶できるように伝導ウィンドウは 2 つ以上のブレークポイントによって 2 より多い領域に分割される。従って、所与の E E P R O M アレイが記憶できる情報は、各セルが記憶できる状態の数と共に増やされる。多状態または多レベルのメモリセルを有する E E P R O M またはフラッシュ E E P R O M が、米国特許第 5,774,397 号(特許文献 16)に記載されている。40

【0022】

実際には、セルのメモリ状態は、普通、基準電圧がコントロールゲートに印加されているときにセルのソース電極およびドレイン電極を横断する伝導電流を感知することによって読み出される。従って、セルのフローティングゲート上の各々の所与の電荷について、固定されている基準コントロールゲート電圧に関して対応する伝導電流が検出され得る。同様に、フローティングゲート上にプログラム可能な電荷の範囲は、対応するしきい値電圧ウィンドウまたは対応する伝導電流ウィンドウを画定する。

【0023】

あるいは、分割された電流ウィンドウの中で伝導電流を検出する代わりに、コントロールゲートにおいて試験される所与のメモリ状態についてしきい値電圧をセットして伝導電流がしきい値電流より少ないか多いかを検出することが可能である。1つの実施例では、しきい値電流に関しての伝導電流の検出は、伝導電流がビット線のキャパシタンスを通して放電する速さを調べることによって成し遂げられる。

10

【0024】

図4は、任意の時点でフローティングゲートが選択的に蓄積しているかもしれない4つの異なる電荷 $Q_1 \sim Q_4$ についてソース - ドレイン電流 I_D とコントロールゲート電圧 V_{CG} との関係を示す。4つの実線 I_D 対 V_{CG} 曲線は、メモリセルのフローティングゲートにプログラムされ得る、4つあり得るメモリ状態にそれぞれ対応する4つあり得る電荷レベルを表す。一例として、セルの集団のしきい値電圧ウィンドウは0.5Vから3.5Vにおよび得る。しきい値ウィンドウをそれぞれ0.5Vの間隔で5つの領域に分割することによって6つのメモリ状態が区別され得る。例えば、図に示されているように $2\mu A$ の基準電流 I_{REF} が使用されれば、 Q_1 でプログラムされたセルは、その曲線が $V_{CG} = 0.5V$ および $1.0V$ により区切られるしきい値ウィンドウの領域において I_{REF} と交差するので、メモリ状態「1」にあると見なされ得る。同様に、 Q_4 はメモリ状態「5」にある。

20

【0025】

前の記述から分かるように、メモリセルがより多くの状態を記憶させられるほど、そのしきい値ウィンドウはより細かく分割される。これは、要求された分解能を達成できるように、プログラミングおよび読み出しの操作に関してより高い精度を必要とする。

30

米国特許第4,357,685号(特許文献17)は2状態EPROMをプログラムする方法を開示し、その方法では、セルは、所与の状態にプログラムされるときに、フローティングゲートに増分電荷をその都度加える連続するプログラミング電圧パルスにさらされる。パルス間に、セルは、ブレークポイントレベルに関してそのソース - ドレイン電流を判定するために読み返されるあるいはベリファイされる。プログラミングは、現在の状態が所望の状態に達したとベリファイされたときに停止する。使用されるプログラミングパルス列は、増大してゆく期間または振幅を持つことができる。

【0026】

従来技術のプログラミング回路は、しきい値ウィンドウを消去済みあるいは接地状態からターゲット状態に達するまで進むプログラミングパルスを単に印加する。実際には、充分な分解能に配慮して、各々の分割あるいは区分された領域は、横断するのに少なくともおよそ5つのプログラミングステップを必要とする。その性能は、2状態メモリセルについては容認できる。しかし、多状態セルでは、必要とされるステップの数は区画の数と共に増え、従って、プログラミング精度または分解能は高められなければならない。例えば、16状態セルは、ターゲット状態までプログラムするために平均で少なくとも40のプログラミングパルスを必要とし得る。

40

【0027】

図5は、行デコーダ130および列デコーダ160を介して読み出し / 書き込み回路170によりアクセス可能なメモリアレイ100の代表的な構成を有する記憶装置を概略的に示す。図2および3に関連して記載したように、メモリアレイ100内のメモリセルのメモリトランジスタは、選択されたワード線(単数または複数)およびビット線(単数ま

50

たは複数)のセットを介してアドレス指定可能である。アドレス指定されたメモリトランジスタのそれぞれのゲートに適切な電圧を印加するために、行デコーダ130は1つ以上のワード線を選択し、列デコーダ160は1つ以上のビット線を選択する。アドレス指定されたメモリトランジスタのメモリ状態を読み出しあるいは書き込む(プログラムする)ために読み出し/書き込み回路170が設けられている。読み出し/書き込み回路170は、ビット線を介してアレイ内の記憶素子に接続可能な数個の読み出し/書き込みモジュールを含む。

【0028】

読み出し/書き込み性能および精度に影響を及ぼす因子

読み出しおよびプログラミングの性能を改善するために、アレイ内の複数の電荷蓄積素子またはメモリトランジスタが並行して読み出されるかあるいはプログラムされる。従って、一論理「ページ」の記憶素子が一緒に読み出されるかあるいはプログラムされる。現存するメモリアーキテクチャでは、一行は通常数個のインターリーブされたページを含む。1ページの全記憶素子が一緒に読み出されるかまたはプログラムされる。列デコーダは、インターリーブされたページの各々を、対応する数の読み出し/書き込みモジュールに選択的に接続する。例えば、1つの実施例では、メモリアレイは532バイト(512バイトに加えて20バイトのオーバーヘッド)のページサイズを有するように設計される。各列が1つのドレインビット線を含みし、行あたりに2つのインターリーブされたページがあるならば、8, 512列があつて各ページが4, 256列に関連付けられるということになる。全ての偶数ビット線または奇数ビット線を並行して読み出しあるいは書き込むために接続可能な4, 256のセンスモジュールがあることになる。このようにして、1ページの4, 256ビット(すなわち、532バイト)の並列データがページの記憶素子から読み出されるかあるいはそれらに書き込まれる。読み出し/書き込み回路170を形成する読み出し/書き込みモジュールは種々のアーキテクチャに配置され得る。

【0029】

前述したように、在来の記憶装置は、一度に全ての偶数ビット線または全ての奇数ビット線を大規模に並行して操作することによって読み出し/書き込み操作を改善する。2つのインターリーブされたページから成る行のこの「交互ビット線」アーキテクチャは、読み出し/書き込み回路のロックを適合させるという問題を緩和するのに役立つ。それは、ビット線間容量結合を制御することについての考慮によつても要求される。偶数ページまたは奇数ページに対して読み出し/書き込みモジュールのセットを多重化するためにロックデコーダが使用される。このようにして、1セットのビット線が読み出されるかあるいはプログラムされているときに、インターリーブ配置のセットは直接隣接結合を最小にするために接地され得る。

【0030】

しかし、インターリービングページアーキテクチャは少なくとも3つの点で不利である。第1に、付加的な多重化回路を必要とする。第2に、動きが遅い。1ワード線により接続されたかあるいは1行内のメモリセルの読み出しありはプログラミングを終えるために、2つの読み出しありは2つのプログラミング操作が必要とされる。第3に、2つの隣のものが、例えば奇数ページおよび偶数ページにおいて別々に、別々の時点でプログラミングされるときのフローティングゲートのレベルでの隣接する電荷蓄積素子間の界結合などの他の外乱効果に対処することに關しても最適ではない。

【0031】

米国公開特許出願第2004-0057318号(特許文献18)は、複数の連続するメモリセルを並行して感知することを可能にする記憶装置およびその方法を開示している。例えば、同じワード線を共有する1つの行に沿う全てのメモリセルが1ページとして一緒に読み出されるかあるいはプログラムされる。この「全ビット線」アーキテクチャは、「交互ビット線」アーキテクチャの2倍の性能を有し、同時に隣接する外乱効果により引き起こされるエラーを最小にする。しかし、全ビット線を感知することは、隣接するビット線間の、それらの相互キャパシタンスからの誘導電流に起因するクロストークの問題を

10

20

30

40

50

引き起こす。これは、ビット線の各々の隣接対間の電圧差を、それらの伝導電流が感知されている間、実質的に時間とは無関係に維持することによって処理される。この条件が課されるときに、種々のビット線のキャパシタンスに起因する全ての変位電流は、時間変化する電圧差に依存するので、なくなる。接続されているビット線のどの隣接対の電位差も時間独立であるように、各ビット線に結合されている感知回路はそのビット線上に電圧クランプを有する。ビット線電圧がクランプされていると、ビット線キャパシタンスに起因する放電を感知する在来の方法は適用され得ない。その代わりに、感知回路および方法は、メモリセルの伝導電流の判定を、ビット線から独立している所与のコンデンサをそれが放電あるいは充電する速度に留意することによって、可能にする。これは、メモリアレイのアーキテクチャから独立している（すなわち、ビット線キャパシタンスから独立している）感知回路を可能にする。特に、ビット線クロストークを避けるためにビット線電圧が感知中にクランプされることを可能にする。

前述したように、在来の記憶装置は、大規模並列に操作することによって読み／書き操作を改善する。このアプローチは性能を改善するけれども、読み出しあり書き込みの操作の精度に影響を及ぼす。

【0032】

1つの問題はソース線バイアスエラーである。これは、多数のメモリセルのソースが1つのソース線において一緒に接地に結合されるメモリアーキテクチャについては特に深刻である。共通ソースを有するこれらのメモリセルの並行感知は、相当の電流がソース線を通るという結果をもたらす。ソース線において抵抗がゼロでないために、これは、真の接地と各メモリセルのソース電極との間の明らかな電位差という結果をもたらす。感知中、各メモリセルのコントロールゲートに供給されるしきい値電圧はそのソース電極に関してのものであるけれども、システム電源は真の接地に関してのものである。従って、ソース線バイアスエラーの存在により、感知は不正確であるかもしれない。

【0033】

米国公開特許出願第2004-0057287号（特許文献19）は、複数の連続するメモリセルを並行して感知することを可能にする記憶装置およびその方法を開示している。ソース線バイアスの低減は、マルチパス感知のための特徴および技術を有する読み出し／書き込み回路によって成し遂げられる。1ページのメモリセルが並行して感知されているときに、各パスは、所与の境界電流値より大きな伝導電流を有するメモリセルを特定しシャットダウンするのに役立つ。特定されたメモリセルは、それらの関連するビット線を接地へ引くことによってシャットダウンされる。換言すれば、大きな伝導電流を持っていて現在の感知とは無関係のセルが特定されて、現在の感知の実際のデータが読み出される前にそれらの電流が遮断されるのである。

従って、消費電力が低減された高性能で大容量の不揮発性メモリに対する一般的ニーズが存在する。特に、向上した読み出しあり書き込み性能を有し、電力効率の良いコンパクトな不揮発性メモリに対するニーズが存在する。

【先行技術文献】

【特許文献】

【0034】

【特許文献1】米国特許第5,595,924号

【特許文献2】米国特許第5,070,032号

【特許文献3】米国特許第5,095,344号

【特許文献4】米国特許第5,315,541号

【特許文献5】米国特許第5,343,063号

【特許文献6】米国特許第5,661,053号

【特許文献7】米国特許第5,313,421号

【特許文献8】米国特許第6,222,762号

【特許文献9】米国特許第5,570,315号

【特許文献10】米国特許第5,903,495号

10

20

30

40

50

【特許文献 11】米国特許第 6 , 0 4 6 , 9 3 5 号
 【特許文献 12】米国特許第 5 , 7 6 8 , 1 9 2 号
 【特許文献 13】米国特許第 6 , 0 1 1 , 7 2 5 号
 【特許文献 14】米国特許第 5 , 1 7 2 , 3 3 8 号
 【特許文献 15】米国特許第 5 , 4 1 8 , 7 5 2 号
 【特許文献 16】米国特許第 5 , 7 7 4 , 3 9 7 号
 【特許文献 17】米国特許第 4 , 3 5 7 , 6 8 5 号
 【特許文献 18】米国公開特許出願第 2 0 0 4 - 0 0 5 7 3 1 8 号
 【特許文献 19】米国公開特許出願第 2 0 0 4 - 0 0 5 7 2 8 7 号
 【特許文献 20】米国公開特許出願第 2 0 0 4 - 0 1 0 9 3 5 7 号
 【特許文献 21】米国特許出願第 1 1 / 0 1 5 , 1 9 9 号
 【特許文献 22】米国特許第 7 , 1 7 0 , 7 8 4 号
 【特許文献 23】米国特許第 7 , 1 7 3 , 8 5 4 号
 【特許文献 24】米国特許出願第 1 1 / 9 6 1 , 9 1 7 号

【非特許文献】

【0 0 3 5】

【非特許文献 1】Eitan et al., "NRROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," IEEE Electron Device Letters, vol. 21, no. 11, November 2000, p. 543-545

【発明の概要】

【0 0 3 6】

大容量高性能不揮発性記憶装置に対するこれらのニーズは、メモリセルの対応するページを並行して読み書きするために読み出し／書き込み回路の大きなページを持つことによって満たされる。特に、読み出しおよびプログラミングにエラーを導入するかもしれない、高密度チップ集積に固有の相互作用ノイズ効果は取り除かれるかあるいは最小にされる。

ソース線バイアスは、読み出し／書き込み回路の接地ループにおける抵抗がゼロでないために導入されるエラーである。エラーは、電流が流れるとときにチップの接地へのソース経路の抵抗における電圧降下により引き起こされる。

【0 0 3 7】

実施形態の第 1 のセットは、並行して感知されるべきメモリセルの個々のページを有する記憶装置を目的とするものであり、各メモリセルはソースと、ドレインと、電荷蓄積ユニットと、ドレインおよびソースに沿う伝導電流を制御するためのコントロールゲートとを有する。記憶装置は、ページ内の各メモリセルのソースに接続可能なページソース線と、個々のページソース線に接続可能な構造ブロックのための集合ノードと、メモリ操作のために構造ブロック内の選択されたページのページソース線に集合ノードを介して結合されたソース絶縁スイッチと、を備える。記憶装置はソース電位調整回路も備え、それは、第 1 の基準電圧に接続された第 1 の入力を有すると共に集合ノードに接続可能であるファードバックループとして接続された第 2 の入力を有する能動的回路素子を含む。

【0 0 3 8】

実施形態の他の 1 つのセットにおいて、記憶装置は、並行して感知されるべきメモリセルの個々のページを有し、各メモリセルはソースと、ドレインと、電荷蓄積ユニットと、ドレインおよびソースに沿う伝導電流を制御するためのコントロールゲートとを有する。記憶装置は、ページ内の各メモリセルのソースに接続可能なページソース線と、個々のページソース線に接続可能な構造ブロックのための集合ノードと、メモリ操作のために構造ブロック内の選択されたページのページソース線に集合ノードを介して結合されたソース絶縁スイッチと、を備える。記憶装置は、集合ノードと接地基準との間に接続可能な非線形抵抗性素子も含む。

【0 0 3 9】

本発明の種々の態様、利点、特徴および実施形態はその代表例についての次の記述に含

10

20

30

40

50

まれ、その記述は添付図面と関連して検討されるべきである。本願明細書において参照により援用されている全ての特許、特許出願、論文、他の刊行物、文書および事物は、あらゆる目的のためにその全体が本願明細書において参照により援用されている。その援用されている刊行物、文書または事物と本願との間での用語の定義または使用法における不一致あるいは矛盾の点に対しては、本願のものが優越するものとする。

【図面の簡単な説明】

【0040】

【図1A】不揮発性メモリセルのいろいろな例を概略的に示す。

【図1B】不揮発性メモリセルのいろいろな例を概略的に示す。

【図1C】不揮発性メモリセルのいろいろな例を概略的に示す。

10

【図1D】不揮発性メモリセルのいろいろな例を概略的に示す。

【図1E】不揮発性メモリセルのいろいろな例を概略的に示す。

【図2】メモリセルのNORアレイの例を示す。

【図3】図1Dに示されているもののような、メモリセルのNANDアレイの例を示す。

【図4】フローティングゲートが任意の時点で蓄積し得る4つの異なる電荷Q1～Q4についてのソース・ドレイン電流とコントロールゲート電圧との関係を示す。

【図5】行デコーダおよび列デコーダを介して読み出し／書き込み回路によりアクセス可能であるメモリアレイの代表的な構成を概略的に示す。

【図6A】読み出し／書き込み回路のバンクを有するコンパクトな記憶装置を概略的に示し、本発明が実施される文脈を提供する。

20

【図6B】図6Aに示されているコンパクトな記憶装置の好ましい構成を示す。

【図7A】ビット線電圧コントロール、ワード線電圧コントロールおよびソース電圧コントロールが全てICメモリチップの同じ接地を参照する在来の構成を示す。

【図7B】ソース線電圧降下に起因するメモリセルのゲート電圧およびドレイン電圧の両方におけるエラーを示す。

【図8】4状態メモリのための1ページのメモリセルについての個数分布例におけるソースバイアスエラーの効果を示す。

【図9A】本発明の1つの好ましい実施形態に従う、セルソース信号がソース線にアクセスするノードに基準点を有することによってビット線電圧制御および／またはワード線電圧制御がソースバイアスについて補償される構成を示す。

30

【図9B】本発明の他の1つの好ましい実施形態に従う、ページソース線を参照することによってビット線電圧制御およびワード線電圧制御がソースバイアスについて補償されることを示す。

【図10】ソースバイアスについて補償されたビット線電圧を提供するために追跡ビット線電圧制御回路と結合して動作する図9Aおよび9Bに示されている好ましいセンスモジュールの略図である。

【図11】図9Aおよび9Bに示されている追跡ビット線電圧制御回路の好ましい実施形態を示す。

【図12】図9Aおよび9Bに示されている追跡ワード線電圧制御回路の好ましい実施形態を示す。

40

【図13】調整されたソース電位の使用を説明するために使用されるように簡単化されたメモリセルのNANDアレイの一部分を示す。

【図14】補償ビット線バイアスの適用を示す。

【図15A】ソース線電位をソース線内の電流あるいはその接地への経路における抵抗とは無関係にセットするための調整器の使用を示す。

【図15B】ソース線電位をソース線内の電流あるいはその接地への経路における抵抗とは無関係にセットするための調整器の使用を示す。

【図15C】ソース線電位をソース線内の電流あるいはその接地への経路における抵抗とは無関係にセットするための調整器の使用を示す。

【図16】ソース線電位をセットするためのクランプの使用を示す。

50

【発明を実施するための形態】**【0041】**

図6Aは、読み出し／書き込み回路のバンクを有するコンパクトな記憶装置を概略的に示し、本発明が実施される文脈を提供する。記憶装置は、メモリセルの2次元アレイ300と、制御回路310と、読み出し／書き込み回路370とを含む。メモリアレイ300は、行デコーダ330を介してワード線により、また列デコーダ360を介してビット線により、アドレス指定可能である。読み出し／書き込み回路370は、センスモジュール480のバンクとして実現され、1ブロック（「ページ」とも称される）のメモリセルを並行して読み出しありはプログラムすることを可能にする。好ましい実施形態では、1ページはメモリセルの1つの連続的な行から構成される。メモリセルの行が複数のブロックあるいはページに分割される他の1つの実施形態では、読み出し／書き込み回路370を個々のブロックに対して多重化するためにブロックマルチプレクサ350が設けられる。

10

【0042】

制御回路310は、メモリアレイ300に対してメモリ操作を実行するために読み出し／書き込み回路370と協働する。制御回路310は、状態マシン312と、オンチップアドレスデコーダ314と、電力制御モジュール316とを含む。状態マシン312は、メモリ操作のチップレベル制御を提供する。オンチップアドレスデコーダ314は、ホストあるいはメモリコントローラにより使用されるものとデコーダ330および370により使用されるハードウェアアドレスとの間のアドレスインターフェイスを提供する。電力制御モジュール316は、メモリ操作中にワード線およびビット線に供給される電力および電圧を制御する。

20

【0043】

図6Bは、図6Aに示されているコンパクトな記憶装置の好ましい構成を示す。種々の周辺回路によるメモリアレイ300へのアクセスは、各側のアクセス線および回路が半分に減るように、アレイの相対する側で対称的に実行される。従って、行デコーダは行デコーダ330Aおよび330Bに分割され、列デコーダは列デコーダ360Aおよび360Bに分割されている。メモリセルの行が複数のブロックに分割される実施形態では、ブロックマルチプレクサ350はブロックマルチプレクサ350Aおよび350Bに分割される。同様に、読み出し／書き込み回路は、下からビット線に接続する読み出し／書き込み回路370Aと、アレイ300の上からビット線に接続する読み出し／書き込み回路370Bとに分割される。このようにして、読み出し／書き込みモジュールの密度は、従ってセンスモジュール480のバンクのものは本質的に半分だけ減らされる。

30

【0044】

並行して動作するp個のセンスモジュール480のバンク全体は、行に沿うp個のセルの1つのブロック（あるいはページ）を並行して読み出しありはプログラムすることを可能にする。メモリアレイの一例はp=512バイト（ 512×8 ビット）を持つことができる。好ましい実施形態では、ブロックはセルの行全体の1つのランである。他の1つの実施形態では、ブロックは、行内のセルの部分集合である。例えば、セルの部分集合は、行全体の二分の一あるいは行全体の四分の一であり得る。セルの部分集合は、連続するセル、あるいは2つのセルごとに1つのセル、あるいは所定数のセルごとに1つのセルのランであり得る。各センスモジュールは、1つのメモリセルの伝導電流を感知するための1つのセンスアンプを含む。好ましいセンスアンプが、米国公開特許出願第2004-0109357号（特許文献20）に開示され、その全体が本願明細書において参照により援用されている。

40

【0045】**ソース線エラー処理**

メモリセルの感知に伴う1つの潜在的な問題はソース線バイアスである。多数のメモリセルが並行して感知されるときに、それらの組み合わせ電流は、有限の抵抗を有する接地ループにおいて相当の電圧降下を生じさせ得る。これは、しきい値電圧感知を採用する感知操作においてエラーを引き起こすソース線バイアスを生じさせる。また、セルが線形領

50

域近くで動作しているならば、一旦その領域に入れば伝導電流はソース - ドレイン電圧に對して敏感であり、ソース線バイアスは、ドレイン電圧がバイアスだけオフセットされたときに、感知操作にエラーを生じさせる。

【0046】

図7Aは、ビット線電圧コントロール、ワード線電圧コントロールおよびソース電圧コントロールが全てICメモリチップの同じ接地を参照する在来の構成を示す。読み出し/書き込み回路370は1ページのメモリセルに同時に作用する。読み出し/書き込み回路中の各センスマジュール480は、ビット線36などのビット線を介して対応するセルに結合される。例えば、センスマジュール480はメモリセル10の伝導電流*i₁*（ソース - ドレイン電流）を感知する。伝導電流は、ソース線34および統合ソース線40を通ってソース制御回路400を介してチップの接地401に行く前に、センスマジュールからビット線36を通ってメモリセル10のドレインに入り、ソース14から流れ出る。ソース線34は、通例、メモリアレイ内の行に沿う1ページ内のメモリセルの全てのソースを結合する。集積回路チップにおいて、メモリアレイ内の個々の行のソース線34は、全て、ソース制御回路400に接続された統合ソース線40の複数の枝路として互いに結合される。ソース制御回路400は統合ソース線40を、最終的にはメモリチップの外部接地パッド（例えば、V_{SS}パッド）に接続されるチップの接地401に引くように制御されるプルダウントランジスタ402を有する。ソース線の抵抗を減らすために金属ストラップが使用されたとしても、メモリセルのソース電極と接地パッドとの間にゼロでない抵抗Rが残る。通例、平均接地ループ抵抗Rは50オームにもおよび得る。

10

20

30

40

【0047】

並行して感知されるメモリのページ全体について、統合ソース線40を通って流れる総電流は全ての伝導電流の合計、すなわち $i_{TOT} = i_1 + i_2 + \dots + i_p$ である。一般的に、各メモリセルは、その電荷蓄積素子にプログラムされた電荷の量に依存する伝導電流を有する。メモリセルの所与のコントロールゲート電圧について、より少量のプログラム済み電荷はより多い伝導電流を生じさせる（図4を参照）。メモリセルのソース電極と接地パッドとの間の経路に有限の抵抗が存在するときに、その抵抗における電圧降下は $V_{drop} \sim i_{TOT} R$ により与えられる。

【0048】

例えば、4,256のビット線が各々 $1\text{ }\mu\text{A}$ の電流で同時に放電すれば、ソース線電圧降下は $4,000\text{ 線} \times 1\text{ }\mu\text{A} / \text{線} \times 50\text{ オーム} \sim 0.2\text{ ボルト}$ に等しい。これは、接地電位にある代わりに、実効ソースが今 0.2 V にあることを意味する。ビット線電圧およびワード線電圧は同じチップの接地401を参照させられるので、 0.2 ボルト のこのソース線バイアスは実効ドレイン電圧およびコントロールゲート電圧の両方を 0.2 V だけ低下させる。

【0049】

図7Bは、ソース線電圧降下により引き起こされるメモリセルのしきい値電圧レベルにおけるエラーを示す。メモリセル10のコントロールゲート30に供給されるしきい値電圧 V_T は、チップの接地401に関してのものである。しかし、メモリセルにより見られる実効 V_T は、そのコントロールゲート30とソース14との間の電圧差である。供給された V_T と実効 V_T との間にはおよそ V_{drop} あるいは V の差がある（ソース14からソース線への電圧降下のより小さな寄与を無視して）。メモリセルのしきい値電圧が感知されるときに、この V あるいはソース線バイアスは例えば 0.2 ボルト の感知エラーに寄与する。このバイアスは、データ依存であるために、すなわちページのメモリセルのメモリ状態に依存するために、容易には除去され得ない。

【0050】

図7Bは、ソース線電圧降下により引き起こされるメモリセルのドレイン電圧レベルにおけるエラーも示している。メモリセル10のドレイン16に印加されるドレイン電圧は、チップの接地401に関してのものである。しかし、メモリセルにより見られる実効ドレイン電圧 V_{DS} は、そのドレイン16とソース14との間の電圧差である。供給される V

50

V_{DS} と実効 V_{DS} との間にはおよそ V の差がある。この V あるいはソース線バイアスは、 V_{DS} に敏感な動作領域でメモリセルが感知されるときに、感知エラーに寄与する。前述したように、このバイアスは、データ依存であるために、すなわちページのメモリセルのメモリ状態に存するために、容易には除去され得ない。

【0051】

図8は、4状態メモリのための1ページのメモリセルの個数分布例におけるソースバイアスエラーの効果を示す。メモリ状態の各クラスタは、それぞれ他から明確に分離された伝導電流 I_{SD} の1つの範囲の中にプログラムされる。例えば、ブレークポイント381は、「1」および「2」のメモリ状態をそれぞれ表す2つのクラスタの間の境界電流値である。「2」のメモリ状態のために必要な条件は、それがブレークポイント381より少ない伝導電流を有することである。ソース線バイアスがなければ、供給されるしきい値電圧 V_T に関する個数分布は、実線の曲線により与えられる。しかし、ソース線バイアスエラーのために、各メモリセルの、そのコントロールゲートにおける実効しきい値電圧は、接地に関して供給される電圧からソース線バイアス V だけ下げられる。同様に、実効ドレイン電圧も、供給される電圧からソース線バイアスだけ下げられる。

10

【0052】

ソース線バイアスは、分布（破線）が実効電圧の不足分を補うためにより高い供給 V_T のほうへシフトするという結果をもたらす。シフトは、より高い（より低い電流）メモリ状態のものについてはより大きい。ブレークポイント381がソース線エラーなしの場合のために設計されれば、ソース線エラーの存在は、伝導電流を有する「1」状態の末端のいくつかが伝導なしの領域に出現させ、それはブレークポイント381より高いことを意味する。これは、「1」状態（より多く伝導する）のうちのいくつかが間違って「2」状態（より少なく伝導する）として区分されるという結果をもたらす。

20

【0053】

ソース線バイアスのドレイン補償

本発明の一態様に従えば、1ページのメモリセルが並行して感知され、それらのソースが集合アクセスノードにおいてセルソース信号を受け取るべく互いに結合されるときに、ビット線に供給される動作電圧はチップの接地ではなくて集合アクセスノードと同じ基準点を有する。そのため、集合アクセスノードとチップの接地との間のどのソースバイアス差も追跡され、供給されるビット線電圧において補償されることになる。

30

【0054】

一般的に、各メモリセルはチップの接地への異なるネットワーク経路を有するので、各メモリセルからチップの接地へのソース経路は或る範囲にわたって変動する。また、各メモリセルの伝導電流は、それにプログラムされたデータに依存する。1ページのメモリセル間でも、ソースバイアスに或る程度の変動がある。しかし、基準点がメモリセルのソースになるべく近く置かれると、エラーは少なくとも最小にされる。

【0055】

図9Aは、本発明の1つの好ましい実施形態に従う、セルソース信号がソース線にアクセスするノードに基準点を有することによってビット線電圧制御および／またはワード線電圧制御がソースバイアスについて補償される構成を示す。図7Aと同様に、読み出し／書き込み回路370は1ページのメモリセルに同時に作用する。読み出し／書き込み回路中の各センスマジュール480は、ビット線36などのビット線を介して対応するセルに結合される。ページソース線34は、メモリアレイ内の1行に沿うページの各メモリセルのソースに結合されている。複数の行のページソース線が、互いに、かつ集合アクセスノード35を介してソース制御回路400に結合される。ソース制御回路400は、集合アクセスノード35、従ってページソース線34を、抵抗 R_s を有する統合ソース線により形成される接地経路を通してチップの接地401へ引くように制御されるプルダウンランジスタ402を有する。接地401は、最終的にはメモリチップの外部接地パッド（例えば、 V_{SS} パッド）に接続される。このように、ソース制御回路400は、集合アクセスノード35のセルソース信号を制御する。有限抵抗接地経路に起因して、セルソース信

40

50

号は 0 V ではなくて、 V_1 のソースバイアスを有する。

【0056】

追跡ビット線電圧クランプ 700 として具体化されるビット線電圧制御は、データ依存ソースバイアスを補償するために実行される。これは、外部接地パッドの代わりに集合アクセスノード 35 におけるセルソース信号と同じポイントを参照する出力電圧 V_{BLC} を出力 703 において生成することにより成し遂げられる。このようにして、少なくとも、統合ソース線の抵抗 R_s に起因するソースバイアスが除去される。

【0057】

本発明の他の 1 つの態様に従えば、1 ページのメモリセルが並行して感知され、それらのソースが同じページソース線に結合されているときに、ビット線に供給される動作電圧は、チップの接地ではなくてページソース線のアクセスノードを参照させられる。このようにして、ページアクセスノードからチップの接地までのどのソースバイアス差も追跡され、供給されるビット線電圧において補償されることになる。

10

【0058】

図 9B は、本発明の他の 1 つの好ましい実施形態に従う、ページソース線を参照することによってビット線電圧制御およびワード線電圧制御がソースバイアスについて補償されることを示す。

構成は、ビット線電圧制御 700 およびワード線電圧制御 800 のための基準点が、今は実質的には、選択されたページソース線に置かれていることを除いて、図 9A のものと同様である。選択されたページソース線を、基準点として作用するページアクセスノード 37 に選択的に結合するために、ページソース線マルチプレクサ 780 が使用される。

20

【0059】

追跡ビット線電圧クランプ 700 として具体化されるビット線電圧制御が、データ依存ソースバイアスを補償するために実行される。これは、外部接地パッドを参照する代わりにページソース線 34 のアクセスノード 38 における電圧を参照する出力電圧 V_{BLC} を出力 703 において生成することによって成し遂げられる。このようにして、ソースバイアスは、基準点がページに特有であるアクセスノード 37 にあるために、より良好に補正される。

【0060】

図 10 は、ソースバイアスについて補償されたビット線電圧を提供するために追跡ビット線電圧制御回路と結合して動作する図 9A および 9B に示されている好ましいセンスマジュールの略図である。図に示されている例では、センスマジュール 480 は、結合されているビット線 36 を介して NAND チェーン 50 内のメモリセルの伝導電流を感知する。ビット線、センスアンプ 600 または読み出しバス 499 に選択的に結合され得るセンスノード 481 を有する。最初は、絶縁トランジスタ 482 が、信号 BLS によってイネーブルされたときに、ビット線 36 をセンスノード 481 に接続する。センスアンプ 600 は、センスノード 481 を感知する。センスアンプは、プリチャージ / クランプ回路 640 と、セル電流識別器 650 と、ラッチ 660 とを含む。

30

【0061】

センスマジュール 480 は、NAND チェーン内の選択されたメモリセルの伝導電流が感知されることを可能にする。伝導電流は、メモリセルのソースおよびドレインの間に公称電圧差が存在するときに、メモリセルにプログラムされた電荷と印加された $V_T(i)$ との関数である。感知の前に、選択されたメモリセルのゲートへの電圧が適切なワード線およびビット線を介してセットされなければならない。

40

プリチャージ操作は、選択されていないワード線が電圧 V_{read} まで充電されることから始まり、その後に、選択されたワード線を、対象となる所与のメモリ状態のための所定のしきい値電圧 $V_T(i)$ に充電する。

その後、プリチャージされた回路 640 は、ビット線電圧を感知に適する所定のドレイン電圧に至らせる。これにより NAND チェーン 50 内の選択されたメモリセルにおいてソース - ドレイン伝導電流が流れ、結合されたビット線 36 を介して NAND チェーンの

50

チャネルから検出される。

【0062】

V_{T_i} (i) 電圧が安定しているときに、選択されたメモリセルの伝導電流あるいはプログラムされたしきい値電圧が、結合されたビット線 36 を介して感知され得る。そのとき、メモリセル内の伝導電流を感知するためにセンスアンプ 600 はセンスノードに結合される。セル電流識別器 650 は、電流レベルの識別器あるいは比較器として役立つ。実際上、伝導電流が所与の境界電流値 I_0 (j) より大きいか小さいかを判定する。大きければ、ラッチ 660 は、信号 INV = 1 を有する所定の状態にセットされる。

プルダウン回路 486 は、ラッチ 660 が信号 INV をハイ (HIGH) にセットしたことに対応してアクティブ化される。これは、センスノード 481、従って接続されているビット線 36 を、接地電圧まで引き下げる。これは、メモリセル 10 内の伝導電流を、コントロールゲート電圧に関係なく、抑制する。なぜならば、そのソースとドレインとの間に電圧差がないからである。

【0063】

図 9A および 9B に示されているように、対応する数のセンスマジュール 480 により操作される 1 ページのメモリセルがある。ページコントローラ 498 は、センスマジュールの各々に制御およびタイミング信号を供給する。ページコントローラ 498 は、各センスマジュール 480 に所定の動作シーケンスを循環させると共に、動作中、所定の境界電流値 I_0 (j) を供給する。当該技術分野で良く知られているように、境界電流値は、境界しきい値電圧、または感知のための時間間隔としても実現され得る。最後のバスの後、ページコントローラ 498 は、トランスマッパー 488 がセンスノード 481 の状態を感知データとして読み出しバス 499 に読み出すことを信号 NCO で可能にする。全部で、1 ページの感知データが全てのマルチバスモジュール 480 から読み出されることになる。同様のセンスマジュールが、Cernea らにより 2004 年 12 月 16 日に出願された「IMPROVED MEMORY SENSING CIRCUIT AND METHOD FOR LOW VOLTAGE OPERATION」という米国特許出願第 11/015,199 号（特許文献 21）に開示され、その全体が本願明細書において参照により援用されている。

【0064】

センスマジュール 480 は、定電圧源を組み入れ、感知動作中ビット線間結合を避けるためにビット線を定電圧に保つ。これは好ましくはビット線電圧クランプ 610 により実行される。ビット線電圧クランプ 610 は、ビット線 36 と直列のトランジスタ 612 でダイオードクランプのように動作する。そのゲートは、そのしきい値電圧 V_{TN} より所望のビット線電圧 V_{BL} だけ高い電圧に等しい定電圧 V_{BLC} にバイアスされる。このようにして、ビット線をセンスノード 481 から絶縁させて、ビット線のために所望の $V_{BL} = 0.4 \sim 0.7$ ボルトなどの定電圧レベルをセットする。一般的に、ビット線電圧レベルは、長いプリチャージ時間を避けるように充分に低く、さらに、接地ノイズおよびその他のファクタ、例えば V_{DC} が 0.2 ボルトより高い飽和領域で動作することなどを避けるために充分に高いようなレベルにセットされる。

従って、低い V_{BL} 、特に線形領域に近い V_{BL} で動作するときには、小さな変動が伝導電流の著しい変化を生じさせ得るので、 V_{BL} が正確に生じることが重要である。これは、ソース線バイアスを最小にするために $V_{BLC} = V_{BL} + V_{TN}$ が正確にセットされなければならないことを意味する。

【0065】

図 11 は、図 9A および 9B に示されている追跡ビット線電圧制御回路の好ましい実施形態を示す。追跡ビット線電圧制御回路 700 は、基本的に出力電圧 V_{BLC} を出力線 703 上に提供する。出力電圧は、本質的に、調整可能な抵抗器 R720 を流れる基準電流 I_{REF} により生成される。 V_{BLC} の範囲において I_{REF} を一定に保つためにカスコード電流ミラー回路 730 が使用される。カスコード電流ミラー回路 730 は 2 つの枝路を有し、第 1 の枝路はダイオードとして直列に接続された 2 つの n 形トランジスタ 732, 734 により形成され、第 2 の、鏡映枝路は直列に接続された他の 2 つの n 形トランジスタ 73

10

20

30

40

50

6, 738により形成される。トランジスタ732および736のゲートは相互に接続され、トランジスタ734および738のゲートは相互に接続されている。 I_{REF} が第1の枝路を流れ下り、また第2の枝路において鏡映されるように、 I_{REF} 源がトランジスタ732のドレインに接続されている。 V_{HIGH} 源がトランジスタ736のドレインに接続されている。トランジスタ734および738のソースは相互に接続されてベースレール701を形成している。

【0066】

出力電圧は、直列に接続されたトランジスタ736および738の間のタップから取られる。ベースレール701の電圧が V_1 であるならば、 $V_{BLC} = V_1 + V_{TN}$ である。なぜならば、トランジスタ734のドレインにおける電圧は $V_1 + n$ 形トランジスタのしきい値電圧であり、同じ I_{REF} が第2の枝路でも鏡映されてトランジスタ738のドレインに同じ電圧が現れる結果となるからである。

10

【0067】

ベースレール701における電圧 V_1 は、電流 $2I_{REF}$ に起因する抵抗器R720における電圧降下とノード721におけるベース電圧との合計により定まる。ノード721におけるベース電圧は、ベース電圧セレクタ740により選択可能である。ベース電圧セレクタ740は、トランジスタ742を介し、そのゲートにおいて制御信号ConSLがアサートされているときに、ノード721を集合アクセスノード35(図9Aを参照)またはページソース線のページアクセスノード37(図9Bを参照)に選択的に接続する。あるいは、セレクタ回路720は、トランジスタ744を介してそのゲートにおいて制御信号ConGNDがアサートされているときに、ノード721を接地401に選択的に接続する。従って、信号ConSLがアサートされているときに、 $V_1 = V_1 + 2I_{REF}R$ であり、追跡ビット線電圧制御回路の出力は $V_{BLC} = V_1 + 2I_{REF}R + V_{TN}$ であるということが分かる。ビット線電圧クランプ610(図10を参照)を制御する場合、n形トランジスタ734は、ビット線電圧クランプ610を形成するトランジスタと同じ V_{TN} を有するように選択される。その後、所望のビット線電圧 V_{BL} が $2I_{REF}R$ によりセットされるように抵抗器Rが調整される。集合アクセスノード35またはページアクセスノード37を参照することにより、接地電位より高いソースバイアス V_1 の相当の部分が V_{BLC} において自動的に補償される。

20

【0068】

30

ソース線バイアスのコントロールゲート補償

本発明の他のもう1つの態様に従えば、1ページのメモリセルが並行して感知され、それらのソースが集合アクセスノードにおいてセルソース信号を受け取るべく互いに結合されているときに、ワード線に供給される動作電圧は、チップの接地ではなくて集合アクセスノードと同じ基準点を有する。このようにして、集合アクセスノードとチップの接地との間のどのソースバイアス差も追跡され、供給されるワード線電圧において補償されることになる。

【0069】

40

図9Aに示されているように、追跡ワード線電圧クランプ800として具体化されるワード線電圧制御は、データ依存ソースバイアスを補償するために実行される。これは、外部接地パッドの代わりに集合ノード35におけるセルソース信号と同じポイントを参照する出力電圧 V_{WL} を出力803において生成することにより成し遂げられる。このようにして、少なくとも、統合ソース線(図7Aを参照)の抵抗に起因するソースバイアスが除去される。

【0070】

50

本発明の他のもう1つの態様に従えば、1ページのメモリセルが並行して感知され、それらのソースが同じページソース線に結合されているときに、ワード線に供給される動作電圧は、チップの接地ではなくてページソース線のアクセスノードを参照させられる。このようにして、ページアクセスノードからチップの接地までのどのソースバイアス差も追跡され、供給されるワード線電圧において補償されることになる。

【 0 0 7 1 】

図 9 B に示されているように、追跡ワード線電圧クランプ 8 0 0 として具体化されるワード線電圧制御は、データ依存ソースバイアスを補償するために実行される。これは、外部接地パッドの代わりに、選択されたページソース線へのアクセスノード 3 8 と同じポイントを参照する出力電圧 V_{WL} を出力 8 0 3 において生成することにより成し遂げられる。このようにして、ソースバイアスは、基準点がページに特有であるアクセスノード 3 8 にあるために、より良好に補正される。

【 0 0 7 2 】

図 1 2 は、図 9 A および 9 B に示されている追跡ワード線電圧制御回路の好ましい実施形態を示す。追跡ワード線電圧制御回路 8 0 0 は、出力 8 0 3 において所望の出力電圧 V_{WL} を得るために基準電圧に対して分圧器を本質的に使用する。基準電圧 V_{REF} が VREF 回路 8 2 0 により提供される。 V_{REF} は、調整される出力ドライバ 8 3 0 により駆動される。駆動される V_{REF} の出力レベルは、出力 8 0 3 においてプログラムされた V_{WL} を生じさせるために DAC 制御される分圧器 8 4 0 によって制御される。

10

【 0 0 7 3 】

調整される出力ドライバ 8 3 0 は、比較器 8 3 4 からの出力を駆動する p 形トランジスタ 8 3 2 を含む。p 形トランジスタ 8 3 2 のドレインは電圧源 V_{HIGH} に接続され、そのゲートは比較器 8 3 4 の出力により制御される。比較器 8 3 4 は、VREF をその「-」端子において受け取り、それを p 形トランジスタのソースからフィードバックされた信号と比較する。また、比較器の出力を「+」端子と AC 結合させるためにキャパシタ 8 3 6 が使用される。p 形トランジスタ 8 3 2 のソースにおける電圧が V_{REF} より低ければ、比較器の出力はロー (LOW) であって p 形トランジスタ 8 3 2 をオンに転換させ、ソースにおける電圧が VREF のレベルまで上昇するという結果を生じさせる。一方、 V_{REF} を越えたならば、比較器の出力は調整を行うべく p 形トランジスタ 8 3 2 をオフに転換させて、駆動され調整された V_{REF} が分圧器 8 4 0 に現れる。分圧器 8 4 0 は一連の抵抗器により形成され、任意の 2 抵抗器間のタップは、それぞれ、DAC 1 などの信号によってオンにされるトランジスタ 8 4 4 などのトランジスタによって出力 8 0 3 へ切り替え可能である。このようにして、出力 8 0 3 を分圧器内の 1 つのタップに選択的に接続することにより、 V_{REF} の所望の部分、すなわち $(n * r / r_{TOT}) * V_{REF}$ を得ることができる。ここで n は、選択された r_{DAC} セッティングの数である。

20

【 0 0 7 4 】

V_{REF} 、従って V_{WL} はノード 8 2 1 を参照させられる。ノード 8 2 1 におけるベース電圧は、ベース電圧セレクタ 8 5 0 により選択可能である。ベース電圧セレクタ 7 4 0 は、トランジスタ 7 4 2 を介し、そのゲートにおいて制御信号 CONSL がアサートされているときに、ノード 7 2 1 を集合アクセスノード 3 5 (図 9 A を参照) またはページソース線のページアクセスノード 3 7 (図 9 B を参照) に選択的に接続する。あるいは、セレクタ回路 8 5 0 は、トランジスタ 8 5 4 を介し、そのゲートにおいて制御信号 CONGND がアサートされているときに、ノード 8 2 1 を接地 4 0 1 に選択的に接続する。従って、信号 CONSL がアサートされているときには V_1 がノード 8 2 1 に現れ、それが VREF 回路 8 2 0 および分圧器 8 4 0 のためのベース電圧となるということが分かる。従って、追跡ワード線電圧制御回路 8 0 0 の出力は $V_{WL} = (n * r / r_{TOT}) * V_{REF} + V_1$ を有する。集合アクセスノード 3 5 またはページアクセスノード 3 7 を参照することにより、接地電位より高いソースバイアス V_1 の相当の部分が V_{WL} において自動的に補償されることになる。

30

40

代わりに、追跡電圧制御回路 8 0 0 は、ビット線電圧クランプ 6 1 0 (図 1 0 を参照) を制御するために使用される V_{BLC} のためにソースバイアスを追跡するために使用され得る。本質的に、出力電圧は $V_{BL} + V_{TN} + V_1$ を提供するようにセットされる。

【 0 0 7 5 】

調整されるソース電位

このセクションでは、ソース電位を調整する素子を導入する代替の実施形態のセットに

50

ついて説明する。第1のセットの実施形態は、ソース電位を感じしてそれを例えれば0.5Vまたは1.0Vなどの定電圧で一定するように調整するフィードバック回路を使用することに依拠する。1つの代替セットの実施形態は、ソース線を接地より高いレベルに置くために非線形抵抗性素子（例えば、ダイオード）を使用する。このセクションの実施形態は、先行するセクションで示されたもの（および米国特許第7,173,854号（特許文献22）および第7,170,784号（特許文献23）でさらに発展したもの）と、これらが単独あるいは組み合わされて利用され得るという点で、相補的であるということに留意するべきである。

【0076】

図13は、先行する図からの素子の多くを含むけれども、ここでの検討のために、いくつかの回路素子を明示しないことによって、簡略化されている。数個の代表的なNANDストリング50が、ドレイン端子56を通してそれらの対応するビット線36に接続されて示されている。所与のNANDストリング、より一般的には所与のメモリセルが、ソース線940に直接接続されて示されているけれども、通例数個の中間素子（NANDストリング内の他のメモリセル、選択ゲート、種々のスイッチまたはマルチプレクサなど）があって、それらを通して、選択されたページのメモリセルのソースがページのソース線（図7Aの34）に接続されて、そこから複合ソース線940の中へ接続されるということに留意するべきである。ここで検討のために、種々のビット線バイアス回路およびセンスアンプ回路は円480により概略的に表され、そのうちの1つが選択されたもの（Se1.）として示されている。統合ソース線940は、「構造ブロック」と称されるもののセル全てについて電流を受け、図7Aおよび9Aの素子40に対応する。このソース線940に沿う電流 I_{CS} は、ソース絶縁スイッチ402を通ってチップの接地（先行する図における401）へ進む。ここで、図7Bに関して前に論じられた、ソース線をV高める種々の抵抗は、 $R_{CS}901$ としてまとめられているので、 $V = I_{CS} \times R_{CS}$ である。

【0077】

先行するセクションにおいて、補償が必要とされるのは、所与のページを感じるために使われているビット線回路またはワード線回路のためであったので、ビット線電圧またはワード線電圧のソース電圧への参照は主としてページに関して論じられた。このセクションの実施形態において、ワード線、ビット線、または両方への可変V値を参照するのではなくて、感知操作中にソース線を基準値に固定するための回路素子が導入される。従って、関連ソース線940は、ソース線絶縁スイッチを通る電流に寄与することができ、図7Aおよび9Aの素子40に対応する構造ブロックの全素子の線である。同様に、ノード910は、それぞれ図9Aおよび9Bのノード35および37に例えられるべきである。NANDアーキテクチャでは、物理的ブロックは、1ワード線の幅にわたるNANDストリングの集合と解されてよいので、構造ブロックは、図3に示されているように、幅がワード線で、長さが1NANDストリングである。NORおよび他の構成では、1つの共通ソース線により放電させられる対応する構造である。ここで使用される構造ブロックは、フラッシュメモリにおける「ブロック」のより一般的な使用法である「消去ブロック」すなわち消去の単位とは別様に定義されているということに留意するべきである。これら2つの構造は一致してもよく、またしばしば実際に一致するけれども、より一般的な環境においては必ずしもそうでなくてもよい。

【0078】

図13に戻ると、このセクションの実施形態は、集合ノード910における電位が変動する量だけ高められるという問題を、それを一定値に調整することによって処理する。例えば、構造ブロックのためのソース線における跳ね返りは代表的な現行の設計では例えば0.3Vほどの高さになり得るので、ノード910を0.5V～1.0Vの範囲内に保つことによって、この跳ね返りがソース電圧に影響しないように充分な空き高が存在することになる。第1のセットの実施形態は、ノード910の電位を調整するためにフィードバック回路を用いて、これを成し遂げる。第2のセットの実施形態はノード910の電位に対して非線形抵抗性素子を用いる。これらの技術はソース線を1つの基準値におおよそ一

10

20

50

30

40

50

定に保つけれども、感知操作中のノード 910 における残りの変化量は、所望ならば前のセクションの技術によって補償され得る。

【0079】

さらに、ソース線 940 とワード線、ビット線、基板、またはこれらの何らかの組み合わせとの間の電圧差を調整するために、例えば能動的回路素子を使用するなどの他の相補的な技術も結合され得る。ビット線バイアスを補償するために線 701 に沿って能動的回路素子 799 を用いるためのそのようなアプローチが図 14 に示されている。この簡略化された図には詳細は示されていないけれども、素子 799 は、適切なビット線電圧、そしてフィードバックループを含む。ワード線電圧を補償するためのそのような構成が、Feng Pan, Trung Pham および Byungki Woo により本願と同時に出願されて適切な回路に関するより多くの詳細を提供する「Read, Verify Word Line Reference Voltage to Track Source Level」という米国特許出願第 11/961,917 号（特許文献 24）において展開されている。10

【0080】

図 15A は、能動的回路を用いることによってノード 910 におけるソース線 940 とチップの接地との間における電位降下を調整するために採用される第 1 の実施形態を示す。トランジスタ 923 はノード 910 とチップの接地との間に接続され、そのコントロールゲートはオペアンプ 921 により駆動される。オペアンプ 921 の - 入力は基準電圧に接続され、+ 入力はフィードバックループとしてノード 910 のレベルに接続されている。この回路の正味の効果は、ソース線 940 における電圧を、相対的バイアスが正確に決定され得るように、線上の電流あるいはソース絶縁スイッチ 402 を通る経路上の抵抗降下とは無関係に、基準値に固定するように調整することである。当業者ならば理解できるように、オペアンプ 921 は標準的な設計により実現されることが可能、回路は、安定およびその他の動作上の問題のために必要に応じて一般的に組み込まれる追加素子を含むことができる。20

【0081】

図 15A に加えられる回路素子は感知操作（読み出し、ベリファイ）中にソース電位を調整するために加えられるので、感知中にこれらの素子を結合させるためのスイッチおよび制御回路（図示せず）が通常包含されることになる。さらに、単一の構造ブロックを調整するための実施形態が示されているけれども、代わりの変形例において、1 プレーン内に複数の構造ブロックがあるときには、そのプレーン全体のために単一のそのような回路が使用され得る。同様に、単一のそのような回路が複数のプレーンのためにも使用され得る。この場合、フィードバックループによって基準値に調整されるノードはスイッチ 402 の他方の側に存在することになる。なぜならば、このスイッチは単一のブロックに特有のものだからである。逆に、集合ソースノード 910 において 1 構造ブロックの全体と一緒に調整するのではなくて、より精密な調整が望まれるならば、個々のページも調整され得る（すなわち、複合線 40 の代わりに図 7A のソース線 34 の各々を調整する）。けれども、それは回路と複雑さとが増大するという代償を払ってのことである。これらのコメントは、図 15B、15C、および 16 の実施形態にも当てはまる。30

【0082】

任意に、ソース絶縁スイッチ 402 は、スイッチ 402 のゲートを線 923 に沿うフィードバックループに接続することによって、プルダウン回路の一部としても使用され得る。これは、923 に対してより小さなトランジスタを使えるであろうから、面積節約に帰着し得る。スイッチ 402 が適切に選択されたならば、或る場合には 923 なしで済ませることができる。しかし、スイッチ 402 は、付加的な機能を有し、従ってこの調整機能のために最適化され得るであろうから、大抵の場合に調整プロセスを提供するかあるいは強化するためにトランジスタ 923 が使用されると思われる。40

【0083】

オペアンプ 921 に印加される基準電圧のために選択される値を接地として選ぶことができ、或るアプリケーションでは好ましいことであり得る。しかし、電圧を所与のレベル

に調整するためには普通はその所望のレベルのいずれの側でも1つの範囲の電圧を使用するので、0Vでの調整は通常負の電圧が利用可能であることを必要とし、それは普通は望ましくない困った問題である。大抵の場合は、生じかねないソース電位における跳ね返りの予想される最高値より幾分高い基準値を使用することがより実際的である。例えば、Vの最高値が0.3V程度であろうと予想されるならば、基準電圧は0.5Vあるいは1.0Vに選択され得る。その後、読み出しありべリファイレベル中のバイアスレベルは、この高められた、充分に一定したソースバイアスを反映するように調整される。

【0084】

図15Aの構成は下向きに調整するだけである。回路におけるプルアップの量が不十分ならば、図15Bのもののような実施形態が使用され得る。図15Bでは、ソース電位が下がり過ぎることを防ぐように安定性を改善するために最低バイアスを保証するために、無補償電流源Ibias930が付加されるが、それは電流使用が増えるという代償を払った上でのことである。

図15Cの実施形態では、電流源はフィードバックループの中に持ち込まれている。より具体的には、電流源930は、経路931に沿うオペアンプ921の出力によってそのコントロールゲート電圧がセットされるPMOSトランジスタとして実現される。調整されるプルアップ素子を使用すれば、プルアップまたはプルダウンの量をより正確に補償することができる。所与のアプリケーションにおいてどれが好ましいのか、図15A～Cの実施形態から選ぶ際は、回路設計でよくあることだが、安定性、複雑さ、電力消費、レイアウト面積などのバランスを取って設計を選択することになる。

【0085】

ソース電位を高められた一定のレベルに保つための代替の実施形態が図16に示されている。この実施形態では、図15A～Cの能動的素子が、ダイオード950などの非線形抵抗性素子に替えられ、ダイオード接続されたトランジスタあるいは他のありふれた装置により実現され得る。そのようなクランプの使用は、必要なレイアウト面積が図15A～Cと比べて少ないという利点を有する。ここに示されている基本的な構成は、ダイオード950が適切に選択されることを必要とするほかに、温度および電圧変動に対する制御を能動回路ベースの実施形態と同じくらいに正確に行なう能力を欠いている。

【0086】

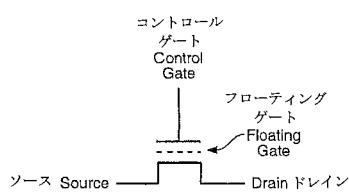
本発明の種々の態様をいくつかの実施形態について記述してきたが、添付されている特許請求の範囲全体の中で本発明が保護を受ける権利を有するということが理解される。

10

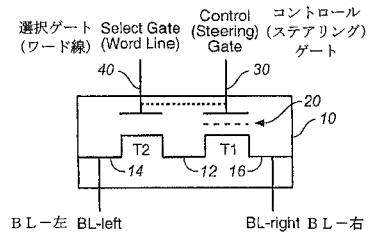
20

30

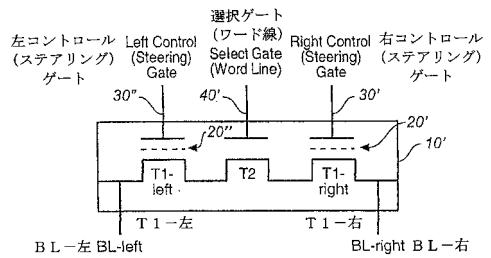
【図 1 A】

**FIG. 1A (PRIOR ART)**
(従来技術)

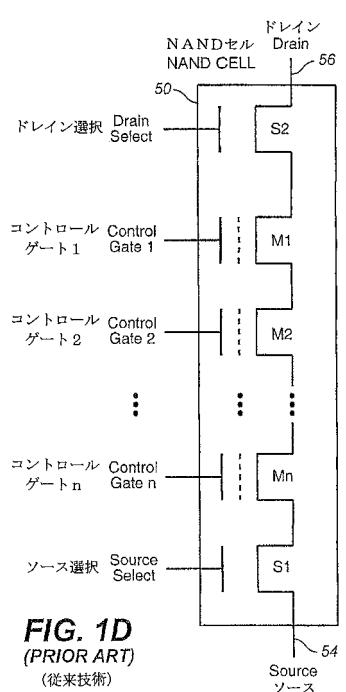
【図 1 B】

**FIG. 1B (PRIOR ART)**
(従来技術)

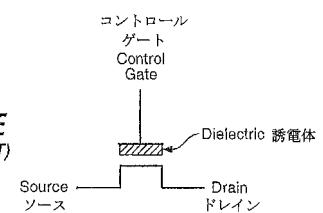
【図 1 C】

**FIG. 1C (PRIOR ART)**
(従来技術)

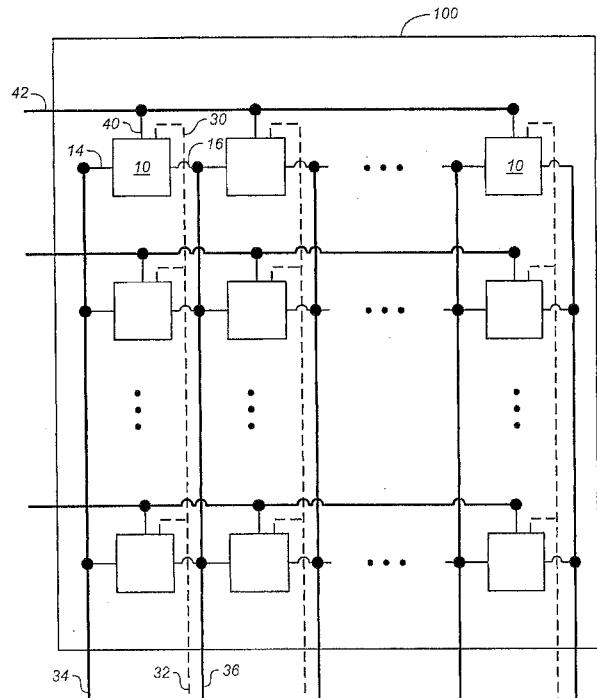
【図 1 D】

**FIG. 1D**
(PRIOR ART)
(従来技術)

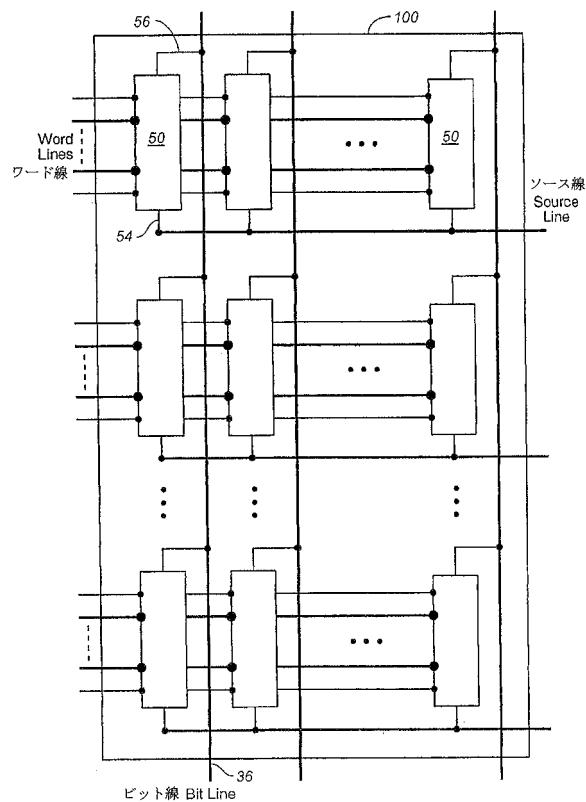
【図 1 E】

**FIG. 1E**
(PRIOR ART)
(従来技術)

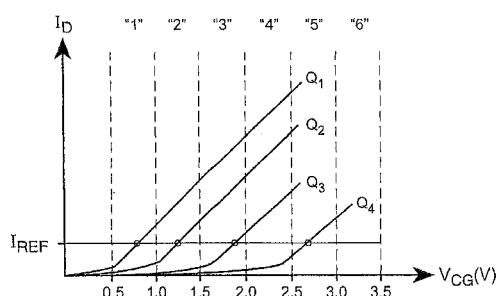
【図2】

FIG. 2
(PRIOR ART)
(従来技術)

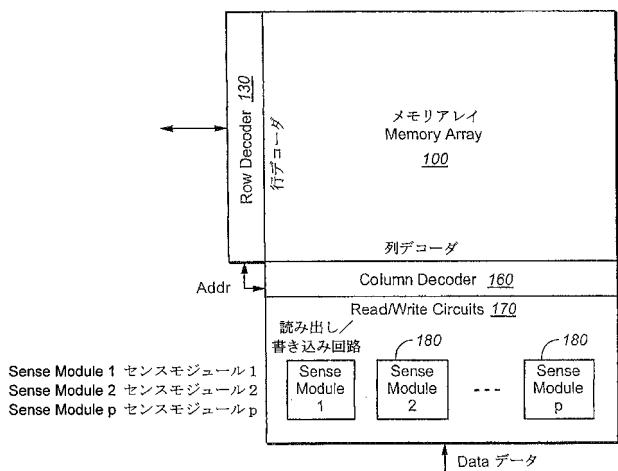
【図3】

FIG. 3 (PRIOR ART)
(従来技術)

【図4】

FIG. 4 (PRIOR ART)
(従来技術)

【図5】

FIG. 5 (PRIOR ART)
(従来技術)

【図 6 A】

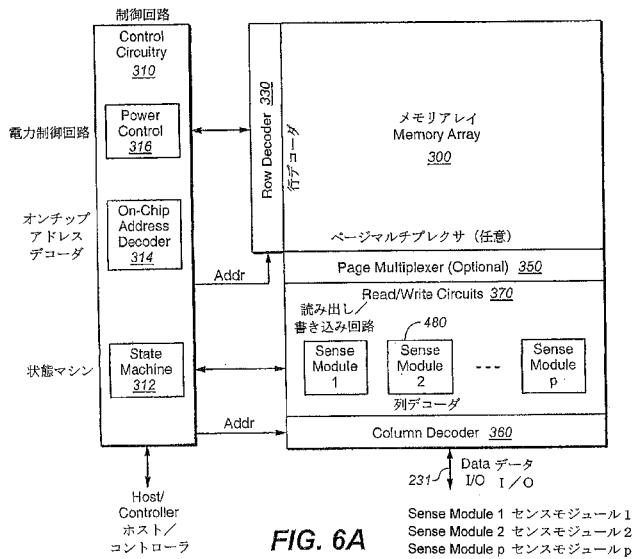


FIG. 6A

【図 6 B】

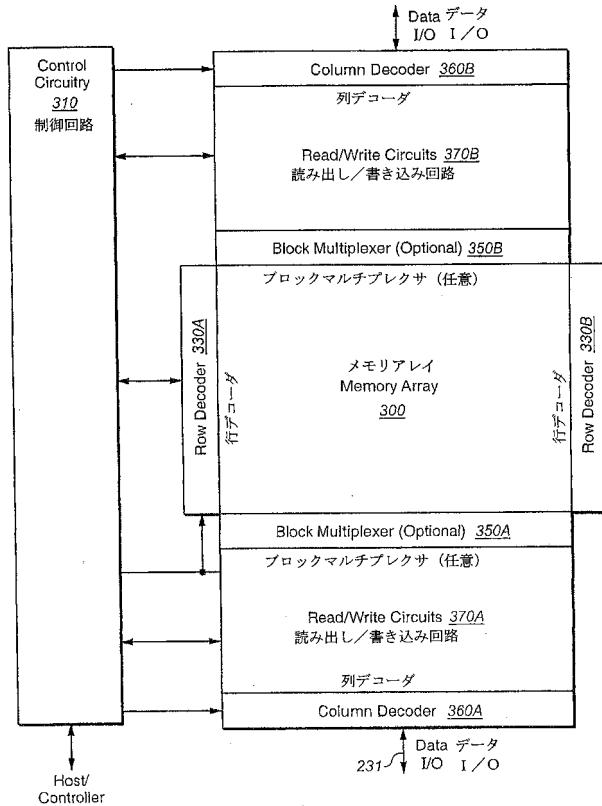
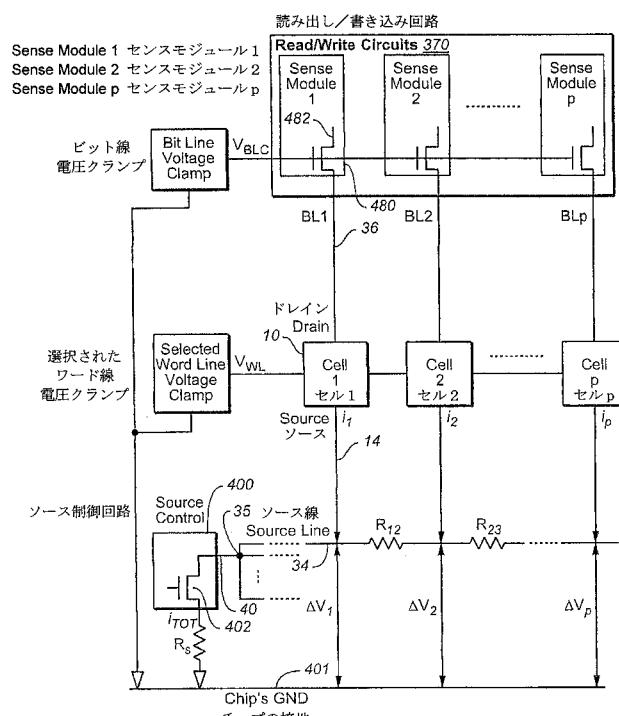


FIG. 6B

【図 7 A】

FIG. 7A
(PRIOR ART)
(従来技術)

【図 7 B】

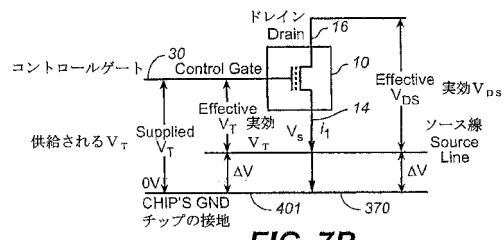


FIG. 7B

【図 8】

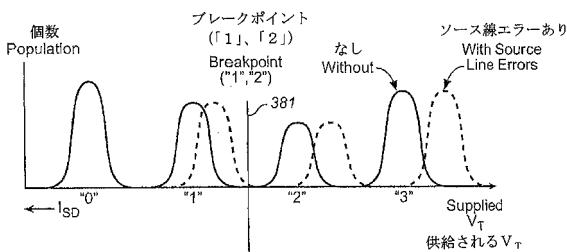


FIG. 8

【 図 9 A 】

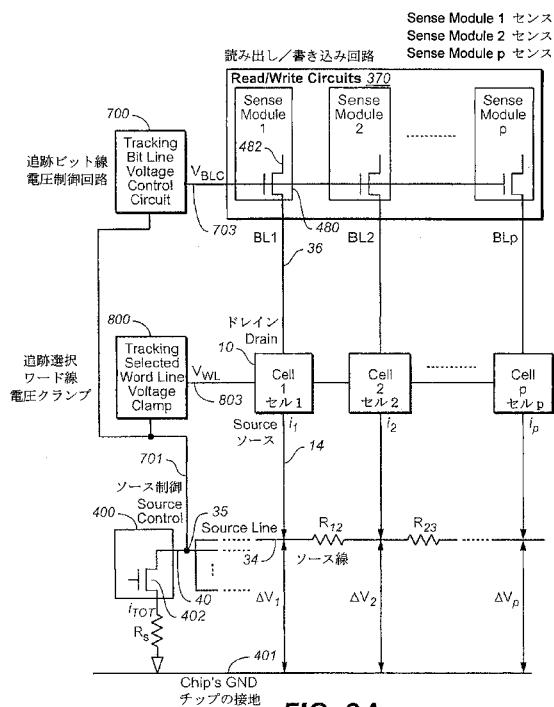


FIG. 9A

【 図 9 B 】

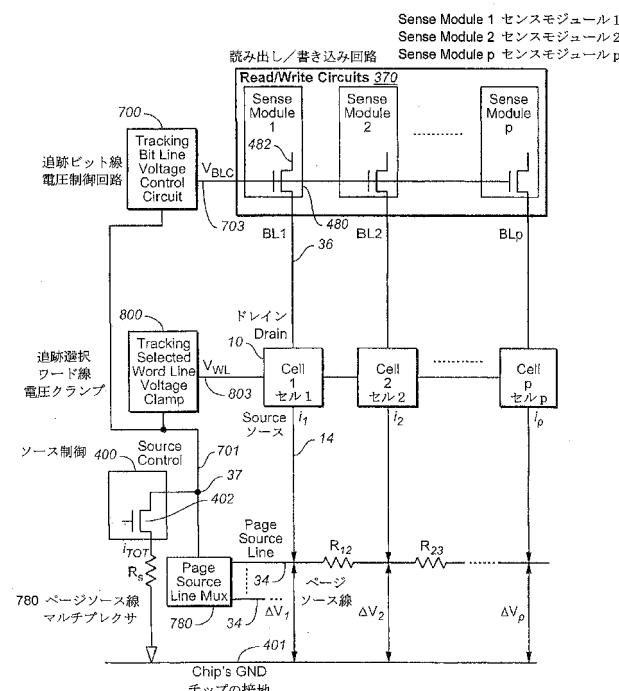


FIG. 9B

【 図 1 0 】

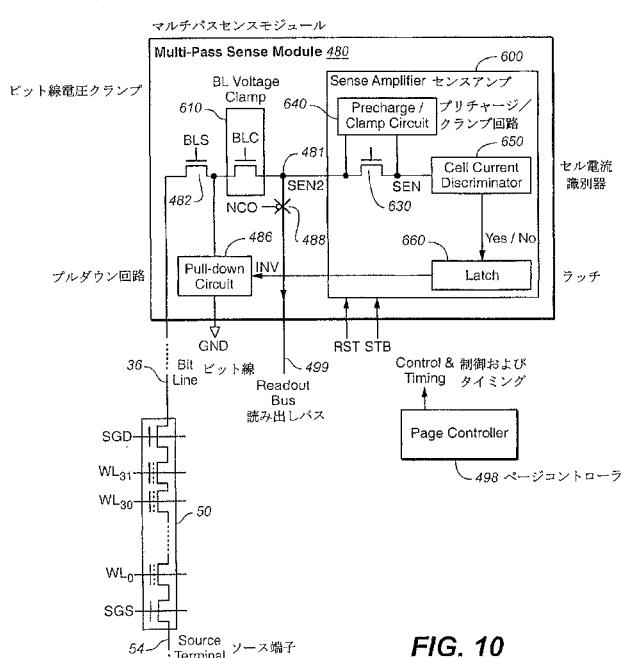


FIG. 10

【 図 1 1 】

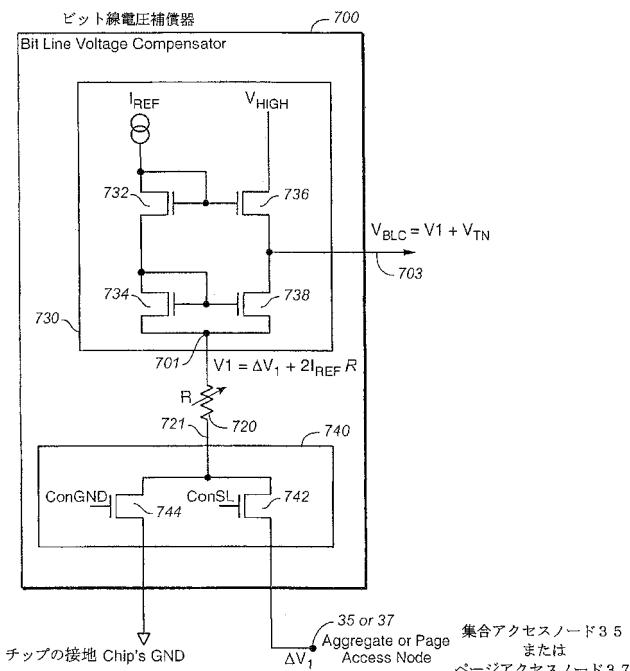


FIG. 11

【図12】

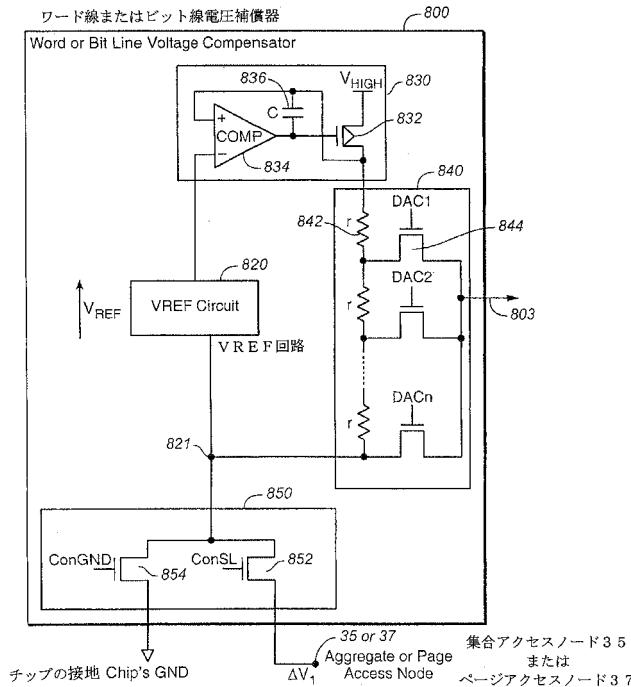


FIG. 12

【図13】

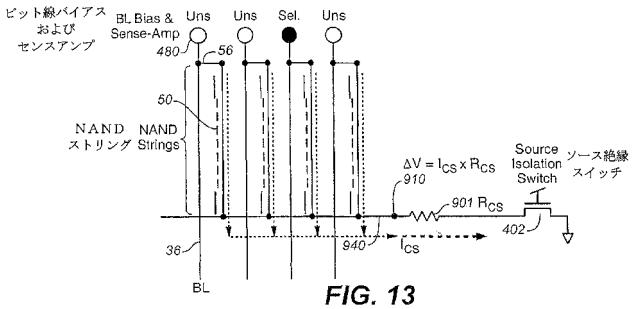


FIG. 13

【図14】

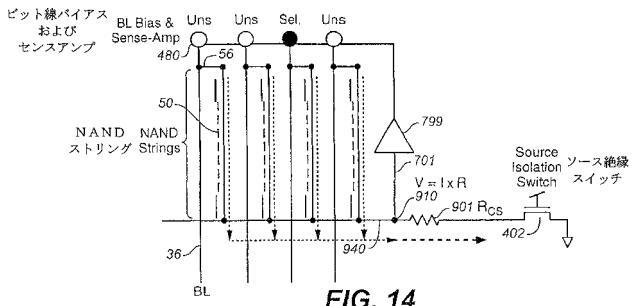


FIG. 14

【図15A】

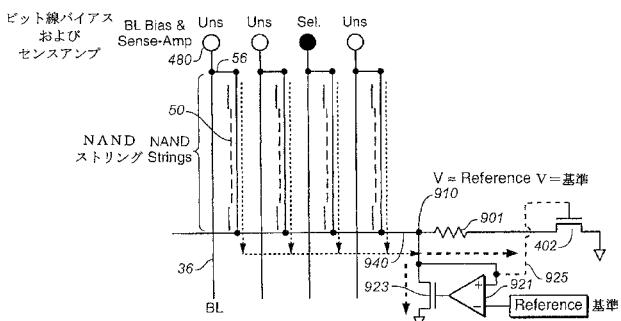


FIG. 15A

【図15C】

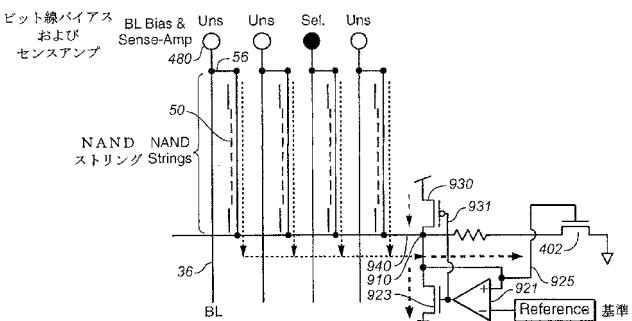


FIG. 15C

【図15B】

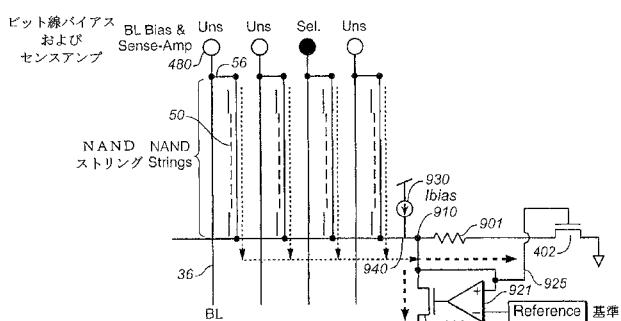


FIG. 15B

【図16】

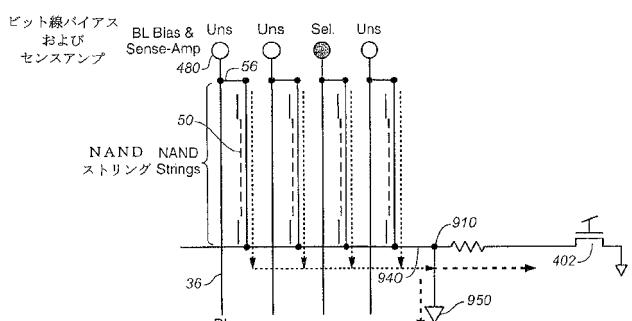


FIG. 16

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2008/086694

A. CLASSIFICATION OF SUBJECT MATTER INV. G11C16/30		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2006/105363 A (SANDISK CORP [US]; CERNEA RAUL-ADRIAN [US]; CHAN SIU LUNG [US]) 5 October 2006 (2006-10-05) the whole document	1,2, 4-13, 15-18 3,14
Y	EP 1 331 644 A (ST MICROELECTRONICS SRL [IT]) 30 July 2003 (2003-07-30) paragraph [0026]; figure 7	1,2, 4-13, 15-18
X	US 2007/058429 A1 (UMEZAWA AKIRA [JP]) 15 March 2007 (2007-03-15) figures 1-4	19-24
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents :</p> <p>'A' document defining the general state of the art which is not considered to be of particular relevance</p> <p>'E' earlier document but published on or after the International filing date</p> <p>'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>'O' document referring to an oral disclosure, use, exhibition or other means</p> <p>'P' document published prior to the International filing date but later than the priority date claimed</p> <p>*T later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>*& document member of the same patent family</p>		
Date of the actual completion of the International search	Date of mailing of the international search report	
5 March 2009	13/03/2009	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Ramcke, Ties	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2008/086694

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
WO 2006105363	A	05-10-2006	CN	101176166 A	07-05-2008	
			EP	1864295 A1	12-12-2007	
			JP	2008535141 T	28-08-2008	
			KR	20080009193 A	25-01-2008	
			US	2006221694 A1	05-10-2006	
			US	2008253185 A1	16-10-2008	
			US	2007115722 A1	24-05-2007	
EP 1331644	A	30-07-2003	US	2003142547 A1	31-07-2003	
US 2007058429	A1	15-03-2007	JP	2007080306 A	29-03-2007	
			KR	20070029581 A	14-03-2007	

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,NO,PL,PT,RO,SE,SI,SK,T
R),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,
BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,D0,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,K
G,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT
,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(特許庁注：以下のものは登録商標)

1. フロッピー

(72)発明者 セカー , ディーパック チャンドラ

アメリカ合衆国、30318、ジョージア州、アトランタ、テヌス ストリート 251、テヌス
・アンド・ホーム・アパートメント F212

F ターム(参考) 5B125 BA01 CA15 CA21 DA03 EA05 EC09 EG14 EH07 FA05