

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6123414号
(P6123414)

(45) 発行日 平成29年5月10日 (2017.5.10)

(24) 登録日 平成29年4月14日 (2017.4.14)

(51) Int. Cl.

F I

H O 1 S 5/227 (2006.01)

H O 1 S 5/227

H O 1 S 5/343 (2006.01)

H O 1 S 5/343

H O 1 L 31/107 (2006.01)

H O 1 L 31/10

B

G O 2 F 1/017 (2006.01)

G O 2 F 1/017

5 O 3

請求項の数 7 (全 15 頁)

(21) 出願番号 特願2013-67014 (P2013-67014)
 (22) 出願日 平成25年3月27日 (2013.3.27)
 (65) 公開番号 特開2014-192369 (P2014-192369A)
 (43) 公開日 平成26年10月6日 (2014.10.6)
 審査請求日 平成27年12月21日 (2015.12.21)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100082175
 弁理士 高田 守
 (74) 代理人 100106150
 弁理士 高橋 英樹
 (74) 代理人 100148057
 弁理士 久野 淑己
 (72) 発明者 恵良 淳史
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

審査官 百瀬 正之

最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法、半導体素子の製造装置

(57) 【特許請求の範囲】

【請求項 1】

非晶質 A s 膜を形成するための A s 供給部をチャンバ内に備えたドライエッチング装置を用いて、前記チャンバ内において A 1 を含む半導体層が積層された半導体基板にエッチングを施して前記半導体層の少なくとも一部を露出させたメサ構造を形成し、前記メサ構造の形成の次に前記メサ構造の表面に非晶質 A s 膜を形成するメサ構造形成工程と、

前記メサ構造形成工程の後に前記半導体基板を前記チャンバから搬出し、半導体結晶成長装置が備える他のチャンバに搬入する搬送工程と、

前記他のチャンバ内で、前記非晶質 A s 膜を除去した後に前記メサ構造の両側を埋込層で埋め込む埋込工程と、

を備えることを特徴とする半導体素子の製造方法。

【請求項 2】

前記埋込工程が、前記他のチャンバ内で前記非晶質 A s 膜を加熱することで前記メサ構造から前記非晶質 A s 膜を脱離させることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】

前記埋込工程は、前記他のチャンバで前記非晶質 A s 膜を 250 以上の温度に加熱することで前記非晶質 A s 膜を除去することを特徴とする請求項 2 に記載の半導体素子の製造方法。

【請求項 4】

前記メサ構造形成工程は、前記メサ構造の表面に前記非晶質 A s 膜を 10 以下の温度で形成することを特徴とする請求項 2 または 3 に記載の半導体素子の製造方法。

【請求項 5】

台座を備えたチャンバと、

前記チャンバ内に連通し、前記台座上の半導体基板にエッチングを行うためのエッチングガス供給部と、

前記チャンバ内に連通し、前記台座上の半導体基板に非晶質 A s 膜を形成するように前記チャンバ内に A s 分子を供給する A s 供給部と、

前記チャンバに対する前記エッチングガス供給部および前記 A s 供給部 の連通と遮断とを選択的に切り替える開閉機構と、

を備えることを特徴とする半導体素子の製造装置。

【請求項 6】

前記 A s 供給部は、前記チャンバ内に連通したるつば及び前記るつばを加熱するヒータを備えることを特徴とする請求項 5 に記載の半導体素子の製造装置。

【請求項 7】

前記チャンバ内を 10 以下に冷却する温度調整チラーを更に備えることを特徴とする請求項 5 または 6 に記載の半導体素子の製造装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、Al を含む半導体層を有する半導体素子の製造方法、および半導体素子の製造装置に関する。

【背景技術】

【0002】

半導体レーザや半導体光変調器などの光半導体素子では、活性層へ電流を効率よく供給させるために電流経路を狭窄させる必要がある。そこで、多くの光半導体素子では、活性層を持つ半導体積層構造をエッチングしてメサ構造を形成し、電流が流れる領域を限定させることで電流狭窄を行っている。さらに、メサ構造の側面で露出される活性層の保護や、放熱性、素子の寄生容量等の観点から、メサ構造の両側は例えば n / p / n / p 型の In P 埋込層で埋め込まれる。この場合、メサ構造の側面は p 型 In P 埋込層で覆われている必要がある。

【0003】

半導体積層構造が、活性層、クラッド層、或いは SCH (Separate Confinement Hetero Structure) 層等として、Al を含む半導体層を有する場合がある。Al を含む半導体層は大気中の酸素によって容易に酸化される。

【0004】

一般にドライエッチング装置と MOCVD 装置等の結晶成長装置はそれぞれ別々の装置であり、チャンバも異なる。ドライエッチング装置のチャンバ内でメサ構造を形成した後、そのメサ構造を備えた半導体基板を一端チャンバから搬出し、MOCVD 装置のチャンバ内に搬送する必要がある。その搬送の過程で、このメサ構造を備えた半導体基板が大気に曝される。そうすると、前述した容易に酸化される性質により、Al を含む半導体層の表面に Al 酸化膜が形成されてしまう。ドライエッチングの他に、フッ酸等のウェットエッチング処理を行った場合も、その後の水洗や大気への暴露によって、Al を含む半導体層の表面に Al 酸化膜が形成されてしまう。

【0005】

この Al 酸化膜が半導体素子の特性を劣化させる問題があった。例えば、活性層を持つ半導体積層構造をエッチングしてメサ構造の側面に p 型 In P 埋込層を成長させるとき、メサ構造の側面に Al 酸化膜が形成されていると、当該側面への p 型 In P 埋込層の成長が阻害されてしまう。この場合、さらに n 型 In P 埋込層を積層すると、p 型 In P 埋込層の成長が不十分であることから、n 型 In P 埋込層と活性層が接して無効電流経路を形

10

20

30

40

50

成するという問題があった。

【0006】

そこで、この問題を解消するために、MOCVDと並列してドライエッチング装置を設けることでメサ構造を大気に暴露しない、いわゆる *in situ* エッチング装置が提案されている（例えば、非特許文献1参照）。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2010-10435号公報

【特許文献2】特開平6-291032号公報

【特許文献3】特開平10-284466号公報

【非特許文献】

【0008】

【非特許文献1】小倉睦朗著、「その場ECRドライエッチングおよびガスエッチング/MOCVD再成長プロセスによる埋め込み型AlGaAs系レーザ」、電子技術総合研究所彙報、第64巻 第3号

【非特許文献2】N. J. KAWAI等著、「Arsenic passivation: a possible remedy for MBE growth-interruption problems」、Electronics letters、1984年1月5日、Vol. 20、No. 1

【発明の概要】

【発明が解決しようとする課題】

【0009】

上記の非特許文献1にかかる *in-situ* 型のMOCVD並列ドライエッチング装置は、ドライエッチング装置とMOCVD装置との間を通路部で接続している。この通路部内の空間は大気から遮断されている。そこで、この通路部内を通じて、Alを含む半導体層の露出面が大気に曝されることを避けつつ、ドライエッチング装置のチャンバからMOCVDのチャンバへと製造途中の製品を移し変えることができる。

【0010】

しかしながら、エッチング装置と、MOCVD等の結晶成長装置とでは、要求される機能が大きく異なっている。結晶成長装置は品質の良い結晶構造を形成するための装置であるから、その内部が不純物質で汚染されることを嫌う。エッチング装置と結晶成長装置とを連結させるのであれば、両者のチャンバ間でのガスの隔離、つまりエッチングガスが結晶成長装置側へと進入するなどの汚染を徹底的に防止しなければならない。また、エッチングを行うチャンバから結晶成長を行うチャンバへのウェハ搬送のために、複雑な輸送機構を新たに設ける必要がある。こういった理由から、上記非特許文献1に記載されるような、エッチング装置と結晶成長装置とを連結させた装置は、不可避免的に高コストなものとならざるをえず、製造コストを考えた場合にいまだ改善の余地を残すものであった。

【0011】

本発明は、上述のような課題を解決するためになされたもので、製造コストにも配慮したうえでAlを含む半導体層の表面にAl酸化膜が形成されることを抑制することができる半導体素子の製造方法、半導体素子の製造装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明にかかる半導体素子の製造方法は、

非晶質As膜を形成するためのAs供給部をチャンバ内に備えたドライエッチング装置を用いて、前記チャンバ内においてAlを含む半導体層が積層された半導体基板にエッチングを施して前記半導体層の少なくとも一部を露出させたメサ構造を形成し、前記メサ構造の形成の次に前記メサ構造の表面に非晶質As膜を形成するメサ構造形成工程と、

前記メサ構造形成工程の後に前記半導体基板を前記チャンバから搬出し、半導体結晶成

10

20

30

40

50

長装置が備える他のチャンバに搬入する搬送工程と、

前記他のチャンバ内で、前記非晶質 A s 膜を除去した後に前記メサ構造の両側を埋込層で埋め込む埋込工程と、

を備えることを特徴とする。

【 0 0 1 3 】

本発明にかかる半導体素子の製造装置は、

台座を備えたチャンバと、

前記チャンバ内に連通し、前記台座上の半導体基板にエッチングを行うためのエッチングガス供給部と、

前記チャンバ内に連通し、前記台座上の半導体基板に非晶質 A s 膜を形成するように前記チャンバ内に A s 分子を供給する A s 供給部と、

前記チャンバに対する前記エッチングガス供給部および前記A s 供給部の連通と遮断とを選択的に切り替える開閉機構と、

を備えることを特徴とする。

【発明の効果】

【 0 0 1 4 】

本発明によれば、製造コストにも配慮したうえで、A l を含む半導体層の表面に A l 酸化膜が形成されることを抑制することができる。

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】本発明の実施の形態 1 にかかる半導体素子の製造装置の構成を示す図であり、製造装置の内部構成を示した断面図である。

【図 2】本発明の実施の形態 1 にかかる半導体素子の製造方法を説明するためのフローチャートである。

【図 3】本発明の実施の形態 1 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 4】本発明の実施の形態 1 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 5】本発明の実施の形態 1 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 6】本発明の実施の形態 1 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 7】本発明の実施の形態 1 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 8】本発明の実施の形態 2 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 9】本発明の実施の形態 2 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 1 0】本発明の実施の形態 2 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 1 1】本発明の実施の形態 2 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 1 2】本発明の実施の形態 3 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 1 3】本発明の実施の形態 3 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 1 4】本発明の実施の形態 3 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

【図 1 5】本発明の実施の形態 3 にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。

10

20

30

40

50

【発明を実施するための形態】**【0016】**

実施の形態 1 .

〔実施の形態 1 にかかる装置の構成〕

図 1 は、本発明の実施の形態 1 にかかる半導体素子の製造装置 50 の構成を示す図であり、製造装置 50 の内部構成を示した断面図である。製造装置 50 の主たる役割は、ドライエッチングを行うためのドライエッチング装置であり、製造装置 50 は一般的なドライエッチング装置の構成を備えている。さらに、製造装置 50 の特徴的な構成として、M B E 装置で用いられるような A s 分子供給機構と、A s 分子供給によって懸念されるエッチング用途への悪影響を防ぐための機構が備えられている。

10

【0017】

図 1 に示すように、製造装置 50 は、処理チャンバ 49 を備えている。ドライエッチング装置の構成として、処理チャンバ 49 内部には、陽極 45 および陰極 46 が設けられている。陰極 46 は、半導体ウェハ 40 を載せるための台座としての役割も備えている。

【0018】

処理チャンバ 49 には、シャッター 42 を介して開閉されるエッチング終端検出器 41 と、シャッター 44 を介して開閉されるエッチングガス流入口 43 が設けられている。エッチングガス流入口 43 は、エッチングガス供給装置 43 a に接続している。陽極 45 および陰極 46 には、ブロッキングコンデンサ 47、R F 発振器 48 が電氣的に接続されている。

20

【0019】

製造装置 50 は、非晶質 A s 膜を成膜するための A s 分子供給機構を備えている。具体的には、処理チャンバ 49 には開口が設けられており、この開口を介して、A s 原料を充填したるつぼ (A s セル) 38 が処理チャンバ 49 内に連通している。るつぼ 38 と処理チャンバ 49 間には、シャッター 39 が設けられている。るつぼ 38 を加熱するためのヒータが設けられており、ヒータは具体的にはヒータ用抵抗 38 a およびこの抵抗へ通電する通電制御部 38 b を備える。

【0020】

抵抗 38 a へ通電してるつぼ 38 を加熱することにより、A s を蒸発させ、シャッター 39 の開閉やるつぼ 38 の温度調節によって半導体ウェハ 40 への A s 供給をコントロールする。

30

【0021】

また、エッチング終端検出器 (発光検出器) 41 の窓部にシャッター 42 を設けており、非晶質 A s 膜形成の際はシャッター 42 を閉め、検出器に A s が堆積して不具合を起こすことを防ぐことができる。

【0022】

同様に、エッチングガス流入口 43 にもシャッター 44 を設けている。非晶質 A s 膜形成の際はシャッター 44 を閉め、エッチングガスの流入経路に A s が堆積して不具合を起こすことを防ぐことができる。

40

【0023】

このように、るつぼ用シャッター 39 およびシャッター 44 は、処理チャンバ 49 に対するエッチングガス流入口 43 及びるつぼ 38 の連通と遮断とを選択的に切り替える開閉機構である。

【0024】

製造装置 50 は、温度調節チラー 51 を備えている。温度調節チラー 51 の冷媒供給部 51 a および 51 b が、陰極 46 の下面に取り付けられている。温度調節チラー 51 は、冷媒にフッ素系の冷媒などを使用することにより、陰極 46 上面に載せられた半導体ウェハ 40 の温度を制御することができる。なお、図示しないが、半導体ウェハ 40 または陰極 46 の温度を計測するための温度計も備えられている。なお、温度調節チラー 51 の冷媒供給部 51 a および 51 b が、陰極 46 の下面に取り付けられている例を示したが、冷

50

媒供給部は陰極４６の内部に設けてもよい。

【００２５】

[実施の形態１にかかる製造方法]

図２は、本発明の実施の形態１にかかる半導体素子の製造方法を説明するためのフローチャートである。図３乃至７は、本発明の実施の形態１にかかる半導体素子の製造方法により半導体素子が製造される過程を示す製造フロー図である。本実施の形態にかかる製造方法で製造されるのは、半導体発光素子である。

【００２６】

(ステップＳ１００：第１積層工程)

まず、図２に示すフローチャートでは、ステップＳ１００にかかる第１積層工程が実施される。この工程では、先ず、ＭＯＣＶＤ等の結晶成長装置（図示せず）を用いて、図３に示すように、ｐ型ＩｎＰ基板１上に、半導体積層構造７を形成する。半導体積層構造７は、ｐ型ＩｎＰクラッド層２、ｐ型Ａｌ（Ｇａ）ＩｎＡｓ下光閉込層３、ＡｌＧａＩｎＡｓ多重量子井戸活性層４、ｎ型Ａｌ（Ｇａ）ＩｎＡｓ上光閉込層５、ｎ型ＩｎＰクラッド層６がこの順にｐ型ＩｎＰ基板１に積層されたものである。Ａｌを含む半導体層は、ｐ型Ａｌ（Ｇａ）ＩｎＡｓ下光閉込層３、ＡｌＧａＩｎＡｓ多重量子井戸活性層４、ｎ型Ａｌ（Ｇａ）ＩｎＡｓ上光閉込層５である。

【００２７】

半導体積層構造７が形成されたｐ型ＩｎＰ基板１を、この結晶成長装置のチャンバから搬出する。以下、ｐ型ＩｎＰ基板１上に半導体積層構造７を備える半導体基板全体を、便宜上、半導体ウェハ４０とも称す。

【００２８】

(ステップＳ１０１：ＳｉＯ_２膜形成工程)

次に、ステップＳ１０１では、公知のフォトリソグラフィ技術、装置（図示せず）を用いて、半導体積層構造７上に選択的にシリコン酸化膜であるＳｉＯ_２膜８を形成する。

【００２９】

(ステップＳ１０２：エッチング工程および非晶質Ａｓ膜形成工程)

次に、ステップＳ１０２は、エッチング工程によるメサ構造９の形成と、非晶質Ａｓ膜１０の形成工程とを、図１に示す製造装置５０を用いて実施するものである。すなわち、まず、ステップＳ１０１で半導体積層構造７上にＳｉＯ_２膜８を選択的に形成したもの（これが図１の半導体ウェハ４０である）を、製造装置５０の処理チャンバ４９内に搬入する。

【００３０】

図４に示すように、ＳｉＯ_２膜８をマスクとして用いて半導体積層構造７を選択的にドライエッチングすることにより、メサ構造９を形成する。つまり、シャッター４４を開放し、エッチングガス流入口４３を介してエッチングガスを導入し、ＲＦ発振器４８を制御することでドライエッチングを実施する。

【００３１】

次に、メサ構造９の表面に非晶質Ａｓ膜１０を１０℃以下の温度で形成する。すなわち、温度調節チラー５１を制御して、半導体ウェハ４０を１０℃以下に冷却し、るつぼ３８からＡｓ分子を供給し、図５に示すようにメサ構造９に非晶質Ａｓ膜１０を形成する。ただし、ドライエッチングしてから非晶質Ａｓ膜１０の形成までは、メサ構造９が大気に露出しないように、これらの工程を処理チャンバ４９内で連続して行う。

【００３２】

(ステップＳ１０４：搬送工程)

次に、ステップＳ１０４で搬送工程が実施される。非晶質Ａｓ膜１０を形成したメサ構造９を有する半導体ウェハ４０を、製造装置５０の処理チャンバ４９から搬出する。そして、図示しない結晶成長装置（本実施の形態ではＭＯＣＶＤ装置とする）のチャンバ内に、半導体ウェハ４０を搬入する。

【００３３】

10

20

30

40

50

搬送の途中、非晶質As膜10は、メサ構造9で露出したAlを含む半導体層（すなわち、p型Al(Ga)InAs下光閉込層3、AlGaInAs多重量子井戸活性層4、n型Al(Ga)InAs上光閉込層5）の表面酸化を防止する酸化防止膜として機能する。

【0034】

（ステップS106：加熱工程および埋込層形成工程）

次に、ステップS106の加熱工程および埋込層形成工程が実施される。具体的には、半導体ウェハ40を搬入したMOCVD装置（図示せず）内で、半導体ウェハ40を250℃以上に加熱することで、非晶質As膜を脱離させる。これは、MOCVD装置による結晶成長自体が通常は十分に高温環境でなされるものであるから、結晶成長を実施するための加熱に伴って、非晶質As膜10が脱離されることになる。

10

【0035】

図6に示すように、メサ構造の両側をp型InP埋込層11、n型InP電流ブロック層12、p型InP電流ブロック層13及びn型InP埋込層14で埋め込む。このとき、非晶質As膜10をメサ構造9から脱離させた後にメサ構造9が大気に露出しないように、加熱工程から成膜工程が連続して実施される。

【0036】

（ステップS108：第2積層工程）

次に、図7に示すように、SiO₂膜8を取り除いた後、n型InPコンタクト層15及びn型InGaAsコンタクト層16を形成する。これが第2積層工程である。その他の一般的な工程を経て本実施の形態に係る光半導体素子が製造される。これ以降の一般的な工程は各種公知技術を用いればよいため、説明を省略する。

20

【0037】

製造装置50の処理チャンバ49内壁や電極（陽極45、陰極46）にAs膜が蒸着されることにより、製造装置50内の環境が変化してエッチングに悪影響を及ぼすことが懸念される。そこで、必要に応じて処理チャンバ49内壁や電極を250℃以上に加熱して、クリーニングを行うことが好ましい。

【0038】

このクリーニング時は、エッチング終端検出器41の窓部に対してシャッター42を閉めるとともに、エッチングガス流入口43のシャッター44を閉める。これにより、蒸発したAsが、エッチング終端検出器41やエッチングガス流入経路（エッチングガス流入口43およびエッチングガス供給装置43a）に到達することを防ぐようにする。

30

【0039】

〔実施の形態1の作用効果〕

メサ構造9を100℃以下の低温にした状態でAs分子を供給することで、メサ構造9の表面に非晶質As膜10を成膜することができる。非晶質As膜10は、メサ構造を大気に曝した際の表面酸化などの汚染を防ぐ働きをする。非晶質As膜10は、250℃以上に加熱することでメサ構造9から脱離させることができる。なお、上記のような半導体上の非晶質As膜の有用性・性質は、例えば非特許文献2に記載されている。

【0040】

実施の形態1では、メサ構造9の形成後に大気に曝することなく非晶質As膜10を形成し、この非晶質As膜10を酸化防止膜として用いつつ異なるチャンバ間（すなわち処理チャンバ49とMOCVD装置のチャンバとの間）で半導体ウェハ40を搬送することができる。その後、この非晶質As膜10を加熱により脱離したうえで、埋込層を形成することができる。

40

【0041】

しかも、実施の形態1によれば、図1に示した製造装置50に非晶質As膜形成の機能を持たせたことにより、安価な製造装置50を用いて、メサ構造9の形成後に、Alを含む半導体層を大気に曝することなく非晶質As膜10を形成させることができる。

【0042】

50

すなわち、製造装置 50 が備える非晶質 As 膜 10 の形成のための構成は、p 型埋込層 11 等の埋込構造を形成するための装置ではなく、再結晶成長を行うための装置ではない。MOCVD や MBE などの結晶成長装置でチャンバ内に必要とされる環境と、処理チャンバ 49 内において非晶質 As 膜 10 を形成するために必要な環境とは異なる。

【0043】

処理チャンバ 49 内において非晶質 As 膜 10 を形成するために必要な成膜環境は、結晶成長において必要とされる程には低不純物環境や温度その他の成膜環境が高品質である必要は無い。また、結晶成長で必要となる 400 以上の高温に加熱するための加熱機構、およびその高温に耐えうる部材の耐久性が必要ない。このため、製造装置 50 に搭載すべき非晶質 As 膜形成用の構成は、非晶質 As 膜 10 をメサ構造 9 表面の酸化防止膜（カバ

10

【0044】

以上説明した実施の形態 1 にかかる製造方法および製造装置によれば、Al を含む半導体層の表面に Al 酸化膜が形成されることを確実に防止し、安価に光半導体素子を製造することができる。

【0045】

[実施の形態 1 の変形例]

実施の形態 1 では、非晶質 As 膜 10 を酸化防止膜として用いることで、Al を含む半導体層（すなわち、p 型 Al (Ga) In As 下光閉込層 3、Al Ga In As 多重量子井戸活性層 4、n 型 Al (Ga) In As 上光閉込層 5）を被覆した。しかしながら、本発明はこれに限られるものではない。

20

非晶質 As 膜 10 に代えて、低温脱離が可能であって且つメサ構造 9 で露出した Al 含有半導体層に Al 酸化膜が形成されるのを防ぐことができる程度の酸化防止性能を有する酸化防止膜を用いても良い。

【0046】

なお、上記実施の形態では、メサ構造 9 の両側を p 型 In P 埋込層 11、n 型 In P 電流ブロック層 12、p 型 In P 電流ブロック層 13 及び n 型 In P 埋込層 14 からなる p 型 / n 型 / p 型 / n 型という積層構造で埋め込むものとした。しかしながら、本発明にか

30

かかる埋込層の構成はこれに限定されるものではない。n 型 / p 型 / i 型 / n 型 / p 型という積層構造や p 型 / i 型 / n 型 / p 型という積層構造など、導電性や容量を調整した他の様々な埋め込み構造の場合でも同様の効果が得られる。ただし i 型はアンドープである。

【0047】

また、Fe や Ru などをドーブした高抵抗 In P 埋込層、あるいは高抵抗アンドープ In Al As 層などの半導体層を埋め込んでもよい。

【0048】

さらに、ステップ S100 やステップ S106 において MOCVD 装置以外の結晶成長装置、たとえば MBE 装置を用いてもよい。結晶成長や装置内での加熱による非晶質 As 膜脱離を同様に行ってもよい。

40

【0049】

また、実施の形態 1 では、p 型 In P 基板 1 を用いたが、n 型基板を用いた逆転層構造の場合でも同様の効果が得られる。なお、この逆転層構造の場合の埋め込み構造は p 型 / n 型 / p 型などの構造となり、これに加え、導電性や容量を調整した他の様々な埋め込み構造の場合でも同様の効果が得られる。

【0050】

また、実施の形態 1 では、図 1 に示す製造装置 50 が、ドライエッチングと非晶質 As 膜形成が一つのチャンバで行える装置であった。しかしながら、本発明はこれに限られるものではない。既存のドライエッチング装置のチャンバと、既存の MBE 装置、真空蒸着装置等を用いた非晶質 As 膜形成用装置のチャンバとを、大気から遮断されるように接続

50

した通路部を介して接続してもよい。この通路部（搬送通路）を介して半導体ウェハ40を搬送することで、エッチング後のメサ構造9を大気に曝さずに、非晶質As膜10で覆ってもよい。

【0051】

実施の形態2.

図8乃至11は、本発明の実施の形態2に係る光半導体素子の製造方法を説明するための製造フロー図である。実施の形態2にかかる製造方法は、実施の形態1とは異なり、半導体受光素子を製造する。

【0052】

なお、メサ構造形成のためのドライエッチングおよび非晶質As膜形成については、実施の形態1と同様に、製造装置50を用いるものとする。また、実施の形態2では、半導体ウェハ240が、製造装置50の処理チャンバ49内に搬入、搬出される。

【0053】

実施の形態2にかかる製造方法の基本的な流れは、図2に示した実施の形態1にかかる製造方法フローチャートと同様である。但し、図2に示すフローチャートの各ブロックの内容が相違している。以下の説明では、実施の形態2の各工程を図2のフローチャートの各ブロック毎の工程に対応させながら説明するものとし、実施の形態2のためのフローチャートは省略するものとする。

【0054】

（第1積層工程）

この工程は、図2のステップS100と対応する工程である。実施の形態2では、図8に示すように、n型InP基板17上に、半導体積層構造23を形成する。半導体積層構造23は、n型InPバッファ層18、n型AlGaInAs多重量子井戸アバランシェ倍増層19、p型InGaAs光吸収層20、p型InPキャップ層21、p型InGaAsコンタクト層22がこの順にn型InP基板17上に積層されたものである。n型多重量子井戸アバランシェ倍増層19が、Alを含む半導体層である。

【0055】

（SiO₂膜形成工程）

次に、半導体積層構造23上にフォトリソグラフィなどによりパターニングしたSiO₂膜24を形成する。この工程は、図2のステップS101と対応する工程である。

【0056】

（エッチング工程および非晶質As膜形成工程）

次に、半導体積層構造23にSiO₂膜24を選択的に形成した半導体ウェハ240を、製造装置50の処理チャンバ49内に搬入する。図9に示すように、SiO₂膜24をマスクとして用いて半導体積層構造23をドライエッチングしてメサ構造25を形成する。このとき、図1に示す製造装置50を用いてエッチングを行う。

【0057】

次に、メサ構造25の表面に非晶質As膜26を10℃以下の温度で形成する。すなわち、温度調節チラー51を制御して処理チャンバ49内を10℃以下に冷却し、るつぼ38からAs分子を供給し、図10に示すように、メサ構造25に非晶質As膜26を形成させる。ただし、ドライエッチングしてから非晶質As膜26の形成までは、メサ構造25が大気に露出しないように、これらの工程を連続して行う。これらの工程は、図2のステップS102と対応する工程である。

【0058】

（搬送工程）

次に、搬送工程が実施される。この工程は、図2のステップS104と対応する工程である。実施の形態2では、非晶質As膜26を形成したメサ構造25を有する半導体ウェハ240を、製造装置50の処理チャンバ49から搬出する。そして、図示しない結晶成長装置（本実施の形態ではMOCVD装置とする）のチャンバ内に、半導体ウェハ240を搬入する。

10

20

30

40

50

【 0 0 5 9 】

(加熱工程および埋込層形成工程)

次に、加熱工程および埋込層形成工程が実施される。この工程は、図 2 のステップ S 1 0 6 と対応する工程である。実施の形態 2 では、MOCVD 装置内で 250 以上に加熱することで非晶質 As 膜 26 を脱離させ、図 1 1 に示すように、メサ構造 25 の両側を、高抵抗 InP 埋込層 27 で埋め込む。高抵抗 InP 埋込層 27 は、Fe や Ru などドーピングしたものである。このとき、非晶質 As 膜 26 を脱離させてから連続して埋め込みを行い、メサ構造 25 が大気に露出しないようにする。

【 0 0 6 0 】

(その他の一般的な工程)

高抵抗埋め込み層 27 の形成後は、その他の一般的な工程を経て本実施の形態に係る光半導体素子(半導体受光素子)が製造される。これ以降の一般的な工程は各種公知技術を用いればよく、新規な事項ではないため、説明を省略する。

【 0 0 6 1 】

半導体受光素子においては、Al を含む半導体層の表面に Al 酸化膜が形成されると、暗電流が増加するという問題がある。

【 0 0 6 2 】

実施の形態 2 では、メサ構造 25 の形成後に大気に曝すことなく非晶質 As 膜 26 を形成し、この非晶質 As 膜 26 を酸化防止膜として用いつつ異なるチャンバ間(すなわち処理チャンバ 49 と MOCVD 装置のチャンバとの間)で半導体ウェハ 240 を搬送することができる。その後、この非晶質 As 膜 26 を加熱により脱離したうえで、埋込層を形成することができる。

【 0 0 6 3 】

しかも、実施の形態 3 によれば、図 1 に示した製造装置 50 に非晶質 As 膜形成の機能を持たせたことにより、安価な製造装置 50 を用いて、メサ構造 25 の形成後に、Al を含む半導体層を大気に曝すことなく非晶質 As 膜 26 を形成させることができる。

【 0 0 6 4 】

以上説明した実施の形態 2 にかかる製造方法および製造装置によれば、Al 酸化膜形成による暗電流増加を確実に防止し、安価に半導体受光素子を製造することができる。

【 0 0 6 5 】

なお、上記実施の形態では、メサ構造 25 の両側を高抵抗 InP 埋込層 27 で埋め込むものを示したが、本発明はこれに限られず、高抵抗アンドープ InAlAs 層などの半導体層を埋め込んでよい。

【 0 0 6 6 】

さらに、上述した加熱工程および埋込層形成工程において、MOCVD 装置以外の結晶成長装置、たとえば MBE 装置を用いて、結晶成長や装置内での加熱による非晶質 As 膜脱離を行ってもよい。

【 0 0 6 7 】

また、ウインドウ層を持つ構造、アバランシェ倍増層を持たない構造、光吸収層とアバランシェ構造が逆転している構造、電界降下層を持つ構造などの場合でも同様の効果が得られる。

【 0 0 6 8 】

また、基板に GaSb を用いた、Al を含む光吸収層と高抵抗埋め込み層を持つ構造でも同様の効果が得られる。

【 0 0 6 9 】

実施の形態 3 .

図 1 2 乃至 1 5 は、本発明の実施の形態 3 に係る光半導体素子の製造方法を説明するための製造フロー図である。実施の形態 3 にかかる製造方法は、実施の形態 1 とは異なり、電界吸収型光変調器を製造する。

【 0 0 7 0 】

なお、メサ構造形成のためのドライエッチングおよび非晶質A s膜形成については、実施の形態1と同様に、製造装置50を用いるものとする。また、実施の形態3では、半導体ウェハ340が、製造装置50の処理チャンバ49内に搬入、搬出される。

【0071】

実施の形態3にかかる製造方法の基本的な流れは、図2に示した実施の形態1にかかる製造方法フローチャートと同様である。但し、図2に示すフローチャートの各ブロックの内容が相違している。以下の説明では、実施の形態3の各工程を図2のフローチャートの各ブロック毎の工程に対応させながら説明するものとし、実施の形態3のためのフローチャートは省略するものとする。

【0072】

10

(第1積層工程)

この工程は、図2のステップS100と対応する工程である。実施の形態3では、まず、図12に示すように、n型InP基板28上に、n型InPクラッド層29、AlGaInAs多重量子井戸コア層30、p型InPクラッド層31、p型InGaAsコンタクト層32を有する半導体積層構造33を形成する。AlGaInAs多重量子井戸コア層30が、Alを含む半導体層である。

【0073】

(SiO₂膜形成工程)

次に、半導体積層構造33上にフォトリソグラフィなどによりパターニングしたSiO₂膜34を形成する。この工程は、図2のステップS101と対応する工程である。

20

【0074】

(エッチング工程および非晶質A s膜形成工程)

次に、図13に示すように、このSiO₂膜34をマスクとして用いて半導体積層構造33をドライエッチングしてメサ構造35を形成する。このとき、図1に示す製造装置50を用いてエッチングを行う。

【0075】

次に、温度調節チラー51を制御して、処理チャンバ49内を10℃以下に冷却し、るつぼ38からAs分子を供給し、図14に示すように、メサ構造35に非晶質A s膜36を形成させる。ただし、ドライエッチングしてから非晶質A s膜形成までは半導体ウェハ340が大気に露出しないように、これらの工程は処理チャンバ49内で連続して行う。この工程は、図2のステップS102と対応する工程である。

30

【0076】

(搬送工程)

次に、搬送工程が実施される。この工程は、図2のステップS104と対応する工程である。実施の形態3では、非晶質A s膜36を形成したメサ構造35を有する半導体ウェハ340を、製造装置50の処理チャンバ49から搬出する。そして、図示しない結晶成長装置(本実施の形態ではMOCVD装置とする)のチャンバ内に、半導体ウェハ340を搬入する。

【0077】

(加熱工程および埋込層形成工程)

40

次に、MOCVD装置内で250℃以上に加熱することで非晶質A s膜36を脱離させ、図15に示すように、メサ構造の両側をFeやRuなどをドーブした高抵抗InP埋込層37で埋め込む。このとき、非晶質A s膜36を脱離させてから連続して埋め込みを行い、メサ構造35が大気に露出しないようにする。この工程は、図2のステップS106と対応する工程である。

【0078】

(その他の一般的な工程)

以降、その他の一般的な工程を経て実施の形態3に係る光半導体素子(電界吸収型光変調器)が製造される。これ以降の一般的な工程は各種公知技術を用いればよく、新規な事項ではないため、説明を省略する。

50

【 0 0 7 9 】

電界吸収型光変調器においては、A 1を含む半導体層の表面にA 1酸化膜が形成されると、リーク電流が発生し、電圧が印加できなくなり、消光比の低下が起こり、E A (Electroabsorption) 動作を阻害するという問題がある。

【 0 0 8 0 】

実施の形態3では、メサ構造35の形成後に大気に曝すことなく非晶質As膜36を形成し、この非晶質As膜36を酸化防止膜として用いつつ異なるチャンバ間(すなわち処理チャンバ49とMOCVD装置のチャンバとの間)で半導体ウェハ340を搬送することができる。その後、この非晶質As膜36を加熱により脱離したうえで、埋込層を形成することができる。

10

【 0 0 8 1 】

しかも、実施の形態3によれば、図1に示した製造装置50に非晶質As膜形成の機能を持たせたことにより、安価な製造装置50を用いて、メサ構造35の形成後に、A 1を含む半導体層を大気に曝すことなく非晶質As膜36を形成させることができる。

【 0 0 8 2 】

以上説明した実施の形態3にかかる製造方法および製造装置によれば、A 1酸化膜形成による上記問題の発生を確実に防止し、安価に電界吸収型光変調器を製造することができる。

【 0 0 8 3 】

なお、上記実施の形態では、メサ構造35の両側を高抵抗InP埋込層37で埋め込んだ。しかしながら、本発明はこれに限られるものではなく、高抵抗アンドープInAlAs層などの半導体層を埋め込んでもよい。

20

【 0 0 8 4 】

さらに、上述した加熱工程および埋込層形成工程において、MOCVD装置以外の結晶成長装置、たとえばMBE装置を用いて、結晶成長や装置内での加熱による非晶質As膜脱離を行ってもよい。

【 0 0 8 5 】

また、実施の形態3ではn型InP基板28を用いたが、p型基板を用いた逆転層構造の場合でも同様の効果が得られる。また、基板に半絶縁性InPなどの高抵抗な半導体基板を用いた場合でも同様の効果が得られる。

30

【 符号の説明 】

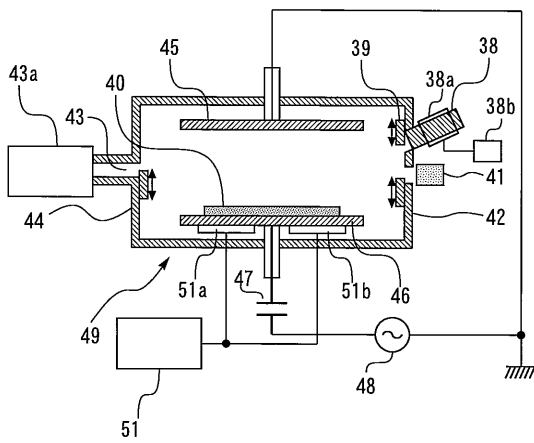
【 0 0 8 6 】

1 p型InP基板、2 p型InPクラッド層、3 p型Al(Ga)InAs下光閉込層、4 AlGaInAs多重量子井戸活性層、5 n型Al(Ga)InAs上光閉込層、6 n型InPクラッド層、7 半導体積層構造、8 SiO₂膜、9 メサ構造、10 非晶質As膜、11 p型InP埋込層、12 n型電流ブロック層、13 p型InP電流ブロック層、14 n型InP埋込層、15 n型コンタクト層、16 n型InGaAsコンタクト層、38 るつば、38a ヒータ用抵抗、38b 通電制御部、39 るつば用シャッター、40 半導体ウェハ、41 エッチング終端検出器、42 シャッター、43 エッチングガス流入口、43a エッチングガス供給装置、44 シャッター、45 陽極、46 陰極、47 ブロッキングコンデンサ、48 RF発振器、49 処理チャンバ、50 製造装置、51 温度調節チラー、51a、51b 冷媒供給部

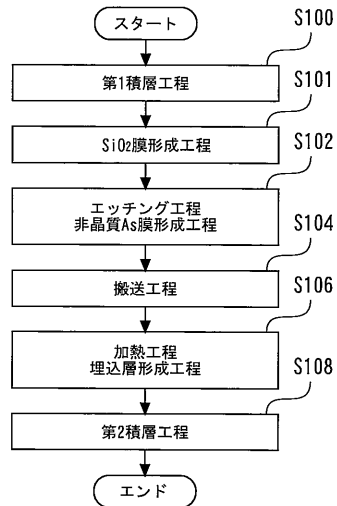
40

【 図 1 】

50

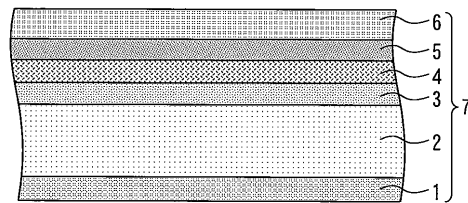


【 図 2 】



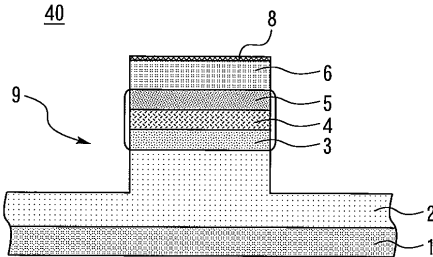
【 図 3 】

40



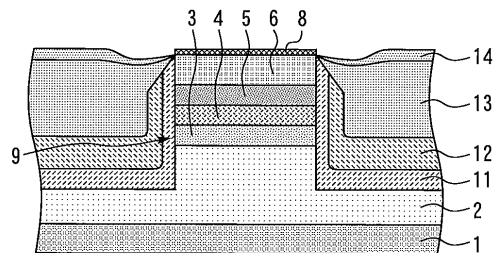
【圖 4】

40



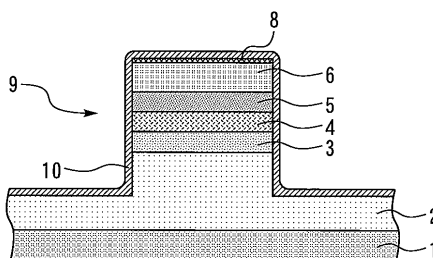
【 図 6 】

40



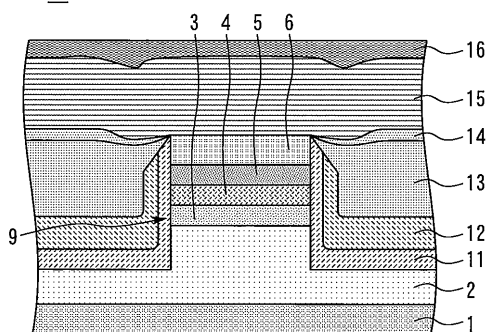
【圖 5】

40



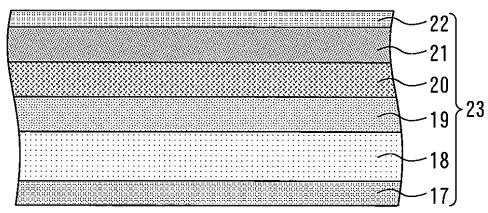
【圖 7】

40



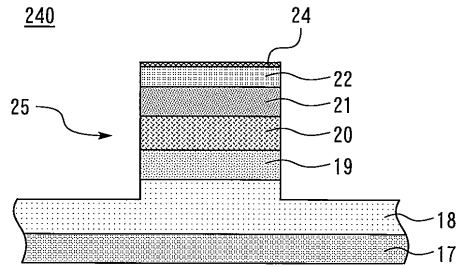
【図 8】

240



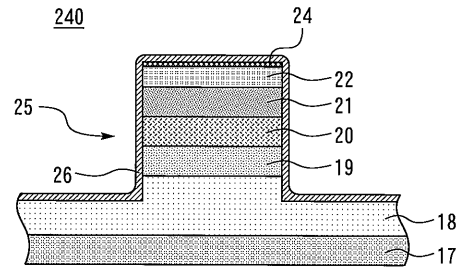
【図 9】

240



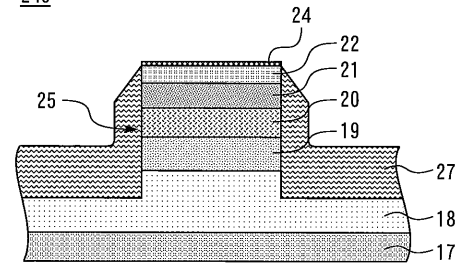
【図 10】

240



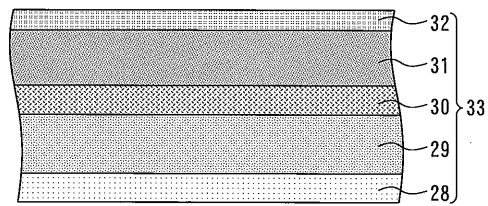
【図 11】

240



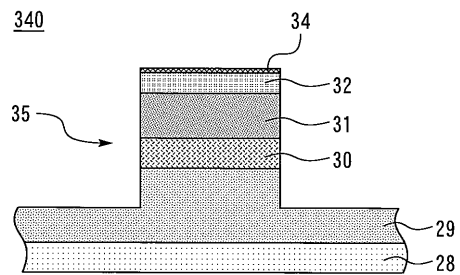
【図 12】

340



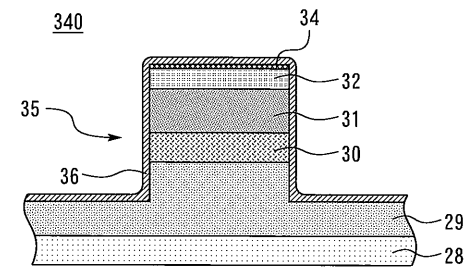
【図 13】

340



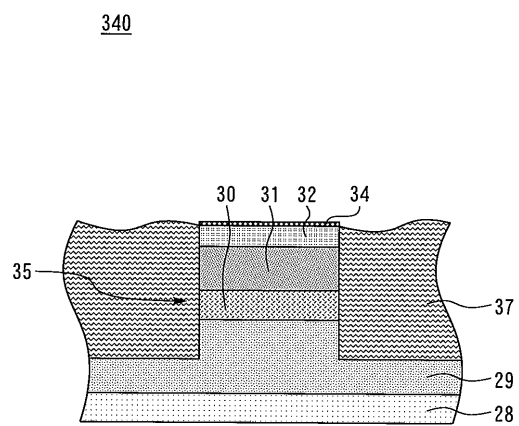
【図 14】

340



【図 15】

340



フロントページの続き

- (56)参考文献 特開平09-205254(JP,A)
特開平08-264443(JP,A)
特開2008-147684(JP,A)
特開平06-291032(JP,A)
特開平09-260289(JP,A)
特開平7-263355(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01S	5/00 - 5/50
H01L	31/00 - 31/02
H01L	31/08 - 31/10
H01L	31/18
H01L	21/203
H01L	21/363
B01J	10/00 - 12/02
B01J	14/00 - 19/32
C30B	1/00 - 35/00
G02F	1/017