

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2011-522348
(P2011-522348A)

(43) 公表日 平成23年7月28日(2011.7.28)

(51) Int.Cl.		F 1	テーマコード (参考)	
G 11 C	16/06 (2006.01)	G 11 C 17/00	6 3 4 C	5 B 1 2 5
G 11 C	16/04 (2006.01)	G 11 C 17/00	6 2 1 Z	
		G 11 C 17/00	6 2 2 E	
		G 11 C 17/00	6 3 4 B	
		G 11 C 17/00	6 3 4 G	

審査請求 未請求 予備審査請求 未請求 (全 36 頁)

(21) 出願番号	特願2011-511667 (P2011-511667)
(86) (22) 出願日	平成21年4月1日 (2009.4.1)
(85) 翻訳文提出日	平成23年1月7日 (2011.1.7)
(86) 国際出願番号	PCT/US2009/039082
(87) 国際公開番号	W02009/146057
(87) 国際公開日	平成21年12月3日 (2009.12.3)
(31) 優先権主張番号	12/128,535
(32) 優先日	平成20年5月28日 (2008.5.28)
(33) 優先権主張国	米国(US)

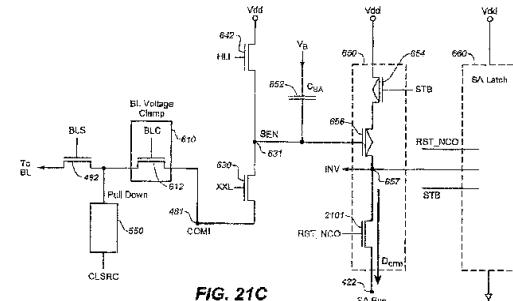
(71) 出願人	506197901 サンディスク コーポレイション アメリカ合衆国、95035、カリフォルニア州、ミルピタス、マッカシー ブルバード 601
(74) 代理人	100075144 弁理士 井ノ口 寿
(72) 発明者	グエン、ハオ タイ アメリカ合衆国、95124、カリフォルニア州、サンノゼ、アンドルーズ アベニュー 1839
(72) 発明者	ムイ、マン ラング アメリカ合衆国、95054、カリフォルニア州、サンタクララ、フォーリング ウォーター コート 2325

最終頁に続く

(54) 【発明の名称】不揮発性メモリのための高速センスアンプアレイおよび方法

(57) 【要約】

並行して感知される不揮発性メモリセルのグループのうちのメモリセルの伝導電流を感知してその結果をデータバスに提供するための感知回路を開示する。ノードを初期電圧に充電するために、プリチャージ回路がノードに結合される。中間回路もノードに結合されてメモリセルに接続可能であり、これによりプリチャージ回路からの電流をメモリセルに供給することができる。この回路は、ノードにおける放電の速度によって伝導電流の判定を行う比較回路と、判定の結果を保持するために比較回路に結合されたデータラッチと、データラッチに、その中にラッチされている結果をノードから独立してデータバスに供給するために、結合された転送ゲートとをも備える。この構成は、感知性能を改善し、感知中にアナログ感知経路におけるノイズをなくすと共にスイッチング電流を減少させるのに役立つことができる。



【特許請求の範囲】**【請求項 1】**

並行して感知される不揮発性メモリセルのグループの中のメモリセルの伝導電流を感知してその結果をデータバスに提供するための感知回路であって、

ノードと、

前記ノードを初期電圧に充電するために、前記ノードに結合されているプリチャージ回路と、

前記ノードに結合されて前記メモリセルに接続可能な中間回路であって、これにより前記プリチャージ回路からの電流が前記メモリセルに供給され得る中間回路と、

前記ノードにおける放電の速度によって前記伝導電流の判定を行うために前記ノードに結合された比較回路と、

前記判定の結果を保持するために前記比較回路に結合されたデータラッチと、

前記データラッチに、その中にラッチされている結果を前記ノードから独立して前記データバスに供給するために、結合された転送ゲートと、

を備える感知回路。

【請求項 2】

請求項 1 記載の感知回路において、

前記プリチャージ回路を、ラッチされた結果を前記データバスに供給すると同時に充電することができる感知回路。

【請求項 3】

請求項 1 記載の感知回路において、

前記グループの各メモリセルを関連するピット線によりアクセスすることができ、

前記中間回路は、前記関連するピット線に結合される感知回路。

【請求項 4】

請求項 1 記載の感知回路において、

前記不揮発性メモリセルのグループは、フラッシュ EEPROM の一部分である感知回路。

【請求項 5】

請求項 4 記載の感知回路において、

前記フラッシュ EEPROM は、NAND 形のものである感知回路。

【請求項 6】

請求項 1 記載の感知回路において、

個々の不揮発性メモリセルは、電荷蓄積素子をそれぞれ包含する感知回路。

【請求項 7】

請求項 6 記載の感知回路において、

前記電荷蓄積素子は、フローティングゲートである感知回路。

【請求項 8】

請求項 6 記載の感知回路において、

前記電荷蓄積素子は、誘電体層である感知回路。

【請求項 9】

請求項 1 記載の感知回路において、

前記不揮発性メモリセルは、メモリカードにおいて具体化される感知回路。

【請求項 10】

請求項 1 記載の感知回路において、

前記比較回路は、前記伝導電流を基準値と比較することによって判定を行う感知回路。

【請求項 11】

請求項 1 記載の感知回路において、

前記データラッチにラッチされた結果は、前記中間回路におけるスイッチングレベルから独立に前記データバスに供給される感知回路。

【請求項 12】

10

20

30

40

50

並行して感知される不揮発性メモリセルのグループの中の第1のメモリセルの伝導電流を感知してその結果をデータバスに提供する方法であって、

中間回路を介して1つ以上のメモリセルによりアクセスされ得るノードを設けるステップと、

前記ノードを第1の感知操作のために初期電圧にプリチャージするステップと、

前記メモリセルのうちの第1のメモリセルを通して前記中間回路を介して前記ノードを放電させるステップと、

前記第1のメモリセルを通じて前記ノードを放電させるステップの速度によって測定するステップと、

前記測定するステップの結果をラッチするステップと、

ラッチされた結果をデータバスに出力するステップと、

前記ラッチするステップの後で前記出力するステップを完了する前に、前記ノードを第2の感知操作のためにプリチャージするステップと、

を含む方法。

【請求項13】

請求項12記載の方法において、

前記グループの各メモリセルを関連するビット線によりアクセスすることができ、

前記方法は、放電の前に前記メモリセルのうちの前記第1のメモリセルのための関連するビット線に前記中間回路を結合させるステップをさらに含む方法。

【請求項14】

請求項12記載の方法において、

前記不揮発性メモリセルのグループは、フラッシュEEPROMの一部分である方法。

【請求項15】

請求項14記載の方法において、

前記フラッシュEEPROMは、NAND形のものである方法。

【請求項16】

請求項12記載の方法において、

個々の不揮発性メモリセルは、電荷蓄積素子をそれぞれ包含する方法。

【請求項17】

請求項16記載の方法において、

前記電荷蓄積素子は、フローティングゲートである方法。

【請求項18】

請求項16記載の方法において、

前記電荷蓄積素子は、誘電体層である方法。

【請求項19】

請求項12記載の方法において、

前記測定するステップは、伝導電流を基準値と比較することを含む方法。

【請求項20】

請求項12記載の方法において、

前記ラッチされた結果を出力するステップは、前記中間回路におけるスイッチングレベルから独立に前記データバスに供給される方法。

【請求項21】

並行して感知される不揮発性メモリセルのグループの中の第1のメモリセルの伝導電流を感知してその結果をデータバスに提供する方法であって、

中間回路を介して1つ以上のメモリセルによりアクセスされ得るノードを設けるステップと、

前記ノードを第1の感知操作のために初期電圧にプリチャージするステップと、

前記メモリセルのうちの第1のメモリセルを通して前記中間回路を介して前記ノードを放電させるステップと、

前記第1のメモリセルを通じて前記ノードを放電させるステップの速度によっ

10

20

30

40

50

て測定するステップと、

前記測定するステップの結果をラッチするステップと、

ラッチされた結果を前記ノードおよび前記中間回路から独立の経路によってデータバスに出力するステップと、

を含む方法。

【請求項 2 2】

請求項 2 1 記載の方法において、

前記グループの各メモリセルを関連するビット線によりアクセスすることができ、

前記方法は、放電の前に前記メモリセルのうちの前記第 1 のメモリセルのための関連するビット線に前記中間回路を結合させるステップをさらに含む方法。 10

【請求項 2 3】

請求項 2 1 記載の方法において、

前記不揮発性メモリセルのグループは、フラッシュ EEPROM の一部分である方法。

【請求項 2 4】

請求項 2 3 記載の方法において、

前記フラッシュ EEPROM は、NAND 形のものである方法。

【請求項 2 5】

請求項 2 1 記載の方法において、

個々の不揮発性メモリセルは、電荷蓄積素子をそれぞれ包含する方法。 20

【請求項 2 6】

請求項 2 5 記載の方法において、

前記電荷蓄積素子は、フローティングゲートである方法。

【請求項 2 7】

請求項 2 5 記載の方法において、

前記電荷蓄積素子は、誘電体層である方法。

【請求項 2 8】

請求項 2 1 記載の方法において、

前記測定するステップは、前記伝導電流を基準値と比較することを含む方法。 30

【請求項 2 9】

並行して感知される不揮発性メモリセルのグループの中の第 1 のメモリセルの伝導電流を感知してその結果をデータバスに提供する方法であって、

中間回路を介して 1 つ以上のメモリセルによりアクセスされ得るノードを設けるステップと、

前記ノードを第 1 の感知操作のために初期電圧にブリチャージするステップと、

前記メモリセルのうちの第 1 のメモリセルを通して前記中間回路を介して前記ノードを放電させるステップと、

前記第 1 のメモリセルを通じて前記ノードを放電させるステップの速度によって測定するステップと、

前記測定するステップの結果をラッチするステップと、

ラッチされた結果を中間回路から独立にデータバスに出力するステップであって、これによりその中においてノイズが低減される、ラッチされた結果を出力するステップと、

を含む方法。 40

【請求項 3 0】

請求項 2 9 記載の方法において、

前記グループの各メモリセルを関連するビット線によりアクセスすることができ、

前記方法は、放電の前に前記メモリセルのうちの前記第 1 のメモリセルのための関連するビット線に前記中間回路を結合させるステップをさらに含む方法。

【請求項 3 1】

請求項 2 9 記載の方法において、

前記不揮発性メモリセルのグループは、フラッシュ EEPROM の一部分である方法。 50

【請求項 3 2】

請求項 3 1 記載の方法において、
前記フラッシュ EEPROM は、 NAND 形のものである方法。

【請求項 3 3】

請求項 2 9 記載の方法において、
個々の不揮発性メモリセルは、電荷蓄積素子をそれぞれ包含する方法。

【請求項 3 4】

請求項 3 3 記載の方法において、
前記電荷蓄積素子は、フローティングゲートである方法。

【請求項 3 5】

請求項 3 3 記載の方法において、
前記電荷蓄積素子は、誘電体層である方法。

10

【請求項 3 6】

請求項 2 9 記載の方法において、
前記測定するステップは、伝導電流を基準値と比較することを含む方法。

【請求項 3 7】

請求項 2 9 記載の方法において、
前記ラッチされた結果を出力するステップは、前記中間回路におけるスイッチングレベルから独立に前記データバスに供給される方法。

【発明の詳細な説明】

20

【技術分野】**【0 0 0 1】**

本発明は、一般的には、電気的に消去可能でプログラム可能な読み出し専用メモリ (EEPROM) およびフラッシュ EEPROM などの不揮発性半導体メモリに関し、特に、感知回路に関し、メモリ動作は感知回路の動作のために速度に関して高められる。

【背景技術】**【0 0 0 2】**

特に小形のファクタカードとしてパッケージングされた EEPROM およびフラッシュ EEPROM 形の、電荷を不揮発性に蓄積することのできるソリッドステートメモリは、多様なモバイルおよびハンドヘルド装置、特に情報機器および消費者電子製品において一般的に好まれる記憶装置になっている。同じくソリッドステートメモリである RAM (ランダムアクセスメモリ) とは違って、フラッシュメモリは不揮発性であって、パワーがオフにされた後でも、格納されたデータを保持する。コストが高いにもかかわらず、フラッシュメモリは大容量記憶アプリケーションにおいてますます使用されている。ハードドライブおよびフロッピーディスクなどの回転磁気媒体に基づく在来の大容量記憶は、モバイルおよびハンドヘルド環境には適していない。というのも、ディスクドライブはかさばりがちであって、機械的故障を起こす傾向があり、長い待ち時間と大きな電力要件を有するからである。これらの望ましくない属性があるために、ディスクに基づく記憶は、大抵のモバイルおよびポータブルアプリケーションにおいて実用的なものではない。ところが、埋め込み型および取り外し可能なカードの形のフラッシュメモリは、両方ともサイズが小さく、電力消費も少なく、高速で信頼性が高いという特徴を持っているので、モバイルおよびハンドヘルド環境に理想的に適する。

30

【0 0 0 3】

EEPROM および電気的にプログラム可能な読み出し専用メモリ (EEPROM) は、消去することができて、そのメモリセルに新しいデータを書き込んだりあるいは「プログラム」したりすることができる不揮発性メモリである。両方とも、電界効果トランジスタ構造の中の、半導体基板内のチャネル領域の上に位置する、ソースおよびドレイン領域の間のフローティング (接続されていない) 伝導性ゲートを利用する。次に、フローティングゲートの上にコントロールゲートが設けられる。トランジスタのしきい値電圧特性は、フローティングゲート上に保持される電荷の量によって制御される。すなわち、フロー

40

50

イングゲート上の電荷の所与のレベルについて、トランジスタがそのソースおよびドレン領域の間の導通を可能にするように「オン」にされる前にコントロールゲートに印加されなければならない対応する電圧（しきい値）がある。

【0004】

フローティングゲートは、1つの範囲の電荷を保持することができ、したがってフローティングゲートを1つのしきい値電圧ウィンドウ（「伝導ウィンドウ」とも称される）の中の任意のしきい値電圧レベルにプログラムすることができる。しきい値電圧ウィンドウのサイズは装置の最低および最高のしきい値レベルにより定められ、フローティングゲートにプログラムされ得る電荷の範囲に対応する。しきい値ウィンドウは一般的に記憶装置の特性、動作条件および動作履歴に依存する。ウィンドウの中のそれぞれの別個の分解可能なしきい値電圧レベル範囲は、原理的には、セルの一定のメモリ状態を指定するために使用され得る。しきい値電圧が2つの識別可能な領域に分割されるときには、各メモリセルは1ビットのデータを記憶することができる。同様に、しきい値電圧ウィンドウが2つより多い識別可能な領域に分割されるならば、各メモリセルは1ビットより多いデータを記憶することができる。

10

【0005】

2状態EEPROMセルでは、伝導ウィンドウを2つの領域に分割するように少なくとも1つの電流ブレークポイントレベルが確立される。所定の、固定された電圧を印加することによってセルが読み出されるとき、そのソース／ドレン電流は、ブレークポイントレベル（あるいは、基準電流IREF）との比較によって1つのメモリ状態に決定される。読み出された電流がブレークポイントレベルのものより大きければ、セルは1つの論理状態（例えば、「ゼロ」状態）にあると判定される。一方、電流がブレークポイントレベルのものより小さければ、セルは他方の論理状態（例えば、「1」状態）にあると判定される。したがって、そのような2状態セルは1ビットのデジタル情報を記憶する。外部からプログラム可能であり得る基準電流源が、ブレークポイントレベル電流を生成するためにメモリシステムの一部としてよく設けられる。

20

【0006】

記憶容量を増やすために、半導体技術が進歩するに連れてフラッシュEEPROM装置はますます高い密度で製造されている。記憶容量を増やす他の方法は、各メモリセルに2つより多い状態を記憶させることである。

30

【0007】

多状態またはマルチレベルEEPROMメモリセルでは、各セルが1ビットより多いデータを記憶し得るように伝導ウィンドウは2つ以上のブレークポイントによって2つより多い領域に分割される。所与のEEPROMアレイが記憶し得る情報は、各セルが記憶し得る状態の数と共に増える。多状態あるいはマルチレベルのメモリセルを有するEEPROMまたはフラッシュEEPROMが、米国特許第5,172,338号（特許文献1）に記載されている。

【0008】

メモリセルとして役立つトランジスタは、通例、2つのメカニズムのうちの1つによって「プログラム済み」状態にプログラムされる。「ホットエレクトロン注入」では、ドレンに印加された高電圧は電子を基板チャネル領域を横断させて加速する。同時にコントロールゲートに印加された高電圧はホットエレクトロンを薄いゲート誘電体を通してフローティングゲートに引きつける。「トンネリング注入」では、基板に関して高い電圧がコントロールゲートに印加される。このようにして、電子は基板から中間のフローティングゲートへ引かれる。

40

【0009】

記憶装置は、いくつかのメカニズムによって消去され得る。EPROMでは、メモリは、紫外線照射によってフローティングゲートから電荷を除去することによってバルク消去可能である。EEPROMでは、メモリセルは、フローティングゲート中の電子を薄い酸化物を通して基板チャネル領域へトンネリングさせるように（すなわち、ファウラー・ノ

50

ルドハイムのトンネリング)コントロールゲートに関して高い電圧を基板に印加することによって、電気的に消去可能である。通例、EEPROMは1バイトずつ消去可能である。フラッシュEEPROMでは、メモリは一度に全部あるいは一度に1ブロック以上ずつ、電気的に消去可能であり、1ブロックは512バイト以上のメモリから成ることができる。

【0010】

記憶装置は、通例、カード上に搭載され得る1つ以上のメモリチップを含む。各メモリチップは、デコーダならびに消去、書き込みおよび読み出し回路などの周辺回路によってサポートされるメモリセルのアレイを含む。より精巧な記憶装置は、インテリジェントで高レベルの記憶操作およびインターフェイスを実行する外部メモリコントローラと協動する。

10

【0011】

多くの商業的に成功した不揮発性ソリッドステート記憶装置が今日使用されている。これらの記憶装置は、フラッシュEEPROMであるかもしれません、あるいは他のタイプの不揮発性メモリセルを使用しているかもしれない。フラッシュメモリおよびシステムの例ならびにそれらを製造する方法が、米国特許第5,070,032号(特許文献2)、第5,095,344号(特許文献3)、第5,315,541号(特許文献4)、第5,343,063号(特許文献5)、第5,661,053号(特許文献6)、第5,313,421号(特許文献7)、および第6,222,762号(特許文献8)において与えられている。特に、NANDストリング構造を有するフラッシュメモリ装置が、米国特許第5,570,315号(特許文献9)、第5,903,495号(特許文献10)、第6,046,935号(特許文献11)に記載されている。

20

【0012】

不揮発性記憶装置は、電荷を蓄積するための誘電体を有するメモリセルからも製造される。前に記載された伝導性フローティングゲート素子の代わりに、誘電体層が使用される。誘電体記憶素子を利用するそのような記憶装置が、Eitan et al., "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp.543-545(非特許文献1)に記述されている。ON/OFF誘電体層がソースおよびドレイン拡散の間でチャネルを横断して広がる。1つのデータビットのための電荷は誘電体層においてドレインに隣接して局在させられ、他方のデータビットのための電荷は誘電体層においてソースに隣接して局在させられる。例えば、米国特許第5,768,192号(特許文献12)および第6,011,725号(特許文献13)は、2つの二酸化ケイ素層に挟まれたトラッピング誘電体を有する不揮発性メモリセルを開示している。多状態データ記憶は、誘電体の中の空間的に分離されている電荷蓄積領域のバイナリ状態を別々に読み出すことによって実現される。

30

【0013】

メモリセルのページをプログラムすることは、通例、一連の交互プログラム/ベリファイサイクルを含む。各プログラムサイクルは、ページのメモリセルを1つ以上のプログラミング電圧パルスにさらす。プログラムサイクルの後に、各セルが正しくプログラムされたかどうかを判定するために各セルを読み返すベリファイサイクルがある。ベリファイされたセルは、爾後のプログラミングパルスからプログラム禁止される。プログラム/ベリファイサイクルは、ページ中の全セルがプログラム-ベリファイされるまで、増大するプログラミング電圧レベルで続行される。

40

【0014】

読み出しおよびベリファイ操作の両方は、ページの各メモリセルの伝導電流またはしきい値電圧を境界値に関して判定する1つ以上の感知サイクルを実行することによって行われる。一般に、メモリがn個の状態に分割されているならば、全ての可能なメモリ状態を分析するためには少なくともn-1個の感知サイクルがあるはずである。多くの実施例において、各感知サイクルは2つ以上のバスも含むことがある。例えば、メモリセルがびっしり詰まっている場合には、隣接する電荷蓄積素子間の相互作用が顕著となって、ある感

50

知手法は、これらの相互作用によって引き起こされるエラーを補償するために、隣接するワード線上のメモリセルを感知することを必要とする。

【0015】

読み出しありおよびプログラムの性能を高めるためにアレイ中の複数の電荷蓄積素子またはメモリトランジスタが並行して読み出されるかあるいはプログラムされる。したがって、1つの「ページ」の記憶素子が一緒に読み出されるかあるいはプログラムされる。現存するメモリアーキテクチャでは、1つの行は、通常数個のインターリープされたページを包含するか、あるいは1ページの連続するメモリセルを構成し得る。1ページの全ての記憶素子は一緒に読み出されるかあるいはプログラムされる。現在生産されている半導体集積回路メモリチップでは、1つのメモリページは、並行して読み出されるかあるいは感知される64,000個ものメモリセルあるいは記憶素子を有することがある。

10

【0016】

性能の向上が引き続き必要である。さらに、大規模並行メモリページは、感知精度と、究極的には性能および記憶容量を限定する、ぎっしり詰まったメモリセルおよび構造の間でのノイズおよび干渉の重大な問題を引き起こす。

したがって、大容量で高性能の不揮発性メモリに対する一般的な需要がある。特に、速度が高められていてノイズの少ない感知回路に対する需要がある。

【先行技術文献】

【特許文献】

【0017】

20

- 【特許文献1】米国特許第5,172,338号
- 【特許文献2】米国特許第5,070,032号
- 【特許文献3】米国特許第5,095,344号
- 【特許文献4】米国特許第5,315,541号
- 【特許文献5】米国特許第5,343,063号
- 【特許文献6】米国特許第5,661,053号
- 【特許文献7】米国特許第5,313,421号
- 【特許文献8】米国特許第6,222,762号
- 【特許文献9】米国特許第5,570,315号
- 【特許文献10】米国特許第5,903,495号
- 【特許文献11】米国特許第6,046,935号
- 【特許文献12】米国特許第5,768,192号
- 【特許文献13】米国特許第6,011,725号
- 【特許文献14】米国特許第5,595,924号
- 【特許文献15】米国特許第6,657,891号
- 【特許文献16】米国公開特許出願第2006/0140007号
- 【特許文献17】米国特許第7,046,568号
- 【特許文献18】米国特許第7,173,854号
- 【特許文献19】米国特許出願第11/771,982号
- 【特許文献20】米国特許出願第11/966,325号
- 【特許文献21】米国特許第7,170,784号

30

【非特許文献】

【0018】

40

- 【非特許文献1】Eitan et al., "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," IEEE Electron Device Letters, vol. 21, no. 11, November 2000, p. 543-545

【発明の概要】

【0019】

並行して感知される不揮発性メモリセルのグループのうちのメモリセルの伝導電流を感知してその結果をデータバスに提供するための感知回路が与えられる。代表的な実施形態

50

では、ノードを初期電圧に充電するために、プリチャージ回路がノードに結合される。中間回路もノードに結合されてメモリセルに接続可能であり、これによりプリチャージ回路からの電流をメモリセルに供給することができる。この回路は、ノードにおける放電の速度によって伝導電流の判定を行う比較回路と、判定の結果を保持するために比較回路に結合されたデータラッチと、データラッチに、その中にラッチされている結果をノードから独立してデータバスに供給するために、結合された転送ゲートとをも備える。

【0020】

一組の態様によると、これは不揮発性メモリセルの伝導電流を感知する方法を可能にし、この方法は、中間回路を介して1つ以上のメモリセルによりアクセスされ得るノードを設けることと、第1の感知操作のためにノードを初期電圧にプリチャージすることと、メモリセルのうちの第1のメモリセルを通して中間回路を介してノードを放電させることと、第1のメモリセルを通じてノードを放電させる速度によって測定することと、測定された結果をラッチすることと、そのラッチされた結果をデータバスに出力することとを含む。一組の態様では、ラッチの後で出力を完了する前に、ノードを第2の感知操作のためにプリチャージする。別の一組の態様では、ラッチされた結果は、ノードおよび中間回路から独立している経路によってデータバスに出力される。さらなる態様では、ラッチされた結果を中間回路から独立してデータバスに出力することにより、中間回路におけるノイズが低減される。

【0021】

本発明の種々の態様、利点、特徴および実施形態が、その代表的な例についての次の記述に含まれ、この記述は添付図面と関連して読まれるべきである。本願明細書で引用された全ての特許、特許出願、論文、他の刊行物、文書および事物は、あらゆる目的のためにその全体が本願明細書において参照により援用されている。援用されている刊行物、文書または事物のいずれかと本願との間で用語の定義または使用に関する矛盾または不一致が生じた場合には、本願のものが優先するものとする。

【図面の簡単な説明】

【0022】

【図1】本発明が実施され得る不揮発性メモリチップの機能ブロックを概略的に示す。

【図2】不揮発性メモリセルを概略的に示す。

【図3】任意の時点でフローティングゲートが選択的に蓄えることのできる4つの異なる電荷 $Q_1 \sim Q_4$ についてのソース-ドレイン電流 I_D とコントロールゲート電圧 V_{CG} との関係を示す。

【図4】メモリセルのNORアレイの例を示す。

【図5A】NANDストリングに編成されたメモリセルのストリングを概略的に示す。

【図5B】図5Aに示されているものなどのNANDストリングから構成される、メモリセルのNANDアレイの例を示す。

【図6】一連の交互プログラム/ベリファイサイクルによって1ページのメモリセルをターゲットメモリ状態にプログラムするための代表的な手法を示す。

【図7】図7(1)は接地状態「G_r」としての消去済み状態と、漸進的にさらにプログラムされたメモリ状態「A」、「B」および「C」とを有する実例の4状態メモリアレイのしきい値電圧分布を示し、図7(2)は図7(1)に示されている4個の可能なメモリ状態を表すための好ましい2ビットLM符号化を示す。

【図8】図8(1)は、実例の8状態メモリアレイのしきい値電圧分布を示し、図8(2)は図8(1)に示されている8個の可能なメモリ状態を表すための好ましい3ビットLM符号化を示す。

【図9】メモリセルのアレイを横断するセンスモジュールのバンクを包含する、図1に示されている読み出し/書き込み回路を示す。

【図10】図9に示されているセンスモジュールの好ましい構成を概略的に示す。

【図11】図10に示されている読み出し/書き込みスタックをより詳しく示す。

【図12A】図9および11に示されているセンスモジュールの既存の実施例を概略的に

10

20

30

40

50

示す。

【図12B】ロックアウトモードに入った図12Aに示されているセンスモジュールのノイズ経路を示す。

【図13】ロックアウトモードに入った図12Bに示されている既存のセンスモジュールのための制御信号のタイミングを示す。

【図14】接地までの有限の抵抗を有するソース線における電流に起因するソース電圧エラーの問題を示す。

【図15】ソース線電圧降下により引き起こされるメモリセルのしきい値電圧レベルにおけるエラーを示す。

【図16】好ましい実施形態に従う、ロックアウトセンスモジュールからのノイズ絶縁が改善されているセンスモジュールスタックを示す。 10

【図17】ロックアウトモードに入った図16に示されている改善されたセンスモジュールのための制御信号のタイミングを示す。

【図18】代わり的好ましい実施形態に従う、ロックアウトセンスモジュールからのノイズ絶縁が改善されているセンスモジュールスタックを示す。

【図19】ロックアウトセンスモジュールからのノイズを、依然として活発にページを感じている他のものを妨げないように、絶縁する方法を示す流れ図である。

【図20A】感知のためのアナログ経路と重なるデータ転送のための経路を有するセンスモジュールを示す。

【図20B】感知のためのアナログ経路と重なるデータ転送のための経路を有するセンスモジュールを示す。 20

【図20C】感知のためのアナログ経路と重なるデータ転送のための経路を有するセンスモジュールを示す。

【図21A】感知のためのアナログ経路とは異なるデータ転送のための経路を有するセンスモジュールを示す。

【図21B】感知のためのアナログ経路とは異なるデータ転送のための経路を有するセンスモジュールを示す。

【図21C】感知のためのアナログ経路とは異なるデータ転送のための経路を有するセンスモジュールを示す。

【発明を実施するための形態】

【0023】

メモリシステム

図1～図11は、本発明の種々の態様が実施され得るメモリシステムの例を示す。

図12～図13は、既存の感知回路におけるノイズ問題を示す。

図16～図19は、ノイズ問題を処理する種々の態様および実施形態を示す。

図20A～図20Cは、感知のためのアナログ経路と重なるデータ転送のための経路を有するセンスモジュールを示す。

図21A～図21Cは、感知のためのアナログ経路とは異なるデータ転送のための経路を有するセンスモジュールを示す。

【0024】

図1は、本発明が実施され得る不揮発性メモリチップの機能ブロックを概略的に示す。メモリチップ100は、メモリセルの2次元アレイ200、制御回路210、ならびに、デコーダ、読み出し／書き込み回路およびマルチプレクサなどの周辺回路を含む。

メモリアレイ200は、行デコーダ230(230A、230Bに分割されている)を介してワード線により、さらに列デコーダ260(260A、260Bに分割されている)を介してビット線によりアドレス指定可能である(図4および5も参照)。読み出し／書き込み回路270(270A、270Bに分割されている)は、1ページのメモリセルを並行して読み出すかあるいはプログラムすることができる。データI/Oバス231が読み出し／書き込み回路270に結合されている。

好ましい実施形態では、1ページは、同じワード線を共有するメモリセルの1つの連続

10

20

30

40

50

する行から構成される。メモリセルの行が複数のページに分割される他の実施形態では、読み出し／書き込み回路 270 を個々のページに多重化するためにブロックマルチブレクサ 250（250A および 250B に分割されている）が設けられる。例えば、メモリセルの奇数列および偶数列によりそれぞれ形成される 2 ページが読み出し／書き込み回路に多重化される。

【0025】

図 1 は、各側におけるアクセス線および回路の密度が半分に低下するようにアレイの両側で、種々の周辺回路によるメモリアレイ 200 へのアクセスが対称的に行われる好ましい構成を示す。したがって、行デコーダは行デコーダ 230A および 230B に分割され、列デコーダは列デコーダ 260A および 260B に分割されている。メモリセルの行が複数のページに分割される実施形態では、ページマルチブレクサ 250 はページマルチブレクサ 250A および 250B に分割される。同様に、読み出し／書き込み回路 270 は、下からビット線に接続する読み出し／書き込み回路 270A とアレイ 200 の上からビット線に接続する読み出し／書き込み回路 270B とに分割されている。このように、読み出し／書き込みモジュールの密度、したがってセンスモジュール 380 の密度は、本質的に半減される。

【0026】

制御回路 110 は、読み出し／書き込み回路 270 と協力してメモリアレイ 200 に対してメモリ操作を行うオンチップのコントローラである。制御回路 110 は、通例、状態マシン 112 と、オンチップのアドレスデコーダおよび電力制御モジュール（明示的には示されていない）などの他の回路を含む。状態マシン 112 は、メモリ操作のチップレベル制御を提供する。制御回路は、外部メモリコントローラを介してホストと通信する。

メモリアレイ 200 は、通例、行および列を成して配列されてワード線およびビット線によりアドレス指定可能なメモリセルの 2 次元アレイとして編成される。アレイは NOR タイプまたは NAND タイプのアーキテクチャに従って形成され得る。

【0027】

図 2 は、不揮発性メモリセルを概略的に示す。メモリセル 10 は、フローティングゲートまたは誘電体層などの電荷蓄積ユニット 20 を有する電界効果トランジスタにより実現され得る。メモリセル 10 は、ソース 14、ドレイン 16、およびコントロールゲート 30 も含む。

今日使用されている商業的に成功した不揮発性ソリッドステート記憶装置が多くある。これらの記憶装置は、1 つ以上の電荷蓄積素子をそれぞれ有するいろいろなタイプのメモリセルを採用することができる。

【0028】

代表的な不揮発性メモリセルは EEPROM およびフラッシュ EEPROM を含む。EEPROM セルの例およびそれらを製造する方法が、米国特許第 5,595,924 号（特許文献 14）において与えられている。フラッシュ EEPROM セルの例、メモリシステムにおけるそれらの使用、およびそれらを製造する方法が、米国特許第 5,070,032 号（特許文献 2）、第 5,095,344 号（特許文献 3）、第 5,315,541 号（特許文献 4）、第 5,343,063 号（特許文献 5）、第 5,661,053 号（特許文献 6）、第 5,313,421 号（特許文献 7）、および第 6,222,762 号（特許文献 8）において与えられている。特に、NAND セル構造を有する記憶装置の例が、米国特許第 5,570,315 号（特許文献 9）、第 5,903,495 号（特許文献 10）、第 6,046,935 号（特許文献 11）に記載されている。さらに、誘電体記憶素子を利用する記憶装置の例が、Eitan et al., "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp.543-545（非特許文献 1）ならびに米国特許第 5,768,192 号（特許文献 12）および第 6,011,725 号（特許文献 13）に記載されている。

【0029】

実際問題として、セルのメモリ状態は、普通は基準電圧がコントロールゲートに印加さ

10

20

30

40

50

れているときにセルのソースおよびドレイン電極を横断する伝導電流を感知することによって読み出される。セルのフローティングゲート上のそれとの所与の電荷について、固定された基準コントロールゲート電圧に関して対応する伝導電流が検出され得る。同様に、フローティングゲート上にプログラム可能な電荷の範囲は、対応するしきい値電圧ウィンドウまたは対応する伝導電流ウィンドウを定める。

【0030】

あるいは、分割された電流ウィンドウの中で伝導電流を検出する代わりに、試験される所与のメモリ状態についてのしきい値電圧をコントロールゲートにおいてセットして伝導電流がしきい値電流より低いか高いかを検出することが可能である。一実施例では、しきい値電流に関しての伝導電流の検出は、伝導電流がビット線のキャパシタンスを通して放電する速度を調べることによって成し遂げられる。10

【0031】

図3は、任意の一時点でのフローティングゲートが選択的に蓄えていることのある4つの異なる電荷Q1～Q4についてソース・ドレイン電流IDおよびコントロールゲート電圧V_{CG}の間の関係を示す。4つの実線のID対V_{CG}曲線は、4つの可能なメモリ状態にそれぞれ対応する、メモリセルのフローティングゲートにプログラムされ得る4つの可能な電荷レベルを表す。一例として、セルの集団のしきい値電圧ウィンドウは0.5Vから3.5Vに及び得る。しきい値ウィンドウをそれぞれ約0.4Vの間隔の8個の領域に分割することによって、1つの消去済み状態および7個のプログラム済み状態をそれぞれ表す8個の可能なメモリ状態「0」、「1」、「2」、「3」、「4」、「5」、「6」および「7」が区別され得る。例えば、図に示されているように、0.05μAの基準電流I_{REF}が使用されるならば、Q1でプログラムされたセルは、その曲線が、V_{CG}=0.43Vおよび0.88Vにより画定されるしきい値ウィンドウの領域においてI_{REF}と交差するので、メモリ状態「1」にあるとみなされ得る。同様に、Q4はメモリ状態「5」にある。20

【0032】

前の記述から分かるように、メモリセルが記憶させられる状態がより多いほど、そのしきい値ウィンドウはより細かく分割される。例えば、ある記憶装置は、-1.5Vから5Vに及ぶしきい値ウィンドウを有するメモリセルを持つことができる。これは6.5Vの最大幅を提供する。メモリセルが16個の状態を記憶しなければならぬとすれば、各状態はしきい値ウィンドウの中で350mVから450mVを占めることができる。必要とされる分解能を達成するために、これにはプログラミングおよび読み出し操作において高い精度を必要とすることになる。30

【0033】

図4は、メモリセルのNORアレイの例を示す。メモリアレイ200において、各行のメモリセルは、それらのソース14およびドレイン16によってデイジーチェーン式に接続されている。この設計は、ときには仮想接地設計と称される。行の中のセル10のコントロールゲート30は、ワード線42などの1つのワード線に接続されている。列の中のセルのソースおよびドレインは、ビット線34および36などの選択されたビット線にそれぞれ接続されている。40

【0034】

図5Aは、NANDストリングに編成されたメモリセルのストリングを概略的に示す。NANDストリング50は、一連の、それ自身のソースおよびドレインによりデイジーチェーン式に接続されたメモリトランジスタM1、M2…Mn（例えば、n=4、8、16またはそれ以上）から構成される。1対の選択トランジスタS1、S2は、メモリトランジスタチェーンの、それぞれNANDストリングのソース端子54およびドレイン端子56を介しての、外部への接続を制御する。メモリアレイにおいて、ソース選択トランジスタS1がオンにされると、ソース端子がソース線に結合される（図5Bを参照）。同様に、ドレイン選択トランジスタS2がオンにされると、NANDストリングのドレイン端子がメモリアレイのビット線に結合される。チェーン内の各メモリトランジスタ10は50

、メモリセルとして動作する。それは、意図されたメモリ状態を表すように所与の量の電荷を蓄える電荷蓄積素子20を有する。各メモリトランジスタのコントロールゲート30は、読み出しおよび書き込み操作を制御することを可能にする。図5Bに見られるように、NANDストリングの行の対応するメモリトランジスタのコントロールゲート30は全て同じワード線に接続されている。同様に、選択トランジスタS1、S2の各々のコントロールゲート32は、それぞれ、そのソース端子54およびドレイン端子56を介してのNANDストリングへの制御アクセスを提供する。同様に、NANDストリングの行の対応する選択トランジスタのコントロールゲート32は、全て同じ選択線に接続されている。

【0035】

NANDストリングの中のアドレス指定されたメモリトランジスタ10が読み出されるかあるいはプログラミング中にベリファイされるとき、そのコントロールゲート30には適切な電圧が供給される。同時に、NANDストリング50内のアドレス指定されていないメモリトランジスタの残りは、それらのコントロールゲートに充分な電圧を印加することによって完全にオンにされる。このようにして、個々のメモリトランジスタのソースからNANDストリングのソース端子54へ、さらに同様に個々のメモリトランジスタのドレインのためにセルのドレイン端子56への伝導経路が実効作成される。このようなNANDストリング構造を有する記憶装置が、米国特許第5,570,315号(特許文献9)、第5,903,495号(特許文献10)、第6,046,935号(特許文献11)に記載されている。

10

20

30

【0036】

図5Bは、図5Aに示されているものなどのNANDストリング50から構成される、メモリセルのNANDアレイ200の例を示す。NANDストリングの各列に沿って、ビット線36などのビット線が各NANDストリングのドレイン端子56に結合されている。NANDストリングの各バンクに沿って、ソース線34などのソース線が各NANDストリングのソース端子54に結合されている。さらにNANDストリングのバンクの中のメモリセルの行に沿うコントロールゲートは、ワード線42などのワード線に接続されている。NANDストリングのバンクの中の選択トランジスタの行に沿うコントロールゲートは、選択線44などの選択線に接続されている。NANDストリングのバンク内のメモリセルの1つの行の全体がNANDストリングのバンクのワード線および選択線上の適切な電圧によってアドレス指定され得る。NANDストリングの中の1つのメモリトランジスタが読み出されるとき、ストリングを通って流れる電流が、その読み出されているセルに蓄えられている電荷のレベルに本質的に依存するように、ストリング内の残りのメモリトランジスタは、それらの関連するワード線を介してしっかりとオンにされる。

30

【0037】

プログラムおよびベリファイ

図6は、一連の交互プログラム/ベリファイサイクルによって1ページのメモリセルをターゲットメモリ状態にプログラムするための代表的な手法を示す。結合されたワード線を介してメモリセルのコントロールゲートにプログラミング電圧 V_{PGM} が印加される。 V_{PGM} は、初期電圧レベル V_{PGM0} から始まる階段波形の形の一連のプログラミング電圧パルスである。プログラミングを受けるセルは、フローティングゲートに増分電荷をそのたびに加えようとする、この一連のプログラミング電圧パルスにさらされる。プログラミングパルス間に、セルは、そのソース-ドレイン電流をブレークポイントレベルに関して判定するために読み返されるかあるいはベリファイされる。読み返しプロセスは、1つ以上の感知操作を含み得る。セルのためのプログラミングは、それがターゲット状態に達したとベリファイされれば、終了する。使用されるプログラミングパルス列は、メモリセルの電荷蓄積ユニット中にプログラムされ蓄積された電子に対して反作用するために増大する周期あるいは振幅を持つことができる。プログラミング回路は、一般的に、選択されたワード線に一連のプログラミングパルスを印加する。このようにして、そのコントロールゲートがワード線に結合されている1ページのメモリセルが一緒にプログラムされ得る。ペー

40

50

ジの1つのメモリセルがそのターゲット状態までプログラムされると、プログラム禁止され、他のセルは、ページの全セルがプログラム・ベリファイされ終わるまでプログラミングにさらされ続ける。

【0038】

メモリ状態の分割の例

図7(1)は、接地状態としての消去済み状態「Gr」と、漸次もっとプログラムされたメモリ状態「A」、「B」および「C」とを有する4状態メモリアレイの例におけるしきい値電圧分布を示す。読み出し中、4つの状態は3つの境界ブレークポイント $D_A \sim D_C$ によって区分される。

図7(2)は、図7(1)に示されている4つの可能なメモリ状態を表す好ましい2ビットLM符号化を示す。メモリ状態(すなわち、「Gr」、「A」、「B」および「C」)の各々は1対の「上位、下位」符号ビット、すなわち「11」、「01」、「00」および「10」によってそれぞれ表される。「LM」符号は、米国特許第6,657,891号(特許文献15)に開示されていて、電荷の大きな変化を必要とするプログラム操作を避けることによって隣接フローティングゲート間の電界効果結合を減少させるために有益である。符号化は、2つの符号ビット、「下位」および「上位」ビットが別々にプログラムされ読み出され得るように設計されている。下位ビットをプログラムするとき、セルのしきい値レベルは、「消去済み」領域に留まるかあるいはしきい値ウインドウの「下側中央」領域に移される。上位ビットをプログラムするとき、これら2つの領域のいずれかにあるセルのしきい値レベルは、しきい値ウインドウの「下側中間」領域にある僅かにより高いレベルにさらに進められる。

【0039】

図8(1)は、8状態メモリアレイの例のしきい値電圧分布を示す。各メモリセルの可能なしきい値電圧は、8個の可能なメモリ状態、「Gr」、「A」、「B」、「C」、「D」、「E」、「F」および「G」を区分するために8個の領域に分割されているしきい値ウインドウにわたる。「Gr」は接地状態であり、これは引き締められた分布の中の消去済み状態であり、「A」～「G」は7個の漸次プログラムされた状態である。読み出し中、8個の状態は7個の境界ブレークポイント $D_A \sim D_G$ によって区分される。

【0040】

図8(2)は、図8(1)に示されている8個の可能なメモリ状態を表す好ましい3ビットLM符号化を示す。8個のメモリ状態の各々は、「上位、中央、下位」ビットのトリプレット、すなわち、「111」、「011」、「001」、「101」、「100」、「000」、「010」および「110」によりそれぞれ表される。符号化は、3つの符号ビット、「下位」、「中央」および「上位」ビットが別々にプログラムされ読み出され得るように設計されている。したがって、第1のラウンドで、下位ページのプログラミングは、下位ビットが「1」ならばセルを「消去済み」あるいは「Gr」状態に留ませ、下位ビットが「0」ならば「下位中間」状態にプログラムさせる。基本的に、「Gr」あるいは「接地」状態は、深く消去された状態をしきい値の狭い範囲の中にプログラムされることによるタイトな分布を有する「消去済み」状態である。「下位中間」状態は、メモリ状態「B」および「D」の間に広がるしきい値電圧の広い分布を持つことができる。プログラミング中、「下位中間」状態は D_B などの粗いブレークポイントしきい値レベルに関するベリファイされ得る。中央ビットをプログラムするとき、セルのしきい値レベルは、下位ページのプログラミングから生じた2つの領域のうちの一方から出発して4つの可能な領域のうちの1つに移る。上位ビットをプログラムするとき、セルのしきい値レベルは、中央ページプログラミングから生じた4個の可能な領域のうちの1つから出発して8個の可能なメモリ状態のうちの1つに移る。

【0041】

感知回路および手法

図9は、メモリセルのアレイにp個のセンスモジュールのバンクを包含する、図1に示された読み出し/書き込み回路270Aおよび270Bを示す。並行して動作するp個の

10

20

30

40

50

センスモジュール 480 のバンク全体は、1行に沿う p 個のセル 10 の 1 ブロック（またはページ）を並行して読み出すかあるいはプログラムすることを可能にする。本質的に、センスモジュール 1 はセル 1 における電流 I_1 を感知し、センスモジュール 2 はセル 2 における電流 I_2 を感知し、センスモジュール p はセル p における電流 I_p を感知するなどである。ソース線 34 から集合ノード C L S R C に、さらにそこから接地へ流れるページについての総セル電流 i_{TOT} は、 p 個のセルの全ての電流の総和である。在来のメモリアーキテクチャでは、1つの共通のワード線を有する1行のメモリセルは2つ以上のページを形成し、ページ中のメモリセルは並行して読み出されプログラムされる。2ページを有する行の場合、1ページは偶数ビット線によりアクセスされ、他方のページは奇数ビット線によりアクセスされる。いつでも1ページの感知回路が偶数ビット線または奇数ビット線に結合されている。その場合、読み出し / 書き込み回路 270A および 270B を個々のページに対してそれぞれ多重化するためにページマルチプレクサ 250A および 250B が設けられる。

10

【0042】

56nm 技術に基づいて現在製造されているチップでは $p > 64,000$ であり、43nm 32Gbit × 4 チップでは $p > 150,000$ である。好ましい実施形態では、ブロックはセルの行全体の1つのランである。これはいわゆる「全ビット線」アーキテクチャであり、このアーキテクチャではページは連続するビット線にそれぞれ結合された連続するメモリセルの1つの行から構成される。他の実施形態では、ブロックは行の中のセルのサブセットである。例えば、セルのサブセットは、行全体の二分の一あるいは行全体の四分の一であり得る。セルのサブセットは、連続するセルの1つのランであるか、あるいは一つ置きのセルであるか、あるいは所定数に1つのセルであり得る。各センスモジュールは、ビット線を介してメモリセルに結合され、メモリセルの伝導電流を感知するためのセンスアンプを含む。一般に、読み出し / 書き込み回路がメモリアレイの両側に分配されているならば、 p 個のセンスモジュールのバンクは2セットの読み出し / 書き込み回路 270A および 270B の間に分配される。

20

【0043】

図 10 は、図 9 に示されているセンスモジュールの好ましい構成を概略的に示す。 p 個のセンスモジュールを包含する読み出し / 書き込み回路 270A および 270B は、1 バンクの読み出し / 書き込みスタック 400 に群分けされている。

30

【0044】

図 11 は、図 10 に示されている読み出し / 書き込みスタックをより詳しく示す。各読み出し / 書き込みスタック 400 は k 個のビット線のグループに対して並行して作用する。1ページが $p = r * k$ 個のビット線を有するならば、 r 個の読み出し / 書き込みスタック 400 - 1 ··· 400 - r がある。本質的に、アーキテクチャは、 k 個のセンスモジュールの各スタックがスペースを節約するために1つの共通のプロセッサ 500 によりサービスされるようになっている。共通プロセッサ 500 は、センスモジュール 480 に置かれているラッチおよびデータラッチ 430 に格納されるべき更新済みデータを、これらのラッチの中の現在の値と状態マシン 112 からの制御とに基づいて、計算する。共通プロセッサについての詳しい記述が、その全体が本願明細書において参照により援用されている、2006年6月29日付の米国公開特許出願第 2006 / 0140007 号（特許文献 16）に開示されている。

40

【0045】

並行して動作する分割された読み出し / 書き込みスタック 400 のバンク全体は、1行に沿う p 個のセルの1つのブロック（またはページ）を並行して読み出すかあるいはプログラムすることを可能にする。したがって、セルの行全体のために p 個の読み出し / 書き込みモジュールがある。各スタックは k 個のメモリセルとして動作するので、バンク内の読み出し / 書き込みスタックの総数は $r = p / k$ により与えられる。例えば、 r がバンク内のスタックの数であるとすれば、 $p = r * k$ である。1例としてのメモリアレイは $p = 150,000$ 、 $k = 8$ を有することができ、したがって $r = 18,750$ である。

50

【0046】

400-1などの各読み出し／書き込みスタックは、本質的に、1セグメントのk個のメモリセルに並行してサービスするセンスモジュール480-1～480-kのスタックを包含する。ページコントローラ410は、制御およびタイミング信号を線411を介して読み出し／書き込み回路370に提供する。ページコントローラ自体は線311を介してメモリコントローラ310に依存する。各読み出し／書き込みスタック400間の通信は、相互接続スタックバス431によって行われ、ページコントローラ410によって制御される。制御線411は、制御およびクロック信号をページコントローラ410から読み出し／書き込みスタック400-1のコンポーネントに提供する。

【0047】

好み構成では、スタックバスは、共通プロセッサ500とセンスモジュール480のスタックとの間の通信のためのSAバス422と、プロセッサとデータラッチ430のスタックとの間の通信のためのDバス423とに分割される。

データラッチ430のスタックは、スタックに関連付けられた各メモリセルのために1つずつのデータラッチ430-1～430-kから成る。I/Oモジュール440は、データラッチがI/Oバス231を介して外部とデータを交換することを可能にする。

共通プロセッサは、エラー状態などのメモリ操作のステータスを示すステータス信号の出力のための出力507も含む。ステータス信号は、ワイヤードOR構成でフラグバス509に結合されているn形トランジスタ550のゲートを駆動するために使用される。フラグバスは、コントローラ310によって好ましくはプリチャージされ、いずれかの読み出し／書き込みスタックによってステータス信号がアサートされるとプルダウンされる。

【0048】

低ノイズのセンスモジュールアレイ

その全体が本願明細書において参照により援用されている、米国特許第7,046,568号（特許文献17）は、低供給電圧で動作することのできる低ノイズ感知回路を有する不揮発性記憶装置を開示している。

前の感知回路とは違って、米国特許第7,046,568号（特許文献17）の低ノイズ感知回路は、セル電流を、それがキャパシタとして作用するビット線ではなくて専用キャパシタを放電させる速度によって測定する。このようにして、ビット線電圧は感知中一定に保たれ、これにより、ビット線上の時間変化する電圧に起因するビット線間結合からのノイズを避けることができる。感知回路は、セル電流を判定するために使用される電圧放電のダイナミックレンジを効果的に広げる電圧昇圧回路を組み込むことによって低供給電圧で動作することもできる。

【0049】

本発明の一態様に従って、1ページのメモリセルがセンスモジュールの1つの対応するアレイによって並行して感知され、所与のメモリセルのためのセンスモジュールにおいて生成されたノイズがアレイ中の他のセンスモジュールに干渉することが防止される。特に既存のセンスモジュールは、ページ中の高度に伝導するメモリセルを特定してロックアウトした後はアレイ中の他のセンスモジュールに対して顕著なノイズ源となる。本発明は、ロックアウトされたメモリセルと関連するセンスモジュールがアレイ中のなお感知中である他のセンスモジュールにノイズを伝播させることを防止する。このようにして、感知精度が改善され、その結果として性能が向上し、各メモリセルにより多くのデータビットを格納することができる。

【0050】

図12Aは、図9～11に示されているセンスモジュールの1つの既存の実施例を概略的に示す。既存のセンスモジュール480'は、米国特許第7,046,568号（特許文献17）において開示されているものと同様である。図10に示されている各読み出し／書き込みスタック400がk個のビット線を介して対応するk個のメモリセルにサービスするk個のセンスモジュールのセットを包含するということが理解できるはずである。1つの共通プロセッサ500によってサービスされるk個のセンスモジュール480-1

10

20

30

40

50

～480-kと、k個のデータラッチ430-1～430-kとがある。簡潔のために、図12Aは、k個のセンスモジュール480-1～480-kのセットのうちのいずれをも代表する、センスモジュールのうちの1つのセンスモジュール480'と、共通プロセッサ500と協動するk個のデータラッチ430-1～430-kのセットのうちのいずれをも代表する、1セットのデータラッチ430とを明示的に示す。図10および11に関して記述したように、1ページのp個のメモリセルは、合計r個の読み出し／書き込みスタックを並行して動作させることによって機能する。

【0051】

既存のセンスモジュール480'は、信号BLSによって制御される結合トランジスタ482を介してビット線36を介してメモリセルに結合される。メモリセルの一例は、NANDチェーン50の中の1つのメモリトランジスタである。センスモジュール480'は、センスアンプ600'と、ビット線電圧クランプ610と、プルダウン回路550とを含む。センスモジュール480'は、信号NC0によって制御される転送ゲート488を介してSAバス422などのバスを用いて他の周辺回路と通信する。

10

【0052】

前述したように、センスモジュールのスタックはSAバス422を介して共通プロセッサ500およびデータラッチのセット430と通信する。共通プロセッサ500は、センスモジュール480'のラッチおよびデータラッチ430に格納されているデータにアクセスする。更新済みの値を、その現在の値と状態マシン112からの制御とに基づいて、計算する。更新済みの値は、逆戻りしてセンスモジュール480'内のラッチおよび／またはデータラッチ430に格納される。共通プロセッサ500は、Dバス423を介してk個のデータラッチに結合されている。データラッチのセット430は、I/Oバス231を介して外部に接続されている。センスモジュール480'、共通プロセッサ500およびデータラッチのセット430の動作は、制御線411を通して制御およびタイミング信号を発するページコントローラ410を介して状態マシン112（図11を参照）によって制御される。

20

【0053】

センスモジュール480'は、信号COM1を運ぶノード481を有する。ノード481は、センスアンプ600'がビット線36および／またはSAバス422に選択的に結合されることを可能にする。

30

感知は、ビット線電圧クランプ610によってクランプされた固定された電圧のビット線36を用いて行われる。ビット線電圧クランプは、そのソースおよびドレインがビット線およびCOM1ノード481の間で直列になっているn形トランジスタ612により実現されている。n形トランジスタ612のゲート上のアナログ電圧は、ビット線上のクランプされる電圧を決定する。感知操作中、この一定のビット線電圧は、ビット線上の変化する電圧に起因するビット線間に生じ得る結合をなくす。

【0054】

1ページに属する1つのメモリセルが基準電流より大きな伝導電流を有すると判定されると、そのセルのための感知が行われて、セルは、ページの残りが感知され続けられ得る間にさらなる感知操作からロックアウトされる。これは、ビット線36を接地にプルダウンすることによりセル電流をオフにすることによって成し遂げられる。ビット線36を接地に選択的に引くためにプルダウン回路550が設けられている。プルダウン回路550は、本質的にビット線および接地を横切る直列の2つのn形トランジスタ552および486を含む。2つのn形トランジスタは信号GRSおよびINVによってそれぞれ制御される。両方がハイであれば、プルダウン回路550はアクティブ化されてノード481(COM1)を接地に引く。信号BLSもハイであれば、ビット線36も接地に引かれる。このようにして、セル電流は、そのソースおよびドレインの短絡に起因してオフにされる。

40

【0055】

信号GRSは、プログラミング中に使用され、状態マシン112（図11を参照）から

50

制御され、ページコントローラ411からの制御およびタイミング信号の一部として供給される。感知中、GRSは常にハイであり、信号INVも、センスアンプ600'によって、セル電流が基準電流より大きいことをそれが感知すると、ハイとなるようにセットされる。

【0056】

センスアンプ600'は、電圧クランプ620と、プリチャージ回路640'、セル電流ディスクリミネータ650とセンスアンプラッチ660とを含む。感知は、セル電流ディスクリミネータ650によりノード631の信号SENを検出することによって行われる。SENノード631を、信号HLLによって制御される絶縁トランジスタ642を介してプリチャージ回路640'によってプリチャージすることができる。SENノード631を、信号XXLによって制御される絶縁トランジスタ630を介してCOM1ノード481に結合すると、メモリセルにも結合することができる。10

【0057】

電圧クランプ620は、プリチャージ回路とCOM1ノード481との間のトランジスタ622によって実現される。トランジスタ622は、ビット線電圧クランプ610が適切に機能するようにノード481の信号COM1を所定のレベルより高く保つために信号BLXによって駆動される。

プリチャージ回路640'は、センスモジュールの種々の操作中ビット線がCOM1ノード481およびSENノード631を介してVddのほうへプルアップされることを可能にする。プリチャージ回路640'は、信号INVによってイネーブルされるp形トランジスタ644により実現されている。20

【0058】

SENノード631とCOM1ノード481との間の絶縁トランジスタ630は、これら2つのノードに異なる電圧が存在することを可能にする。ビット線36を、所与の電圧にプリチャージしなければならないときには、信号BLS、BLC、XXL、HLLおよびINVによってそれぞれ制御されるトランジスタ482、612、630、642および644によりイネーブルされる経路を介してプルアップすることができる。同様に、ノード481のCOM1信号およびノード631のSEN信号を、それぞれ信号XXL、HLLおよびINVにより制御して、本質的にVddまでプルアップすることができる。30

【0059】

ある実施例では、Vddは、より低い値に変換される前に外部ソースVextから直接供給される。これは、プルアップされる電圧のために100mVの余分のマージンを提供することができて、負のVTの領域でメモリセルを感知する場合に特に有益である。

セル電流ディスクリミネータ650は、本質的にメモリセルの伝導電流を基準電流に関して比較する。セル電流が基準電流より大きければセンスアンプはハイ状態の信号INVを出力し、小さければ逆の状態の信号を出力する。いったんセットされれば、信号INVはセンスアンプラッチ660によってラッチされる。

感知の前に、選択されたメモリセルの電極への電圧は、1つ以上のプリチャージ操作で適切なワード線およびビット線を介してセットされなければならない。

【0060】

例えば、図12Aに示されているように、NANDチェーン50と交差するワード線WL1に沿う1ページのメモリセルが感知のために選択され得る。プリチャージ操作は、選択されていないワード線WL0、WL2~WL31が電圧Vreadまで充電され選択されたワード線WL1が考慮中の所与のメモリ状態のための所定のしきい値電圧VT(i)まで充電された状態で始まる。40

【0061】

ビット線36およびCOM1ノード481、SENノード631は、プリチャージ回路640'によってそれぞれ感知に適する所定の電圧までプリチャージされる。ワード線およびビット線電圧がNANDチェーン50に印加されて、選択されたメモリセルがオンにされる。ソース-ドレイン伝導電流がメモリセルを流れる。伝導電流は、メモリセルのソ50

ースとドレインとの間に公称電圧差が存在するとき、選択されたメモリセルにプログラムされている電荷と選択されたワード線に印加された V_T (i)との関数である。

ワード線およびビット線の電圧が安定しているとき、選択されたメモリセルの伝導電流あるいはプログラムされたしきい値電圧をセンスアンプ 600' により SEN ノードにおいて感知することができる。

【0062】

セル電流ディスクリミネータ 650 は、本質的に、セル電流がノード 631 においてキャパシタ 652 上の信号 SEN を放電させる速度を検出することによってセル電流を測定する。すなわち、SEN が放電される速度の判定は、伝導電流の測定値を提供する。放電の前に、SEN はプリチャージ回路 640' によって Vdd までプリチャージされる。感知は、セル電流が遮断される時点 (XXL がロー) までの、セル電流がキャパシタを放電させることを許される時間 (HLL がローで XXL がハイ) により与えられる所定の期間にわたる。

10

【0063】

感知中、ビット線内の記憶装置ユニットの伝導電流はキャパシタ 652 を放電させる。セルがより多く伝導するほど、放電はより速い。そのとき SEN ノード 631 の電圧は、伝導電流に依存する速度で Vdd から低下する。所定の放電期間の終わりに、絶縁トランジスタ 630 は、XXL がローになることによりオフにされる（期間は基準電流に対応する）。これにより、SEN ノード 631 からのセル電流が切断され、それ以上の放電が止まる。信号 SEN は、測定 p 形トランジスタ 656 をオフにすることができるかあるいはできない何らかの値まで低下する。

20

【0064】

感知期間後、信号 SEN の電圧は p 形トランジスタのしきい値 ($Vdd - |V_T|$) と比較される (V_{TP} は p 形トランジスタのしきい値電圧である)。SEN は p 形トランジスタ 656 のゲートに印加される。p 形トランジスタがオンになれば、SEN は $Vdd - |V_T|$ より下まで放電しているかあるいは伝導電流は基準電流より大きい。p 形トランジスタがオンにならなければ、伝導電流は基準電流より少なくて SEN を $Vdd - |V_T|$ より下まで放電させることができない。

30

【0065】

p 形トランジスタ 656 のソース側は、接続トランジスタ 654 がゲート信号 STB でオンにされると Vdd に接続される。SEN が p 形トランジスタ 656 をオンにするのに充分に下がっていなければ、トランジスタ 656 のドレイン側の信号 INV を出力するノード 657 はローに留まる。一方、SEN が $Vdd - |V_{TP}|$ より下がっていれば、p 形トランジスタ 656 はオンになって INV ノード 657 は Vdd までブルアップされてラッチされる。

【0066】

セル電流ディスクリミネータ 650 は、実際上、セルの伝導電流が所与の境界電流値より大きいか小さいかを判定する。所与の境界電流値は所定の放電時間に対応する。感知された電流が境界電流値より大きければ、問題のメモリセルはコントロールゲートの印加された V_T (i) より小さなしきい値を有する。したがって、セル電流が基準境界レベルより低ければ INV の形の感知結果はローに留まる。逆に、セル電流が基準レベルより高ければ INV はハイである。INV 信号は、センスアンプラッチ 660 によりラッチされる CMOS ロジックレベルに変換される。

40

【0067】

昇圧回路

図 12A および前の記述から、ビット線電圧がビット線クランプ 610 によって所定の V_{BL} でクランプされるならば、クランプが機能するためには、クランプする n 形トランジスタ 612 のドレイン側はソース側より僅かに（例えば、約 0.2V だけ）高い電圧でなければならないということがわかる。したがって、COM1 は V_{BL} より約 0.2V 高くなければならず、これは電圧クランプ 622 により保証される。これは、SEN の電圧レベ

50

ルが精々 COM1 より VT 以内高いところまで下がってもよいということを意味する。したがって、ノード 631 における SEN 信号の放電は、Vdd により与えられる上限と、COM1 より僅かに（例えば、約 VT だけ）高い VLIMIT により与えられる下限とを有する限られたダイナミックレンジで動作し得るにすぎない。しかし、Vdd の源であるより低い供給電圧について、VLIMIT の存在を仮定して、(Vdd - | VTP |) < VLIMIT ならば、p 形トランジスタは決してオンにはならない。

比較回路 650' は、線 703 を介してブースト電圧 VB をキャパシタ 652 の一方のプレートに供給する電圧シフタ 700 の形の昇圧回路を設けることによって低電圧動作に適合させられている。電圧シフタのタイミングは、線 702 を介してページコントローラ 498 により制御される。

10

【0068】

動作時、プリチャージ回路 640' はセンスノード SEN631 を Vdd に引く。電圧シフタは、SEN ノードが絶縁トランジスタ 636 によって Vdd から減結合された後にアクティブ化される。電圧シフタは基本的に V だけ VB 信号レベルの増大を有するので、ノード SEN631 に存するキャパシタの他方のプレート上の電圧は同量だけ高められる。これは、実際上、適度の伝導電流に対応する最終電圧が Vdd - VLIMIT より高くなり得るように、ダイナミックレンジの上限を V だけ高める。放電期間の終わりに、センスノード SEN631 は、絶縁トランジスタ 634 を通してノード SEN2 から減結合され、これにより VLIMIT 制限を取り除く。そのとき、SEN631 上の電圧は、基準電圧 (Vdd - | VTP |) と比較される前に初期昇圧を取り消すように同じ V だけ下げられる。これにより、VLIMIT より低いレベルでも電圧比較を行うことが可能となる。

20

【0069】

ロックアウトセンスマジュールから他のセンスマジュールへのノイズ

昇圧回路 700 は、感知期間中 VB を高め、したがってセンスマジュール 480' においてノイズ源となり得る。ノイズは、キャパシタ 652 を介して SEN ノード 631 へ、さらにその先へ伝わり得る。センスマジュールが感知操作中アクティブであるときにはセルが電流シンクとして作用していてビット電圧クランプ 610 とセンスマップ内の電圧クランプ 620 との両方がノイズを軽減するように作動しているので、ノイズは重要ではない。

30

【0070】

前述したように、センスマジュールは、大電流セルを検出してハイの信号 INV をラッチした後、ロックアウトモードに入る。これにより、セル電流は、そのビット線がプルダウン回路 550 によって接地にプルダウンされた後、止められる。ロックアウトセンスマジュールは最早感知に関与しなくて非アクティブとなり、同時に他のセンスマジュールはページ中のまだロックアウトしていないメモリセルを感知してアクティブであり続ける。しかし、ロックアウトセンスマジュールは、その非アクティブモードにおいても、なおアクティブである他のセンスマジュールについては重大なノイズ源となる。

【0071】

図 12B は、ロックアウトモードに入った図 12A に示されているセンスマジュールのノイズ経路を示す。ロックアウトモードは、センスマップ 600' が基準電流より上のセル電流を検出して信号 INV をハイにセットしているときである。INV がハイであることに応答して、センスマジュール 480' はビット線を接地にプルダウンし、同時にプリチャージ回路 640' を介しての Vdd へのアクセスは遮断される。これは、電圧クランプ 620 が、したがってビット線電圧クランプ 610 も、最早機能し得ないということを意味する。1 ページのメモリセルが並行して感知されているとき、XSL および BL などの制御信号および VB は、ロックアウトモードに入っているセンスマジュールも含む全てのセンスマジュールに一様に印加される。したがって、INV がハイであるセンスマジュール 480' については、昇圧回路 700 により生成されたノイズは経路 711 に沿ってビット線 36 へ伝わり得る。ページ中の各メモリセルのソースが信号 CLSRC を伴うページソース線に結合され、ページソース線が接地に結合されているならば、ノイズは接

40

50

地ループを介して C L S R C に影響を及ぼすようにも伝わり得る。

【 0 0 7 2 】

図 13 は、ロックアウトモードに入った図 12B に示されている既存のセンスモジュールについての制御信号のタイミングを示す。ロックアウトモードにおいて、センスモジュール 480' は、昇圧回路 700 からのノイズがページソース線にもビット線にも到達することを可能にする。図 13 および図 12B の両方を参照すると、全てのセンスモジュールのための感知期間は、HLL (図 13 (a)) がプリチャージ回路 640' をSENノード 631 から切り離すことで始まり、SENノードをそれ以上放電させないようにXXL (図 13 (b)) がセル電流を絶つことで終わる。感知期間中、センスノードは昇圧回路から供給される V_B で昇圧される。ロックアウトモードのセンスモジュールでは、SENノード 631 は、プルダウン回路 550 を介して C L S R C ページソース線 34 にも結合されているビット線 36 に結合される。セル電流がオフにされると、感知期間開始時ににおける V_B の電圧レベルの急なシフト (図 13 (c)) によって SENノードにリップルが生じる (図 13 (d)) 。このリップルは、ノイズとしてノイズ経路 711 に沿って伝わって、結合されているビット線 (図 13 (e)) および C L S R C ページソース線 (図 13 (f)) に到達する。

【 0 0 7 3 】

ビット線に対するノイズの影響

センスモジュール 480' は、1ビット線から他への時間変化する電流の結合を避けるために定ビット線電圧で感知するように設計された。セル電流と無関係のどんな電流も単なるノイズであって、セル電流の感知におけるエラーの原因となる。前に説明したように、ロックアウトセンスモジュールは時間変化する電流であるノイズをロックアウトビット線に投入することがある。ロックアウトメモリセルは最早感知されていないとしても、ロックアウトビット線中の変化する電流は、そのセルがなお感知を受けているかもしれない隣接するビット線に結合されることがある。このタイプの結合ノイズは、ロックアウトセルに近い感知されつつあるセルに関しては重要であって、感知におけるエラーに寄与する。

【 0 0 7 4 】

ページソース線に対するノイズの影響

他の 1 つの問題は、メモリセルのソース側電圧における不確実性と関連する。例えば、ソース側エラーの 1 つの現れは、ソース線とチップの接地パッドとの間の有限の抵抗に起因する。メモリセルを感知することについての 1 つの潜在的問題は、有限の抵抗を横断するソース負荷により引き起こされるソース線バイアスである。多数のメモリセルが並行して感知されるとき、それらの総電流は、有限の抵抗を有する接地ループにおいて顕著な電圧降下を生じさせることがある。これは、しきい値電圧感知を使用する読み出し操作においてエラーを引き起こすソース線バイアスをもたらす。

【 0 0 7 5 】

図 14 は、接地までの有限の抵抗を有するソース線における電流に起因するソース電圧エラーの問題を示す。読み出し / 書き込み回路 270A および 270B は 1 ページのメモリセルに対して同時に作用する。読み出し / 書き込み回路中の各センスモジュール 480 は、ビット線 36 を介して対応するセルに結合されている。例えば、センスモジュール 480 は、メモリセル 10 の伝導電流 i_1 (ソース - ドレイン電流) を感知する。伝導電流は、ソース線 34 を通って接地へ進む前に、センスモジュールからビット線 36 を通ってメモリセル 10 のドレインに流入し、ソース 14 から流出する。集積回路チップでは、メモリアレイ中のセルのソースは、メモリチップの何らかの外部接地パッド (例えば、 V_{SS} パッド) に接続されたソース線 34 の複数の枝路として全て互いに結合される。ソース線の抵抗を減らすために金属ストラップが使用されたとしても、メモリセルのソース電極と接地パッドとの間に有限の抵抗 R が残る。通常、接地ループ抵抗 R はおよそ 50 オームである。

【 0 0 7 6 】

10

20

30

40

50

並行して感知されるメモリのページ全体について、ソース線 3 4 を流れる総電流は全ての伝導電流の合計、すなわち $i_{TOT} = i_1 + i_2 + \dots + i_p$ である。一般的に、各メモリセルは、その電荷蓄積素子にプログラムされている電荷の量に依存する伝導電流を有する。メモリセルの所与のコントロールゲート電圧について、少量の電荷は比較的に大きな伝導電流を生じさせる（図 3 を参照）。メモリセルのソース電極と接地パッドとの間に有限の抵抗が存在すると、その抵抗における電圧降下は $V_{drop} = i_{TOT} R$ により与えられる。

【0077】

例えば、24,000 のビット線がそれぞれ 0.25 μA の電流で同時に放電すれば、ソース線電圧降下は 24,000 線 × 0.25 μA / 線 × 50 オーム ~ 0.3 ボルトである。主要効果はソース電圧の 0.3 V 上昇がしきい値電圧の 0.45 V 上昇をもたらすことであると仮定すると、このソース線バイアスは、メモリセルのしきい値電圧が感知されるときに 0.45 ボルトの感知エラーの原因となる。

10

【0078】

図 15 は、ソース線電圧降下により引き起こされるメモリセルのしきい値電圧レベルのエラーを示す。メモリセル 10 のコントロールゲート 30 に供給されるしきい値電圧 V_T は GND に関するものである。しかし、メモリセルが見る実効 V_T は、そのコントロールゲート 30 とソース 14 との間の電圧差である。供給される V_T と実効 V_T との間にはおよそ $1.5 \times V_{drop}$ の差がある（ソース 14 からソース線までの電圧降下のより小さな寄与を無視して）。この V_{drop} あるいはソース線バイアスは、メモリセルのしきい値電圧が感知されるとき、例えば 0.45 ボルトの感知エラーの原因となる。このバイアスは、データ依存であるため、すなわちページのメモリセルのメモリ状態に依存するために、容易には取り除けない。

20

【0079】

米国特許第 7,173,854 号（特許文献 18）は、接地ループに起因するソースバイアスエラーの問題を緩和するためにページ中の各メモリセルのソースに近いワード線電圧を参照する方法を開示している。

その全体が本願明細書において参考により援用されている、Nguyenらにより 2007 年 6 月 29 日に出願された「METHOD FOR SENSING NEGATIVE THRESHOLD VOLTAGES IN NON-VOLATILE STORAGE USING CURRENT SENSING」という米国特許出願第 11/771,982 号（特許文献 19）は、1 ページに沿う各メモリセルのソースを所定ページソース電圧に調整するための記憶装置および方法を開示している。

30

【0080】

図 15 は、ロックアウトセンスモジュールに起因するノイズが、ページソース線と感知を受ける個々のセンスモジュールのビット線との両方に導入されることも概略的に示している。そのノイズは、通例、ページソース線にレギュレータがあっても、ついてゆけない急速な揺らぎを有する。前の開示から、ノイズがページソース線 3 4 の信号 C L S R C に導入されれば、それはページソース線に結合されている全てのメモリセルの感知中にエラーを引き起こすということは明らかである。

40

【0081】

改善された低ノイズのセンスモジュールアレイ

低められた供給電圧で動作することのできるセンスモジュールの 1 つの好ましい実施例では、感知される放電電圧のダイナミックレンジを増大させるために昇圧回路が使用される。センスモジュールが基準電流より大きな伝導電流を有するセルを特定すると、そのセルはそれ以上の感知からロックアウトされて、関連するビット線はそのロックアウトセルをオフにするためにページのソース線へ短絡される。このロックアウトモードでは、昇圧回路により生成されるステップアップ電圧はノイズ源となってセルのビット線およびページのソース線へ伝播しやすく、これにより他の動作しているセンスモジュールに干渉する。このノイズ源は、センスモジュールがロックアウトモードに入ると必ずビット線およびソース線に到達しないように絶縁される。ノイズ源と、ビット線およびソース線を昇圧回

50

路に結合させる中間回路との間に絶縁回路が配置される。

【0082】

一般的な実施形態では、転送ゲートが絶縁回路として使用される。転送ゲートは、メモリセルが基準電流より大きい伝導電流を有すると特定されてページのさらなる感知操作からロックアウトされたことから生じたロックアウトモードを示すラッチ済み信号によって、オフにされる。転送ゲートがオフにされることにより、メモリセルのビット線とページのソース線とのノイズ経路が切断される。1つの好ましい実施形態では、転送ゲートは、中間回路と、放電電圧が感知されると共に昇圧済み電圧が印加されるノードとの間に配置される。

【0083】

図16は、1つの好ましい実施形態に従う、ロックアウトセンスモジュールからのノイズ絶縁が改善されているセンスモジュールスタックを示す。センスモジュールスタックは、1つの共通SAバス422を共有するセンスモジュール480-1~480-kから成る。動作時には、1ページのメモリセルが並行して感知される。図11に示されているように、p個のビット線を介してページのp個のメモリセルに接続するp個のセンスモジュールがある。したがって、図16に示されているセンスモジュールスタックは、ページのためのセンスモジュールのセット全体を形成するp/k個のスタックのうちの1つを表す。メモリセルのページの各メモリセルのソースは、電圧CLSRCを有するページソース線34(図14および図15を参照)に結合されている。

10

【0084】

各センスモジュール480は、図12Aおよび図12Bに示されている既存のセンスモジュール480'に類似している。1つの差異は、メモリセルの感知された結果に従ってセットされる信号INVにより制御される転送ゲート750が組み込まれていることである。好ましい実施例では、転送ゲート750はp形トランジスタ752とn形トランジスタ754とを含む。転送ゲートの第1のノードは、n形トランジスタ754のドレインに結合されたp形トランジスタ752のソースを有する。転送ゲートの第2のノードは、n形トランジスタ754のソースに結合されたp形トランジスタのドレインを有する。2つのノードは、COM1ノード481およびノード482を横断して接続されている。ノード482は、信号COM2を伝え、転送ゲート750とビット線電圧クランプ610との間に位置する。p形トランジスタ752は信号INVによりゲート制御され、n形トランジスタ754は、INVの反転であるINV'によってゲート制御される。

20

30

【0085】

セル電流がセンスアンプ600によって基準電流より大きいと判定されると、INVはハイにセットされてラッチされる。ビット線は、ページソース線34(図14および図15を参照)のCLSRCに引かれる。ソースおよびドレインが本質的に同じ電位であれば、セル電流はオフにされてセンスモジュールはロックアウトモードに入り、非アクティブになり、同時に他のセンスモジュールはそれぞれのメモリセルの感知を続行する。ロックアウトモードでは、ハイであるINVが転送ゲート750をオフにする。したがって、VBにおける電圧のシフトに起因するノイズは、センスモジュールがロックアウトモードであるときには必ずSENノード631およびCOM1ノード481まで伝播することができるに過ぎなくて転送ゲートによって遮断される。このようにして、どのロックアウトセンスモジュールからのノイズも、依然として感知を行っているセンスモジュールに干渉しないように妨げられる。

40

【0086】

図16に示されている転送ゲートのための好ましい実施形態の他の1つの特徴は、ビット線と究極的にVddとの間の経路における転送ゲート750のp形トランジスタ752の構成で、p形トランジスタが、図12Aに示されている前のプリチャージ回路640'における前のp形トランジスタ644のプルアップ機能を提供することである。したがって、図16では、改善されたセンスモジュール480内のプリチャージ回路640は、プルアップのためのp形トランジスタを最早必要としない。プリチャージ回路640は単に

50

V_{dd} への結線である。転送ゲートは、 V_{dd} へのプルアップを行うためにプリチャージ操作中にオンにされる。

【0087】

図17は、ロックアウトモードに入った図16に示されている改善されたセンスモジュールのための制御信号のタイミングを示す。ロックアウトモードではセンスモジュール480の転送ゲート750は昇圧回路からのノイズがページソース線およびビット線に到達しないように遮る。図17および図16の両方を参照すると、全てのセンスモジュールのための感知期間は、HLL(図17(a))がプリチャージ回路640'をSENノード631から切り離すことから始まり、SENノードをそれ以上放電させないようにXCL(図17(b))がセル電流を遮断することで終わる。感知期間中、センスノードは、昇圧回路から供給される V_B で高められる。ロックアウトモードのセンスモジュールについて、SENノード631は、介在している転送ゲート750を除いて、プルダウン回路550を介してCLSRCページソース線34にも結合されているビット線36に結合される。セル電流がオフにされると、感知期間の始まりにおける V_B の電圧レベルの急なシフト(図17(c))によってSENノードにリップルが生じる(図17(d))。ノイズとしてこのリップルの伝播は、結合されているビット線(図17(e))およびCLSRCページソース線(図17(f))に到達しないように、オフにされている転送ゲート750によって止められる。図13(e)および図13(f)に示されている対応するものと比べて、ロックアウト状態の、改善されているセンスモジュールのビット線にもページ全体のページソース線にもノイズはない。

他の1つの好ましい実施形態では、転送ゲートは、昇圧回路と放電電圧が感知されるノードとの間に配置される。

【0088】

図18は、代わりの好ましい実施形態に従う、ロックアウトセンスモジュールからのノイズ絶縁が改善されているセンスモジュールスタックを示す。この代わりの実施形態におけるセンスモジュール480'は、転送ゲート750が類似の転送ゲート760により取って代わられていて昇圧回路700とSENノード631との間に移されていることを除いて、図16に示されている好ましい実施形態のセンスモジュール480と同様である。これは、 V_B を、それが経路703を介してキャパシタ652に到達する前に、ゲート制御するように配置されている。

【0089】

図19は、ロックアウトセンスモジュールからのノイズが、ページを感知するためになおアクティブである他のものに干渉しないように絶縁する方法を示す流れ図である。

ステップ810：不揮発性メモリセルの伝導電流を、そのグループを並行して感知している最中に感知するために、中間回路を介してメモリセルがアクセスし得るノードを設ける。

ステップ820：ノードを初期電圧へプリチャージする。

ステップ830：ノードに結合された昇圧回路を設ける。

ステップ832：ノード上の初期電圧を所定量だけ高める。

ステップ840：伝導電流をノードにおける電圧放電の速度により測定する。

ステップ850：伝導電流が所定値より大きいと判定されるたびに、少なくともメモリセルのグループのための感知が完了するまで昇圧回路をメモリセルの中間回路から絶縁する。

【0090】

高速センスモジュールアレイ

2007年12月28日に出願された米国特許出願第11/966,325号(特許文献20)においてさらに発展させられている、前で与えられたセンスモジュールのための種々の実施形態は、データをセンスアンプのデータラッチからデータ上に読み出すプロセスが、接続されたビット線にプリチャージ素子が供給する同じ経路の一部を使用する構成を使用する。これは、米国特許第7,173,854号(特許文献18)および第7,1

10

20

30

40

50

70, 784号(特許文献21)に見出されるものにも当てはまる。例えば、図12Aに示されているように、センスモジュール480'にラッチされたデータ値は、スイッチ488を通してバスノード422へ送り出される。これは、線COM1が481で接続することを伴う。これは、図12Bに示されているように、プリチャージがビット線に供給される同じ経路である。

【0091】

この事情は図20A～図20Cにより詳しく考察され、これらのセンスモジュールの詳細の幾分かがこの論議のために多少再構成されていることを表す。図20Aは、これらの他のセンスアンプの多少一般的な変形と解され得るけれども、プリチャージ保持キャパシタCSA653が中央に、デジタル部分と称され得るもののが左側に、アナログ部分と称され得るもののが右側に配置されているものを示す。図12Aの対応する部分の単なる再構成であるアナログ部分は、プリチャージキャパシタ653からの電流を選択されたビット線に提供する。デジタル側で、弁別素子は660にラッチするべき状態を判定する。SAラッチ660は、例えば、ラッチされた値を保持するためにクロスカップリングされたトランジスタから形成されることができて、ここではRSTおよびSTB信号に応答する。

10

【0092】

図20Bは、プリチャージキャパシタCSA652から選択されたビット線への電流が取る感知のためのアナログ経路を示す。より具体的には、それはノード631および481を通り、さらにビット線選択トランジスタ482へ進む。図20CはデータをSAバス422へ転送するための経路を示し、電流は再びノード631および481を通って進み、ここで向きを変えてトランジスタ488を通って422のセンスアンプバスへ進む。これらの経路の両方が、SENのところの線から、ノード631へ、トランジスタ630を通ってノード481までの共通部分を共有する。したがって、1感知操作のための422へのデータ転送が完了するまで、プリチャージキャパシタ652は次の感知操作のために充電されることができない。したがって、図20Aのものなどの構成において感知性能を低速化する要因のうちの1つは、アナログ感知時間(図20C)とデジタルデータ転送時間(図20B)とが連続する結果である。

20

【0093】

スピードを考慮すべきであることに加えて、この構成はアナログ感知経路にノイズを生じさせる。それは、Vddの高データ値をトランジスタ630を通して送るには、一般に、630のしきい値を補うためにXXLをVddより高い値にすることが必要であるからである。データ値が出された後、XXLは通常下げられてVddに戻されるけれども、これにはある程度の時間がかかり得るので、これはノイズを導入し、BLクランプ610を通り、図12Bに関して前に記述された経路に沿って、そこで論じられたものと類似の効果を伴って進む。

30

【0094】

ここで提示される構成は、センスモジュール回路内のアナログ部分とデジタル部分とを、これらの両方が並行して処理され得るように分離する新しい方法を導入する。このようにして、感知性能は、代表的な設計で約10%向上し得る。さらに、これは、感知中にアナログ感知経路上のノイズをなくしてスイッチング電流を減少させるのに役立つ。図21Aに関して見られるように、この種の設計は、メモリが前の感知データを送り出している間に次の感知環境が準備されることを可能にする。

40

【0095】

図21Aは、図20Aのセンスモジュールと関連する方法のいくつかの態様を示す。他の実施形態は、前のセクションにおいて、さらに米国特許第7,173,854号(特許文献18)および第7,170,784号(特許文献21)のものなどの他のセンスモジュールにおいて与えられている他の種々の実施形態に基づくか、あるいはそれらと組み合わせることができる。

図21Aの代表的な実施形態は、再び、プリチャージ素子CSA652を中心、アナログセクションを左側に、デジタルセクションを右側に示す。デジタルセクションは、前

50

のように構成され得る S A ラッチ 6 6 0 と、弁別素子 6 5 0 を含む。D c r m 6 5 0 の中で、トランジスタ 6 5 4 および 6 5 6 は前のようなあるけれども、ノード 6 5 7 を接地に接続する R S T によって制御されるトランジスタ 6 5 8 を持つのではなくて、ノード 6 5 7 は今はトランジスタ 2 1 0 1 を通してノード 4 2 2 に接続され、そこからさらに S A バスに接続されている。したがって、ラッチされたデータは、今はこの経路に沿って信号 R S T _ N C O により制御されるトランジスタ 2 1 0 1 を通って外へ転送され、前の N C O 信号の機能を R S T 信号と合体させる。データを外へ転送するための経路は今は完全にデジタル側の中にあるので、N C O によって制御される図 2 0 A の前のスイッチ 4 8 8 は最早この機能を果たさなくてもよい。

【0096】

10

図 2 1 B は感知のためのアナログ経路を示し、プリチャージキャパシタ C S A 6 5 2 から選択されたビット線への経路電流が取るものであって、図 2 0 B とほとんど同じである。データを S A バス 4 2 2 へ転送するためのデジタル経路は図 2 1 C に示されていて、図 2 0 C とは違って、レベル I N V が今はスイッチ 2 1 0 1 によってノード 6 5 7 からノード 4 2 2 へ転送されるので、アナログ経路とは重ならない。したがって、弁別素子 6 5 0 が感知操作の結果を確立すると、センスモジュールは、デジタル結果が外へ転送されて次の感知操作のデジタル部分へ移動するのを待たなくともよくて、キャパシタを充電することおよび他のステップを始めることができ、ラッチされたデータ値は都合のよいときにバスへ転送される。

【0097】

20

読み出しプロセスでは、図 7 に示されている 4 状態メモリの例を探ると、代表的なプロセスは、先ず A 状態、その後に B 状態、最後に C 状態を求めて読む。図 2 0 A の構成では、選択されたワード線は A 状態を求めて読むために使用される値まで高められ、読み出しのアナログ部分が実行される。すなわち、プリチャージが実行され、その後、図 2 0 B の経路に沿って選択されたビット線に供給するために使用される。その後、センスアンプは、弁別セクション 6 5 0 がセルの状態を基準レベルと比較するようにストローブされ、その結果がラッチされる。その後、この結果を読み出すために図 2 0 C の経路が使用されるけれども、これは、プリチャージキャパシタが放電されることを、これがアナログ部分で既に行われていなかったならば（すなわち、選択されたセルが伝導していなかったならば）、必要とする。これが行われると、その後にデータの転送が行われ得る。さらに、ワード線は次の感知操作（ここでは、選択されたセル上の B 状態）に備えて高められ得るけれども、転送が完了するまではセンスアンプを次の感知操作に備えさせることはできない。

【0098】

30

A 読み出しについての結果のデータ転送が図 2 0 C の経路を用いて完了すれば、ビット線を B 読み出しのために高めることができ、それは、C 読み出しへ続く前に、同じように進行する。したがって、図 2 0 A ~ 図 2 0 C のような構成の構造では、データ結果のラッチまでの読み出し操作のアナログ部分はデジタル値のデータ転送部分と連続して実行され、ワード線およびビット線値は連続して高められる。

対照的に、図 2 1 A ~ 図 2 1 C のような構成では、比較の結果が弁別素子によって行われてラッチされると、転送を次の読み出しのための準備と並行して行うことができて、転送時間を隠すと共にワード線およびビット線値を並行して高めることを可能にする。

40

【0099】

図 2 1 A ~ 図 2 1 C を再び参照して図 7 に示されている 4 状態メモリの例を採用すると、A 状態を求める読み出しから始めて、選択されたワード線は A 状態を求める読み出しに使用される値に高められて読み出しのアナログ部分が実行され、プリチャージが行われ、その後に図 2 1 B の経路に沿って選択されたビット線に供給をするために使用される。その後、弁別セクション 6 5 0 がセルの状態を基準レベルと比較するようにセンスアンプがストローブされ、結果がラッチされる。この段階でプロセスは前の場合から分岐する。すなわち、図 2 1 C のデータ転送のための経路が使用されるので、アナログおよびプリチャージセクションは次の状態へ進むことができる一方で、データ転送は、この後の読み出し

50

の結果のためにラッチが必要となる前にいつでも行われ得る。さらに、アナログノブリチヤージ素子におけるレベルを放電し再充電する必要性が少ないので、アナログ感知経路におけるノイズおよび必要とされるスイッチング電流が低減される。

【0100】

同じ経路の多くがビット線電流を供給しデータを外へ転送するために使われるので、ペリファイ操作のために普通の読み出しのためにも、トランジスタ630は、図20Bおよび図20Cの経路の両方のためにXXLによってオンにされなければならない。前述したように、これは、ノイズがトランジスタ630を通ってBL電圧クランプ610へ、その後にビット線自体へ伝わって変位電流に影響を及ぼすという結果をもたらす。データを外へ転送するために図21Cの経路を使用することは、Vddの「ハイ」感知値をSAバスに送るために素子630を充分にオンにする必要が最早ないので、XXLからのこのノイズを最小にするのに役立つ。10

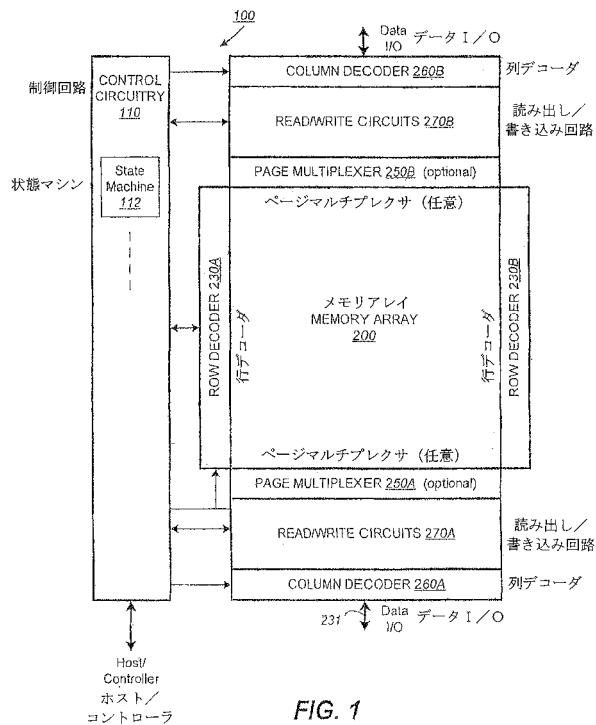
【0101】

図21Aの設計は、さらに、感知操作のために図20Aのものより少ない切換電力を使用する。図20Cを参照すると、スイッチ488をオンにするためにNCOをハイにする必要があるほか、前に論じられたように、630を充分にオンにするためにXXLが高いレベルにされなければならない。さらに、図20CではBL電圧クランプ610およびビット線選択スイッチ482がオフにされるので、BLCおよびBLSは両方ともローにされる。対照的に、図21Cでは、データ転送中にBLCおよびBLS値をトグルする必要は最早なく、XXLは高い値にされなくてもよい。その代わりに、ラッチされた値を外へ転送するために必要とされるスイッチ(2101)がオンにされるだけでよい。さらに、図20A～図20Cは単純化された図であって、これらのアナログセクションは、図20Bのモードから図20Cのモードへの移行のときにスイッチングを必要とする他の数個の素子を包含し得る。20

【0102】

本発明の種々の態様をある実施形態に関して記述してきたけれども、本発明が添付されている特許請求の範囲全体の中での保護を受ける権利を有するということが分かるはずである。

【図1】



【図2】

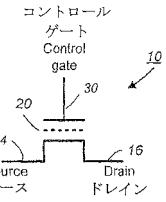


FIG. 2

【図3】

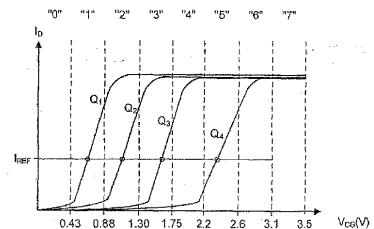
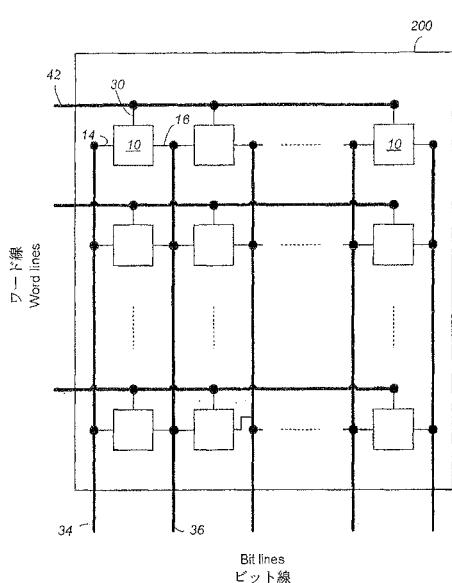


FIG. 3

【図4】



【図5 A】

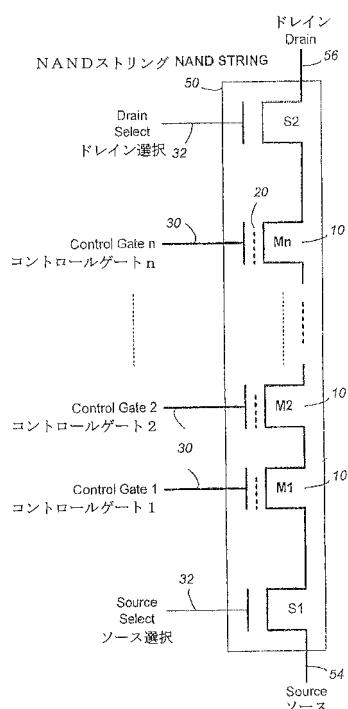


FIG. 5A

【図 5B】

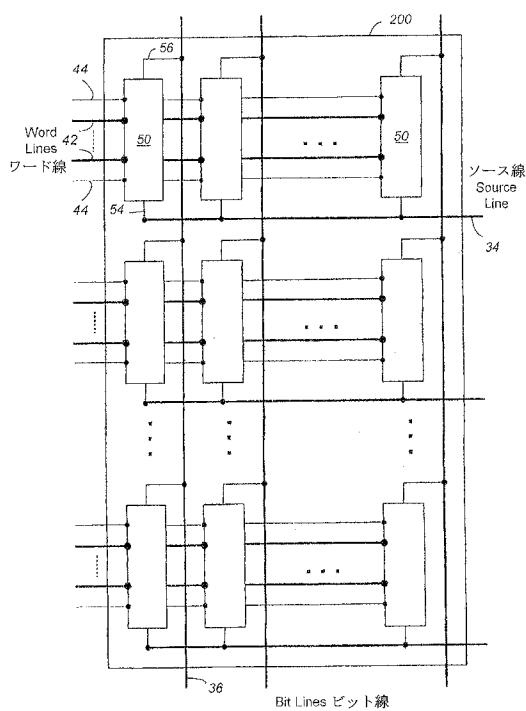
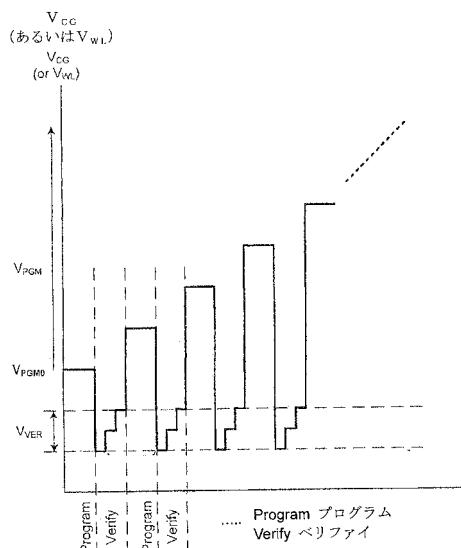


FIG. 5B

【図 6】



Convention Programming with alternate Program/Verify sequence
交互プログラム/ベリファイシーケンスを有する在來のプログラミング

FIG. 6

【図 7】

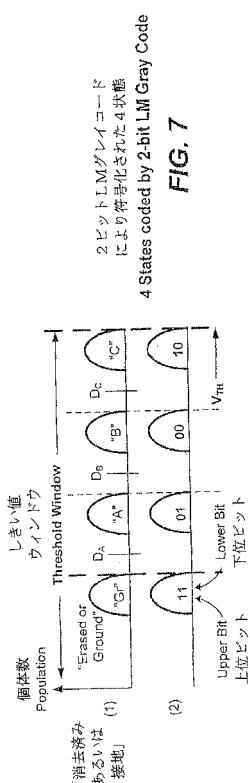


FIG. 7

【図 8】

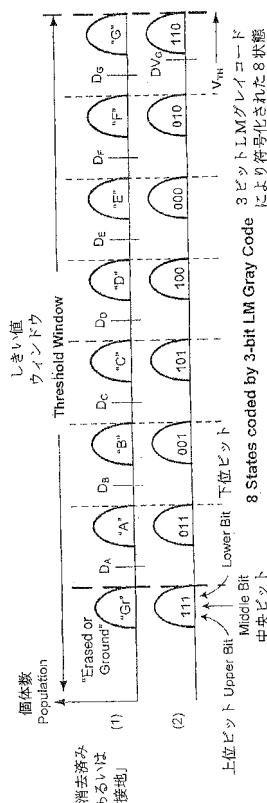


FIG. 8

〔 図 9 〕

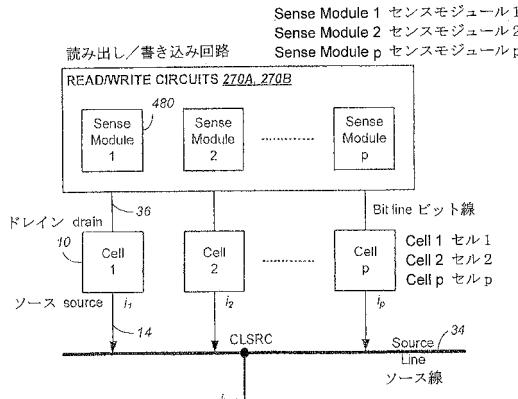


FIG. 9

【 図 1 0 】

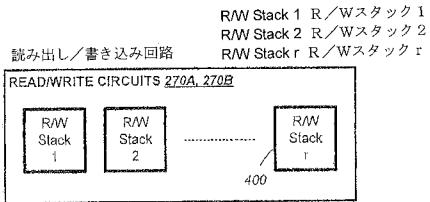


FIG. 10

【図12A】

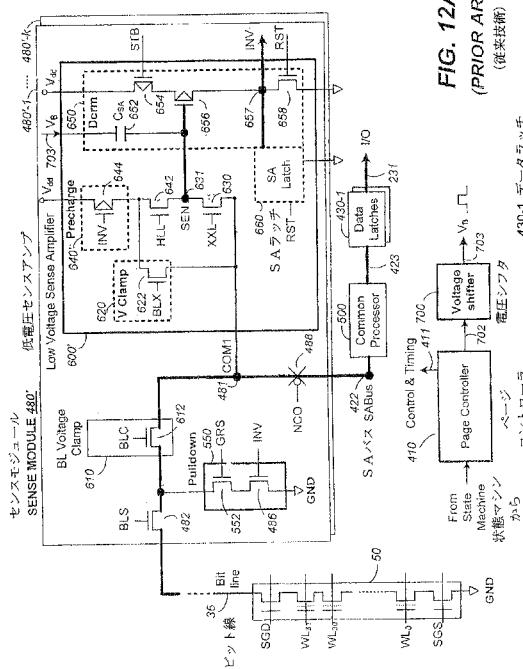


FIG. 12A
PRIOR ART

【図12B】

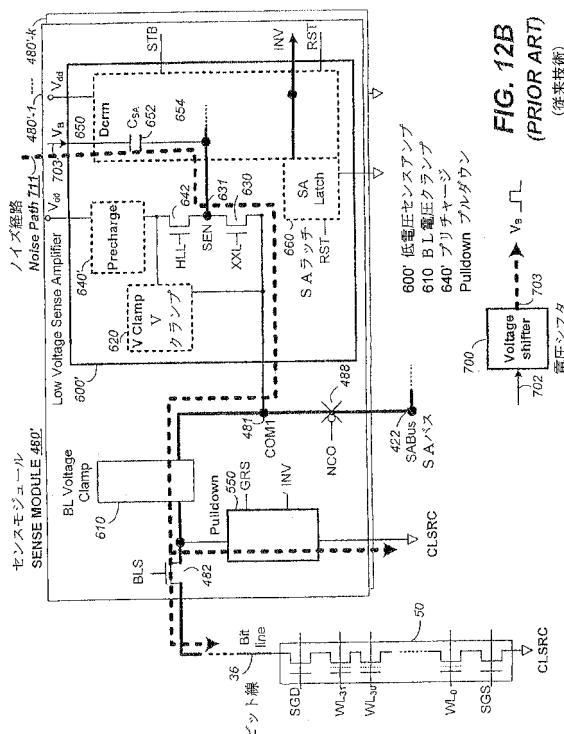


FIG. 12B
SUPERIOR ART

【 図 1 3 】

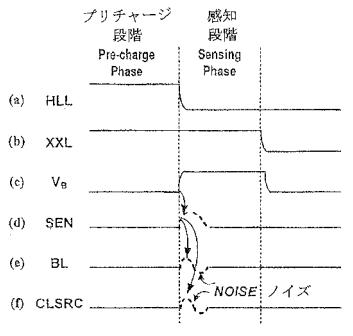


FIG. 13

【 図 1 4 】

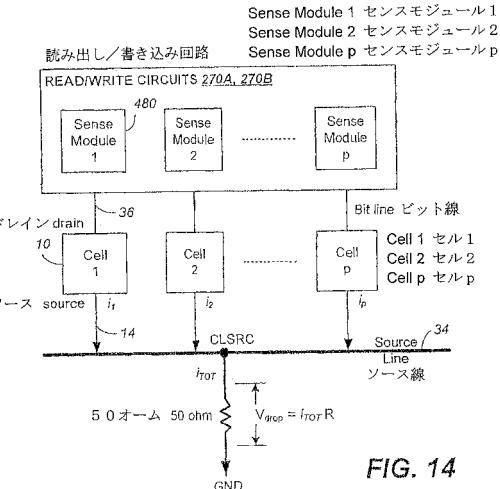


FIG. 14

【 図 1 5 】

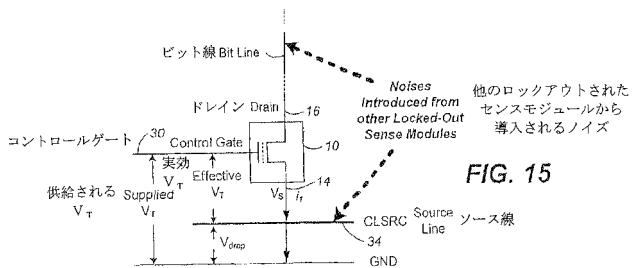


FIG. 15

【 図 1 6 】

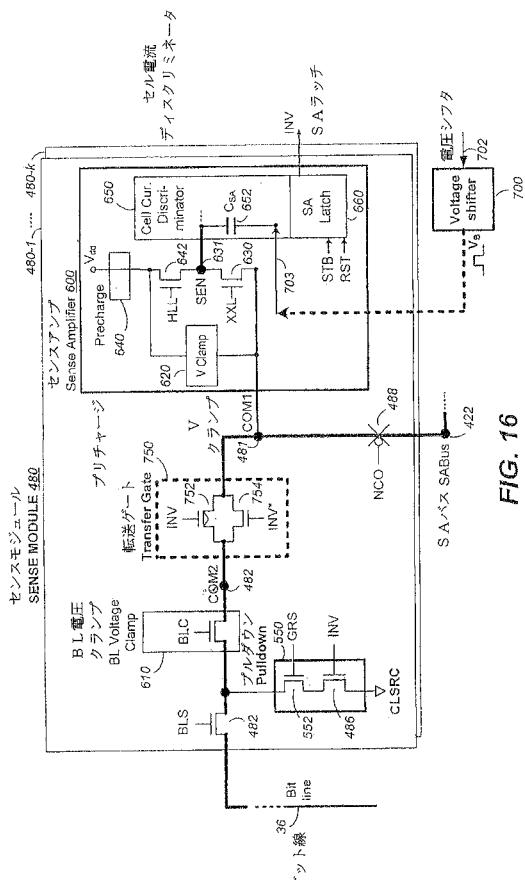


FIG. 16

【 図 1 7 】

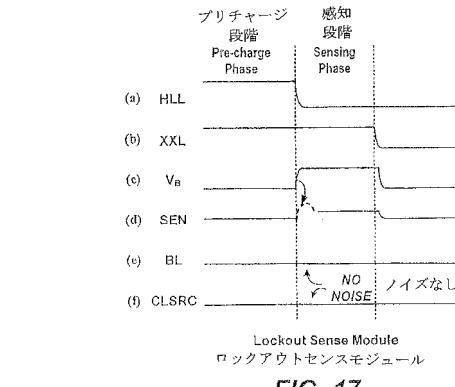


FIG. 17

【 図 1 8 】

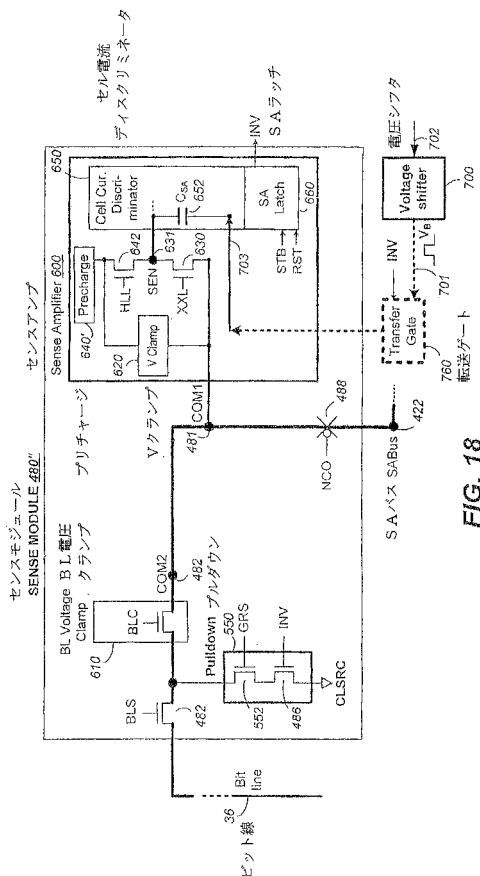


FIG. 18

【 図 2 0 A 】

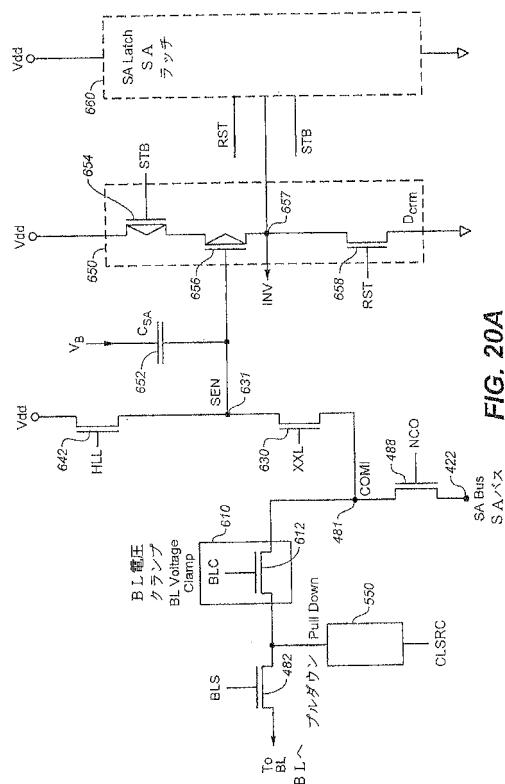


FIG. 20A

【 図 1 9 】

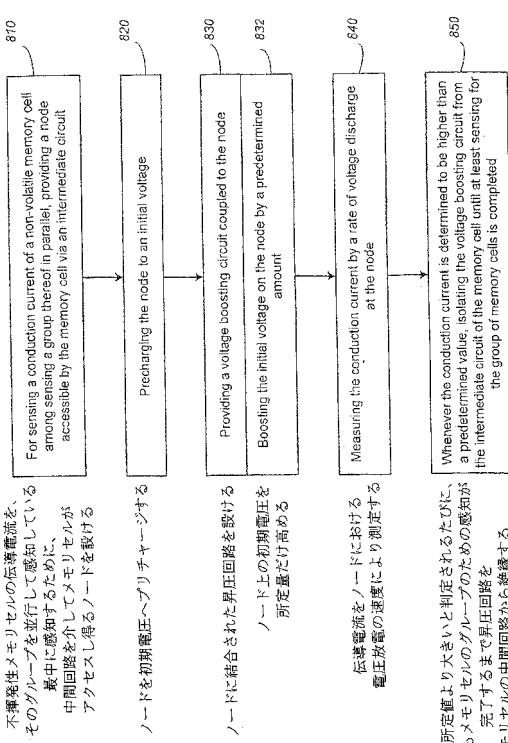


FIG. 19

【 図 2 0 B 】

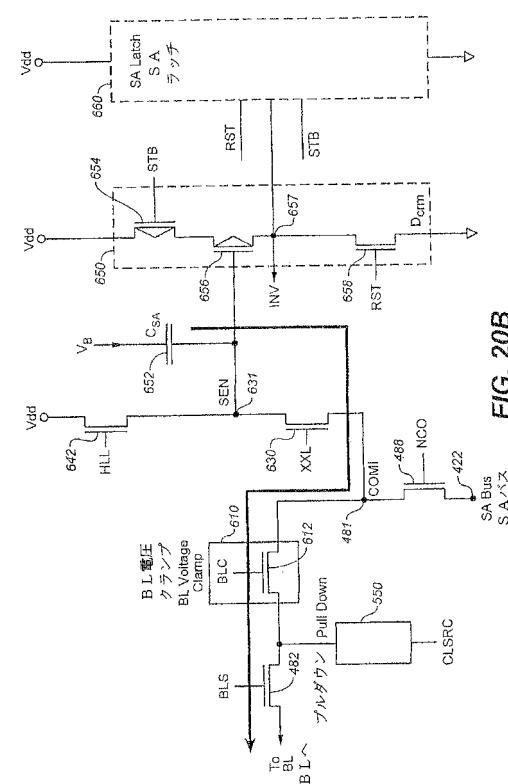


FIG. 20B

【図 20C】

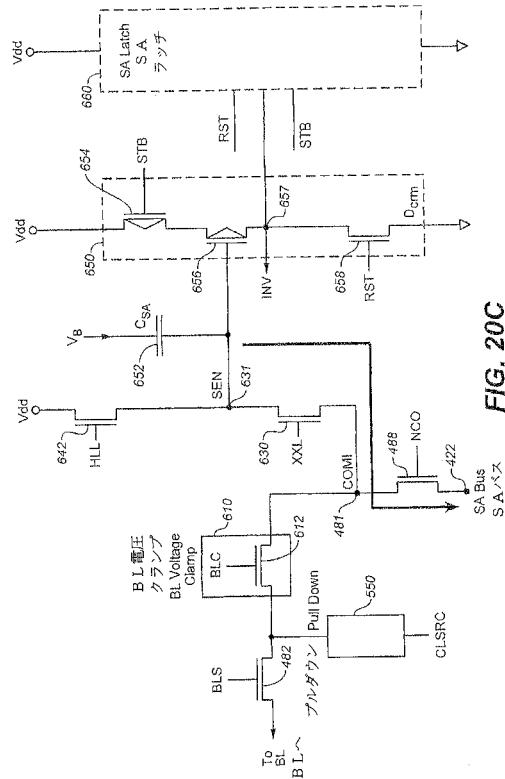


FIG. 20C

【図 21A】

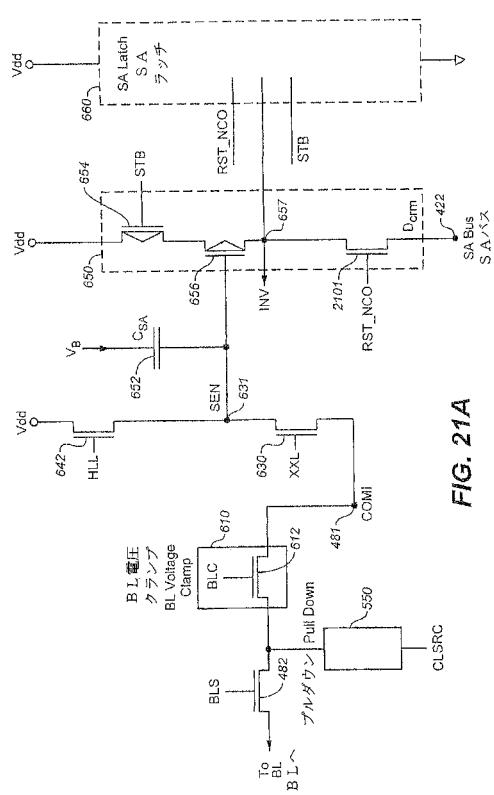


FIG. 21A

【図 21B】

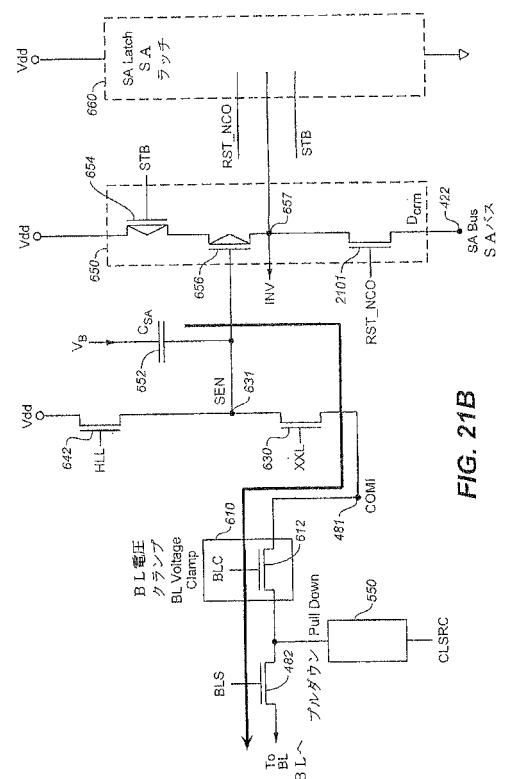


FIG. 21B

【図 21C】

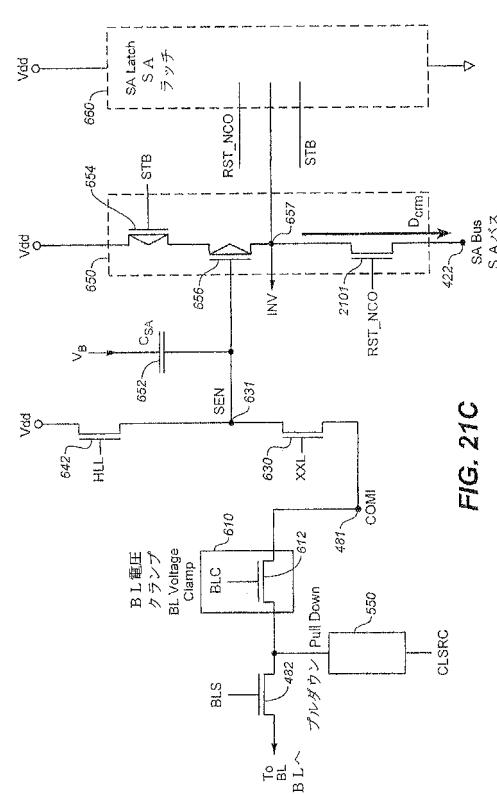


FIG. 21C

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/039082

A. CLASSIFICATION OF SUBJECT MATTER
INV. G11C16/26 G11C11/56

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 974 976 A (ST MICROELECTRONICS SRL [IT]) 26 January 2000 (2000-01-26) paragraph [0051]; figures 1-4	1-37
A	EP 1 288 964 A (TOKYO SHIBAURA ELECTRIC CO [JP]) 5 March 2003 (2003-03-05) figure 2	1
A	US 2004/125651 A1 (TODA HARUKI [JP]) 1 July 2004 (2004-07-01) figure 11	1
A	US 2007/153604 A1 (TSAO SHOU-CHANG [US] ET AL) 5 July 2007 (2007-07-05) figure 10	1

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

& document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
9 June 2009	19/06/2009
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Ramcke, Ties

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2009/039082

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
EP 0974976	A 26-01-2000	DE 69820246 D1		15-01-2004
		US 6195286 B1		27-02-2001
EP 1288964	A 05-03-2003	NONE		
US 2004125651	A1 01-07-2004	JP 3920768 B2		30-05-2007
		JP 2004206833 A		22-07-2004
		KR 20040057972 A		02-07-2004
US 2007153604	A1 05-07-2007	NONE		

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,S,K,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,K,E,KG,KM,KN,KP,KR,KZ,LA,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(特許庁注：以下のものは登録商標)

1. フロッピー

(72)発明者 リー , ソンピル
アメリカ合衆国、94583、カリフォルニア州、サンラモン、サウス クローバークレスト レーン 473
(72)発明者 チャン , ファンリン
アメリカ合衆国、94539、カリフォルニア州、フリーモント、キノールト ウェイ 245
(72)発明者 ワング , チー - ミン
アメリカ合衆国、94539、カリフォルニア州、フリーモント、キンタナ ウェイ 1301
F ターム(参考) 5B125 BA02 BA19 CA15 DA03 DA09 DB02 DB08 DB12 EA05 EE04
EE12 EE18 EE19 FA01 FA02