

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4047599号
(P4047599)

(45) 発行日 平成20年2月13日(2008.2.13)

(24) 登録日 平成19年11月30日(2007.11.30)

(51) Int.Cl.

H03M 1/78 (2006.01)

F I

H03M 1/78

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2002-52084 (P2002-52084)	(73) 特許権者	000005821
(22) 出願日	平成14年2月27日(2002.2.27)		松下電器産業株式会社
(65) 公開番号	特開2003-258643 (P2003-258643A)		大阪府門真市大字門真1006番地
(43) 公開日	平成15年9月12日(2003.9.12)	(74) 代理人	100081813
審査請求日	平成17年2月22日(2005.2.22)		弁理士 早瀬 憲一
前置審査		(72) 発明者	石川 勝也
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	園部 浩之
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		審査官	柳下 勝幸
			最終頁に続く

(54) 【発明の名称】 D/A変換装置

(57) 【特許請求の範囲】

【請求項1】

第1の基準電圧と、該第1の基準電圧より低圧の第2の基準電圧とを用いてデジタル信号をアナログ信号に変換するR-2Rラダー抵抗型D/A変換手段と、

該D/A変換手段から受けたアナログ信号をインピーダンス変換するインピーダンス変換手段と、

を備え、

第2の基準電圧は接地電圧であり、

前記R-2Rラダー抵抗型D/A変換手段は、

該R-2Rラダー抵抗型D/A変換手段の出力から直列接続された複数の第1の抵抗（各抵抗値はR）と、

前記第1の抵抗の各接続点、及び前記直列接続された複数の第1の抵抗からなる抵抗群の両端点にそれぞれ接続された複数の第2の抵抗（各抵抗値は2R）と、

前記第2の抵抗の前記第1の抵抗側でない端点にそれぞれ接続され、前記第2の抵抗に、第1の基準電圧、あるいは接地電圧を接続する複数のスイッチと、

一端が前記複数のスイッチと共通に第1の基準電圧に接続され、他端が前記R-2Rラダー抵抗型D/A変換手段の出力に接続された、前記第2の抵抗とは異なる第3の抵抗（抵抗値は2R）と、

入力されたデジタル信号を基に、前記複数のスイッチを制御するスイッチコントロール手段と、を有し、

前記インピーダンス変換手段は、
前記R-2Rラダー抵抗型D/A変換手段からのアナログ信号がゲートに入力されるN型MOSトランジスタと、
該N型MOSトランジスタに接続された抵抗と、を有する、
ことを特徴とするD/A変換装置。

【請求項2】

請求項1記載のD/A変換装置において、
前記R-2Rラダー抵抗型D/A変換手段は、前記アナログ信号にオフセット電圧を与えることを特徴とするD/A変換装置。

【請求項3】

請求項1記載のD/A変換装置において、
前記インピーダンス変換手段は、前記N型MOSトランジスタに代えてP型MOSトランジスタを有することを特徴とするD/A変換装置。

【請求項4】

請求項1または3記載のD/A変換装置において、
前記インピーダンス変換手段は、前記抵抗に代えてN型MOSトランジスタ、またはP型MOSトランジスタを有することを特徴とするD/A変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル信号をアナログ信号に変換するD/A変換装置に関するものである。

【0002】

【従来の技術】

近年、半導体の集積技術の向上により、システムがワンチップ上に集積されるようになってきているため、半導体装置にアナログ回路を内蔵する際、回路面積と端子数の増加を抑えながら性能の向上をいかにして図るかが課題となっている。

【0003】

アナログ回路のD/Aコンバータ方式において一般的に用いられるものの中に、図10（例として4ビット構成）に示すR-2Rラダー抵抗型D/A変換装置がある。このD/Aコンバータは、抵抗値がRと2Rの抵抗を使い、各ビットの値によりスイッチをコントロールして抵抗を基準電圧のVREFHとVREFLとのどちらにつながかで電圧を分圧し、VREFLから $(VREFH - VREFL) \times (2^n - 1) / 2^n + VREFL$ のダイナミックレンジのアナログ信号を出力するものである。このような単純な構成のため、小面積なD/Aコンバータ回路を比較的容易に実現できる。

【0004】

【発明が解決しようとする課題】

しかしながら、上記従来のR-2Rラダー抵抗D/A変換装置の構成では、R-2R抵抗網の出力がそのままアナログ出力になっているため、出力インピーダンスが高く、この従来のD/A変換装置の出力に接続される、波形をスムーズにするためのローパスフィルタなどの負荷の影響を受けやすい。例えば、高速に変化する信号などでは、図11に示すように波形なまりのため、アナログ出力の応答性が低下するなどの問題が発生する。

【0005】

本発明は、上記問題点を解決するためになされたものであり、出力インピーダンス特性を改善することにより、高速に変化する信号に対する応答性を向上させたD/A変換装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記目的を達成するため、本発明によるD/A変換装置は、第1の基準電圧と、該第1の基準電圧より低圧の第2の基準電圧とを用いてデジタル信号をアナログ信号に変換するR-2Rラダー抵抗型D/A変換手段と、該D/A変換手段から受けたアナログ信号をイ

10

20

30

40

50

ンピーダンス変換するインピーダンス変換手段と、を備え、第2の基準電圧は接地電圧であり、前記R-2Rラダー抵抗型D/A変換手段は、該R-2Rラダー抵抗型D/A変換手段の出力から直列接続された複数の第1の抵抗（各抵抗値はR）と、前記第1の抵抗の各接続点、及び前記直列接続された複数の第1の抵抗からなる抵抗群の両端点にそれぞれ接続された複数の第2の抵抗（各抵抗値は2R）と、前記第2の抵抗の前記第1の抵抗側でない端点にそれぞれ接続され、前記第2の抵抗に、第1の基準電圧、あるいは接地電圧を接続する複数のスイッチと、一端が前記複数のスイッチと共通に第1の基準電圧に接続され、他端が前記R-2Rラダー抵抗型D/A変換手段の出力に接続された、前記第2の抵抗とは異なる第3の抵抗（抵抗値は2R）と、入力されたデジタル信号を基に、前記複数のスイッチを制御するスイッチコントロール手段と、を有し、前記インピーダンス変換手段は、前記R-2Rラダー抵抗型D/A変換手段からのアナログ信号がゲートに入力されるN型MOSトランジスタと、該N型MOSトランジスタに接続された抵抗と、を有する、ことを特徴とするものである。

10

【0007】

また、本発明によるD/A変換装置は、前記D/A変換装置において、前記R-2Rラダー抵抗型D/A変換手段は、前記アナログ信号にオフセット電圧を与えることを特徴とするものである。

【0011】

また、本発明によるD/A変換装置は、前記D/A変換装置において、前記インピーダンス変換手段は、前記N型MOSトランジスタに代えてP型MOSトランジスタを有することを特徴とするものである。

20

【0012】

また、本発明によるD/A変換装置は、前記D/A変換装置において、前記インピーダンス変換手段は、前記抵抗に代えてN型MOSトランジスタ、またはP型MOSトランジスタを有することを特徴とするものである。

【0013】

【発明の実施の形態】

（実施の形態1）

以下、本発明の実施の形態1によるD/A変換装置について、図面を参照しながら説明する。本実施の形態1によるD/A変換装置は、R-2Rラダー抵抗型D/Aコンバータのアナログ出力の電流ドライブ能力を向上させ、アナログ出力信号の応答性を改善するものである。

30

【0014】

図1は、本実施の形態1によるD/A変換装置の構成を示す回路図であり、図2は、そのD/A変換装置の作用効果を説明するための波形図である。

図1において、本実施の形態1によるD/A変換装置100は、R-2Rラダー抵抗型D/A変換手段101と、インピーダンス変換手段102とを備える。R-2Rラダー抵抗型D/A変換手段101は、基準電圧VREFHと、基準電圧VREFL（ただし、VREFLはVREFHよりも低圧）とを用いて、デジタル信号をアナログ信号に変換するものであり、さらに、スイッチコントロール1010と、スイッチ1011a、1011b、1011c、1011dと、抵抗値が2R、あるいはRの複数の抵抗とを備える。

40

【0015】

スイッチコントロール1010は、入力されるデジタル信号に基づいてスイッチ1011aなどをコントロールするものであり、入力デジタル信号の各ビットが“1”のときにはスイッチに基準電圧VREFH側を選択させ、“0”のときにはスイッチに基準電圧VREFL側を選択させる。例えば、LSBが“0”のときには、スイッチ1011aにVREFL側を選択させ、LSBが“1”のときには、スイッチ1011aにVREFH側を選択させる。このようにしてスイッチコントロール1010によりスイッチ1011aなどがコントロールされることにより、基準電圧VREFLから基準電圧VREFHまでの電圧が分圧され、VREFLから $(VREFH - VREFL) \times (2^n - 1) / 2^n + VREFL$

50

EFLのダイナミックレンジのアナログ信号がR-2Rラダー抵抗型D/A変換手段101から出力される。

【0016】

インピーダンス変換手段102は、R-2Rラダー抵抗型D/A変換手段101から受けたアナログ信号をインピーダンス変換するものであり、N型MOSトランジスタ104と、そのN型MOSトランジスタ104のソースに接続された抵抗103とを備える。このソース出力(VOUT)が本実施の形態1によるD/A変換装置の最終のアナログ出力となる。

【0017】

次に、本実施の形態1によるD/A変換装置の動作について説明する。

デジタル信号は、スイッチコントロール1010に入力され、そのデジタル信号の各ビットごとの値に応じて、スイッチ1011a~1011dがコントロールされる。このスイッチ1011a~1011dのコントロールにより基準電圧VREFLから基準電圧VREFHまでの電圧が分圧される。そして、VREFLから $(VREFH - VREFL) / 2^n$ ごとに変化するアナログ信号がR-2Rラダー抵抗型D/A変換手段101から出力される。

【0018】

このR-2Rラダー抵抗型D/A変換手段101からの出力は、N型MOSトランジスタ104のゲートに入力され、インピーダンス変換手段102によりインピーダンス変換される。したがって、R-2Rラダー抵抗型D/A変換手段101の出力インピーダンスは高いが、インピーダンス変換手段102からの出力、すなわちD/A変換装置100からの出力(VOUT)は、電流能力が向上されており、低インピーダンスとなっている。そして、図2で示されるように、D/A変換装置100の出力(VOUT)と、その出力をローパスフィルタ105に通した後の出力(AOUT)とを比較しても、従来例(図11)に比べて応答性が向上していることが分かる。

【0019】

このように、本実施の形態1によるD/A変換装置によれば、N型MOSトランジスタ104と抵抗103とから構成されるソースフォロワ回路のインピーダンス変換手段102を備え、そのインピーダンス変換手段102によりR-2Rラダー抵抗型D/A変換手段101からのアナログ出力をインピーダンス変換することで、D/A変換装置の出力インピーダンス特性を改善し、出力電流ドライブ能力を向上させることができ、高速に変化する信号に対する応答性を向上させることができる。

【0020】

(実施の形態2)

以下、本発明の実施の形態2によるD/A変換装置について、図面を参照しながら説明する。

図3は、上述の実施の形態1によるD/A変換装置において、基準電圧VREFLを接地電圧としたものの構成を示す回路図であり、図4は、そのD/A変換装置におけるインピーダンス変換手段への入力波形と出力波形を示す波形図である。なお、図3で示されるD/A変換装置の構成、及び動作は実施の形態1と同様であり、その説明を省略する。

【0021】

R-2Rラダー抵抗型D/A変換手段101の基準電圧VREFH、VREFLとしては、図3で示されるように、基準電圧VREFHを、D/A変換装置を内蔵している半導体装置の電源電圧VDDとし、基準電圧VREFLを接地電圧(グラウンド)とするのが一般的である。この場合には、上述のようにソースフォロワによるインピーダンス変換手段102により信号の応答性を向上させることができるが、インピーダンス変換手段102のN型MOSトランジスタ104が動作するためには、R-2Rラダー抵抗型D/A変換手段101のアナログ信号出力S11の電圧が、N型MOSトランジスタ104のスレッショルド電圧VT以上である必要がある。例えば、図4(a)で示されるように、アナログ信号出力S11がR-2Rラダー抵抗型D/A変換手段101のダイナミックレンジい

10

20

30

40

50

っぱいの信号であった場合には、インピーダンス変換手段102からの出力、すなわちD/A変換装置からの出力S12は、図4(b)で示されるようになり、N型MOSトランジスタ104のスレッシュホールド電圧 V_T 分だけ、信号欠けが発生してしまうこととなる。本実施の形態2によるD/A変換装置は、このアナログ出力の信号欠けを改善するものである。

【0022】

図5は、本実施の形態2によるD/A変換装置の構成を示す回路図であり、図6は、そのD/A変換装置におけるインピーダンス変換手段への入力波形と出力波形を示す波形図である。

【0023】

図5において、本実施の形態2によるD/A変換装置では、R-2Rラダー抵抗型D/A変換手段101で用いる基準電圧 V_{REFH} 、 V_{REFL} として、基準電圧 V_{REFH} を電源電圧 V_{DD1} とし、低圧側の基準電圧 V_{REFL} を別の電源電圧 V_{DD2} としている。ここで、この電圧 V_{DD2} は、N型MOSトランジスタ104のスレッシュホールド電圧 V_T 以上であり、電源電圧 V_{DD1} より低圧である。なお、これ以外のD/A変換装置の構成、及び動作は実施の形態1と同様であり、その説明を省略する。

【0024】

本実施の形態2によるD/A変換装置では、基準電圧 V_{REFL} を接地電圧ではない V_{DD2} としたことにより、R-2Rラダー抵抗型D/A変換手段101のアナログ出力にオフセット電圧を与えたこととなり、その結果、R-2Rラダー抵抗型D/A変換手段101のアナログ信号出力S21は、図6(a)で示されるようになる。したがって、N型MOSトランジスタ104のゲートに入力される信号はスレッシュホールド電圧 V_T 以上であるため、インピーダンス変換手段102の出力は信号欠けを発生することなく、図6(b)で示されるようになる。

【0025】

このように、本実施の形態2によるD/A変換装置によれば、R-2Rラダー抵抗型D/A変換手段101のアナログ出力にオフセット電圧を与えるようにしたことで、インピーダンス変換手段102に入力される信号の電圧値がN型MOSトランジスタ104のスレッシュホールド電圧 V_T を超えることとなり、インピーダンス変換手段102の出力、すなわち本実施の形態2によるD/A変換装置の出力の信号欠けを防止することができる。

【0026】

(実施の形態3)

以下、本発明の実施の形態3によるD/A変換装置について、図面を参照しながら説明する。本実施の形態3によるD/A変換装置は、より簡易な構成により、実施の形態2によるD/A変換装置と同様に、R-2Rラダー抵抗型D/A変換手段のアナログ出力にオフセット電圧を与えるようにしたものである。

【0027】

図7は、本実施の形態3によるD/A変換装置の構成を示す回路図である。なお、インピーダンス変換手段102の構成、及び動作は実施の形態1と同様であり、その説明を省略する。

図7において、R-2Rラダー抵抗型D/A変換手段210は、抵抗201、202a~202c、203a~203dと、スイッチ1011a~1011dと、スイッチコントロール1010とを備える。なお、基準電圧 V_{REFH} は電源電圧 V_{DD} とし、基準電圧 V_{REFL} は接地電圧としている。抵抗202a~202cは、R-2Rラダー抵抗型D/A変換手段210の出力から直列接続されており、その各抵抗の接続点、及び抵抗202a~202cからなる抵抗群の両端点に、抵抗203a~203dがそれぞれ接続されている。ここまでは、通常のR-2Rラダー抵抗型D/A変換手段と同様であるが、本実施の形態3によるR-2Rラダー抵抗型D/A変換手段210では、一端が基準電圧 V_{REFH} の電圧源(V_{DD})に接続され、他端がR-2Rラダー抵抗型D/A変換手段210の出力に接続された抵抗201を備えている点が通常のものとは異なっている。この抵抗

10

20

30

40

50

201を有していることにより、R-2Rラダー抵抗型D/A変換手段210のアナログ信号出力S31にオフセットを与えたこととなり、電源VDD2を別途用意することなく、抵抗の一端をつなぎかえるという簡単な方法により、オフセットを与えることができる。

【0028】

図7で示されるR-2Rラダー抵抗型D/A変換手段210の場合、デジタル信号が“0000”の時に、アナログ信号出力S31が最低値となるが、その最低値は、 $VDD \times (43/128)$ となり、VDDの約1/3となる。したがって、VDDの値をN型MOSトランジスタ104のスレッシュホールド電圧VTの3倍以上とすればよい。例えば、VDDとして3.3Vを用い、スレッシュホールド電圧VTが0.7Vである場合には、このR-2Rラダー抵抗型D/A変換手段210のアナログ信号出力S31のオフセットにより、アナログ信号出力S31の最低値が十分スレッシュホールド電圧VTを超えていることが分かる。

10

【0029】

このように、本実施の形態3によるD/A変換装置によれば、R-2Rラダー抵抗型D/A変換手段210を、R-2Rラダー抵抗型D/A変換手段210の出力から直列接続された複数の抵抗202a~202cと、抵抗202a~202cの各接続点、及び直列接続された複数の抵抗202a~202cからなる抵抗群の両端点にそれぞれ接続された複数の抵抗203a~203dと、抵抗203a~203dの抵抗202a~202c側でない端点にそれぞれ接続され、抵抗203a~203dに、電源電圧(VDD)、あるいは接地電圧(グラウンド)を接続する複数のスイッチ1011a~1011dと、一端が電源電圧(VDD)に接続され、他端がR-2Rラダー抵抗型D/A変換手段210の出力に接続された抵抗201と、入力されたデジタル信号を基に、複数のスイッチ1011a~1011dを制御するスイッチコントロール1010とから構成したことで、実施の形態2のように電源VDD2を別途用意することなく、抵抗201の端点をつなぎかえたという簡易な構成により、R-2Rラダー抵抗型D/A変換手段210のアナログ出力にトランジスタ104のスレッシュホールド電圧VTを超えるオフセット電圧を与えることができ、インピーダンス変換手段102の出力、すなわちD/A変換装置の出力の信号欠けを防止することができる。

20

【0030】

(実施の形態4)

以下、本発明の実施の形態4によるD/A変換装置について、図面を参照しながら説明する。

30

図8は、本実施の形態4によるD/A変換装置の構成を示すブロック図である。なお、図8で示されるR-2Rラダー抵抗型D/A変換手段101の構成、及び動作は実施の形態1と同様であり、その説明を省略する。

【0031】

本実施の形態4によるインピーダンス変換手段300は、N型MOSトランジスタ104、301を有する。N型MOSトランジスタ104は、実施の形態1と同様のものであり、N型MOSトランジスタ301は、実施の形態1による抵抗103に代えて設けられたものである。

40

【0032】

実施の形態1によるインピーダンス変換手段102では、インピーダンス変換にN型MOSトランジスタ104と抵抗103とを用いているが、この構成では、半導体の製造工程によりトランジスタ104における抵抗成分と、抵抗103の抵抗値との抵抗比のばらつきが大きくなり、最終的なアナログ出力(VOUT)の電圧にもばらつきが生じるおそれがある。しかしながら、図8で示される本実施の形態4によるインピーダンス変換手段300のように、抵抗103に代えてN型MOSトランジスタ301を用いることで、半導体製造工程における抵抗比のばらつきを抑えることができ、出力電圧(VOUT)のばらつきも抑えることができる。

50

【0033】

(実施の形態5)

以下、本発明の実施の形態5によるD/A変換装置について、図面を参照しながら説明する。

図9は、本実施の形態5によるD/A変換装置の構成を示すブロック図である。なお、図9で示されるR-2Rラダー抵抗型D/A変換手段101の構成、及び動作は実施の形態1と同様であり、その説明を省略する。

【0034】

本実施の形態5によるインピーダンス変換手段400は、P型MOSトランジスタ401と、抵抗402とを有する。このインピーダンス変換手段400の動作については、実質的に実施の形態1によるインピーダンス変換手段102と同様であり、その説明を省略する。

10

【0035】

このように、本実施の形態5によるD/A変換装置のように、インピーダンス変換手段400をP型MOSトランジスタ401で構成しても、実施の形態1によるD/A変換装置と同様の効果を奏することができる。

【0036】

なお、実施の形態4の場合と同様に、抵抗402に代えてMOSトランジスタを用いるようにしてもよい。

【0037】

また、インピーダンス変換手段を構成するトランジスタは、MOSトランジスタ(MOS-FET)に限定されるものではなく、バイポーラトランジスタや、接合型トランジスタ(J-FET)であってもよい。ただし、MOSトランジスタでインピーダンス変換手段を構成した場合には、R-2Rラダー抵抗型D/A変換手段と一緒に半導体基板上にインピーダンス変換手段を構成することができ、D/A変換装置のコストを低減させることができるというメリットがある。

20

【0038】

【発明の効果】

以上の説明から明らかなように、本発明によるD/A変換装置によれば、第1の基準電圧と、該第1の基準電圧より低圧の第2の基準電圧とを用いてデジタル信号をアナログ信号に変換するR-2Rラダー抵抗型D/A変換手段と、該D/A変換手段から受けたアナログ信号をインピーダンス変換するインピーダンス変換手段とを備えたことで、D/A変換装置の出力インピーダンス特性を改善し、出力電流ドライブ能力を向上させることができ、高速に変化する信号に対する応答性を向上させることができる効果が得られる。

30

また、第2の基準電圧は接地電圧であり、前記R-2Rラダー抵抗型D/A変換手段は、該R-2Rラダー抵抗型D/A変換手段の出力から直列接続された複数の第1の抵抗(各抵抗値はR)と、前記第1の抵抗の各接続点、及び前記直列接続された複数の第1の抵抗からなる抵抗群の両端点にそれぞれ接続された複数の第2の抵抗(各抵抗値は2R)と、前記第2の抵抗の前記第1の抵抗側でない端点にそれぞれ接続され、前記第2の抵抗に、第1の基準電圧、あるいは接地電圧を接続する複数のスイッチと、一端が前記複数のスイッチと共通に第1の基準電圧に接続され、他端が前記R-2Rラダー抵抗型D/A変換手段の出力に接続された、前記第2の抵抗とは異なる第3の抵抗(抵抗値は2R)と、入力されたデジタル信号を基に、前記複数のスイッチを制御するスイッチコントロール手段と、を有し、前記インピーダンス変換手段は、前記R-2Rラダー抵抗型D/A変換手段からのアナログ信号がゲートに入力されるN型MOSトランジスタと、該N型MOSトランジスタに接続された抵抗と、を有する、という簡易な構成により、R-2Rラダー抵抗型D/A変換手段のアナログ出力にトランジスタのスレッシュホールド電圧 V_T を超えるオフセット電圧を与えることができ、前記インピーダンス変換手段の出力、すなわちD/A変換装置の出力の信号欠けを防止することができる効果が得られる。

40

【0039】

50

また、本発明によるD/A変換装置によれば、前記D/A変換装置において、前記R-2Rラダー抵抗型D/A変換手段が、前記アナログ信号にオフセット電圧を与えることで、前記インピーダンス変換手段の出力、すなわちD/A変換装置の出力の信号欠けを防止することができる効果が得られる。

【0042】

また、本発明によるD/A変換装置によれば、前記D/A変換装置において、前記インピーダンス変換手段が、前記抵抗に代えてN型MOSトランジスタ、またはP型MOSトランジスタを有することで、半導体製造工程における抵抗比のばらつきを抑えることができ、出力電圧のばらつきも抑えることができる効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1によるD/A変換装置の構成を示す回路図である。

【図2】本発明の実施の形態1によるD/A変換装置の作用効果を説明するための波形図である。

【図3】本発明の実施の形態1によるD/A変換装置の構成を示す回路図である。

【図4】本発明の実施の形態1によるD/A変換装置におけるインピーダンス変換手段への入力波形と出力波形を示す波形図である。

【図5】本発明の実施の形態2によるD/A変換装置の構成を示す回路図である。

【図6】本発明の実施の形態2によるD/A変換装置におけるインピーダンス変換手段への入力波形と出力波形を示す波形図である。

【図7】本発明の実施の形態3によるD/A変換装置の構成を示す回路図である。

【図8】本発明の実施の形態4によるD/A変換装置の構成を示す回路図である。

【図9】本発明の実施の形態5によるD/A変換装置の構成を示す回路図である。

【図10】従来のD/A変換装置の構成を示す回路図である。

【図11】従来のD/A変換装置の作用効果を説明するための波形図である。

【符号の説明】

100 D/A変換装置

101、210 R-2Rラダー抵抗型D/A変換手段

102、300、400 インピーダンス変換手段

103、201、202a~202c、203a~203d、402 抵抗

104、301 N型MOSトランジスタ

105 ローパスフィルタ

401 P型MOSトランジスタ

1010 スイッチコントロール

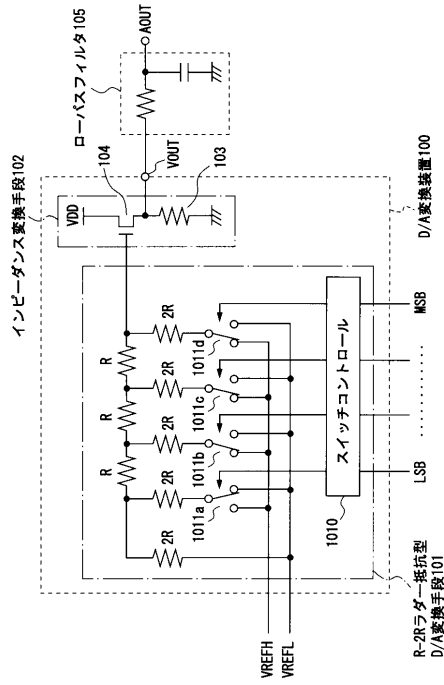
1011a、1011b、1011c、1011d スイッチ

10

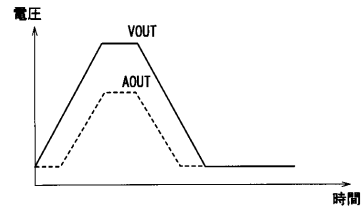
20

30

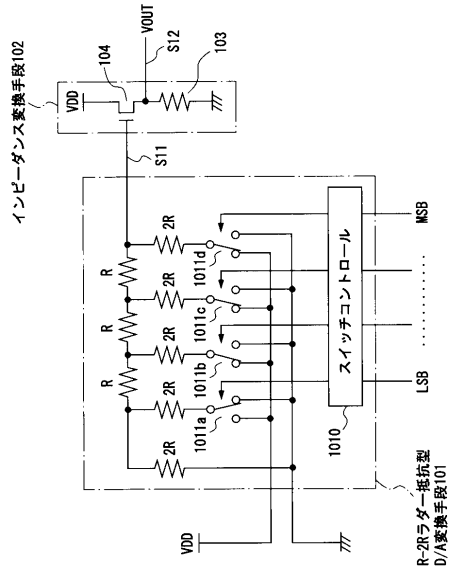
【図 1】



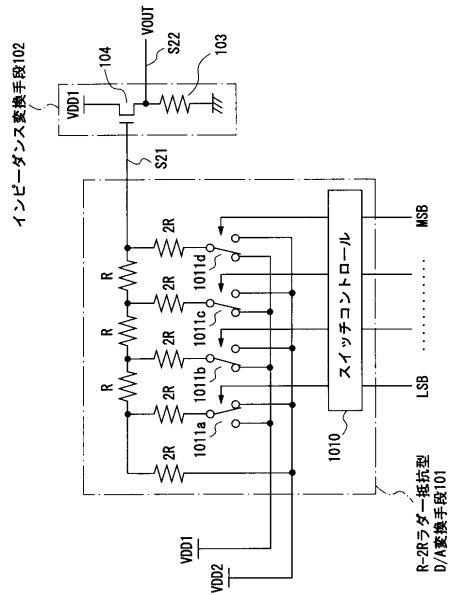
【図 2】



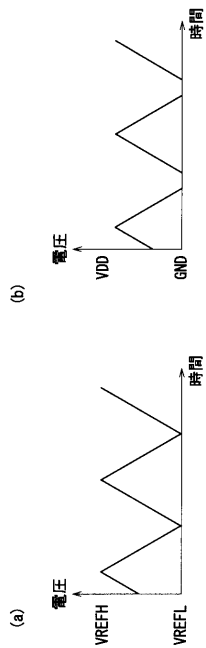
【図 3】



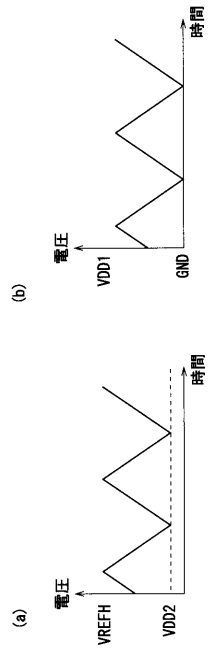
【図 5】



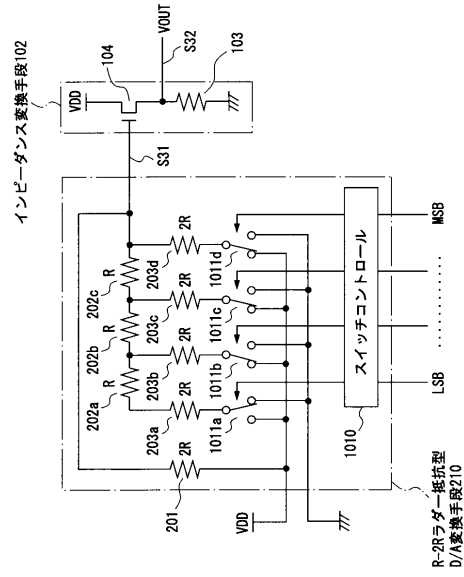
【図 4】



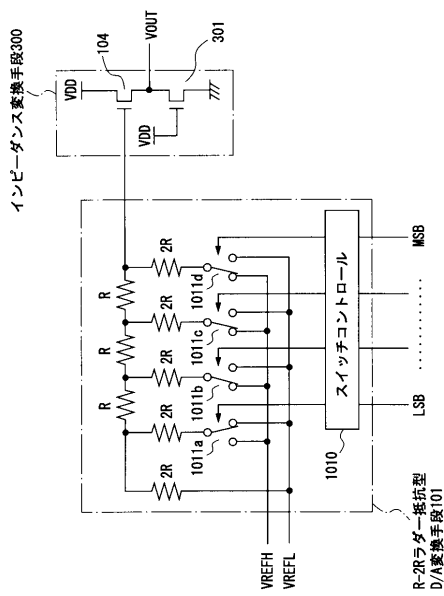
【図 6】



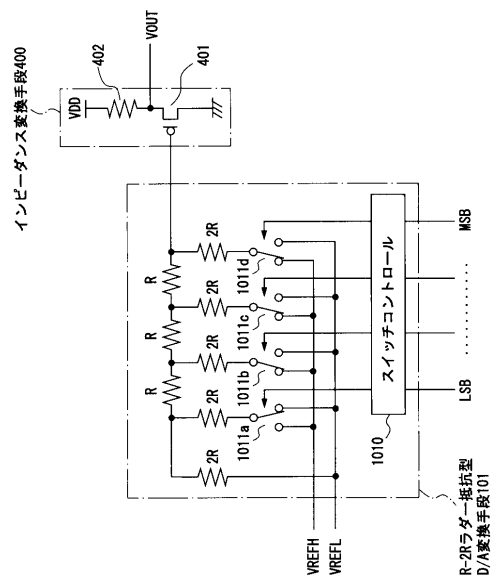
【図 7】



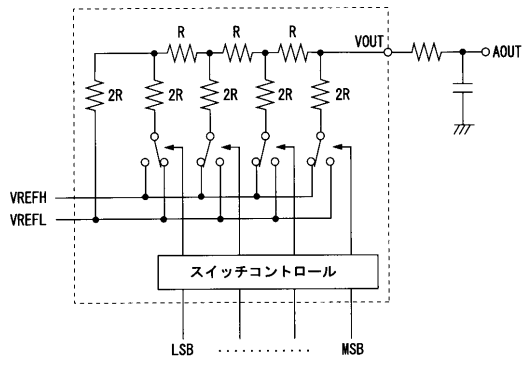
【図 8】



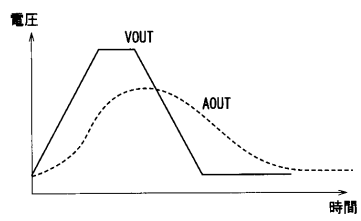
【図 9】



【図 10】



【図 11】



フロントページの続き

- (56)参考文献 特開平07-030421 (JP, A)
特開平06-164402 (JP, A)
特開平05-327510 (JP, A)
特開平01-138808 (JP, A)
特開平06-177748 (JP, A)
特開昭57-009126 (JP, A)
特開昭60-105322 (JP, A)
特開昭62-281200 (JP, A)
特開2000-134097 (JP, A)
特開2001-257579 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/00-1/88