

【特許請求の範囲】

【請求項 1】

マイコンに接続されたシーケンサにより、複数の A/D 変換器に入力されるアナログ信号を逐次的に A/D 変換するスキャンタイプの A/D 変換システムであって、

前記シーケンサは、

前記マイコンからのクロックをカウントして、所定のビット領域をバイナリデータとして出力するバイナリカウンタと、

前記バイナリカウンタと前記複数の A/D 変換器との間に介装され、前記バイナリデータをデコードして、前記複数の A/D 変換器を逐次的に選択して動作させるチップセレクトを出力するデコーダと、を有することを特徴とするスキャンタイプの A/D 変換システム。

10

【請求項 2】

前記シーケンサには、前記バイナリカウンタのフルカウントをカウントする第 2 カウンタが設けられ、

前記デコーダは前記第 2 カウンタに接続され、前記第 2 カウンタのフルカウントの周期でデコード可能となることを特徴とする請求項 1 に記載のスキャンタイプの A/D 変換システム。

【請求項 3】

前記複数の A/D 変換器と前記デコーダとの間には、バッファレジスタが介装され、

前記バッファレジスタは、前記バイナリカウンタの前記バイナリデータのビット領域より下位のビットに接続され、前記下位のビットのアサートをトリガとして前記チップセレクトを出力することを特徴とする請求項 1 または 2 に記載のスキャンタイプの A/D 変換システム。

20

【請求項 4】

前記シーケンサは、前記チップセレクトと前記クロックとを掛け合わせてシリアルクロックを生成し、

前記 A/D 変換器は、前記アナログ信号を A/D 変換して得られるデジタルデータと前記クロックとを掛け合わせてシリアルデータを出力し、

前記シリアルデータは、前記シリアルクロックに同期して、前記マイコンのシリアルインターフェースに入力されることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のスキャンタイプの A/D 変換システム。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、A/D 変換に関し、特にパラレルに接続されたセンサからのアナログ信号をシリアルなデジタル信号に変換する A/D 変換技術に関する。

【背景技術】

【0002】

センサは、アナログ信号を出力している。このためセンサを使用するユーザは、デジタルの出力を必要とする場合、センサの後段にアナログ／デジタル（A/D）変換器を接続し、センサから出力したアナログ信号をデジタル信号に変換して利用している。さらに移動体の姿勢検出、姿勢制御、バーチャルリアリティ等を使用されるヘッドマウントディスプレイ、頭の姿勢角度を検出するトラッカー、3D ゲームパッド等の複数の振動センサを必要とする機器においても、複数のアナログ信号に対して A/D 変換を行っている（特許文献 1 参照）。

40

【特許文献 1】特表 2001-523429 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、従来の A/D 変換器は、後段に接続されるマイコンからオペレーションによりコントロールされている。従って、マイコンのタスクがある程度の割合で A/D 変換器のオペ

50

レーションに占められることになり、システム全体の信頼性が低下する。さらにA/D変換は、等間隔の時間で行う優先度の高いタスクであるにもかかわらず、マイコンにおけるA/D変換に係るタスクの割り込みはソフトウェアによって行われるため、A/D変換を行うタイミングがずれ、サンプリングジッターを発生させる原因となっている。

そこで、A/D変換器をハードウェアであるシーケンサで制御することにより、マイコンのタスク負担を軽減することが提案されている。

【0004】

通常、A/D変換器をシーケンサ（有限オートマトンロジックシーケンス）で制御する場合、タイマー用カウンタ、デコーダ、ステート記述レジスタにジョンソンカウンタ、またはグレイコードカウンタを用いる。例えば、ジョンソンカウンタはアンフィルド・コード・カウンタ、すなわちビット列の組み合わせを制限したカウンタである。アンフィルド・コード・カウンタは、カウント値が使用を想定していない値になった場合の回復回路が必要だが、バイナリカウンタなどのフィルド・コード・カウンタと比較してデコード回路が小さく設計でき高速化が可能である。シーケンサの動作は、現状のステートをデコードし、それをもとにタイマープリセット値を決め、タイマーを起動し、タイマーがキャリーを出したときにジョンソンカウンタのステートを次に進め、以上を所定の周期で繰り返すことになる。

【0005】

しかし、複数のセンサからのアナログ信号をA/D変換する複数のA/D変換器をシーケンサによって制御する場合、シーケンサのステート数が多くなる。このときステート記述用にジョンソンカウンタ等のアンフィルド・コード・カウンタを用いると、ビット数が増え、カウンタ回路を構成するフリップフロップの数が増加する。またアンフィルド・コード・カウンタは、不使用ステート選択時のために回復回路が必要になるが、高次のジョンソンカウンタ等の回復回路は設計が煩雑となる。

【0006】

このため、フリップフロップ数を節約でき、回復回路を不要とするバイナリカウンタを用いることが考えられるが、バイナリカウンタは回路の構成上スタティックハザードを出力するため、これがデコードされ、A/D変換器が誤動作することになる。

【0007】

そこで、本発明は上記問題点に着目し、システム全体の信頼性を向上させ、かつサンプリングジッターを低減するとともに、バイナリカウンタを用いつつ誤動作を防止したスキュンタイプ（スクランブルタイプ）のA/D変換システムを提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の適用例として実現することが可能である。

〔適用例1〕マイコンに接続されたシーケンサにより、複数のA/D変換器に入力されるアナログ信号を逐次的にA/D変換するスキュンタイプのA/D変換システムであって、前記シーケンサは、前記マイコンからのクロックをカウントして、所定のビット領域をバイナリデータとして出力するバイナリカウンタと、前記バイナリカウンタと前記複数のA/D変換器との間に介装され、前記バイナリデータをデコードして、前記複数のA/D変換器を逐次的に選択して動作させるチップセレクトを出力するデコーダと、を有することを特徴とするスキュンタイプのA/D変換システム。

【0009】

上記構成により、マイコンに代わってシーケンサがアナログ信号を逐次的にA/D変換する。よってマイコンはシーケンサの駆動・停止を指令するのみで済み、従来のA/D変換作業が要するマイコンのソフトウェアリソースのシステムに占める割合を小さくすることができる。さらにA/D変換はハードウェアであるシーケンサが行うため、マイコンがソフトウェアを通じてA/D変換を行う場合より、サンプリングジッターを低減することができる。そしてシーケンサにおいて、バイナリカウンタがタイマーの役割を兼ねているので、シ

10

20

30

40

50

ーケンサの回路構成を簡略化できる。

【0010】

〔適用例2〕前記シーケンサには、前記バイナリカウンタのフルカウントをカウントする第2カウンタが設けられ、前記デコーダは前記第2カウンタに接続され、前記第2カウンタのフルカウントの周期でデコード可能となることを特徴とする適用例1に記載のスキマタイプのアD変換システム。

【0011】

これにより第2カウンタのフルカウントとなる周期がA D変換のサンプリング周期となるため、サンプリング周期もマイコンではなく、シーケンサが制御することになるので、サンプリングジッターをさらに低減することができる。

10

【0012】

〔適用例3〕前記複数のA D変換器と前記デコーダとの間には、バッファレジスタが介装され、前記バッファレジスタは、前記バイナリカウンタの前記バイナリデータのビット領域より下位のビットに接続され、前記下位のビットのアサートをトリガとして前記チップセレクトを出力することを特徴とする適用例1または2に記載のスキマタイプのアD変換システム。

【0013】

バイナリカウンタはスタティックハザードを有するため、正しいチップセレクトはバイナリカウンタからのスタティックハザードによる誤ったチップセレクトが出力された直後に出力される。一方、バッファレジスタは、バイナリデータのビット領域より下位のビットからのパルスのアサートをトリガとしてチップセレクトを出力（ストア）するため、誤ったチップセレクトが終了して正しいチップセレクトがデコーダから出力された後にバッファレジスタの入力側を開放することになる。よって、バッファレジスタのストア側からバイナリカウンタを見るとスタティックハザードの無い、ワンホット・ステート・カウンタのように見えることになる。そして、A D変換器において実際のA D変換はチップセレクトがデコードされてから、前記アサートがバッファレジスタに入力される時間だけ遅れて行われることとなるが、スタティックハザードによる誤ったチップセレクトがバッファレジスタに入力されることなく、これにより後段のA D変換器の誤動作を防止できる。

20

【0014】

〔適用例4〕前記シーケンサは、前記チップセレクトと前記クロックとを掛け合わせてシリアルクロックを生成し、前記A D変換器は、前記アナログ信号をA D変換して得られるデジタルデータと前記クロックとを掛け合わせてシリアルデータを出力し、前記シリアルデータは、前記シリアルクロックに同期して、前記マイコンのシリアルインターフェースに入力されることを特徴とする適用例1乃至3のいずれか1例に記載のスキマタイプのアD変換システム。

30

【0015】

上記構成により、シーケンサ及びA D変換器は水晶発振によりクロックを生成しているマイコンをクロック源としており、マイコン内部のタスクの影響を排除したサンプリングを行うことができるため、サンプルジッターを低減できる。また、シリアルデータはマイコンのクロックと同期して出力されるとともに、シリアルインターフェースに入力されると平行化される。よって平行のデータを送受信するマイコンは、平行化されたデータを何ら加工することなく取得することが容易となる。したがって、マイコンのA D変換器からのデータの取り込みのためのソフトウェアリソースがシステムに占める割合を小さくすることができる。特にマイコンがダイレクトメモリアクセスを用いる場合は、マイコン内のC P Uがデータ取得のための作業をする必要はないので、A D変換器からのデータの取り込みのソフトウェアリソースがシステムに占める割合を最小にするA D変換システムとなる。

40

【発明を実施するための最良の形態】

【0016】

以下、本発明を図に示した実施形態を用いて詳細に説明する。但し、この実施形態に記

50

載される構成要素、種類、組み合わせ、形状、その相対配置などは特定の記載がない限り、この発明の範囲をそのみに限定する主旨ではなく単なる説明例に過ぎない。

【0017】

図1に示すように、本実施形態に係るAD変換システム10は、アナログ信号を出力する複数のセンサ12、センサ12に接続される複数のAD変換器14（第1AD変換器16、第2AD変換器18、第3AD変換器20）、シーケンサ26等から構成されている。また、回路中を流れる信号は、電圧の高い信号をHとし、電圧の低い信号をLとする。

【0018】

センサ12は加速度センサ、圧力センサ、温度センサ等のように各物理量を電流値又は電圧値としてアナログ的に出力するものであり、センサ12はセンサごとにAD変換器14に接続されている。本実施形態において、以後、説明の簡素化のためセンサ12を3つとする（第1センサ12a、第2センサ12b、第3センサ12c）が、4つ以上用いてもよい。

【0019】

AD変換器14は、センサ12を介して入力されたアナログ信号をデジタルデータ22に変換するものである。ここで第1センサ12aに接続する方を第1AD変換器16、第2センサ12bと接続する方を第2AD変換器18、第3センサ12cに接続する方を第3AD変換器20とする。またデジタルデータ22は第1AD変換器16から出力される方を第1デジタルデータ22aとし、第2AD変換器18から出力される方を第2デジタルデータ22b、第3AD変換器から出力される方を第3デジタルデータ22cとする。第1AD変換器16、第2AD変換器18、及び第3AD変換器20は、それぞれ上述のアナログ信号の入力端子16a、18a、20a、シーケンサ26から出力される後述のチップセレクト30を入力するチップセレクト入力端子16b、18b、20b、クロック24を入力するクロック入力端子16c、18c、20c、アナログ信号をAD変換して得られる第1デジタルデータ22a、第2デジタルデータ22b、第3デジタルデータ22cを出力するデジタルデータ出力端子16d、18d、20dを有する。

【0020】

AD変換器14はシーケンサ26から出力される後述のチップセレクト30をトリガとして、入力されたアナログ信号を2進数のデジタル情報に変換する。AD変換器14はアナログ信号の振幅方向の解析に必要なS/N比を確保するための必要なビット数を有しておればよく、本実施形態では16ビットを用いた場合について説明する。またAD変換器14は必要なビット数（16ビット）に応じたサンプルホールド回路（不図示）を有し、AD変換後の各ビットの情報を保持できるようになっている。

【0021】

AD変換器14は、後述のチップセレクト30のネゲート（立下り）をトリガとしてAD変換を行う（図3参照）が、クロック24のクロック間隔より充分短い時間でAD変換を行ってデジタルデータ22をサンプルホールド回路（不図示）に保持し、デジタルデータ22の出力はクロック24の1クロックごとに各ビットの上位の桁から順に行っている。そして後述のシーケンサ26の制御により、デジタルデータ22はこの順番で時系列上一列に配列され、シリアルデータ34としてマイコンのシリアルインターフェース92に入力される。なお、AD変換器14はデジタルデータ22を出力したのち次のチップセレクト30が来るまでの間、クロック24が入力されてもサンプルホールド回路（不図示）に残ったデジタル情報を出力できないように構成されているものとする。これによりシリアルデータ34中の前記デジタル情報が誤情報として混入することを防いでいる。

【0022】

シーケンサ26は、AD変換器14の動作の組み合わせの状態数に応じて構成され、後述のタイムチャート（図3参照）に従って自立的に各状態を順番に選択し、または各状態を一定時間維持する制御を行うハードウェアである。シーケンサ26には、マイコン88等からのリセット信号を入力するリセット信号入力端子26a、水晶発振によるマイコン88等からのクロック24を入力するクロック入力端子26b、AD変換器14のAD変

10

20

30

40

50

換指令を行う後述のチップセレクト 30 を出力するチップセレクト出力端子 26 c、26 d、26 e、シーケンサ 26 を経由したクロック 24 を A/D 変換器 14 に出力するクロック出力端子 26 f、シーケンサ 26 内部で生成されたシリアルクロック 32 を出力するシリアルクロック出力端子 26 g が配設されている。そしてシリアルクロック出力端子 26 g は、後述のシリアルインターフェース 92 と接続されている。

【0023】

シーケンサ 26 は外部からマイコン 88 等のクロック 24 を、必要に応じて分周器 28 により適当な周波数に分周して入力し（本実施形態では分周せず）、互いに同期するチップセレクト 30、シリアルクロック 32 を生成する。

【0024】

チップセレクト 30 は、第 1 A/D 変換器 16、第 2 A/D 変換器 18、及び第 3 A/D 変換器 20 に A/D 変換指令を行うためのトリガである。本実施形態において第 1 A/D 変換器 16、第 2 A/D 変換器 18、及び第 3 A/D 変換器 20 は一定間隔ごとにそれぞれ異なるタイミングで行われるとともに、いずれの A/D 変換も行わない状態も含むのでチップセレクト 30 の種類は全部で 4 つである。この 4 つがシーケンサ 26 で繰り返し実現される後述のサブステートとなる。

【0025】

シリアルクロック 32 は、A/D 変換器 14 から出力されるシリアルデータ 34 を、マイコン 88 のシリアルインターフェース 92 に入力するためのトリガである。シリアルクロック 32、及びシリアルデータ 34 は、マイコン 88 のクロック 24 に同期して生成されるため、互いに同期している。

【0026】

図 2 に本実施形態を構成するシーケンサの回路図を示す。シーケンサ 26 はバイナリカウンタ 36、デコーダ 38、第 2 カウンタ 40、OR 回路 42、バッファレジスタ 44、シリアルクロック生成部 52 を有する。

バイナリカウンタ 36 は、シーケンサ 26 のクロック入力端子 26 b を介して入力されるクロック 24 を入力するクロック入力端子 36 a、リセット信号を入力するリセット信号入力端子 36 b、カウンタ値をパラレルで出力する出力端子 36 c を備えている。出力端子 36 c は Q1、Q2、・・・Q6、Q7、Q8（8 ビット）の順に上位のビットを出力する端子とキャリー（Ca）を出力する端子からなる。Q1 はクロック 24 の 0 回分周（分周せず）であり、Q2 はクロック 24 の 1 回分周、Qn（n=1~8）はクロック 24 の（n-1）回分周となる。バイナリカウンタ 36 はクロック 24 のネゲート（電圧 H の信号から電圧 L の信号への立下り）をトリガとしてカウントアップし、フルカウントになるとキャリー（Ca）を出力し、さらにカウントされるとカウント値がゼロとなるように構成されている。またマイコン 88 からリセット信号（H）が入力されると初期値（0）に戻り、リセット信号が H である限りカウントアップされないように設計されている。キャリー（Ca）は通常電圧が H になっているが、バイナリカウンタ 36 がフルカウントとなったときに電圧が L となる。本実施形態においては、Q7 及び Q8 をデコーダ 38 の入力側に接続している。すなわち、Q7 及び Q8 によって上述の 4 つのサブステートを実現するための 2 ビットのバイナリデータをデコーダ 38 に出力することになる。ところで、このバイナリデータはスタティックハザードを有する。すなわち、（Q8、Q7）が（0、1）から（1、0）に繰り上がる際に、バイナリカウンタ 36 内のフリップフロップ（不図示）の構成上、必ず（0、0）という状態を経由して繰り上がることになるので、これがスタティックハザードの原因となる。

【0027】

バイナリカウンタ 36 の Q1 は A/D 変換器 14 に接続されるが、クロック 24 と逆相である。しかし、途中にインバータ 62 が介装されているので、A/D 変換器 14 に送られるパルスはクロック 24 となる。また、A/D 変換器 14 は 16 ビットを前提としているので、A/D 変換器 14 がデジタルデータ 22 を出力するには、それぞれ、クロック 24（Q1）のパルスを 16 個必要とする。さらにデジタルデータ 22 同士の出力の時間的重複を回

10

20

30

40

50

避するためデジタルデータ 2 2 同士の間隔を空ける必要がある（本実施形態では前記パルスの 1 6 個分）。このとき、出力端子において Q 1 から Q 6 がカウントに用いられることになる。よってデジタルデータ 2 2 を適切に出力するため、バイナリデータ 3 6 は Q 6 より上位のビット（Q 8、Q 7）をサブステート用のバイナリデータとして用い、そのバイナリデータの変化、すなわちサブステートの変化を Q 6 のネゲート（Q 7 への繰り上がり）を用いてモニタしている。なお、Q 6 は Q 1 の 5 分周となっているので、Q 6 の電圧 H の信号及び電圧 L の信号それぞれの出力中に、Q 1 は 1 6 個のクロックのパルスを受けることになり、3 2 個のクロックに係るクロックタイムが Q 6 の周期となっている。

【0028】

デコーダ 3 8 は、OR 回路 4 2 からの出力を入力する入力端子 3 8 a、バイナリカウンタ 3 6 からのバイナリデータを入力するバイナリデータ入力端子 3 8 b、デコードされたチップセレクト 3 0 を出力する出力端子 3 8 c を有する。デコーダ 3 8 は、OR 回路 4 2 から L の信号が入力されるとバイナリデータ入力端子 3 8 b に入力されたバイナリデータをデコードし、チップセレクト 3 0 を生成してバッファレジスタ 4 4 に出力するものである。ここでバイナリデータが上述のスタティックハザードに係る信号となっても、デコーダ 3 8 はそれをデコードしてスタティックハザードに係る誤ったチップセレクトを出力することになり、これにより A D 変換器 1 4 が誤動作することになる。しかし後述のバッファレジスタ 4 4 によりこの誤動作を回避することができる。デコーダ 3 8 において、バイナリデータ入力端子 3 8 b（Q 8、Q 7）と出力端子 3 8 c（n 0、n 1、n 2、n 3）との関係は、（0、0）のとき n 0 のみが 0、（0、1）のとき n 1 のみが 0、（1、0）のとき n 2 のみが 0、（1、1）のとき n 3 のみが 0 に出力されるように設計されている。

【0029】

第 2 カウンタ 4 0 は、バイナリカウンタ 3 6 がフルカウントとなって発生させるキャリー（C a）を入力するキャリー入力端子 4 0 a、リセット信号を入力するリセット信号入力端子 4 0 b、カウンタ値をパラレルで出力する出力端子 4 0 c（Q 9、Q 1 0、Q 1 1）を備えている。そして第 2 カウンタ 4 0 は、バイナリカウンタ 3 6 からのキャリー（C a）のネゲートをトリガとしてカウントして、第 2 カウンタ 4 0 はフルカウントになってさらにキャリー（C a）が入力されると、カウント値はゼロになるように構成されている。またマイコン 8 8 からリセット信号（H）が入力されると、カウント値が初期値（0）に戻り、リセット信号が H を維持する限りカウントアップしない設計となっている。第 2 カウンタ 4 0 は A D 変換器 1 4 の動作状態（サブステート）を制御することになるバイナリカウンタ 3 6 からのキャリー（C a）によってカウントするため、第 2 カウンタ 4 0 はシーケンサ 2 6 全体の ON / OFF の状態（メインステート）を決定するものであるとともに、第 2 カウンタ 4 0 がフルカウントとなる周期が A D 変換のサンプリング周期となる。

【0030】

ここで第 2 カウンタ 4 0 は、回路構成を簡略化するためバイナリカウンタ 3 6 と同様にフィールド・コード・カウンタを用いることが好ましい。しかしフィールド・コード・カウンタで構成される場合にはスタティックハザードを出力することになる。しかしスタティックハザードを出力するときは、第 2 カウンタ 4 0 にキャリー（C a）を出力するバイナリカウンタ 3 6 のカウント数がゼロであり、バイナリデータも（0、0）であるため、A D 変換器 1 4 が誤動作することはない。

【0031】

OR 回路 4 2 は、入力側すべてに 0 の信号（電圧 L の信号）が入力されたときに 0 の信号を出力するものである。その入力側を第 2 カウンタ 4 0 の出力端子 4 0 c の全て、及びバイナリカウンタ 3 6 の出力端子 3 6 c の Q 6 に接続し、出力側をデコーダ 3 8 に接続している。よって OR 回路 4 2 は第 2 カウンタ 4 0 の出力端子 4 0 c 全てが L となること、電圧が L の信号を出力する条件となる。ところで、OR 回路 4 2 の入力側はバイナリカウンタ 3 6 の Q 6 とも接続されている。よって、OR 回路 4 2 は、第 2 カウンタ 4 0 の出

力（Q 9、Q 10、Q 11）が全て0（電圧Lの信号）であることを条件として、Q 6の信号が0（電圧Lの信号）のとき、及び1（電圧Hの信号）のとき、それぞれ、電圧Lの信号、電圧Hの信号を出力することになる。よってデコーダ38は、バイナリデータをデコードしてチップセレクト30を出力後、Q 6の信号が電圧Hとなると、チップセレクト30の出力を解除する、すなわち、全ての出力（n 0、n 1、n 2、n 3）から電圧Hの信号を出力することになる。

【0032】

バッファレジスタ44はDフリップフロップ46、48、50により構成され、Dフリップフロップ46、48、50の入力端子46a、48a、50a（D）がそれぞれデコーダ38の出力端子38cのn 1、n 2、n 3に接続され、ストア46b、48b、50b（Q）がそれぞれ第1AD変換器16、第2AD変換器18、第3AD変換器20に接続され、リセット46c、48c、50c（S）がリセット信号入力端子26bに接続され、トリガ46d、48d、50dがバイナリカウンタ36のQ 1に接続されている。バッファレジスタ44は、Q 1のアサート（電圧Lの信号から電圧Hへの信号の立ち上がり）をトリガとしてデコーダ38から入力されるチップセレクト30をストアして各AD変換器に出力するものである。

【0033】

よって、チップセレクト30はデコーダ38によりデコードされたのち、次のQ 1のアサートまでの間、バッファレジスタ44において各AD変換器への出力が止められた状態となる。上述のように、バイナリデータはスタティックハザードを有するため、このスタティックハザードに係る誤ったチップセレクトがデコーダ38から出力されることになる。しかし、スタティックハザードは、バッファレジスタ44のトリガとなる次のQ 1のアサートがバッファレジスタ44に入力されるよりも早い時間で終了するため、バッファレジスタ44がスタティックハザードに係る誤ったチップセレクトをストアして各AD変換器に出力することはない。なお、スタティックハザードを回避するため、バッファレジスタ44のトリガをバイナリカウンタ36のQ 1に接続しているが、Q 2、Q 3、Q 4、Q 5に接続してもデジタルデータ21a、21b、21cの出力は一樣に遅れる一方、互いにサブステートの異なるチップセレクトが互いに重複することはないので、これらのいずれかに接続しても良い。またバッファレジスタ44におけるチップセレクト30の解除は、デコーダ38がチップセレクト30を解除したのち、次のQ 1のアサートによりデコーダ38から出力された電圧Hの信号をストアすることにより行われる。

【0034】

シリアルクロック生成部52は、チップセレクト30とクロック24を掛け合わせてシリアルクロック32を生成してマイコン88側に出力するものである。シリアルクロック生成部52は主にDフリップフロップ54により構成されている。Dフリップフロップ54の入力端子54a（D）は電圧が常にHの状態となるように接続されている。ストア54b（Q）はNAND回路56の入力側に接続され、リセット54c（R）はOR回路58を介してマイコン88のリセット、及びバイナリカウンタ36のQ 6に接続され、トリガ54dはNAND回路60の出力側に接続されている。NAND回路60の入力側はチップセレクト30（nC S 1、nC S 2、nC S 3）に接続されている。よってチップセレクト30のいずれか（nC S 1、nC S 2、nC S 3）が0の信号（電圧L）で入力されるとDフリップフロップ54のトリガ54dが働くことになる。

【0035】

そして、NAND回路56のもう一方の入力側はバイナリカウンタ36のQ 1と接続され、NAND回路56の出力側はマイコン88のシリアルインターフェース92に接続される。NAND回路56はクロック24を反転させたバイナリカウンタ36のQ 1に接続されているが、NAND回路56の出力は反転されるため、NAND回路56はストア（Q）のHをスイッチとしてクロック24を出力することになり、結果的にNAND回路56はクロック24と接続しているとみなすことができる。よってシリアルクロック生成部52はチップセレクト30をトリガとして、リセット（R）に、バイナリカウンタ36の

Q 6 から電圧 L の信号が入力され、次の電圧 H の信号が入力されるまでクロック 2 4 を出力することになり、これがシリアルクロック 3 2 となる。A D 変換器 1 4 は 1 6 ビットのデジタルデータを 1 6 個のパルスで出力するため、これに対応して D フリップフロップ 5 4 のリセット 5 4 c (R) は、Q 1 に入力される 1 6 個のクロックに係るクロックタイムで電圧 H、電圧 L が入れ替わる Q 6 に接続して、デジタルデータ 2 2 a、2 2 b、2 2 c とシリアルクロック 3 2 のパルス数 (1 6 個) を一致させている。

【0036】

図 3 にシーケンサ 2 6 のタイムチャートを示す。図 3 において、チップセレクト 3 0 (n C S 1、n C S 2、n C S 3) のネゲート (H→L) にて第 1 A D 変換器 1 6 (n C S 1)、第 2 A D 変換器 1 8 (n C S 2)、及び第 3 A D 変換器 2 0 (n C S 3) が起動する。図 3 (a) に示すように。デコーダ 3 8 の出力の変化は、Q 6 のネゲートにより、バイナリカウンタ 3 6 の Q 7、Q 8 の値が変化することにより発生する。そして、図 3 (b) に示すように、チップセレクト 3 0 のネゲートは、Q 6 のネゲートの直後の Q 1 のアサートにより発生する。そしてチップセレクト 3 0 のアサートは Q 6 のアサートの直後の Q 1 のアサートにより発生する。

【0037】

一方、シリアルクロック 3 2 は、バイナリカウンタ 3 6 の Q 1 と N A N D 回路 5 6 を介して接続されるため、Q 1 を反転させた n Q 1 (図 3 (b) 参照)、すなわちクロック 2 4 と同期する。そして図 3 (b) に示すように、最初の L が Q 6 のネゲートの直後の Q 1 のアサートから開始する。一方、Q 6 はシリアルクロック 3 2 の最後のパルス (1 6 パルス) の半クロック前にアサートとなるが、Q 6 のアサート時、シリアルクロック 3 2 は H となり以後 H を維持するため、シリアルクロック 3 2 が必要とする n Q 1、すなわちクロック 2 4 の半クロック (H) を自動的に取得でき、1 つのチップセレクト 3 0 のネゲートにより 1 6 パルスのシリアルクロック 3 2 を得ることができ、結果的に 3 つのチップセレクト 3 0 のネゲートにより 4 8 パルスのシリアルクロック 3 2 を得ることができる。

【0038】

ここで、シーケンサ 2 6 のサブステート 6 4 を定義する。デコーダ 3 8 の出力端子 3 8 c (n 0、n 1、n 2、n 3) が (0、1、1、1) のとき第 0 サブステート 6 4 a とし、このとき A D 変換器はいずれも動作しない。(1、0、1、1) のときは第 1 サブステート 6 4 b とし、このとき第 1 A D 変換器 1 6 のみが動作する。(1、1、0、1) のときは第 2 サブステート 6 4 c とし、このとき第 2 A D 変換器 1 8 のみが動作する。(1、1、1、0) のときは、第 3 サブステート 6 4 d とし、このとき第 3 A D 変換器 2 0 のみが動作する。なお、バイナリデータとの対応は、(Q 8、Q 7) が (0、0) のときは第 0 サブステート 6 4 a、(0、1) のときは第 1 サブステート 6 4 b、(1、0) のときは第 2 サブステート 6 4 c、(1、1) のときは第 3 サブステート 6 4 d である。

【0039】

このようなタイムチャートとすることにより、第 1 センサ 1 2 a 及び第 3 センサ 1 2 c から入力される複数のアナログ信号は、チップセレクト 3 0 をトリガとして A D 変換器 1 4 により A D 変換されてデジタルデータ 2 2 a、2 2 b、2 2 c となる。そして、第 1 デジタルデータ 2 2 a、及び第 2 デジタルデータ 2 2 b、及び第 3 デジタルデータ 2 2 c がこの順でシリアルクロック 3 2 に掛け合わされて逐次的に出力され、計 4 8 個のパルス列からなるシリアルデータ 3 4 が生成される。

【0040】

上記構成のもと、本実施形態に係る A D 変換システム 1 0 の動作について説明する。図 4 に A D 変換システム 1 0 の動作フロー 8 0 を示す。本実施形態に係る A D 変換システム 1 0 の動作フロー 8 0 は、サンプリング周波数を決定するとともに、シーケンサ 2 6 全体を O N ・ O F F 制御するメインステートタスク 8 2、A D 変換システム 1 0 のサブステート 6 4 を決定するサブステートタスク 8 4、複数のセンサから入力されるアナログ信号を逐次的に A D 変換する A D C コントロールロジックタスク 8 6 に分類される。

【0041】

まず、メインステートタスク 82 において、マイコン 88 からのリセット信号を H にしてバイナリカウンタ 36 及び第 2 カウンタ 40 を初期値に戻したのち、リセット信号 L にしてリセットを解除する。この時点でメインステートタスク 82 とサブステートタスク 84 が同時に起動する。そしてサブステートタスク 84 において、マイコン 88 からのクロック 24 によりバイナリカウンタ 36 がカウントアップしていく、そしてバイナリカウンタ 36 の Q6 が最初にネゲートとなったところで、デコーダ 38 はバイナリデータ (Q8、Q7) をデコードすることにより、ADC コントロールロジックタスク 86 が起動する。サブステートタスク 84 において、バイナリカウンタ 36 の Q6 が再びネゲートとなったら、デコーダ 38 は更新されたバイナリデータ (Q8、Q7) をデコードする。そしてバイナリデータ (Q8、Q7) がフルカウントとなったらサブステートタスク 84 を終了する。

10

【0042】

ADC コントロールロジックタスク 86 において、デコードされたサブステート 64 に基づきチップセレクト 30 を出力して AD 変換器 14 を動作させる。第 0 サブステート 64a の場合、チップセレクト 30 (nCS1、nCS2、nCS3) は全て 1 の信号 (電圧 H) であり、いずれの AD 変換器も動作しない。第 1 サブステート 64b の場合、チップセレクト 30 は、nCS1 のみが 0 の信号 (電圧 L) となり第 1 AD 変換器 16 が AD 変換を行う。第 2 サブステート 64c の場合、nCS2 のみが 0 の信号となり第 2 AD 変換器 18 が AD 変換を行う。第 3 サブステート 64d の場合、nCS3 のみが 0 の信号となり、第 3 AD 変換器 20 が AD 変換を行う。そして各サブステートを実行することにより ADC コントロールロジックタスク 86 を終了する。

20

【0043】

サブステートタスク 84 が終了すると、バイナリカウンタ 36 から第 2 カウンタ 40 へキャリー (Ca) が出力され、第 2 カウンタ 40 がカウントアップされる。バイナリカウンタ 36 がキャリー (Ca) を出すたびにカウントアップされるが、第 2 カウンタ 40 のカウント値がゼロになるまでサブステートタスク 84、及び ADC コントロールロジックタスク 86 が起動することはない。そして第 2 カウンタ 40 のカウント値は再び初期値 (ゼロ) となり、その後バイナリカウンタ 36 の Q6 が最初にネゲートとなったところで、サブステートタスク 84 及び ADC コントロールロジックタスク 86 が起動して、以上の動作を繰り返すことになる。

30

【0044】

上記フローにおいて、サブステートタスク 84、及び ADC コントロールロジックタスク 86 の実行中にバイナリカウンタ 36、及び第 2 カウンタ 40 にリセット信号 (電圧 H) が入力された場合、メインステートタスク 82 及びサブステートタスク 84 は即時強制停止となり、これに付随して ADC コントロールロジックタスク 86 も停止する。

【0045】

図 5 に本実施形態に係る AD 変換システム 10 とマイコン 88 との接続概要図を示す。図 5 に示すように、AD 変換システム 10 には、マイコン 88 のクロックがクロック 24 として入力されている。そして AD 変換システム 10 はパラレルインターフェース 90 及びシリアルインターフェース 92 によりマイコン 88 と接続されている。ここでシリアルインターフェース 92 はシリアルデータ 34 をパラレルデータ 94 に変換して出力し、またはその逆を行うものである。

40

【0046】

パラレルインターフェース 90 の割込端子 90a (本実施形態では使用せず) およびチップセレクト 90b (nCS) はマイコン 88 のコントロールバス 96 に接続されている。また、デジタルインプットアウトプット 90c (Dio) はマイコン 88 のデータバス 98 と接続され、パラレルデータ 94 を入出力することができる。またデジタルインプットアウトプット 90c の他端は AD 変換システム 10 のシーケンサ 26 のリセット入力端子 34a に接続している。これによりマイコン 88 からのリセット信号をデータバス 98、及びパラレルインターフェース 90 を通じて AD 変換システム 10 へ送信することがで

50

きる。このときリセット信号は、Hであればシーケンサ26のリセットを行い、Lであれば、リセットを解除してシーケンサ26を起動させる。

【0047】

シリアルインターフェース92の割込端子92aおよびチップセレクト92b（nCS）はマイコン88のコントロールバス96に接続され、デジタルインプットアウトプット92c（DIO）はデータバス98に接続されている。一方、シリアルインターフェース92のクロック入力92d（SCK）はシーケンサ26のシリアルクロック出力端子26gに接続され、入力端子92e（RXD）はAD変換器14のデジタルデータ出力端子16d、18d、20dに接続されている。上述のように、AD変換システム10のシーケンサ26から出力されるシリアルクロック32及びシリアルデータ34は、マイコン88のクロック24から生成されたものであるため、マイコン88のクロック24と同期している。したがって、この接続は同期調歩（非同期）ではないため、シリアルデータ34の前後に同期タイミングを計るためのスタートビット及びエンドビットを付加して加工するシーケンサ（不図示）を構成する必要はない。そして48個のパルス列からなるシリアルデータ34が、シリアルクロック32をトリガとしてシリアルインターフェース92内のレジスタ（不図示）にフルにストアされる度に、シリアルインターフェース92の割込端子92aからコントロールバス96に割り込みをかけることができるように構成されている。

【0048】

一方、マイコン88内のメモリ（不図示）はデータバス98とパラレルで接続されている。そして、マイコン88内のCPU（不図示）は、前記割り込みが入る度に、その時点で実行中の命令のアドレス等をメモリ（不図示）の退避領域に退避させ、シリアルインターフェース92のチップセレクト92bをネゲートで選択して、ソフトウェアを介してパラレルデータ94を転送し、パラレルデータ94にメモリ番地を与えてマイコン88内のメモリ（不図示）に格納する作業を行う（ポーリング）。これにより、マイコン88はAD変換システム10のON・OFF操作のみを行い、AD変換の各タスクに係る信号の出力はシーケンサ26が代わりに行うため、マイコン88は他のタスクに集中して実行でき、システム全体の信頼性が向上する。

【0049】

さらにマイコン88がDMA（ダイレクトメモリアクセス）コントローラ（不図示）を有している場合は、マイコン88内のCPU（不図示）は、コントロールバス96の管理の主導権をDMAコントローラ（不図示）に譲っている。よってDMAコントローラ（不図示）は、前記割り込みが入るとコントロールバス96を介してメモリ（不図示）における転送先アドレスを指定し、データバス98がシリアルインターフェース92に開放し、1クロックタイムでメモリ（不図示）に書き込ませる。したがって、マイコン88内のCPU（不図示）はデータ転送に関してポーリングのような作業をする必要はなく、他のタスクの処理に対してより多くの時間を掛けることができる。

【0050】

AD変換中にリセット信号（信号H）が入った場合、シーケンサ26のバイナリカウンタ36、および第2カウンタ40は初期値にリセットされ、リセット信号がある限りバイナリカウンタ36、及び第2カウンタ40はカウントアップされない。この場合、シリアルインターフェース92にはシリアルデータ34として完成していない、未完成データ（不図示）が入力されている場合がある。したがってマイコン88において、リセット後にシリアルインターフェース92に未完成データ（不図示）がある場合はそれをメモリ（不図示）に格納せず、破棄するソフトウェアを構成すればよい。ただし、リセット時にシリアルデータ34をメモリ（不図示）に格納中であれば、作業を中断しないようなソフトウェアを構成すればよい。そして、シリアルデータ34を格納後であってシリアルインターフェース92内のシリアルデータ34がメモリ（不図示）へ転送されていない場合はそのままマイコン88のタスクを停止させ、次回起動時にマイコン88の設定を初期化するソフトウェアを構成すればよい。

10

20

30

40

50

【0051】

マイコン88には第2シリアルインターフェース100を介してホストPC102が接続されている。ホストPC102は、AD変換システム10をマイコン88を介して操作するアプリケーションを有した端末である。第2シリアルインターフェース100の入力端子100a(RxD)はホストPC102のシリアルデータ出力端子102aと接続され、出力端子100b(TxD)はホストPC102のシリアルデータ入力端子102bに接続されている。また割込端子100c及びチップセレクト100d(nCS)はコントロールバス96に接続されている。デジタルインプットアウトプット100e(Dio)はデータバス98と接続され、パラレルデータ94を入出力することができる。ホストPC102はシリアルデータ104を入出力するが、マイコン88とは独立したクロックで駆動している。よって、ホストPC102と第2シリアルインターフェース100とのデータ通信は同期調歩(非同期)で行われる。

10

【0052】

ホストPC102はシリアルデータ104をマイコン88側に出力し、マイコン88がその内容を解読することによりマイコン88がAD変換のON・OFFを行うことができる。これを行うため、ホストPC102からマイコン88への命令に係るシリアルデータ104が第2シリアルインターフェース100のレジスタ(不図示)にストアされ、割込端子100cから割り込み要求がなされた場合、マイコン88がチップセレクト100dをネゲートで選択し、デジタルインプットアウトプット100eを通じてパラレルデータ94を取得してマイコン88のメモリ(不図示)に格納できるマイコン88のソフトウェアを構成すればよい。

20

【0053】

さらにホストPC102は、例えばAD変換の感度やオフセット等をアプリケーション上で論理的に補正することができる。同様の補正処理はマイコン88のソフトウェアで実行してホストPC102に補正データを出力することもできる。例えば、シリアルインターフェース92を介して取得したデータを感度補正またはオフセット等の補正值を演算し、FIRフィルタで演算してホストPC102側でシリアルデータ104として認識できるデータにダウンサンプル等を行い、ホストPC102側の第2シリアルインターフェース100のチップセレクト100dをネゲートで選択し、前記データを出力するようにマイコン88のソフトウェアを構成すればよい。

30

【0054】

以上説明したように、本実施形態に係るAD変換システム10によれば、マイコン88に代わってシーケンサ26がアナログ信号を逐次的にAD変換する。よってマイコン88はシーケンサ26の駆動・停止を指令するのみで済み、従来のAD変換作業が要するマイコン88のソフトウェアリソースのシステムに占める割合を小さくすることができる。さらにAD変換の指令はハードウェアであるシーケンサ26が行うため、マイコン88がソフトウェアを通じてAD変換を行う場合より、サンプリングジッターを低減することができる。そしてシーケンサ26において、バイナリカウンタ36がタイマーの役割を兼ねているので、シーケンサ26の回路構成を簡略化できる。

【0055】

また第2カウンタ40のフルカウントとなる周期がAD変換のサンプリング周期となるため、サンプリング周期もマイコン88ではなく、シーケンサ26が制御することになるので、サンプリングジッターをさらに低減することができる。

40

【0056】

また、バイナリカウンタ36はスタティックハザードを有するため、チップセレクト30はバイナリカウンタ36からのスタティックハザードによる誤ったチップセレクトが出力された直後に出力される。一方、バッファレジスタ44は、バイナリカウンタ36のビット領域より下位のビット(Q1)からのパルスのアサートをトリガとしてチップセレクト30を出力(ストア)するため、誤ったチップセレクトが終了して正しいチップセレクト30がデコーダ38から出力された後にバッファレジスタ44の入力側を開放すること

50

になる。よって、バッファレジスタ 44 のストア側からバイナリカウンタ 36 を見るとスタティックハザードの無い、ワンホット・ステート・カウンタのように見えることになる。そして、A/D 変換器 14 において実際の A/D 変換はチップセレクト 30 がデコードされてから、前記アサートがバッファレジスタ 44 に入力される時間だけ遅れて行われることとなるが、スタティックハザードによる誤ったチップセレクトがバッファレジスタ 44 に入力されることなく、これにより後段の A/D 変換器 14 の誤動作を防止できる。

【0057】

さらに、シーケンサ 26 及び A/D 変換器 14 は水晶発振によりクロック 24 を生成しているマイコン 88 をクロック源としており、マイコン 88 内部のタスクの影響を排除したサンプリングを行うことができるため、サンプルジッターを低減できる。また、シリアルデータ 34 はマイコン 88 のクロック 24 と同期して出力されるとともに、シリアルインターフェース 92 に入力されるとパラレル化される。よってパラレルのデータを送受信するマイコン 88 は、パラレル化されたデータを何ら加工することなく取得することが容易となる。したがって、マイコン 88 の A/D 変換器からのデータの取り込みのためのソフトウェアリソースがシステムに占める割合を小さくすることができる。特にマイコン 88 がダイレクトメモリアクセスを用いる場合は、マイコン 88 内の CPU がデータ取得のための作業をする必要はないので、A/D 変換器 14 からのデータの取り込みのソフトウェアリソースがシステムに占める割合を最小にする A/D 変換システム 10 となる。

【図面の簡単な説明】

【0058】

【図 1】本実施形態に係る A/D 変換システムの概要図である。

【図 2】本実施形態に係る A/D 変換システムのシーケンサの回路構成図である。

【図 3】本実施形態に係る A/D 変換システムのタイムチャートを示す図である。

【図 4】本実施形態に係る A/D 変換システムの動作フローを示す図である。

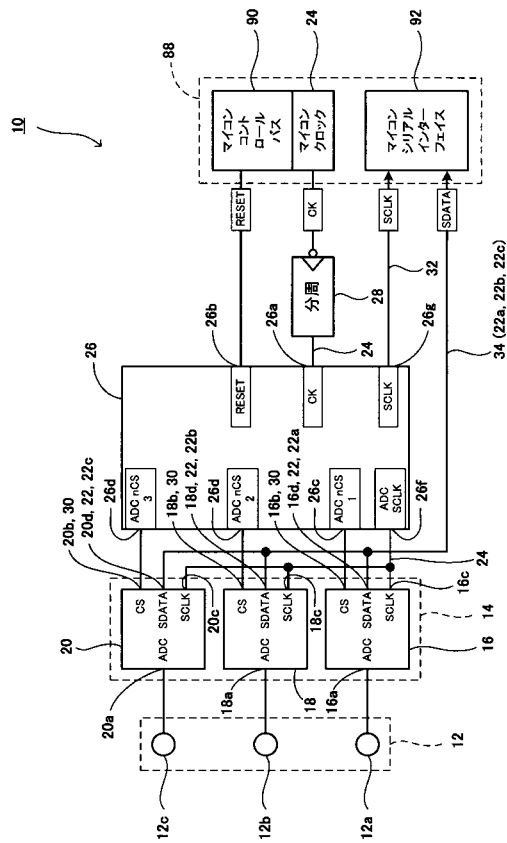
【図 5】本実施形態に係る A/D 変換システムとマイコンとの接続概要図である。

【符号の説明】

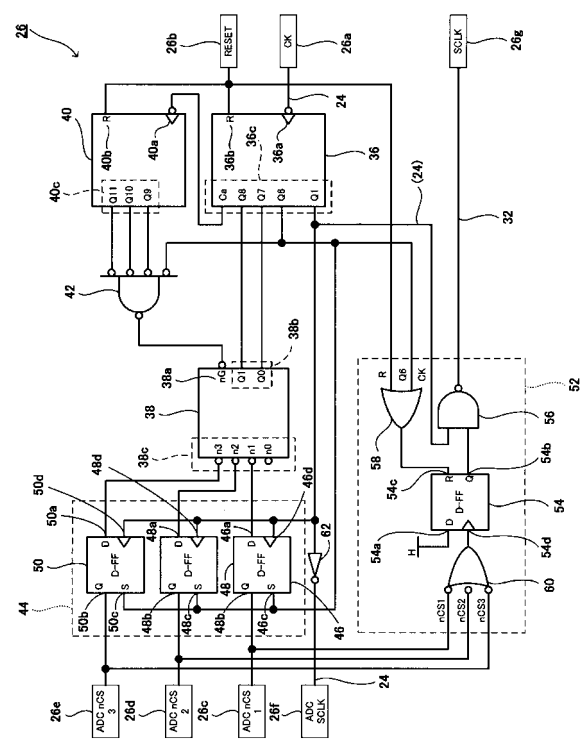
【0059】

10 …… A/D 変換システム、12 …… センサ、14 …… A/D 変換器、16 …… 第 1 A/D 変換器、18 …… 第 2 A/D 変換器、20 …… 第 3 A/D 変換器、22 …… デジタルデータ、24 …… クロック、26 …… シーケンサ、28 …… 分周器、30 …… チップセレクト、32 …… シリアルクロック、34 …… シリアルデータ、36 …… バイナリカウンタ、38 …… デコーダ、40 …… 第 2 カウンタ、42 …… OR 回路、44 …… バッファレジスタ、46 …… D フリップフロップ、48 …… D フリップフロップ、50 …… D フリップフロップ、52 …… シリアルクロック生成部、54 …… D フリップフロップ、56 …… NAND 回路、58 …… OR 回路、60 …… NAND 回路、62 …… インバータ、64 …… サブステート、80 …… 動作フロー、82 …… メインステートタスク、84 …… サブステートタスク、86 …… コントロールロジックタスク、88 …… マイコン、90 …… パラレルインターフェース、92 …… シリアルインターフェース、94 …… パラレルデータ、96 …… コントロールバス、98 …… データバス、100 …… 第 2 シリアルインターフェース、102 …… ホスト PC、104 …… シリアルデータ。

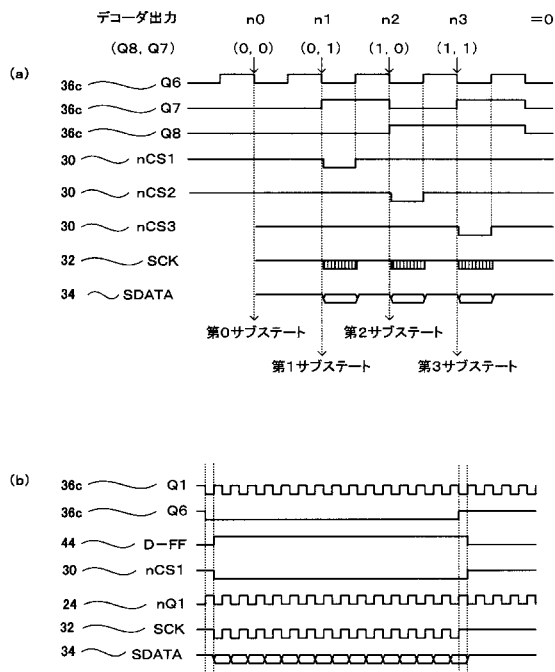
【図 1】



【図 2】



【図 3】



【図 4】

