

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6061604号
(P6061604)

(45) 発行日 平成29年1月18日(2017.1.18)

(24) 登録日 平成28年12月22日(2016.12.22)

(51) Int.Cl.		F I			
H03F	1/26	(2006.01)	H03F	1/26	
H03F	1/02	(2006.01)	H03F	1/02	
H03F	3/45	(2006.01)	H03F	3/45	A
			H03F	3/45	B

請求項の数 9 (全 15 頁)

(21) 出願番号	特願2012-226327 (P2012-226327)	(73) 特許権者	000001007
(22) 出願日	平成24年10月11日(2012.10.11)		キヤノン株式会社
(65) 公開番号	特開2014-78890 (P2014-78890A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成26年5月1日(2014.5.1)	(74) 代理人	100076428
審査請求日	平成27年7月14日(2015.7.14)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 増幅回路

(57) 【特許請求の範囲】

【請求項1】

第1入力端子と第2入力端子との間の電圧を増幅する差動増幅回路と、
前記差動増幅回路から出力される信号に応じた信号を出力する複数の出力回路と、
制御回路と、を備え、

前記複数の出力回路は、第1出力端子を有する第1出力回路および第2出力端子を有する第2出力回路を含み、

前記制御回路は、第1状態では、前記第1出力回路に前記第1出力端子を駆動させ、前記第2出力回路を非動作状態にするとともに前記第2出力端子をハイインピーダンス状態にし、第2状態では、前記第2出力回路に前記第2出力端子を駆動させ、前記第1出力回路を非動作状態にするとともに前記第1出力端子をハイインピーダンス状態にする、

ことを特徴とする増幅回路。

【請求項2】

前記複数の出力回路は、非動作状態において電力を消費しない、
ことを特徴とする請求項1に記載の増幅回路。

【請求項3】

前記第1出力回路は、前記第1出力端子を駆動する第1駆動素子を含み、前記第2出力回路は、前記第2出力端子を駆動する第2駆動素子を含み、

前記制御回路は、前記第1状態では、前記第1駆動素子を前記差動増幅回路から出力される信号に応じて動作させ、前記第2駆動素子をオフさせ、前記第2状態では、前記第2

駆動素子を前記差動増幅回路から出力される信号に応じて動作させ、前記第 1 駆動素子をオフさせる、

ことを特徴とする請求項 1 又は 2 に記載の増幅回路。

【請求項 4】

前記複数の出力回路の各々は、当該出力回路の出力端子と当該出力回路の駆動素子との間にスイッチを有しない、

ことを特徴とする請求項 3 に記載の増幅回路。

【請求項 5】

前記複数の出力回路の出力端子と前記第 2 入力端子との間にそれぞれ設けられた複数の帰還経路と、前記複数の帰還経路にそれぞれ設けられた複数の第 1 スイッチと、を更に備え、

前記第 1 状態では、前記第 1 出力端子と前記第 2 入力端子との間の帰還経路に設けられた前記第 1 スイッチはオン状態にされ、前記第 2 出力端子と前記第 2 入力端子との間の帰還経路に設けられた前記第 1 スイッチはオフ状態にされ、前記第 2 状態では、前記第 2 出力端子と前記第 2 入力端子との間の帰還経路に設けられた前記第 1 スイッチはオン状態にされ、前記第 1 出力端子と前記第 2 入力端子との間の帰還経路に設けられた前記第 1 スイッチはオフ状態にされる、

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の増幅回路。

【請求項 6】

第 3 入力端子、第 4 入力端子および複数の第 5 出力端子を有する差動増幅器と、
前記複数の第 5 出力端子にそれぞれの一端が接続され前記第 4 入力端子にそれぞれの他端が接続された複数の第 2 スイッチと、を更に備え、

前記複数の第 1 スイッチの一端は、前記第 2 入力端子に接続され、前記複数の第 1 スイッチの他端は、第 1 抵抗を介して前記複数の出力回路の出力端子に接続され、

前記複数の第 2 出力端子および前記複数の第 2 スイッチの一端は、第 2 抵抗を介して前記複数の第 1 スイッチの他端に接続され、

前記第 1 状態では、前記第 1 出力端子と前記第 2 入力端子との間の帰還経路に設けられた前記第 1 スイッチの前記他端に前記第 2 抵抗を介して接続された前記第 2 スイッチはオン状態にされ、それ以外の前記第 2 スイッチはオフ状態にされ、前記第 2 状態では、前記第 2 出力端子と前記第 2 入力端子との間の帰還経路に設けられた前記第 1 スイッチの前記他端に前記第 2 抵抗を介して接続された前記第 2 スイッチはオン状態にされ、それ以外の前記第 2 スイッチはオフ状態にされる、

ことを特徴とする請求項 5 に記載の増幅回路。

【請求項 7】

前記差動増幅器は、

前記第 3 入力端子と前記第 4 入力端子との間の電圧を増幅する第 2 差動増幅回路と、

前記第 2 差動増幅回路から出力される信号に応じた信号を前記複数の第 5 出力端子にそれぞれ出力する複数の第 5 出力回路と、

前記複数の第 5 出力回路のうち一部の第 5 出力回路を動作状態にさせることによって当該一部の第 5 出力回路の出力端子を駆動させ、前記複数の第 5 出力回路の別の一部の第 5 出力回路を非動作状態にさせるとともに当該別の一部の第 5 出力回路の出力端子をハイインピーダンス状態にさせる第 2 制御回路と、

を備えることを特徴とする請求項 6 に記載の増幅回路。

【請求項 8】

前記複数の出力回路のそれぞれの出力端子には、互いに異なるゲインで増幅された信号が出力される、

ことを特徴とする請求項 7 に記載の増幅回路。

【請求項 9】

第 1 入力端子、第 2 入力端子、第 1 出力端子および第 2 出力端子を有する差動増幅回路と、

10

20

30

40

50

前記第1出力端子に第1スイッチを介して接続されたゲートを有し、前記第1出力端子と第1の基準電圧が供給される第1ノードとの間の電気経路に配された第1トランジスタと、前記第2出力端子に第2スイッチを介して接続されたゲートを有し、前記第1出力端子と第2の基準電圧が供給される第2ノードとの間の電気経路に配された第2トランジスタとを含む第1出力回路と、

前記第2出力端子に第3スイッチを介して接続されたゲートを有し、前記第2出力端子と前記第1ノードとの間の電気経路に配された第3トランジスタと、前記第2出力端子に第4スイッチを介して接続されたゲートを有し、前記第2出力端子と前記第2ノードとの間の電気経路に配された第4トランジスタとを含む第2出力回路と、

前記第1出力回路の前記第1スイッチおよび前記第2スイッチを導通状態にさせることによって前記第1出力端子が駆動されているときに、前記第2出力回路の前記第3トランジスタおよび前記第4トランジスタをオフ状態に制御することによって前記第2出力端子をハイインピーダンス状態にし、前記第2出力回路の前記第3スイッチおよび前記第4スイッチを導通状態にさせることによって前記第2出力端子が駆動されとしているときに、前記第1出力回路の前記第1トランジスタおよび前記第2トランジスタをオフ状態に制御することによって前記第1出力端子をハイインピーダンス状態にする制御回路と、

を備えることを特徴とする増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、増幅回路に関する。

【背景技術】

【0002】

特許文献1には、定電流源と、アンプ入力段と、レベルシフト段と、複数の出力回路とで構成されるマルチ出力アンプが記載されている。このマルチ出力アンプでは、複数の出力回路によって定電流源、アンプ入力段およびレベルシフト段が共有されており、これによりチップ面積の増大が抑えられている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平5-226948公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載されたマルチ出力アンプでは、使用していない出力回路の動作を停止させない。したがって、使用していない出力回路に負荷が接続されている場合において、当該使用していない出力回路が使用中の出力回路に対してクロストークなどの影響を与える可能性がある。また、使用していない出力回路を動作させるためのバイアス電流により電力が消費される。

【0005】

本発明は、上記の課題認識を契機としてなされたものであり、クロストークの低減および/または消費電力の低減に有利な技術を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の1つの側面は、増幅回路に係り、前記増幅回路は、第1入力端子と第2入力端子との間の電圧を増幅する差動増幅回路と、前記差動増幅回路から出力される信号に応じた信号を出力する複数の出力回路と、制御回路と、を備え、前記複数の出力回路は、第1出力端子を有する第1出力回路および第2出力端子を有する第2出力回路を含み、前記制御回路は、第1状態では、前記第1出力回路に前記第1出力端子を駆動させ、前記第2出力回路を非動作状態にするとともに前記第2出力端子をハイインピーダンス状態にし、第

10

20

30

40

50

2 状態では、前記第 2 出力回路に前記第 2 出力端子を駆動させ、前記第 1 出力回路を非動作状態にするとともに前記第 1 出力端子をハイインピーダンス状態にする。

【発明の効果】

【0007】

本発明によれば、クロストークの低減および/または消費電力の低減に有利な技術が提供される。

【図面の簡単な説明】

【0008】

【図 1】第 1 実施形態の増幅回路の構成を示す図。

【図 2】第 1 実施形態の増幅回路における複数の出力回路の第 1 の構成例を示す図。

10

【図 3】第 1 実施形態の増幅回路における差動増幅回路の構成例を示す図。

【図 4】第 1 実施形態の増幅回路における複数の出力回路の第 2 の構成例を示す図。

【図 5】第 1 実施形態の増幅回路における複数の出力回路の第 3 の構成例を示す図。

【図 6】第 1 実施形態の増幅回路における複数の出力回路の第 4 の構成例を示す図。

【図 7】第 2 実施形態の増幅回路の構成を示す図。

【図 8】第 3 実施形態の増幅回路の構成を示す図。

【図 9】第 4 実施形態の増幅回路の構成を示す図。

【発明を実施するための形態】

【0009】

以下、添付図面を参照しながら本発明をその例示的な実施形態を通して説明する。なお、以下の説明および図面において、説明の簡単化のために、端子とそれに対応する信号とに同一の名称が与えられている。

20

【0010】

図 1 には、本発明の第 1 実施形態の増幅回路 100 の構成が示されている。増幅回路 100 は、複数の出力端子 O1、O2 を有する差動増幅器として構成されている。増幅回路 100 は、非反転入力端子（第 1 入力端子）INP に入力される信号 INP と反転入力端子（第 2 入力端子）INN に入力される信号 INN との間の電圧を増幅した信号を複数の出力端子 O1、O2 のうち選択された出力端子から出力する。増幅回路 100 は、差動増幅回路 30 と、複数の出力回路 10、20 と、制御回路 40 とを含む。

【0011】

30

差動増幅回路 30 は、非反転入力端子（第 1 入力端子）INP に入力される信号 INP と反転入力端子（第 2 入力端子）INN に入力される信号 INN を増幅して駆動信号 BP、BN を出力する。駆動信号 BP、BN は、複数の出力回路 10、20 を駆動するための信号である。複数の出力回路 10、20 の各々は、差動増幅回路 30 から出力される駆動信号 BP、BN に応じた信号を出力する。ここで、出力回路 10 は、駆動信号 BP、BN に応じた信号 O1 を出力端子 O1 から出力し、出力回路 20 は、駆動信号 BP、BN に応じた信号 O2 を出力端子 O2 から出力する。

【0012】

制御回路 40 は、複数の出力回路 10、20 のうち選択された出力回路を動作状態にさせることによって当該選択された出力回路の出力端子を駆動させる。制御回路 40 は、複数の出力回路 10、20 のうち選択された出力回路以外の出力回路（非選択の出力回路）を非動作状態にさせるとともに当該非選択の出力回路の出力端子をハイインピーダンス状態にさせる。複数の出力回路 10、20 のうち選択された出力回路の出力端子は、ローインピーダンス状態にされる。非選択の出力回路を非動作状態にさせるとともに当該非選択の出力回路の出力端子をハイインピーダンス状態にさせることにより、消費電力を低減し、また、非選択の出力回路から選択された出力回路へのクロストークの影響を低減することができる。

40

【0013】

制御回路 40 は、複数の出力回路 10、20 のうち動作状態にさせる出力回路および非動作状態にさせる出力回路を制御信号 1、2 によって制御する。ここで、出力回路の

50

個数は、3以上であってもよい。制御回路40は、複数の出力回路の全部または一部を選択状態にすることができ、複数の出力回路の一部を選択状態にする場合には、それ以外の出力回路を非選択状態にする。

【0014】

制御回路40は、複数の出力回路10、20の全部を非動作状態にさせるとともに当該非選択の出力回路の出力端子をハイインピーダンス状態にさせることができる。例えば、スタンバイ状態（例えば、入力端子INP、INNに信号が与えられない状態）では、制御回路40は、複数の出力回路10、20の全部を非動作状態にさせるとともに、それらの出力端子をハイインピーダンス状態にさせることが好ましい。このような制御により、消費電力を抑制することができる。

10

【0015】

図2には、第1実施形態の増幅回路100における複数の出力回路10、20の第1の構成例が示されている。出力回路10は、スイッチS21、S22、S23、S24、PMOSトランジスタM21およびNMOSトランジスタM23を含む。PMOSトランジスタM21およびNMOSトランジスタM23は、出力端子O1を駆動する駆動素子である。出力回路10の出力端子O1には、PMOSトランジスタM21のドレイン端子とNMOSトランジスタM23のドレイン端子とが接続されている。PMOSトランジスタM21のソース端子には、電源電圧VDDが供給され、NMOSトランジスタM23のソース端子には、基準電位VSSが供給される。

【0016】

スイッチS21は、PMOSトランジスタM21のゲート端子と駆動信号BPが供給されるノードとの間に接続されている。スイッチS23は、NMOSトランジスタM23のゲート端子と駆動信号BNが供給されるノードとの間に接続されている。スイッチS21、S23は、制御信号1により開閉を制御される。スイッチS22は、PMOSトランジスタM21のゲート端子と電源電圧VDDとの間に接続され、スイッチS24は、NMOSトランジスタM23のゲート端子と基準電圧VSSとの間に接続されている。スイッチS22、S24は、制御信号2により開閉を制御される。

20

【0017】

出力回路20は、S25、S26、S27、S28、PMOSトランジスタM22およびNMOSトランジスタM24を含む。出力回路20の出力端子O2には、PMOSトランジスタM22のドレイン端子とNMOSトランジスタM24のドレイン端子とが接続されている。PMOSトランジスタM22のソース端子には、電源電圧VDDが供給され、NMOSトランジスタM24のソース端子には、基準電圧VSSが供給される。PMOSトランジスタM22およびNMOSトランジスタM24は、出力端子O2を駆動する駆動素子である。

30

【0018】

スイッチS25は、PMOSトランジスタM22のゲート端子と電源電圧VDDとの間に接続され、スイッチS27は、NMOSトランジスタM24のゲート端子と基準電圧VSSとの間に接続されている。スイッチS25、S27は、制御信号1により開閉を制御される。スイッチS26は、PMOSトランジスタM22のゲート端子と駆動信号BPが供給されるノードとの間に接続されている。スイッチS28は、NMOSトランジスタM24のゲート端子と駆動信号BNが供給されるノードとの間に接続されている。スイッチS26、S28は、制御信号2により開閉を制御される。

40

【0019】

この構成例では、各スイッチS21 - S28は、それに供給される制御信号がハイレベルであるときにオンして導通状態になり、それに供給される制御信号がローレベルであるときにオフして非導通状態になる。この構成例では、出力回路10、20の個数が2つであり、それらの動作状態が排他的に制御される。また、この構成例では、制御信号1と2は、排他的にハイレベルになるように制御される。ただし、本発明は、より広い制御、即ち、複数の出力回路のうち選択された出力回路を動作状態にさせ、それ以外の出力回

50

路（非選択の出力回路）を非動作状態にさせる制御に適用されうる。

【0020】

この構成例では、制御信号 1 がハイレベルであるときは、制御信号 2 がローレベルとなる。このとき、スイッチ S 2 1、スイッチ S 2 3、スイッチ S 2 5、スイッチ S 2 7 が導通状態となり、スイッチ S 2 2、スイッチ S 2 4、スイッチ S 2 6、スイッチ S 2 8 が非導通状態となる。これにより、駆動信号 B P が P M O S トランジスタ M 2 1 のゲート端子に供給され、駆動信号 B N が N M O S トランジスタ M 2 3 のゲート端子に供給され、出力端子 O 1 はローインピーダンスで駆動される。これに対して、P M O S トランジスタ M 2 2 は、ゲート端子が電源電圧 V D D になるためにオフ状態となり、N M O S トランジスタ M 2 4 は、ゲート端子が基準電圧 V S S になるためにオフ状態となる。よって、出力回路 2 0 の出力端子 O 2 はハイインピーダンス状態に制御され、また、出力回路 2 0 は非動作状態に制御される。

10

【0021】

同様に、制御信号 2 がハイレベルであるときには、制御信号 1 がローレベルとなり、出力端子 O 2 はローインピーダンスで駆動される。また、このとき、出力端子 O 1 はハイインピーダンス状態に制御され、出力回路 1 0 は非動作状態に制御される。

【0022】

図 3 には、第 1 実施形態の増幅回路 1 0 0 における差動増幅回路 3 0 の構成例が示されている。非反転入力端子（第 1 入力端子）I N P は、N M O S トランジスタ M 3 0 1 のゲート端子に接続され、反転入力端子（第 2 入力端子）I N N は、N M O S トランジスタ M 3 0 2 のゲート端子に接続されている。N M O S トランジスタ M 3 0 1、M 3 0 2 によって差動入力回路が構成されている。この差動入力回路は、定電流源 I S 1 で駆動される。定電流源 I S 2、I S 3 と、バイアス電圧 B P 2 がゲート端子に印加された P M O S トランジスタ M 3 0 3、M 3 0 4 と、N M O S トランジスタ M 3 0 1、M 3 0 2 とは、差動入力電圧（I N P と I N N との間の電圧）に応じた電流演算を行う電流演算回路を構成する。バイアス電圧 B N 2 がゲート端子に印加された N M O S トランジスタ M 3 0 5、M 3 0 6 と、N M O S トランジスタ M 3 0 5 のドレイン端子がゲート端子に接続された N M O S トランジスタ M 3 0 7、M 3 0 8 とは、カレントミラー回路を構成する。これらの差動入力回路、電流演算回路およびカレントミラー回路により、折り返しカスコード差動増幅回路が構成されている。

20

30

【0023】

定電流源 I S 4、I S 7 と、N M O S トランジスタ M 3 0 9、M 3 1 0、M 3 1 4 と、図 2 に示された出力回路 1 0、2 0 の N M O S トランジスタ M 2 3、M 2 4 とにより、出力回路 1 0、2 0 に流れる電流値が設定される。同様に、定電流源 I S 5、I S 6 と、P M O S トランジスタ M 3 1 1、M 3 1 2、M 3 1 3 と、図 2 に示された出力回路 1 0、2 0 の P M O S トランジスタ M 2 1、M 2 2 とにより、出力回路 1 0、2 0 に流れる電流値が設定される。図 3 に示された差動増幅回路 3 0 と、図 2 に示された回路とを接続することにより、A B 級出力を有する差動増幅器が構成される。

【0024】

図 4 には、第 1 実施形態の増幅回路 1 0 0 における複数の出力回路 1 0、2 0 の第 2 の構成例が示されている。出力回路 1 0 は、スイッチ S 4 1、S 4 3、P M O S トランジスタ M 4 1 および N M O S トランジスタ M 4 3 を含む。出力端子 O 1 には、P M O S トランジスタ M 4 1 のドレイン端子と N M O S トランジスタ M 4 3 のドレイン端子とが接続される。P M O S トランジスタ M 4 1 のゲート端子には、駆動信号 B P が供給される。N M O S トランジスタ M 4 3 のゲート端子には、駆動信号 B N が供給される。P M O S トランジスタ M 4 1 のソース端子と電源電圧 V D D との間には、スイッチ S 4 1 が接続されている。N M O S トランジスタ M 4 3 のソース端子と基準電圧 V S S との間には、スイッチ S 4 3 が接続されている。スイッチ S 4 1、S 4 3 は、制御信号 1 により開閉を制御される。

40

【0025】

50

出力回路20は、スイッチS42、S44、PMOSトランジスタM42およびNMOSトランジスタM44を含む。出力端子O2には、PMOSトランジスタM42のドレイン端子とNMOSトランジスタM44のドレイン端子とが接続される。PMOSトランジスタM42のゲート端子には、駆動信号BPが供給される。NMOSトランジスタM44のゲート端子には、駆動信号BNが供給される。PMOSトランジスタM42のソース端子と電源電圧VDDとの間には、スイッチS42が接続されている。NMOSトランジスタM44のソース端子と基準電圧VSSとの間には、スイッチS44が接続されている。スイッチS42、S44は、制御信号2により開閉を制御される。

【0026】

制御信号1がハイレベルであるときには、制御信号2がローレベルとなる。このとき、PMOSトランジスタM41のソース端子は電源電圧VDDとなり、NMOSトランジスタM43のソース端子は基準電圧VSSとなり、出力端子O1はローインピーダンスで駆動される。これに対して、PMOSトランジスタM42のソース端子およびNMOSトランジスタM44のソース端子は電圧が不定となり、出力端子O2はハイインピーダンス状態に制御される。また、出力回路20は非動作状態に制御される。

10

【0027】

同様に、制御信号2がハイレベルであるときには、制御信号1がローレベルとなり、出力端子O2はローインピーダンスで駆動され、出力端子O1はハイインピーダンス状態に制御される。

【0028】

図5には、第1実施形態の増幅回路100における複数の出力回路10、20の第3の構成例が示されている。出力回路10、20は、図5(a)-(d)のいずれかの構成を有しうる。図5(a)に示す例では、出力端子OXには、PMOSトランジスタM51のドレイン端子とNMOSトランジスタM52のドレイン端子とが接続されている。PMOSトランジスタM51のソース端子には、電源電圧VDDが供給され、NMOSトランジスタM52のソース端子には、基準電圧VSSが供給される。PMOSトランジスタM51のゲート端子には、制御回路40より、駆動電圧BPが供給されるか、PMOSトランジスタM51をオフさせるための電圧が供給される。同様に、NMOSトランジスタM52のゲート端子には、制御回路40より、駆動電圧BNが供給されるか、NMOSトランジスタM52をオフ制御させるための電圧が供給される。ここで、出力端子OXをローインピーダンスで駆動する例を挙げる。第1の例では、PMOSトランジスタM51とNMOSトランジスタM52とが共にソース接地回路として使用される。第2の例では、PMOSトランジスタM51がソース接地回路として使用され、NMOSトランジスタM52が定電流源として使用される。第3の例では、NMOSトランジスタM52がソース接地回路として使用され、PMOSトランジスタM51が定電流源として使用される。

20

30

【0029】

図5(b)に示す例では、出力端子OXには、NMOSトランジスタM53のソース端子とNMOSトランジスタM54のドレイン端子とが接続されている。NMOSトランジスタM53のドレイン端子には電源電圧VDD端子が供給され、NMOSトランジスタM54のソース端子には基準電圧VSSが供給される。NMOSトランジスタM53のゲート端子は、制御回路40より、駆動電圧BPが供給されるか、NMOSトランジスタM53をオフさせるための電圧が供給される。NMOSトランジスタM54のゲート端子は、制御回路40より、駆動電圧BNが供給されるか、NMOSトランジスタM54をオフさせるための電圧が供給される。ここで、出力端子OXをローインピーダンスで駆動する例としては、例えば、NMOSトランジスタM53がソースフォロア回路として使用され、NMOSトランジスタM54が定電流源として使用される例を挙げることができる。

40

【0030】

図5(c)に示す例では、出力端子OXには、PMOSトランジスタM55のドレイン端子とPMOSトランジスタM56のソース端子とが接続される。PMOSトランジスタM55のソース端子には電源電圧VDDが供給される。PMOSトランジスタM56のド

50

レイン端子には基準電圧 V_{SS} が供給される。PMOSトランジスタM55のゲート端子は、制御回路40より、駆動電圧BPが供給されるか、PMOSトランジスタM55をオフさせるための電圧が供給される。PMOSトランジスタM56のゲート端子は、制御回路40より、駆動電圧BNが供給されるか、PMOSトランジスタM56をオフさせるための電圧が供給される。ここで、出力端子OXをローインピーダンスで駆動する例としては、例えば、PMOSトランジスタM55が定電流源として使用され、PMOSトランジスタM56がソースフォロア回路として使用される例を挙げることができる。

【0031】

図5(d)に示す例では、出力端子OXには、NMOSトランジスタM57のソース端子とPMOSトランジスタM58のソース端子とが接続されている。NMOSトランジスタM57のドレイン端子には電源電圧VDDが供給される。PMOSトランジスタM58のドレイン端子には基準電圧 V_{SS} 端子が供給される。NMOSトランジスタM57のゲート端子は、制御回路40より、駆動電圧BPが供給されるか、NMOSトランジスタM57をオフさせるための電圧が供給される。PMOSトランジスタM58のゲート端子は、制御回路40より、駆動電圧BNが供給されるか、PMOSトランジスタM58をオフさせるための電圧が供給される。ここで、出力端子OXをローインピーダンスで駆動する例としては、例えば、NMOSトランジスタM57とPMOSトランジスタM58とが共にソースフォロア回路として使用される例を挙げることができる。

【0032】

複数の出力回路10、20の回路構成は、上記の例に限定されるものではなく、他の種々の回路構成を採りうる。また、複数の出力回路10、20は、同一の回路構成を有してもよいし、互いに異なる回路構成を有してもよい。例えば、図5(a)と図5(b)に示す回路構成の組み合わせにおいて、NMOSトランジスタM52、M54を定電流源として使用し、PMOSトランジスタM51をソース接地回路とし、NMOSトランジスタM53をソースフォロア回路とすることができる。また、出力回路10および出力回路20に供給される駆動信号は、必ずしも共通のものでなくてもよい。図5(a)-(d)では、定電流源が一段のMOSトランジスタで構成されているが、カスコード接続された定電流源回路のように複数段のMOSトランジスタで構成されてもよい。

【0033】

図6には、第1実施形態の増幅回路100における複数の出力回路10、20の第4の構成例が示されている。出力回路10は、スイッチS61、S63、PMOSトランジスタM61およびNMOSトランジスタM63を含む。出力端子O1には、スイッチS61、S63が接続されている。スイッチS61、S63は、制御信号1により開閉を制御される。スイッチS61の他端には、PMOSトランジスタM61のドレイン端子が接続されている。PMOSトランジスタM61のソース端子には、電源電圧VDDが供給される。PMOSトランジスタM61のゲート端子には、駆動信号BPが供給される。スイッチS63の他端には、NMOSトランジスタM63のドレイン端子が接続されている。NMOSトランジスタM63のソース端子には、基準電位 V_{SS} が供給される。NMOSトランジスタM63のゲート端子には、駆動信号BNが供給される。

【0034】

出力回路20は、スイッチS62、S64、PMOSトランジスタM62およびNMOSトランジスタM64を含む。出力端子O2には、スイッチS62、S64が接続されている。スイッチS62、S64は、制御信号2により開閉を制御される。スイッチS62の他端には、PMOSトランジスタM62のドレイン端子が接続されている。PMOSトランジスタM62のソース端子には、電源電圧VDDが供給される。PMOSトランジスタM62のゲート端子には、駆動信号BPが供給される。スイッチS64の他端には、NMOSトランジスタM64のドレイン端子が接続されている。NMOSトランジスタM64のソース端子には、基準電位 V_{SS} が供給される。NMOSトランジスタM64のゲート端子には、駆動信号BNが供給される。

【0035】

10

20

30

40

50

制御信号 1 がハイレベルであるときには、制御信号 2 がローレベルとなる。このとき、スイッチ S 6 1 とスイッチ S 6 3 とが導通状態となり、出力端子 O 1 はローインピーダンスで駆動される。同時に、スイッチ S 6 2 とスイッチ S 6 4 とが非導通状態となり、出力端子 O 2 はハイインピーダンス状態に制御される。また、出力回路 2 0 は非動作状態に制御される、

同様に、制御信号 2 がハイレベルであるときには、制御信号 1 がローレベルとなり、出力端子 O 2 はローインピーダンスで駆動される。また、出力端子 O 1 はハイインピーダンス状態に制御され、出力回路 1 0 は非動作状態に制御される。

【 0 0 3 6 】

以上のように、本発明の第 1 実施形態によれば、消費電力を低減し、また、非選択の出力回路から選択された出力回路へのクロストークの影響を低減することができる。

10

【 0 0 3 7 】

ところで、一般的に、スイッチを半導体素子で実現するには、スイッチの両端を MOS トランジスタのドレイン端子とソース端子にする場合が多い。そして、ゲート端子に供給する電圧によって MOS トランジスタのオン・オフを制御することによって該 MOS トランジスタをスイッチとして機能させる。しかしながら、MOS トランジスタで構成されたスイッチでは、ゲート端子に供給される電圧が一定である場合には、スイッチが伝達すべき信号の電圧によって MOS トランジスタのオン抵抗値が変動する。したがって、MOS トランジスタで構成されたスイッチでは、オン抵抗値の変動が回路全体の歪特性に悪影響を及ぼすことが多い。第 1 ~ 第 3 構成例 (図 2、図 4、図 5) の出力回路では、出力端子を駆動するトランジスタ (駆動素子) と出力端子との間に直列に接続されたスイッチが存在しない。したがって、スイッチを半導体素子で構成する場合にも、良好な歪特性を有しうる。

20

【 0 0 3 8 】

第 1、第 3 構成例 (図 2、図 5) の出力回路では、出力端子を構成するトランジスタ (駆動素子) のソース端子 / ドレイン端子と電源電圧 V D D / 基準電圧 V S S との間に直列に接続されたスイッチが存在しない。したがって、出力端子から大きな負荷電流が流れた際において、スイッチのオン抵抗による熱損失や、電圧効果の影響を抑えることが可能になる。

【 0 0 3 9 】

図 7 は、本発明の第 2 実施形態の増幅回路 2 0 0 の構成を示す図である。増幅回路 2 0 0 は、第 1 差動増幅器 1 0 0 a および第 2 差動増幅器 1 0 0 b を含み、第 1 差動増幅器 1 0 0 a および第 2 差動増幅器 1 0 0 b は、それぞれ第 1 実施形態の増幅回路 1 0 0 によって構成される。第 1 差動増幅器 1 0 0 a の非反転入力端子 I N P a、反転入力端子 I N N a、複数の出力端子 O 1 a、O 2 a は、第 1 実施形態の増幅回路 1 0 0 の非反転入力端子 I N P、反転入力端子 I N N、複数の出力端子 O 1、O 2 に対応する。また、第 2 差動増幅器 1 0 0 b の非反転入力端子 I N P b、反転入力端子 I N N a、複数の第 2 出力端子 O 1 b、O 2 b は、第 1 実施形態の増幅回路 1 0 0 の非反転入力端子 I N P、反転入力端子 I N N、複数の出力端子 O 1、O 2 に対応する。

30

【 0 0 4 0 】

区別のために、第 2 差動増幅器 1 0 0 b の差動増幅回路 3 0、複数の出力回路 1 0、2 0、制御回路 4 0 をそれぞれ第 2 差動増幅回路 3 0、複数の第 2 出力回路 1 0、2 0、第 2 制御回路 4 0 と呼ぶことにする。

40

【 0 0 4 1 】

増幅回路 2 0 0 は、帰還増幅回路、より詳しくは負帰還増幅回路として構成されている。増幅回路 2 0 0 は、入力端子 I N 1、I N 2 を有し、入力端子 I N 1 に入力された信号と入力端子 I N 2 に入力された信号との間の電圧を増幅した信号を複数の出力端子 O U T 1、O U T 2 のうち選択された出力端子から出力する。

【 0 0 4 2 】

入力端子 I N 1 には、抵抗 R 1 3 の一端が接続されている。抵抗 R 1 3 の他端には、抵

50

抗 R 3 3 の一端と、第 1 差動増幅器 1 0 0 a の非反転入力端子（第 1 入力端子）I N P a とが接続されている。抵抗 R 3 3 の他端には、基準電圧 V 1 が供給される。入力端子 I N 2 には、第 2 差動増幅器 1 0 0 b の非反転入力端子（第 3 入力端子）I N P b が接続されている。第 2 差動増幅器 1 0 0 b の反転入力端子（第 4 入力端子）I N N b と第 2 差動増幅器 1 0 0 b の複数の第 2 出力端子 O 1 b、O 2 b との間には、複数の第 2 スイッチ S 1 1、S 1 2 が接続されている。

【 0 0 4 3 】

第 1 差動増幅器 1 0 0 a の複数の出力端子 O 1 a、O 2 a と第 1 差動増幅器 1 0 0 a の反転入力端子（第 2 入力端子）I N N a との間には、複数の帰還経路が設けられ、該複数の帰還経路にそれぞれ第 1 スイッチ S 1 5、S 1 6 が設けられている。第 1 差動増幅器 1 0 0 a の複数の出力回路のうち選択された出力回路の出力端子と反転入力端子 I N N a との間の帰還経路に設けられた第 1 スイッチはオン状態にされる。一方、第 1 差動増幅器 1 0 0 a の複数の出力回路のうち非選択の出力回路の出力端子と反転入力端子 I N N a との間の帰還経路に設けられた第 1 スイッチはオフ状態にされる。

10

【 0 0 4 4 】

複数の第 1 スイッチ S 1 5、S 1 6 の一端は、反転入力端子 I N N a に接続されている。複数の第 1 スイッチ S 1 5、S 1 6 の他端は、第 1 抵抗 R 3 1、R 3 2 を介して第 1 差動増幅器 1 0 0 a の複数の出力端子 O 1 a、O 2 a（増幅回路 2 0 0 の出力端子 O U T 1、O U T 2）に接続されている。複数の第 2 出力端子 O 1 b、O 2 b および複数の第 2 スイッチ S 1 1、S 1 2 は、第 2 抵抗 R 1 1、R 1 2 を介して複数の第 1 スイッチ R 3 1、R 3 2 の他端に接続されている。

20

【 0 0 4 5 】

第 1 差動増幅器 1 0 0 a の複数の出力回路のうち選択された出力回路の出力端子と反転入力端子 I N N a との間の帰還経路に設けられた第 1 スイッチ S 1 5、S 1 6 の他端に第 2 抵抗 R 3 1、R 3 2 を介し接続された第 2 スイッチ S 1 1、S 1 2 はオン状態にされる。第 1 差動増幅器 1 0 0 a の複数の出力回路の非選択の出力回路の出力端子と反転入力端子 I N N a との間の帰還経路に設けられた第 1 スイッチ S 1 5、S 1 6 の他端に第 2 抵抗 R 3 1、R 3 2 を介し接続された第 2 スイッチ S 1 1、S 1 2 はオフ状態にされる。ここで、抵抗 R 1 1、抵抗 R 1 2、抵抗 R 1 3 は、同じ抵抗値 R 1 であり、抵抗 R 3 1 と抵抗 R 3 2 と抵抗 R 3 3 とは、同じ抵抗値 R 3 であるものとする。

30

【 0 0 4 6 】

第 1 差動増幅器 1 0 0 a と第 2 差動増幅器 1 0 0 b は、制御信号 1 と 2 により、各出力端子のインピーダンス状態が選択的に制御される。制御信号 1 がハイレベルであるときには、制御信号 2 がローレベルとなり、差動増幅器の出力端子 O 1 a、O 1 b がローインピーダンスで駆動され、出力端子 O 2 a、O 2 b がハイインピーダンス状態となるように制御される。同様に、制御信号 2 がハイレベルであるときには、制御信号 1 がローレベルとなり、出力端子 O 2 a、O 2 b はローインピーダンスで駆動され、出力端子 O 1 a、O 1 b はハイインピーダンス状態に制御される。

【 0 0 4 7 】

制御信号 1、2 により、スイッチ S 1 1、スイッチ S 1 5、スイッチ S 1 2、スイッチ S 1 6 の各スイッチの開閉が制御される。スイッチ S 1 1、S 1 5 は、制御信号 1 がハイレベルであるときには導通状態に制御され、ローレベルであるときには非導通状態に制御される。また、スイッチ S 1 2、S 1 6 は、制御信号 2 がハイレベルであるときには導通状態に制御され、ローレベルであるときには非導通状態に制御される。

40

【 0 0 4 8 】

ここで、制御信号 1 がハイレベル、制御信号 2 がローレベルである場合の回路動作を説明する。第 2 差動増幅器 1 0 0 b は、ローインピーダンスで駆動される出力端子 O 1 b から入力端子 I N 2 に入力される信号と同等の信号を出力する。第 1 差動増幅器 1 0 0 a は、ローインピーダンスで駆動される出力端子 O 1 a が接続された出力端子 O U T 1 から、以下の出力電圧 V O U T を出力する。

50

【 0 0 4 9 】

$$V O U T = (V I N 1 - V I N 2) \times R 3 / R 1 + V 1$$

ここで、第1差動増幅器100aの出力端子O2aおよび第2差動増幅器100bの出力端子O2bはハイインピーダンス状態であり、スイッチS12、S16が非導通状態であるため、出力端子OUT2はハイインピーダンス状態となる。

【 0 0 5 0 】

同様に、制御信号2がハイレベル、制御信号1がローレベルである場合には、出力端子OUT2から上述した出力電圧VOUTを出力し、出力端子OUT1はハイインピーダンス状態となる。

【 0 0 5 1 】

このように、図7に示す増幅回路200では、複数の出力端子OUT1、OUT2とのインピーダンス状態を制御することにより、共通の差動増幅回路100a、100bを用いて、複数系統の出力端子のうち選択された出力端子から信号を出力することができる。

【 0 0 5 2 】

ここで、差動増幅回路100a、100bの出力回路の構成が第1～第3構成例(図2、図4、図5)のように、出力端子を駆動するトランジスタと出力端子との間に直列に接続されたスイッチが存在しないことが好ましい。また、第1差動増幅器100の帰還経路にスイッチがないことが好ましい。この場合、信号レベルに依存するスイッチのオン抵抗変化がなく、従って、負帰還による信号の変動がなく良好な歪特性が得られる。

【 0 0 5 3 】

図8は、本発明の第3実施形態の増幅回路300の構成を示す図である。第3実施形態は、第2実施形態の増幅回路200の変形例である。第3実施形態の増幅回路300では、第1差動増幅回路100aの複数の出力回路のそれぞれの出力端子(即ち、増幅回路300の複数の出力端子OUT1、OUT2)に、互いに異なるゲインで増幅された信号が出力される。増幅回路300は、入力端子IN1、IN2を有し、入力端子IN1に入力された信号と入力端子IN2に入力された信号との間の電圧を増幅した信号を複数の出力端子OUT1、OUT2のうち選択された出力端子から出力する。

【 0 0 5 4 】

入力端子IN1には、抵抗R13の一端が接続されている。抵抗R13の他端には、抵抗R23の一端と、スイッチS13の一端とが接続されている。抵抗R23の他端には、抵抗R33の一端と、スイッチS14の一端とが接続されている。スイッチS13の他端と、スイッチS14の他端には、第1差動増幅器100aの非反転入力端子INPaが接続されている。抵抗R11とスイッチS15との接続点と、抵抗R31との間には、直列に抵抗R21が挿入されている。抵抗R32とスイッチS16との接続点と、抵抗R12との間には、直列に抵抗R22が挿入されている。ここで、抵抗R21と抵抗R22と抵抗R23とは、同じ抵抗値R2であるものとする。

【 0 0 5 5 】

第1差動増幅器100aと第2差動増幅器100bに入力される制御信号1、2により、スイッチS13、S14の開閉が制御される。即ち、スイッチS13は、制御信号1がハイレベルであるときには導通状態に制御され、ローレベルであるときには非導通状態に制御される。また、スイッチS14は、制御信号2がハイレベルであるときには導通状態に制御され、ローレベルであるときには非導通状態に制御される。

【 0 0 5 6 】

ここで、制御信号1がハイレベル、制御信号2がローレベルである場合の動作を説明する。このとき、第1差動増幅器100aは、ローインピーダンスで駆動される出力端子O1aが接続された出力端子OUT1から、以下の出力電圧VOUTを出力する。

【 0 0 5 7 】

$$V O U T = (V I N 1 - V I N 2) \times (R 3 + R 2) / R 1 + V 1$$

ここで、第1差動増幅器100aの出力端子O2aおよび第2差動増幅器100bの出力端子O2bはハイインピーダンス状態であり、スイッチS12とスイッチS16が非導

10

20

30

40

50

通状態であるため、出力端子OUT2はハイインピーダンス状態となる。

【0058】

制御信号2がハイレベル、制御信号1がローレベルである場合の動作を説明する。このとき、第1差動増幅器100aは、ローインピーダンスで駆動される出力端子O2aが接続された出力端子OUT2から、以下の出力電圧VOUTを出力し、制御信号1がハイレベルの場合とは異なるゲインになる。

【0059】

$$V_{OUT} = (V_{IN1} - V_{IN2}) \times R_3 / (R_1 + R_2) + V_1$$

ここで、第1差動増幅器100aの出力端子O1aおよび第2差動増幅器100bの出力端子O1bはハイインピーダンス状態であり、スイッチS11とスイッチS15が非導通状態であるため、出力端子OUT1はハイインピーダンス状態となる。

10

【0060】

このように、図8に示す第3実施形態の増幅回路300では、複数の出力端子OUT1、OUT2とのインピーダンス状態を制御することにより、共通の差動増幅回路100a、100bを用いて、複数系統の出力端子のうち的一方から信号を出力することができる。また、複数系統の出力端子から選択的に出力される信号は、互いにゲインの異なる信号である。図9(a)は、本発明の第4実施形態の増幅回路400の構成を示す図である。第4実施形態は、増幅回路400では、差動増幅回路100の複数の出力回路のそれぞれの出力端子(即ち、増幅回路400の複数の出力端子OUT1、OUT2)に、互いに異なるゲインで増幅された信号が出力される。増幅回路400は、入力端子IN1を有し、入力端子IN1に入力された信号と基準信号REFとの間の電圧を増幅した信号を複数の出力端子OUT1、OUT2のうち選択された出力端子から出力する。

20

【0061】

第4実施形態では、入力端子IN1に入力される信号は、電源電圧VDDと基準電位VSSとの間の電圧に対して相関があり、電源電圧VDDの変動に応じて、入力端子IN1に入力される信号の振幅が変動しうる。このような場合において、基準信号REF側も電源電圧VDDと基準電位VSSとの間の電圧に対して相関のある信号とすることで、電源電圧VDDの変動を相殺することができる。

【0062】

具体的には、信号生成部410と、差動増幅回路100の反転入力端子に接続される回路とが共通の電源電圧VDDおよび基準電位VSSに接続される場合には、電源電圧VDDの変動があっても、その変動が差動増幅部100によって相殺される。

30

【0063】

また、第4実施形態では、第2および第3実施形態における増幅回路に存在するような、反転入力端子側に設けられた差動増幅回路が不要になるので、省面積、低消費電力の点でも有利な場合が多い。

【0064】

例えば、入力端子IN1に入力される信号の振幅のセンタ値が図9(b)のように、 $0.5 \times V_{DD}$ である場合、

$$R_{91} = R_{93} = R_{92} = R_{94} = 2 \times R_{13}$$

$$R_{31} = R_{32} = R_{33} = R_3$$

$$R_{13} = R_1$$

とすると、差動増幅器100は、ローインピーダンスで駆動される出力端子O1が接続された出力端子OUT1または出力端子O2が接続された出力端子OUT2から、以下の出力電圧VOUTを出力する。

40

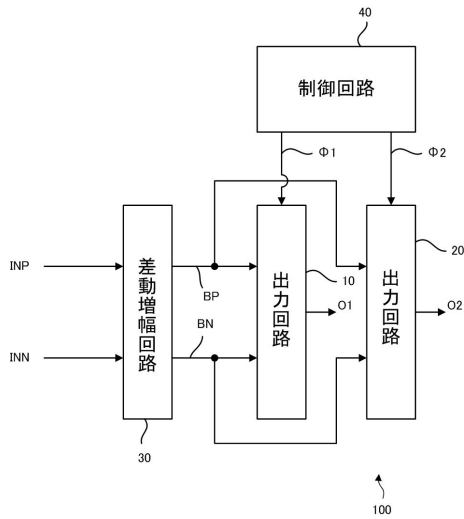
【0065】

$$V_{OUT} = (V_{IN1} - 0.5 \times V_{DD}) \times R_3 / R_1 + V_1$$

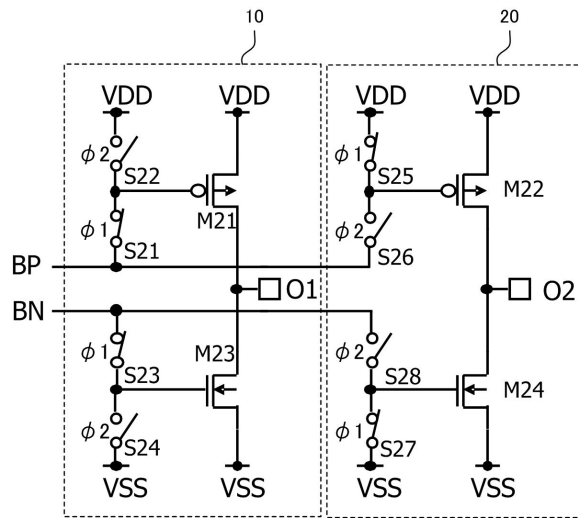
上記の各実施形態では、増幅回路の出力としてシングルエンド出力が採用されているが、これを差動出力に変更してもよい。

50

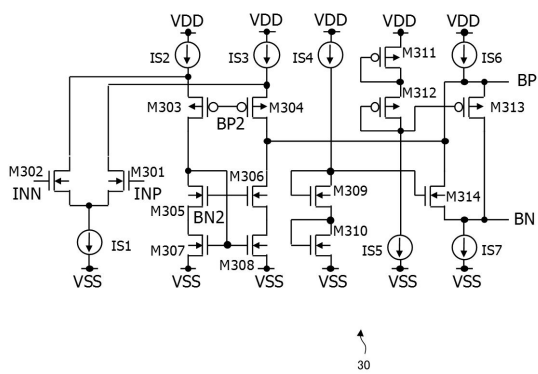
【図1】



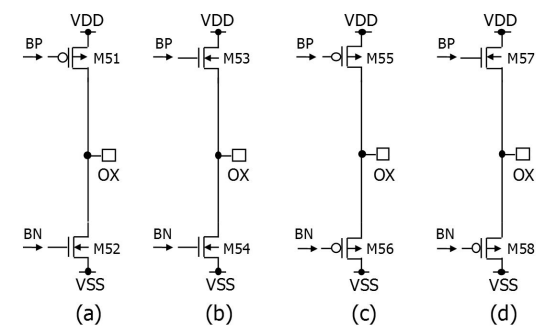
【図2】



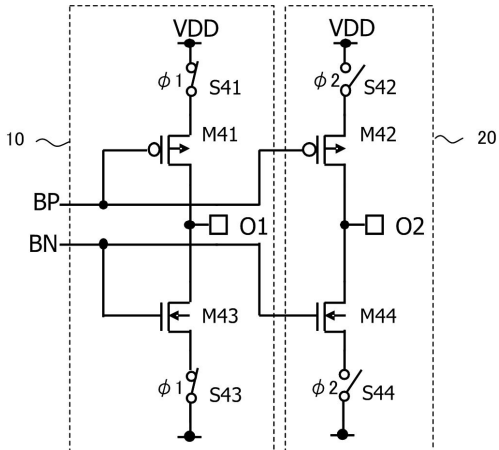
【図3】



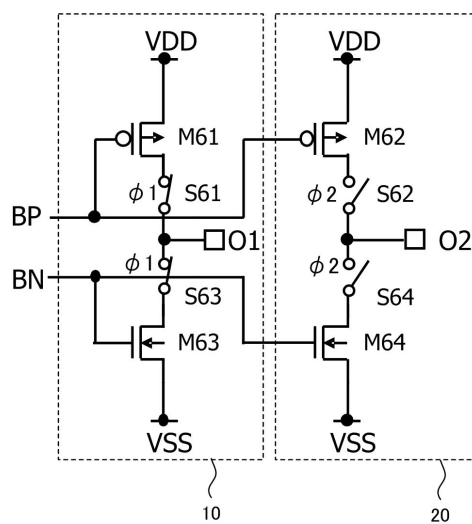
【図5】



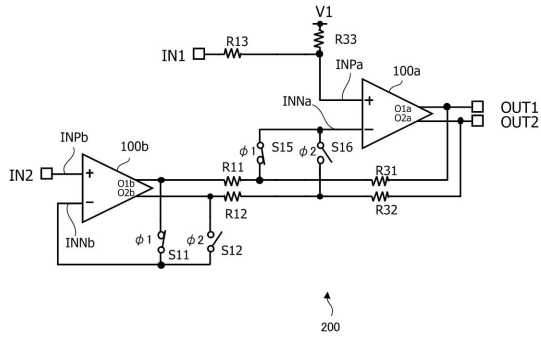
【図4】



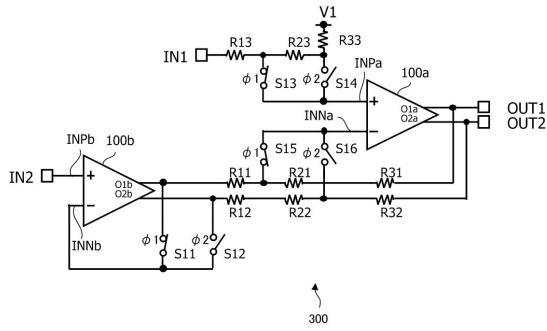
【図6】



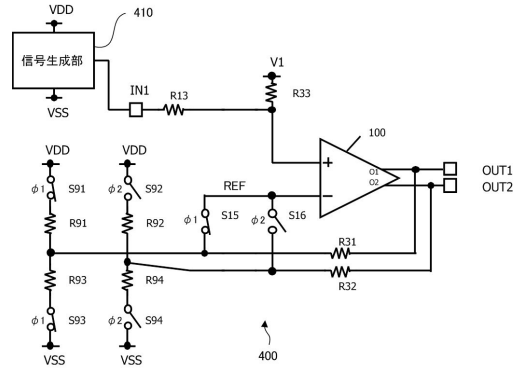
【図7】



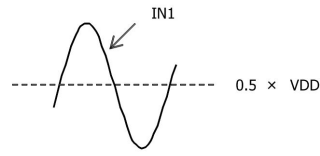
【図8】



【図9】



(a)



(b)

フロントページの続き

(72)発明者 山崎 善一
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 緒方 寿彦

(56)参考文献 特開2009-246741(JP,A)
実開平05-088056(JP,U)
特開平09-167929(JP,A)
特開平08-330987(JP,A)
特開2003-157054(JP,A)
特開2010-008981(JP,A)
米国特許出願公開第2012/0068770(US,A1)

(58)調査した分野(Int.Cl., DB名)
H03F 1/00 - 3/45、3/50 - 3/52、
3/62 - 3/64、3/68 - 3/72