

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-13920

(P2004-13920A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
G 1 1 C 11/41	G 1 1 C 11/40	5 B 0 1 5
H O 1 L 21/8244	H O 1 L 27/10	4 9 1
H O 1 L 27/10	H O 1 L 27/10	3 8 1
H O 1 L 27/11		

審査請求 未請求 請求項の数 10 O L (全 18 頁)

(21) 出願番号	特願2002-161379 (P2002-161379)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成14年6月3日(2002.6.3)	(74) 代理人	100064746 弁理士 深見 久郎
		(74) 代理人	100085132 弁理士 森田 俊雄
		(74) 代理人	100091409 弁理士 伊藤 英彦
		(74) 代理人	100096781 弁理士 堀井 豊
		(74) 代理人	100096792 弁理士 森下 八郎

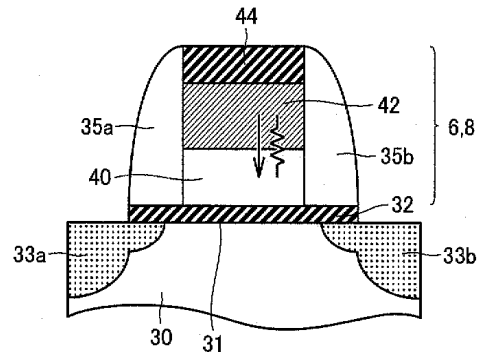
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】面積の増大や構造の複雑化を招くことなく、ソフトエラー耐性を向上させたメモリセルを備えた半導体記憶装置を提供する。

【解決手段】各々が負荷トランジスタおよび駆動トランジスタから構成された2個のインバータを交差結合したメモリセルにおいて、負荷トランジスタおよび駆動トランジスタの各ゲートをポリメタル構造のゲート配線と共通に電気的に結合する。メモリセルにおいて、各インバータの出力ノードにそれぞれ相当する記憶ノードの電位変化は、ポリメタル構造を構成するシリコン層と金属層との界面の接触抵抗を介して、交差結合されたもう1つのインバータの負荷トランジスタのゲートへ伝達される。



【選択図】 図3

## 【特許請求の範囲】

## 【請求項 1】

データを記憶する複数のメモリセルを備え、  
各前記メモリセルは、

第 1 および第 2 の電圧と第 1 の記憶ノードとの間にそれぞれ接続され、それぞれが反対導電型を有する第 1 および第 2 のトランジスタを含む第 1 のインバータ部と、

前記第 1 および第 2 の電圧と第 2 の記憶ノードとの間にそれぞれ接続され、それぞれが反対導電型を有する第 3 および第 4 のトランジスタを含む第 2 のインバータ部と、

第 1 の信号線および前記第 1 の記憶ノードの間を接続するための第 5 のトランジスタと、  
前記第 1 の信号線と相補の第 2 の信号線および前記第 2 の記憶ノードの間を接続するための第 6 のトランジスタと、

第 1 の金属層と第 1 のポリシリコン層との積層構造を有し、前記第 1 の金属層および前記第 1 のポリシリコン層の間の接触抵抗を介して、前記第 1 および第 2 のトランジスタの各ゲートと、前記第 2 の記憶ノードとを電気的に結合するための第 1 のゲート配線と、

第 2 の金属層と第 2 のポリシリコン層との積層構造を有し、前記第 2 の金属層および前記第 2 のポリシリコン層の間の接触抵抗を介して、前記第 3 および第 4 のトランジスタの各ゲートと、前記第 1 の記憶ノードとを電気的に結合するための第 2 のゲート配線とを含む、半導体記憶装置。

## 【請求項 2】

前記第 1 および第 3 のトランジスタは、第 1 導電型のウェル領域に形成されて、前記第 1 導電型と反対導電型である第 2 導電型を有し、

前記第 2、第 4、第 5 および第 6 のトランジスタは、前記第 2 導電型のウェル領域に形成されて、前記第 1 導電型を有し、

前記第 1 および第 2 のゲート配線と、前記第 5 および第 6 のトランジスタのそれぞれのゲート電極とは、同一方向に沿って配置され、

前記第 1 から第 6 のトランジスタの各々の拡散層領域は、前記第 1 および第 2 導電型のウェル領域の境界線に沿った方向に形成される、請求項 1 に記載の半導体記憶装置。

## 【請求項 3】

前記第 1 のゲート配線は、前記第 2 の記憶ノードへのコンタクト領域と前記第 1 および第 2 のトランジスタのゲート直上領域との間に、前記第 1 のポリシリコン層上に形成される第 1 の非金属層を有し、

前記第 2 のゲート配線は、前記第 1 の記憶ノードへのコンタクト領域と前記第 3 および第 4 のトランジスタのゲート直上領域との間に、前記第 2 のポリシリコン層上に形成される第 2 の非金属層を有する、請求項 1 に記載の半導体記憶装置。

## 【請求項 4】

前記第 1 および第 2 のゲート配線のそれぞれにおいて、前記第 1 および第 2 の非金属層は、前記コンタクト領域を除いて、前記第 1 および第 2 のポリシリコン層上の全体にそれぞれ形成される、請求項 3 に記載の半導体記憶装置。

## 【請求項 5】

データを記憶する複数のメモリセルを備え、  
各前記メモリセルは、

第 1 および第 2 の電圧と第 1 の記憶ノードとの間にそれぞれ接続され、それぞれが反対導電型を有する第 1 および第 2 のトランジスタを含む第 1 のインバータ部と、

前記第 1 および第 2 の電圧と第 2 の記憶ノードとの間にそれぞれ接続され、それぞれが反対導電型を有する第 3 および第 4 のトランジスタを含む第 2 のインバータ部と、

第 1 の信号線および前記第 1 の記憶ノードの間を接続するための第 5 のトランジスタと、  
前記第 1 の信号線と相補の第 2 の信号線および前記第 2 の記憶ノードとの間を接続するための第 6 のトランジスタと、

前記第 1 および第 2 のトランジスタの各ゲートと結合された第 1 のシリコン層および前記第 1 のシリコン層上に形成された第 1 の金属膜を用いて構成され、前記第 2 の記憶ノード

10

20

30

40

50

と電氣的に結合される第 1 のゲート配線と、

前記第 3 および第 4 のトランジスタの各ゲートと結合された第 2 のシリコン層および前記第 2 のシリコン層上に形成された第 2 の金属膜を用いて構成され、前記第 1 の記憶ノードと電氣的に結合される第 2 のゲート配線とを含み、

前記第 1 のゲート配線は、前記第 2 の記憶ノードと前記第 1 のトランジスタとの間の一部領域において、前記第 1 の金属膜が非形成とされる非金属膜領域を有し、

前記第 2 のゲート配線は、前記第 1 の記憶ノードと前記第 3 のトランジスタとの間の一部領域において、前記第 2 の金属膜が非形成とされる非金属膜領域を有する、半導体記憶装置。

【請求項 6】

10

前記第 1 および第 2 のゲート配線において、前記非金属膜領域は、前記第 1 および第 2 の金属膜のうちの、前記第 1 および第 2 の記憶ノードへのコンタクト領域と前記第 1 から第 4 のトランジスタのゲート直上領域との間に設けられる、請求項 5 に記載の半導体記憶装置。

【請求項 7】

前記第 1 および第 3 のトランジスタは、第 1 導電型のウェル領域に形成されて、前記第 1 導電型と反対導電型である第 2 導電型を有し、

前記第 2、第 4、第 5 および第 6 のトランジスタは、前記第 2 導電型のウェル領域に形成されて、前記第 1 導電型を有し、

前記第 1 および第 2 のゲート配線と、前記第 5 および第 6 のトランジスタのそれぞれのゲート電極とは、同一方向に沿って配置され、

20

前記第 1 から第 6 のトランジスタの各々の拡散層領域は、前記第 1 および第 2 導電型のウェル領域の境界線に沿った方向に形成され、

前記非金属膜領域は、前記第 1 および第 3 のトランジスタの拡散層領域の間に位置するように形成される、請求項 6 に記載の半導体記憶装置。

【請求項 8】

前記第 1 および第 2 のゲート配線において、前記非金属膜領域は、平面方向において、前記第 1 および第 2 の金属膜のうちの、前記第 1 および第 2 のトランジスタのゲート直上領域間、ならびに前記第 3 および第 4 のトランジスタのゲート直上領域間にそれぞれ設けられる、請求項 5 に記載の半導体記憶装置。

30

【請求項 9】

前記第 1 および第 3 のトランジスタは、第 1 導電型のウェル領域に形成されて、前記第 1 導電型と反対導電型である第 2 導電型を有し、

前記第 2、第 4、第 5 および第 6 のトランジスタは、前記第 2 導電型のウェル領域に形成されて、前記第 1 導電型を有し、

前記第 1 から第 4 のトランジスタの拡散層領域の各々は、前記第 1 および第 2 導電型のウェル領域の境界線に沿った方向に形成され、

前記第 5 および第 6 のトランジスタの拡散層領域の各々は、前記境界線と交差する方向に形成され、

前記非金属膜領域は、平面方向において、前記第 1 および第 3 のトランジスタの拡散層領域および前記境界線の間に位置するように形成される、請求項 8 に記載の半導体記憶装置

40

【請求項 10】

各前記メモリセルにおいて、前記非金属膜領域は、前記境界線に沿った方向に隣接するメモリセルまで達するように矩形状に形成される、請求項 7 または 9 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的には、スタティック型半導体記憶装置の

50

メモリセル構造に関する。

【0002】

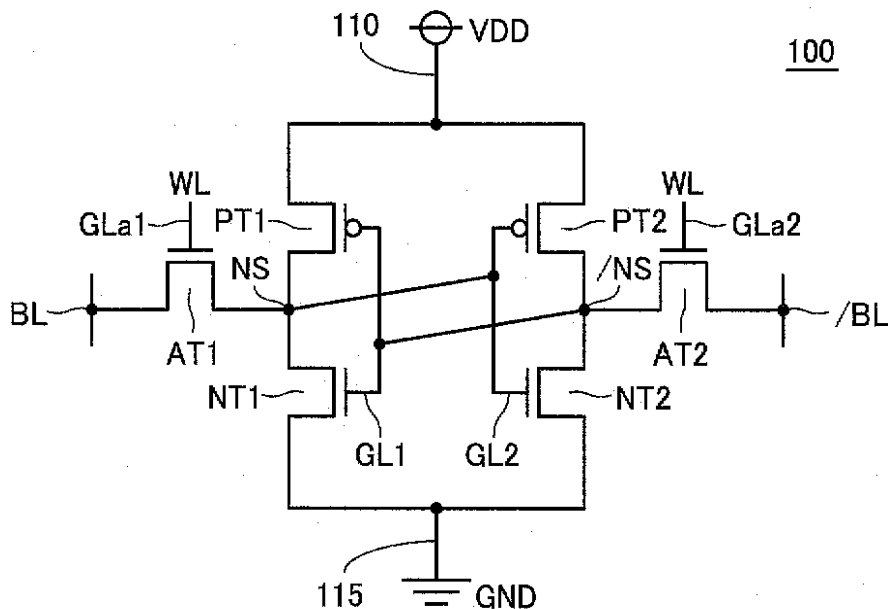
【従来の技術】

スタティック型ランダムアクセスメモリ（SRAM）に用いられるメモリセル（以下、「SRAMメモリセル」と称する）として、負荷トランジスタをP型MOSトランジスタで構成し、駆動トランジスタをN型MOSトランジスタで構成し、アクセストランジスタをN型MOSトランジスタで構成した、いわゆる「CMOS構成」を有するSRAMメモリセルが知られている。

【0003】

図11は、従来の技術に従うCMOS構成のSRAMメモリセルの構成を示す

10



20

回路

図である。

【0004】

30

図11を参照して、従来のSRAMメモリセル100は、電源電位VDDを供給する電源ノード110および記憶ノードNSの間に接続されたP型MOSトランジスタPT1と、接地電位GNDを供給する接地ノード115と記憶ノードNSとの間に接続されたN型MOSトランジスタNT1とを有する。トランジスタPT1およびNT1は、各ゲートが共通のゲート配線GL1と電気的に結合されて、1個のインバータを構成する。

【0005】

SRAMメモリセル100は、さらに、電源ノード110および記憶ノード/NSの間に接続されたP型MOSトランジスタPT2と、記憶ノード/NSおよび接地ノード115の間に接続されたN型MOSトランジスタNT2とを有する。トランジスタPT2およびNT2は、各ゲートが共通のゲート配線GL2と電気的に結合されて、1個のインバータを形成する。

40

【0006】

記憶ノードNSはゲート配線GL2と接続され、記憶ノード/NSはゲート配線GL1と接続される。このように交差結合された2個のインバータによって、記憶ノードNSおよび/NSの電位は、互いに相補なレベル、すなわちVDDレベル（以下、「Hレベル」とも称する）またはGNDレベル（以下、「Lレベル」とも称する）の一方ずつに設定される。

【0007】

SRAMメモリセル100は、さらに、相補なビット線BLおよび/BLと記憶ノードNSおよび/NSの間にそれぞれ接続されたN型MOSトランジスタAT1およびAT2を

50

さらに有する。トランジスタ A T 1 のゲートと接続されたゲート配線 G L a 1 と、トランジスタ A T 2 のゲートと接続されたゲート配線 G L a 2 とは、共通のワード線 W L と接続される。

**【 0 0 0 8 】**

このようにして、P型MOSトランジスタ P T 1 および P T 2 を負荷トランジスタとし、N型MOSトランジスタ N T 1 および N T 2 を駆動トランジスタとし、N型MOSトランジスタ A T 1 および A T 2 をアクセストランジスタとして用いる S R A M メモリセルが実現される。すなわち、図 1 1 に示した S R A M メモリセルへは、ワード線 W L の活性化（Hレベル）期間において、相補のビット線 B L , / B L をそれぞれ介して、記憶ノード N S および / N S へのデータ書込またはデータ読出が実行される。ワード線 W L の非活性化（Lレベル）期間において、記憶ノード N S および / N S へ一旦書込まれたデータは、交差結合された 2 個のインバータによって安定的に保持される。

10

**【 0 0 0 9 】**

なお、以下においては、P型MOSトランジスタ P T 1 , P T 2 を負荷トランジスタ P T 1 , P T 2 とも称し、N型MOSトランジスタ N T 1 , N T 2 を駆動トランジスタ N T 1 , N T 2 とも称し、N型MOSトランジスタ A T 1 , A T 2 をアクセストランジスタ A T 1 , A T 2 とも称することとする。

**【 0 0 1 0 】**

図 1 2 は、図 1 1 に示した S R A M メモリセルの平面レイアウト図の一例である。ここでは、図 1 2 では第 1 金属配線層までのレイアウトを表記することとし、それ以上の配線層のレイアウトは表記を省略している。

20

**【 0 0 1 1 】**

図 1 2 を参照して、半導体基板上に p 型ウェル 1 2 1 , 1 2 1 # および n 型ウェル 1 2 5 が形成される。N型MOSトランジスタである駆動トランジスタ N T 1 およびアクセストランジスタ A T 1 は p 型ウェル 1 2 1 上に設けられ、負荷トランジスタ P T 1 および P T 2 は n 型ウェル 1 2 5 上に設けられる。アクセストランジスタ A T 2 および駆動トランジスタ N T 2 は、p 型ウェル 1 2 1 と分離された p 型ウェル 1 2 1 上に設けられる。

**【 0 0 1 2 】**

すなわち、p 型ウェル 1 2 1 上には、駆動トランジスタ N T 1 およびアクセストランジスタ A T 1 にそれぞれ対応する拡散層領域が形成され、n 型ウェル 1 2 5 上には、負荷トランジスタ P T 1 および P T 2 に対応する拡散層領域が形成され、p 型ウェル 1 2 1 上には、アクセストランジスタ A T 2 および駆動トランジスタ N T 2 にそれぞれ対応する拡散層領域が形成される。

30

**【 0 0 1 3 】**

電源ノード 1 1 0、接地ノード 1 1 5、ワード線 W L、ビット線 B L , / B L および記憶ノード N S および / N S は、たとえば第 1 金属配線層に設けられる。

**【 0 0 1 4 】**

さらに、たとえばポリシリコン層を用いて、ゲート配線 G L 1 , G L 2 および G L a 1 および G L a 2 が形成される。第 1 金属配線層、拡散層領域、およびゲート配線層の間においては、図 1 1 に示した接続関係を実現するためにコンタクト 1 2 0 が適宜設けられている。

40

**【 0 0 1 5 】**

たとえば、駆動トランジスタ N T 1 に着目すると、駆動トランジスタ N T 1 に対応する拡散層領域のうちのソース対応部分は、コンタクト 1 2 0 a を介して、接地ノード 1 1 5 と電氣的に結合される。さらに、当該拡散層領域のうちのドレイン対応部分は、記憶ノード N S とコンタクト 1 2 0 a を介して電氣的に結合されている。記憶ノード N S は、コンタクト 1 2 0 a によって、アクセストランジスタ A T 1 の拡散層領域とも電氣的に結合されている。

**【 0 0 1 6 】**

アクセストランジスタ A T 1 および A T 2 にそれぞれ対応するゲート配線 G L a 1 および

50

GLa2は、コンタクト120aを介して、第1金属配線層に形成されたワード線WLと電氣的に結合される。ゲート配線GL1は、駆動トランジスタNT1および負荷トランジスタPT1の各ゲートと結合されるように延在して設けられ、n型ウェル125の上部領域において、記憶ノード/NSとコンタクト120bを介して電氣的に結合される。コンタクト120bは、ゲート、拡散層および第1金属配線層を同時に接続可能なコンタクト(「シェアードコンタクト」)として設けられている。同様に、ゲート配線GL2は、駆動トランジスタNT2および負荷トランジスタPT2の各ゲートと結合されるように延在して設けられ、n型ウェル125の上部領域において、記憶ノードNSとコンタクト120bを介して電氣的に結合される。一般的に、このようなゲート配線GL1, GL2, GLa1, GLa2は、ポリシリコン層上に、薄いケイ化金属膜(たとえばコバルトシリサイドなど)であるシリサイド膜が形成されたシリサイド構造を有する。これにより、ゲート配線GL1, GL2, GLa1, GLa2の低抵抗化が図られる。

10

【0017】

【発明が解決しようとする課題】

しかしながら、近年の半導体微細技術の進歩によって、SRAMメモリセルも同様に微細化が進展し、外的要因によるデータ化け(記憶データの反転)が問題となってきた。外的要因の1つとして、パッケージに含まれる微量の放射線物質から放出される線に起因した、いわゆるソフトエラーが挙げられる。再び図11を用いて、SRAMメモリセルにおけるソフトエラー発生のメカニズムを説明する。

【0018】

再び図11を参照して、まず初期的なデータ記憶状態として、記憶ノードNSの電位がLレベルであり、記憶ノード/NSの電位がHレベルであり、ワード線WLが、Lレベルに非活性化されている状態を考える。

20

【0019】

この状態で、線などが照射されて、Hレベルを記憶する記憶ノード/NSと結合されたN型MOSトランジスタ(AT2, NT2)のドレイン部に電子が励起されると、記憶ノード/NSの電位がHレベルから低下する。通常、このような電位降下が生じて、記憶ノード/NSと接続されている負荷トランジスタPT2がターンオンしているため、ある程度の時間が経過すれば、記憶ノード/NSの電位レベルは、再びHレベルに復帰する。

【0020】

しかしながら、負荷トランジスタPT2のソース・ドレイン間のオン抵抗が大きい場合には、記憶ノード/NSの電位レベルがHレベルに復帰する前に、記憶ノード/NSの低下した電位がゲート配線GL1によって伝播されて、負荷トランジスタPT1および駆動トランジスタNT1のオン・オフ反転が発生する可能性がある。すなわち、初期的なデータ記憶状態から反転して、負荷トランジスタPT1がターンオンし、駆動トランジスタNT1がターンオフしてしまうおそれがある。このようなトランジスタのオン・オフ反転が発生すると、記憶ノードNSの電位はLレベルからHレベルに反転してしまい、データの誤書込が行なわれることになる。したがって、ソフトエラー対策としては、記憶ノードNSまたは/NSの電位レベル低下が、駆動トランジスタNT1, NT2および負荷トランジスタPT1, PT2の各ゲートまで伝播される速度を遅らせることが必要となる。

30

40

【0021】

たとえば、ソフトエラーに対応する対応策の1つとして、記憶ノードの容量を増やす従来技術が知られている。記憶ノードの容量を増やすことによって、線によって発生した電子による、記憶ノードNS, /NSの電位レベルが低下しにくくなり、データの反転が起りにくくなる。

【0022】

しかしながら、メモリセルの微細化を進めると、これに伴って記憶ノードの容量は自然に減少する。反面、ソフトエラー対策のため、記憶ノードの容量を増加させる設計を行なうと、セル面積の増大やセル構造の複雑化によって、製造コストの増加や歩留り低下を招いてしまう可能性がある。

50

## 【0023】

また、ソフトエラーは、電源電位VDDが下がるにつれて起こりやすくなるので、低消費電力化のためにトランジスタの低電圧動作化が進められる今日の情勢下において、ソフトエラー対策が重要となってきた。

## 【0024】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、面積の増大や構造の複雑化を招くことなく、ソフトエラー耐性を向上させたメモリセルを備えた半導体記憶装置を提供することである。

## 【0025】

## 【課題を解決するための手段】

この発明に従う半導体記憶装置は、データを記憶する複数のメモリセルを備え、各メモリセルは、第1および第2の電圧と第1の記憶ノードとの間にそれぞれ接続され、それぞれが反対導電型を有する第1および第2のトランジスタを含む第1のインバータ部と、第1および第2の電圧と第2の記憶ノードとの間にそれぞれ接続され、それぞれが反対導電型を有する第3および第4のトランジスタを含む第2のインバータ部と、第1の信号線および第1の記憶ノードの間を接続するための第5のトランジスタと、第1の信号線と相補の第2の信号線および第2の記憶ノードの間を接続するための第6のトランジスタと、第1の金属層と第1のポリシリコン層との積層構造を有し、第1の金属層および第1のポリシリコン層の間の接触抵抗を介して、第1および第2のトランジスタの各ゲートと、第2の記憶ノードとを電気的に結合するための第1のゲート配線と、第2の金属層と第2のポリシリコン層との積層構造を有し、第2の金属層および第2のポリシリコン層の間の接触抵抗を介して、第3および第4のトランジスタの各ゲートと、第1の記憶ノードとを電気的に結合するための第2のゲート配線とを含む。

10

20

## 【0026】

好ましくは、第1および第3のトランジスタは、第1導電型のウェル領域に形成されて、第1導電型と反対導電型である第2導電型を有し、第2、第4、第5および第6のトランジスタは、第2導電型のウェル領域に形成されて、第1導電型を有し、第1および第2のゲート配線と、第5および第6のトランジスタのそれぞれのゲート電極とは、同一方向に沿って配置され、第1から第6のトランジスタの各々の拡散層領域は、第1および第2導電型のウェル領域の境界線に沿った方向に形成される。

30

## 【0027】

また好ましくは、第1のゲート配線は、第2の記憶ノードへのコンタクト領域と第1および第2のトランジスタのゲート直上領域との間に、第1のポリシリコン層上に形成される第1の非金属層を有し、第2のゲート配線は、第1の記憶ノードへのコンタクト領域と第3および第4のトランジスタのゲート直上領域との間に、第2のポリシリコン層上に形成される第2の非金属層を有する

さらに好ましくは、第1および第2のゲート配線のそれぞれにおいて、第1および第2の非金属層は、コンタクト領域を除いて、第1および第2のポリシリコン層上の全体にそれぞれ形成される。

## 【0028】

この発明の他の構成に従う半導体記憶装置は、データを記憶する複数のメモリセルを備え、各メモリセルは、第1および第2の電圧と第1の記憶ノードとの間にそれぞれ接続され、それぞれが反対導電型を有する第1および第2のトランジスタを含む第1のインバータ部と、第1および第2の電圧と第2の記憶ノードとの間にそれぞれ接続され、それぞれが反対導電型を有する第3および第4のトランジスタを含む第2のインバータ部と、第1の信号線および第1の記憶ノードの間を接続するための第5のトランジスタと、第1の信号線と相補の第2の信号線および第2の記憶ノードとの間を接続するための第6のトランジスタと、第1および第2のトランジスタの各ゲートと結合された第1のシリコン層および第1のシリコン層上に形成された第1の金属膜を用いて構成され、第2の記憶ノードと電気的に結合される第1のゲート配線と、第3および第4のトランジスタの各ゲートと結合

40

50

された第2のシリコン層および第2のシリコン層上に形成された第2の金属膜を用いて構成され、第1の記憶ノードと電氣的に結合される第2のゲート配線とを含む。第1のゲート配線は、第2の記憶ノードと第1のトランジスタとの間の一部領域において、第1の金属膜が非形成とされる非金属膜領域を有し、第2のゲート配線は、第1の記憶ノードと第3のトランジスタとの間の一部領域において、第2の金属膜が非形成とされる非金属膜領域を有する。

【0029】

好ましくは、第1および第2のゲート配線において、非金属膜領域は、第1および第2の金属膜のうちの、第1および第2の記憶ノードへのコンタクト領域と第1から第4のトランジスタのゲート直上領域との間に設けられる。

10

【0030】

さらに好ましくは、第1および第3のトランジスタは、第1導電型のウェル領域に形成されて、第1導電型と反対導電型である第2導電型を有し、第2、第4、第5および第6のトランジスタは、第2導電型のウェル領域に形成されて、第1導電型を有し、第1および第2のゲート配線と、第5および第6のトランジスタのそれぞれのゲート電極とは、同一方向に沿って配置され、第1から第6のトランジスタの各々の拡散層領域は、第1および第2導電型のウェル領域の境界線に沿った方向に形成され、非金属膜領域は、第1および第3のトランジスタの拡散層領域の間に位置するように形成される。

【0031】

あるいは好ましくは、第1および第2のゲート配線において、非金属膜領域は、平面方向において、第1および第2の金属膜のうちの、第1および第2のトランジスタのゲート直上領域間、ならびに第3および第4のトランジスタのゲート直上領域間にそれぞれ設けられる。

20

【0032】

さらに好ましくは、第1および第3のトランジスタは、第1導電型のウェル領域に形成されて、第1導電型と反対導電型である第2導電型を有し、第2、第4、第5および第6のトランジスタは、第2導電型のウェル領域に形成されて、第1導電型を有し、第1から第4のトランジスタの拡散層領域の各々は、第1および第2導電型のウェル領域の境界線に沿った方向に形成され、第5および第6のトランジスタの拡散層領域の各々は、境界線と交差する方向に形成され、非金属膜領域は、平面方向において、第1および第3のトランジスタの拡散層領域および境界線の間に位置するように形成される。

30

【0033】

特にこのような構成においては、各メモリセルにおいては、非金属膜領域は、境界線に沿った方向に隣接するメモリセルまで達するように矩形状に形成される。

【0034】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。

【0035】

[実施の形態1]

図1は、本発明の実施の形態1に従うSRAMメモリセル1の構成を示す回路図である。

40

【0036】

図1を参照して、実施の形態1に従うSRAMメモリセル1は、電源ノード110および接地ノード115の間に接続されて、互いに交差結合されたインバータ2および4と、アクセストランジスタAT1およびAT2とを有する。

【0037】

インバータ2は、P型MOSトランジスタの負荷トランジスタPT1およびN型MOSトランジスタの駆動トランジスタNT1で構成され、その入力ノードはゲート配線6と接続され、その出力ノードは記憶ノードNSと接続されている。同様に、インバータ4は、P型MOSトランジスタの負荷トランジスタPT2およびN型MOSトランジスタの駆動トランジスタNT2で構成され、その入力ノードはゲート配線8と接続され、その出力ノード

50



ドは記憶ノード / NS と接続されている。

【 0 0 3 8 】

ビット線 BL および / BL と記憶ノード NS および / NS との間のデータ伝達は、ワード線 WL によって制御されるアクセストランジスタ AT 1 および AT 2 によって実行される。アクセストランジスタ AT 1 , AT 2、負荷トランジスタ PT 1 , PT 2 および駆動トランジスタ NT 1 および NT 2 の接続関係については、図 1 1 に示したのと同様であるので詳細な説明は繰返さない。

【 0 0 3 9 】

すなわち、SRAMメモリセル 1 は、図 1 0 に示した従来のSRAMメモリセル 1 0 0 と比較して、記憶ノード NS およびゲート配線 8 の間に設けられた抵抗成分 1 0 およびゲート配線 6 および記憶ノード / NS の間に設けられた抵抗成分 2 0 をさらに備える点で異なる。

10

【 0 0 4 0 】

抵抗成分 1 0 は、ソフトエラー等の外的要因に起因する記憶ノード NS の電位レベル低下が、インバータ 4 を構成する負荷トランジスタ PT 2 および駆動トランジスタ NT 2 の各ゲートへ伝播する速度を遅らせるために設けられる。同様に、抵抗成分 2 0 は、記憶ノード / NS の電位レベル低下が、インバータ 2 を構成する負荷トランジスタ PT 1 および駆動トランジスタ NT 1 の各ゲートへ伝播する速度を遅らせるために設けられる。

【 0 0 4 1 】

次に、抵抗成分 1 0 および 2 0 の具体的な構成手法について説明する。

20

図 2 は、図 1 に示したSRAMメモリセルの平面レイアウト図である。

【 0 0 4 2 】

図 2 を参照して、実施の形態 1 に従うSRAMメモリセルの平面レイアウトは、図 1 2 に示した従来の技術に従うSRAMメモリセルの平面図と比較して、ゲート配線 GL 1 および GL 2 が、ゲート配線 6 および 8 に置換された点で異なる。その他の部分の平面レイアウトについては、図 1 2 に示したのと同様であるので詳細な説明は繰返さない。すなわち、メモリセル面積の増大は発生しない。

【 0 0 4 3 】

半導体記憶装置全体では、このような平面レイアウトを有するSRAMメモリセルが、X方向およびY方向に沿って連続的に行列配置されて、メモリセルアレイを構成している。言い換えれば、p型ウェル 1 2 1 , 1 2 1 およびn型ウェル 1 2 5 のX方向に沿った外枠線は、Y方向に隣接するSRAMメモリセルとの境界線に達しており、隣接セルとの間で重なり合っている。

30

【 0 0 4 4 】

図 3 は、図 2 に示したゲート配線 6 および 8 の構造を示す断面図である。

図 3 を参照して、ゲート配線 6 , 8 の各々は、半導体基板 3 0 の主面 3 1 上において、ゲート絶縁膜 3 2 の上層に形成される。既に説明したように、半導体基板 3 0 中のn型ウェルもしくはp型ウェルにおいて、MOSトランジスタのソース電極およびドレイン電極に相当する拡散層領域 3 3 a , 3 3 b が形成されている。ゲート絶縁膜 3 2 は、チャンネルを形成するための基板領域とゲート配線との間を絶縁するために、たとえばシリコン酸化膜 ( Si O <sub>2</sub> ) を用いて薄膜状に設けられている。

40

【 0 0 4 5 】

ゲート配線 6 , 8 は、シリコン層 4 0 と、金属層 4 2 との積層構造によって構成される。当該積層構造部分は、サイドウォール ( 絶縁膜 ) 3 5 a , 3 5 b および絶縁膜 4 4 によって、周囲からの絶縁が確保される。シリコン層 4 0 としては、ポリシリコンが代表的に用いられ、金属層 4 2 は、タングステン ( W ) , 銅 ( C u ) , チタン ( T i ) 等を用いて形成することができる。さらに、金属層 4 2 は、図 2 に示したコンタクト 1 2 0 b によって、記憶ノード NS または / NS と接続されている。

【 0 0 4 6 】

このように構成されたゲート配線は、一般的に「ポリメタルゲート」と称される。ポリメ

50

タルゲートは、ゲート配線内に比較的厚い金属層42を形成しているため、配線方向の電気抵抗が小さくなるというメリットを持っている。一方、金属層42とポリシリコン層40との接合面(界面)には、異種接触であるため比較的大きな接触抵抗が発生する。

【0047】

このように、ゲート配線6, 8は、記憶ノードNS, /NSを、ポリシリコン層40および金属層42の界面における接触抵抗を介して負荷トランジスタおよび駆動トランジスタの各ゲートと電氣的に結合することになる。すなわち、ゲート配線内での上述した接触抵抗が、図1に示した抵抗成分10および20として作用する。なお、ポリメタルゲートの詳細については、たとえば特開2001-36072号公報に開示されている。

【0048】

この結果、金属層42と結合された記憶ノードNS, /NSの電位変化は、当該接触抵抗を介して負荷トランジスタPT1, PT2および駆動トランジスタNT1, NT2のゲートへ伝達されるので、その伝播速度を遅くできる。したがって、SRAMメモリセルのソフトエラー耐性が向上する。

【0049】

以上説明したように、実施の形態1に従う構成によれば、ゲート配線の構造をポリメタルゲートに変更することで、メモリセル面積の増大やメモリセル構造の複雑化を招くことなく、ソフトエラー耐性を向上したSRAMメモリセルを得ることが可能である。

【0050】

[実施の形態2]

実施の形態2においては、実施の形態1と同様のSRAMメモリセルの構成におけるゲート配線の他の構成例について説明する。

【0051】

図4は、SRAMメモリセルの実施の形態2に従う平面レイアウト図である。

図4を参照して、実施の形態2に従う平面レイアウトにおいては、図2に示した平面レイアウト図におけるゲート配線6および8に代えて、ゲート配線6および8がそれぞれ配置される点で異なる。図4に示した平面レイアウト図のその他の部分は図2と同様であるので詳細な説明は繰返さない。

【0052】

ゲート配線6および8の各々は、従来の技術に示したゲート配線と同様に、シリコン層(ポリシリコン層)と、当該ポリシリコン層上に形成されたケイ化金属膜(シリサイド膜)とによって構成されたシリサイド構造を有する。このようなシリサイド構造によって、ゲート配線6および8は配線方向の電気抵抗を下げている。

【0053】

すなわち、ゲート配線6, 8, GLa1, GLa2は、同一方向に沿って配置される。また、各トランジスタを形成する拡散層領域は、p型ウェルとn型ウェルの境界線に沿った方向に配置される。

【0054】

さらに、ゲート配線6および8において、記憶ノードNS, /NSと、負荷トランジスタPT1, PT2および駆動トランジスタNT1およびNT2の各ゲート間との間に位置するように、p型ウェル121, 121およびn型ウェル125の間の境界線に沿った方向(すなわちY方向)に沿って非シリサイド領域130が設けられる。非シリサイド領域130においては、ゲート配線6および8において、ポリシリコン層上のシリサイド膜が非形成とされる。

【0055】

さらに、非シリサイド領域130は、負荷トランジスタPT1およびPT2にそれぞれ対応する拡散層領域の間において、p型ウェル121, 121およびn型ウェル125のX方向に沿った境界線、すなわちY方向に隣接するメモリセルとの境界領域に達するように配置される。

【0056】

10

20

30

40

50

このような非シリサイド領域 130 は、シリサイド膜 42# の形成工程におけるマスク形状の調整によって設けることができる。特に、図 4 に示すように非シリサイド領域 130 を単純な矩形状とすれば、使用するマスクの形状も単純な繰り返しパターンとすることができるので、製造工程の複雑化を招くことなくこのような S R A M セルを製造することができる。

【0057】

図 5 は、図 4 に示したゲート配線 6 および 8 の構造を示すための断面図である。図 5 は、図 4 における P - Q 断面図に相当する。

【0058】

図 5 を参照して、ゲート配線 G L a 1 および 8 は、図 12 で説明したのと同様に、ゲート絶縁膜 32 上に設けられた、サイドウォール 35 a , 35 b によって周囲と絶縁されたシリコン層 (ポリシリコン層) 40 および当該ポリシリコン層 40 上に形成された金属膜 (シリサイド膜) 42# によって構成される。シリサイド膜 42# は、コンタクト 120 a および 120 b を介して、他の配線やノード等と電気的に結合される。アクセストランジスタ A T 1 , 負荷トランジスタ P T 2 , 駆動トランジスタ N T 2 のそれぞれの間は、絶縁層 45 によって電気的に切離されている。

10

【0059】

ゲート配線 8 は、このように構成されたシリサイド構造において、金属膜 (シリサイド膜) 42# が除去された非シリサイド領域 130 を部分的に有する。非シリサイド領域 130 は、コンタクト 120 b を介して記憶ノード N S と電気的に結合された領域と、負荷トランジスタ P T 2 および駆動トランジスタ N T 2 の各ゲートの直上領域との間に設けられる。

20

【0060】

すなわち、非シリサイド領域 130 においては、コンタクト 120 を介して伝達された電気信号がポリシリコン層 40 のみによって伝播されるので、この部分の電気抵抗が増大する。この結果、シリサイド膜 42# とポリシリコン層 40 との間の接触抵抗は、図 3 に示したポリメタルゲートにおける金属層 42 およびポリシリコン層 40 との間の接触抵抗と比較して小さいものの、非シリサイド領域 130 によって、図 1 に示された抵抗成分 10 を構成することができる。図示しないが、同様にシリサイド構造を有するゲート配線 6 についても、ゲート配線 8 と同様にして非シリサイド領域 130 が設けられる。

30

【0061】

このような構成としても、実施の形態 1 と同様に、記憶ノード N S , / N S の電位変化が、負荷トランジスタ P T 1 , P T 2 および駆動トランジスタ N T 1 , N T 2 のゲートへ伝播する速度を遅くできるので、メモリセル面積の増大やメモリセル構造の複雑化を招くことなく、ソフトエラー耐性を向上した S R A M メモリセルを得ることが可能である。

【0062】

[実施の形態 2 の変形例]

実施の形態 2 の変形例においては、シリサイド構造のゲート配線を用いた S R A M セルの構成のバリエーションについて説明する。

【0063】

図 6 は、実施の形態 2 の変形例に従う S R A M メモリセル 1 の構成を示す回路図である。

40

【0064】

図 6 を参照して、実施の形態 2 の変形例に従う S R A M メモリセル 1 は、図 1 に示した実施の形態 1 に従う S R A M メモリセル 1 と比較して、抵抗成分 10 および 20 に代えて、抵抗成分 11 および 21 を備える点で異なる。抵抗成分 11 および 21 は、記憶ノード N S , / N S と、各トランジスタのゲート間ではなく、同一のインバータを形成する負荷トランジスタおよび駆動トランジスタのゲート間に形成される。

【0065】

従来技術で説明したように、ソフトエラーは、記憶ノード N S または / N S の電位レベ

50

ル低下によって、負荷トランジスタPT1またはPT2が誤ってターンオンすることで発生する。したがって、図1に示した抵抗成分10および20に代えて、記憶ノードNSおよび/NSと、負荷トランジスタPT1およびPT2の各ゲート間に抵抗成分が存在するように、負荷トランジスタPT1および駆動トランジスタNT1との間および負荷トランジスタPT2および駆動トランジスタNT2との間に抵抗成分11および21をそれぞれ設ける構成としても、同様にソフトエラー耐性を向上することができる。

【0066】

すなわち、記憶ノードNS、/NSの電位レベル低下にตอบสนองして、駆動トランジスタNT1およびNT2がターンオフしても、記憶ノードNSおよび/NSは、電氣的に浮遊状態（ハイインピーダンス状態）となるだけで、負荷トランジスタPT1およびPT2が誤ってターンオンさえしなければ、一時的に低下した記憶ノードの電位レベルが再び上昇することによって、記憶データは初期状態と同様に保持することが可能である。

10

【0067】

その他の回路構成については、実施の形態1に従うSRAMメモリセルと同様であるので詳細な説明は繰返さない。

【0068】

図7は、図6に示したSRAMメモリセルの平面レイアウト図である。図7には、図6に示したSRAMメモリセル1#が、いわゆる「縦長セル」のレイアウトに従って配置されている。

【0069】

図7を参照して、N型MOSトランジスタである駆動トランジスタNT1、NT2およびアクセストランジスタAT1、AT2は、p型ウェル121上に形成され、P型MOSトランジスタである負荷トランジスタPT1、PT2はn型ウェル125上に形成される。すなわち、p型ウェル121およびn型ウェル125において、これらのトランジスタをそれぞれ形成するための拡散層領域が設けられる。具体的には、駆動トランジスタNT1、NT2および負荷トランジスタPT1、PT2の拡散層領域は、p型ウェル121およびn型ウェル125の境界線方向に沿って、すなわちX方向に沿って形成される。これに対して、アクセストランジスタAT1およびAT2に対応する拡散層領域は、これに交差する方向、すなわちY方向に沿って配置される。

20

【0070】

さらに、第1金属配線層、拡散層領域、およびゲート配線層の間においては、図6に示した接続関係を実現するためにコンタクト120およびスルーホール135が適宜設けられている。

30

【0071】

半導体記憶装置全体では、図7に示した平面レイアウトを有するSRAMメモリセルが、X方向およびY方向に沿って連続的に行列配置されて、メモリセルアレイを構成している。言い換えれば、p型ウェル121およびn型ウェル125の外枠線は、X方向およびY方向に隣接するSRAMメモリセルとの境界線に達しており、隣接セルとの間で重なり合っている。

【0072】

記憶ノードNS、/NS、電源ノード110、接地ノード115およびビット線BL、/BLは、図2と同様に第1金属配線層に形成される。さらに、アクセストランジスタAT1およびAT2に対応するゲート配線GLa1およびGLa2は一体的に設けられ、図示しないがコンタクトによってワード線WLと電氣的に結合される。ゲート配線6および8は、Y方向に沿って、実施の形態2と同様にシリサイド構造で設けられる。

40

【0073】

すなわち、ゲート配線6および8は、図5と同様の構造を有し、ポリシリコン層40と、ポリシリコン層40上に形成されるシリサイド膜42#から構成される。さらに、負荷トランジスタPT1およびPT2の各ゲートの直上領域と、記憶ノードNS、/NSへのコンタクト領域の間には、シリサイド膜42#を非形成とする非シリサイド領域130

50

が設けられている。非シリサイド領域 130 は、負荷トランジスタ P T 1 および P T 2 にそれぞれ対応する拡散層領域の間に X 方向に沿って設けられ、すなわち Y 方向の隣接メモリセルとの境界領域に達するように配置される。

【0074】

このような構成とすることによって、非シリサイド領域を有するシリサイド構造のゲート配線 6 および 8 によって、図 6 に示した抵抗成分 11 および 21 を構成することができる。また、図 4 に示した平面レイアウトと同様に非シリサイド領域 130 が単純な矩形形状であるので、単純な繰り返しパターン形状のマスクを用いて非シリサイド領域 130 を設けることができる。

【0075】

この結果、実施の形態 2 に従う構成と同様に、メモリセル面積の増大やメモリセル構造の複雑化を招くことなく、ソフトエラー耐性を向上した S R A M メモリセルを得ることが可能である。

【0076】

[実施の形態 3]

実施の形態 3 においては、実施の形態 1 で説明した、ポリメタルゲート構造のゲート配線の他の構成例について説明する。

【0077】

図 8 は、実施の形態 3 に従う S R A M メモリセルの平面レイアウト図である。

図 8 を図 2 と比較して、実施の形態 3 に従う平面レイアウトにおいては、実施の形態 1 に従う平面レイアウトと比較して、ゲート配線 6 および 8 上に、金属層除去領域 140 が備えられる点で異なる。金属層除去領域 140 は、ゲート配線 6 においては、記憶ノード / N S と結合されたコンタクト領域と、駆動トランジスタ N T 1 および負荷トランジスタ P T 1 の各ゲートとの間に形成され、ゲート配線 8 においては、記憶ノード N S と結合されたコンタクト領域と、駆動トランジスタ N T 2 および負荷トランジスタ P T 2 の各ゲートとの間に形成される。

【0078】

なお、実施の形態 2 の変形例で説明したように、金属層除去領域 140 は、少なくとも記憶ノード N S , / N S と負荷トランジスタ P T 1 , P T 2 のゲート直上領域との間に設ける必要がある。

【0079】

次に、実施の形態 3 に従うゲート配線の構造について説明する。

図 9 は、実施の形態 3 に従うゲート配線の構造を説明する断面図である。図 9 は、図 8 における R - S 断面図である。

【0080】

図 9 を参照して、ゲート配線 G L a 1 および 8 は、ポリシリコン層 40 および金属層 42 の積層構造によるポリメタルゲート構造を有する。ゲート配線 G L a 1 においては、金属層除去領域 140 は特に形成されず、金属層 42 の一部領域はコンタクト 120 a を介して図示しないワード線と接続されている。

【0081】

これに対して、ゲート配線 8 においては、コンタクト 120 b を介して記憶ノード / N S と電気的に結合される領域と、負荷トランジスタ P T 2 のゲート直上領域との間に、金属層 42 が形成されない金属層除去領域 140 が設けられる。金属層除去領域 140 においては、金属層 42 に代えて、非金属層 145 が形成される。非金属層 145 は、絶縁物や高抵抗材料で形成される。たとえば、非金属層をポリシリコンで形成してもよい。図示しないが、ゲート配線 6 についても、ゲート配線 8 と同様の構造で設けられる。

【0082】

このような構成とすることにより、ゲート配線 6 および 8 において、コンタクト 120 b を介して記憶ノード N S , / N S から伝播された信号は、金属層 42 とポリシリコン層 40 との界面を最初に通過して、負荷トランジスタ P T 1 , P T 2 および駆動トランジスタ

10

20

30

40

50

N T 1 , N T 2 のゲートに伝達される。これにより、記憶ノード N S , / N S からの電気信号の伝播経路の電気抵抗を実施の形態 1 に従う構成よりもさらに増加させて、その伝播速度を遅くすることができる。これにより、メモリセル面積の増加、メモリセル構造の複雑化を招くことなく、実施の形態 1 に従う S R A M メモリセルよりもソフトエラー耐性を向上させることができる。

【 0 0 8 3 】

[ 実施の形態 3 の変形例 ]

図 1 0 は、実施の形態 3 の変形例に従うゲート配線の構造を説明する断面図である。

【 0 0 8 4 】

図 1 0 を参照して、実施の形態 3 に従う変形例においては、図 9 に示した断面図と比較して、ゲート配線 8 は、金属層除去領域 1 4 0 が拡大されている。すなわち、ゲート配線 8 の電気抵抗をさらに高めて、ソフトエラー耐性をさらに向上するために、金属層 4 2 は、記憶ノード / N S とのコンタクトを確保するための領域、すなわちコンタクト 1 2 0 b と電氣的に結合される領域のみに形成されている。すなわち、コンタクト 1 2 0 b の直下領域のみポリメタル構造が適用されている。図示しないが、ゲート配線 6 についても、ゲート配線 8 と同様の構造で設けられる。

10

【 0 0 8 5 】

このような構成とすることにより、ゲート配線 6 および 8 における記憶ノード N S , / N S からの電気信号の伝播経路の電気抵抗を実施の形態 3 に従う構成よりもさらに高めて、ソフトエラー耐性をさらに向上させることができる。

20

【 0 0 8 6 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 0 8 7 】

【 発明の効果 】

請求項 1 および 2 に記載の半導体記憶装置は、ワード配線をポリメタル構造とすることによって、第 1 および第 2 の記憶ノードと第 1 および第 3 のトランジスタ（負荷トランジスタ）のゲートとを、金属層とシリコン層との界面での接触抵抗を介して電氣的に結合できる。したがって、ゲート配線の構造を変更するのみで、ソフトエラー等の外的要因に起因する第 1 および第 2 の記憶ノードの電位レベル低下が第 1 および第 3 のトランジスタ（負荷トランジスタ）のゲートへ伝播される速度を遅くすることができる。この結果、メモリセル面積の増大やメモリセル構造の複雑化を招くことなく、メモリセルのソフトエラー耐性を向上させることができる。

30

【 0 0 8 8 】

請求項 3 に記載の半導体記憶装置は、請求項 1 の記載に半導体記憶装置よりも、第 1 および第 2 の記憶ノードと第 1 および第 3 のトランジスタ（負荷トランジスタ）のゲートとの間の電気抵抗を増大できるので、ソフトエラー耐性をさらに向上できる。

【 0 0 8 9 】

請求項 4 に記載の半導体記憶装置は、請求項 3 の記載に半導体記憶装置よりも、第 1 および第 2 の記憶ノードと第 1 および第 3 のトランジスタ（負荷トランジスタ）のゲートとの間の電気抵抗を増大できるので、ソフトエラー耐性をさらに向上できる。

40

【 0 0 9 0 】

請求項 5、6 および 8 に記載の半導体記憶装置は、シリサイド構造のワード配線に非シリサイド領域（非金属膜領域）を設けることによって、第 1 および第 2 の記憶ノードと第 1 および第 3 のトランジスタ（負荷トランジスタ）のゲートとの間の電気抵抗を増大できる。したがって、シリサイド膜（金属膜）形成時のマスクパターン調整のみで、ソフトエラー等の外的要因に起因する第 1 および第 2 の記憶ノードの電位レベル低下が第 1 および第 3 のトランジスタ（負荷トランジスタ）のゲートへ伝播される速度を遅くすることができ

50

る。この結果、メモリセル面積の増大やメモリセル構造の複雑化を招くことなく、メモリセルのソフトエラー耐性を向上させることができる。

【0091】

請求項7, 9および10に記載の半導体記憶装置は、非シリサイド領域を単純な矩形状とすることができるので、単純な繰り返しパターン形状のマスクを用いて非シリサイド領域を設けることができる。この結果、メモリセルの製造工程を容易化できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に従うSRAMメモリセルの構成を示す回路図である。

【図2】図1に示したSRAMメモリセルの平面レイアウト図である。

【図3】図2に示したゲート配線の構造を示す断面図である。

10

【図4】SRAMメモリセルの実施の形態2に従う平面レイアウト図である。

【図5】図4に示したゲート配線の構造を示す断面図である。

【図6】実施の形態2の変形例に従うSRAMメモリセルの構成を示す回路図である。

【図7】図6に示したSRAMメモリセルの平面レイアウト図である。

【図8】実施の形態3に従うSRAMメモリセルの平面レイアウト図である。

【図9】実施の形態3に従うゲート配線の構造を説明する断面図である。

【図10】実施の形態3の変形例に従うゲート配線の構造を説明する断面図である。

【図11】従来技術に従うCMOS構成のSRAMメモリセルの構成を示す回路図である。

【図12】図11に示したSRAMメモリセルの平面レイアウト図である。

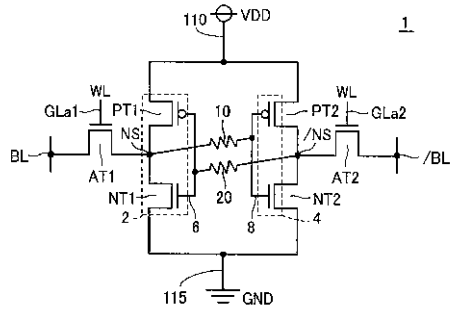
20

【符号の説明】

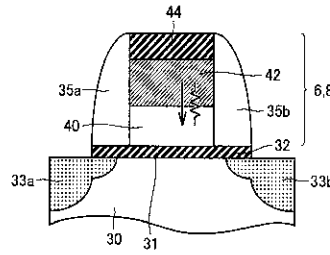
1, 1# メモリセル、2, 4 インバータ、6, 6#, 8, 8#, GLa1, GLa2  
ゲート配線、10, 11, 20, 21 抵抗成分、30 半導体基板、32 ゲート絶縁膜、40 シリコン層(ポリシリコン層)、42 金属層、42# 金属膜(シリサイド膜)、110 電源ノード、115 接地ノード、120a, 120b コンタクト、121, 121# p型ウェル、125 n型ウェル、130 非シリサイド領域、135 スルーホール、140 金属層除去領域、145 非金属層、AT1, AT2 アクセストランジスタ、BL, /BL ビット線、GND 接地電位、NS, /NS 記憶ノード、NT1, NT2 駆動トランジスタ、PT1, PT2 負荷トランジスタ、VDD 電源電位、WL ワード線。

30

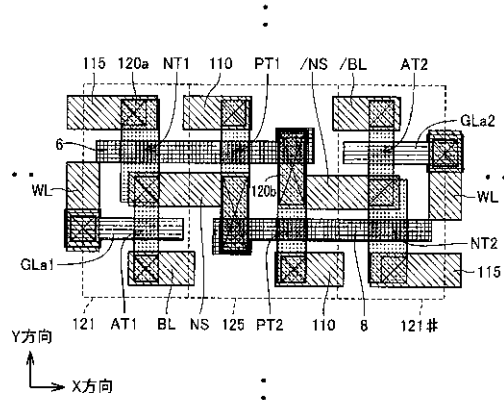
【図1】



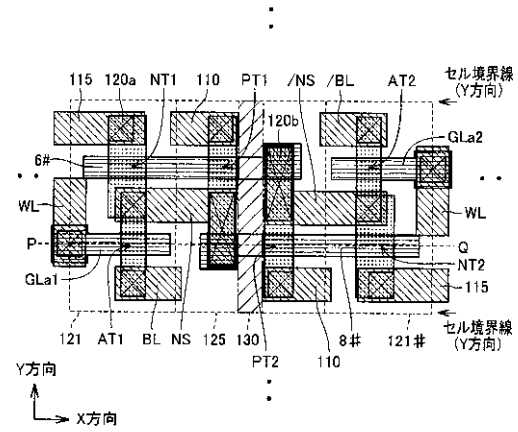
【図3】



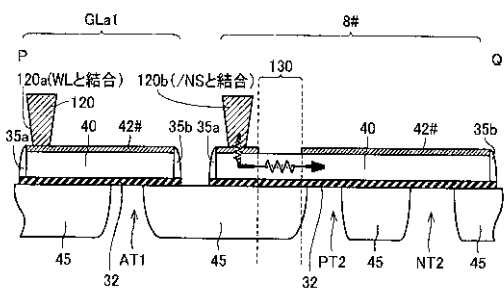
【図2】



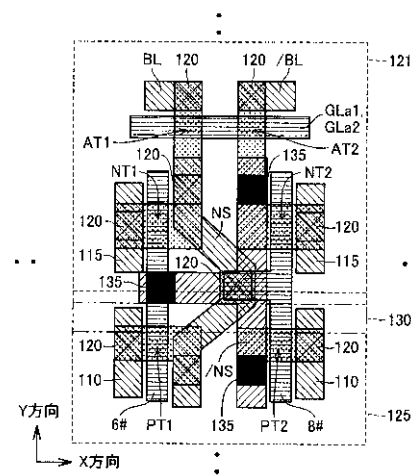
【図4】



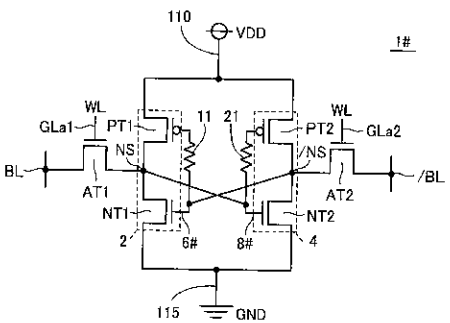
【図5】



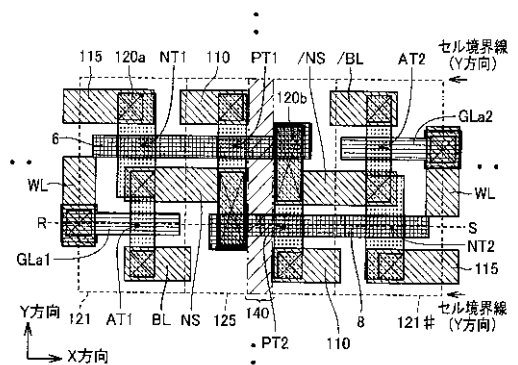
【図7】



【図6】

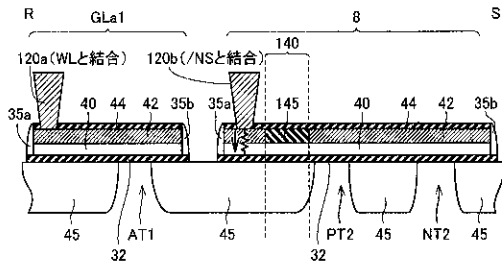


【図8】

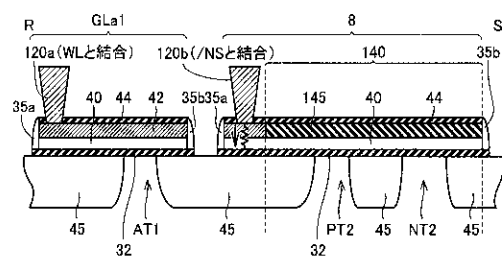




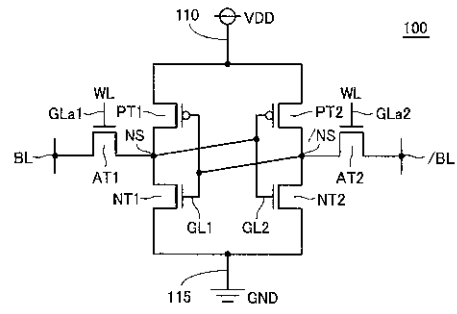
【図9】



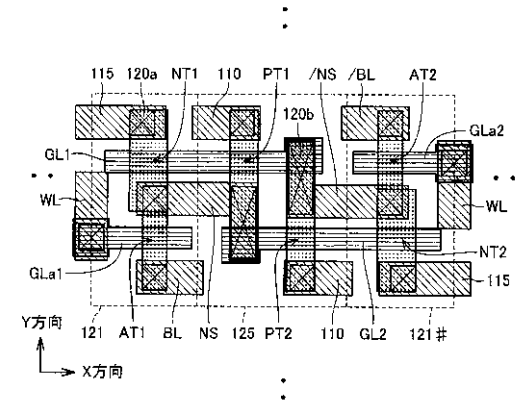
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 吉澤 知晃

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5B015 JJ13 KA06 PP02

5F083 BS15 BS23 BS27 BS47 GA18 JA25 JA35 JA37 JA39 JA53

ZA05