

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-192833

(P2008-192833A)

(43) 公開日 平成20年8月21日(2008.8.21)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/60 (2006.01)	H O 1 L 21/60 3 1 1 Q	5 F O 4 4
H O 1 L 23/12 (2006.01)	H O 1 L 23/12 F	
	H O 1 L 23/12 5 O 1 B	

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願2007-25861 (P2007-25861)
 (22) 出願日 平成19年2月5日(2007.2.5)

(71) 出願人 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 小澤 隆史
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 (72) 発明者 佐藤 聖二
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 (72) 発明者 中沢 昌夫
 長野県長野市小島田町80番地 新光電気
 工業株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

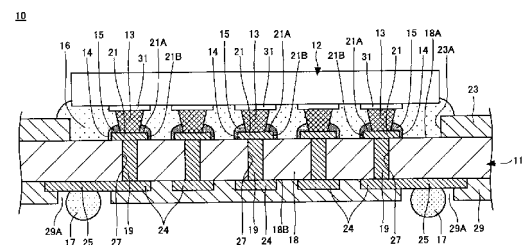
(57) 【要約】 (修正有)

【課題】配線基板の接続パッドに設けられたはんだと、半導体チップの電極パッドに設けられたAuパンプとを接合した半導体装置の製造方法に関し、はんだに含まれるSnがAuパンプを介して、半導体チップの電極パッドに拡散することを防止できると共に、配線基板と半導体チップと間の電氣的な接続信頼性を向上させることのできる半導体装置の製造方法を提供する。

【解決手段】半導体チップ12の電極パッド31に形成されたAuパンプ13と対向する配線基板11の接続パッド21の接合面21A及び側面21Bに、めっき法により、はんだ14を形成し、次いで、このはんだ14を溶融させて、接続パッド21の接合面21Aに凸形状とされたはんだ溜り15を形成し、その後、はんだ溜りが形成された接続パッド21の接合面21AにAuパンプ13を載置して、はんだ溜り15とAuパンプ13とを接合させた。

【選択図】図8

本発明の実施の形態に係る半導体装置の断面図



【特許請求の範囲】

【請求項 1】

複数の電極パッドを有した半導体チップと、前記電極パッドと対向する接続パッドを有した配線基板と、を備え、

前記複数の電極パッドに設けられたAuパンプと、前記接続パッドに設けられたはんだとを接合させることにより、前記半導体チップと前記配線基板とをフリップチップ接続する半導体装置の製造方法であって、

めっき法により、前記Auパンプと対向する前記接続パッドの接続面と、前記接続パッドの側面とに前記はんだを形成するはんだ形成工程と、

前記はんだを溶融させて、前記接続パッドの接続面に凸形状とされたはんだ溜りを形成するはんだ溜り形成工程と、

前記はんだ溜りが形成された前記接続面に前記Auパンプを載置することにより、前記はんだ溜りと前記Auパンプとを接合させる接合工程と、を含むことを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記はんだ形成工程では、前記はんだを電解めっき法により形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記はんだ溜り形成工程では、前記はんだを該はんだの融点以上で、かつ前記半導体チップの耐熱温度よりも低い温度で加熱することにより、前記はんだを溶融させることを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

20

【請求項 4】

前記接合工程後に、前記半導体チップと前記配線基板との隙間を充填するようにアンダーフィル樹脂を形成するアンダーフィル樹脂形成工程を設けたことを特徴とする請求項 1 ないし 3 のうち、いずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に係り、特に配線基板の接続パッドに設けられたはんだと、半導体チップの電極パッドに設けられたAuパンプとを接合させることにより、半導体チップと配線基板とをフリップチップ接続した半導体装置の製造方法に関する。

30

【背景技術】

【0002】

従来の半導体装置には、配線基板の接続パッドに設けられたはんだと、半導体チップの電極パッドに設けられたAuパンプとを接合させることにより、半導体チップと配線基板とをフリップチップ接続した半導体装置（図 1 参照）がある。

【0003】

図 1 は、従来の半導体装置の断面図である。

【0004】

図 1 を参照するに、従来の半導体装置 100 は、配線基板 101 と、半導体チップ 102 と、Auパンプ 103 と、はんだ 104 と、アンダーフィル樹脂 105 と、はんだボール 115 とを有する。

40

【0005】

配線基板 101 は、基板本体 106 と、貫通ビア 107 と、接続パッド 108 と、ソルダーレジスト 109、114 と、配線 110 と、パッド 112 とを有する。

【0006】

基板本体 106 は、コア基板である。基板本体 106 としては、例えば、ガラスエポキシ樹脂や、テープ状の樹脂等を用いることができる。

【0007】

貫通ビア 107 は、基板本体 106 を貫通するように設けられている。接続パッド 10

50

8は、貫通ビア107の形成位置に対応する部分の基板本体106の上面106Aに設けられている。接続パッド108は、貫通ビア107と接続されている。

【0008】

ソルダーレジスト109は、接続パッド108を露出するように基板本体106の上面106Aに設けられている。配線110は、貫通ビア107の形成位置に対応する部分の基板本体106の下面106Bに設けられている。配線110は、貫通ビア107と接続されている。これにより、配線110は、貫通ビア107を介して、接続パッド108と電氣的に接続されている。

【0009】

パッド112は、基板本体106の下面106Bに設けられている。パッド112は、配線110と接続されている。ソルダーレジスト114は、パッド112を露出するように基板本体106の下面106Bに設けられている。

10

【0010】

半導体チップ102は、複数の電極パッド116を有する。複数の電極パッド116は、半導体チップ102に設けられた集積回路と電氣的に接続されている。電極パッド116の材料としては、例えば、Auを用いることができる。

【0011】

Auパンプ103は、複数の電極パッド116に設けられている。Auパンプ103は、接続パッド108と接触している。これにより、半導体チップ102は、Auパンプ103を介して、接続パッド108と電氣的に接続される。

20

【0012】

はんだ104は、接続パッド108に設けられている。はんだ104は、接続パッド108上にAuパンプ103を固定するためのものである。はんだ104としては、例えば、無電解めっき法により形成されたSnはんだやSn系合金はんだを用いることができる。無電解めっき法に限らず、めっき法により形成されたはんだ104は、微細なボイドを多く含んでいる。はんだ104として、Snはんだ又はSn系合金はんだを用いた場合の厚さは、例えば、1 μ m以下にするとよい。このように、はんだ104の厚さを薄くすることにより、はんだボール115を形成する際の熱処理時（加熱温度は230～260

程度）や半導体装置100の高温検査時に、微細なボイドを有したはんだ104に含まれるSnがAuパンプ103を介して、電極パッド116に拡散して、電極パッド116とAuパンプ103との間の導通が取れなくなることを防止することができる。

30

【0013】

アンダーフィル樹脂105は、半導体チップ102と配線基板101との隙間を充填するように設けられている。アンダーフィル樹脂105は、半導体チップ102と配線基板101との間の接続強度を補強するための樹脂である。

【0014】

はんだボール115は、配線基板101のパッド112に設けられている。はんだボール115はマザーボード等の実装基板（図示せず）と半導体装置100とを電氣的に接続するための外部接続端子である。

【0015】

図2～図6は、従来の半導体装置の製造工程を示す図である。

40

【0016】

図2～図6を参照して、従来の半導体装置100の製造方法について説明する。始めに、図2に示す工程では、周知の手法により、配線基板101を形成する。次いで、図3に示す工程では、無電解めっき法により、少なくとも接続パッド108の上面にはんだ104を形成する。はんだ104の厚さは、1 μ m以下とする。はんだ104としては、例えば、Snはんだ又はSn系合金はんだを用いる。

【0017】

次いで、図4に示す工程では、半導体チップ102に設けられた複数の電極パッド116にAuパンプ103を形成する。次いで、図5に示す工程では、高い圧力を印加するこ

50

とにより、Auバンプ103と接続パッド108と接触させ、その後、はんだ104をリフローさせることにより、接続パッド108とAuバンプ103とを電氣的に接続する。

【0018】

次いで、図6に示す工程では、毛細管現象により、半導体チップ102と配線基板101との隙間を充填するように、アンダーフィル樹脂105を形成する。

【0019】

次いで、図7に示す工程では、図6に示す構造体を加熱した状態で、配線基板101のパッド112にはんだボール115を形成する。これにより、半導体チップ102と配線基板101とがフリップチップ接続された半導体装置100が製造される（例えば、特許文献1参照。）。

【特許文献1】特開平8-148496号公報

【発明の開示】

【発明が解決しようとする課題】

【0020】

しかしながら、従来の半導体装置100では、接続パッド108上に厚さの薄い（1μm以下）はんだ104を形成し、このはんだ104とAuバンプ103とを接合させていたため、リフローされたはんだ104の温度が室温まで低下した際、配線基板101と半導体チップ102との間の熱膨張係数の差により、はんだ104とAuバンプ103との接合部分が破損して、配線基板101と半導体チップ102との間における電氣的な接続信頼性が低下してしまうという問題があった。

【0021】

また、基板本体106の材質が軟らかい場合（例えば、テープ状の樹脂）や電極パッド116の構造が脆弱な場合では、高い圧力を印加した状態でAuバンプ103を接続パッド108に接触させることが困難であるため、配線基板101と半導体チップ102との間における電氣的な接続信頼性が低下してしまうという問題があった。

【0022】

さらに、Auバンプ103間に高さばらつきが存在する場合や配線基板101に反りが発生した場合、はんだ104とAuバンプ103とが接触しなくなることにより、Auバンプ103と接続パッド108とを電氣的に接続することができないという問題があった。

【0023】

そこで、本発明は、上述した問題点に鑑みなされたものであり、はんだに含まれるSnがAuバンプを介して、半導体チップの電極パッドに拡散することを防止できると共に、配線基板と半導体チップと間の電氣的な接続信頼性を向上させることのできる半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0024】

本発明の一観点によれば、複数の電極パッドを有した半導体チップと、前記電極パッドと対向する接続パッドを有した配線基板と、を備え、前記複数の電極パッドに設けられたAuバンプと、前記接続パッドに設けられたはんだとを接合させることにより、前記半導体チップと前記配線基板とをフリップチップ接続する半導体装置の製造方法であって、めっき法により、前記Auバンプと対向する前記接続パッドの接続面と、前記接続パッドの側面とに前記はんだを形成するはんだ形成工程と、前記はんだを溶融させて、前記接続パッドの接続面に凸形状とされたはんだ溜りを形成するはんだ溜り形成工程と、前記はんだ溜りが形成された前記接続面に前記Auバンプを載置することにより、前記はんだ溜りと前記Auバンプとを接合させる接合工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0025】

本発明によれば、はんだを溶融することにより、表面張力で接続パッドの側面に位置する部分のはんだを接続パッドの接続面に移動させて、めっき法により形成されたはんだよ

10

20

30

40

50

りも厚さの厚いはんだ溜りを接続パッドの接続面に形成することが可能となる。これにより、Auバンプに高さばらつきが存在する場合や配線基板に反りが発生した場合でも、Auバンプと接続パッドとを接合させることが可能となるので、配線基板と半導体チップと間の電氣的な接続信頼性を向上させることができる。

【0026】

また、Auバンプと接続パッドとを接合する前にはんだを溶融させることにより、めっき法により形成されたはんだに存在する微細なボイドをはんだ（はんだ溜りも含む）から消失させて、はんだ（はんだ溜りも含む）を緻密な構造にすることが可能となるため、例えば、配線基板に半導体装置の外部接続端子となるはんだボールを形成する際の熱処理工程や半導体装置の高温検査工程において、はんだ溜りに含まれるSnがAuバンプを介して、半導体チップに設けられた電極パッドに拡散することを防止できる。

10

【0027】

また、前記はんだ形成工程では、前記はんだを電解めっき法により形成してもよい。これにより、無電解めっき法により形成されたはんだよりも厚さの厚いはんだを接続パッドの接続面及び側面に形成することが可能となるので、はんだ溜りの高さを高くすることができる。

【0028】

また、前記はんだ溜り形成工程では、前記はんだを該はんだの融点以上で、かつ前記半導体チップの耐熱温度よりも低い温度で加熱することにより、前記はんだを溶融させてもよい。これにより、はんだを溶融させる際の熱により、半導体チップが破損することを防止できる。

20

【0029】

さらに、前記接合工程後に、前記半導体チップと前記配線基板との隙間を充填するようにアンダーフィル樹脂を形成するアンダーフィル樹脂形成工程を設けてもよい。これにより、半導体チップと配線基板との間の接続強度を補強することができる。

【発明の効果】

【0030】

本発明によれば、はんだに含まれるSnがAuバンプを介して、半導体チップの電極パッドに拡散することを防止できると共に、配線基板と半導体チップと間の電氣的な接続信頼性を向上させることができる。

30

【発明を実施するための最良の形態】

【0031】

次に、図面に基づいて本発明の実施の形態について説明する。

【0032】

（実施の形態）

図8は、本発明の実施の形態に係る半導体装置の断面図である。

【0033】

図8を参照するに、本実施の形態の半導体装置10は、配線基板11と、半導体チップ12と、Auバンプ13と、はんだ14と、はんだ溜り15と、アンダーフィル樹脂16と、はんだボール17とを有する。

40

【0034】

配線基板11は、基板本体18と、貫通ビア19と、接続パッド21と、ソルダーレジスト23、29と、配線24と、パッド25とを有する。

【0035】

基板本体18は、コア基板である。基板本体18には、複数の貫通孔27が形成されている。基板本体18としては、例えば、板状の樹脂基板やテープ状の樹脂基板等を用いることができる。

【0036】

貫通ビア19は、複数の貫通孔27に設けられている。貫通ビア19は、その一方の端部が接続パッド21と接続されており、他方の端部が配線24と接続されている。貫通ビ

50

ア 19 の材料としては、例えば、Cu を用いることができる。

【0037】

接続パッド 21 は、貫通ビア 19 の形成位置に対応する部分の基板本体 18 の上面 18A に設けられている。接続パッド 21 は、貫通ビア 19 の上端部と接続されている。接続パッド 21 は、Au バンプ 13 と対向する接続面 21A を有する。接続パッド 21 の材料としては、例えば、Cu を用いることができる。

【0038】

ソルダーレジスト 23 は、基板本体 18 の上面 18A に設けられている。ソルダーレジスト 23 は、複数の接続パッド 21 を露出する開口部 23A を有する。

【0039】

配線 24 は、貫通ビア 19 の形成位置に対応する部分の基板本体 18 の下面 18B に設けられている。配線 24 は、貫通ビア 19 の下端部と接続されている。配線 24 の材料としては、例えば、Cu を用いることができる。

【0040】

パッド 25 は、基板本体 18 の下面 18B に設けられている。パッド 25 は、配線 24 と接続されている。パッド 25 は、外部接続端子であるはんだボール 17 を配設するためのものである。パッド 25 の材料としては、例えば、Cu を用いることができる。

【0041】

ソルダーレジスト 29 は、配線 24 を覆うように基板本体 18 の下面 18B に設けられている。ソルダーレジスト 29 は、パッド 25 を露出する開口部 29A を有する。

【0042】

半導体チップ 12 は、半導体基板（図示せず）と、半導体基板に形成された集積回路（図示せず）と、集積回路と電氣的に接続された複数の電極パッド 31 を有する。

【0043】

Au バンプ 13 は、複数の電極パッド 31 に設けられている。Au バンプ 13 は、その一方の端部が接続パッド 21 の接続面 21A と接触している。Au バンプ 13 は、半導体チップ 12 と配線基板 11 とを電氣的に接続するためのバンプである。Au バンプ 13 の高さは、例えば、30 μm とすることができる。

【0044】

はんだ 14 は、接続パッド 21 の側面 21B に設けられている。はんだ 14 は、めっき法により接続パッド 21 の接続面 21A 及び側面 21B にはんだを形成（後述する図 10 に示す工程参照）し、その後、このはんだを溶融させた際（後述する図 12 に示す工程参照）、接続パッド 21 の接続面 21A に移動しないで、接続パッド 21 の側面 21B に残ったはんだである。はんだ 14 としては、例えば、Sn はんだ、Sn - Ag はんだ、Sn - Cu はんだ、Sn - Ag - Cu はんだ等を用いることができる。

【0045】

はんだ溜り 15 は、接続パッド 21 の接続面 21A に設けられている。はんだ溜り 15 は、凸形状とされている。はんだ溜り 15 は、Au バンプ 13 と接合されている。これにより、半導体チップ 12 と配線基板 11 とはフリップチップ接続されている。はんだ溜り 15 は、めっき法により接続パッド 21 の接続面 21A に形成されたはんだと、接続パッド 21 の側面 21B に設けられた溶融されたはんだのうち、表面張力により接続パッド 21 の接続面 21 に移動したはんだとにより構成されている。はんだ溜り 15 を構成するはんだとしては、はんだ 14 を構成するはんだと同一のはんだを用いることができる。はんだ溜り 15 の厚さ（Au バンプ 13 が接合される部分のはんだ溜り 15 の厚さ）は、例えば、3 μm ~ 9 μm とすることができる。

【0046】

このように、Au バンプと対向する接続パッド 21 の接続面 21A に従来のはんだ 104 よりも厚さの厚いはんだ溜り 15 を設けることにより、Au バンプ 13 に高さばらつきが存在した場合や配線基板 11 に反りが発生した場合でも、Au バンプ 13 と接続パッド 21 とを接合させることが可能となるため、配線基板 11 と半導体チップ 12 と間の電気

10

20

30

40

50

的な接続信頼性を向上させることができる。

【0047】

アンダーフィル樹脂16は、半導体チップ12と配線基板11との間に形成された隙間を充填するように設けられている。アンダーフィル樹脂16は、半導体チップ12と配線基板11との間の接続強度（特に、はんだ溜り15とAuバンプ13の接合部分の強度）を補強するためのものである。

【0048】

はんだボール17は、配線基板11のパッド25に設けられている。はんだボール17はマザーボード等の実装基板（図示せず）と半導体装置10とを電氣的に接続するための外部接続端子である。

10

【0049】

本実施の形態の半導体装置によれば、Auバンプと対向する接続パッド21の接続面21Aに従来のはんだ104よりも厚さの厚いはんだ溜り15を設けることにより、Auバンプ13に高さばらつきが存在した場合や配線基板11に反りが発生した場合でも、Auバンプ13と接続パッド21とを接合させることが可能となるため、配線基板11と半導体チップ12と間の電氣的な接続信頼性を向上させることができる。

【0050】

図9～図15は、本発明の実施の形態に係る半導体装置の製造工程を示す図である。図9～図15において、本実施の形態の半導体装置10と同一構成部分には同一符号を付す。

20

【0051】

図9～図15を参照して、本実施の形態の半導体装置10の製造方法について説明する。始めに、図9に示す工程では、周知の手法により、配線基板11を形成する。

【0052】

次いで、図10に示す工程では、めっき法により、接続パッド21の接続面21A及び側面12Bにはんだ14を形成する（はんだ形成工程）。具体的には、はんだ14は、電解めっき法により形成するとよい。このように、電解めっき法を用いてはんだ14を形成することにより、無電解めっき法を用いた場合と比較して、はんだ14の厚さM1を厚くすることが可能となるため、後述する図12に示す工程において形成されるはんだ溜り15の厚さを厚くすることができる。

30

【0053】

接続パッド21の接続面21A及び側面12Bに形成するはんだ14の厚さM1は、例えば、 $1\mu\text{m} \sim 3\mu\text{m}$ とすることができる。また、はんだ14としては、例えば、Snはんだ又はSn系合金はんだを用いることができる。Sn系合金はんだとしては、例えば、Sn-Agはんだ、Sn-Cuはんだ、Sn-Ag-Cuはんだ等を用いることができる。

【0054】

次いで、図11に示す工程では、半導体チップ12に設けられた複数の電極パッド31にAuバンプ13を形成する。Auバンプ13は、例えば、電解めっき法やAuワイヤにより形成することができる。

40

【0055】

次いで、図12に示す工程では、図9に示す構造体をはんだ14の融点以上に加熱して、はんだ14を溶融（リメルト）させる。これにより、接続パッド21の側面12Bに形成されたはんだ14の一部が表面張力により接続パッド21の接続面21Aに集まって、接続パッド21の接続面21Aに凸形状とされたはんだ溜り15が形成される（はんだ溜り形成工程）。はんだ14を溶融させる際の温度は、はんだ14の融点以上で、かつ半導体チップ12の耐熱温度（例えば、300）よりも低い温度にするとよい。このような温度にすることにより、はんだ14を溶融させる際の熱により、半導体チップ12が破損することを防止できる。

【0056】

50

はんだ溜り 15 の厚さ M2 は、例えば、 $3\ \mu\text{m} \sim 9\ \mu\text{m}$ にするとよい。例えば、はんだ 14 の厚さ M1 が $3\ \mu\text{m}$ の場合、はんだ 14 を溶融させることにより、はんだ溜り 15 の厚さ M2 は、 $8\ \mu\text{m}$ 程度の厚さになる。

【0057】

このように、従来の接続パッド 108 上に形成されたはんだ 104 よりも厚さの厚いはんだ溜り 15 を接続面 21A に形成することにより、Au パンプ 13 に高さばらつきが存在した場合や配線基板 11 に反りが発生した場合でも、はんだ溜り 15 と Au パンプ 13 とを接合させることが可能となるので、配線基板 11 と半導体チップ 12 と間の電氣的な接続信頼性を向上させることができる。

【0058】

また、Au パンプ 13 とはんだ溜り 15 とを接合させる前に、はんだ 14 を溶融させることにより、めっき法により形成されたはんだ 14 に存在する微細なボイドをはんだ 14 (接続パッド 21 の接続面 21A に設けられたはんだ) 及びはんだ溜り 15 から消失させることが可能となる。これにより、はんだ 14 (接続パッド 21 の接続面 21A に設けられたはんだ) 及びはんだ溜り 15 が緻密な構造となるため、例えば、配線基板 11 のパッド 25 にはんだボール 17 を形成する際の熱処理工程 (図 15 参照) や半導体装置 10 の高温検査工程において、はんだ溜り 15 に含まれる Sn が Au パンプを介して、電極パッド 31 に拡散することを防止できる。

【0059】

次いで、図 13 に示す工程では、図 12 に示す構造体を洗浄 (例えば、純水による洗浄) し、その後、はんだ溜り 15 が形成された接続パッド 21 の接続面 21A に Au パンプ 13 を載置して、はんだ溜り 15 と Au パンプ 13 とを接合させる (接合工程)。

【0060】

このとき、Au パンプ 13 に高さばらつきが存在する場合や配線基板 11 に反りが存在した場合でも、はんだ溜り 15 の厚さが従来のはんだ 104 よりも厚いため、Au パンプ 13 とはんだ溜り 15 とを接合させることが可能となる。これにより、配線基板 11 と半導体チップ 12 と間の電氣的な接続信頼性を向上させることができる。

【0061】

次いで、図 14 に示す工程では、毛細管現象により、半導体チップ 12 と配線基板 11 との隙間を充填するように、アンダーフィル樹脂 16 を形成する (アンダーフィル樹脂形成工程)。このように、半導体チップ 12 と配線基板 11 との隙間を充填するように、アンダーフィル樹脂 16 を形成することにより、半導体チップ 12 と配線基板 11 との間の接続強度 (特に、はんだ溜り 15 と Au パンプ 13 の接合部分の強度) を補強することができる。

【0062】

次いで、図 15 に示す工程では、図 14 に示す構造体を加熱した状態で、パッド 25 にはんだボール 17 を形成する。これにより、半導体チップ 12 と配線基板 11 とがフリップチップ接続された半導体装置 10 が製造される。なお、図 14 に示す構造体に設けられたはんだ 14 及びはんだ溜り 15 には、微細なボイドが存在しないため、図 15 に示す工程における加熱処理により、図 14 に示す構造体に設けられたはんだ 14 及びはんだ溜り 15 に含まれる Sn が、Au パンプ 13 を介して、半導体チップ 12 の電極パッド 31 に拡散することはない。

【0063】

本実施の形態の半導体装置の製造方法によれば、従来の接続パッド 108 上に形成されたはんだ 104 よりも厚さの厚いはんだ溜り 15 を接続面 21A に形成することにより、Au パンプ 13 に高さばらつきが存在した場合や配線基板 11 に反りが発生した場合でも、はんだ溜り 15 と Au パンプ 13 とを接合させることが可能となるので、配線基板 11 と半導体チップ 12 と間の電氣的な接続信頼性を向上させることができる。

【0064】

また、Au パンプ 13 とはんだ溜り 15 とを接合させる前に、はんだ 14 を溶融させる

10

20

30

40

50

ことにより、めっき法により形成されたはんだ 14 に存在する微細なボイドを接続パッド 21 の接続面 21A に設けられたはんだ 14 及びはんだ溜り 15 から消失させることが可能となる。これにより、接続パッド 21 の接続面 21A に設けられたはんだ 14 及びはんだ溜り 15 が緻密な構造となるため、例えば、配線基板 11 のパッド 25 にはんだボール 17 を形成する際の熱処理工程（図 15 参照）や半導体装置 10 の高温検査工程において、はんだ溜り 15 に含まれる Sn が Au バンプを介して、電極パッド 31 に拡散することを防止できる。

【0065】

なお、本実施の形態では、外部接続端子として機能するはんだボール 17 を半導体装置 10 に設けた場合を例に挙げて説明したが、本実施の形態は、はんだボール 17 を備えていない半導体装置にも適用可能である。

10

【0066】

以上、本発明の好ましい実施の形態について詳述したが、本発明はかかる特定の実施の形態に限定されるものではなく、特許請求の範囲内に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【産業上の利用可能性】

【0067】

本発明は、配線基板の接続パッドに設けられたはんだと、半導体チップの電極パッドに設けられた Au バンプとを接合させることにより、半導体チップと配線基板とをフリップチップ接続した半導体装置の製造方法に適用できる。

20

【図面の簡単な説明】

【0068】

【図 1】従来の半導体装置の断面図である。

【図 2】従来の半導体装置の製造工程を示す図（その 1）である。

【図 3】従来の半導体装置の製造工程を示す図（その 2）である。

【図 4】従来の半導体装置の製造工程を示す図（その 3）である。

【図 5】従来の半導体装置の製造工程を示す図（その 4）である。

【図 6】従来の半導体装置の製造工程を示す図（その 5）である。

【図 7】従来の半導体装置の製造工程を示す図（その 6）である。

【図 8】本発明の実施の形態に係る半導体装置の断面図である。

30

【図 9】本発明の実施の形態に係る半導体装置の製造工程を示す図（その 1）である。

【図 10】本発明の実施の形態に係る半導体装置の製造工程を示す図（その 2）である。

【図 11】本発明の実施の形態に係る半導体装置の製造工程を示す図（その 3）である。

【図 12】本発明の実施の形態に係る半導体装置の製造工程を示す図（その 4）である。

【図 13】本発明の実施の形態に係る半導体装置の製造工程を示す図（その 5）である。

【図 14】本発明の実施の形態に係る半導体装置の製造工程を示す図（その 6）である。

【図 15】本発明の実施の形態に係る半導体装置の製造工程を示す図（その 7）である。

【符号の説明】

【0069】

10 半導体装置

40

11 配線基板

12 半導体チップ

13 Au バンプ

14 はんだ

15 はんだ溜り

16 アンダーフィル樹脂

17 はんだボール

18 基板本体

18A 上面

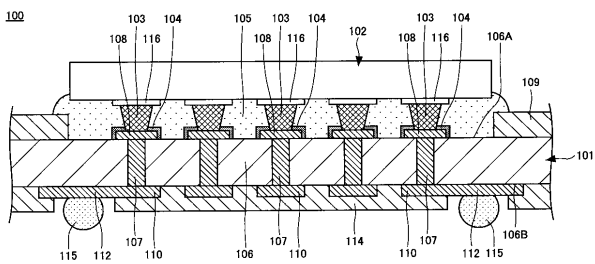
18B 下面

50

- 1 9 貫通ビア
- 2 1 接続パッド
- 2 1 A 接続面
- 2 1 B 側面
- 2 3 , 2 9 ソルダレジスト
- 2 3 A , 2 9 A 開口部
- 2 4 配線
- 2 5 パッド
- 2 7 貫通孔
- 3 1 電極パッド
- M 1 , M 2 厚さ

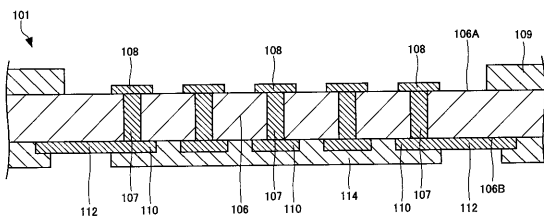
【 図 1 】

従来の半導体装置の断面図



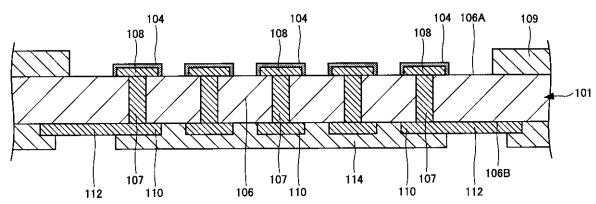
【 図 2 】

従来の半導体装置の製造工程を示す図(その1)



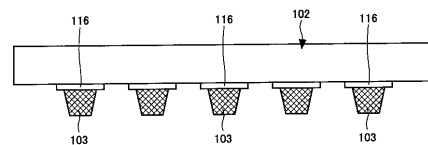
【 図 3 】

従来の半導体装置の製造工程を示す図(その2)



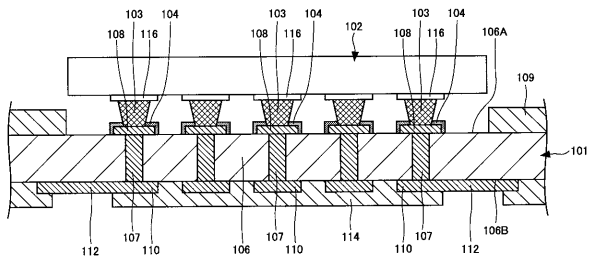
【 図 4 】

従来の半導体装置の製造工程を示す図(その3)



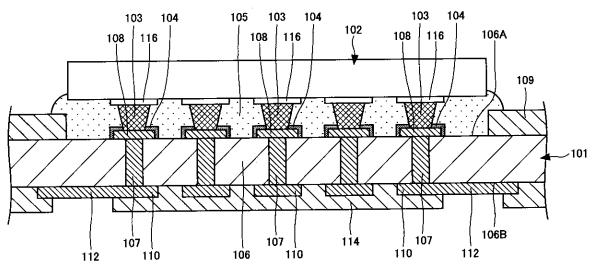
【 図 5 】

従来の半導体装置の製造工程を示す図(その4)



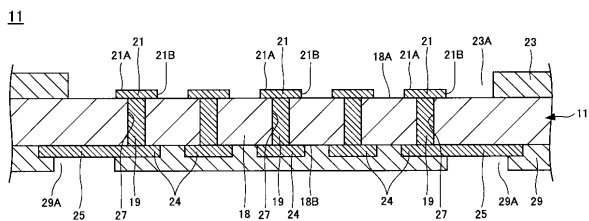
【 図 6 】

従来の半導体装置の製造工程を示す図(その5)



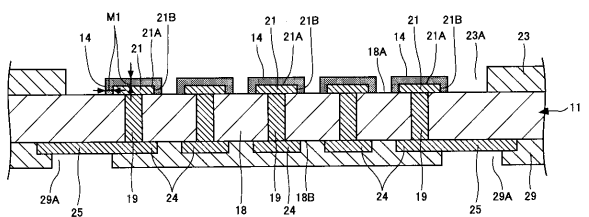
【 図 9 】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その1)



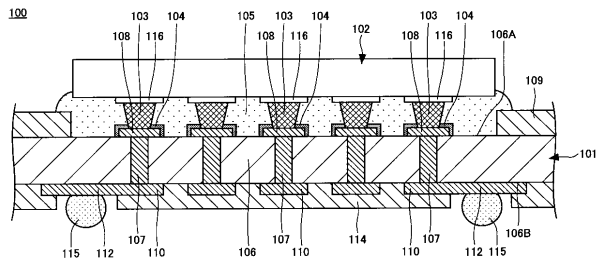
【 図 1 0 】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その2)



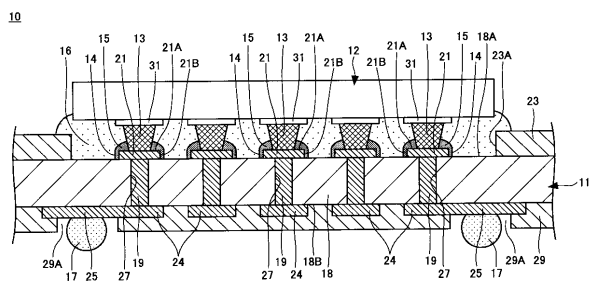
【圖 7】

従来の半導体装置の製造工程を示す図(その6)



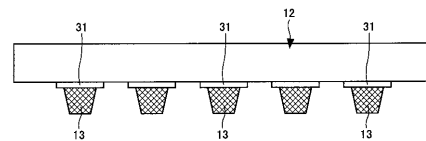
【 図 8 】

本発明の実施の形態に係る半導体装置の断面図



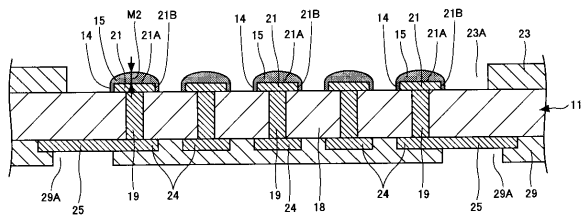
【 ㄨ 1 1 】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その3)



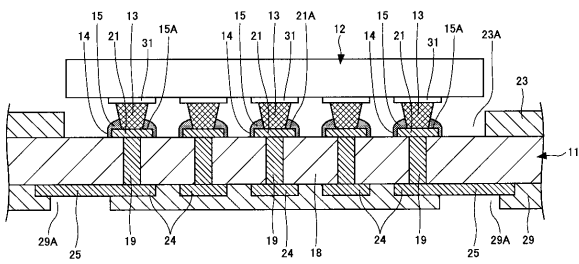
【 図 1 2 】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その4)



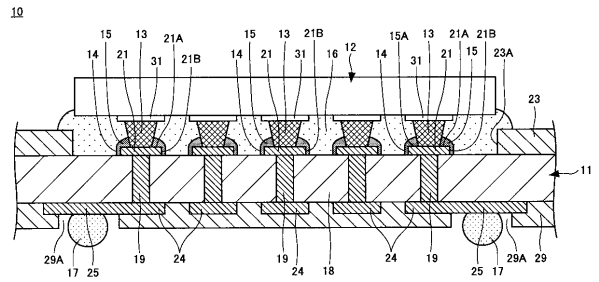
【図 1 3】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その5)



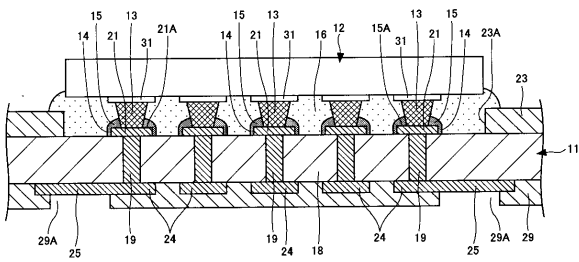
【図 1 5】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その7)



【図 1 4】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その6)



フロントページの続き

- (72)発明者 今井 三喜
長野県長野市小島田町 8 0 番地 新光電気工業株式会社内
- (72)発明者 中村 正寿
長野県長野市小島田町 8 0 番地 新光電気工業株式会社内
- (72)発明者 今藤 桂
長野県長野市小島田町 8 0 番地 新光電気工業株式会社内
- F ターム(参考) 5F044 KK02 KK14 KK19 LL01 QQ03 RR16