

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2019年6月13日(13.06.2019)



(10) 国際公開番号

WO 2019/111113 A1

(51) 国際特許分類:

H01L 21/8234 (2006.01) H01L 27/108 (2006.01)  
H01L 21/336 (2006.01) H01L 27/1156 (2017.01)  
H01L 21/822 (2006.01) H01L 29/78 (2006.01)  
H01L 21/8242 (2006.01) H01L 29/786 (2006.01)  
H01L 27/04 (2006.01) H01L 29/788 (2006.01)  
H01L 27/06 (2006.01) H01L 29/792 (2006.01)  
H01L 27/088 (2006.01)

(21) 国際出願番号: PCT/IB2018/059489

(22) 国際出願日: 2018年11月30日(30.11.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2017-234257 2017年12月6日(06.12.2017) JP

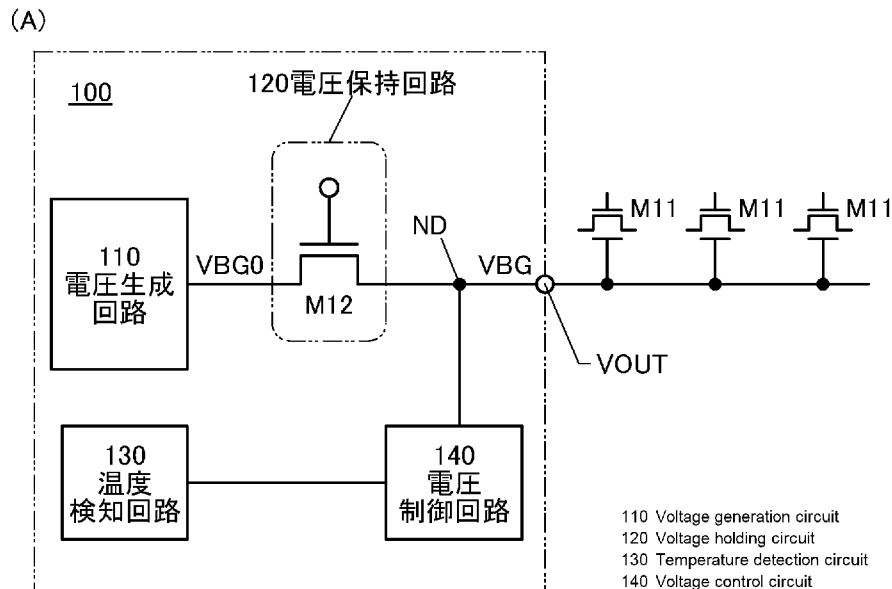
(71) 出願人: 株式会社半導体エネルギー研究所  
(SEMICONDUCTOR ENERGY LABORATORY  
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木  
市長谷398 Kanagawa (JP).

(72) 発明者: 大貫達也(ONUKE, Tatsuya); 〒2430036  
神奈川県厚木市長谷398 株式会社半導体  
エネルギー研究所内 Kanagawa (JP). 松崎隆徳  
(MATSUZAKI, Takanori); 〒2430036 神奈川県  
厚木市長谷398 株式会社半導体エネルギー  
研究所内 Kanagawa (JP). 熱海知昭(ATSUMI,  
Tomoaki); 〒2430036 神奈川県厚木市長谷39  
8 株式会社半導体エネルギー研究所内 Kanagawa  
(JP). 石津貴彦(ISHIZU, Takahiko); 〒2430036  
神奈川県厚木市長谷398 株式会社半導体  
エネルギー研究所内 Kanagawa (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: Provided is a novel semiconductor device. The back-gate voltage of a transistor having a gate and a back gate is adjusted in line with the operating temperature. The operating temperature is acquired by a temperature detection circuit. The temperature detection circuit outputs temperature information as a digital signal. The digital signal is input to a voltage control circuit. The voltage control circuit outputs a first voltage in accordance with the digital signal. The back-gate voltage is set as a voltage obtained by adding the first voltage to a reference voltage.

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

---

(57) 要約: 要約書 新規な半導体装置を提供する。ゲートとバックゲートを有するトランジスタのバックゲート電圧を、動作温度に合わせて調節する。動作温度は温度検知回路で取得する。温度検知回路は温度情報をデジタル信号で出力する。当該デジタル信号は電圧制御回路に入力される。電圧制御回路は当該デジタル信号に応じた第1電圧を出力する。バックゲート電圧は、基準電圧に第1電圧を加えた電圧で決定される。

## 明細書

発明の名称

半導体装置

技術分野

[0001]

本発明の一形態は半導体装置に関する。

[0002]

また、本発明の一形態は、物、方法、または、製造方法に関する。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。本発明の一態様は、その駆動方法、または、その作製方法に関する。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。記憶装置、表示装置、電気光学装置、蓄電装置、半導体回路および電子機器は、半導体装置を有する場合がある。

背景技術

[0004]

トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体（OS：Oxide Semiconductor）が注目されている。酸化物半導体としては、例えば、酸化インジウム、酸化亜鉛などの一元系金属の酸化物のみでなく、多元系金属の酸化物も知られている。多元系金属の酸化物の中でも、特に、In-Ga-Zn酸化物（以下、IGZOとも呼ぶ。）に関する研究が盛んに行われている。

[0005]

IGZOに関する研究により、酸化物半導体において、単結晶でも非晶質でもない、CAAC（c-axis aligned crystalline）構造およびnc（nanocrystalline）構造が見出された（非特許文献1乃至非特許文献3参照。）。非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術も開示されている。さらに、CAAC構造およびnc構造よりも結晶性の低い酸化物半導体でさえも、微小な結晶を有することが、非特許文献4および非特許文献5に示されている。

[0006]

さらに、IGZOを活性層として用いたトランジスタは極めて低いオフ電流を持ち（非特許文献6参照。）、その特性を利用したLSIおよびディスプレイが報告されている（非特許文献7および非特許文献8参照。）。

[0007]

また、チャネル形成領域に酸化物半導体を有するトランジスタ（以下、「OSトランジスタ」とも呼ぶ。）を利用した様々な半導体装置が提案されている。

[0008]

特許文献1には、OSトランジスタを、DRAM（Dynamic Random Access Memory）に用いた例が開示されている。OSトランジスタは、オフ状態でのリーク電流（オフ電流）が非常に小さいので、リフレッシュ期間が長く消費電力の少ないDRAMを作製することができる。

[0009]

また、特許文献2には、OSトランジスタを用いた不揮発性メモリが開示されている。これら不揮発性メモリは、フラッシュメモリと異なり、書き換え可能回数に制限がなく、高速な動作が容易に実現でき、消費電力も少ない。

[0010]

これらOSトランジスタを用いたメモリは、OSトランジスタのしきい値電圧を高くすることで、オフ電流を小さくすることが可能になり、メモリのデータ保持特性を向上させることができる。特許文献2には、OSトランジスタに第2ゲートを設けて、OSトランジスタのしきい値電圧を制御し、オフ電流を下げた例が開示されている。

[0011]

上記メモリが長期間のデータ保持を行うためには、OSトランジスタの第2ゲートに、ある一定の負電位を与え続ける必要がある。特許文献2および特許文献3には、OSトランジスタの第2ゲートを駆動するための回路の構成例が開示されている。

[先行技術文献]

[特許文献]

[0012]

[特許文献1] 特開2013-168631号公報

[特許文献2] 特開2012-069932号公報

[特許文献3] 特開2012-146965号公報

[非特許文献]

[0013]

[非特許文献1] S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, p. 183-186

[非特許文献2] S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4 S, p. 04ED18-1-04ED18-10

[非特許文献3] S. Ito et al., "The Proceedings of AM-FPD'13 Digest of Technical Papers", 2013, p. 151-154

[非特許文献4] S. Yamazaki et al., "ECS Journal of Solid State Science and Technology", 2014, volume 3, issue 9, p. Q3012-Q3022

[非特許文献5] S. Yamazaki, "ECS Transactions", 2014, volume 64, issue 10, p. 155-164

[非特許文献6] K. Kato et al., "Japanese Journal of Applied Physics", 2012, volume 51, p. 021201-1-021201-7

[非特許文献7] S. Matsuda et al., "2015 Symposium on VLSI Technology Digest of Technical Papers",

2015, p. T216-T217

[非特許文献8] S. Amano et al., "SID Symposium Digest of Technical Papers", 2010, volume 41, issue 1, p. 626-629

発明の概要

発明が解決しようとする課題

[0014]

本発明の一形態は、オン電流が高い半導体装置を提供することを課題の一とする。また、本発明の一形態は、動作速度が速い半導体装置を提供することを課題の一とする。た、本発明の一形態は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一とする。また、本発明の一形態は、消費電力が低減された半導体装置を提供することを課題の一とする。本発明の一形態は、新規な半導体装置を提供することを課題の一とする。

[0015]

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全て解決する必要はない。また、列記した以外の課題が、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

課題を解決するための手段

[0016]

本発明の一態様は、第1回路と、第2回路と、第3回路と、第4回路と、出力端子と、を有する半導体装置であって、第1回路は、第2回路に電圧を供給する機能を有し、第2回路は、出力端子に第1電圧を供給する機能と、出力端子の電圧を保持する機能と、を有し、第3回路は、温度情報を取得する機能と、温度情報に応じたデジタル信号を第4回路に供給する機能と、を有し、第4回路は、デジタル信号に応じた第2電圧を出力する機能を有し、出力端子の電圧は、第1電圧と第2電圧を合計した電圧であることを特徴とする半導体装置である。

[0017]

第4回路は、複数の容量素子を有することが好ましい。複数の容量素子は、それぞれが出力端子と電氣的に接続する。また、複数の容量素子は、それぞれ異なる容量値を有することが好ましい。

発明の効果

[0018]

本発明の一形態により、オン電流が高い半導体装置を提供することができる。また、本発明の一形態により、動作速度が速い半導体装置を提供することができる。また、本発明の一形態により、長期間においてデータの保持が可能な半導体装置を提供することができる。また、本発明の一形態により、消費電力が低減された半導体装置を提供することができる。また、本発明の一形態により、新規な半導体装置を提供することができる。

[0019]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

## 図面の簡単な説明

[0020]

- [図1] 半導体装置の構成例を説明する図。
- [図2] トランジスタの電気特性を説明する図。
- [図3] 電圧生成回路の構成例を説明する図。
- [図4] 電圧保持回路の構成例を説明する図。
- [図5] 温度検知回路の構成例を説明する図。
- [図6] 温度変化に対する電圧V B i a s の変化例を説明する図。
- [図7] 半導体装置の動作例を説明するタイミングチャート。
- [図8] 記憶装置の構成例を説明する図。
- [図9] セルアレイの構成例を説明する図。
- [図10] メモリセルの構成例を説明する回路図。
- [図11] 記憶装置の構成例を説明する図。
- [図12] 記憶装置の構成例を説明する図。
- [図13] トランジスタの構成例を説明する図。
- [図14] トランジスタの構成例を説明する図。
- [図15] トランジスタの構成例を説明する図。
- [図16] 電子部品の一例を説明する図。
- [図17] 電子機器の一例を説明する図。
- [図18] 記憶装置の応用例を説明する図。

## 発明を実施するための形態

[0021]

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態および実施例の記載内容に限定して解釈されるものではない。

[0022]

なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0023]

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

[0024]

なお、本明細書中において、高電源電圧をHレベル（「VDD」または「H電位」ともいう。）、低電源電圧をLレベル（「GND」または「L電位」ともいう。）と呼ぶ場合がある。

[0025]

また、本明細書は、以下の実施の形態および実施例を適宜組み合わせることが可能である。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0026]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。また、OSトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。また、本明細書等において、窒素を有する金属酸化物も金属酸化物と総称する場合がある。

[0027]

また、本明細書等に示すトランジスタは、明示されている場合を除き、エンハンスメント型 (ノーマリーオフ型) の  $n$  チャネル型電界効果トランジスタとする。よって、そのしきい値電圧 ( $V_{th}$  ともいう。) は、0Vより大きいものとする。

[0028]

(実施の形態1)

&lt;半導体装置100&gt;

図1は、本発明の一態様の半導体装置100の構成例を示す回路図である。半導体装置100は、電圧生成回路110、電圧保持回路120、温度検知回路130、および電圧制御回路140を有する。電圧保持回路120と電圧制御回路140の節点をノードNDと呼ぶ。電圧保持回路120と電圧制御回路140は、ノードNDを介して出力端子VOUTと電氣的に接続される。

[0029]

また、半導体装置100は、出力端子VOUTを介して、複数のトランジスタM11の第2ゲートに電氣的に接続されている。トランジスタM11は、第1ゲート (「フロントゲート」または単に「ゲート」ともいう。) と第2ゲート (「バックゲート」ともいう。) を有するトランジスタである。第1ゲートと第2ゲートは、半導体層を介して互いに重なる領域を有する。第2ゲートは、例えばトランジスタM11のしきい値電圧を制御する機能を有する。

[0030]

トランジスタM11は、記憶装置、画素装置、演算装置などに含まれる様々な回路に用いられるトランジスタを表している。例えば、NOR型またはNAND型などの記憶装置に含まれるトランジスタを表している。また、例えば、液晶表示装置またはEL表示装置などの表示装置に含まれるトランジスタを表している。また、例えば、CPU (Central Processing Unit)、GPU (Graphic Processing Unit)、またはFPGA (Field Programmable Gate Array) などに含まれるトランジスタを表している。

[0031]

図1では、3つのトランジスタM11を示しているが、本発明の一態様はこれに限定されず、半導体装置100はさらに多くのトランジスタM11と接続されていてもよい。

[0032]

ここで、トランジスタの電気特性の1つである  $I_d - V_g$  特性の温度依存性について説明しておく。図2 (A) および図2 (B) に、トランジスタの電気特性の1つである  $I_d - V_g$  特性の一例を示す。 $I_d - V_g$  特性は、ゲート電圧 ( $V_g$ ) の変化に対するドレイン電流 ( $I_d$ ) の変化を示す。図2 (A) および図2 (B) の横軸は、 $V_g$  をリニアスケールで示している。また、図2 (A) および図2 (B) の縦軸は、 $I_d$  をログスケールで示している。

[0033]

図2 (A) は、OSトランジスタの $I_d-V_g$ 特性を示している。図2 (B) は、チャネルが形成される半導体層にシリコンを用いたトランジスタ(「Siトランジスタ」ともいう。)の $I_d-V_g$ 特性を示している。なお、図2 (A) および図2 (B) は、どちらもnチャネル型トランジスタの $I_d-V_g$ 特性である。

[0034]

図2 (A) に示すように、OSトランジスタは高温下の動作においてもオフ電流が増加しにくい。また、OSトランジスタは、動作温度の上昇と共に $V_{th}$ がマイナス方向にシフトし、オン電流が増加する。一方で、図2 (B) に示すように、Siトランジスタは、温度の上昇と共に、オフ電流が増加する。また、Siトランジスタは、温度の上昇と共に $V_{th}$ がプラス方向にシフトし、オン電流が低下する。

[0035]

よって、トランジスタM11としてOSトランジスタを用いることで、高温下の動作においてもトランジスタM11を含む半導体装置全体の消費電力を下げる可以降低。

[0036]

また、半導体装置100は、トランジスタM11の第2ゲートに電圧VBGを書き込み、さらにそれを保持する機能を有する。例えば、電圧VBGとして負電位が与えられた場合、トランジスタM11は第2ゲートの負電位が保持されている間、 $V_{th}$ をプラス方向にシフトさせることができる。高温下の動作においても $V_{th}$ を高く保つことができる。例えば、トランジスタM11をメモリセルの選択トランジスタに用いた場合、ストレージとして機能する容量素子の電荷を長期間保持することができる。

[0037]

[電圧生成回路110]

電圧生成回路110の回路構成例を図3 (A)、(B) に示す。これらの回路図は降圧型のチャージポンプであり、入力端子INにGNDが入力され、出力端子OUTからVBG0が出力される。ここでは、一例として、チャージポンプ回路の基本回路の段数は4段としているが、これに限定されず任意の段数でチャージポンプ回路を構成してもよい。

[0038]

図3 (A) に示す電圧生成回路110aは、トランジスタM21乃至トランジスタM24、および容量素子C21乃至容量素子C24を有する。

[0039]

トランジスタM21乃至トランジスタM24は、入力端子INと出力端子OUT間に直列に接続されており、それぞれのゲートと第1電極がダイオードとして機能するように接続されている。トランジスタM21乃至トランジスタM24のゲートは、それぞれ、容量素子C21乃至容量素子C24が接続されている。

[0040]

奇数段の容量素子C21、容量素子C23の第1電極には、CLKが入力され、偶数段の容量素子C22、C24の第1電極には、CLKBが入力される。CLKBは、CLKの位相を反転した反転クロック信号である。

[0041]

電圧生成回路 110a は、入力端子 IN に入力された GND を降圧し、VBG0 を生成する機能を有する。電圧生成回路 110a は、CLK、CLKB の供給のみで、負電位を生成することができる。

[0042]

上述したトランジスタ M21 乃至トランジスタ M24 は、OS トランジスタで形成してもよい。OS トランジスタを用いることで、ダイオード接続されたトランジスタ M21 乃至トランジスタ M24 の逆方向電流が低減できて好ましい。

[0043]

図 3 (B) に示す電圧生成回路 110b は、p チャネル型トランジスタであるトランジスタ M31 乃至トランジスタ M34 で構成されている。その他の構成要素については、電圧生成回路 110a の説明を援用する。

[0044]

電圧生成回路 110 は降圧型のチャージポンプだけでなく、昇圧型のチャージポンプであってもよい。また、電圧生成回路 110 は、降圧型と昇圧型の双方のチャージポンプを有していてもよい。

[0045]

[電圧保持回路 120]

電圧保持回路 120 は、トランジスタ M12 を有する (図 1 (A) 参照)。トランジスタ M12 の第 1 端子 (ソースまたはドレインの一方) は電圧生成回路 110 に電氣的に接続され、トランジスタ M12 の第 2 端子 (ソースまたはドレインの他方) はノード ND に電氣的に接続されている。

[0046]

電圧保持回路 120 は、トランジスタ M12 をオン状態にして、電圧生成回路 110 が生成した電圧 VBG0 をノード ND に供給する機能を有する。トランジスタ M12 のしきい値電圧を  $V_{th1}$  とすると、トランジスタ M12 をオン状態にする場合は、トランジスタ M12 のゲートに、 $VBG0 + V_{th1}$  以上の電圧を印加することが好ましい。また、電圧保持回路 120 は、トランジスタ M12 をオフ状態にして、ノード ND の電圧を保持する機能を有する。

[0047]

電圧 VBG0 として負電位を供給する場合、トランジスタ M12 に第 1 ゲートおよび第 2 ゲートを有するトランジスタを用いて、第 1 ゲートおよび第 2 ゲートを第 2 端子と電氣的に接続してもよい (図 4 (A) 参照)。この場合、トランジスタ M12 はダイオードとして機能できる。また、トランジスタ M12 から出力される電圧を電圧 VBG1 とすると、 $VBG1 = VBG0 + V_{th1}$  の関係が成り立つ。トランジスタ M12 の第 1 端子を GND にすることで、ノード ND に書き込まれた負電位を保持することができる。

[0048]

図 4 (A) に示すトランジスタ M12 では、ノード ND に負電位を供給した後第 1 端子を GND にすると  $V_g$  が 0V となる。よって、 $V_g$  が 0V の時の  $I_d$  (「カットオフ電流」ともいう。) が小さいことが好ましい。カットオフ電流を十分小さくすることで、ノード ND に書き込まれた負電位を長期間保持することができる。

[0049]

トランジスタ M12 のチャネル長は、トランジスタ M11 のチャネル長よりも長いことが好ましい。例えば、トランジスタ M11 のチャネル長を  $1\mu\text{m}$  未満とした場合、トランジスタ M12 のチャネル長は  $1\mu\text{m}$  以上、さらに好ましくは  $3\mu\text{m}$  以上、さらに好ましくは  $5\mu\text{m}$  以上、さらに好ましくは  $1$

0  $\mu$  m以上である。トランジスタM12のチャネル長を長くすることで、トランジスタM12は短チャネル効果の影響を受けず、カットオフ電流を低く抑えることができる。また、トランジスタM12はソースとドレイン間の耐圧を高くすることができる。トランジスタM12のソースとドレイン間の耐圧が高いと、高電圧を生成する電圧生成回路110と、トランジスタM11との接続を容易にすることができる。好ましい。

#### [0050]

トランジスタM12には、OSトランジスタやチャネル形成領域にワイドバンドギャップ半導体を用いたトランジスタを用いることが好ましい。OSトランジスタやワイドバンドギャップ半導体を用いたトランジスタは、カットオフ電流が小さく、ソースとドレイン間の耐圧が高い。なお、本明細書においてワイドバンドギャップ半導体とは、バンドギャップが2.2 eV以上の半導体である。例えば、炭化ケイ素、窒化ガリウム、ダイヤモンドなどが挙げられる。

#### [0051]

トランジスタM12はトランジスタM11よりも小さいカットオフ電流が要求される。一方で、トランジスタM11はトランジスタM12よりも大きなオン電流が要求される。このように、要求される性質が異なるトランジスタを同一基板上に作る場合、異なる半導体を用いてそれぞれのトランジスタを形成すればよい。トランジスタM12はトランジスタM11よりも、バンドギャップの大きい半導体をチャネル形成領域に用いることが好ましい。また、トランジスタM11はトランジスタM12よりも、電子移動度の高い半導体をチャネル形成領域に用いることが好ましい。

#### [0052]

また、電圧保持回路120は、直列に接続された複数のトランジスタM12で構成されていてもよい（図4（B）、（C）参照。）。

#### [0053]

##### [温度検知回路130]

温度検知回路130は、温度センサ131と、アナログーデジタル変換回路（「ADC」ともいう。）132を有する（図5参照。）。

#### [0054]

温度センサ131は、半導体装置100の温度をセンシングし、温度に応じたアナログ信号VAを出力する機能を有する。温度センサ131としては、例えば、白金、ニッケルまたは銅などの測温抵抗体、サーミスタ、熱電対、IC温度センサなどを用いることができる。

#### [0055]

アナログーデジタル変換回路132は、アナログ信号VAをnビット（nは1以上の整数）のデジタル信号VDに変換する機能を有する。デジタル信号VDは温度検知回路130から出力され、電圧制御回路140に供給される。

#### [0056]

温度検知回路130で検出したアナログ信号の温度情報をデジタル信号に変換して出力することで、配線抵抗および寄生容量による信号の減衰や、ノイズの影響を低減することができる。よって、温度検知回路130が電圧制御回路140から離れた位置に設けられている場合であっても、温度情報を電圧制御回路140に正確に伝えることができる。

#### [0057]

## 〔電圧制御回路 140〕

図 2 (A) を用いて説明したように、OS トランジスタは、低温になるほど  $V_{th}$  がプラス側にシフトしてオン電流が低下する。その結果、回路の動作速度が低下する。また、高温になるほど  $V_{th}$  がマイナス側にシフトし、カットオフ電流が増大する。これは、回路にとって動作可能な温度範囲を狭めてしまう要因となる。電圧制御回路 140 を用いてノード ND に動作温度に応じた補正電圧を印加することで、半導体装置 100 の出力端子 VOUT から出力される電圧を補正し、出力端子 VOUT と電氣的に接続された回路の動作可能な温度範囲を広げることが出来る。

## 〔0058〕

電圧制御回路 140 は、ロジック回路 145、および電圧生成回路 146 を有する(図 1 (B) 参照。)。ロジック回路 145 は、温度検知回路 130 から供給されたデジタル信号(温度情報)を電圧生成回路 146 に供給する機能を有する。例えば、温度検知回路 130 から供給されたシリアル信号をパラレル信号に変換して電圧生成回路 146 に供給する。また、温度検知回路 130 から供給された  $n$  ビットのデジタル信号を、 $m$  ビット ( $m$  は 1 以上の整数) のデジタル信号に変換して電圧生成回路 146 に供給する機能を有する。

## 〔0059〕

電圧生成回路 146 は、ロジック回路 145 から供給された  $m$  ビットのデジタル信号を  $2^m$  段階の電圧に変換して出力する機能を有する。図 1 (B) では、 $m$  が 4 の場合を例示している。図 1 (B) において、電圧生成回路 146 は、バッファ BF1、バッファ BF2、バッファ BF3、バッファ BF4、容量素子 C1、容量素子 C2、容量素子 C4、および容量素子 C8 を有する。

## 〔0060〕

ロジック回路 145 が出力する 4 ビットのデジタル信号は、バッファ BF1 乃至バッファ BF4 の入力に供給される。具体的には、4 ビットのデジタル信号の 1 桁目の情報がバッファ BF1 に入力され、2 桁目の情報がバッファ BF2 に入力され、3 桁目の情報がバッファ BF3 に入力され、4 桁目の情報がバッファ BF4 に入力される。

## 〔0061〕

容量素子 C1 の一方の電極はバッファ BF1 の出力と電氣的に接続され、他方の電極は出力端子 OUT と電氣的に接続される。容量素子 C2 の一方の電極はバッファ BF2 の出力と電氣的に接続され、他方の電極は出力端子 OUT と電氣的に接続される。容量素子 C4 の一方の電極はバッファ BF3 の出力と電氣的に接続され、他方の電極は出力端子 OUT と電氣的に接続される。容量素子 C8 の一方の電極はバッファ BF4 の出力と電氣的に接続され、他方の電極は出力端子 OUT と電氣的に接続される。

## 〔0062〕

電圧制御回路 140 の出力端子 OUT から出力される電圧を「電圧  $V_{Bias}$ 」と呼ぶ。電圧制御回路 140 の出力端子 OUT は、半導体装置 100 のノード ND と電氣的に接続される。

## 〔0063〕

電圧制御回路 140 からノード ND に印加する電圧は、容量素子 C1、容量素子 C2、容量素子 C4、および容量素子 C8 の合成容量と、ノード ND に生じる寄生容量の比で決定される。容量素子 C1 の容量値は、該寄生容量の容量値より十分大きいことが好ましい。具体的には、容量素子 C1 の容量値は、該寄生容量の容量値の 5 倍以上が好ましく、10 倍以上がより好ましい。

## 〔0064〕

また、容量素子C 1、容量素子C 2、容量素子C 4、および容量素子C 8の容量値は、全て同じ容量値としてもよいが、少なくとも一部もしくは全部を異なる容量値であることが好ましい。本実施の形態では、容量素子C 2の容量値を容量素子C 1の容量値の2倍とし、容量素子C 4の容量値を容量素子C 1の容量値の4倍とし、容量素子C 8の容量値を容量素子C 1の容量値の8倍とする。このようにすることで、電圧制御回路140からノードNDに16段階の電圧を供給することができる。

[0065]

図6 (A) 乃至 (C) に、温度変化に対する電圧V B i a sの電圧変化の一例を示す。図6 (A) 乃至 (C) の横軸は、温度をリニアスケールで示している。また、図6 (A) 乃至 (C) の縦軸は、電圧V B i a sをリニアスケールで示している。トランジスタM11がOSトランジスタである場合、電圧V B i a sの大きさは、トランジスタM11の動作温度が高くなるほど、小さくなるように変化することが好ましい (図6 (A) 参照。)。また、目的や用途に応じて、動作温度が高くなるほど、大きくなるように変化してもかまわない (図6 (B) 参照。)。また、電圧V B i a sの大きさは、温度変化に対して非線形に変化してもよい (図6 (C) 参照。)。温度変化に対する電圧V B i a sの電圧変化は、ロジック回路145で設定することができる。

[0066]

<半導体装置100の動作例>

図7は半導体装置100の動作例を説明するタイミングチャートである。本実施の形態では、トランジスタM11がOSトランジスタであり、動作温度が100℃〜−50℃の範囲で変化する場合に、電圧V B i a sが0V〜7.5Vの範囲で直線的に変化する動作例について説明する。また、動作温度が20℃の時に電圧V B Gが−3Vになるものとする。

[0067]

また、温度検知回路130からは、4ビットのデジタル信号VDが出力されるものとする。本実施の形態では、動作温度が100℃の時にデジタル信号VDとして”0000”が出力され、動作温度が−50℃の時に”1111”が出力されるものとする。

[0068]

また、容量素子C 1の一方の電極に接続するバッファBF 1の出力がL電位からH電位に変化すると、容量素子C 1の他方の電極の電位が0.5V上昇するものとする。また、容量素子C 2の一方の電極に接続するバッファBF 2の出力がL電位からH電位に変化すると、容量素子C 2の他方の電極の電位が1.0V上昇するものとする。また、容量素子C 4の一方の電極に接続するバッファBF 3の出力がL電位からH電位に変化すると、容量素子C 4の他方の電極の電位が2.0V上昇するものとする。また、容量素子C 8の一方の電極に接続するバッファBF 4の出力がL電位からH電位に変化すると、容量素子C 8の他方の電極の電位が4.0V上昇するものとする。

[0069]

[期間T0]

期間T0はリセット期間である。期間T0において、バッファBF 1乃至バッファBF 4の各出力からL電位(0V)を出力する。また、電圧V B G0を−7Vとし、トランジスタM12をオン状態にする。よって、電圧V B Gが−7Vになる。期間T0において、温度検知回路130は、デジタル信号VDの出力を停止してもよい。また、温度検知回路130の動作を停止してもよい。

[0070]

〔期間T 1〕

期間T 1において、トランジスタM 1 2をオフ状態にする。ノードNDの電圧が $-7\text{ V}$ に保持される。よって、電圧V BGも $-7\text{ V}$ のままである。

〔0 0 7 1〕

〔期間T 2〕

期間T 2において、温度検知回路1 3 0から電圧制御回路1 4 0にデジタル信号VD（温度情報）が供給される。例えば、 $20^{\circ}\text{C}$ を示すデジタル信号VDとして”1 0 0 0”を電圧制御回路1 4 0に供給する。

〔0 0 7 2〕

ロジック回路1 4 5は、バッファBF 1乃至バッファBF 4に、デジタル信号VDに応じた電位を入力する。具体的には、デジタル信号VDが”1 0 0 0”である場合、バッファBF 1乃至バッファBF 3の出力がL電位、バッファBF 4の出力がH電位になるように、バッファBF 1乃至バッファBF 4を制御する。

〔0 0 7 3〕

すると、電圧制御回路1 4 0の電位が $4\text{ V}$ 上昇する。すると、ノードNDの電圧が $-7\text{ V}$ から $-3\text{ V}$ に変化し、電圧V BGが $-3\text{ V}$ になる。

〔0 0 7 4〕

〔期間T 3〕

期間T 3において、温度検知回路1 3 0から電圧制御回路1 4 0にデジタル信号VD（温度情報）が供給される。例えば、 $50^{\circ}\text{C}$ を示すデジタル信号VDとして”0 1 0 1”を電圧制御回路1 4 0に供給する。

〔0 0 7 5〕

期間T 2と同様に、ロジック回路1 4 5は、バッファBF 1乃至バッファBF 4に、デジタル信号VDに応じた電位を入力する。デジタル信号VDが”0 1 0 1”のとき、バッファBF 1の出力がH電位、バッファBF 2の出力がL電位、バッファBF 3の出力がH電位、バッファBF 4の出力がL電位になる。すると、電圧V BGが $-4.5\text{ V}$ になる。

〔0 0 7 6〕

〔期間T 4〕

期間T 4において、温度検知回路1 3 0から電圧制御回路1 4 0にデジタル信号VD（温度情報）が供給される。例えば、 $-20^{\circ}\text{C}$ を示すデジタル信号VDとして”1 1 0 0”を電圧制御回路1 4 0に供給する。

〔0 0 7 7〕

期間T 2および期間T 3と同様に、ロジック回路1 4 5は、バッファBF 1乃至バッファBF 4に、デジタル信号VDに応じた電位を入力する。デジタル信号VDが”1 1 0 0”のとき、バッファBF 1の出力がL電位、バッファBF 2の出力がL電位、バッファBF 3の出力がH電位、バッファBF 4の出力がH電位になる。すると、電圧V BGが $-1.0\text{ V}$ になる。

〔0 0 7 8〕

このようにして、温度変化に応じて電圧V BGを変化させることが出来る。また、トランジスタM 1 1の電気特性の温度変化を考慮しない場合、必要以上に大きな電圧をトランジスタM 1 1の第2ゲートに印加することになる。必要以上に大きな電圧が、トランジスタM 1 1の第2ゲートに長時間印加

されると、トランジスタM11の電気特性が劣化し、信頼性を損ねる恐れがある。本発明の一態様によれば、温度変化に応じてトランジスタM11の第2ゲートに印加する電圧を変化させることができる。よって、必要最低限の電圧をトランジスタM11の第2ゲートに印加することができる。本発明の一態様によれば、トランジスタM11を含む半導体装置の信頼性を高めることができる。

[0079]

また、一定時間毎にリセット期間（期間T0）を設けて、ノードNDの電圧をリフレッシュしてもよい。

[0080]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0081]

（実施の形態2）

本実施の形態では、実施の形態1に記載の半導体装置100を用いた記憶装置について説明する。

[0082]

<記憶装置>

図8は、記憶装置の構成例を示すブロック図である。記憶装置300は、周辺回路311、セルアレイ401、および半導体装置100を有する。周辺回路311は、ローデコーダ321、ワード線ドライバ回路322、ビット線ドライバ回路330、出力回路340、コントロールロジック回路360を有する。

[0083]

ワード線ドライバ回路322は、配線WLに電位を供給する機能を有する。ビット線ドライバ回路330は、カラムデコーダ331、プリチャージ回路332、増幅回路333、および書き込み回路334を有する。プリチャージ回路332は、配線SL（図示せず）などをプリチャージする機能を有する。増幅回路333は、配線BILまたは配線RBLから読み出されたデータ信号を増幅する機能を有する。なお、配線WL、配線SL、配線BIL、および配線RBLは、セルアレイ401が有するメモリセル411に接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路340を介して、デジタルのデータ信号RDATAとして記憶装置300の外部に出力される。

[0084]

記憶装置300には、外部から電源電圧として低電源電圧（VSS）、周辺回路311用の高電源電圧（VDD）、セルアレイ401用の高電源電圧（VIL）が供給される。

[0085]

また、記憶装置300には、制御信号（CE、WE、RE）、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、ローデコーダ321およびカラムデコーダ331に入力され、WDATAは書き込み回路334に入力される。

[0086]

コントロールロジック回路360は、外部からの入力信号（CE、WE、RE）を処理して、ローデコーダ321、カラムデコーダ331の制御信号を生成する。CEは、チップイネーブル信号であり、WEは、書き込みイネーブル信号であり、REは、読み出しイネーブル信号である。コントロールロジック回路360が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0087]

なお、上述の各回路あるいは各信号は、必要に応じて、適宜、取捨することができる。

[0088]

セルアレイ401を構成するトランジスタにOSトランジスタを適用することができる。また、周辺回路311を構成するトランジスタにOSトランジスタを適用することができる。セルアレイ401と周辺回路311を、OSトランジスタを用いて形成することで、セルアレイ401と周辺回路311を、同一の製造工程で作製することが可能になり、製造コストを低く抑えることができる。

[0089]

[セルアレイの構成例]

図9にセルアレイ401の構成例を示す。セルアレイ401は、一列に $m$  ( $m$ は1以上の整数である。)個、一行に $n$  ( $n$ は1以上の整数である。)個、計 $m \times n$ 個のメモリセル411を有し、メモリセル411は行列状に配置されている。図9では、メモリセル411のアドレスも併せて表記しており、 $[1, 1]$ 、 $[m, 1]$ 、 $[i, j]$ 、 $[1, n]$ 、 $[m, n]$  ( $i$ は、1以上 $m$ 以下の整数であり、 $j$ は、1以上 $n$ 以下の整数である。)のアドレスに位置しているメモリセル411を図示している。なお、セルアレイ401とワード線ドライバ回路322とを接続している配線の数、メモリセル411の構成、一列中に含まれるメモリセル411の数などによって決まる。また、セルアレイ401とビット線ドライバ回路330とを接続している配線の数、メモリセル411の構成、一行中に含まれるメモリセル411の数などによって決まる。

[0090]

[メモリセルの構成例]

図10に、上述のメモリセル411に適用できるメモリセル411A乃至メモリセル411Eの構成例を示す。

[0091]

[DOSRAM]

図10(A)に、DRAM型のメモリセル411Aの回路構成例を示す。本明細書等において、OSトランジスタを用いたDRAMを、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) 呼ぶ。メモリセル411Aは、トランジスタM11と、容量素子CAと、を有する。

[0092]

トランジスタM11の第1端子は、容量素子CAの第1端子と接続され、トランジスタM11の第2端子は、配線BILと接続され、トランジスタM11のゲートは、配線WLと接続され、トランジスタM11のバックゲートは、配線BGLと接続されている。容量素子CAの第2端子は、配線GNDLと接続されている。配線GNDLは、低レベル電位（基準電位という場合がある。）を与える配線である。

[0093]

配線BILは、ビット線として機能し、配線WLは、ワード線として機能する。配線BGLは、トランジスタM11のバックゲートに電位を印加するための配線として機能する。また、配線BGLは、半導体装置100の出力端子VOUTと電気的に接続される。配線BGLに任意の電位を印加することによって、トランジスタM11のしきい値電圧を増減することができる。

[0094]

データの書き込みおよび読み出しは、配線WLに高レベル電位を印加し、トランジスタM11を導通

状態にし、配線B I Lと容量素子C Aの第1端子を電氣的に接続することによって行われる。

[0095]

また、上述した記憶装置300が有するメモリセルは、メモリセル411Aに限定されず、回路構成の変更を行うことができる。

[0096]

トランジスタM11をメモリセルに用いる場合は、トランジスタM11にOSトランジスタを用いることが好ましい。また、OSトランジスタの半導体層に、インジウム、元素M（元素Mはアルミニウム、ガリウム、イットリウム、またはスズ）、亜鉛のいずれかを有する酸化物半導体を用いることが好ましい。特に、インジウム、ガリウム、亜鉛からなる酸化物半導体を用いることが好ましい。

[0097]

インジウム、ガリウム、亜鉛を含む酸化物半導体を適用したOSトランジスタは、オフ電流が極めて小さいという特性を有している。トランジスタM11としてOSトランジスタを用いることによって、トランジスタM11のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタM11によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル411A、メモリセル420、メモリセル430に対して多値データ、またはアナログデータを保持することができる。

[0098]

トランジスタM11としてOSトランジスタを適用することにより、DOSRAMを構成することができる。

[0099]

[NOSRAM]

図10（B）に、2つのトランジスタと1つの容量素子を有するゲインセル型（「2Tr1C型」ともいう。）のメモリセル411Bの回路構成例を示す。メモリセル411Bは、トランジスタM11と、トランジスタM3と、容量素子CBと、を有する。

[0100]

トランジスタM11の第1端子は、容量素子CBの第1端子と接続され、トランジスタM11の第2端子は、配線WBLと接続され、トランジスタM11のゲートは、配線WLと接続され、トランジスタM11のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線BLと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0101]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WLは、ワード線として機能する。配線BLは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、配線BLには、基準電位を印加するのが好ましい。

[0102]

配線BGLは、トランジスタM11のバックゲートに電位を印加するための配線として機能する。また、配線BGLは、半導体装置100の出力端子VOUTと電氣的に接続される。配線BGLに任意

の電位を印加することによって、トランジスタM11のしきい値電圧を増減することができる。

[0103]

データの書き込みは、配線WLに高レベル電位を印加し、トランジスタM11を導通状態にし、配線WBLと容量素子CBの第1端子を電氣的に接続することによって行われる。具体的には、トランジスタM11が導通状態のときに、配線WBLに記録する情報に対応する電位を印加し、容量素子CBの第1端子、およびトランジスタM3のゲートに該電位を書き込む。その後、配線WLに低レベル電位を印加し、トランジスタM11を非導通状態にすることによって、容量素子CBの第1端子の電位、およびトランジスタM3のゲートの電位を保持する。

[0104]

データの読み出しは、配線BLと配線SLに所定の電位を印加することによって行われる。トランジスタM3のソースドレイン間に流れる電流、およびトランジスタM3の第1端子の電位は、トランジスタM3のゲートの電位、およびトランジスタM3の第2端子の電位によって決まるので、トランジスタM3の第1端子に接続されている配線RBLの電位を読み出すことによって、容量素子CBの第1端子（またはトランジスタM3のゲート）に保持されている電位を読み出すことができる。つまり、容量素子CBの第1端子（またはトランジスタM3のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。または、このメモリセルに書き込まれている情報の有無を知ることができる。

[0105]

また、上述した記憶装置300が有するメモリセルは、メモリセル411Bに限定されず、回路の構成を適宜変更することができる。

[0106]

例えば、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。そのメモリセルの回路構成例を図10(C)に示す。メモリセル411Cは、メモリセル411Bの配線WBLと配線RBLを一本の配線BILとして、トランジスタM11の第2端子、およびトランジスタM3の第1端子が、配線BILと接続されている構成となっている。つまり、メモリセル411Cは、書き込みビット線と、読み出しビット線と、を1本の配線BILとして動作する構成となっている。

[0107]

なお、メモリセル411Bにおいても、トランジスタM11にOSトランジスタを用いることが好ましい。トランジスタM11にOSトランジスタを用いて、メモリセル411Bおよびメモリセル411Cのような2Tr1C型のメモリセルを用いた記憶装置をNOSRAM(Non-volatile Oxide Semiconductor Random Access Memory)という。

[0108]

なお、トランジスタM3のチャネル形成領域には、シリコンを有することが好ましい。特に、該シリコンは、非晶質シリコン、多結晶シリコン、低温ポリシリコン(LTPS: Low Temperature Poly-Silicon)とすることができる(以後、Siトランジスタと呼称する。)。Siトランジスタは、OSトランジスタよりも電界効果移動度が高くなる場合があるため、読み出しトランジスタとして、Siトランジスタを適用するのは好適といえる。

[0109]

また、トランジスタM3としてOSトランジスタを用いた場合、メモリセルを単極性回路で構成する

ことができる。

[0110]

また、図10 (D) に、3トランジスタ1容量素子のゲインセル型（「3Tr1C型」ともいう。）のメモリセル411Dの回路構成例を示す。メモリセル411Dは、トランジスタM11、トランジスタM5、およびトランジスタM6と、容量素子CCと、を有する。

[0111]

トランジスタM11の第1端子は、容量素子CCの第1端子と接続され、トランジスタM11の第2端子は、配線BILと接続され、トランジスタM11のゲートは、配線WLと接続され、トランジスタM11のバックゲートは、配線BGLと電氣的に接続されている。容量素子CCの第2端子は、トランジスタM5の第1端子と、配線GNDLと、に電氣的に接続されている。トランジスタM5の第2端子は、トランジスタM6の第1端子と接続され、トランジスタM5のゲートは、容量素子CCの第1端子と接続されている。トランジスタM6の第2端子は、配線BILと接続され、トランジスタM6のゲートは配線RLと接続されている。

[0112]

配線BILは、ビット線として機能し、配線WLは、書き込みワード線として機能し、配線RLは、読み出しワード線として機能する。

[0113]

配線BGLは、トランジスタM11のバックゲートに電位を印加するための配線として機能する。また、配線BGLは、半導体装置100の出力端子VOUと電氣的に接続される。配線BGLに任意の電位を印加することによって、トランジスタM11のしきい値電圧を増減することができる。

[0114]

データの書き込みは、配線WLに高レベル電位を印加し、トランジスタM11を導通状態にし、配線BILと容量素子CCの第1端子を接続することによって行われる。具体的には、トランジスタM11が導通状態のときに、配線BILに記録する情報に対応する電位を印加し、容量素子CCの第1端子、およびトランジスタM5のゲートに該電位を書き込む。その後、配線WLに低レベル電位を印加し、トランジスタM11を非導通状態にすることによって、容量素子CCの第1端子の電位、およびトランジスタM5のゲートの電位を保持する。

[0115]

データの読み出しは、配線BILに所定の電位をプリチャージして、その後配線BILを電氣的に浮遊状態にし、かつ配線RLに高レベル電位を印加することによって行われる。配線RLが高レベル電位となるので、トランジスタM6は導通状態となり、配線BILとトランジスタM5の第2端子が電氣的に接続状態となる。このとき、トランジスタM5の第2端子には、配線BILの電位が印加されることになるが、容量素子CCの第1端子（またはトランジスタM5のゲート）に保持されている電位に応じて、トランジスタM5の第2端子の電位、および配線BILの電位が変化する。ここで、配線BILの電位を読み出すことによって、容量素子CCの第1端子（またはトランジスタM5のゲート）に保持されている電位を読み出すことができる。つまり、容量素子CCの第1端子（またはトランジスタM5のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。または、このメモリセルに書き込まれている情報の有無を知ることができる。

[0116]

また、上述した記憶装置300が有するメモリセルは、回路の構成を適宜変更することができる。

[0117]

なお、メモリセル411Dにおいても、トランジスタM11にOSトランジスタを用いることが好ましい。トランジスタM11としてOSトランジスタを適用した3Tr1C型のメモリセル411Dは、前述したNOSRAMの一態様である。

[0118]

なお、本実施の形態で説明したトランジスタM5およびM6のチャネル形成領域には、シリコンを有することが好ましい。特に、該シリコンは、非晶質シリコン、多結晶シリコン、低温ポリシリコンとすることができる。Siトランジスタは、OSトランジスタよりも電界効果移動度が高くなる場合があるため、読み出しトランジスタとして、Siトランジスタを適用するのは好適といえる。

[0119]

また、トランジスタM5およびM6としてOSトランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

[0120]

[oxSRAM]

図10(E)に、OSトランジスタを用いたSRAM(Static Random Access Memory)型のメモリセル411Eの回路構成例を示す。本明細書等において、OSトランジスタを用いたSRAMを、oxSRAMと呼ぶ。なお、図10(E)に示すメモリセル411Eは、バックアップ可能なSRAM型のメモリセルである。

[0121]

メモリセル411Eは、トランジスタM7乃至トランジスタM10と、トランジスタMS1乃至トランジスタMS4と、容量素子CD1と、容量素子CD2と、有する。また、トランジスタM7およびトランジスタM8は、トランジスタM11に相当する。なお、トランジスタM7乃至トランジスタM10は、バックゲートを有するトランジスタである。なお、トランジスタMS1、およびトランジスタMS2は、pチャネル型トランジスタであり、トランジスタMS3、およびトランジスタMS4は、nチャネル型トランジスタである。

[0122]

トランジスタM7の第1端子は、配線BILと接続され、トランジスタM7の第2端子は、トランジスタMS1の第1端子と、トランジスタMS3の第1端子と、トランジスタMS2のゲートと、トランジスタMS4のゲートと、トランジスタM10の第1端子と、に接続されている。トランジスタM7のゲートは、配線WLと接続され、トランジスタM7のバックゲートは、配線BGL1と接続されている。

[0123]

トランジスタM8の第1端子は、配線BILBと接続され、トランジスタM8の第2端子は、トランジスタMS2の第1端子と、トランジスタMS4の第1端子と、トランジスタMS1のゲートと、トランジスタMS3のゲートと、トランジスタM9の第1端子と、に接続されている。トランジスタM8のゲートは、配線WLと接続され、トランジスタM8のバックゲートは、配線BGL2と接続されている。

[0124]

トランジスタMS1の第2端子は、配線VDLと電氣的に接続されている。トランジスタMS2の第2端子は、配線VDLと電氣的に接続されている。トランジスタMS3の第2端子は、配線GNDL

と電氣的に接続されている。トランジスタMS 4の第2端子は、配線GNDLと接続されている。

[0125]

トランジスタM9の第2端子は、容量素子CD1の第1端子と接続され、トランジスタM9のゲートは、配線BRLと接続され、トランジスタM9のバックゲートは、配線BGL3と接続されている。トランジスタM10の第2端子は、容量素子CD2の第1端子と接続され、トランジスタM10のゲートは、配線BRLと接続され、トランジスタM10のバックゲートは、配線BGL4と接続されている。

[0126]

容量素子CD1の第2端子は、配線GNDLと接続され、容量素子CD2の第2端子は、配線GNDLと接続されている。

[0127]

配線BILおよび配線BILBは、ビット線として機能し、配線WLは、ワード線として機能し、配線BRLは、トランジスタM9、およびトランジスタM10の導通状態、非導通状態を制御する配線である。

[0128]

配線BGL1乃至配線BGL4は、それぞれトランジスタM7乃至トランジスタM10のバックゲートに電位を印加するための配線として機能する。

[0129]

配線BGL1乃至配線BGL4は、半導体装置100の出力端子VOUTと電氣的に接続される。なお、記憶装置300に複数の半導体装置100を設け、配線BGL1乃至配線BGL4をそれぞれ異なる半導体装置100と電氣的に接続してもよい。配線BGL1乃至配線BGL4に任意の電位を印加することによって、それぞれトランジスタM7乃至トランジスタM10のしきい値電圧を増減することができる。

[0130]

配線VDLは、高レベル電位を与える配線であり、配線GNDLは、低レベル電位を与える配線である。

[0131]

データの書き込みは、配線WLに高レベル電位を印加し、かつ配線BRLに高レベル電位を印加することによって行われる。具体的には、トランジスタM10が導通状態のときに、配線BILに記録する情報に対応する電位を印加し、トランジスタM10の第2端子側に該電位を書き込む。

[0132]

ところで、メモリセル411Eは、トランジスタMS1乃至トランジスタMS2によってインバータループを構成しているので、トランジスタM8の第2端子側に、該電位に対応するデータ信号の反転信号が入力される。トランジスタM8が導通状態であるため、配線BILBには、配線BILに印加されている電位、すなわち配線BILに入力されている信号の反転信号が出力される。また、トランジスタM9、およびトランジスタM10が導通状態であるため、トランジスタM7の第2端子の電位、およびトランジスタM8の第2端子の電位は、それぞれ容量素子CD2の第1端子、および容量素子CD1の第1端子に保持される。その後、配線WLに低レベル電位を印加し、かつ配線BRLに低レベル電位を印加し、トランジスタM7乃至トランジスタM10を非導通状態にすることによって、容量素子CD1の第1端子の電位、および容量素子CD2の第1端子の電位を保持する。

[0133]

データの読み出しは、あらかじめ配線B I Lおよび配線B I L Bを所定の電位にプリチャージした後、配線W Lに高レベル電位を印加し、配線B R Lに高レベル電位を印加することによって、容量素子C D 1の第1端子の電位が、メモリセル4 1 1 Eのインバータループによってリフレッシュされ、配線B I L Bに出力される。また、容量素子C D 2の第1端子の電位が、メモリセル4 1 1 Eのインバータループによってリフレッシュされ、配線B I Lに出力される。配線B I Lおよび配線B I L Bでは、それぞれプリチャージされた電位から容量素子C D 2の第1端子の電位、および容量素子C D 1の第1端子の電位に変動するため、配線B I Lまたは配線B I L Bの電位から、メモリセルに保持された電位を読み出すことができる。

[0134]

なお、トランジスタM 7乃至トランジスタM 1 0としてO Sトランジスタを用いることが好ましい。トランジスタM 7乃至トランジスタM 1 0にO Sトランジスタを用いることによって、メモリセル4 1 1 Eに書き込んだデータを長時間保持することができるため、メモリセル4 1 1 Eのリフレッシュの頻度を少なくすることができる。また、メモリセル4 1 1 Eのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル4 1 1 Eに対して多値データ、またはアナログデータを保持することができる。

[0135]

なお、トランジスタM S 1乃至トランジスタM S 4のチャネル形成領域には、シリコンを有することが好ましい。特に、該シリコンは、非晶質シリコン、多結晶シリコン、低温ポリシリコンとすることができる。S iトランジスタは、O Sトランジスタよりも電界効果移動度が高くなる場合があるため、インバータに含まれるトランジスタとして、S iトランジスタを適用するのは好適といえる。

[0136]

また、メモリセルにO Sトランジスタを用いることで、メモリセルへの電力供給を停止してもメモリセルに書き込まれた情報を長期間保持することができる。よって、情報の読み書きが必要の無い期間に、周辺回路3 1 1の一部または全部への電力供給を停止させることができる。

[0137]

1つの半導体装置1 0 0を全てのメモリセルと電氣的に接続してもよい。また、記憶装置3 0 0に複数の半導体装置1 0 0を設けて、1列毎または複数列毎に複数のメモリセルと1つの半導体装置1 0 0を電氣的に接続してもよい。また、1行毎または複数行毎に複数のメモリセルと1つの半導体装置1 0 0を電氣的に接続してもよい。また、セルアレイに含まれる複数のメモリセルを複数のブロックに分けて、1ブロック毎または複数のブロック毎に1つの半導体装置1 0 0を設けてもよい。

[0138]

本実施の形態で説明したメモリセルは、C P UやG P Uなどに含まれる、レジスタおよびキャッシュなどの記憶素子に用いることができる。

[0139]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0140]

(実施の形態3)

本実施の形態では、記憶装置3 0 0の断面構成例について図面を用いて説明する。

[0141]

<記憶装置の構造例>

図11に、記憶装置300の一部の断面を示す。図11に示す記憶装置300は、基板231上に、層310および層320を積層している。図11では、基板231として単結晶半導体基板(例えば、単結晶シリコン基板)を用いる場合を示している。

[0142]

[層310]

図11において、層310は、基板231上にトランジスタ233a、トランジスタ233b、およびトランジスタ233cを有する。図11では、トランジスタ233a、トランジスタ233b、およびトランジスタ233cのチャネル長方向の断面を示している。

[0143]

トランジスタ233a、トランジスタ233b、およびトランジスタ233cのチャネルは、基板231の一部に形成される。集積回路に高速動作が求められる場合は、基板231として単結晶半導体基板を用いることが好ましい。

[0144]

トランジスタ233a、トランジスタ233b、およびトランジスタ233cは、素子分離層232によってそれぞれ電氣的に分離される。素子分離層の形成は、LOCOS(Local Oxidation of Silicon)法や、STI(Shallow Trench Isolation)法などを用いることができる。

[0145]

また、基板231上に絶縁層234が設けられ、トランジスタ233a、トランジスタ233b、およびトランジスタ233c上に絶縁層235、絶縁層237が設けられ、絶縁層237中に電極238が埋設されている。電極238はコンタクトプラグ236を介してトランジスタ233aのソースまたはドレインの一方と電氣的に接続されている。

[0146]

また、電極238および絶縁層237の上に、絶縁層239、絶縁層240、および絶縁層241が設けられ、絶縁層239、絶縁層240、および絶縁層241の中に電極242が埋設されている。電極242は、電極238と電氣的に接続される。

[0147]

また、電極242および絶縁層241の上に、絶縁層243、および絶縁層244が設けられ、絶縁層243、および絶縁層244の中に電極245が埋設されている。電極245は、電極242と電氣的に接続される。

[0148]

また、電極245および絶縁層244の上に、絶縁層246および絶縁層247が設けられ、絶縁層246および絶縁層247の中に電極249が埋設されている。電極249は、電極245と電氣的に接続される。

[0149]

また、電極249および絶縁層247の上に、絶縁層248および絶縁層250が設けられ、絶縁層248および絶縁層250の中に電極251が埋設されている。電極251は、電極249と電氣的に接続される。

[0150]

[層320]

層320は、層310上に設けられる。層320は、トランジスタ368a、トランジスタ368b、容量素子369a、および容量素子369bを有する。図11では、トランジスタ368aおよびトランジスタ368bのチャンネル長方向の断面を示している。なお、トランジスタ368a、およびトランジスタ368bは、バックゲートを有するトランジスタである。

[0151]

トランジスタ368a、およびトランジスタ368bは、上記実施の形態に示したトランジスタM11に相当する。よって、トランジスタ368a、およびトランジスタ368bの半導体層に、金属酸化物の一種である酸化物半導体を用いることが好ましい。すなわち、トランジスタ368a、およびトランジスタ368bにOSトランジスタを用いることが好ましい。

[0152]

トランジスタ368a、およびトランジスタ368bは、絶縁層361および絶縁層362上に設けられている。また、絶縁層362上に絶縁層363および絶縁層364が設けられている。トランジスタ368a、およびトランジスタ368bのバックゲートは、絶縁層363および絶縁層364中に埋設されている。絶縁層364上に、絶縁層365および絶縁層366が設けられている。また、電極367が、絶縁層361乃至絶縁層366中に埋設されている。電極367は、電極251と電氣的に接続されている。

[0153]

また、トランジスタ368a、トランジスタ368b、容量素子369a、および容量素子369b上に、絶縁層371、絶縁層372、および絶縁層373が形成され、絶縁層373上に電極375が形成されている。電極375はコンタクトプラグ374を介して電極367と電氣的に接続される。

[0154]

また、電極375上に、絶縁層376、絶縁層377、絶縁層378、および絶縁層379が設けられている。また、電極380が、絶縁層376乃至絶縁層379中に埋設されている。電極380は、電極375と電氣的に接続されている。

[0155]

また、電極380および絶縁層379の上に、絶縁層381および絶縁層382が設けられている。

[0156]

&lt;変形例&gt;

図12に記憶装置300Aの一部の断面を示す。記憶装置300Aは記憶装置300の変形例である。記憶装置300Aは、層310Aおよび層320を有する。記憶装置300Aでは、基板231として絶縁性基板（例えば、ガラス基板）を用いる。

[0157]

層310Aは、トランジスタ268a、トランジスタ268b、および容量素子269aを有する。層310Aに含まれるトランジスタに薄膜トランジスタ（例えば、OSトランジスタ）を用いる。層310Aに含まれるトランジスタを全てOSトランジスタとすることで、層310Aを単極性の集積回路にすることができる。記憶装置300Aに含まれるトランジスタを全てOSトランジスタとすることで、記憶装置300Aを単極性の記憶装置にすることができる。

[0158]

## &lt;構成材料について&gt;

## 〔基板〕

基板として用いる材料に大きな制限はないが、少なくとも後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板としてシリコンや炭化シリコンなどを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどを材料とした化合物半導体基板等を用いることができる。また、SOI基板や、半導体基板上に歪トランジスタやFIN型トランジスタなどの半導体素子が設けられたものなどを用いることもできる。または、高電子移動度トランジスタ（HEMT: High Electron Mobility Transistor）に適用可能なヒ化ガリウム、ヒ化アルミニウムガリウム、ヒ化インジウムガリウム、窒化ガリウム、リン化インジウム、シリコンゲルマニウムなどを用いてもよい。すなわち、基板は、単なる支持基板に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。

## 〔0159〕

また、基板として、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることもできる。なお、基板として、可撓性基板（フレキシブル基板）を用いてもよい。可撓性基板を用いる場合、可撓性基板上に、トランジスタや容量素子などを直接作製してもよいし、他の作製基板上にトランジスタや容量素子などを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板とトランジスタや容量素子などとの間に剥離層を設けるとよい。

## 〔0160〕

可撓性基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。基板に用いる可撓性基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。基板に用いる可撓性基板は、例えば、線膨張率が $1 \times 10^{-3}/K$ 以下、 $5 \times 10^{-5}/K$ 以下、または $1 \times 10^{-5}/K$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可撓性基板として好適である。

## 〔0161〕

## 〔絶縁層〕

絶縁層は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、アルミニウムシリケートなどから選ばれた材料を、単層でまたは積層して用いる。また、酸化物材料、窒化物材料、酸化窒化物材料、窒化酸化物材料のうち、複数の材料を混合した材料を用いてもよい。

## 〔0162〕

なお、本明細書等において、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。また、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいう。なお、各元素の含有量は、例えば、ラザフォード後方散乱法（RBS: Rutherford Backscattering Spectrometry）等を用いて測定することができる。

## 〔0163〕

また、半導体層として金属酸化物の一種である酸化物半導体を用いる場合は、半導体層中の水素濃度

の増加を防ぐために、絶縁層中の水素濃度を低減することが好ましい。具体的には、絶縁層中の水素濃度を、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）において  $2 \times 10^{20} \text{ atoms/cm}^3$  以下、好ましくは  $5 \times 10^{19} \text{ atoms/cm}^3$  以下、より好ましくは  $1 \times 10^{19} \text{ atoms/cm}^3$  以下、さらに好ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  以下とする。特に、半導体層と接する絶縁層の水素濃度を低減することが好ましい。

[0164]

また、半導体層中の窒素濃度の増加を防ぐために、絶縁層中の窒素濃度を低減することが好ましい。具体的には、絶縁層中の窒素濃度を、SIMSにおいて  $5 \times 10^{19} \text{ atoms/cm}^3$  以下、好ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  以下、より好ましくは  $1 \times 10^{18} \text{ atoms/cm}^3$  以下、さらに好ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下とする。

[0165]

また、絶縁層の少なくとも半導体層と接する領域は、欠陥が少ないことが好ましく、代表的には、電子スピン共鳴法（ESR: Electron Spin Resonance）で観察されるシグナルが少ない方が好ましい。例えば、上述のシグナルとしては、g 値が 2.001 に観察される E' センターが挙げられる。なお、E' センターは、シリコンのダングリングボンドに起因する。例えば、絶縁層として、酸化シリコン層または酸化窒化シリコン層を用いる場合、E' センター起因のスピンの密度が、 $3 \times 10^{17} \text{ spins/cm}^3$  以下、好ましくは  $5 \times 10^{16} \text{ spins/cm}^3$  以下である酸化シリコン層または酸化窒化シリコン層を用いればよい。

[0166]

また、上述のシグナル以外に二酸化窒素（ $\text{NO}_2$ ）に起因するシグナルが観察される場合がある。当該シグナルは、Nの核スピンにより3つのシグナルに分裂しており、それぞれのg 値が 2.037 以上 2.039 以下（第1のシグナルとする）、g 値が 2.001 以上 2.003 以下（第2のシグナルとする）、およびg 値が 1.964 以上 1.966 以下（第3のシグナルとする）に観察される。

[0167]

例えば、絶縁層として、二酸化窒素（ $\text{NO}_2$ ）に起因するシグナルのスピンの密度が、 $1 \times 10^{17} \text{ spins/cm}^3$  以上  $1 \times 10^{18} \text{ spins/cm}^3$  未満である絶縁層を用いると好適である。

[0168]

なお、二酸化窒素（ $\text{NO}_2$ ）を含む窒素酸化物（ $\text{NO}_x$ ）は、絶縁層中に準位を形成する。当該準位は、酸化物半導体層のエネルギーギャップ内に位置する。そのため、窒素酸化物（ $\text{NO}_x$ ）が、絶縁層と酸化物半導体層の界面に拡散すると、当該準位が絶縁層側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁層と酸化物半導体層の界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。したがって、絶縁層として窒素酸化物の含有量が少ない膜を用いると、トランジスタのしきい値電圧のシフトを低減することができる。

[0169]

窒素酸化物（ $\text{NO}_x$ ）の放出量が少ない絶縁層としては、例えば、酸化窒化シリコン層を用いることができる。当該酸化窒化シリコン層は、昇温脱離ガス分析法（TDS: Thermal Desorption Spectroscopy）において、窒素酸化物（ $\text{NO}_x$ ）の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が  $1 \times 10^{18}$  分子/ $\text{cm}^3$  以上  $5 \times 10^{19}$  分子/ $\text{cm}^3$  以下である。なお、上記のアンモニアの放出量は、TDSにおける加熱処理の温度が  $50^\circ\text{C}$  以上  $650^\circ\text{C}$  以下、または  $50^\circ\text{C}$  以上  $550^\circ\text{C}$  以下の範囲での総量である。

[0170]

窒素酸化物 ( $\text{NO}_x$ ) は、加熱処理においてアンモニアおよび酸素と反応するため、アンモニアの放出量が多い絶縁層を用いることで窒素酸化物 ( $\text{NO}_x$ ) が低減される。

[0171]

また、酸化物半導体層に接する絶縁層のうち少なくとも1つは、加熱により酸素が放出される絶縁層を用いて形成することが好ましい。具体的には、絶縁層の表面温度が $100^\circ\text{C}$ 以上 $700^\circ\text{C}$ 以下、好ましくは $100^\circ\text{C}$ 以上 $500^\circ\text{C}$ 以下の加熱処理で行われるTDSにて、酸素原子に換算した酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である絶縁層を用いることが好ましい。なお、本明細書などにおいて、加熱により放出される酸素を「過剰酸素」ともいう。

[0172]

また、過剰酸素を含む絶縁層は、絶縁層に酸素を添加する処理を行って形成することもできる。酸素を添加する処理は、酸化性雰囲気下における熱処理やプラズマ処理などで行なうことができる。または、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法などを用いて酸素を添加してもよい。酸素を添加する処理に用いるガスとしては、 $^{16}\text{O}_2$ もしくは $^{18}\text{O}_2$ などの酸素ガス、亜酸化窒素ガス、またはオゾンガスなどの、酸素を含むガスが挙げられる。なお、本明細書では酸素を添加する処理を「酸素ドーピング処理」ともいう。酸素ドーピング処理は、基板を加熱して行なってもよい。

[0173]

また、絶縁層として、ポリイミド、アクリル系樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ系樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料)、シロキサン系樹脂、PSG (リンガラス)、BPSG (リンボロンガラス) 等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、絶縁層を形成してもよい。

[0174]

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された $\text{Si-O-Si}$ 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基 (例えばアルキル基やアリール基) やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

[0175]

絶縁層の形成方法は、特に限定されない。なお、絶縁層に用いる材料によっては焼成工程が必要な場合がある。この場合、絶縁層の焼成工程と他の熱処理工程を兼ねることで、効率よくトランジスタを作製することが可能となる。

[0176]

〔電極〕

電極を形成するための導電性材料としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0177]

また、上記の金属元素および酸素を含む導電性材料を用いてもよい。また、上記の金属元素および窒

素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物（ITO: Indium Tin Oxide）、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、インジウムガリウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。

[0178]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、窒素を含む導電性材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0179]

なお、半導体層に酸化物半導体を用いて、ゲート電極として前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いる場合は、酸素を含む導電性材料を半導体層側に設けるとよい。酸素を含む導電性材料を半導体層側に設けることで、当該導電性材料から離脱した酸素が半導体層に供給されやすくなる。

[0180]

なお、電極としては、例えば、タングステン、ポリシリコン等の埋め込み性の高い導電性材料を用いればよい。また、埋め込み性の高い導電性材料と、チタン層、窒化チタン層、窒化タンタル層などのバリア層（拡散防止層）を組み合わせて用いてもよい。なお、電極を「コンタクトプラグ」という場合がある。

[0181]

特に、ゲート絶縁層と接する電極に不純物が透過しにくい導電性材料を用いることが好ましい。不純物が透過しにくい導電性材料として、例えば窒化タンタルが挙げられる。

[0182]

絶縁層に不純物が透過しにくい絶縁性材料を用い、電極に不純物が透過しにくい導電性材料を用いることで、トランジスタへの不純物の拡散をさらに抑制することができる。よって、トランジスタの信頼性をさらに高めることができる。すなわち、記憶装置の信頼性をさらに高めることができる。

[0183]

[半導体層]

半導体層として、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコンや、ゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、酸化物半導体、窒化物半導体などの化合物半導体や、有機半導体などを用いることができる。

[0184]

また、半導体層として有機半導体を用いる場合は、芳香環をもつ低分子有機材料や $\pi$ 電子共役系導電性高分子などを用いることができる。例えば、ルブレイン、テトラセン、ペンタセン、ペリレンジイミド、テトラシアノキノジメタン、ポリチオフェン、ポリアセチレン、ポリパラフェニレンビニレンな

どを用いることができる。

[0185]

なお、半導体層を積層してもよい。半導体層を積層する場合は、それぞれ異なる結晶状態を有する半導体を用いてもよいし、それぞれ異なる半導体材料を用いてもよい。

[0186]

また、金属酸化物の一種である酸化物半導体のバンドギャップは2 e V以上あるため、半導体層に酸化物半導体を用いると、オフ電流が極めて少ないトランジスタを実現することができる。具体的には、ソースとドレイン間の電圧が3.5 V、室温（代表的には25℃）下において、チャネル幅1 μm当たりのオフ電流を $1 \times 10^{-20}$  A未満、 $1 \times 10^{-22}$  A未満、あるいは $1 \times 10^{-24}$  A未満とすることができる。すなわち、オンオフ比を20桁以上とすることもできる。また、半導体層に酸化物半導体を用いたトランジスタ（OSトランジスタ）は、ソースとドレイン間の絶縁耐圧が高い。よって、信頼性の良好なトランジスタを提供できる。また、出力電圧が大きく高耐圧なトランジスタを提供できる。また、信頼性の良好な記憶装置などを提供できる。また、出力電圧が大きく高耐圧な記憶装置を提供することができる。

[0187]

また、本明細書等において、チャネルが形成される半導体層に結晶性を有するシリコンを用いたトランジスタを「結晶性Siトランジスタ」ともいう。

[0188]

結晶性Siトランジスタは、OSトランジスタよりも比較的高い移動度を得やすい。一方で、結晶性Siトランジスタは、OSトランジスタのように極めて少ないオフ電流の実現が困難である。よって、半導体層に用いる半導体材料は、目的や用途に応じて適宜使い分けることが肝要である。例えば、目的や用途に応じて、OSトランジスタと結晶性Siトランジスタなどを組み合わせて用いてもよい。

[0189]

半導体層として酸化物半導体層を用いる場合は、酸化物半導体層をスパッタリング法で形成することが好ましい。酸化物半導体層は、スパッタリング法で形成すると酸化物半導体層の密度を高められるため、好適である。スパッタリング法で酸化物半導体層を形成する場合、スパッタリングガスには、希ガス（代表的にはアルゴン）、酸素、または、希ガスおよび酸素の混合ガスを用いればよい。また、スパッタリングガスの高純度化も必要である。例えば、スパッタリングガスとして用いる酸素ガスや希ガスは、露点が−60℃以下、好ましくは−100℃以下にまで高純度化したガスを用いる。高純度化されたスパッタリングガスを用いて成膜することで、酸化物半導体層に水分等が取り込まれることを可能な限り防ぐことができる。

[0190]

また、スパッタリング法で酸化物半導体層を形成する場合、スパッタリング装置が有する成膜室内の水分を可能な限り除去することが好ましい。例えば、クライオポンプのような吸着式の真空排気ポンプを用いて、成膜室内を高真空（ $5 \times 10^{-7}$  Paから $1 \times 10^{-4}$  Pa程度まで）に排気することが好ましい。特に、スパッタリング装置の待機時における、成膜室内のH<sub>2</sub>Oに相当するガス分子（m/z = 18に相当するガス分子）の分圧を $1 \times 10^{-4}$  Pa以下、好ましくは $5 \times 10^{-5}$  Pa以下とすることが好ましい。

[0191]

## 〔金属酸化物〕

金属酸化物の一種である酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

## 〔0192〕

ここで、酸化物半導体が、インジウム、元素Mおよび亜鉛を有する場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素として、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

## 〔0193〕

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

## 〔0194〕

## 〔金属酸化物の構成〕

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC (Cloud-Aligned Composite) -OSの構成について説明する。

## 〔0195〕

なお、本明細書等において、CAAC (c-axis aligned crystal)、およびCAC (Cloud-Aligned Composite) と記載する場合がある。なお、CAACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

## 〔0196〕

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（または正孔）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Offさせる機能) をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

## 〔0197〕

また、CAC-OSまたはCAC-metal oxideは、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0198]

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

[0199]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

[0200]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0201]

[金属酸化物の構造]

金属酸化物の一種である酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

[0202]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0203]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう。)を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0204]

また、CAAC-OSは、インジウム、および酸素を有する層(以下、In層)と、元素M、亜鉛、

および酸素を有する層（以下、(M、Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M、Zn)層の元素Mがインジウムと置換した場合、(In、M、Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In、M)層と表すこともできる。

#### [0205]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

#### [0206]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

#### [0207]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

#### [0208]

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

#### [0209]

##### [金属酸化物を有するトランジスタ]

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

#### [0210]

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

#### [0211]

また、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物膜のキャリア密度を低くする場合においては、金属酸化物膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

#### [0212]

また、高純度真性または実質的に高純度真性である金属酸化物膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0213]

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0214]

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0215]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0216]

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0217]

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0218]

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。したがって、当該金属酸化物において、チャネル形成領域の窒素はできる限り低減されていることが好ましい。例えば、金属酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0219]

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

$\text{atoms}/\text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 未満とする。

[0220]

不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0221]

<成膜方法について>

絶縁層を形成するための絶縁性材料、電極を形成するための導電性材料、または半導体層を形成するための半導体材料は、スパッタリング法、スピコート法、CVD (Chemical Vapor Deposition) 法 (熱CVD法、MOCVD (Metal Organic Chemical Vapor Deposition) 法、PECVD (Plasma Enhanced CVD) 法、高密度プラズマCVD (High density plasma CVD) 法、LPCVD (low pressure CVD) 法、APCVD (atmospheric pressure CVD) 法等を含む)、ALD (Atomic Layer Deposition) 法、または、MBE (Molecular Beam Epitaxy) 法、または、PLD (Pulsed Laser Deposition) 法、ディップ法、スプレー塗布法、液滴吐出法 (インクジェット法など)、印刷法 (スクリーン印刷、オフセット印刷など) を用いて形成することができる。

[0222]

プラズマCVD法は、比較的低温で高品質の膜が得られる。MOCVD法、ALD法、または熱CVD法などの、成膜時にプラズマを用いない成膜方法を用いると、被形成面にダメージが生じにくい。例えば、記憶装置に含まれる配線、電極、素子 (トランジスタ、容量素子など) などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、記憶装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない成膜方法の場合、こういったプラズマダメージが生じないため、記憶装置の歩留まりを高くすることができる。また、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0223]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0224]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、記憶装置の生産性を高めることができる場合がある。

[0225]

なお、ALD法により成膜する場合は、材料ガスとして塩素を含まないガスを用いることが好ましい。

[0226]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0227]

(実施の形態4)

本実施の形態では、上記実施の形態に示した半導体装置などに用いることができるトランジスタの構造例について説明する。

[0228]

<トランジスタの構造例1>

図13(A)、(B)および(C)を用いてトランジスタ510の構造例を説明する。図13(A)はトランジスタ510の上面図である。図13(B)は、図13(A)に一点鎖線L1-L2で示す部位の断面図である。図13(C)は、図13(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図13(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0229]

図13(A)、(B)および(C)では、トランジスタ510と、層間膜として機能する絶縁層511、絶縁層512、絶縁層514、絶縁層516、絶縁層580、絶縁層582、および絶縁層584を示している。また、トランジスタ510と電氣的に接続し、コンタクトプラグとして機能する導電層546(導電層546a、および導電層546b)と、配線として機能する導電層503と、を示している。

[0230]

トランジスタ510は、第1のゲート電極として機能する導電層560(導電層560a、および導電層560b)と、第2のゲート電極として機能する導電層505(導電層505a、および導電層505b)と、第1のゲート絶縁膜として機能する絶縁層550と、第2のゲート絶縁層として機能する絶縁層521、絶縁層522、および絶縁層524と、チャネルが形成される領域を有する酸化物530(酸化物530a、酸化物530b、および酸化物530c)と、ソースまたはドレインの一方として機能する導電層540aと、ソースまたはドレインの他方として機能する導電層540bと、絶縁層574とを有する。

[0231]

また、図13に示すトランジスタ510では、酸化物530c、絶縁層550、および導電層560が、絶縁層580に設けられた開口部内に、絶縁層574を介して配置される。また、酸化物530c、絶縁層550、および導電層560は、導電層540a、および導電層540bとの間に配置される。

[0232]

絶縁層511、および絶縁層512は、層間膜として機能する。

[0233]

層間膜としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム( $\text{SrTiO}_3$ )または( $\text{Ba, SrTiO}_3$ )(BST)などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タンゲステン、酸化イットリウム、酸化

ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0234]

例えば、絶縁層511は、水または水素などの不純物が、基板側からトランジスタ510に混入するのを抑制するバリア膜として機能することが好ましい。したがって、絶縁層511は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料を用いることが好ましい。また、例えば、絶縁層511として酸化アルミニウムや窒化シリコンなどを用いてもよい。当該構成により、水素、水などの不純物が絶縁層511より基板側からトランジスタ510側に拡散するのを抑制することができる。

[0235]

例えば、絶縁層512は、絶縁層511よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0236]

導電層503は、絶縁層512に埋め込まれるように形成される。ここで、導電層503の上面の高さと、絶縁層512の上面の高さは同程度にできる。なお導電層503は、単層とする構成について示しているが、本発明はこれに限られるものではない。例えば、導電層503を2層以上の多層膜構造としてもよい。なお、導電層503は、タングステン、銅、またはアルミニウムを主成分とする導電性が高い導電性材料を用いることが好ましい。

[0237]

トランジスタ510において、導電層560は、第1のゲート（トップゲートともいう。）電極として機能する場合がある。また、導電層505は、第2のゲート（ボトムゲートともいう。）電極として機能する場合がある。その場合、導電層505に印加する電位を、導電層560に印加する電位と連動させず、独立して変化させることで、トランジスタ510の閾値電圧を制御することができる。特に、導電層505に負の電位を印加することにより、トランジスタ510の閾値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電層505に負の電位を印加したほうが、印加しない場合よりも、導電層560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0238]

また、例えば、導電層505と、導電層560とを重畳して設けることで、導電層560、および導電層505に電位を印加した場合、導電層560から生じる電界と、導電層505から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。

[0239]

つまり、第1のゲート電極としての機能を有する導電層560の電界と、第2のゲート電極としての機能を有する導電層505の電界によって、チャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、`surrounded channel`（`S-channel`）構造とよぶ。

[0240]

絶縁層 5 1 4、および絶縁層 5 1 6 は、絶縁層 5 1 1 または絶縁層 5 1 2 と同様に、層間膜として機能する。例えば、絶縁層 5 1 4 は、水または水素などの不純物が、基板側からトランジスタ 5 1 0 に混入するのを抑制するバリア膜として機能することが好ましい。当該構成により、水素、水などの不純物が絶縁層 5 1 4 より基板側からトランジスタ 5 1 0 側に拡散するのを抑制することができる。また、例えば、絶縁層 5 1 6 は、絶縁層 5 1 4 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0241]

第 2 のゲートとして機能する導電層 5 0 5 は、絶縁層 5 1 4 および絶縁層 5 1 6 の開口の内壁に接して導電層 5 0 5 a が形成され、さらに内側に導電層 5 0 5 b が形成されている。ここで、導電層 5 0 5 a および導電層 5 0 5 b の上面の高さと、絶縁層 5 1 6 の上面の高さは同程度にできる。なお、トランジスタ 5 1 0 では、導電層 5 0 5 a および導電層 5 0 5 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電層 5 0 5 は、単層、または 3 層以上の積層構造として設ける構成にしてもよい。

[0242]

ここで、導電層 5 0 5 a は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

[0243]

例えば、導電層 5 0 5 a が酸素の拡散を抑制する機能を持つことにより、導電層 5 0 5 b が酸化して導電率が低下することを抑制することができる。

[0244]

また、導電層 5 0 5 が配線の機能を兼ねる場合、導電層 5 0 5 b は、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電層 5 0 3 は、必ずしも設けなくともよい。なお、導電層 5 0 5 b を単層で図示したが、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0245]

絶縁層 5 2 1、絶縁層 5 2 2、および絶縁層 5 2 4 は、第 2 のゲート絶縁体としての機能を有する。

[0246]

また、絶縁層 5 2 2 は、バリア性を有することが好ましい。絶縁層 5 2 2 がバリア性を有することで、トランジスタ 5 1 0 の周辺部からトランジスタ 5 1 0 への水素等の不純物の混入を抑制する層として機能する。

[0247]

絶縁層 5 2 2 は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $\text{SrTiO}_3$ ）または（ $\text{Ba, SrTiO}_3$ ）（BST）などのいわゆる *high-k* 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合

がある。ゲート絶縁体として機能する絶縁体に *h i g h - k* 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0248]

例えば、絶縁層 521 は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、*h i g h - k* 材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁層を得ることができる。

[0249]

なお、図 13 には、第 2 のゲート絶縁体として、3 層の積層構造を示したが、単層、または 2 層以上の積層構造としてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0250]

チャネル形成領域として機能する領域を有する酸化物 530 は、酸化物 530 a と、酸化物 530 a 上の酸化物 530 b と、酸化物 530 b 上の酸化物 530 c と、を有する。酸化物 530 b 下に酸化物 530 a を有することで、酸化物 530 a よりも下方に形成された構造物から、酸化物 530 b への不純物の拡散を抑制することができる。また、酸化物 530 b 上に酸化物 530 c を有することで、酸化物 530 c よりも上方に形成された構造物から、酸化物 530 b への不純物の拡散を抑制することができる。酸化物 530 として、上記実施の形態に示した金属酸化物の一種である酸化物半導体を用いることができる。

[0251]

なお、酸化物 530 c は、絶縁層 580 に設けられた開口部内に、絶縁層 574 を介して設けられることが好ましい。絶縁層 574 がバリア性を有する場合、絶縁層 580 からの不純物が酸化物 530 へと拡散することを抑制することができる。

[0252]

導電層 540 a と導電層 540 b は、一方がソース電極として機能し、他方がドレイン電極として機能する。

[0253]

導電層 540 a と、導電層 540 b とは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を用いることができる。特に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があり、また、耐酸化性が高いため、好ましい。

[0254]

また、図 13 では単層構造を示したが、2 層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

[0255]

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン

膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

[0256]

また、導電層540上に、バリア層を設けてもよい。バリア層は、酸素、または水素に対してバリア性を有する物質を用いることが好ましい。当該構成により、絶縁層574を成膜する際に、導電層540が酸化することを抑制することができる。

[0257]

バリア層には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD法で形成した窒化シリコンを用いてもよい。

[0258]

バリア層を有することで、導電層540の材料選択の幅を広げることができる。例えば、導電層540に、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

[0259]

絶縁層550は、第1のゲート絶縁体として機能する。絶縁層550は、絶縁層580に設けられた開口部内に、酸化物530c、および絶縁層574を介して設けられることが好ましい。

[0260]

トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。その場合、絶縁層550は、第2のゲート絶縁体と同様に、積層構造としてもよい。ゲート絶縁体として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0261]

第1のゲート電極として機能する導電層560は、導電層560a、および導電層560a上の導電層560bを有する。導電層560aは、導電層505aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0262]

導電層560aが酸素の拡散を抑制する機能を持つことにより、導電層560bの材料選択性を向上することができる。つまり、導電層560aを有することで、導電層560bの酸化が抑制され、導電率が低下することを防止することができる。

[0263]

酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、導電層560aとして、酸化物530として用いることができる酸化物半導体を用いることができる。その場合、導電層560bをスパッタリング法で成膜することで、導電層560aの電気抵抗値を低下させて導電体とすることができる。これをOC（Oxide Conductor）電極と呼ぶことができる。

[0264]

導電層560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電層560は、配線として機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電層560bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0265]

絶縁層580と、トランジスタ510との間に絶縁層574を配置する。絶縁層574は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0266]

絶縁層574を有することで、絶縁層580が有する水、および水素などの不純物が酸化物530c、絶縁層550を介して、酸化物530bに拡散することを抑制することができる。また、絶縁層580が有する過剰酸素により、導電層560が酸化するのを抑制することができる。

[0267]

絶縁層580、絶縁層582、および絶縁層584は、層間膜として機能する。

[0268]

絶縁層582は、絶縁層514と同様に、水または水素などの不純物が、外部からトランジスタ510に混入するのを抑制するバリア絶縁膜として機能することが好ましい。

[0269]

また、絶縁層580、および絶縁層584は、絶縁層516と同様に、絶縁層582よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0270]

また、トランジスタ510は、絶縁層580、絶縁層582、および絶縁層584に埋め込まれた導電層546などのプラグや配線を介して、他の構造と電氣的に接続してもよい。

[0271]

また、導電層546の材料としては、導電層505と同様に、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。例えば、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0272]

例えば、導電層546としては、例えば、水素、および酸素に対してバリア性を有する導電体である窒化タンタル等と、導電性が高いタングステンとの積層構造を用いることで、配線としての導電性を保持したまま、外部からの不純物の拡散を抑制することができる。

[0273]

上記構造を有することで、オン電流が大きい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

[0274]

<トランジスタの構造例2>

図14(A)、(B)および(C)を用いてトランジスタ510の構造例を説明する。図14(A)はトランジスタ520の上面図である。図14(B)は、図14(A)に一点鎖線L1-L2で示す部位の断面図である。図14(C)は、図14(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図14(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0275]

トランジスタ520はトランジスタ510の変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ510と異なる点について説明する。

[0276]

トランジスタ520は、導電層540(導電層540a、および導電層540b)と、酸化物530c、絶縁層550、および導電層560と、が重畳する領域を有する。当該構造とすることで、オン電流が高いトランジスタを提供することができる。また、制御性が高いトランジスタを提供することができる。

[0277]

第1のゲート電極として機能する導電層560は、導電層560a、および導電層560a上の導電層560bを有する。導電層560aは、導電層505aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0278]

導電層560aが酸素の拡散を抑制する機能を持つことにより、導電層560bの材料選択性を向上することができる。つまり、導電層560aを有することで、導電層560bの酸化が抑制され、導電率が低下することを防止することができる。

[0279]

また、導電層560の上面および側面、絶縁層550の側面、および酸化物530cの側面を覆うように、絶縁層574を設けることが好ましい。なお、絶縁層574は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0280]

絶縁層574を設けることで、導電層560の酸化を抑制することができる。また、絶縁層574を有することで、絶縁層580が有する水、および水素などの不純物がトランジスタ520へ拡散することを抑制することができる。

[0281]

また、導電層546と、絶縁層580との間に、バリア性を有する絶縁層576（絶縁層576a、および絶縁層576b）を配置してもよい。絶縁層576を設けることで、絶縁層580の酸素が導電層546と反応し、導電層546が酸化することを抑制することができる。

[0282]

また、バリア性を有する絶縁層576を設けることで、プラグや配線に用いられる導電体の材料選択の幅を広げることができる。例えば、導電層546に、酸素を吸収する性質を持つ一方で、導電性が高い金属材料を用いることで、低消費電力の半導体装置を提供することができる。具体的には、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

[0283]

<トランジスタの構造例3>

図15（A）、（B）および（C）を用いてトランジスタ535の構造例を説明する。図15（A）はトランジスタ535の上面図である。図15（B）は、図15（A）に一点鎖線で示すL1-L2部位の断面図である。図15（C）は、図15（A）に一点鎖線で示すW1-W2部位の断面図である。なお、図15（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0284]

トランジスタ535はトランジスタ510の変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ510と異なる点について説明する。

[0285]

トランジスタ510では、絶縁層574の一部が絶縁層580に設けられた開口部内に設けられ、導電層560の側面を覆うように設けられている。一方で、トランジスタ535では絶縁層580と絶縁層574の一部を除去して開口が形成されている。

[0286]

また、導電層546と、絶縁層580との間に、バリア性を有する絶縁層576（絶縁層576a、および絶縁層576b）を配置してもよい。絶縁層576を設けることで、絶縁層580の酸素が導電層546と反応し、導電層546が酸化することを抑制することができる。

[0287]

なお、酸化物530として酸化物半導体を用いる場合は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、 $I_n$ に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、 $I_n$ に対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対する $I_n$ の原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対する $I_n$ の原子数比より大きいことが好ましい。また、酸化物530cは、酸化物530aまたは酸化物530bに用いることができる金属酸化物を用いることができる。

[0288]

酸化物530a、酸化物530b、および酸化物530cは、結晶性を有することが好ましく、特に、CAAC-OSを用いることが好ましい。CAAC-OS等の結晶性を有する酸化物は、不純物や欠

陥（酸素欠損等）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物530bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物530bから酸素が引き抜かれることを低減できるので、トランジスタ535は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0289]

なお、酸化物530aおよび酸化物530cの一方または双方を省略してもよい。酸化物530を酸化物530bの単層としてもよい。酸化物530を酸化物530a、酸化物530b、および酸化物530cの積層とする場合は、酸化物530aおよび酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530aおよび酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。この場合、酸化物530cは、酸化物530aに用いることができる金属酸化物を用いることが好ましい。具体的には、酸化物530cに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530cに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530cに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0290]

ここで、酸化物530a、酸化物530b、および酸化物530cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a、酸化物530b、および酸化物530cの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面、および酸化物530bと酸化物530cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0291]

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530cが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530aおよび酸化物530cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウム等を用いてもよい。また、酸化物530cを積層構造としてもよい。例えば、In-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上のGa-Zn酸化物との積層構造、またはIn-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上の酸化ガリウムとの積層構造を用いることができる。別言すると、In-Ga-Zn酸化物と、Inを含まない酸化物との積層構造を、酸化物530cとして用いてもよい。

[0292]

具体的には、酸化物530aとして、In:Ga:Zn=1:3:4 [原子数比]、または1:1:0.5 [原子数比]の金属酸化物を用いればよい。また、酸化物530bとして、In:Ga:Zn=4:2:3 [原子数比]、または3:1:2 [原子数比]の金属酸化物を用いればよい。また、酸化物530cとして、In:Ga:Zn=1:3:4 [原子数比]、In:Ga:Zn=4:2:3 [原子数比]、Ga:Zn=2:1 [原子数比]、またはGa:Zn=2:5 [原子数比]の金属酸化

物を用いればよい。また、酸化物 530c を積層構造とする場合の具体例としては、 $In : Ga : Zn = 4 : 2 : 3$  [原子数比] と、 $Ga : Zn = 2 : 1$  [原子数比] との積層構造、 $In : Ga : Zn = 4 : 2 : 3$  [原子数比] と、 $Ga : Zn = 2 : 5$  [原子数比] との積層構造、 $In : Ga : Zn = 4 : 2 : 3$  [原子数比] と、酸化ガリウムとの積層構造等が挙げられる。

[0293]

このとき、キャリアの主たる経路は酸化物 530b となる。酸化物 530a、酸化物 530c を上述の構成とすることで、酸化物 530a と酸化物 530b との界面、および酸化物 530b と酸化物 530c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 535 は高いオン電流、および高い周波数特性を得ることができる。なお、酸化物 530c を積層構造とした場合、上述の酸化物 530b と、酸化物 530c との界面における欠陥準位密度を低くする効果に加え、酸化物 530c が有する構成元素が、絶縁層 550 側に拡散するのを抑制することが期待される。より具体的には、酸化物 530c を積層構造とし、積層構造の上方に  $In$  を含まない酸化物を位置させるため、絶縁層 550 側に拡散しうる  $In$  を抑制することができる。絶縁層 550 は、ゲート絶縁体として機能するため、 $In$  が拡散した場合、トランジスタの特性不良となる。したがって、酸化物 530c を積層構造とすることで、信頼性の高い表示装置を提供することが可能となる。

[0294]

酸化物 530 は、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物 530 のチャネル形成領域となる金属酸化物としては、バンドギャップが  $2\text{ eV}$  以上、好ましくは  $2.5\text{ eV}$  以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。このようなトランジスタを用いることで、低消費電力の半導体装置を提供できる。

[0295]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0296]

(実施の形態 5)

本実施の形態は、上記実施の形態に示す記憶装置などが組み込まれた電子部品および電子機器の一例を示す。

[0297]

<電子部品>

まず、記憶装置 300 が組み込まれた電子部品の例を、図 16 (A)、(B) を用いて説明を行う。

[0298]

図 16 (A) に電子部品 700 および電子部品 700 が実装された基板 (実装基板 704) の斜視図を示す。図 16 (A) に示す電子部品 700 は IC チップであり、リードおよび回路部を有する。電子部品 700 は、例えばプリント基板 702 に実装される。このような IC チップが複数組み合わせられて、それぞれがプリント基板 702 上で電氣的に接続されることで実装基板 704 が完成する。

[0299]

電子部品 700 の回路部として、上記実施の形態に示した記憶装置 300 が設けられている。図 16 (A) では、電子部品 700 のパッケージに QFP (Quad Flat Package) を適用しているが、パッケージの態様はこれに限定されない。

[0300]

図16(B)に電子部品730の斜視図を示す。電子部品730は、SiP(System in package)またはMCM(Multi Chip Module)の一例である。電子部品730は、パッケージ基板732(プリント基板)上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、および複数の記憶装置300が設けられている。

[0301]

電子部品730では、記憶装置300を広帯域メモリ(HBM:High Bandwidth Memory)として用いる例を示している。また、半導体装置735は、CPU、GPU、FPGAなどの集積回路(半導体装置)を用いることができる。

[0302]

パッケージ基板732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0303]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV(Through Silicon Via)を用いることも出来る。

[0304]

インターポーザ731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0305]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0306]

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

[0307]

また、電子部品730と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置300と半導体装置735の高さを揃えることが好ましい。

[0308]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図16(B)では、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA(Ball Grid Array)実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA(Pin Grid Array)実装を実現できる。

[0309]

電子部品730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA(Staggered Pin Grid Array)、LGA(Land Grid Array)、QFP(Quad Flat Package)、QFJ(Quad Flat J-leaded package)、またはQFN(Quad Flat Non-leaded package)などの実装方法を用いることができる。

[0310]

&lt;電子機器&gt;

次に、上記電子部品を備えた電子機器の例について図17を用いて説明を行う。

[0311]

ロボット7100は、照度センサ、マイクロフォン、カメラ、スピーカ、ディスプレイ、各種センサ(赤外線センサ、超音波センサ、加速度センサ、圧電センサ、光センサ、ジャイロセンサなど)、および移動機構などを備える。電子部品730はプロセッサなどを有し、これら周辺機器を制御する機能を有する。例えば、電子部品700はセンサで取得されたデータを記憶する機能を有する。

[0312]

マイクロフォンは、使用者の音声および環境音などのオーディオ信号を検知する機能を有する。また、スピーカは、音声および警告音などのオーディオ信号を発する機能を有する。ロボット7100は、マイクロフォンを介して入力されたオーディオ信号を解析し、必要なオーディオ信号をスピーカから発することができる。ロボット7100において、は、マイクロフォン、およびスピーカを用いて、使用者とコミュニケーションをとることが可能である。

[0313]

カメラは、ロボット7100の周囲の画像を撮像する機能を有する。また、ロボット7100は、移動機構を用いて移動する機能を有する。ロボット7100は、カメラを用いて周囲の画像を撮像し、画像を解析して移動する際の障害物の有無などを察知することができる。

[0314]

飛行体7120は、プロペラ、カメラ、およびバッテリーなどを有し、自律して飛行する機能を有する。電子部品730はこれら周辺機器を制御する機能を有する。

[0315]

例えば、カメラで撮影した画像データは、電子部品700に記憶される。電子部品730は、画像データを解析し、移動する際の障害物の有無などを察知することができる。また、電子部品730によってバッテリーの蓄電容量の変化から、バッテリー残量を推定することができる。

[0316]

掃除ロボット7140は、上面に配置されたディスプレイ、側面に配置された複数のカメラ、ブラシ、

操作ボタン、各種センサなどを有する。図示されていないが、掃除ロボット 7 1 4 0 には、タイヤ、吸い込み口等が備えられている。掃除ロボット 7 1 4 0 は自走し、ゴミを検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

[0 3 1 7]

例えば、電子部品 7 3 0 は、カメラが撮影した画像を解析し、壁、家具または段差などの障害物の有無を判断することができる。また、画像解析により、配線などブラシに絡まりそうな物体を検知した場合は、ブラシの回転を止めることができる。

[0 3 1 8]

自動車 7 1 6 0 は、エンジン、タイヤ、ブレーキ、操舵装置、カメラなどを有する。例えば、電子部品 7 3 0 は、ナビゲーション情報、速度、エンジンの状態、ギアを選択状態、ブレーキの使用頻度などのデータに基づいて、自動車 7 1 6 0 の走行状態を最適化するための制御を行う。例えば、カメラで撮影した画像データは電子部品 7 0 0 に記憶される。

[0 3 1 9]

電子部品 7 0 0 および／または電子部品 7 3 0 は、テレビジョン受像 (TV) 装置 7 2 0 0、スマートフォン 7 2 1 0、PC 7 2 2 0 (パーソナルコンピュータ)、7 2 3 0、ゲーム機 7 2 4 0、ゲーム機 7 2 6 0 等に組み込むことができる。

[0 3 2 0]

例えば、TV 装置 7 2 0 0 に内蔵された電子部品 7 3 0 は画像エンジンとして機能させることができる。例えば、電子部品 7 3 0 は、ノイズ除去、解像度アップコンバージョンなどの画像処理を行う。

[0 3 2 1]

スマートフォン 7 2 1 0 は、携帯情報端末の一例である。スマートフォン 7 2 1 0 は、マイクロフォン、カメラ、スピーカ、各種センサ、および表示部を有する。電子部品 7 3 0 によってこれら周辺機器が制御される。

[0 3 2 2]

PC 7 2 2 0、PC 7 2 3 0 はそれぞれノート型 PC、据え置き型 PC の例である。PC 7 2 3 0 には、キーボード 7 2 3 2、およびモニタ装置 7 2 3 3 が無線または有線により接続可能である。ゲーム機 7 2 4 0 は携帯型ゲーム機の例である。ゲーム機 7 2 6 0 は据え置き型ゲーム機の例である。ゲーム機 7 2 6 0 には、無線または有線でコントローラ 7 2 6 2 が接続されている。コントローラ 7 2 6 2 に、電子部品 7 0 0 および／または電子部品 7 3 0 を組み込むこともできる。

[0 3 2 3]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0 3 2 4]

(実施の形態 6)

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器 (例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ (ビデオカメラも含む)、録画再生装置、ナビゲーションシステムなど) の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータや、ノート型のコンピュータや、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード (例えば、SD カード)、USB メモリ、SSD (ソリッド・ステート・ドライブ) 等の各種

のリムーバブル記憶装置に適用される。図18にリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0325]

図18(A)はUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。基板1104のメモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

[0326]

図18(B)はSDカードの外観の模式図であり、図18(C)は、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。基板1113のメモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

[0327]

図18(D)はSSDの外観の模式図であり、図18(E)は、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。基板1153のメモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

[0328]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[符号の説明]

[0329]

100：半導体装置、110：電圧生成回路、120：電圧保持回路、130：温度検知回路、131：温度センサ、132：アナログーデジタル変換回路、140：電圧制御回路、145：ロジック回路、146：電圧生成回路

## 請求の範囲

## [請求項 1]

第 1 回路と、第 2 回路と、第 3 回路と、第 4 回路と、出力端子と、  
を有する半導体装置であって、  
前記第 1 回路は、前記第 2 回路に電圧を供給する機能を有し、  
前記第 2 回路は、  
前記出力端子に第 1 電圧を供給する機能と、  
前記出力端子の電圧を保持する機能と、を有し、  
前記第 3 回路は、  
温度情報を取得する機能と、  
前記温度情報に応じたデジタル信号を前記第 4 回路に供給する機能と、を有し、  
前記第 4 回路は、  
前記デジタル信号に応じた第 2 電圧を出力する機能を有し、  
前記出力端子の電圧は、  
前記第 1 電圧と前記第 2 電圧を合計した電圧であることを特徴とする半導体装置。

## [請求項 2]

請求項 1 において、  
前記出力端子は、トランジスタのバックゲートと電気的に接続することを特徴とする半導体装置。

## [請求項 3]

請求項 1 または請求項 2 において、  
前記トランジスタは半導体層に酸化物半導体を含むことを特徴とする半導体装置。

## [請求項 4]

請求項 1 乃至請求項 3 のいずれか一項において、  
前記第 4 回路は、複数の容量素子を有し、  
前記複数の容量素子は、それぞれが前記出力端子と電気的に接続することを特徴とする半導体装置。

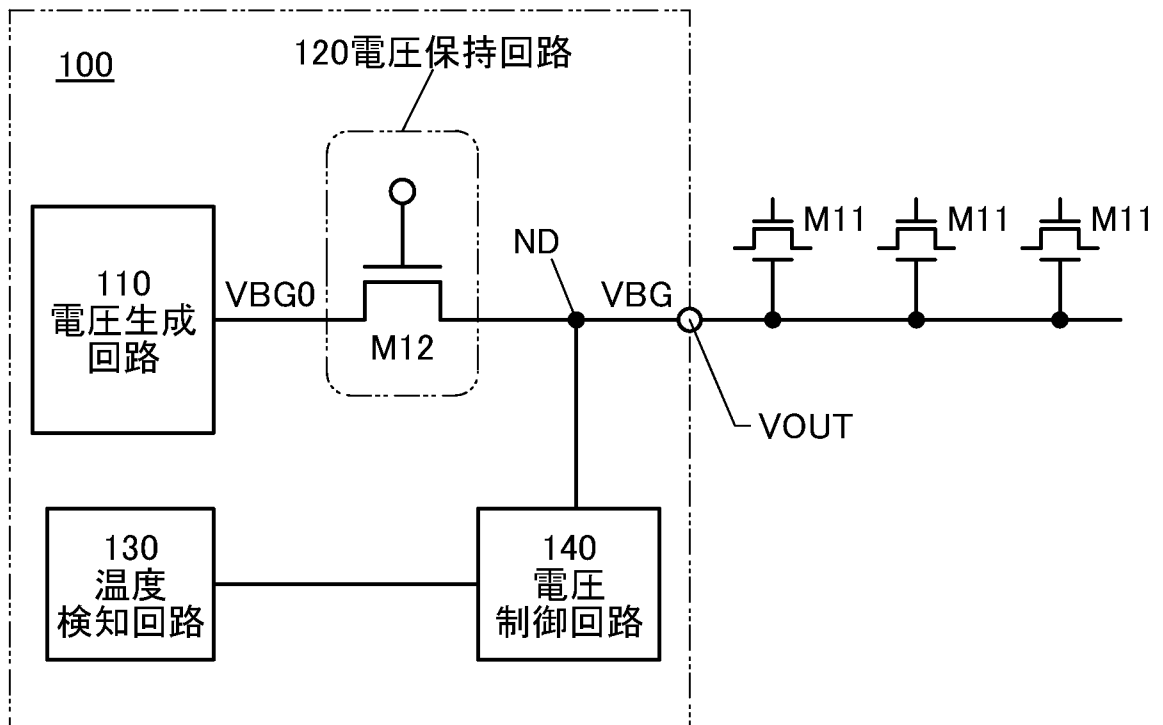
## [請求項 5]

請求項 4 において、  
前記複数の容量素子は、それぞれ異なる容量値を有することを特徴とする半導体装置。

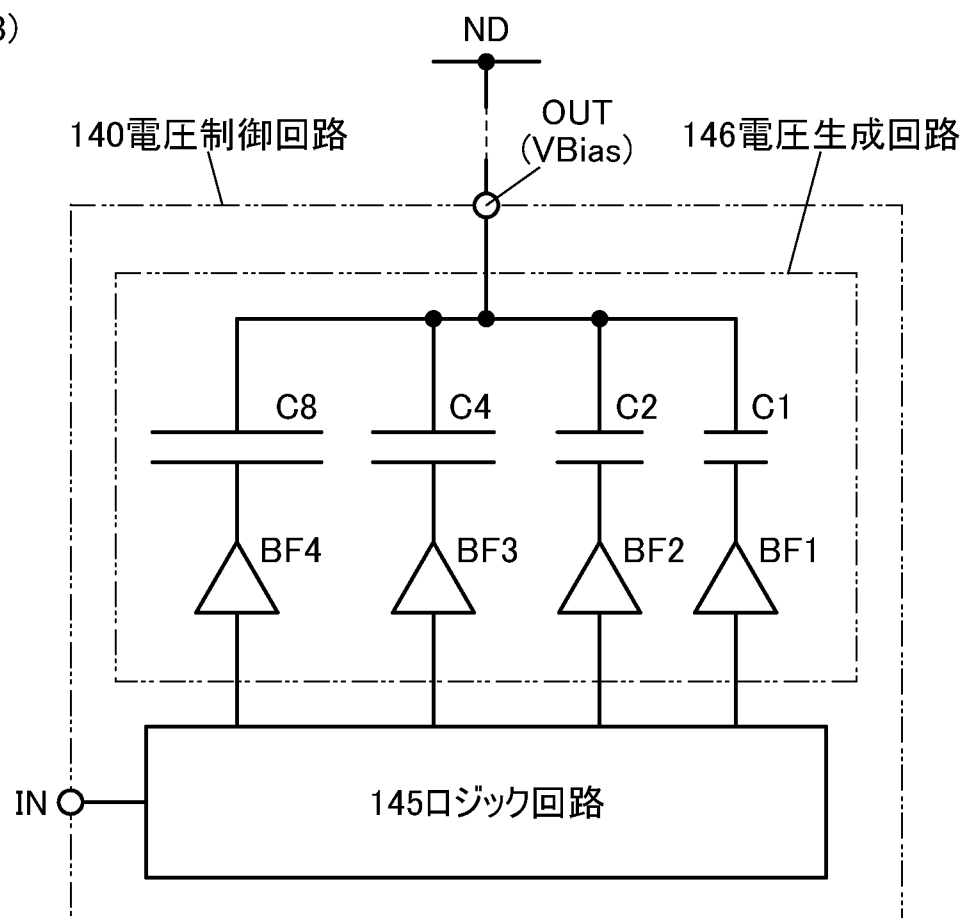
[図1]

1/18

(A)

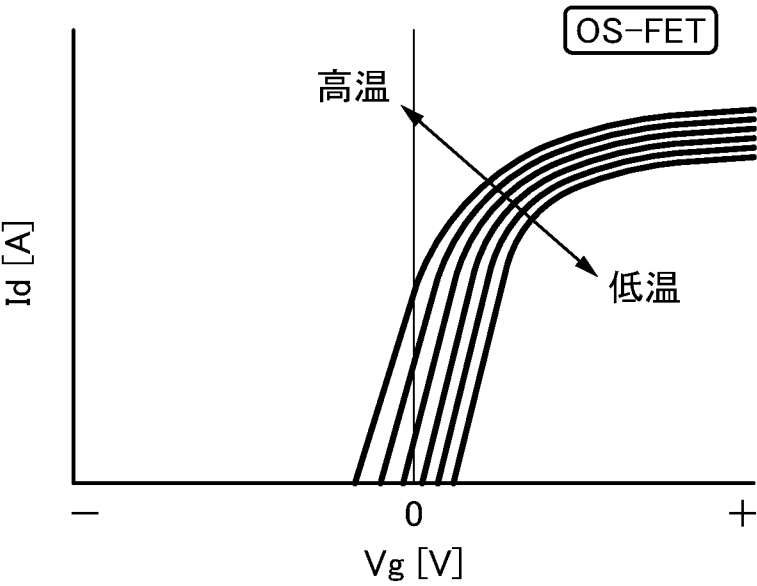


(B)

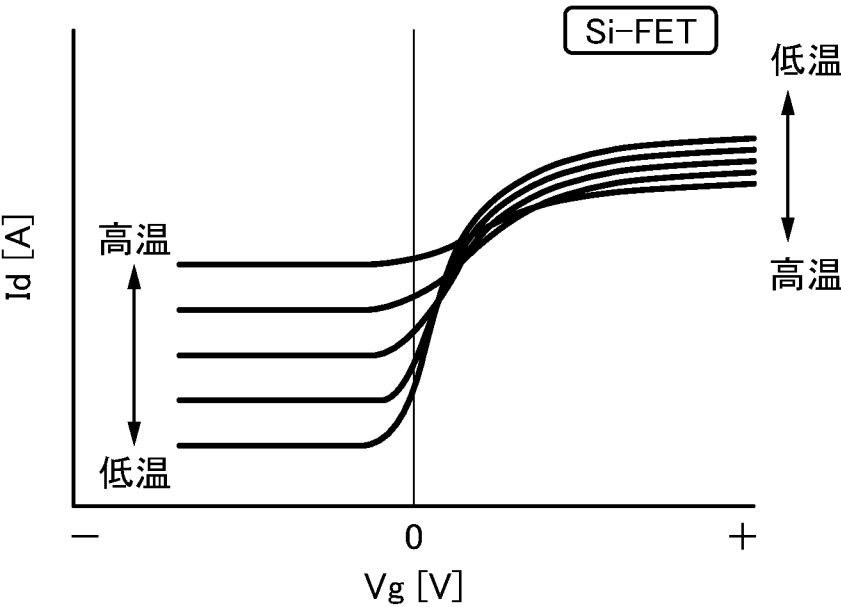


[図2]

(A)

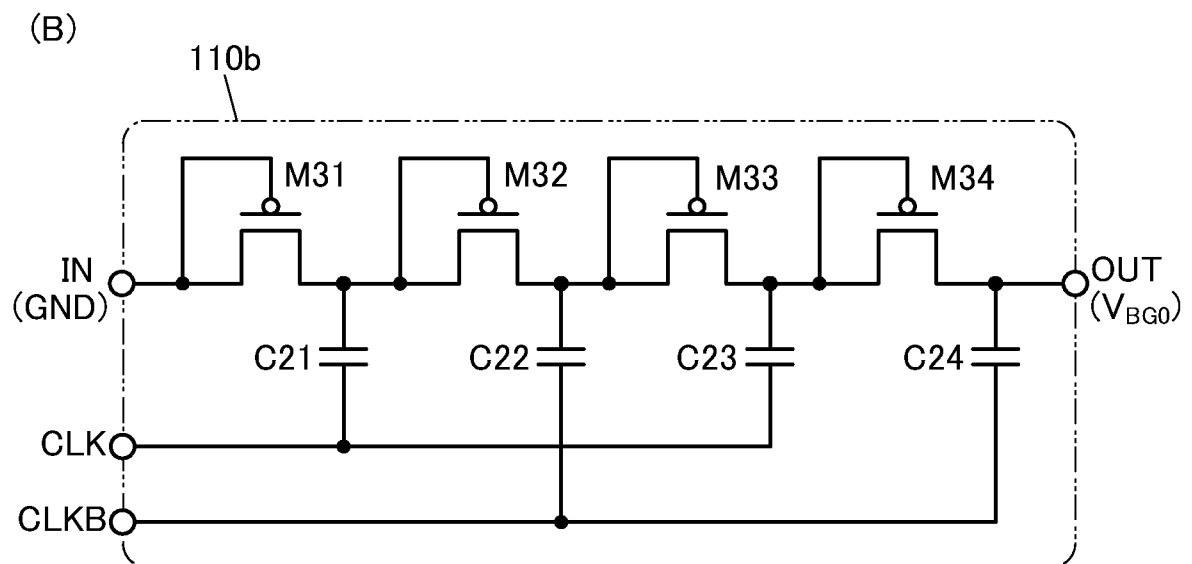
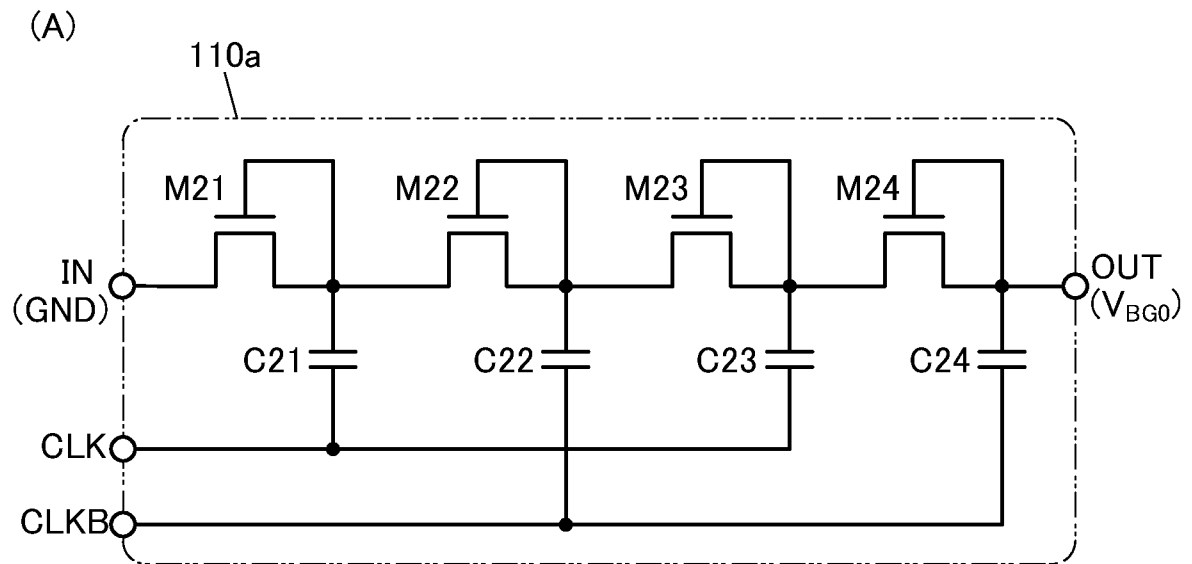


(B)



[図3]

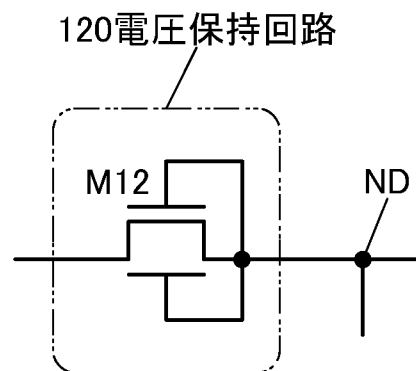
3/18



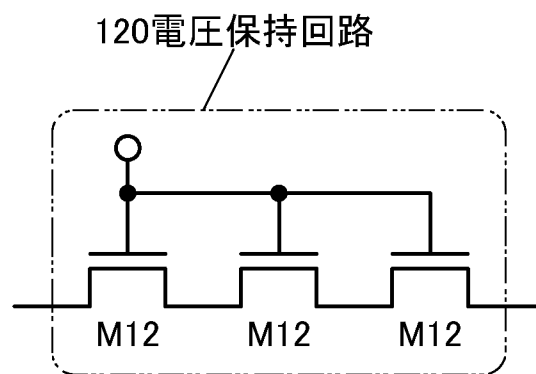
[図4]

4/18

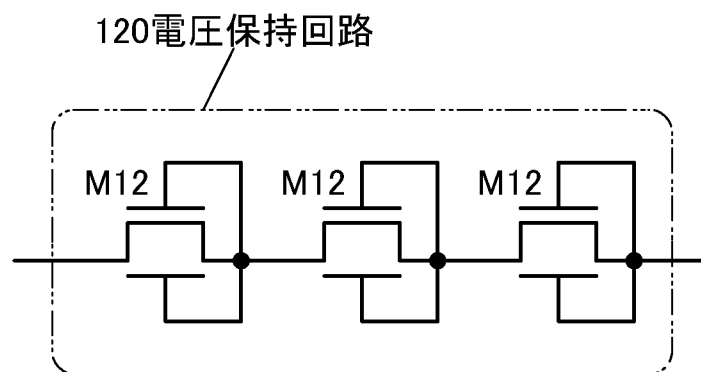
(A)



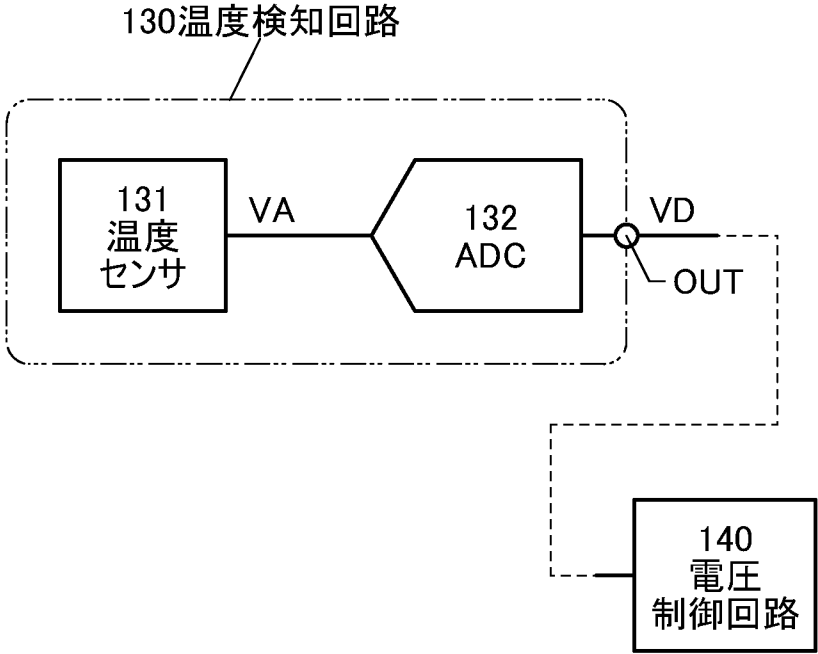
(B)



(C)

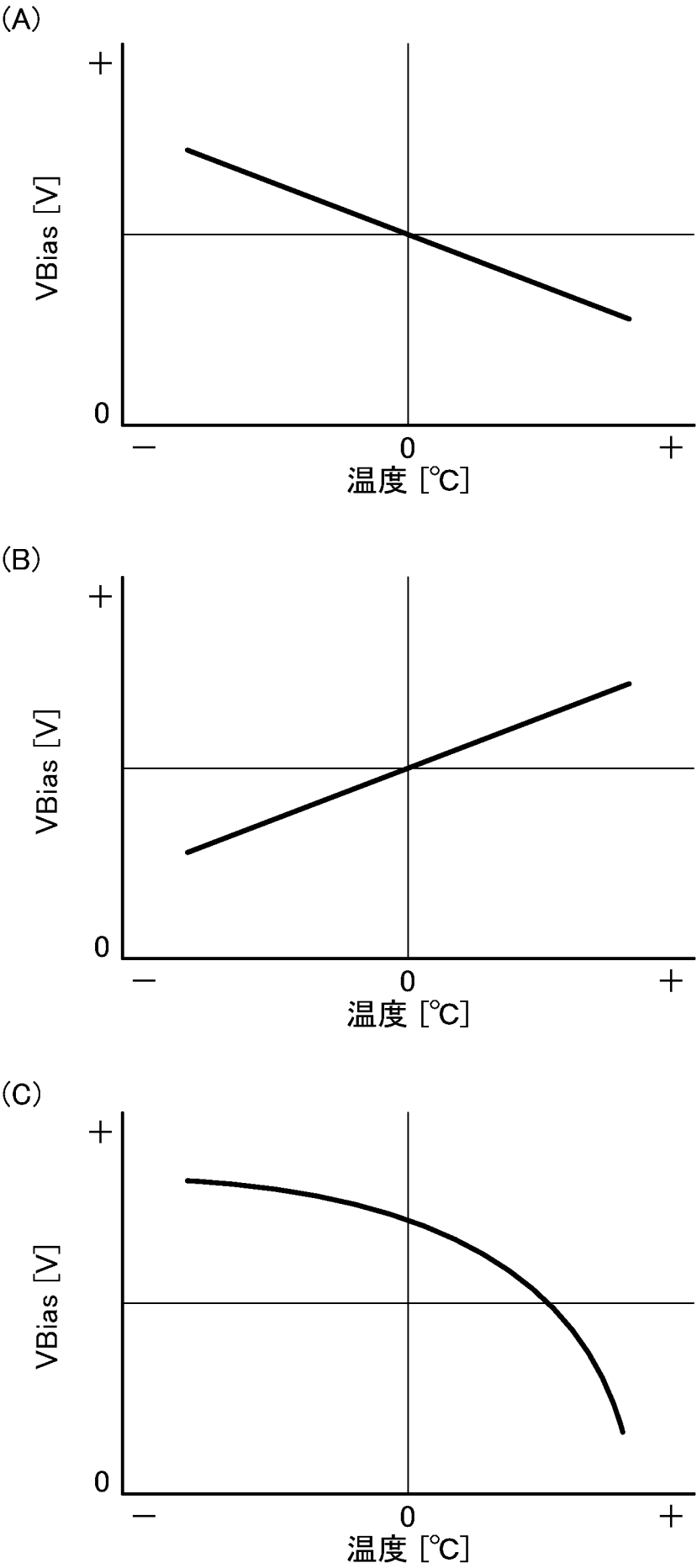


[図5]



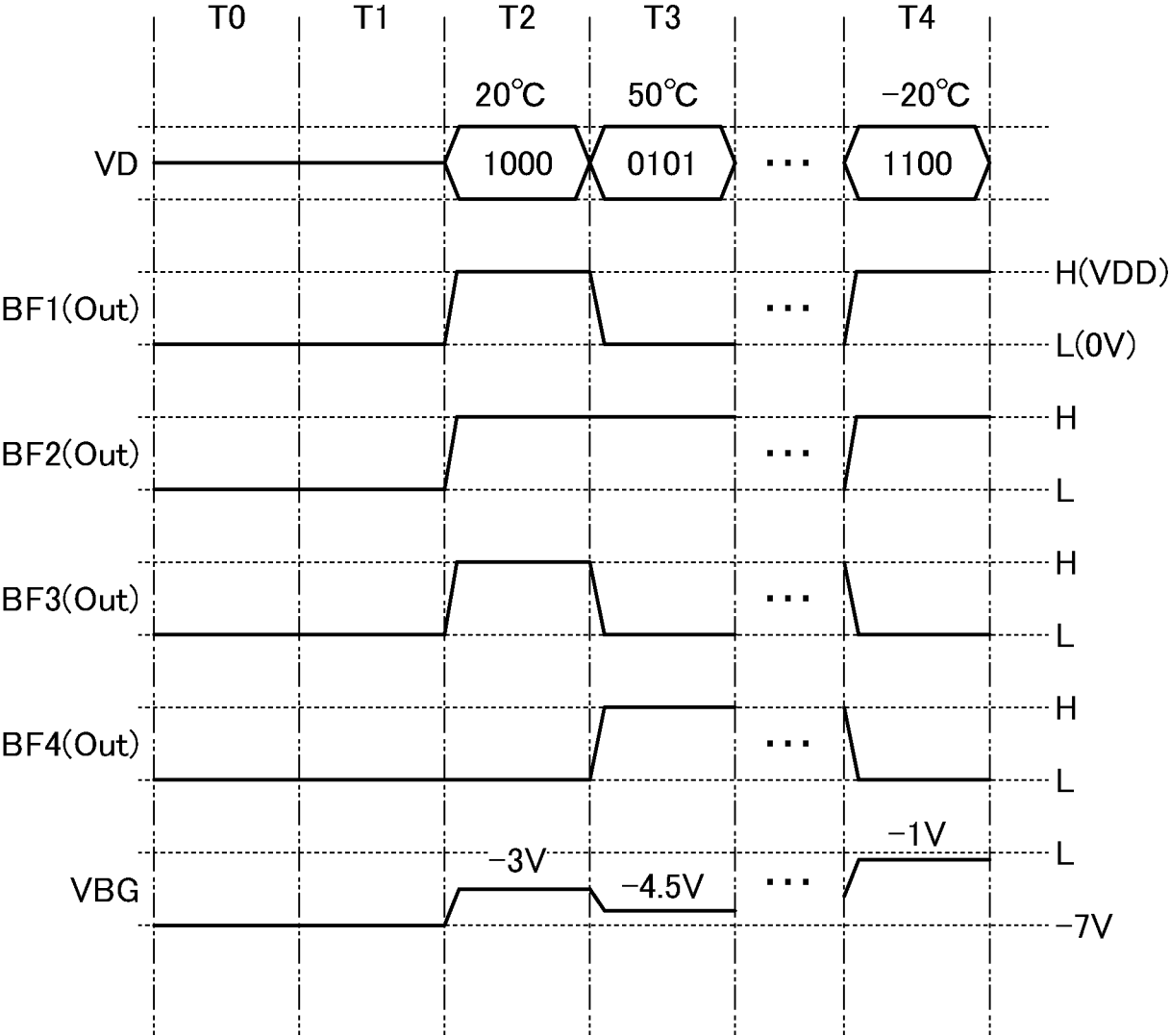
[図6]

6/18



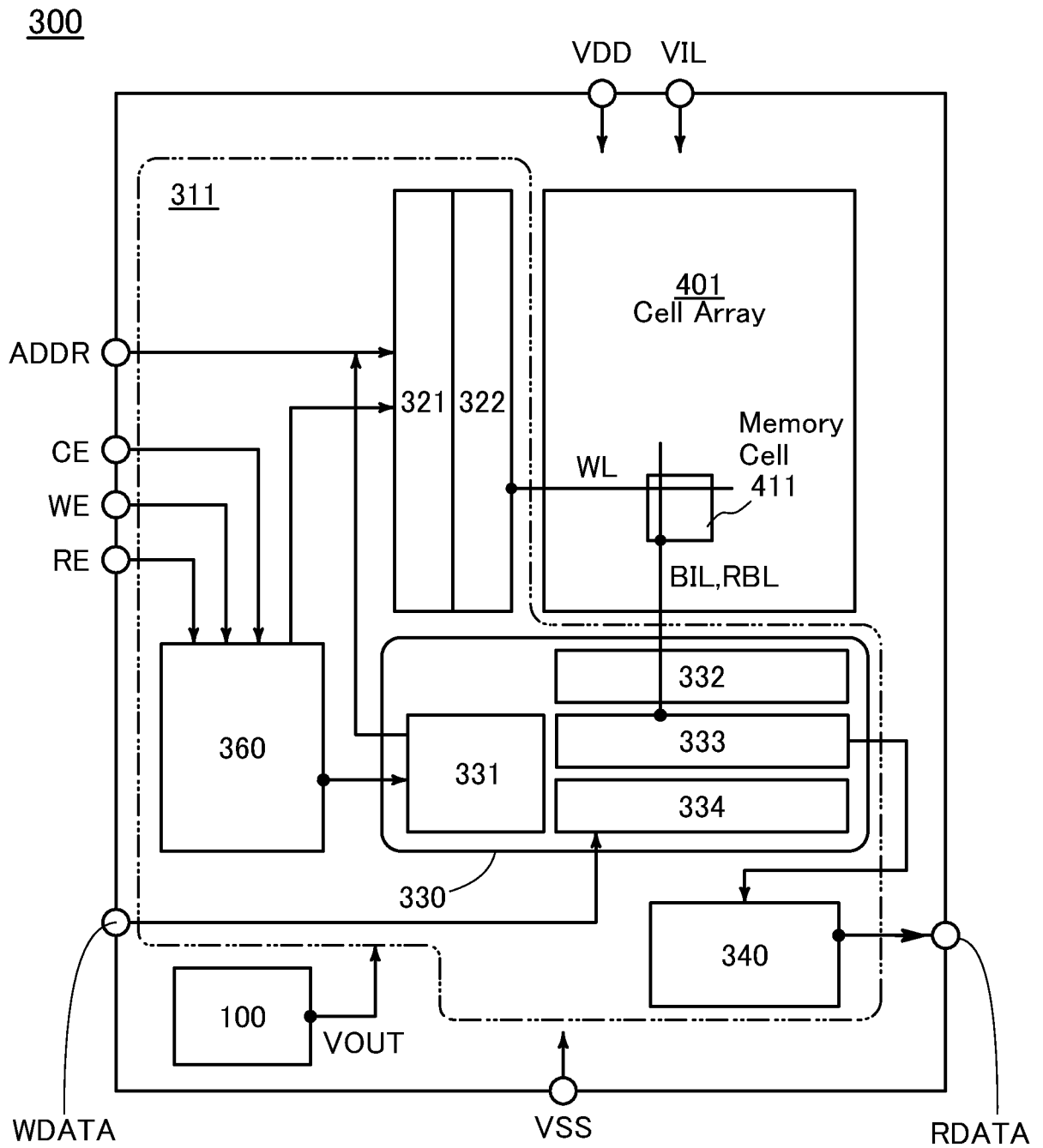
[図7]

7/18

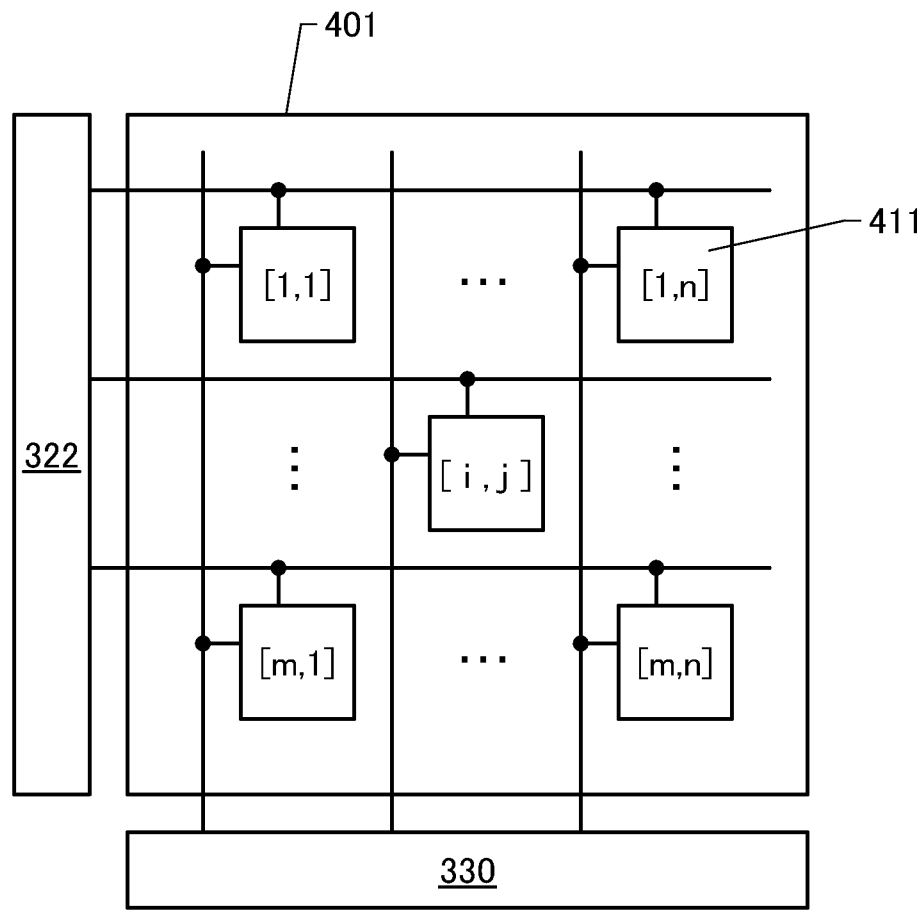


[図8]

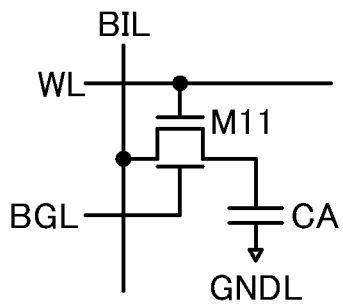
8/18



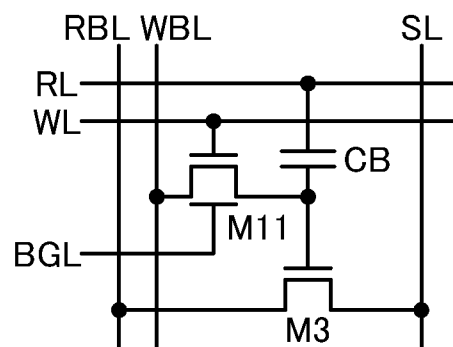
[図9]



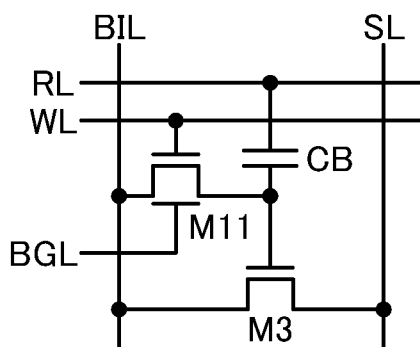
(A) 411A



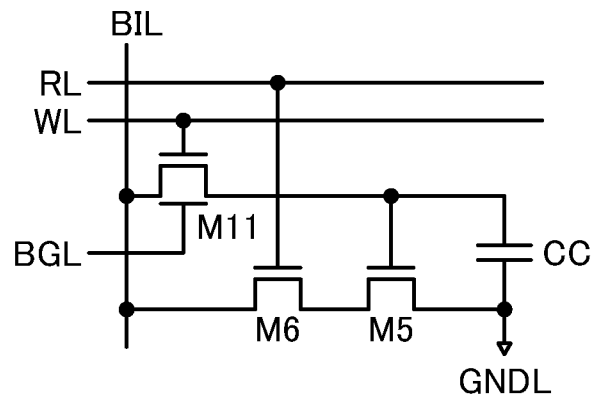
(B) 411B



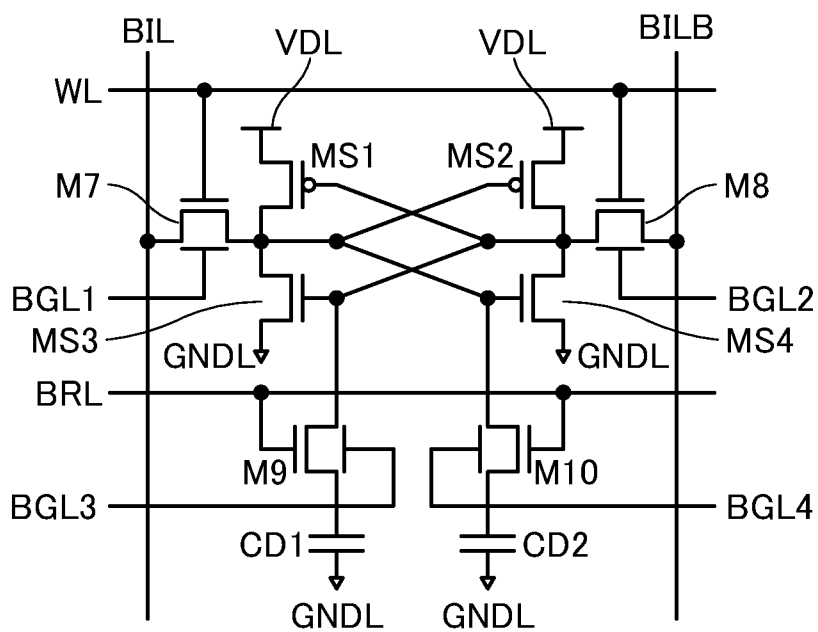
(C) 411C



(D) 411D

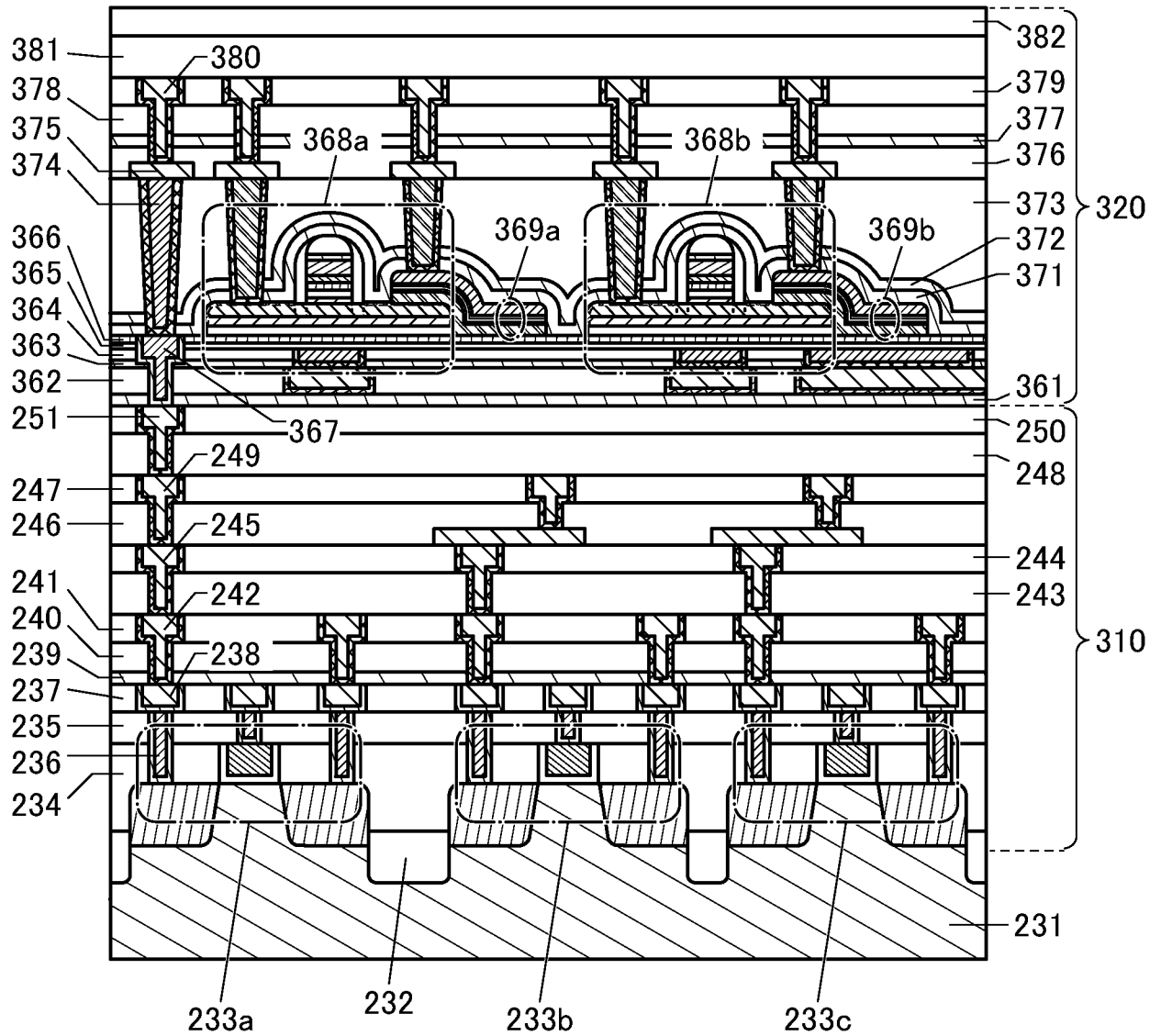


(E) 411E



[図11]

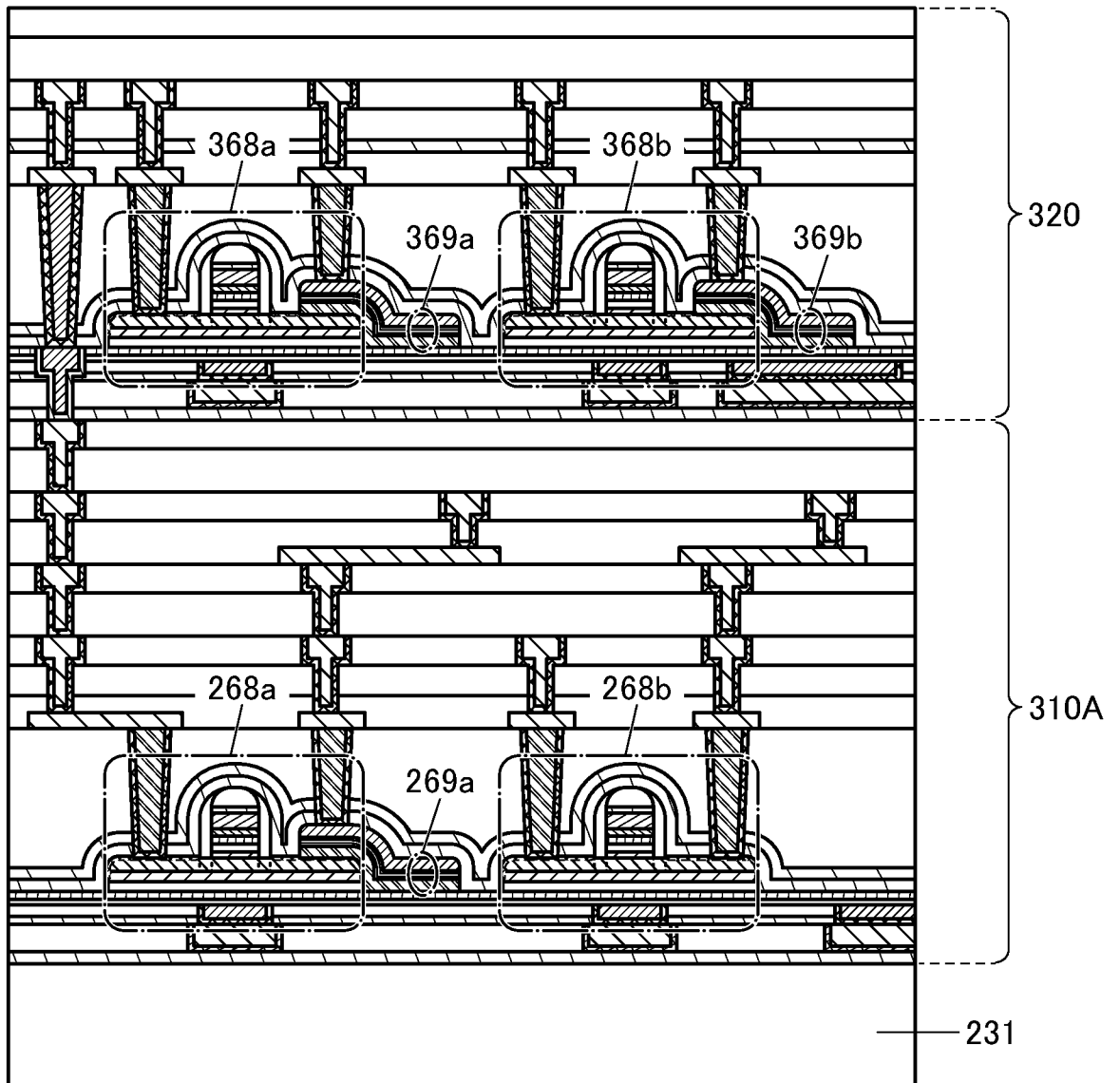
11/18

300

[図12]

12/18

300A

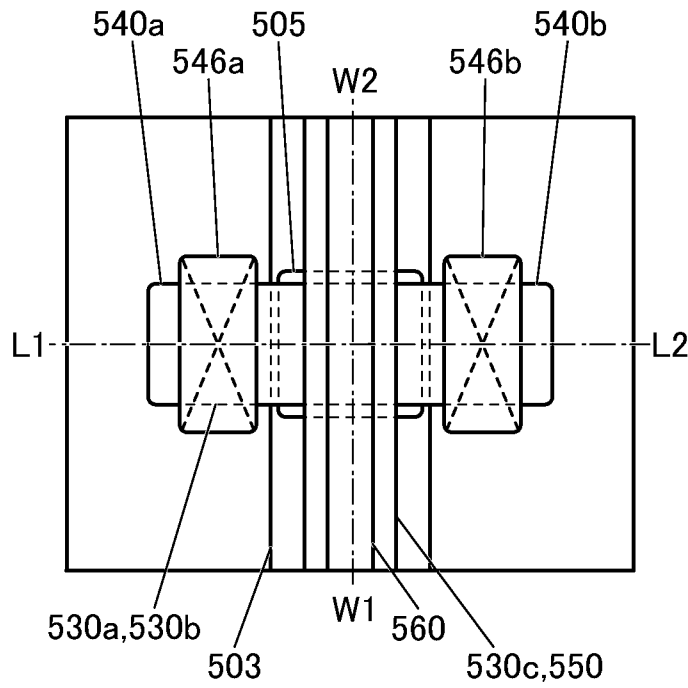


[図13]

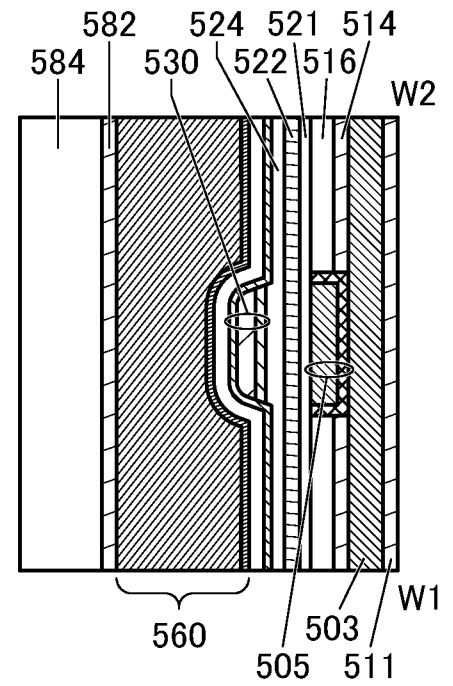
13/18

(A)

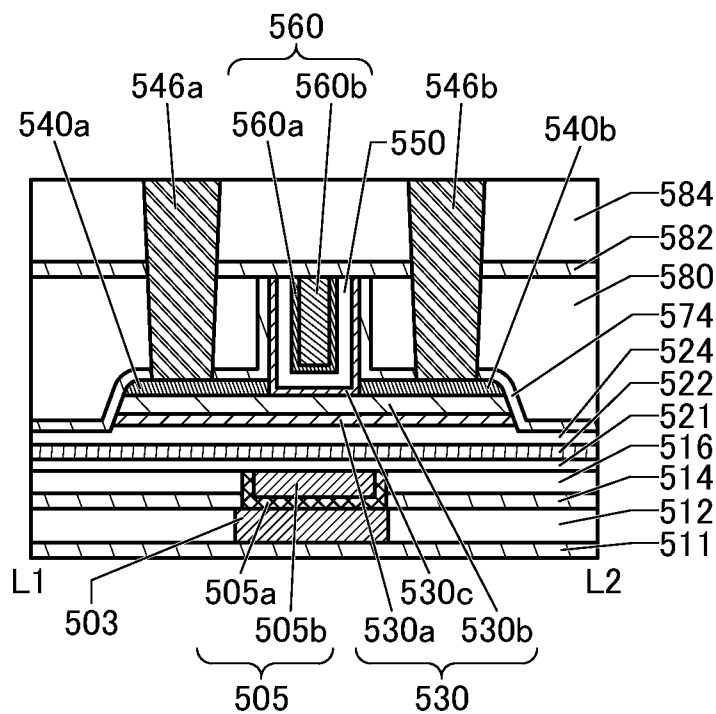
510



(C)



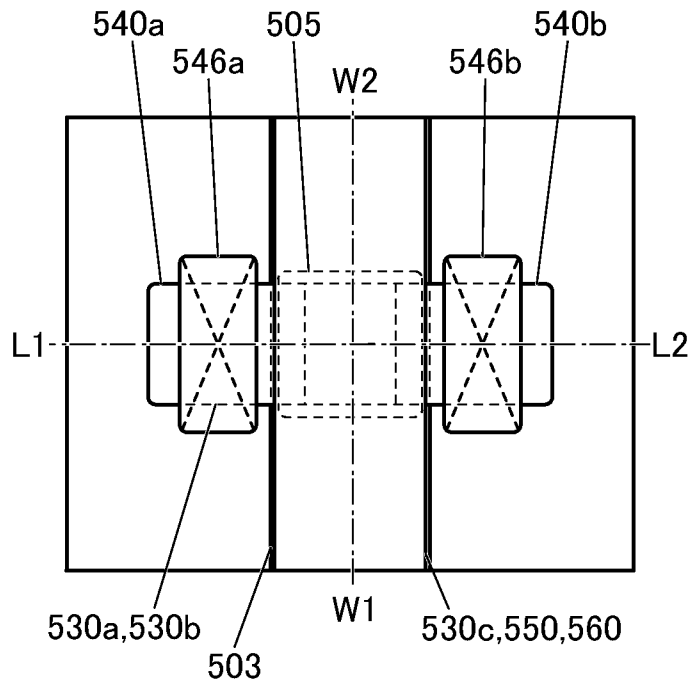
(B)



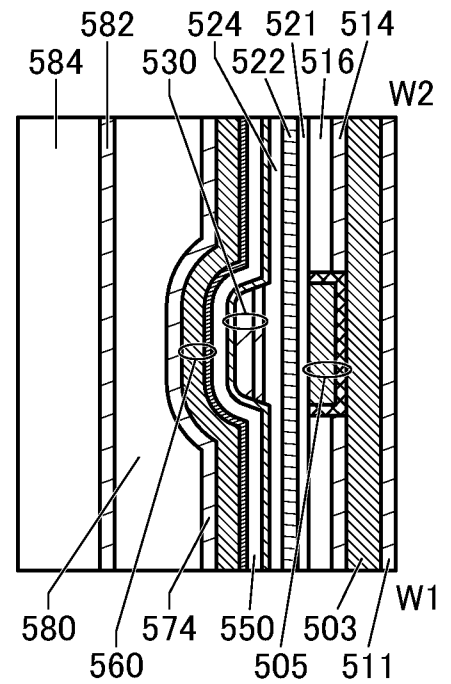
[図14]

14/18

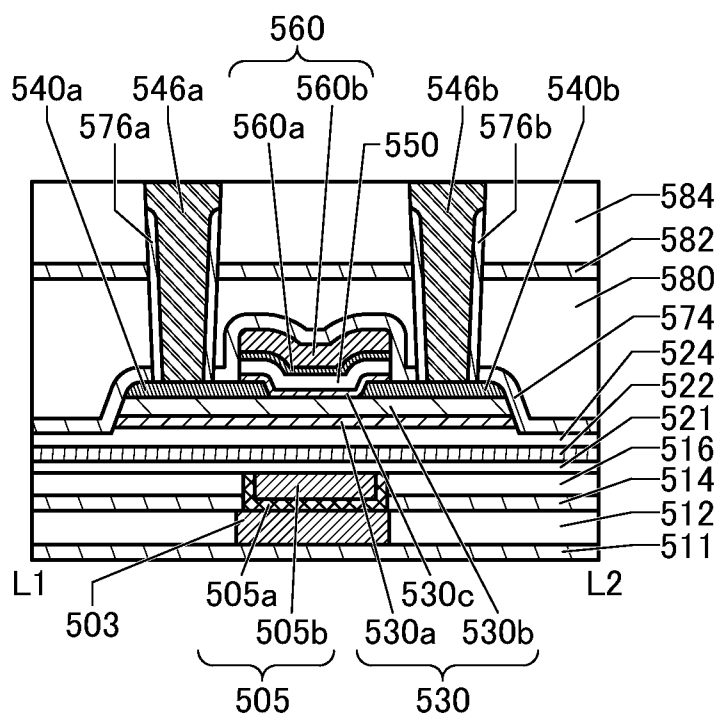
(A)

520

(C)

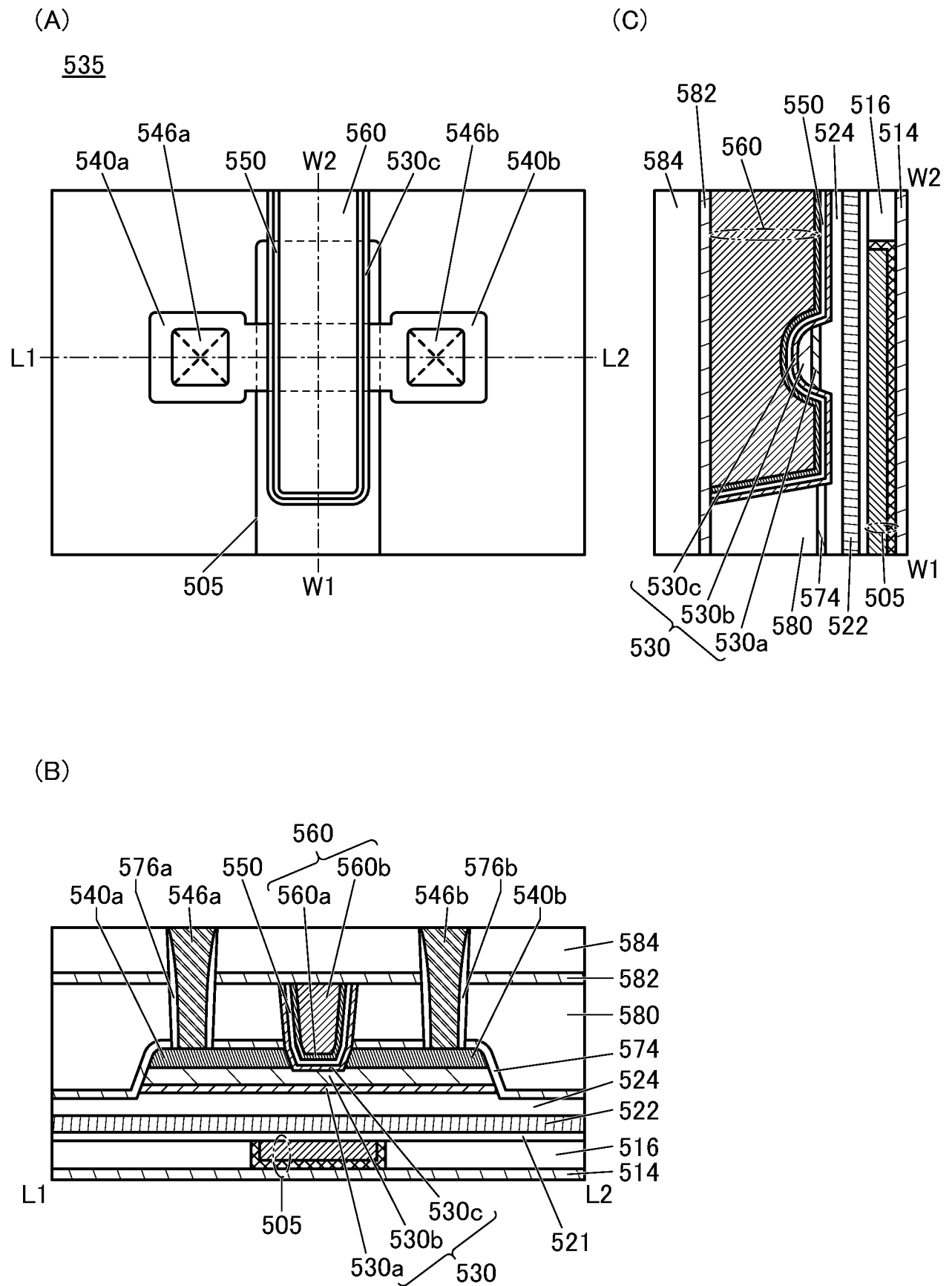


(B)



[図15]

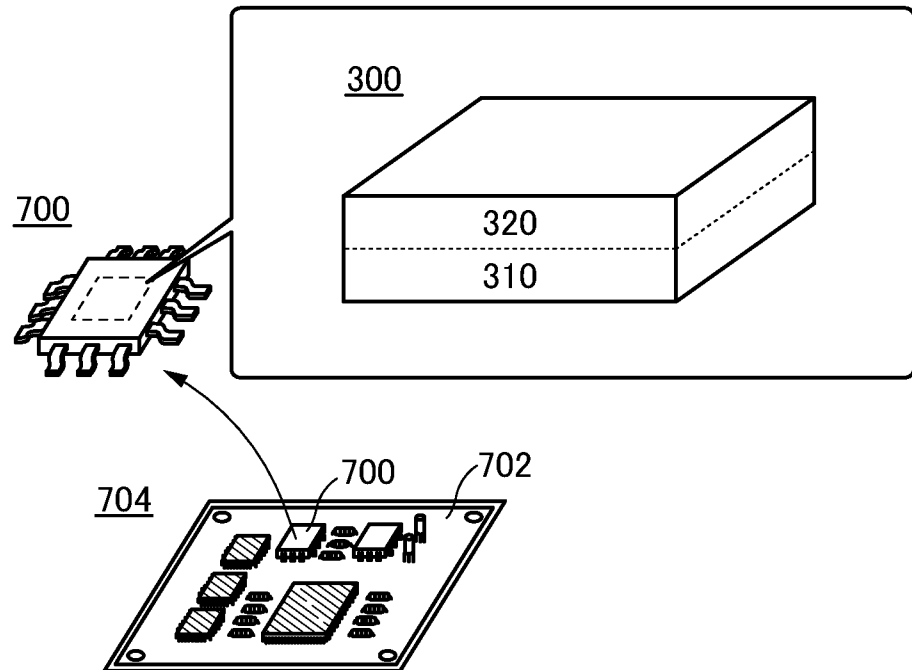
15/18



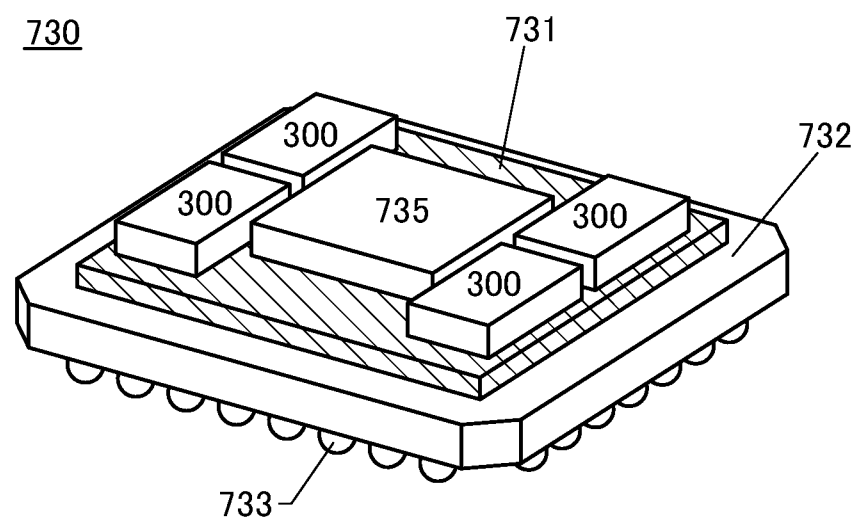
[図16]

16/18

(A)

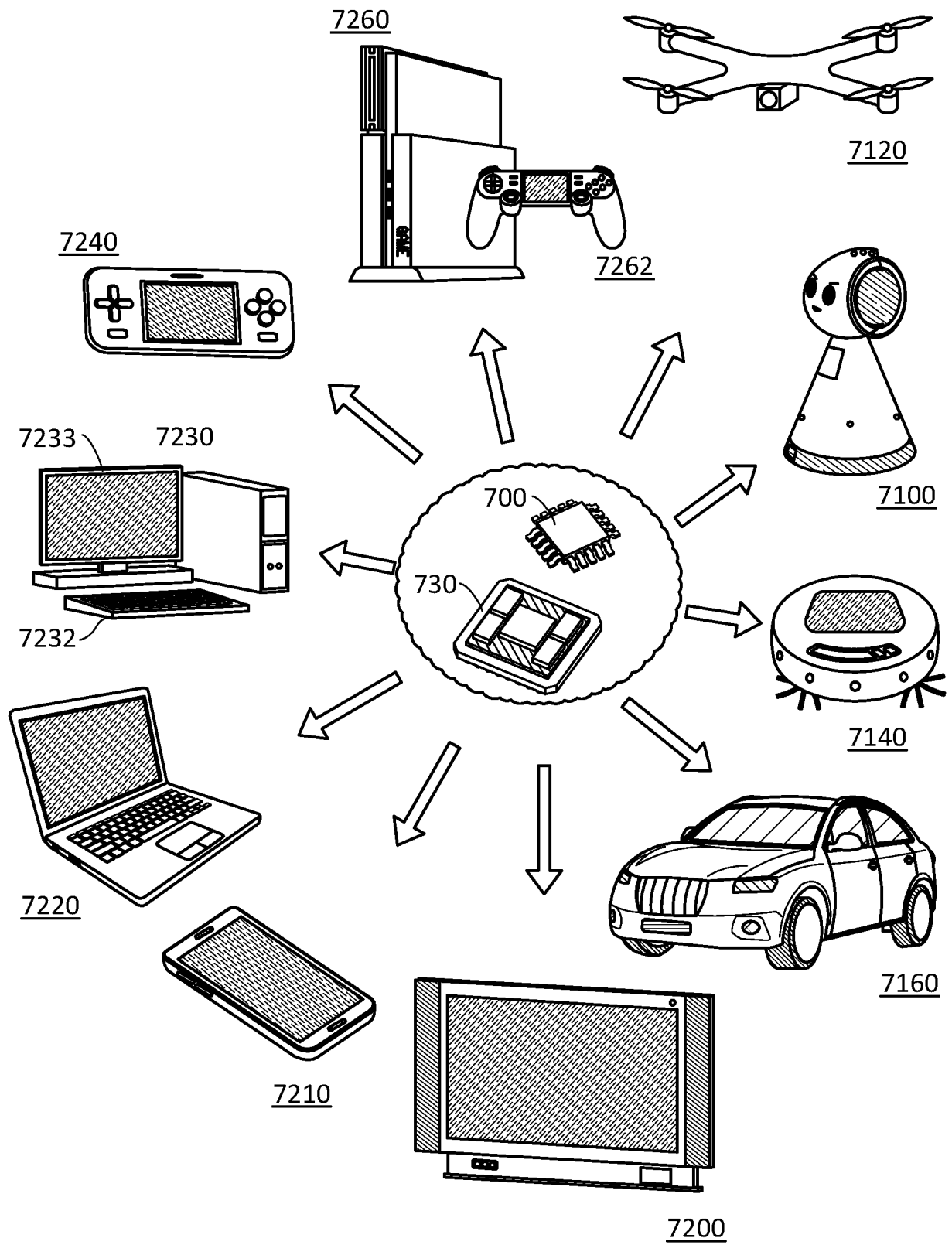


(B)



[図17]

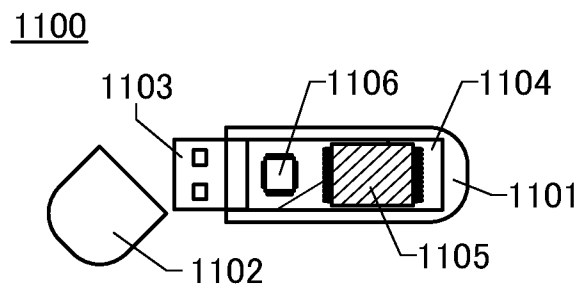
17/18



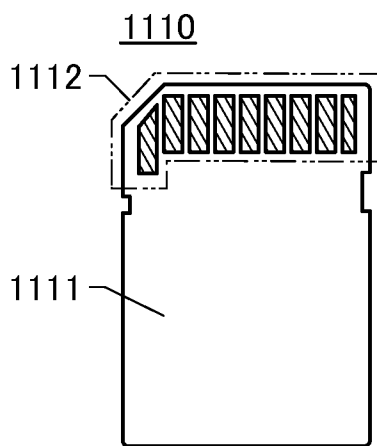
[図18]

18/18

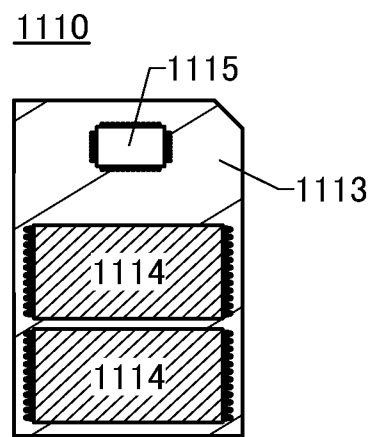
(A)



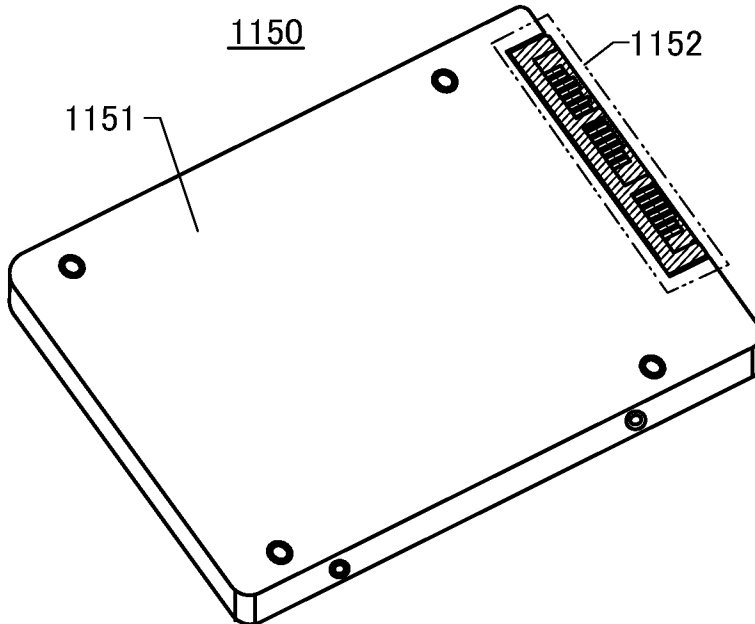
(B)



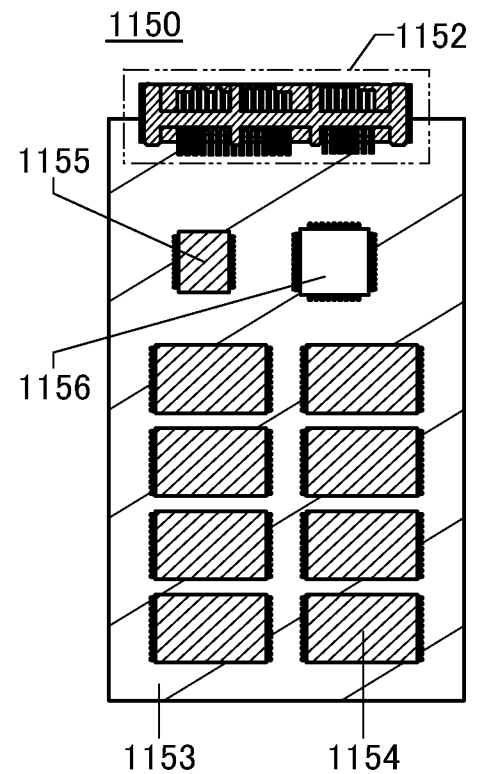
(C)



(D)



(E)



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/059489

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/8234, H01L21/336, H01L21/822, H01L21/8242, H01L27/04,  
H01L27/06, H01L27/088, H01L27/108, H01L27/1156, H01L29/78,  
H01L29/786, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                                                          |           |
|----------------------------------------------------------|-----------|
| Published examined utility model applications of Japan   | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2019 |
| Registered utility model specifications of Japan         | 1996-2019 |
| Published registered utility model applications of Japan | 1994-2019 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages       | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2007-067275 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 15 March 2007 (Family: none) | 1-5                   |
| A         | WO 2012/060032 A1 (PANASONIC CORP.) 10 May 2012 & US 2013/0181767 A1                     | 1-5                   |
| A         | JP 6-021443 A (NEC CORP.) 28 January 1994 & US 5461338 A                                 | 1-5                   |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
20 February 2019 (20.02.2019)

Date of mailing of the international search report  
05 March 2019 (05.03.2019)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer  
  
Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/IB2018/059489

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                   | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| P, A      | JP 2018-056558 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 April 2018 & US 2018/0090498 A1 & SG 10201707339P A & TW 201834208 A | 1-5                   |

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/IB2018/059489

## CLASSIFICATION OF SUBJECT MATTER

|                         |                        |                         |
|-------------------------|------------------------|-------------------------|
| H01L21/8234(2006.01) i, | H01L21/336(2006.01) i, | H01L21/822(2006.01) i,  |
| H01L21/8242(2006.01) i, | H01L27/04(2006.01) i,  | H01L27/06(2006.01) i,   |
| H01L27/088(2006.01) i,  | H01L27/108(2006.01) i, | H01L27/1156(2017.01) i, |
| H01L29/78(2006.01) i,   | H01L29/786(2006.01) i, | H01L29/788(2006.01) i,  |
| H01L29/792(2006.01) i   |                        |                         |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. 特別ページ参照

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/8234, H01L21/336, H01L21/822, H01L21/8242, H01L27/04, H01L27/06, H01L27/088, H01L27/108, H01L27/1156, H01L29/78, H01L29/786, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2019年 |
| 日本国実用新案登録公報 | 1996-2019年 |
| 日本国登録実用新案公報 | 1994-2019年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                | 関連する<br>請求項の番号 |
|-----------------|------------------------------------------------------------------|----------------|
| A               | JP 2007-067275 A（松下電器産業株式会社）2007.03.15,<br>（ファミリーなし）             | 1-5            |
| A               | WO 2012/060032 A1（パナソニック株式会社）2012.05.10,<br>& US 2013/0181767 A1 | 1-5            |
| A               | JP 6-021443 A（日本電気株式会社）1994.01.28,<br>& US 5461338 A             | 1-5            |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

20.02.2019

国際調査報告の発送日

05.03.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5F

6299

電話番号 03-3581-1101 内線 3516

| C (続き) . 関連すると認められる文献 |                                                                                                             |                |
|-----------------------|-------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                           | 関連する<br>請求項の番号 |
| P, A                  | JP 2018-056558 A (株式会社半導体エネルギー研究所) 2018.04.05,<br>& US 2018/0090498 A1 & SG 10201707339P A & TW 201834208 A | 1-5            |

## 発明の属する分野の分類

H01L21/8234(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i,  
H01L21/8242(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i,  
H01L27/088(2006.01)i, H01L27/108(2006.01)i, H01L27/1156(2017.01)i,  
H01L29/78(2006.01)i, H01L29/786(2006.01)i, H01L29/788(2006.01)i,  
H01L29/792(2006.01)i