



(12)发明专利

(10)授权公告号 CN 104937668 B

(45)授权公告日 2018.12.07

(21)申请号 201480004861.5

A • 杜贝

(22)申请日 2014.01.21

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

(65)同一申请的已公布的文献号

申请公布号 CN 104937668 A

代理人 赵蓉民 赵志刚

(43)申请公布日 2015.09.23

(51)Int.Cl.

(30)优先权数据

13/746,153 2013.01.21 US

G11C 29/12(2006.01)

G06F 11/267(2006.01)

G01R 31/3185(2006.01)

(85)PCT国际申请进入国家阶段日

2015.07.15

(56)对比文件

CN 1452316 A, 2003.10.29,

CN 101877248 A, 2010.11.03,

US 2012079334 A1, 2012.03.29,

US 2005212542 A1, 2005.09.29,

US 2011010593 A1, 2011.01.13,

US 2004119502 A1, 2004.06.24,

US 6070259 A, 2000.05.30,

(86)PCT国际申请的申请数据

PCT/US2014/012314 2014.01.21

(87)PCT国际申请的公布数据

WO2014/113787 EN 2014.07.24

(73)专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

审查员 刘瑞

(72)发明人 N • N • 帕里克 P • 蒂瓦里

权利要求书8页 说明书38页 附图22页

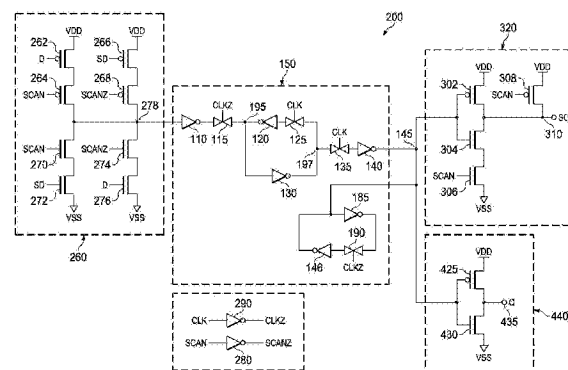
(54)发明名称

用在集成电路中的可扫描存储元件及相关联的操作方法

经配置以响应于第二信号在扫描输出端子(310)处提供扫描输出(SQ)。

(57)摘要

在一个示例实施例中,可扫描存储元件(200)包括输入电路(260),其基于数据输入(D)和扫描输入(SD)在第一节点(278)处提供第一信号,其中扫描输入在功能模式中可以具有上拉逻辑。输入电路(260)包括:包括接收数据输入(D)的开关(262)和接收扫描使能输入(SCAN)的开关(264)的第一上拉路径(262,264)、包括接收扫描输入(SD)的开关(266)的第二上拉路径(266,268)、包括接收扫描使能输入(SCAN)的开关(270)和接收扫描输入(SD)的开关(272)的第一下拉路径(270,272)和包括接收数据输入(D)的开关(276)的第二下拉路径(274,276)。存储元件(200)包括经配置以响应于第一信号在第二节点(145)处提供第二信号的移位电路(150),和扫描输出缓冲器(320),其耦合至第二节点(145)并且



1. 一种用在集成电路即IC中的可扫描存储元件,所述可扫描存储元件包括:

输入电路,其经配置以响应于数据输入和扫描输入中的一个在第一节点处提供第一信号,在功能模式中所述扫描输入具有上拉逻辑,所述输入电路包括:

包括接收所述数据输入的第一开关和接收扫描使能输入的第二开关的第一上拉路径;

包括接收所述扫描输入的第三开关的第二上拉路径,所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间;

包括接收所述扫描使能输入的第四开关和接收所述扫描输入的第五开关的第一下拉路径;和

包括接收所述数据输入的第六开关的第二下拉路径,所述第一下拉路径和所述第二下拉路径耦合在所述第一节点和基准电源之间;

与所述第一节点耦合的移位电路,所述移位电路包括一个或更多时序组件并且经配置以响应于所述第一信号在第二节点处提供第二信号;

耦合至所述第二节点以接收所述第二信号的扫描输出缓冲器,所述扫描输出缓冲器经配置以响应于所述第二信号在扫描输出端子处提供扫描输出,其中在所述功能模式中所述扫描输出是所述上拉逻辑和下拉逻辑中的一种并且在移位模式中所述扫描输出对应于所述扫描输入,其中所述扫描输出缓冲器包括:

具有p-沟道MOS晶体管即PMOS晶体管和n-沟道MOS晶体管即NMOS晶体管的反相器,所述反相器的输出端耦合至所述扫描输出端子;

第一MOS晶体管,其源极耦合至所述电源、漏极耦合至所述PMOS晶体管的源极并且栅极耦合至反相扫描使能输入;和

第二MOS晶体管,其源极耦合至所述基准电源、漏极耦合至所述扫描输出端子并且栅极耦合至所述反相扫描使能输入,其中所述第二MOS晶体管经配置以在所述功能模式中响应于所述反相扫描使能输入而下拉所述扫描输出端子。

2. 根据权利要求1所述的可扫描存储元件,其中所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关和所述第六开关中的每个开关为金属氧化物半导体晶体管即MOS晶体管。

3. 根据权利要求1所述的可扫描存储元件,其进一步包括:

耦合至所述第二节点的数据输出缓冲器,所述数据输出缓冲器经配置以响应于所述第二信号在数据输出端子处提供数据输出。

4. 一种用在集成电路即IC中的可扫描存储元件,所述可扫描存储元件包括:

输入电路,其经配置以响应于数据输入和扫描输入中的一个在第一节点处提供第一信号,在功能模式中所述扫描输入具有上拉逻辑,所述输入电路包括:

包括接收所述数据输入的第一开关和接收扫描使能输入的第二开关的第一上拉路径;

包括接收所述扫描输入的第三开关的第二上拉路径,所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间;

包括接收所述扫描使能输入的第四开关和接收所述扫描输入的第五开关的第一下拉路径;和

包括接收所述数据输入的第六开关的第二下拉路径,所述第一下拉路径和所述第二下拉路径耦合在所述第一节点和基准电源之间;

与所述第一节点耦合的移位电路,所述移位电路包括一个或更多时序组件并且经配置以响应于所述第一信号在第二节点处提供第二信号;

耦合至所述第二节点以接收所述第二信号的扫描输出缓冲器,所述扫描输出缓冲器经配置以响应于所述第二信号在扫描输出端子处提供扫描输出,其中在所述功能模式中所述扫描输出是所述上拉逻辑和下拉逻辑中的一种并且在移位模式中所述扫描输出对应于所述扫描输入,其中所述扫描输出缓冲器包括:

具有PMOS晶体管和NMOS晶体管的反相器,所述反相器的输出端耦合至所述扫描输出端子;

第三MOS晶体管,其源极耦合至所述基准电源、漏极耦合至所述NMOS晶体管的源极并且栅极耦合至所述扫描使能输入;和

第四MOS晶体管,其源极耦合至所述电源、漏极耦合至所述扫描输出端子并且栅极耦合至所述扫描使能输入,其中所述第四MOS晶体管经配置以在所述功能模式中响应于反相扫描使能输入而上拉所述扫描输出端子。

5. 根据权利要求4所述的可扫描存储元件,其中所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关和所述第六开关中的每个开关为金属氧化物半导体晶体管即MOS晶体管。

6. 一种用在集成电路即IC中的可扫描存储元件,所述可扫描存储元件包括:

输入电路,其经配置以响应于数据输入和扫描输入中的一个在第一节点处提供第一信号,在功能模式中所述扫描输入具有上拉逻辑,所述输入电路包括:

包括接收所述数据输入的第一开关和接收扫描使能输入的第二开关的第一上拉路径;

包括接收所述扫描输入的第三开关的第二上拉路径,所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间;

包括接收所述扫描使能输入的第四开关和接收所述扫描输入的第五开关的第一下拉路径;和

包括接收所述数据输入的第六开关的第二下拉路径,所述第一下拉路径和所述第二下拉路径耦合在所述第一节点和基准电源之间;

与所述第一节点耦合的移位电路,所述移位电路包括一个或更多时序组件并且经配置以响应于所述第一信号在第二节点处提供第二信号;

耦合至所述第二节点以接收所述第二信号的扫描输出缓冲器,所述扫描输出缓冲器经配置以响应于所述第二信号在扫描输出端子处提供扫描输出,其中在所述功能模式中所述扫描输出是所述上拉逻辑和下拉逻辑中的一种并且在移位模式中所述扫描输出对应于所述扫描输入,其中所述扫描输出缓冲器包括:

传输门,其具有源极和漏极分别耦合至第二MOS晶体管的源极和漏极的第一MOS晶体管,所述第一MOS晶体管和所述第二MOS晶体管的漏极耦合至所述第二节点并且所述第一MOS晶体管和所述第二MOS晶体管的源极耦合至所述扫描输出端子,所述第一MOS晶体管和所述第二MOS晶体管的栅极分别耦合至反相扫描使能输入和所述扫描使能输入;和

第三MOS晶体管,其耦合至所述扫描输出端子,以及经配置以在所述功能模式中响应于所述反相扫描使能输入而下拉所述扫描输出端子。

7. 根据权利要求6所述的可扫描存储元件,其中所述第一开关、所述第二开关、所述第

三开关、所述第四开关、所述第五开关和所述第六开关中的每个开关为金属氧化物半导体晶体管即MOS晶体管。

8. 一种用在集成电路即IC中的可扫描存储元件,所述可扫描存储元件包括:

输入电路,其经配置以响应于数据输入和扫描输入中的一个在第一节点处提供第一信号,在功能模式中所述扫描输入具有上拉逻辑,所述输入电路包括:

包括接收所述数据输入的第一开关和接收扫描使能输入的第二开关的第一上拉路径;

包括接收所述扫描输入的第三开关的第二上拉路径,所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间;

包括接收所述扫描使能输入的第四开关和接收所述扫描输入的第五开关的第一下拉路径;和

包括接收所述数据输入的第六开关的第二下拉路径,所述第一下拉路径和所述第二下拉路径耦合在所述第一节点和基准电源之间;

与所述第一节点耦合的移位电路,所述移位电路包括一个或更多时序组件并且经配置以响应于所述第一信号在第二节点处提供第二信号;

耦合至所述第二节点以接收所述第二信号的扫描输出缓冲器,所述扫描输出缓冲器经配置以响应于所述第二信号在扫描输出端子处提供扫描输出,其中在所述功能模式中所述扫描输出是所述上拉逻辑和下拉逻辑中的一种并且在移位模式中所述扫描输出对应于所述扫描输入;

耦合至所述第二节点的数据输出缓冲器,所述数据输出缓冲器经配置以响应于所述第二信号在数据输出端子处提供数据输出,其中所述数据输出缓冲器包括:

具有PMOS晶体管和NMOS晶体管的反相器,所述反相器的输出端耦合至所述数据输出端子;

第一MOS晶体管,其漏极耦合至所述NMOS晶体管的源极,其源极耦合至所述基准电源并且其栅极耦合至反相扫描使能输入;和

第二MOS晶体管,其源极耦合至所述电源、漏极耦合至所述数据输出端子并且栅极耦合至所述反相扫描使能输入,其中所述第二MOS晶体管经配置以在移位模式中上拉所述数据输出端子。

9. 根据权利要求8所述的可扫描存储元件,其中所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关和所述第六开关中的每个开关为金属氧化物半导体晶体管即MOS晶体管。

10. 一种用在集成电路即IC中的可扫描存储元件,所述可扫描存储元件包括:

输入电路,其经配置以响应于数据输入和扫描输入中的一个在第一节点处提供第一信号,在功能模式中所述扫描输入具有上拉逻辑,所述输入电路包括:

包括接收所述数据输入的第一开关和接收扫描使能输入的第二开关的第一上拉路径;

包括接收所述扫描输入的第三开关的第二上拉路径,所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间;

包括接收所述扫描使能输入的第四开关和接收所述扫描输入的第五开关的第一下拉路径;和

包括接收所述数据输入的第六开关的第二下拉路径,所述第一下拉路径和所述第二下

拉路径耦合在所述第一节点和基准电源之间；

与所述第一节点耦合的移位电路，所述移位电路包括一个或更多时序组件并且经配置以响应于所述第一信号在第二节点处提供第二信号；

耦合至所述第二节点以接收所述第二信号的扫描输出缓冲器，所述扫描输出缓冲器经配置以响应于所述第二信号在扫描输出端子处提供扫描输出，其中在所述功能模式中所述扫描输出是所述上拉逻辑和下拉逻辑中的一种并且在移位模式中所述扫描输出对应于所述扫描输入；

耦合至所述第二节点的数据输出缓冲器，所述数据输出缓冲器经配置以响应于所述第二信号在数据输出端子处提供数据输出，其中所述数据输出缓冲器包括：

具有PMOS晶体管和NMOS晶体管的反相器，所述反相器的输出端耦合至所述数据输出端子；

第三MOS晶体管，其源极耦合至所述电源，漏极耦合至所述PMOS晶体管的源极并且栅极耦合至所述扫描使能输入；和

第四MOS晶体管，其漏极耦合至所述数据输出端子，源极耦合至所述基准电源并且栅极耦合至所述扫描使能输入，其中所述第四MOS晶体管经配置以在移位模式中下拉所述数据输出端子。

11. 一种用在集成电路即IC中的可扫描存储元件，所述可扫描存储元件包括：

输入电路，其经配置以响应于数据输入和扫描输入中的一个在第一节点处提供第一信号，在功能模式中所述扫描输入具有下拉逻辑，所述输入电路包括：

包括接收所述扫描输入的第一开关和接收所述数据输入的第二开关的第一上拉路径；

包括所述第一开关和接收反相扫描使能输入的第三开关的第二上拉路径，所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间；

包括接收所述反相扫描使能输入的第四开关和接收所述数据输入的第五开关的第一下拉路径；和

包括接收所述扫描输入的第六开关的第二下拉路径，所述第一下拉路径和所述第二下拉路径耦合在所述第一节点和基准电源之间；

与所述第一节点耦合的移位电路，所述移位电路包括一个或更多时序组件并且经配置以响应于所述第一信号在第二节点处提供第二信号；和

耦合至所述第二节点以接收所述第二信号的扫描输出缓冲器，所述扫描输出缓冲器经配置以响应于所述第二信号在扫描输出端子处提供扫描输出，其中在所述功能模式中所述扫描输出是上拉逻辑和所述下拉逻辑中的一种并且在移位模式中所述扫描输出对应于所述扫描输入，其中所述扫描输出缓冲器包括：

具有p-沟道金属氧化物半导体晶体管即PMOS晶体管和n-沟道MOS晶体管即NMOS晶体管的反相器，所述反相器的输出端耦合至所述扫描输出端子；

第三MOS晶体管，其源极耦合至所述电源、漏极耦合至所述PMOS晶体管的源极并且栅极耦合至反相扫描使能输入；和

第四MOS晶体管，其源极耦合至所述基准电源、漏极耦合至所述扫描输出端子并且栅极耦合至所述反相扫描使能输入，其中所述第四MOS晶体管经配置以在所述功能模式中响应于反相扫描使能输入而下拉所述扫描输出端子。

12. 根据权利要求11所述的可扫描存储元件,其中所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关和所述第六开关中的每个开关为金属氧化物半导体晶体管即MOS晶体管。

13. 根据权利要求11所述的可扫描存储元件,进一步包括:

耦合至所述第二节点的数据输出缓冲器,所述数据输出缓冲器经配置以响应于所述第二信号在数据输出端子处提供数据输出。

14. 一种用在集成电路即IC中的可扫描存储元件,所述可扫描存储元件包括:

输入电路,其经配置以响应于数据输入和扫描输入中的一个在第一节点处提供第一信号,在功能模式中所述扫描输入具有下拉逻辑,所述输入电路包括:

包括接收所述扫描输入的第一开关和接收所述数据输入的第二开关的第一上拉路径;

包括所述第一开关和接收反相扫描使能输入的第三开关的第二上拉路径,所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间;

包括接收所述反相扫描使能输入的第四开关和接收所述数据输入的第五开关的第一下拉路径;和

包括接收所述扫描输入的第六开关的第二下拉路径,所述第一下拉路径和所述第二下拉路径耦合在所述第一节点和基准电源之间;

与所述第一节点耦合的移位电路,所述移位电路包括一个或更多时序组件并且经配置以响应于所述第一信号在第二节点处提供第二信号;和

耦合至所述第二节点以接收所述第二信号的扫描输出缓冲器,所述扫描输出缓冲器经配置以响应于所述第二信号在扫描输出端子处提供扫描输出,其中在所述功能模式中所述扫描输出是上拉逻辑和所述下拉逻辑中的一种并且在移位模式中所述扫描输出对应于所述扫描输入,其中所述扫描输出缓冲器包括:

具有PMOS晶体管和NMOS晶体管的反相器,所述反相器的输出端耦合至所述扫描输出端子;

第三MOS晶体管,其源极耦合至所述基准电源、漏极耦合至所述NMOS晶体管的源极并且栅极耦合至所述扫描使能输入;和

第四MOS晶体管,其源极耦合至所述电源、漏极耦合至所述扫描输出端子并且栅极耦合至所述扫描使能输入,其中所述第四MOS晶体管经配置以在所述功能模式中响应于所述反相扫描使能输入而上拉所述扫描输出端子。

15. 一种用在集成电路即IC中的可扫描存储元件,所述可扫描存储元件包括:

输入电路,其经配置以响应于数据输入和扫描输入中的一个在第一节点处提供第一信号,在功能模式中所述扫描输入具有下拉逻辑,所述输入电路包括:

包括接收所述扫描输入的第一开关和接收所述数据输入的第二开关的第一上拉路径;

包括所述第一开关和接收反相扫描使能输入的第三开关的第二上拉路径,所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间;

包括接收所述反相扫描使能输入的第四开关和接收所述数据输入的第五开关的第一下拉路径;和

包括接收所述扫描输入的第六开关的第二下拉路径,所述第一下拉路径和所述第二下拉路径耦合在所述第一节点和基准电源之间;

与所述第一节点耦合的移位电路,所述移位电路包括一个或更多时序组件并且经配置以响应于所述第一信号在第二节点处提供第二信号;和

耦合至所述第二节点以接收所述第二信号的扫描输出缓冲器,所述扫描输出缓冲器经配置以响应于所述第二信号在扫描输出端子处提供扫描输出,其中在所述功能模式中所述扫描输出是上拉逻辑和所述下拉逻辑中的一种并且在移位模式中所述扫描输出对应于所述扫描输入,其中所述扫描输出缓冲器包括:

传输门,其具有源极和漏极分别耦合至第二MOS晶体管的源极和漏极的第一MOS晶体管,所述第一MOS晶体管和所述第二MOS晶体管的漏极耦合至所述第二节点并且所述第一MOS晶体管和所述第二MOS晶体管的源极耦合至所述扫描输出端子,所述第一MOS晶体管和所述第二MOS晶体管的栅极分别耦合至反相扫描使能输入和所述扫描使能输入;和

第三MOS晶体管,其耦合至所述扫描输出端子,以及经配置以在所述功能模式中响应于所述反相扫描使能输入而下拉所述扫描输出端子。

16. 一种用在集成电路即IC中的可扫描存储元件,所述可扫描存储元件包括:

输入电路,其经配置以响应于数据输入和扫描输入中的一个在第一节点处提供第一信号,在功能模式中所述扫描输入具有下拉逻辑,所述输入电路包括:

包括接收所述扫描输入的第一开关和接收所述数据输入的第二开关的第一上拉路径;

包括所述第一开关和接收反相扫描使能输入的第三开关的第二上拉路径,所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间;

包括接收所述反相扫描使能输入的第四开关和接收所述数据输入的第五开关的第一下拉路径;和

包括接收所述扫描输入的第六开关的第二下拉路径,所述第一下拉路径和所述第二下拉路径耦合在所述第一节点和基准电源之间;

与所述第一节点耦合的移位电路,所述移位电路包括一个或更多时序组件并且经配置以响应于所述第一信号在第二节点处提供第二信号;

耦合至所述第二节点以接收所述第二信号的扫描输出缓冲器,所述扫描输出缓冲器经配置以响应于所述第二信号在扫描输出端子处提供扫描输出,其中在所述功能模式中所述扫描输出是上拉逻辑和所述下拉逻辑中的一种并且在移位模式中所述扫描输出对应于所述扫描输入;和

耦合至所述第二节点的数据输出缓冲器,所述数据输出缓冲器经配置以响应于所述第二信号在数据输出端子处提供数据输出,其中所述数据输出缓冲器包括:

具有PMOS晶体管和NMOS晶体管的反相器,所述反相器的输出端耦合至所述数据输出端子;

第三MOS晶体管,其漏极耦合至所述NMOS晶体管的源极、源极耦合至所述基准电源并且栅极耦合至反相扫描使能输入;和第四MOS晶体管,其源极耦合至所述电源、漏极耦合至所述数据输出端子并且栅极耦合至所述反相扫描使能输入,其中所述第四MOS晶体管经配置以在移位模式上拉所述数据输出端子。

17. 一种用在集成电路即IC中的可扫描存储元件,所述可扫描存储元件包括:

输入电路,其经配置以响应于数据输入和扫描输入中的一个在第一节点处提供第一信号,在功能模式中所述扫描输入具有下拉逻辑,所述输入电路包括:

包括接收所述扫描输入的第一开关和接收所述数据输入的第二开关的第一上拉路径；

包括所述第一开关和接收反相扫描使能输入的第三开关的第二上拉路径，所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间；

包括接收所述反相扫描使能输入的第四开关和接收所述数据输入的第五开关的第一下拉路径；和

包括接收所述扫描输入的第六开关的第二下拉路径，所述第一下拉路径和所述第二下拉路径耦合在所述第一节点和基准电源之间；

与所述第一节点耦合的移位电路，所述移位电路包括一个或更多时序组件并且经配置以响应于所述第一信号在第二节点处提供第二信号；

耦合至所述第二节点以接收所述第二信号的扫描输出缓冲器，所述扫描输出缓冲器经配置以响应于所述第二信号在扫描输出端子处提供扫描输出，其中在所述功能模式中所述扫描输出是上拉逻辑和所述下拉逻辑中的一种并且在移位模式中所述扫描输出对应于所述扫描输入；和

耦合至所述第二节点的数据输出缓冲器，所述数据输出缓冲器经配置以响应于所述第二信号在数据输出端子处提供数据输出，其中所述数据输出缓冲器包括：

具有PMOS晶体管和NMOS晶体管的反相器，所述反相器的输出端耦合至所述数据输出端子；

第三MOS晶体管，其源极耦合至所述电源，漏极耦合至所述PMOS晶体管的源极并且栅极耦合至所述扫描使能输入；和

第四MOS晶体管，其漏极耦合至所述数据输出端子，源极耦合至所述基准电源并且栅极耦合至所述扫描使能输入，其中所述第四MOS晶体管经配置以在移位模式中下拉所述数据输出端子。

18. 一种用于操作集成电路即IC中的扫描链中的可扫描存储元件的方法，所述方法包括：

响应于数据输入和扫描输入中的一个在所述可扫描存储元件的第一节点处产生第一信号，在功能模式中所述扫描输入是上拉逻辑和下拉逻辑中的一种，其中产生所述第一信号包括：

提供包括接收所述数据输入的第一开关和接收扫描使能输入的第二开关的第一上拉路径；

提供包括接收所述扫描输入的第三开关的第二上拉路径，所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间；

提供包括接收所述扫描使能输入的第四开关和接收所述扫描输入的第五开关的第一下拉路径；

提供包括接收所述数据输入的第六开关的第二下拉路径，所述第一下拉路径和所述第二下拉路径耦合在所述第一节点和基准电源之间；

响应于所述第一信号由一个或更多时序元件在所述可扫描存储元件的第二节点处产生第二信号；以及

响应于所述第二信号在所述可扫描存储元件的扫描输出端子处产生扫描输出，其中在所述功能模式中所述扫描输出是上拉逻辑和下拉逻辑中的一种并且在移位模式中所述扫

描输出对应于所述扫描输入。

19. 根据权利要求18所述的方法,进一步包括:

响应于所述第二信号在所述可扫描存储元件的数据输出端子处产生数据输出。

20. 一种用于操作集成电路即IC的扫描链中的可扫描存储元件的方法,所述方法包括:

响应于数据输入和扫描输入中的一个在所述可扫描存储元件的第一节点处产生第一信号,在功能模式中所述扫描输入是上拉逻辑和下拉逻辑中的一种,其中产生所述第一信号包括:

提供包括接收所述扫描输入的第一开关和接收所述数据输入的第二开关的第一上拉路径;

提供包括所述第一开关和接收反相扫描使能输入的第三开关的第二上拉路径,所述第一上拉路径和所述第二上拉路径耦合在电源和所述第一节点之间;

提供包括接收所述反相扫描使能输入的第四开关和接收所述数据输入的第五开关的第一下拉路径;以及

提供包括接收所述扫描输入的第六开关的第二下拉路径,所述第一下拉路径和所述第二下拉路径耦合在所述第一节点和基准电源之间;

响应于所述第一信号由一个或更多时序元件在所述可扫描存储元件的第二节点处产生第二信号;以及

响应于所述第二信号在所述可扫描存储元件的扫描输出端子处产生扫描输出,其中在所述功能模式中所述扫描输出是上拉逻辑和下拉逻辑中的一种并且在移位模式中所述扫描输出对应于所述扫描输入。

用在集成电路中的可扫描存储元件及相关联的操作方法

技术领域

[0001] 本发明涉及扫描链并且涉及集成电路 (IC) 中的功率和面积优化。

背景技术

[0002] 在集成电路 (IC) 测试中,内部嵌入扫描设计的测试技术已成为测试 IC 的操作的一种成本有效的解决方案。通过提供与功能数据输入并行的用于扫描数据的第二替换扫描输入,将 IC 内的标准触发器和锁存器 (存储元件) 的结构改变为扫描触发器和锁存器,完成扫描设计。用于扫描数据的替换输入一般通过在标准输入前面设置选择扫描数据或功能数据的多路复用器来实现。然后通过经由“扫描链”将一个元件的输出连接至下一个元件的扫描输入,将这些“可扫描”元件以串行移位寄存器的方式连接到一起。当断言扫描使能信号时,扫描链能够通过允许扫描数据在每个有效时钟缘上从一个元件传送到另一个元件,加载并卸载内部 IC 状态信息。

[0003] 可扫描存储电路的自动测试向量生成 (ATPG) 移位模式中静态时序分析 (STA) 收敛频率相当高,但由于高 IR 压降和 ATPG 移位模式中完整设计逻辑切换 (toggle) 引起的可靠性问题,生产测试描述语言 (TDL) 以较低频率运行。扫描模式中组合逻辑产生多于 40% 的功率消耗。在 ATPG 移位过程中不需要切换逻辑。如果功能组合逻辑的切换能够停止,那么 ATPG 移位频率能够显著增大,导致更少的测试时间,因此更低的测试器成本。对于特定的路径,设计的功率消耗取决于“下拉”Q 门控或“上拉”Q 门控触发器的选择。后硅测试程序的开发使得难以决定对于所有可能的 TDL 组合都确保最小测试功率的电路类型,尤其是在部分使用“门控的 Q”触发器的情况下。

[0004] 在操作功能模式时,触发器的 SD (扫描输入) 引脚连接至前一个触发器的 SQ (扫描输出) 引脚。每当触发器的 D (功能数据) 引脚上有信号活动时,信号行进到随后触发器的 SD 引脚,从而造成不必要的功率损失。在功能操作中测试电路上不必要地消耗 (burnt) 了大量的功率。当设备在重载模式 (高频率模式) 中运行时,功率损失变得显著,造成更快的电池放电。

发明内容

[0005] 公开集成电路 (IC) 中的若干示例可扫描存储元件,其经配置以降低面积和功率需求。在一个实施例中,提供用在 IC 中的可扫描存储元件。可扫描存储元件包括输入电路,其经配置以响应于数据输入和扫描输入中的一个向第一节点提供信号,扫描输入在功能模式中为上拉逻辑。输入电路包括:包括接收数据输入的第一开关和接收扫描使能输入的第二开关的第一上拉路径,和包括接收扫描输入的第三开关的第二上拉路径,第二上拉路径和第一上拉路径耦合在电源和第一节点之间,包括接收扫描使能输入的第四开关和接收扫描输入的第五开关的第一下拉路径,和包括接收数据输入的第六开关的第二下拉路径,第一下拉路径和第二下拉路径耦合在第一节点和基准电源之间。存储元件还包括:包括一个或更多时序组件的移位电路,其经配置以响应于第一信号在第二节点处提供第二信号,和耦

合至第二节点以接收第二信号的扫描输出缓冲器,扫描输出缓冲器经配置以响应于第二信号在扫描输出端子处提供扫描输出,其中扫描输出在功能模式中为上拉逻辑和下拉逻辑中的一种并且扫描输出在移位模式中对应于扫描输入。

[0006] 在另一个实施例中,提供用在IC中的一种可扫描存储元件。可扫描存储元件包括输入电路,其经配置以响应于数据输入和扫描输入中的一个向第一节点提供信号,扫描输入在功能模式中为下拉逻辑。输入电路包括:包括接收扫描输入的第一开关和接收数据输入的第二开关的第一上拉路径和包括第一开关与接收反相扫描使能输入的第三开关的第二上拉路径,第二上拉路径和第一上拉路径耦合在电源和第一节点之间、包括接收反相扫描使能输入的第四开关和接收数据输入的第五开关的第一下拉路径,和包括接收扫描输入的第六开关的第二下拉路径,第一下拉路径和第二下拉路径耦合在第一节点和基准电源之间。可扫描存储元件还包括:包括一个或更多时序组件的移位电路,其经配置以响应于第一信号在第二节点处提供第二信号,和耦合至第二节点以接收第二信号的扫描输出缓冲器,其中扫描输出缓冲器经配置以响应于第二信号在扫描输出端子处提供扫描输出,其中扫描输出在功能模式中为上拉逻辑和下拉逻辑中的一种并且扫描输出在移位模式中对应于扫描输入。

[0007] 在另一个实施例中,提供用在IC中的可扫描存储元件。可扫描存储元件包括经配置以响应于数据输入和扫描输入中的一个向第一节点提供信号的输入电路,扫描输入在功能模式中为上拉逻辑和下拉逻辑中的一种。可扫描存储元件还包括:包括一个或更多时序组件的移位电路,其经配置以响应于第一信号在第二节点处提供第二信号,和耦合至第二节点以接收第二信号的扫描输出缓冲器,扫描输出缓冲器经配置以响应于第二信号在扫描输出端子处提供扫描输出,其中扫描输出在功能模式中为上拉逻辑和下拉逻辑中的一种并且扫描输出在移位模式中对应于扫描输入。

[0008] 在另一个实施例中,一种在IC中操作可扫描存储元件的方法。所述方法包括响应于数据输入和扫描输入中的一个在可扫描存储元件的第一节点处产生第一信号,扫描输入在功能模式中为上拉和下拉逻辑中的一种。所述方法包括响应于第一信号由一个或更多时序元件在可扫描存储元件的第二节点处产生第二信号。所述方法进一步包括响应于第二信号在可扫描存储元件的扫描输出端子处产生扫描输出,其中扫描输出在功能模式中为上拉逻辑和下拉逻辑中的一种并且扫描输出在移位模式中对应于扫描输入。

附图说明

[0009] 图1示出根据一个实施例的集成电路(IC)中的扫描链的示例;

[0010] 图2-图6示出根据示例实施例、在功能模式中具有扫描输出上拉的可扫描存储元件;

[0011] 图7-图9示出根据示例实施例、在功能模式中具有扫描输出下拉的可扫描存储元件;

[0012] 图10和图12示出根据示例实施例、在功能模式中具有扫描输出上拉并且在移位模式中具有数据输出上拉的可扫描存储元件;

[0013] 图11和图13示出根据示例实施例、在功能模式中具有扫描输出上拉并且在移位模式中具有数据输出下拉的可扫描存储元件;

[0014] 图14、图16、图18和图20示出根据示例实施例、在功能模式中具有扫描输出下拉并且在移位模式中具有数据输出上拉的可扫描存储元件；

[0015] 图15、图17、图19和图21示出根据示例实施例、在功能模式中具有扫描输出下拉并且在移位模式中具有数据输出下拉的可扫描存储元件；以及

[0016] 图22示出根据另一个实施例在IC扫描链中操作可扫描存储元件的方法。

具体实施方式

[0017] 图1示出根据一个实施例的集成电路(IC)中扫描链100的示例。如图1所示,扫描链100由若干可扫描存储元件100₁、100₂……100_n构成。每个可扫描存储元件(下文中可扫描存储元件也称作“存储元件”)具有输入如数据输入(见,‘D’)与扫描输入(见,‘SD’),和相应的输出,数据输出(见,‘D’)与扫描输出(见,‘SQ’)。扫描链100经配置以在功能模式或移位模式中操作。在一个实施例中,存储元件100₁、100₂……100_n可以以串联方式耦合以构造扫描链。例如,存储元件(例如存储元件100₂)的数据输入‘D’耦合至前面的存储元件(存储元件100₁)的数据输出‘Q’,以及存储元件(例如,存储元件100₂)扫描输入‘D’耦合至前面的存储元件(例如,存储元件100₁)的数据输出‘Q’。前面的存储元件的数据输入‘D’和数据输出‘Q’之间可以有一些组合组件(例如,102₁、102₂、102₃...)。参照图2至图21进一步描述扫描链100的存储元件的各种结构。

[0018] 图2示出根据一个实施例的扫描链100的第一存储元件的示例。例如,存储元件200可以为扫描链100的第一可扫描存储元件100₁的示例。在该实施例中,存储元件200被配置为,通过禁用IC中的扫描元件的切换,使得存储元件200的扫描输出在功能模式中被上拉以便节省功率。例如,通过在功能模式中上拉扫描输出端子,扫描路径(由扫描输出端子驱动)中组合逻辑切换造成的功率消耗可以降低。

[0019] 可扫描存储元件200包括耦接至扫描输出缓冲器如用于驱动扫描输出端子的扫描输出缓冲器320的节点145。在该示例实施例中,节点145还耦合至用于驱动数据输出端子的数据输出缓冲器440。存储元件200经配置以响应于扫描使能输入选择性地耦合至数据输入端子(用于接收数据输入)和扫描输入端子(用于接收扫描输入)。例如,存储元件200包括具有数据输入(见,‘D’)和扫描输入(见,‘SD’)的多路复用器260。扫描使能输入(SCAN)充当多路复用器260的选择线。通过包括八个MOS晶体管(例如,PMOS晶体管262、264、266、268和NMOS晶体管270、272、274和276)构成多路复用器260。还需要额外的晶体管280用于将SCAN转换为反相SCAN信号(SCANZ)。晶体管262和264在电源(见,VDD)和节点278之间构成第一上拉路径,其中晶体管262的栅极连接至数据输入‘D’,并且晶体管262的栅极连接至SCAN。晶体管266和268在VDD和节点278之间构成第二上拉路径,其中晶体管266的栅极连接至扫描输入‘SD’,并且晶体管268的栅极连接至SCANZ。晶体管270和272在节点278和基准电源(见,VSS)之间构成第一下拉路径,其中晶体管270的栅极连接至SCAN,并且晶体管272的栅极连接至扫描输入‘SD’。晶体管274和276在节点278和VSS之间构成第二下拉路径,其中晶体管274的栅极连接至SCANZ,并且晶体管276的栅极连接至数据输入‘D’。

[0020] 多路复用器260的输出(节点278)连接至移位电路150,其经配置以基于多路复用器260的输出在节点145处提供信号。在图2所示实施例中,移位电路150包括一个或更多锁存器/触发器,其由反相器110、传输门115、反相器120、反相器130、传输门125、传输门135、

反相器140、反相器146、反相器185和传输门190构成。应当注意,可以存在图2所示实施例的移位电路150的各种变型。反相器110耦合至多路复用器260的输出端,并且反相器110的输出端连接至传输门115的输入端。反相时钟输入(CLKZ)提供至传输门115。可通过使用反相器290反相时钟输入CLK来提供CLKZ。传输门115的输出端连接至节点195。反相器130连接至节点195。传输门125连接至反相器130的输出端。传输门125的输出端连接至反相器120的输入端。传输门125连接至时钟信号(CLK)。反相器130的输出端还连接至节点197。传输门135的输入端连接至节点197。传输门135的输出端连接至反相器140,接着反相器140连接至节点145。

[0021] 数据输出缓冲器440包括PMOS晶体管425和NMOS晶体管430(包括反相器)。晶体管425的源极连接至电源电压(例如,VDD)并且晶体管425的漏极连接至节点435。晶体管430的源极连接至基准电源(或地电压,见,VSS)并且晶体管430的漏极连接至节点435。晶体管(425和430)的栅极均连接至节点145。数据输出端子连接至节点310,从节点310获得数据输出‘Q’。扫描输出缓冲器320包括PMOS晶体管302和NMOS晶体管304。晶体管302的源极连接至电源电压(VDD)并且晶体管302的漏极连接至节点535。晶体管302的栅极连接至节点145。晶体管304的源极连接至另一个NMOS晶体管306的漏极并且晶体管304的漏极连接至节点310。晶体管306的栅极还连接至节点145。晶体管306的源极连接至基准电源并且晶体管306的漏极连接至晶体管304的源极。晶体管306的栅极连接至扫描使能输入(SCAN)。当SCAN为0时,晶体管306用于禁用VDD和VSS之间的直接路径。另一个PMOS晶体管308用于上拉扫描输出‘SQ’。晶体管308的源极连接至电源VDD并且晶体管308的漏极连接至节点310(即扫描输出‘SQ’)。晶体管308的栅极连接至扫描使能输入(SCAN)。存储元件200的扫描输出(sq)取自节点310。

[0022] 现在说明存储元件200的操作。多路复用器260使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点362处传输。如图2所示,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点278处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点278处传输。为了说明,如果SCAN为逻辑0,包括晶体管262和264的上拉路径被使能,并且包括晶体管274和276的下拉路径被使能。相应地,晶体管262、264、274和276形成反相器结构,并且‘D’的反相逻辑电平被传输至节点278。假设‘D’设定为逻辑1,那么‘D’的反转版本,例如,逻辑0接着将在节点278处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点278处的值的反转版本。例如,移位电路145的反相器110的输出为逻辑1。当CLK为低时,传输门115变透明并且传输门输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能,并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器440(反相器)反相节点145处的值并且迫使节点435处为逻辑0。数据输出‘Q’取自节点435(其为数据输出端子),作为数据输入‘D’的反转版本。在一些其它实施例中,可在数据输出缓冲器440中添加另一个反相器以获得与数据输入‘D’具有相同逻辑电平的数据输出‘Q’。由于SCAN为逻辑0,晶体管306被禁用,其停止数据传播至节点310。同时晶体管308被使能,这然后将节点310上拉至逻辑1。扫描输出端子耦合至节点310。相应地,在功能模式中(当

SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑1(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中这可以帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否连接扫描输出端子‘SQ’至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本(inversion,反相/反转版本)并且扫描输出‘SQ’被连接至逻辑1。

[0023] 当SCAN为逻辑1时,包括晶体管266和268的上拉路径被使能,并且包括晶体管270和272的下拉路径被使能。因此,晶体管266、268、270、272形成反相器结构,并且‘SD’的反相逻辑电平传输至节点278。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器320充当反相器,由于晶体管308被禁用并且晶体管302、304和306形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点278的反转版本。例如,如果扫描输入‘SD’为逻辑1,节点278处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器320然后在耦合至扫描输出sq的节点310处传输逻辑0。因此,当设备(IC)在移位模式中操作时,扫描输入‘SD’的反转版本传输至扫描输出‘SQ’。

[0024] 图3示出根据另一个实施例的扫描链100的第一存储元件的示例。例如,存储元件300可以为扫描链100的第一可扫描存储元件100₁的示例。在该实施例中,存储元件300被配置为,通过在IC中禁用扫描元件切换,从而存储元件300的扫描输出在功能模式中被下拉以便节省功率。

[0025] 存储元件300包括耦接至用于驱动扫描输出端子的扫描输出缓冲器(如扫描输出缓冲器340)的节点145。在该示例实施例中,节点145还耦合至用于驱动数据输出端子的数据输出缓冲器440。存储元件300经配置以响应于扫描使能输入选择性地耦合至数据输入端子(用于接收数据输入)和扫描输入端子(用于接收扫描输入)。例如,存储元件300包括具有数据输入(见,‘D’)和扫描输入(见,‘SD’)的多路复用器260。扫描使能输入(SCAN)充当多路复用器260的选择线。通过包括八个MOS晶体管(例如,PMOS晶体管262、264、266、268和NMOS晶体管270、272、274和276)构成多路复用器260。还需要额外的晶体管280用于将SCAN移位为反相SCAN信号(SCANZ)。晶体管262和264在电源(见,VDD)和节点278之间构成第一上拉路径,其中晶体管262的栅极连接至数据输入‘D’,并且晶体管262的栅极连接至SCAN。晶体管266和268在VDD和节点278之间构成第二上拉路径,其中晶体管266的栅极连接至扫描输入‘SD’,并且晶体管268的栅极连接至SCANZ。晶体管270和272在节点278和基准电源(见,VSS)之间构成第一下拉路径,其中晶体管270栅极连接至SCAN,并且晶体管272的栅极连接至扫描输入‘SD’。晶体管274和276在节点278和VSS之间构成第二下拉路径,其中晶体管274的栅极连接至SCANZ,并且晶体管276的栅极连接至数据输入‘D’。

[0026] 多路复用器260的输出端(节点278)连接至移位电路150,其经配置以基于多路复用器260的输出在节点145处提供信号。在图3所示实施例中,移位电路150包括一个或更多锁存器/触发器,其由反相器110、传输门115、反相器120、反相器130、传输门125、传输门135、反相器140、反相器146、反相器185和传输门190构成。应当注意,可以存在图2所示实施例的移位电路150的各种变型。反相器110耦合至多路复用器260的输出端,并且反相器110的输出端连接至传输门115的输入端。反相时钟输入(CLKZ)被提供至传输门115。传输门115的输出端连接至节点195。反相器130连接至节点195。传输门125连接至反相器130的输出端。传输门125的输出端连接至反相器120的输入端。传输门125连接至时钟信号(CLK)。反相器130的输出端还连接至节点197。传输门135的输入端连接至节点197。传输门135的输出端

连接至反相器140,接着反相器140连接至节点145。

[0027] 另外参照图2所描述,数据输出缓冲器440包括PMOS晶体管425和NMOS晶体管430(包括反相器)。数据输出端子连接至节点310,从该节点获得数据输出‘Q’。扫描输出缓冲器340包括PMOS晶体管322和324以及NMOS晶体管326和328。晶体管322的源极连接至电源电压(VDD)并且晶体管322的漏极连接至晶体管324的源极。晶体管324的漏极连接至节点330并且还连接至晶体管326的漏极。晶体管324和326的栅极连接至节点145,并且晶体管322的栅极连接至SCANZ。NMOS晶体管720的漏极连接至节点330,并且晶体管328的栅极连接至SCANZ,使得晶体管328在功能模式中(当SCANZ为逻辑1时)充当下拉晶体管。此外,晶体管322用于在功能模式中禁用VDD和VSS之间的直接路径。应当注意,在移位模式中(当SCANZ为逻辑0时),晶体管428被禁用;并且晶体管322被使能,从而在移位模式中在VDD和VSS之间提供直接路径。因此,在移位模式中,晶体管322、324和326形成反相器结构并且将节点145的值的反转版本提供至节点330。

[0028] 现在说明存储元件300的操作。多路复用器260使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点362处传输。如图3所示,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点278处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点278处传输。为了说明,如果SCAN为逻辑0,包括晶体管262和264的上拉路径被使能,并且包括晶体管274和276的下拉路径被使能。因此,晶体管262、264、274和276形成反相器结构,并且‘D’的反相逻辑电平被传输至节点278。假设‘D’设定为逻辑1,那么‘D’的反转版本,例如,逻辑0接着将在节点278处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点278处的值的反转版本。例如,移位电路145的反相器110的输出为逻辑1。当CLK为低时,传输门115变透明并且传输门输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其传输节点197处的值(逻辑0)至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并且因此传输节点197处的值(逻辑0)至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器440(反相器)将节点145处的值反相并迫使节点435处为逻辑0。数据输出‘Q’取自节点435(即数据输出端子),作为数据输入‘D’的反转版本。在一些其它实施例中,可在数据输出缓冲器440中添加另一个反相器以获得与数据输入‘D’相同的数据输出‘Q’。由于SCAN为逻辑0,晶体管322被禁用,这停止数据传播至节点330。同时晶体管328被使能其接着将节点330下拉至逻辑0。扫描输出端子耦合至节点330。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中这可以帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑0。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0。

[0029] 当SCAN为逻辑1时,包括晶体管266和268的上拉路径被使能,并且包括晶体管270和272的下拉路径被使能。因此,晶体管266、268、270、272形成反相器结构,并且‘SD’的反相逻辑电平传输至节点278。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器340充当反相器,由于晶体管328被禁用并且晶体管322、324和326形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点278的反转版本。例如,如果扫描输入‘SD’为逻辑1,

节点278处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器340接着在耦合至扫描输出‘SQ’的节点310处传输逻辑0。因此,当设备(IC)在移位模式中操作时,扫描输入‘SD’的反转版本传输至扫描输出‘SQ’。

[0030] 在扫描输出在扫描链100的第一存储元件100₁中被上拉或下拉时,它的逻辑状态固定。本技术的各种实施例可以利用上述信息设计随后存储元件的输入多路复用器电路。输入多路复用器电路的此类设计能够减少存储元件中晶体管的数量,并且参照图4至图21来说明。此外,各种实施例还能够门控q和sq的一个或两者,并且参照图4至图21来说明。

[0031] 图4示出根据一个实施例的扫描链100的第一存储元件之外的存储元件的示例。在存储元件400接收的扫描输入数据‘SD’在功能模式中被上拉的情况下,存储元件400可以为任意存储元件100₂、100₃...或100_n的示例。例如,当前面的存储元件(存储元件400前面的)提供的扫描输出‘SQ’(耦合至存储元件400的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被上拉时,使用存储元件400。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0032] 存储元件400包括耦合至用于驱动扫描输出端子535的扫描输出缓冲器550的节点145(第二节点)。在该示例实施例中,节点145还耦接至用于驱动数据输出端子510的数据输出缓冲器505。在该实施例中,数据输出缓冲器505被示为反相器。存储元件400包括输入电路360,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。输入电路360经配置以在节点362(第一节点)处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号(第一信号)。输入电路360基于选择信号(如扫描使能输入(见,SCAN))在节点362处提供信号。输入电路360包括耦合至节点362的上拉组件和下拉组件。例如,输入电路360包括连接在节点362和电源(见,VDD)之间的两个上拉路径,其中第一上拉路径包括接收数据输入‘D’的第一开关和接收扫描使能输入‘SCAN’的第二开关。如图4的实施例所示,第一开关的示例可以包括PMOS晶体管365以及第二开关的示例可以包括PMOS晶体管370,并且两个晶体管耦合从而PMOS晶体管365的漏极连接至PMOS晶体管370的源极。第二上拉路径包括接收扫描输入‘SD’的第三开关(例如,PMOS晶体管375)。在该实施例中,PMOS晶体管365、370和375的栅极分别连接至数据输入‘D’、扫描使能输入‘SCAN’和扫描输入‘SD’,并且PMOS晶体管370和375的源极与节点362耦合。输入电路360进一步包括连接在节点362和基准电源(见,VSS)或地电源之间的两个下拉路径。第一下拉路径包括接收扫描使能输入‘SCAN’的第四开关和接收扫描输入‘SD’的第五开关。如图4的实施例所示,第四开关的示例为NMOS晶体管380以及第五开关的示例为NMOS晶体管385,并且两个晶体管耦合从而NMOS晶体管380的源极连接至NMOS晶体管385的漏极。第二下拉路径包括接收数据输入‘D’的第六开关。如图4所示,第六开关的示例可以包括NMOS晶体管390。NMOS晶体管380、385和390的栅极分别与扫描使能输入‘SCAN’、扫描输入‘SD’和数据输入‘D’耦合,并且NMOS晶体管380和390的漏极与节点362耦合。配置输入电路360从而它仅需要六个晶体管而不是在其他方式中的输入电路260需要的十个晶体管,因为‘SD’输入在功能模式中是固定的(例如,逻辑1的)。尽管,在图4所示实施例中,第一开关、第二开关、第三开关、第四开关、第五开关和第六开关被示为PMOS或NMOS晶体管,但它们还能够通过使用功能上类似于MOS晶体管的其它组件(如BJT晶体管、二极管的组合等)来配置。

[0033] 输入电路360的输出端(例如,节点362)连接至移位电路150,其经配置以将对应于节点362的信号传输至节点145。移位电路150包括从节点362获得输入的反相器110并且反

相器110的输出端连接至传输门115。反相时钟输入CLKZ被提供给传输门115。传输门115连接至节点195。反相器130连接至节点195。另一个传输门125连接至反相器130的输出端。传输门125的输出端连接至另一个反相器120的输入端。传输门125连接至时钟信号(见,CLK)。反相器130的输出端还连接至节点197。传输门135连接至节点197。传输门135的输出端连接至反相器140,接着反相器140连接至节点145。数据输出缓冲器505的输入端连接至节点145并且数据输出缓冲器505的输出端连接至节点510,即数据输出端子。数据输出缓冲器505包括反相器。节点145连接至反相器185。反相器185的输出端连接至节点152,接着节点152连接至传输门190。传输门190被反相时钟信号CLKZ控制。传输门190驱动另一个反相器146。反相器146的输出端再次连接至节点145。扫描输出缓冲器550包括由PMOS晶体管515和NMOS晶体管520、晶体管525(第三MOS晶体管)以及晶体管530(第四MOS晶体管)构成的反相器。晶体管515的源极连接至电源电压(VDD)并且晶体管515的漏极连接至节点535。晶体管515的栅极连接至节点145。晶体管520的源极连接至另一个NMOS晶体管525的漏极并且晶体管520的漏极连接至节点535。晶体管525(第三MOS晶体管)的栅极还连接至节点145。晶体管525的源极连接至地电压并且晶体管525的漏极连接至晶体管520的源极。晶体管525的栅极连接至扫描使能输入(SCAN)。当SCAN为0时,晶体管525用于禁用VDD和VSS之间的直接路径。晶体管530(例如,PMOS晶体管)用于上拉扫描输出‘SQ’。晶体管530的源极连接至电源电压并且晶体管530的漏极连接至节点535(即扫描输出‘SQ’)。晶体管530的栅极连接至扫描使能输入(SCAN)。可扫描存储元件400的扫描输出(sq)取自节点535。

[0034] 现在说明存储元件400的操作。输入电路360使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点362处传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。例如,当SCAN为逻辑0时,存储元件400前面的存储元件(如存储元件200)的扫描输出‘SQ’被上拉,并且该上拉逻辑1被馈送至存储元件400的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如图4所示,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点362处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点362处传输。

[0035] 为了举例说明,如果SCAN为逻辑0(扫描输入‘SD’为逻辑1),晶体管375和380被禁用,并且晶体管370和385被使能。因此,晶体管365、370、390和385形成反相器结构,并且‘D’的反相逻辑电平被传输至节点362。假设‘D’设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点362处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点362处的值的反转版本。例如,移位电路145的反相器110的输出为逻辑1。当CLK为低时,传输门115变透明并且传输门输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195处为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器505(反相器)将节点145处的值反相并且迫使节点410处为逻辑0。数据输出‘Q’取自节点510(即数据输出端子)作为数据输入‘D’的反转版本。在一些实施例中,可以存在额外的反相器被添加到数据输出缓冲器505,以便接收与数据输入‘D’具有相同逻辑的数据输出‘Q’。由于SCAN为逻辑0,晶体管525被禁用,这停止数据传播至节点535。同时晶体管530被使能,

这接着将节点535上拉至逻辑1。扫描输出端子耦合至节点535。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑1(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCAN)用作控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑1。在一些实施例中,可以具有额外的反相器被添加到扫描输出缓冲器550,以便接收与扫描输入‘SD’具有相同逻辑的扫描输出‘SQ’。

[0036] 当SCAN为逻辑1时,晶体管370被禁用,并且晶体管375(被上拉)以及晶体管380和385(被下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点362。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器550用作反相器,由于晶体管530被禁用并且晶体管515、520和525形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点362的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点362处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器550然后在耦合至扫描输出sq的节点535处传输逻辑0。因此,当设备(IC)在移位模式中操作时,扫描输入‘SD’的反转版本被传输至扫描输出‘SQ’。

[0037] 图5示出根据另一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件500接收的扫描输入数据‘SD’在功能模式中被下拉的情况下,存储元件500可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件500前面的)提供的扫描输出‘SQ’(耦合至存储元件500的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被下拉时,使用存储元件500。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑0。

[0038] 存储元件500包括耦合至用于驱动扫描输出端子535的扫描输出缓冲器550的节点145。在该示例实施例中,节点145还耦合至用于驱动数据输出端子510的数据输出缓冲器505。在该实施例中,数据输出缓冲器505示作反相器。存储元件500包括输入电路460,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。输入电路460经配置以在节点462(第一节点)处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。输入电路460基于选择信号(如反相扫描使能输入(见,SCANZ))在节点462处提供信号。输入电路460包括耦合至节点462的上拉组件和下拉组件。例如,输入电路460包括连接在节点462和电源(见,VDD)之间的两个上拉路径,其中第一上拉路径包括接收扫描输入‘SD’的第一开关和接收数据输入‘D’的第二开关。如图5的实施例所示,第一开关的示例可以包括PMOS晶体管465以及第二开关的示例可以包括PMOS晶体管470,并且两个晶体管耦合从而PMOS晶体管465的漏极连接至PMOS晶体管470的源极。第二上拉路径包括第一开关和接收反相扫描使能输入(SCANZ)的第三开关。第三开关的示例可以包括PMOS晶体管475。PMOS晶体管475的源极连接至PMOS晶体管465的漏极。PMOS晶体管465、470和475的栅极分别连接至扫描输入‘SD’、数据输入‘D’和反相扫描使能输入‘SCANZ’,并且PMOS晶体管470和475的源极与节点462耦合。输入电路460进一步包括连接在节点462和基准电源(见,VSS)或地电源之间的两个下拉路径。第一下拉路径包括接收反相扫描使能输入‘SCANZ’的第四开关和接收数据输入‘D’的第五开关。第四开关的示例可以包括NMOS晶体管480以及第五开关的示例包括NMOS晶体管485,并且两个晶体管耦合从而NMOS晶体管380的源极连接至NMOS晶体管485的漏极。第二下拉路径包括接收扫描输入‘SD’的第六开关。第

六开关的示例可以包括NMOS晶体管490。NMOS晶体管480、485和490的栅极分别与SCANZ、数据输入‘D’和扫描输入‘SD’耦合,并且NMOS晶体管480和490的漏极与节点462耦合。在图5所示实施例中,配置输入电路460从而它仅需要八个晶体管而不是其他方式中的输入电路260需要的十个晶体管,由于‘SD’输入是固定的(逻辑0或逻辑1的)。应当注意,在该实施例中,与参照图4描述的实施例相比,需要两个额外的晶体管,因为需要两个晶体管产生反相扫描使能输入‘SCANZ’。尽管在图5所示实施例中,第一开关、第二开关、第三开关、第四开关、第五开关和第六开关示作PMOS或NMOS晶体管,但它们还能够使用功能上类似于MOS晶体管的其它组件(如BJT晶体管、二极管的组合等)来配置。

[0039] 输入电路460的输出端(例如,节点462)连接至移位电路150,其经配置以将对应于节点462的信号传输至节点145。移位电路150包括从节点462获得输入的反相器110并且反相器110的输出端连接至传输门115。反相时钟输入CLKZ被提供给传输门115。传输门115连接至节点195。反相器130连接至节点195。另一个传输门125连接至反相器130的输出端。传输门125的输出端连接至另一个反相器120的输入端。传输门125连接至时钟信号(见,CLK)。反相器130的输出端还连接至节点197。传输门135连接至节点197。传输门135的输出端连接至反相器140,接着反相器140连接至节点145。数据输出缓冲器505的输入端连接至节点145并且数据输出缓冲器505的输出端连接至节点510(数据输出端子)。数据输出缓冲器505包括反相器。节点145连接至反相器185。反相器185的输出端连接至节点152,然后节点152连接至传输门190。传输门190被反相时钟信号CLKZ控制。传输门190驱动另一个反相器146。反相器146的输出端再次连接至节点145。扫描输出缓冲器550包括PMOS晶体管515和NMOS晶体管520。晶体管515的源极连接至电源电压(VDD)并且晶体管515的漏极连接至节点535。晶体管515的栅极连接至节点145。晶体管520的源极连接至另一个NMOS晶体管525的漏极并且晶体管520的漏极连接至节点535。晶体管525的栅极还连接至节点145。晶体管525的源极连接至地电压并且晶体管525的漏极连接至晶体管520的源极。晶体管525的栅极连接至扫描使能输入(SCAN)。当SCAN为0时,晶体管525用于禁用VDD和VSS之间的直接路径。另一个PMOS晶体管530用于上拉扫描输出‘SQ’。晶体管530的源极连接至电源电压并且晶体管530的漏极连接至节点535(即扫描输出‘SQ’)。晶体管530的栅极连接至扫描使能输入(SCAN)。可扫描存储元件400的扫描输出(sq)取自节点535。

[0040] 现在说明存储元件500的操作。输入电路460使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点462处被传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑0。例如,当SCAN为逻辑0时,存储元件500前面的存储元件(如存储元件300)的扫描输出‘SQ’被下拉,并且该下拉逻辑0被馈送至存储元件500的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如图5所示,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点462处被传输,并且当SCAN为逻辑1时(或SCANZ为逻辑0时),扫描输入‘SD’的反转版本在节点462处被传输。

[0041] 为了举例说明,在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑0,因此晶体管475和490被禁用,并且晶体管465和480被使能。因此,晶体管465、470、480和485形成反相器结构,并且‘D’的反相逻辑电平被传输至节点462。假设‘D’设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点462处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点462处的值的反转版本。例如,逻辑1在移位电路145的反相器110

的输出端处被传输。当CLK为低时,传输门115变透明并且传输门的输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并且因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器505(反相器)将节点145处的值反相并迫使节点510处为逻辑0。数据输出‘Q’取自节点510(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管525被禁用,其停止数据传播至节点535。同时晶体管530被使能,其接着将节点535上拉至逻辑1。扫描输出端子耦合至节点535。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑1(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中这可以帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑1。

[0042] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管480被禁用,并且晶体管465、475(上拉)和晶体管490(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点462。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器550充当反相器,因为晶体管530被禁用并且晶体管515、520和525形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点462的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点462处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器550然后在耦合至扫描输出‘SQ’的节点535处传输逻辑0。因此,当设备在移位模式中操作时,反相扫描输入‘SD’被传输至扫描输出‘SQ’。

[0043] 图6示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件600接收的扫描输入数据‘SD’在功能模式中被上拉的情况下,存储元件600可以为任意存储元件100₂、100₃...或100_n的示例。例如,当前面的存储元件(存储元件600前面的)提供的扫描输出‘SQ’(耦合至存储元件600的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被上拉时,使用存储元件600。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0044] 存储元件600包括耦合至用于驱动节点725(扫描输出端子)的扫描输出缓冲器750的节点145。在该示例实施例中,节点145还耦合至用于驱动数据输出端子510的数据输出缓冲器505。在该实施例中,数据输出缓冲器505示作反相器。存储元件600包括输入电路360,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。已经参照图4描述了输入电路360,因此为简洁起见不提供它的描述。输入电路360经配置以在节点362处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。

[0045] 输入电路360的输出端(例如,节点362)连接至移位电路150,其经配置以将对应于节点362的信号传输至节点145。数据输出缓冲器505的输入端连接至节点145并且数据输出缓冲器505的输出端连接至节点510(数据输出端子)。数据输出缓冲器505包括反相器。扫描输出缓冲器750还连接至节点145。扫描输出缓冲器750包括PMOS晶体管705(第一MOS晶体管)、反相器(包括PMOS晶体管710和NMOS晶体管715)和NMOS晶体管720(第二MOS晶体管)。晶体管705的源极连接至电源电压(VDD)并且晶体管705的漏极连接至晶体管710的源极。晶体

管710的漏极连接至节点535并且还连接至晶体管715的漏极。晶体管710和715的栅极连接至节点145,并且晶体管705的栅极连接至SCANZ。NMOS晶体管720的漏极连接至节点535,并且晶体管720的栅极连接至SCANZ,使得晶体管720在功能模式中(当SCANZ为逻辑1时)充当下拉晶体管。此外,在功能模式中,晶体管705用于禁用VDD和VSS之间的直接路径。应当注意,在移位模式中(当SCANZ为逻辑0时),晶体管720被禁用,并且晶体管705被使能,从而在移位模式中提供VDD和VSS之间的直接路径。因此,在移位模式中,晶体管705、710和715形成反相器结构并且将节点145的值的反转版本提供至节点725。

[0046] 现在说明存储元件600的操作。输入电路360使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点362处传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。例如,当SCAN为逻辑0时,存储元件600前面的存储元件(如存储元件200)的扫描输出‘SQ’被上拉,并且该上拉逻辑1被馈送至存储元件600的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如参照图4描述,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点362处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点362处传输。

[0047] 在功能模式中(SCAN为逻辑0或SCANZ为逻辑1),扫描输入‘SD’为逻辑1,所以晶体管375和380被禁用,并且晶体管370和385被使能。因此,晶体管365、370、390和385形成反相器结构,并且‘D’的反相逻辑电平被传输至节点362。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点362处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点362处的值的反转版本。例如,移位电路145的反相器110的输出为逻辑1。当CLK为低时,传输门115变透明并且传输门的输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器505(反相器)反相节点145处的值并且迫使节点510处为逻辑0。数据输出‘Q’取自节点510(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管705被禁用,其停止数据传播至节点725。同时晶体管720被使能,其接着将节点725下拉至逻辑0。扫描输出端子耦合至节点725。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCANZ)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0(即,被下拉)。

[0048] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管370被禁用,并且晶体管375(上拉)和晶体管380和385(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点362。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器750充当反相器,因为晶体管720被禁用并且晶体管705、710和715形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点362的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点362处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器750接着在耦合至扫描输出‘SQ’的节点725处传输逻辑0。因此,当IC在移位模式中操作时,扫描输入‘SD’的反转

版本被传输至扫描输出‘SQ’。

[0049] 图7示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件700接收的扫描输入数据‘SD’在功能模式中被下拉的情况下，存储元件700可以为任意存储元件100₂、100₃……或100_n的示例。例如，当前面的存储元件（存储元件700前面的）提供的扫描输出‘SQ’（耦合至存储元件700的扫描输入‘SD’）在功能模式中（当SCAN为逻辑0时）被下拉时，使用存储元件700。例如，当SCAN为逻辑0时，扫描输入‘SD’为逻辑0。

[0050] 存储元件700包括耦合至用于驱动节点725（扫描输出端子）的扫描输出缓冲器750的节点145。在该示例实施例中，节点145还耦合至用于驱动数据输出端子510的数据输出缓冲器505。在该实施例中，数据输出缓冲器505示作反相器。存储元件700包括输入电路460，其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入（见，‘D’）和扫描输入（见，‘SD’）。已经参照图5描述了输入电路460，因此为简洁起见不提供它的描述。输入电路460经配置以在节点462处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如，在移位模式中（当SCANZ为逻辑1时），在节点462处提供数据输入‘D’的反转版本，并且在功能模式中（当SCANZ为逻辑0时），在节点462处提供扫描输入‘SD’的反转版本。

[0051] 输入电路460的输出端（例如，节点462）连接至移位电路150，其经配置以将对应于节点462的信号传输至节点145。数据输出缓冲器505的输入端连接至节点145并且数据输出缓冲器505的输出端连接至节点510（数据输出端子）。数据输出缓冲器505包括反相器。扫描输出缓冲器750还连接至节点145。在功能模式中，扫描输出缓冲器750经配置以下拉节点725，然而，在移位模式中，晶体管705、710和715形成反相器结构（并且晶体管720被禁用），将节点145处的值的反转版本提供至节点725。

[0052] 现在说明存储元件700的操作。输入电路460使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点462处传输。应当注意，在该实施例中，当SCAN为逻辑0时，扫描输入‘SD’为逻辑0。例如，当SCAN为逻辑0时，存储元件700前面的存储元件（如存储元件200）的扫描输出‘SQ’被下拉，并且该下拉逻辑0被馈送至存储元件700的扫描输入‘SD’。当SCAN为逻辑1时，根据从前面的存储元件接收的测试数据和值，扫描输入‘SD’可以具有逻辑0或逻辑1。如图7所示，当SCAN为逻辑0时，数据输入‘D’的反转版本在节点462处传输，并且当SCAN为逻辑1时，扫描输入‘SD’的反转版本在节点462处传输。

[0053] 为了举例说明，在功能模式中（当SCAN为逻辑0或SCANZ为逻辑1时），扫描输入‘SD’为逻辑0，所以晶体管475和490被禁用，并且晶体管465和480被使能。因此，晶体管465、470、480和485形成反相器结构，并且‘D’的反相逻辑电平被传输至节点462。假设‘D’被设定为逻辑1，那么‘D’的反转版本，例如，逻辑0将接着在节点462处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点462处的值的反转版本。例如，逻辑1在移位电路145的反相器110的输出端处传输。当CLK为低时，传输门115变透明并且传输门的输入端处的逻辑1被传输至节点195，迫使反相器130的输出（节点197）为逻辑0。当CLK变高时，传输门125变透明，其将节点197处的值（逻辑0）传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时，另一个传输门135被使能，并因此将节点197处的值（逻辑0）传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时，反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器505（反相器）反相节点145处的值并且迫使节点510处为逻辑0。数据输出‘Q’取自节点510（即数据输出端子），作为数据输入‘D’的

反转版本。由于SCAN为逻辑0,晶体管705被禁用,其停止数据传播至节点725。同时晶体管720被使能,其接着将节点725下拉至逻辑0。扫描输出端子耦合至节点725。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCANZ)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0(即,被下拉)。

[0054] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管480被禁用,并且晶体管465、475(上拉)和晶体管490(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点462。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器750充当反相器,因为晶体管720被禁用并且晶体管705、710和715形成反相器结构。移位电路150经配置以迫使将节点145处的逻辑电平为节点462的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点462处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器750接着在耦合至扫描输出‘SQ’的节点725处传输逻辑0。因此,当设备IC在移位模式中操作时,扫描输入‘SD’的反转版本被传输至扫描输出‘SQ’。

[0055] 图8示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件800接收的扫描输入数据‘SD’在功能模式中被上拉的情况下,存储元件800可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件800前面的)提供的扫描输出‘SQ’(耦合至存储元件800的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被上拉时,使用存储元件800。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0056] 存储元件800包括耦合至用于驱动节点415(扫描输出端子)的扫描输出缓冲器450的节点145。在该示例实施例中,节点145还耦合至用于驱动节点510(数据输出端子)的数据输出缓冲器505。在该实施例中,数据输出缓冲器505示作反相器。存储元件800包括输入电路360,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。已经参照图4描述了输入电路360,因此为简洁起见不提供它的描述。输入电路360经配置以在节点362处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在移位模式中(当SCANZ为逻辑1时),在节点362处提供数据输入‘D’的反转版本,并且在功能模式中(当SCANZ为逻辑0时),在节点362处提供扫描输入‘SD’的反转版本。

[0057] 输入电路360的输出端(例如,节点362)连接至移位电路150,其经配置以将对应于节点362的信号传输至节点145。数据输出缓冲器505的输入端连接至节点145并且数据输出缓冲器505的输出端连接至节点510(数据输出端子)。数据输出缓冲器505包括反相器。扫描输出缓冲器450还连接至节点145。扫描输出缓冲器450包括PMOS晶体管405(第五MOS晶体管)和NMOS晶体管410(第六MOS晶体管)(形成传输门),之后是下拉NMOS晶体管420(第七MOS晶体管)。晶体管405和410的漏极连接至节点145。晶体管405和410的源极连接至节点415。晶体管405的栅极连接至反相扫描使能输入(SCANZ)。晶体管410的栅极连接至扫描使能输入(SCAN)。晶体管420(第三MOS晶体管)的源极连接至地电压并且晶体管420的漏极连接至节点415。晶体管420的栅极连接至反相扫描使能输入(SCANZ),使得晶体管420在功能模式中(当SCANZ为逻辑1时)充当下拉晶体管。在功能模式过程中,晶体管405和410被禁用。在移位模式中(当SCANZ为逻辑0时),晶体管420被禁用;并且传输门被使能且将节点145处的值

提供至节点415。

[0058] 现在说明存储元件800的操作。输入电路360使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点362处传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。例如,当SCAN为逻辑0时,存储元件800前面的存储元件(如存储元件200)的扫描输出‘SQ’被上拉,并且该上拉逻辑1被馈送至存储元件800的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如参照图4所描述,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点362处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点362处传输。

[0059] 为了举例说明,如果SCAN为逻辑0(扫描输入‘SD’为逻辑1),晶体管375和380被禁用,并且晶体管370和385被使能。因此,晶体管365、370、390和385形成反相器结构,并且‘D’的反相逻辑电平被传输至节点362。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点362得到。移位电路150经配置以迫使节点145处的逻辑电平为节点362处的值的反转版本。例如,移位电路145的反相器110的输出为逻辑1。当CLK为低时,传输门115变透明并且传输门输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器505(反相器)反相节点145处的值并且迫使节点510处为逻辑0。数据输出‘Q’取自节点510(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管405和410形成的传输门将节点415与节点145隔离。同时晶体管420被使能,其接着在功能模式中,将节点415下拉至逻辑0,而不管时钟信号CLK。扫描输出端子耦合至节点415。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中这可以帮助功率降低)。扫描使能输入(SCANZ)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0(即,被下拉)。

[0060] 当SCAN为逻辑1时,晶体管370被禁用,并且晶体管375(上拉)和晶体管380和385(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点362。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器450充当传输门缓冲器,因为晶体管420被禁用并且晶体管405和410形成的传输门将节点145处存在的值传输至节点415。移位电路150经配置以迫使节点145处的逻辑电平为节点362的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点362处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器450接着在耦合至扫描输出‘SQ’的节点415处传输逻辑1。因此,当IC在移位模式中操作时,扫描输入‘SD’被传输至扫描输出‘SQ’。

[0061] 图9示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件900接收的扫描输入数据‘SD’在功能模式中被下拉的情况下,存储元件900可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件900前面的)提供的扫描输出‘SQ’(耦合至存储元件900的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被下拉时,使用存储元件900。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0062] 存储元件900包括耦合至用于驱动节点415(扫描输出端子)的扫描输出缓冲器450的节点145。在该示例实施例中,节点145还耦合至用于驱动节点510(数据输出端子)的数据输出缓冲器505。在该实施例中,数据输出缓冲器505示作反相器。存储元件700包括输入电路460,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。已经参照图5描述了输入电路460,因此为简洁起见不提供它的描述。输入电路460经配置以在节点462处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在功能模式中(当SCANZ为逻辑1时)在节点462处提供数据输入‘D’的反转版本,并且在移位模式中(当SCANZ为逻辑0时),在节点462处提供扫描输入‘SD’的反转版本。

[0063] 输入电路460的输出端(例如,节点462)连接至移位电路150,其经配置以将对应于节点462的信号传输至节点145。数据输出缓冲器505的输入端连接至节点145并且数据输出缓冲器505的输出端连接至节点510(数据输出端子)。数据输出缓冲器505包括反相器。扫描输出缓冲器450还连接至节点145。如参照图8所描述,扫描输出缓冲器450包括PMOS晶体管405(第一MOS晶体管)和NMOS晶体管410(第二MOS晶体管)(形成传输门),之后是下拉NMOS晶体管420。晶体管420在功能模式中(当SCANZ为逻辑1时)充当下拉晶体管,因为在功能模式中,晶体管405和410被禁用。在移位模式中(当SCANZ为逻辑0时),晶体管420被禁用;并且传输门被使能并将节点145处的值提供至节点415。

[0064] 现在说明存储元件900的操作。输入电路460使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点462处传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑0。例如,当SCAN为逻辑0时,存储元件900前面的存储元件(如存储元件200)的扫描输出‘SQ’被下拉,并且该下拉逻辑0被馈送至存储元件900的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如参照图5所描述,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点462处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转在节点462处传输。

[0065] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑0,所以晶体管475和490被禁用,并且晶体管465和480被使能。因此,晶体管465、470、480和485形成反相器结构,并且‘D’的反相逻辑电平被传输至节点462。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点462处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点462处的值的反转版本。例如,逻辑1在移位电路145的反相器110的输出端处传输。当CLK为低时,传输门115变透明并且传输门的输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器505(反相器)反相节点145处的值并且迫使节点510处为逻辑0。数据输出‘Q’取自节点510(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管405和410形成的传输门将节点415与节点145隔离。同时晶体管420被使能,其然后在功能模式中将节点415下拉至逻辑0,而不管时钟信号CLK。扫描输出端子耦合至节点415。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于

扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCANZ)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0(即,被下拉)。

[0066] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管480被禁用,并且晶体管465、475(上拉)和晶体管490(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点462。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器450充当传输门缓冲器,因为晶体管420被禁用并且晶体管405和410形成的传输门将节点145处存在的值传输至节点415。移位电路150经配置以迫使节点145处的逻辑电平为节点462的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点462处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器450然后在耦合至扫描输出‘SQ’的节点415处传输逻辑1。因此,当IC在移位模式中操作时,扫描输入‘SD’被传输至扫描输出‘SQ’。

[0067] 本技术的各种实施例还提供数据输出和扫描输出两者的上拉和/或下拉,并且参照图10至图21进一步描述这些实施例。例如,在功能模式中,扫描输出‘SQ’可以被上拉或下拉,并且在移位模式中,数据输出‘D’可以被上拉或下拉,从而在这些模式期间,节省IC中更大的功率。

[0068] 图10示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件1000接收的扫描输入数据‘SD’在功能模式中被上拉的情况下,存储元件1000可以为任意存储元件100₂、100₃...或100_n的示例。例如,当前面的存储元件(存储元件1000前面的)提供的扫描输出‘SQ’(耦合至存储元件1000的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被上拉时,使用存储元件1000。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0069] 存储元件1000包括耦合至用于驱动节点535(扫描输出端子)的扫描输出缓冲器550的节点145。在该示例实施例中,节点145还耦合至用于驱动节点225(数据输出端子)的数据输出缓冲器250。存储元件1000包括输入电路360,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。已经参照图4描述了输入电路360,因此为简洁起见不提供它的描述。输入电路360经配置以在节点362处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在移位模式中(当SCANZ为逻辑1时)在节点362处提供数据输入‘D’的反转版本,并且在功能模式中(当SCANZ为逻辑0时),在节点362处提供扫描输入‘SD’的反转版本。

[0070] 输入电路360的输出端(例如,节点362)连接至移位电路150,其经配置以将对应于节点362的信号传输至节点145。数据输出缓冲器250的输入端连接至节点145并且数据输出缓冲器250的输出端连接至节点225(数据输出端子)。数据输出缓冲器250包括PMOS晶体管205和NMOS晶体管210。晶体管205的源极连接至电源电压并且晶体管205的漏极连接至节点225。晶体管205的栅极连接至节点145。晶体管210的源极连接至另一个NMOS晶体管215(第八MOS晶体管)的漏极并且晶体管210的漏极连接至节点225。晶体管210的栅极还连接至节点145。晶体管215的源极连接至地电压并且晶体管215的漏极连接至晶体管210的源极。晶体管215的栅极连接至反相扫描使能输入(SCANZ)。当SCAN为1时,晶体管215用于禁用VDD和VSS之间的直接路径。另一个PMOS晶体管220(第九MOS晶体管)用于上拉数据输出端子q。晶

晶体管220的源极连接至电源电压并且晶体管220的漏极连接至节点225(数据输出端子q)。晶体管220的栅极连接至反相扫描使能输入(SCANZ)。存储元件1000的数据输出(q)取自节点225。扫描输出缓冲器550还连接至节点145。在功能模式中,扫描输出缓冲器550经配置以上拉节点550。在移位模式中,晶体管515、520和525形成反相器结构(并且晶体管530被禁用),将节点145处的值的反转版本提供至节点535。

[0071] 现在说明存储元件1000的操作。输入电路360使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点362处传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。例如,当SCAN为逻辑0时,存储元件1000前面的存储元件(如存储元件200)的扫描输出‘SQ’被上拉,并且该上拉逻辑1被馈送至存储元件1000的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如参照图4所描述,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点362处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转在节点362处传输。

[0072] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑1,所以晶体管375和380被禁用,并且晶体管370和385被使能。因此,晶体管365、370、390和385形成反相器结构,并且‘D’的反相逻辑电平被传输至节点362。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点362处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点362处的值的反转版本。例如,移位电路145的反相器110的输出为逻辑1。当CLK为低时,传输门115变透明并且传输门的输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器250反相节点145处的值并且迫使节点225处为逻辑0。由于SCAN为逻辑0,晶体管220被禁用,并且晶体管205、210和215形成反相器结构,从而在节点225处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点225(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管525被禁用,其停止数据传播至节点535。同时晶体管530被使能,其接着将节点535上拉至逻辑1。扫描输出端子耦合至节点535。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑1(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑1。

[0073] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管370被禁用,并且晶体管375(上拉)和晶体管380和385(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点362。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器550充当反相器,因为晶体管530被禁用并且晶体管515、520和525形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点362的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点362处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器550然后在耦合至扫描输出‘SQ’的节点535处传输逻辑0。因此,当设备在移位模式中操作时,反相扫描输入‘SD’被传输至扫描输出‘SQ’。由于SCAN为逻辑1,晶体管215被禁用,使得禁用晶体管205和210构

成的反相器。响应于SCANZ为逻辑0,晶体管220被使能并且上拉节点225(数据输入端子q)。注意到,当数据输出端子(节点225)被上拉时,晶体管215经配置以阻止漏泄电流通过反相器(晶体管205和210形成的反相器)。

[0074] 在移位模式中,数据输出‘Q’被连接至逻辑1(由于数据输出端子驱动的组合逻辑切换,在移位模式中,这将帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将数据输出端子‘Q’连接至逻辑1。当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑1。当SCAN为逻辑1时,数据输出q被连接至逻辑1并且扫描输出‘SQ’遵循扫描输入(sd)的反转版本。根据该实施例,由于Q门控,所有功能性组合逻辑不切换,因此若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发器类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集转换为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”或“下拉”Q门控的选择。

[0075] 图11示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件1100接收的扫描输入数据‘SD’在功能模式中被上拉的情况下,存储元件1100可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件1100前面的)提供的扫描输出‘SQ’(耦合至存储元件1100的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被上拉时,使用存储元件1100。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0076] 存储元件1100包括耦合至用于驱动节点535(扫描输出端子)的扫描输出缓冲器550的节点145。在该示例实施例中,节点145还耦合至用于驱动节点625(数据输出端子)的数据输出缓冲器650。存储元件1100包括输入电路360,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。输入电路360经配置以在节点362处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在移位模式中(当SCANZ为逻辑1时)在节点362处提供数据输入‘D’的反转版本,并且在功能模式中(当SCANZ为逻辑0时),在节点362处提供扫描输入‘SD’的反转版本。

[0077] 输入电路360的输出端(例如,节点362)连接至移位电路150,其经配置以将对应于节点362的信号传输至节点145。数据输出缓冲器650的输入端连接至节点145并且数据输出缓冲器650的输出端连接至节点625(数据输出端子)。数据输出缓冲器650还包括PMOS晶体管610和NMOS晶体管615。晶体管610的源极连接至另一个PMOS晶体管605(第十六MOS晶体管)的漏极并且晶体管610的漏极连接至节点625。晶体管610的栅极连接至节点145。晶体管620的源极连接至地电压并且晶体管620的漏极连接至节点625。晶体管620的栅极还连接至节点145。晶体管605的源极连接至电源电压并且晶体管605的漏极连接至晶体管610的源极。晶体管605的栅极连接至扫描使能输入(SCAN)。当SCAN为1时,晶体管605用于禁用VDD和VSS之间的直接路径。另一个NMOS晶体管620(第十七MOS晶体管)用于下拉节点625(数据输出端子)。晶体管620的源极连接至地电压并且晶体管620的漏极连接至节点625。晶体管620的栅极连接至SCAN。可扫描存储元件1100的数据输出(q)取自节点625。扫描输出缓冲器550还连接至节点145。在功能模式中,扫描输出缓冲器550经配置以上拉节点550。在移位模式中,晶体管515、520和525形成反相器结构(并且晶体管530被禁用),将节点145处的值的反转版本提供至节点535。

[0078] 现在说明存储元件1100的操作。输入电路360使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点362处传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。例如,当SCAN为逻辑0时,存储元件1100前面的存储元件(如存储元件200)的扫描输出‘SQ’被上拉,并且该上拉逻辑1被馈送至存储元件1100的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如参照图4所描述,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点362处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点362处传输。

[0079] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑1,所以晶体管375和380被禁用,并且晶体管370和385被使能。因此,晶体管365、370、390和385形成反相器结构,并且‘D’的反相逻辑电平被传输至节点362。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点362处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点362处的值的反转版本。例如,移位电路145的反相器110的输出为逻辑1。当CLK为低时,传输门115变透明并且在传输门的输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器650反相节点145处的值并且迫使节点625处为逻辑0。由于SCAN为逻辑0,晶体管620被禁用,并且晶体管605、610和615形成反相器结构,从而在节点625处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点625(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管525被禁用,其停止数据传播至节点535。同时晶体管530被使能,其接着将节点535上拉至逻辑1。扫描输出端子耦合至节点535。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑1(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑1。

[0080] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管370被禁用,并且晶体管375(上拉)和晶体管380和385(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点362。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器550充当反相器,因为晶体管530被禁用并且晶体管515、520和525形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点362的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点362处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器550然后在耦合至扫描输出‘SQ’的节点535处传输逻辑0。因此,当设备在移位模式中操作时,反相扫描输入‘SD’被传输至扫描输出‘SQ’。由于SCAN为逻辑1,晶体管605被禁用,使得禁任由晶体管605和610构成的反相器。响应于SCAN,晶体管620被使能并且下拉节点625(数据输出端子q)。注意到,当数据输出端子625被下拉时,晶体管605经配置以阻止漏泄电流通过反相器(晶体管610和615形成的反相器)。

[0081] 在移位模式中,数据输出‘Q’被连接至逻辑0(由于数据输出端子驱动的组合逻辑切换,在移位模式中,这将帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否

将数据输出端子‘Q’连接至逻辑1。当SCAN为0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑1。当SCAN为逻辑1时,数据输出q被连接至逻辑0并且扫描输出‘SQ’遵循扫描输入(sd)的反转版本。根据该实施例,由于Q门控,所有的功能性组合逻辑不切换,若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发器类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集转换为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”或“下拉”Q门控的选择。

[0082] 图12示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件1200接收的扫描输入数据‘SD’在功能模式中被下拉的情况下,存储元件1200可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件1200前面的)提供的扫描输出‘SQ’(耦合至存储元件1200的扫描输入‘SD’) 在功能模式中(当SCAN为逻辑0时)被下拉时,使用存储元件1200。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0083] 存储元件1200包括耦合至用于驱动节点535(扫描输出端子)的扫描输出缓冲器550的节点145。在该示例实施例中,节点145还耦合至用于驱动节点225(数据输出端子)的数据输出缓冲器250。存储元件1200包括输入电路460,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。输入电路460经配置以在节点462处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在移位模式中(当SCANZ为逻辑1时)在节点462处提供数据输入‘D’的反转版本,并且在功能模式中(当SCANZ为逻辑0时),在节点462处提供扫描输入‘SD’的反转版本。

[0084] 输入电路460的输出端(例如,节点462)连接至移位电路150,其经配置以将对应于节点462的信号传输至节点145。数据输出缓冲器250的输入端连接至节点145并且数据输出缓冲器250的输出端连接至节点225(数据输出端子)。存储元件1200的数据输出(q)取自节点225。扫描输出缓冲器550还连接至节点145。在功能模式中,扫描输出缓冲器550经配置以上拉节点535。在移位模式中,晶体管515、520和525形成反相器结构(并且晶体管530被禁用),将节点145处的值的反转版本提供至节点535。

[0085] 现在说明存储元件1200的操作。输入电路460使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点462处传输。应当注意,在该实施例中,当SCAN为逻辑0时,扫描输入‘SD’为逻辑0。例如,当SCAN为逻辑0时,存储元件1200前面的存储元件(如存储元件300)的扫描输出‘SQ’被下拉,并且该下拉逻辑0被馈送至存储元件1200的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如图12所示,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点462处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点462处传输。

[0086] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑0,所以晶体管475和490被禁用,并且晶体管465和480被使能。因此,晶体管465、470、480和485形成反相器结构,并且‘D’的反相逻辑电平被传输至节点462。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点462处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点462处的值的反转版本。例如,逻辑1在移位电路145的反相器120的输出端处传输。当CLK为低时,传输门125变透明并且在传输门输入端处的逻辑1被传输至节点195,

迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器250反相节点145处的值并且迫使节点225处为使逻辑0。由于SCAN为逻辑0,晶体管220被禁用,并且晶体管205、210和215形成反相器结构,从而在节点225处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点225(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管525被禁用,其停止数据传播至节点535。同时晶体管530被使能,其接着将节点535上拉至逻辑1。扫描输出端子耦合至节点535。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑1(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑1。

[0087] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管480被禁用,并且晶体管465、475(上拉)和晶体管490(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点462。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器550充当反相器,因为晶体管530被禁用并且晶体管515、520和525形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点462的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点462处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器550然后在耦合至扫描输出‘SQ’的节点535处传输逻辑0。因此,当设备在移位模式中操作时,反相扫描输入‘SD’被传输至扫描输出‘SQ’。由于SCAN为逻辑1,晶体管215被禁用,使得禁用由晶体管205和210构成的反相器。响应于SCANZ为逻辑0,晶体管220被使能并且上拉节点225(数据输出端子q)。注意到,当数据输出端子(节点225)被上拉时,晶体管215经配置以阻止漏泄电流通过反相器(由晶体管205和210形成的反相器)。

[0088] 在移位模式中,数据输出‘Q’被连接至逻辑1(由于数据输出端子驱动的组合逻辑切换,在移位模式中,这将帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将数据输出端子‘Q’连接至逻辑1。当SCAN为0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑1。当SCAN为逻辑1时,数据输出q被连接至逻辑1并且扫描输出‘SQ’遵循扫描输入(sd)的反转版本。根据该实施例,由于Q门控,所有的功能组合逻辑不切换,若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集转换为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”或“下拉”Q门控的选择。

[0089] 图13示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件1300接收的扫描输入数据‘SD’在功能模式中被下拉的情况下,存储元件1300可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件1300前面的)提供的扫描输出‘SQ’(耦合至存储元件1300的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被下拉时,使用存储元件1300。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0090] 存储元件1300包括耦合至用于驱动节点535(扫描输出端子)的扫描输出缓冲器550的节点145。在该示例实施例中,节点145还耦合至用于驱动节点625(数据输出端子)的数据输出缓冲器650。存储元件1300包括输入电路460,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。输入电路460经配置以在节点462处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在移位模式中(当SCANZ为逻辑1时)在节点462处提供数据输入‘D’的反转版本,并且在功能模式中(当SCANZ为逻辑0时),在节点462处提供扫描输入‘SD’的反转版本。

[0091] 输入电路460的输出端(例如,节点462)连接至移位电路150,其经配置以将对应于节点462的信号传输至节点145。数据输出缓冲器650的输入端连接至节点145并且数据输出缓冲器650的输出端连接至节点625(数据输出端子)。存储元件1300的数据输出(q)取自节点625。扫描输出缓冲器550还连接至节点145。在功能模式中,扫描输出缓冲器550经配置以上拉节点550。在移位模式中,晶体管515、520和525形成反相器结构(并且晶体管530被禁用),将节点145的值的反转版本提供至节点535。

[0092] 现在说明存储元件1300的操作。输入电路460使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点462处传输。应当注意,在该实施例中,当SCAN为逻辑0时,扫描输入‘SD’为逻辑0。例如,当SCAN为逻辑0时,存储元件1300前面的存储元件(如存储元件300)的扫描输出‘SQ’被下拉,并且该下拉逻辑0被馈送至存储元件1300的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如图13所示,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点462处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点462处传输。

[0093] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑0,所以晶体管475和490被禁用,并且晶体管465和480被使能。因此,晶体管465、470、480和485形成反相器结构,并且‘D’的反相逻辑电平被传输至节点462。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点462处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点462处的值的反转版本。例如,逻辑1在移位电路145的反相器130的输出端处传输。当CLK为低时,传输门135变透明并且传输门的输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门135变透明,其将节点197处的值(逻辑0)传输至反相器130。反相器130迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器650反相节点145处的值并且迫使节点625处为逻辑0。由于SCAN为逻辑0,晶体管620被禁用,并且晶体管605、610和615形成反相器结构,从而在节点625处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点625(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管525被禁用,其停止数据传播至节点535。同时晶体管530被使能,其接着将节点535上拉至逻辑1。扫描输出端子耦合至节点535。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑1(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑1。

[0094] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管480被禁用,并且晶体管465、475(上拉)和晶体管490(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点462。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器550充当反相器,因为晶体管530被禁用并且晶体管515、520和525形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点462的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点462处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器550然后在耦合至扫描输出‘SQ’的节点535处传输逻辑0。因此,当设备在移位模式中操作时,反相扫描输入‘SD’被传输至扫描输出‘SQ’。由于SCAN为逻辑1,晶体管605被禁用,从而禁用晶体管605和610构成的反相器。响应于SCAN,晶体管620被使能并且下拉节点625(数据输出端子q)。注意到,当数据输出端子被下拉时,晶体管605经配置以阻止漏泄电流通过反相器(由晶体管610和615形成的反相器)。

[0095] 在移位模式中,数据输出‘Q’被连接至逻辑0(由于数据输出端子驱动的组合逻辑切换,在移位模式中,这将帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将数据输出端子‘Q’连接至逻辑1。当SCAN为0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑1。当SCAN为逻辑1时,数据输出q被连接至逻辑0并且扫描输出‘SQ’遵循扫描输入(sd)的反转版本。根据该实施例,由于Q门控,所有的功能组合逻辑不切换,若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集转换为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”或“下拉”Q门控的选择。

[0096] 图14示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件1400接收的扫描输入数据‘SD’在功能模式中被上拉的情况下,存储元件1400可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件1400前面的)提供的扫描输出‘SQ’(耦合至存储元件1400的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被上拉时,使用存储元件1400。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0097] 存储元件1400包括耦合至用于驱动节点725(扫描输出端子)的扫描输出缓冲器750的节点145。在该示例实施例中,节点145还耦合至用于驱动节点225(数据输出端子)的数据输出缓冲器250。存储元件1400包括输入电路360,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。输入电路360经配置以在节点362处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在移位模式中(当SCANZ为逻辑1时)在节点362处提供数据输入‘D’的反转版本,并且在功能模式中(当SCANZ为逻辑0时),在节点362处提供扫描输入‘SD’的反转版本。

[0098] 输入电路360的输出端(例如,节点362)连接至移位电路150,其经配置以将对应于节点362的信号传输至节点145。数据输出缓冲器250的输入端连接至节点145并且数据输出缓冲器250的输出端连接至节点225(数据输出端子)。存储元件1400的数据输出(q)取自节点225。扫描输出缓冲器750还连接至节点145。在功能模式中,扫描输出缓冲器750经配置以上拉节点725。在移位模式中,晶体管705、710和715形成反相器结构(并且晶体管720被禁用),将节点145的值的反转版本提供至节点725。

[0099] 现在说明存储元件1400的操作。输入电路360使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点362处传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。例如,当SCAN为逻辑0时,存储元件1400前面的存储元件(如存储元件200)的扫描输出‘SQ’被上拉,并且该上拉逻辑1被馈送至存储元件1100的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如参照图4所描述,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点362处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点362处传输。

[0100] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑1,所以晶体管375和380被禁用,并且晶体管370和385被使能。因此,晶体管365、370、390和385形成反相器结构,并且‘D’的反相逻辑电平被传输至节点362。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点362处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点362处的值的反转版本。例如,移位电路145的反相器110的输出为逻辑1。当CLK为低时,传输门115变透明并且传输门的输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器250反相节点145处的值并且迫使节点225处为逻辑0。由于SCAN为逻辑0,晶体管220被禁用,并且晶体管205、210和215形成反相器结构,从而在节点225处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点225(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管705被禁用,其停止数据传播至节点725。同时晶体管720被使能,其接着将节点725下拉至逻辑0。扫描输出端子耦合至节点725。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCANZ)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0(即,被下拉)。

[0101] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管370被禁用,并且晶体管375(上拉)和晶体管380和385(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点362。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器750充当反相器,因为晶体管720被禁用并且晶体管705、710和715形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点362的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN逻辑1),节点362处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器750然后在耦合至扫描输出‘SQ’的节点725处传输逻辑0。因此,当IC在移位模式中操作时,扫描输入‘SD’的反转版本被传输至扫描输出‘SQ’。由于SCAN为逻辑1,晶体管215被禁用,从而禁用以晶体管205和210构成的反相器。响应于SCANZ为逻辑0,晶体管220被使能并且上拉节点225(数据输出端子)。注意到,当数据输出端子(节点225)被上拉时,晶体管215经配置以阻止漏泄电流通过反相器(由晶体管205和210形成的反相器)。

[0102] 在移位模式中,数据输出‘Q’被连接至逻辑1(由于数据输出端子驱动的组合逻辑

切换,在移位模式中,这将帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将数据输出端子‘Q’连接至逻辑1。当SCAN为0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0。当SCAN为逻辑1时,数据输出q被连接至逻辑1并且扫描输出‘SQ’遵循扫描输入(sd)的反转版本。根据该实施例,由于Q门控,所有的功能组合逻辑不切换,若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集转换为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”或“下拉”Q门控的选择。

[0103] 图15示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件1500接收的扫描输入数据‘SD’在功能模式中被上拉的情况下,存储元件1500可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件1500前面的)提供的扫描输出‘SQ’(耦合至存储元件1500的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)上拉时,使用存储元件1500。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0104] 存储元件1500包括耦合至用于驱动节点725(扫描输出端子)的扫描输出缓冲器750的节点145。在该示例实施例中,节点145还耦合至用于驱动节点625(数据输出端子)的数据输出缓冲器650。存储元件1000包括输入电路360,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。输入电路360经配置以在节点362处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在移位模式中(当SCAN为逻辑1时)在节点362处提供数据输入‘D’的反转版本,并且在功能模式中(当SCANZ为逻辑0时),在节点362处提供扫描输入‘SD’的反转版本。

[0105] 输入电路360的输出端(例如,节点362)连接至移位电路150,其经配置以将对应于节点362的信号传输至节点145。数据输出缓冲器650的输入端连接至节点145并且数据输出缓冲器650的输出端连接至节点625(数据输出端子)。存储元件1500的数据输出(q)取自节点625。扫描输出缓冲器750还连接至节点145。在功能模式中,扫描输出缓冲器750经配置以下拉节点725。在移位模式中,晶体管705、710和715形成反相器结构(并且晶体管720被禁用),将节点145的值的反转版本提供至节点725。

[0106] 现在说明存储元件1500的操作。输入电路360使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点362处传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。例如,当SCAN为逻辑0时,存储元件1500前面的存储元件(如存储元件200)的扫描输出‘SQ’被上拉,并且该上拉逻辑1被馈送至存储元件1500的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如参照图4所描述,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点362处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点362处传输。

[0107] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑1,所以晶体管375和380被禁用,并且晶体管370和385被使能。因此,晶体管365、370、390和385形成反相器结构,并且‘D’的反相逻辑电平被传输至节点362。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点362处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点362处的值的反转版本。例如,移位电路145的反相器110的输出为逻辑1。当

CLK为低时,传输门115变透明并且传输门输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并且因此将节点197处的值(逻辑0)传输至反相器150。反相器150迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器156构成回环路径并且帮助保持节点145处的值。数据输出缓冲器650反相节点145处的值并且迫使节点625处为逻辑0。由于SCAN为逻辑0,晶体管620被禁用,并且晶体管605、610和615形成反相器结构,从而在节点625处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点625(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管705被禁用,其停止数据传播至节点725。同时晶体管720被使能,其接着将节点725下拉至逻辑0。扫描输出端子耦合至节点725。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCANZ)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0(即,被下拉)。

[0108] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管370被禁用,并且晶体管375(上拉)和晶体管380和385(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点362。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器750充当反相器,因为晶体管720被禁用并且晶体管705、710和715形成反相器结构。移位电路150经配置以迫使将节点145处的逻辑电平为节点462的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点462处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器750然后在耦合至扫描输出‘SQ’的节点725处传输逻辑0。因此,当IC在移位模式中操作时,扫描输入‘SD’的反转版本被传输至扫描输出‘SQ’。由于SCAN为逻辑1,晶体管605被禁用,从而禁用由晶体管605和610构成的反相器。响应于SCAN,晶体管620被使能并且下拉节点625(数据输出端子q)。注意到,当数据输出端子被下拉时,晶体管605经配置以阻止漏泄电流通过反相器(由晶体管610和615形成的反相器)。

[0109] 在移位模式中,数据输出‘Q’被连接至逻辑0(由于数据输出端子驱动的组合逻辑切换,在移位模式中,这将帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将数据输出端子‘Q’连接至逻辑1。当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0。当SCAN为逻辑1时,数据输出q被连接至逻辑0并且扫描输出‘SQ’遵循扫描输入(sd)的反转版本。根据该实施例,由于Q门控,所有的功能组合逻辑不切换,若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集移位为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”或“下拉”Q门控的选择。

[0110] 图16示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件1600接收的扫描输入数据‘SD’在功能模式中被下拉的情况下,存储元件1600可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件1600前面的)提供的扫描输出‘SQ’(耦合至存储元件1600的扫描输入‘SD’)在功能模式中

(当SCAN为逻辑0时)被下拉时,使用存储元件1600。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0111] 存储元件1600包括耦合至用于驱动节点725(扫描输出端子)的扫描输出缓冲器750的节点145。在该示例实施例中,节点145还耦合至用于驱动节点225(数据输出端子)的数据输出缓冲器250。存储元件1600包括输入电路460,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。输入电路460经配置以在节点462处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在移位模式中(当SCANZ为逻辑1时)在节点462处提供数据输入‘D’的反转版本,并且在功能模式中(当SCANZ为逻辑0时),在节点462处提供扫描输入‘SD’的反转版本。

[0112] 输入电路460的输出端(例如,节点462)连接至移位电路150,其经配置以将对应于节点462的信号传输至节点145。数据输出缓冲器250的输入端连接至节点145并且数据输出缓冲器250的输出端连接至节点225(数据输出端子)。存储元件1600的数据输出(q)取自节点225。扫描输出缓冲器550还连接至节点145。在功能模式中,扫描输出缓冲器750经配置以下拉节点725。在移位模式中,晶体管705、710和715形成反相器结构(并且晶体管720被禁用),将节点145的值的反转版本提供至节点725。

[0113] 现在说明存储元件1600的操作。输入电路460使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点462处传输。应当注意,在该实施例中,当SCAN为逻辑0时,扫描输入‘SD’为逻辑0。例如,当SCAN为逻辑0时,存储元件1600前面的存储元件(如存储元件300)的扫描输出‘SQ’被下拉,并且该下拉逻辑0被馈送至存储元件1600的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如图15所示,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点462处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点462处传输。

[0114] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑0,所以晶体管475和490被禁用,并且晶体管465和480被使能。因此,晶体管465、470、480和485形成反相器结构,并且‘D’的反相逻辑电平被传输至节点462。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点462处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点462的值的反转版本。例如,逻辑1在移位电路145的反相器120的输出端处传输。当CLK为低时,传输门125变透明并且传输门输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能,并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器250反相节点145处的值并且迫使节点225处为逻辑0。由于SCAN为逻辑0,晶体管220被禁用,并且晶体管205、210和215形成反相器结构,从而在节点225处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点225(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管705被禁用,其停止数据传播至节点725。同时晶体管720被使能,其接着将节点725下拉至逻辑0。扫描输出端子耦合至节点725。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能

输入 (SCANZ) 充当控制信号,其决定是否将扫描输出端子 ‘SQ’ 连接至逻辑0。因此,当SCAN为逻辑0时,数据输出 ‘Q’ 遵循数据输入 ‘D’ 的反转版本并且扫描输出 ‘SQ’ 被连接至逻辑0(即,被下拉)。

[0115] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管480被禁用,并且晶体管465、475(上拉)和晶体管490(下拉)形成反相器结构,并且扫描输入 ‘SD’ 的反转版本被传输至节点462。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器750充当反相器,因为晶体管720被禁用并且晶体管705、710和715形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点462的反转版本。例如,如果扫描输入 ‘SD’ 为逻辑1(假设SCAN为逻辑1),节点462处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器750然后在耦合至扫描输出 ‘SQ’ 的节点725处传输逻辑0。因此,当IC在移位模式中操作时,扫描输入 ‘SD’ 的反转版本被传输至扫描输出 ‘SQ’。由于SCAN为逻辑1,晶体管215被禁用,从而禁用由晶体管205和210构成的反相器。响应于SCANZ为逻辑0,晶体管220被使能并且上拉节点225(数据输出端子q)。注意到,当数据输出端子(节点225)被上拉时,晶体管215经配置以阻止漏泄电流通过反相器(由晶体管205和210形成的反相器)。

[0116] 在移位模式中,数据输出 ‘Q’ 被连接至逻辑1(由于数据输出端子驱动的组合逻辑切换,在移位模式中,这将帮助功率降低)。扫描使能输入 (SCAN) 充当控制信号,其决定是否将数据输出端子 ‘Q’ 连接至逻辑1。当SCAN为逻辑0时,数据输出 ‘Q’ 遵循数据输入 ‘D’ 的反转版本并且扫描输出 ‘SQ’ 被连接至逻辑0。当SCAN为逻辑1时,数据输出q被连接至逻辑1并且扫描输出 ‘SQ’ 遵循扫描输入 (sd) 的反转版本。根据该实施例,由于Q门控,所有的功能组合逻辑不切换,若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集移位为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”或“下拉”Q门控的选择。

[0117] 图17示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件1700接收的扫描输入数据 ‘SD’ 在功能模式中被下拉的情况下,存储元件1700可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件1700前面的)提供的扫描输出 ‘SQ’ (耦合至存储元件1700的扫描输入 ‘SD’) 在功能模式中(当SCAN为逻辑0时)被下拉时,使用存储元件1700。例如,当SCAN为逻辑0时,扫描输入 ‘SD’ 为逻辑1。

[0118] 存储元件1700包括耦合至用于驱动节点725(扫描输出端子)的扫描输出缓冲器750的节点145。在该示例实施例中,节点145还耦合至用于驱动节点625(数据输出端子)的数据输出缓冲器650。存储元件1700包括输入电路460,其经配置以从前面的存储元件的数据输出 ‘Q’ 和扫描输出 ‘SQ’ 分别接收数据输入(见, ‘D’) 和扫描输入(见, ‘SD’)。输入电路460经配置以在节点462处提供对应于数据输入 ‘D’ 和扫描输入 ‘SD’ 中的一个的信号。例如,在移位模式中(当SCANZ为逻辑1时)在节点462处提供数据输入 ‘D’ 的反转版本,并且在功能模式中(当SCANZ为逻辑0时),在节点462处提供扫描输入 ‘SD’ 的反转版本。

[0119] 输入电路460的输出端(例如,节点462)连接至移位电路150,其经配置以将对应于节点462的信号传输至节点145。数据输出缓冲器650的输入端连接至节点145并且数据输出缓冲器650的输出端连接至节点625(数据输出端子)。存储元件1700的数据输出(q)取自节

点625。扫描输出缓冲器550还连接至节点145。在功能模式中,扫描输出缓冲器750经配置以下拉节点725。在移位模式中,晶体管705、710和715形成反相器结构(并且晶体管720被禁用),将节点145的值的反转版本提供至节点725。

[0120] 现在说明存储元件1700的操作。输入电路460使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点462处传输。应当注意,在该实施例中,当SCAN为逻辑0时,扫描输入‘SD’为逻辑0。例如,当SCAN为逻辑0时,存储元件1700前面的存储元件(如存储元件300)的扫描输出‘SQ’被下拉,并且该下拉逻辑0被馈送至存储元件1700的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如图17所示,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点462处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点462处传输。

[0121] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑0,所以晶体管475和490被禁用,并且晶体管465和480被使能。因此,晶体管465、470、480和485形成反相器结构,并且‘D’的反相逻辑电平被传输至节点462。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点462处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点462的值的反转版本。例如,逻辑1在移位电路145的反相器120的输出端处传输。当CLK为低时,传输门125变透明并且传输门输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能,并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器650反相节点145处的值并且迫使节点625处为逻辑0。由于SCAN为逻辑0,晶体管620被禁用,并且晶体管605、610和615形成反相器结构,从而在节点625处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点625(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管705被禁用,其停止数据传播至节点725。同时晶体管720被使能,其接着将节点725下拉至逻辑0。扫描输出端子耦合至节点725。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCANZ)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑0。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0(即,被下拉)。

[0122] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管480被禁用,并且晶体管465、475(上拉)和晶体管490(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点462。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器750充当反相器,因为晶体管720被禁用并且晶体管705、710和715形成反相器结构。移位电路150经配置以迫使节点145处的逻辑电平为节点462的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点462处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器750然后在耦合至扫描输出‘SQ’的节点725处传输逻辑0。因此,当IC在移位模式中操作时,扫描输入‘SD’的反转版本被传输至扫描输出‘SQ’。由于SCAN为逻辑1,晶体管605被禁用,从而禁用由晶体管605和610构成的反相器。响应于SCAN,晶体管620被使能并且下拉节点625(数据输出端子q)。注意

到,当数据输出端子被下拉时,晶体管605经配置以阻止漏泄电流通过反相器(由晶体管610和615形成的反相器)。

[0123] 在移位模式中,数据输出‘Q’被连接至逻辑0(由于数据输出端子驱动的组合逻辑切换,在移位模式中,这将帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将数据输出端子‘Q’连接至逻辑0。当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0。当SCAN为逻辑1时,数据输出q被连接至逻辑0并且扫描输出‘SQ’遵循扫描输入(sd)的反转版本。根据该实施例,由于Q门控,所有的功能组合逻辑不切换,若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集移位为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”或“下拉”q门控的选择。

[0124] 图18示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件1800接收的扫描输入数据‘SD’在功能模式中被上拉的情况下,存储元件1800可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件1800前面的)提供的扫描输出‘SQ’(耦合至存储元件1800的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被上拉时,使用存储元件1800。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。

[0125] 存储元件1800包括耦合至用于驱动节点415(扫描输出端子)的扫描输出缓冲器450的节点145。在该示例实施例中,节点145还耦合至用于驱动节点225(数据输出端子)的数据输出缓冲器250。存储元件1800包括输入电路360,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。输入电路360经配置以在节点362处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在移位模式中(当SCAN为逻辑1时)在节点362处提供数据输入‘D’的反转版本,并且在功能模式中(当SCANZ为逻辑0时)在节点362处提供扫描输入‘SD’的反转版本。

[0126] 输入电路360的输出端(例如,节点362)连接至移位电路150,其经配置以将对应于节点362的信号传输至节点145。数据输出缓冲器250的输入端连接至节点145并且数据输出缓冲器250的输出端连接至节点225(数据输出端子)。存储元件1800的数据输出(q)取自节点225。扫描输出缓冲器450还连接至节点145。如参照图8所描述,扫描输出缓冲器450包括PMOS晶体管405(第一MOS晶体管)和NMOS晶体管410(第二MOS晶体管)(形成传输门),之后是下拉NMOS晶体管420。晶体管420在功能模式中(当SCANZ为逻辑1时)充当下拉晶体管,因为在功能模式中,晶体管405和410被禁用。在移位模式中(当SCANZ为逻辑0时),晶体管420被禁用;以及传输门被使能并且将节点145的值提供至节点415。

[0127] 现在说明存储元件1800的操作。输入电路360使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点362处传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑1。例如,当SCAN为逻辑0时,存储元件1800前面的存储元件(如存储元件200)的扫描输出‘SQ’被上拉,并且该上拉逻辑1被馈送至存储元件1800的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如参照图4所描述,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点362处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点362处传输。

[0128] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑1,所以晶体管375和380被禁用,并且晶体管370和385被使能。因此,晶体管365、370、390和385形成反相器结构,并且‘D’的反相逻辑电平被传输至节点362。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点362处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点362处的值的反转版本。例如,移位电路145的反相器110的输出为逻辑1。当CLK为低时,传输门115变透明并且传输门输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器250反相节点145处的值并且迫使节点225处为逻辑0。由于SCAN为逻辑0,晶体管220被禁用,并且晶体管205、210和215形成反相器结构,从而在节点225处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点225(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,由晶体管405和410形成的传输门将节点415与节点145隔离。同时晶体管420被使能,在功能模式中,其接着将节点415下拉至逻辑0,而不管时钟信号CLK。扫描输出端子耦合至节点415。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCANZ)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0(即,被下拉)。

[0129] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管370被禁用,并且晶体管375(上拉)和晶体管380和385(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点362。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器450充当传输门缓冲器,因为晶体管420被禁用并且晶体管405和410形成的传输门将节点145处存在的值传输至节点415。移位电路150经配置以迫使节点145处的逻辑电平为节点362的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点362处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器450然后在耦合至扫描输出‘SQ’的节点415处传输逻辑1。因此,当IC在移位模式中操作时,扫描输入‘SD’被传输至扫描输出‘SQ’。由于SCAN为逻辑1,晶体管215被禁用,从而禁用由晶体管205和210构成的反相器。响应于SCANZ为逻辑0,晶体管220被使能并且上拉节点225(数据输出端子)。注意到,当数据输出端子(节点225)被上拉时,晶体管215经配置以阻止漏泄电流通过反相器(由晶体管205和210形成的反相器)。

[0130] 在移位模式中,数据输出‘Q’被连接至逻辑1(由于数据输出端子驱动的组合逻辑切换,在移位模式中,这将帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将数据输出端子‘Q’连接至逻辑1。当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0。当SCAN为逻辑1时,数据输出‘Q’被连接至逻辑1并且扫描输出‘SQ’遵循扫描输入(sd)。根据该实施例,由于Q门控,所有的功能组合逻辑不切换,若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集移位为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”

或“下拉”Q门控的选择。

[0131] 图19示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件1900接收的扫描输入数据‘SD’在功能模式中被上拉的情况下，存储元件1900可以为任意存储元件100₂、100₃……或100_n的示例。例如，当前面的存储元件（存储元件1900前面的）提供的扫描输出‘SQ’（耦合至存储元件1900的扫描输入‘SD’）在功能模式中（当SCAN为逻辑0时）被上拉时，使用存储元件1900。例如，当SCAN为逻辑0时，扫描输入‘SD’为逻辑1。

[0132] 存储元件1900包括耦合至用于驱动节点415（扫描输出端子）的扫描输出缓冲器450的节点145。在该示例实施例中，节点145还耦合至用于驱动节点625（数据输出端子）的数据输出缓冲器650。存储元件1900包括输入电路360，其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入（见，‘D’）和扫描输入（见，‘SD’）。输入电路360经配置以在节点362处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如，在移位模式中（当SCAN为逻辑1时）在节点362处提供数据输入‘D’的反转版本，并且在功能模式中（当SCANZ为逻辑0时）在节点362处提供扫描输入‘SD’的反转版本。

[0133] 输入电路360的输出端（例如，节点462）连接至移位电路150，其经配置以将对应于节点362的信号传输至节点145。数据输出缓冲器650的输入端连接至节点145并且数据输出缓冲器650的输出端连接至节点625（数据输出端子）。存储元件1900的数据输出（q）取自节点625。扫描输出缓冲器450还连接至节点145。如参照图8所描述，扫描输出缓冲器450包括PMOS晶体管405（第一MOS晶体管）和NMOS晶体管410（第二MOS晶体管）（形成传输门），之后是下拉NMOS晶体管420。晶体管420在功能模式中（当SCANZ为逻辑1时）充当下拉晶体管，因为在功能模式中，晶体管405和410被禁用。在移位模式中（当SCANZ为逻辑0时），晶体管420被禁用；以及传输门被使能并且提供节点145处的值至节点415。

[0134] 现在说明存储元件1900的操作。输入电路360使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点362处传输。应当注意，当SCAN为逻辑0时，扫描输入‘SD’为逻辑1。例如，当SCAN为逻辑0时，存储元件1900前面的存储元件（如存储元件200）的扫描输出‘SQ’上拉，并且该上拉逻辑1被馈送至存储元件1900的扫描输入‘SD’。当SCAN为逻辑1时，根据从前面的存储元件接收的测试数据和值，扫描输入‘SD’可以具有逻辑0或逻辑1。如参照图4所描述，当SCAN为逻辑0时，数据输入‘D’的反转版本在节点362处传输，并且当SCAN为逻辑1时，扫描输入‘SD’的反转版本在节点处362传输。

[0135] 在功能模式中（当SCAN为逻辑0或SCANZ为逻辑1时），扫描输入‘SD’为逻辑1，所以晶体管375和380被禁用，并且晶体管370和385被使能。因此，晶体管365、370、390和385形成反相器结构，并且‘D’的反相逻辑电平被传输至节点362。假设‘D’被设定为逻辑1，那么‘D’的反转版本，例如，逻辑0将接着在节点362处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点362处的值的反转版本。例如，移位电路145的反相器110的输出为逻辑1。当CLK为低时，传输门115变透明并且传输门输入端处的逻辑1被传输至节点195，迫使反相器130的输出（节点197）为逻辑0。当CLK变高时，传输门125变透明，其将节点197处的值（逻辑0）传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时，另一个传输门135被使能并因此将节点197处的值（逻辑0）传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时，反相器185、传输门190和反相器146构成回环路径并且帮助保持节点

145处的值。数据输出缓冲器650反相节点145处的值并且迫使节点625处为逻辑0。由于SCAN为逻辑0,晶体管620被禁用,并且晶体管605、610和615形成反相器结构,从而在节点625处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点625(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,由晶体管405和410形成的传输门将节点415与节点145隔离。同时晶体管420被使能,在功能模式中,其接着将节点415下拉至逻辑0而不管时钟信号CLK。扫描输出端子耦合至节点415。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCANZ)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0(即,被下拉)。

[0136] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管370被禁用,并且晶体管375(上拉)和晶体管380和385(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点362。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器450充当传输门缓冲器,因为晶体管420被禁用并且晶体管405和410形成的传输门将节点145处存在的值传输至节点415。移位电路150经配置以迫使节点145处的逻辑电平为节点362的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点362处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器450然后在耦合至扫描输出‘SQ’的节点415处传输逻辑1。因此,当IC在移位模式中操作时,扫描输入‘SD’被传输至扫描输出‘SQ’。由于SCAN为逻辑1,晶体管605被禁用,从而禁用由晶体管605和610构成的反相器。响应于SCAN,晶体管620被使能并且下拉节点625(数据输出端子q)。注意到,当数据输出端子625被下拉时,晶体管605经配置以阻止漏泄电流通过反相器(由晶体管610和615形成的反相器)。

[0137] 在移位模式中,数据输出‘Q’被连接至逻辑0(由于数据输出端子驱动的组合逻辑切换,在移位模式中,这将帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将数据输出端子‘Q’连接至逻辑0。当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0。当SCAN为逻辑1时,数据输出‘Q’被连接至逻辑0并且扫描输出‘SQ’遵循扫描输入(sd)。根据该实施例,由于Q门控,所有的功能组合逻辑不切换,若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集移位为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”或“下拉”Q门控的选择。

[0138] 图20示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件2000接收的扫描输入数据‘SD’在功能模式中被下拉的情况下,存储元件2000可以为任意存储元件 100_2 、 100_3 ...或 100_n 的示例。例如,当前面的存储元件(存储元件2000前面的)提供的扫描输出‘SQ’(耦合至存储元件2000的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被下拉时,使用存储元件2000。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑0。

[0139] 存储元件2000包括耦合至用于驱动节点415(扫描输出端子)的扫描输出缓冲器450的节点145。在该示例实施例中,节点145还耦合至用于驱动节点225(数据输出端子)的数据输出缓冲器250。存储元件2000包括输入电路460,其经配置以从前面的存储元件的数

据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。输入电路460经配置以在节点462处提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在移位模式中(当SCANZ为逻辑1时)在节点462处提供数据输入‘D’的反转版本,并且在功能模式中(当SCANZ为逻辑0时)在节点462处提供扫描输入‘SD’的反转。

[0140] 输入电路460的输出端(例如,节点462)连接至移位电路150,其经配置以将对应于节点462的信号传输至节点145。数据输出缓冲器250的输入端连接至节点145并且数据输出缓冲器250的输出端连接至节点225(数据输出端子)。存储元件2000的数据输出(q)取自节点225。扫描输出缓冲器450还连接至节点145。如参照图8所描述,扫描输出缓冲器450包括PMOS晶体管405(第一MOS晶体管)和NMOS晶体管410(第二MOS晶体管)(形成传输门),之后是下拉NMOS晶体管420。晶体管420在功能模式中(当SCANZ为逻辑1时)充当下拉晶体管,因为在功能模式中,晶体管405和410被禁用。在移位模式中(当SCANZ为逻辑0时),晶体管420被禁用;以及传输门被使能并且将节点145的值提供至节点415。

[0141] 现在说明存储元件2000的操作。输入电路460使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点462处传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑0。例如,当SCAN为逻辑0时,存储元件2000前面的存储元件(如存储元件200)的扫描输出‘SQ’被下拉,并且该下拉逻辑0被馈送至存储元件1100的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如参照图5所描述,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点462处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点462处传输。

[0142] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑0,所以晶体管475和490被禁用,并且晶体管465和480被使能。因此,晶体管465、470、480和485形成反相器结构,并且‘D’的反相逻辑电平被传输至节点462。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点462处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点462处的值的反转版本。例如,逻辑1在移位电路145的反相器120的输出端处传输。当CLK为低时,传输门125变透明并且传输门输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器250反相节点145处的值并且迫使节点225处为逻辑0。由于SCAN为逻辑0,晶体管220被禁用,并且晶体管205、210和215形成反相器结构,从而在节点225处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点225(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管405和410形成的传输门将节点415与节点145隔离。同时晶体管420被使能,其接着在功能模式中将节点415下拉至逻辑0,而不管时钟信号CLK。扫描输出端子耦合至节点415。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCANZ)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0(即,被下拉)。

[0143] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管480被禁用,并且晶体管465、475(上拉)和晶体管490(下拉)形成反相器结构,并且扫描输入‘SD’的反相被传输至节点462。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器450充当传输门缓冲器,因为晶体管420被禁用并且晶体管405和410形成的传输门将节点145处存在的值传输至节点415。移位电路150经配置以迫使节点145处的逻辑电平为节点462的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点462处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器450然后在耦合至扫描输出‘SQ’的节点415处传输逻辑1。因此,当IC在移位模式中操作时,扫描输入‘SD’被传输至扫描输出‘SQ’。由于SCAN为逻辑1,晶体管215被禁用,从而禁用由晶体管205和210构成的反相器。响应于SCANZ为逻辑0,晶体管220被使能并且上拉节点225(数据输出端子)。注意到,当数据输出端子(节点225)被上拉时,晶体管215经配置以阻止漏泄电流通过反相器(由晶体管205和210形成的反相器)。

[0144] 在移位模式中,数据输出‘Q’被连接至逻辑1(由于数据输出端子驱动的组合逻辑切换,在移位模式中,这将帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将数据输出端子‘Q’连接至逻辑1。当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0。当SCAN为逻辑1时,数据输出‘Q’被连接至逻辑1并且扫描输出‘SQ’遵循扫描输入(sd)。根据该实施例,由于Q门控,所有的功能组合逻辑不切换,若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集移位为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”或“下拉”Q门控的选择。

[0145] 图21示出根据一个实施例的扫描链100的不同于第一存储元件的存储元件的示例。在存储元件2100接收的扫描输入数据‘SD’在功能模式中被下拉的情况下,存储元件2100可以为任意存储元件100₂、100₃...或100_n的示例。例如,当前面的存储元件(存储元件2100前面的)提供的扫描输出‘SQ’(耦合至存储元件2100的扫描输入‘SD’)在功能模式中(当SCAN为逻辑0时)被下拉时,使用存储元件2100。例如,当SCAN为逻辑0时,扫描输入‘SD’为逻辑0。

[0146] 存储元件2100包括耦合至用于驱动节点415(扫描输出端子)的扫描输出缓冲器450的节点145。在该示例实施例中,节点145还耦合至用于驱动节点225(数据输出端子)的数据输出缓冲器250。存储元件2100包括输入电路460,其经配置以从前面的存储元件的数据输出‘Q’和扫描输出‘SQ’分别接收数据输入(见,‘D’)和扫描输入(见,‘SD’)。输入电路460经配置以在节点462提供对应于数据输入‘D’和扫描输入‘SD’中的一个的信号。例如,在移位模式中(当SCANZ为逻辑1时)在节点462处提供数据输入‘D’的反转版本,并且在功能模式中(当SCANZ为逻辑0时)在节点462处提供扫描输入‘SD’的反转版本。

[0147] 输入电路460的输出端(例如,节点462)连接至移位电路150,其经配置以将对应于节点462的信号传输至节点145。数据输出缓冲器650的输入端连接至节点145并且数据输出缓冲器650的输出端连接至节点625(数据输出端子)。存储元件2100的数据输出(q)取自节点625。扫描输出缓冲器450还连接至节点145。如参照图8所描述,扫描输出缓冲器450包括PMOS晶体管405(第一MOS晶体管)和NMOS晶体管410(第二MOS晶体管)(形成传输门),之后是下拉NMOS晶体管420。晶体管420在功能模式中(当SCANZ为逻辑1时)充当下拉晶体管,因为

在功能模式中晶体管405和410被禁用。在移位模式中(当SCANZ为逻辑0时),晶体管420被禁用;并且传输门被使能并且将节点145处的值提供至节点415。

[0148] 现在说明存储元件2100的操作。输入电路460使得对应于数据输入‘D’和扫描输入‘SD’中的一个的信号在节点462传输。应当注意,当SCAN为逻辑0时,扫描输入‘SD’为逻辑0。例如,当SCAN为逻辑0时,存储元件2100前面的存储元件(如存储元件200)的扫描输出‘SQ’被下拉,并且该下拉逻辑0被馈送至存储元件2100的扫描输入‘SD’。当SCAN为逻辑1时,根据从前面的存储元件接收的测试数据和值,扫描输入‘SD’可以具有逻辑0或逻辑1。如参照图5所描述,当SCAN为逻辑0时,数据输入‘D’的反转版本在节点462处传输,并且当SCAN为逻辑1时,扫描输入‘SD’的反转版本在节点462处传输。

[0149] 在功能模式中(当SCAN为逻辑0或SCANZ为逻辑1时),扫描输入‘SD’为逻辑0,所以晶体管475和490被禁用,并且晶体管465和480被使能。因此,晶体管465、470、480和485形成反相器结构,并且‘D’的反相逻辑电平被传输至节点462。假设‘D’被设定为逻辑1,那么‘D’的反转版本,例如,逻辑0将接着在节点462处得到。移位电路150经配置以迫使节点145处的逻辑电平为节点462处的值的反转版本。例如,逻辑1在移位电路145的反相器120的输出端处传输。当CLK为低时,传输门125变透明并且传输门输入端处的逻辑1被传输至节点195,迫使反相器130的输出(节点197)为逻辑0。当CLK变高时,传输门125变透明,其将节点197处的值(逻辑0)传输至反相器120。反相器120迫使节点195上为逻辑1。当CLK变高时,另一个传输门135被使能并因此将节点197处的值(逻辑0)传输至反相器140。反相器140迫使节点145上为逻辑1。当CLK为逻辑0时,反相器185、传输门190和反相器146构成回环路径并且帮助保持节点145处的值。数据输出缓冲器650反相节点145处的值并且迫使节点625处为逻辑0。由于SCAN为逻辑0,晶体管620被禁用,并且晶体管605、610和615形成反相器结构,从而在节点625处传输节点145的反相值(例如,逻辑0)。数据输出‘Q’取自节点625(即数据输出端子),作为数据输入‘D’的反转版本。由于SCAN为逻辑0,晶体管405和410形成的传输门将节点415与节点145隔离。同时晶体管420被使能,其接着在功能模式中将节点415下拉至逻辑0,而不管时钟信号CLK。扫描输出端子耦合至节点415。因此,在功能模式中(当SCAN为逻辑0时),扫描输出‘SQ’被连接至逻辑0(由于扫描输出端子驱动的扫描路径中的组合逻辑切换,在功能模式中,这可以帮助功率降低)。扫描使能输入(SCANZ)充当控制信号,其决定是否将扫描输出端子‘SQ’连接至逻辑1。因此,当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0(即,被下拉)。

[0150] 在移位模式中(当SCAN为逻辑1或SCANZ为逻辑0时),晶体管480被禁用,并且晶体管465、475(上拉)和晶体管490(下拉)形成反相器结构,并且扫描输入‘SD’的反转版本被传输至节点462。应当进一步注意,当SCAN为逻辑1时,扫描输出缓冲器450充当传输门缓冲器,因为晶体管420被禁用并且晶体管405和410形成的传输门将节点145处存在的值传输至节点415。移位电路150经配置以迫使节点145处的逻辑电平为节点462的反转版本。例如,如果扫描输入‘SD’为逻辑1(假设SCAN为逻辑1),节点462处于逻辑0,并且节点145处于逻辑1。扫描输出缓冲器450然后在耦合至扫描输出‘SQ’的节点415处传输逻辑1。因此,当IC在移位模式中操作时,扫描输入‘SD’被传输至扫描输出‘SQ’。由于SCAN为逻辑1,晶体管215被禁用,从而禁用由晶体管205和210构成的反相器。响应于SCANZ为逻辑1,晶体管620被使能并且下拉节点625(数据输出端子)。注意到,当数据输出端子下拉时,晶体管605经配置以阻止漏泄

电流通过反相器(由晶体管610和615形成的反相器)。

[0151] 在移位模式中,数据输出‘Q’被连接至逻辑0(由于数据输出端子驱动的组合逻辑切换,在移位模式中,这将帮助功率降低)。扫描使能输入(SCAN)充当控制信号,其决定是否将数据输出端子‘Q’连接至逻辑0。当SCAN为逻辑0时,数据输出‘Q’遵循数据输入‘D’的反转版本并且扫描输出‘SQ’被连接至逻辑0。当SCAN为逻辑1时,数据输出‘Q’被连接至逻辑0并且扫描输出‘SQ’遵循扫描输入(sd)。根据该实施例,由于Q门控,所有的功能组合逻辑不切换,若干ATPG移位周期上的平均功率下降。能够通过合适地选择每个逻辑块(上拉或下拉)的触发类型来优化第一移位周期上的瞬时峰值功率。在设计者决定仅将现有扫描触发器的子集移位为这种新设计的情况下,这种技术非常有用,因为峰值/平均功率将取决于“上拉”或“下拉”Q门控的选择。

[0152] 各种实施例还提供用于操作扫描链(例如扫描链100)中的可扫描存储元件的方法2200,提供一种IC。可扫描存储元件的示例可以为参照图4-图21描述的可扫描存储元件。在2205,方法2200包括响应于数据输入和扫描输入中的一个在可扫描存储元件的第一节点处产生第一信号。在一个实施例中,扫描输入在测试IC的功能模式中可以为上拉逻辑和下拉逻辑中的一种。在一个实施例中,产生第一信号可包括提供包括接收数据输入的第一开关和接收扫描使能输入的第二开关的第一上拉路径以及提供包括接收扫描输入的第三开关的第二上拉路径,其中第一上拉路径和第二上拉路径耦合在电源和第一节点之间。在该实施例中,产生第一信号还包括提供包括接收扫描使能输入的第四开关和接收扫描输入的第五开关的第一下拉路径,以及提供包括接收数据输入的第六开关的第二下拉路径,其中第一下拉路径和第二下拉路径耦合在第一节点和基准电源之间。第一至第六开关的示例可包括MOS晶体管或任何其它电子/电气组件或功能上类似于MOS晶体管的组件的组合。

[0153] 在另一个实施例中,产生第一信号可包括提供包括接收扫描输入的第一开关和接收数据输入的第二开关的第一上拉路径以及提供包括第一开关和接收反相扫描使能输入的第三开关的第二上拉路径,其中第一上拉路径和第二上拉路径耦合在电源和第一节点之间。在该实施例中,产生第一信号还包括提供包括接收反相扫描使能输入的第四开关和接收数据输入的第五开关的第一下拉路径,以及提供包括接收扫描输入的第六开关的第二下拉路径,其中第一下拉路径和第二下拉路径耦合在第一节点和基准电源之间。第一至第六开关的示例可包括MOS晶体管或任何其它电子/电气组件或功能上类似于MOS晶体管的组件的组合。

[0154] 在2210,方法2200包括响应于第一信号由一个或更多时序元件在可扫描存储元件的第二节点处产生第二信号。此外,在2215,方法2200包括响应于第二信号在可扫描存储元件的扫描输出端子处产生扫描输出,其中在功能模式中,扫描输出为上拉逻辑和下拉逻辑中的一种并且扫描输出在移位模式中对应于扫描输入。在2220,方法2200进一步包括响应于第二信号在数据输出端子处产生数据输出。

[0155] 本领域技术人员将理解在所要求保护的发明的范围内,可以对所描述的示例实施例进行修改,并且还理解许多其它实施例是可能的。

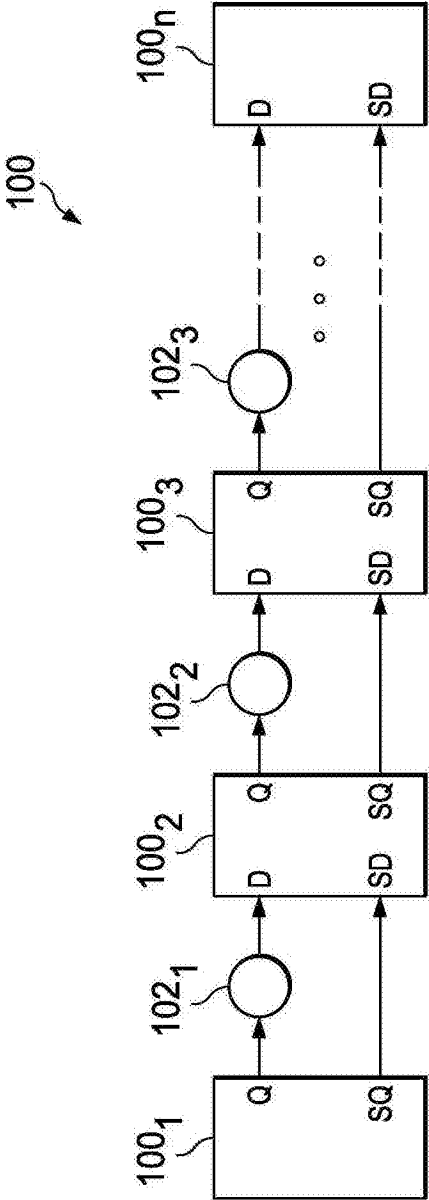


图1

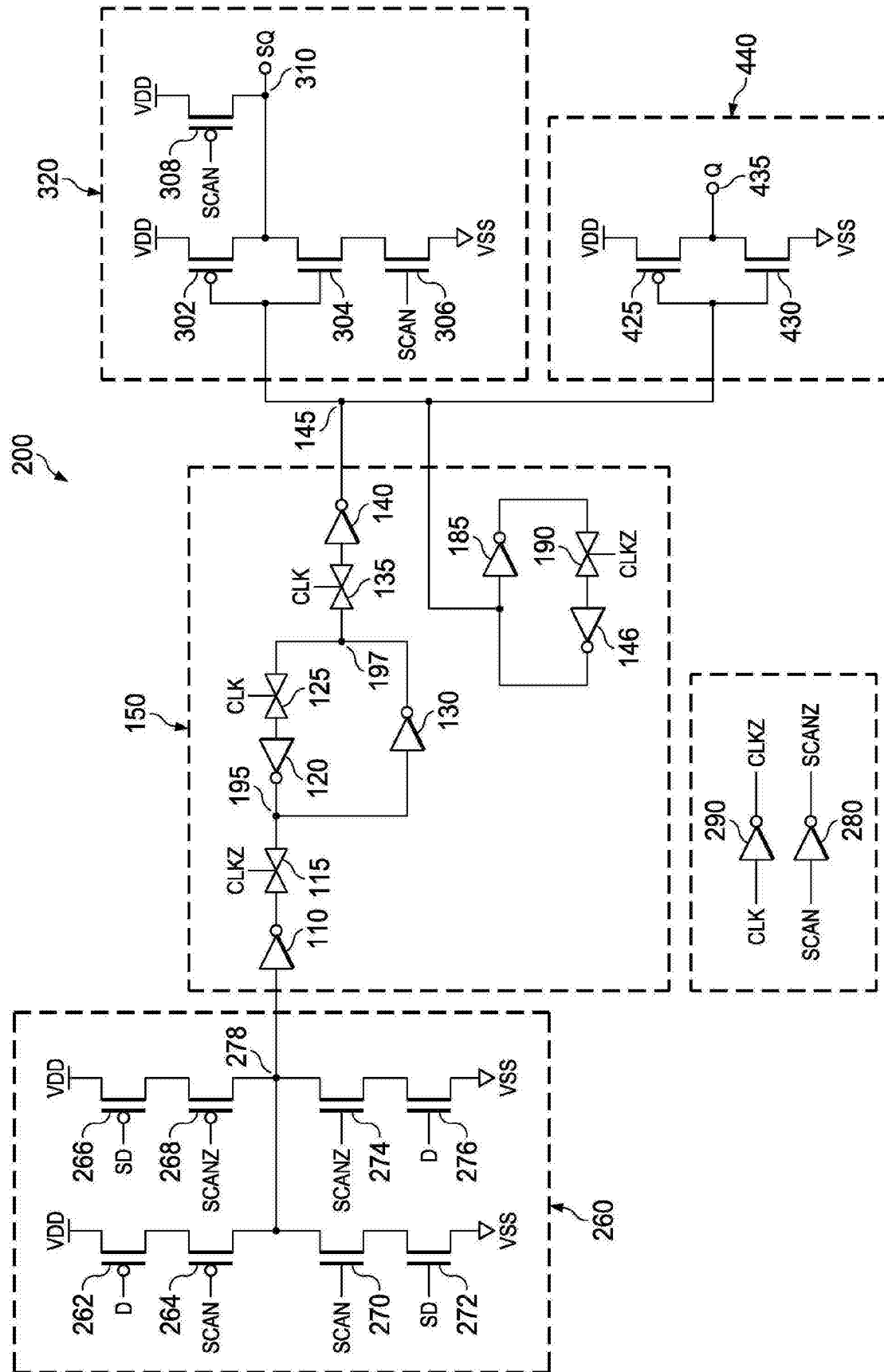


图2

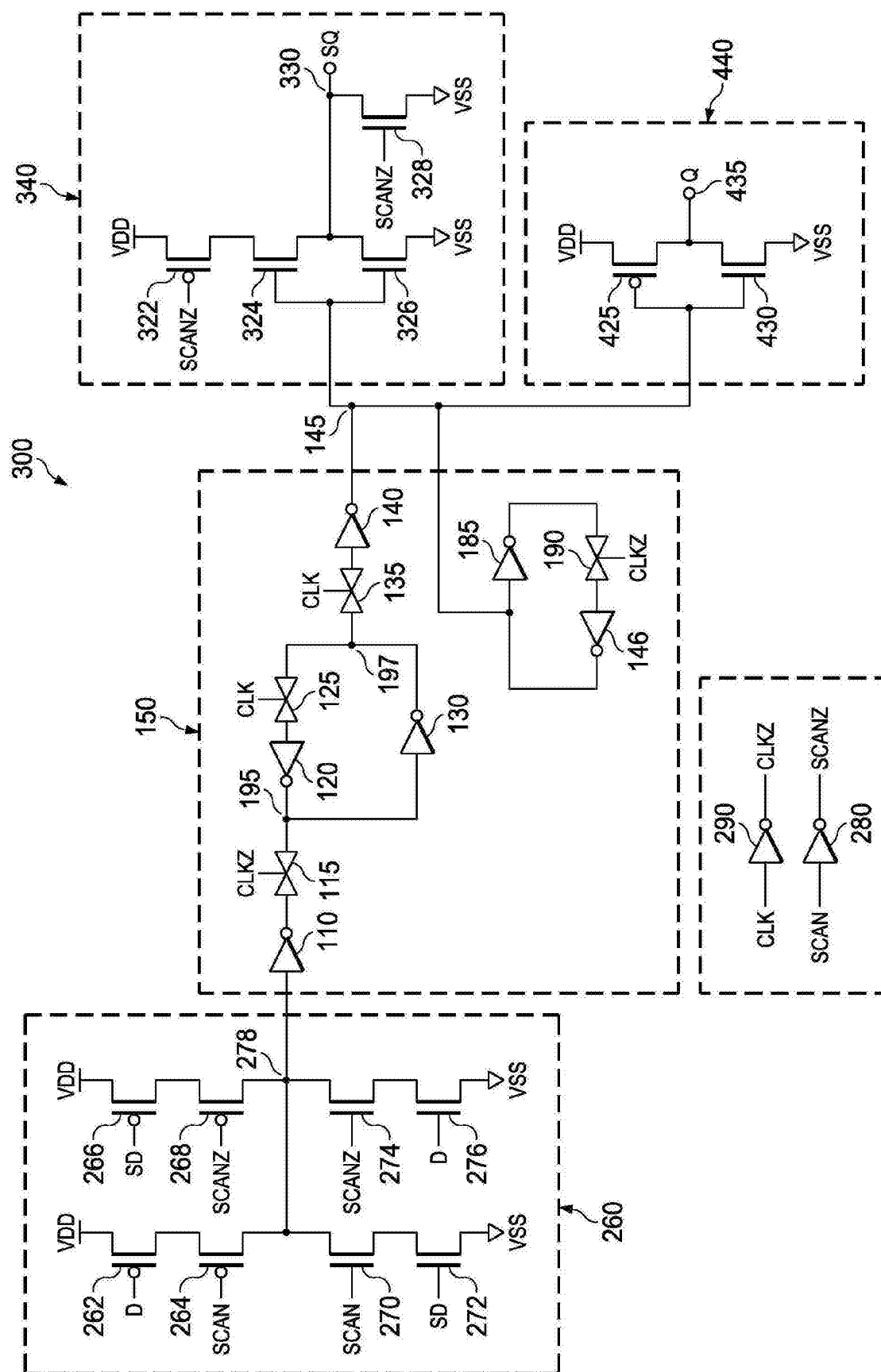


图3

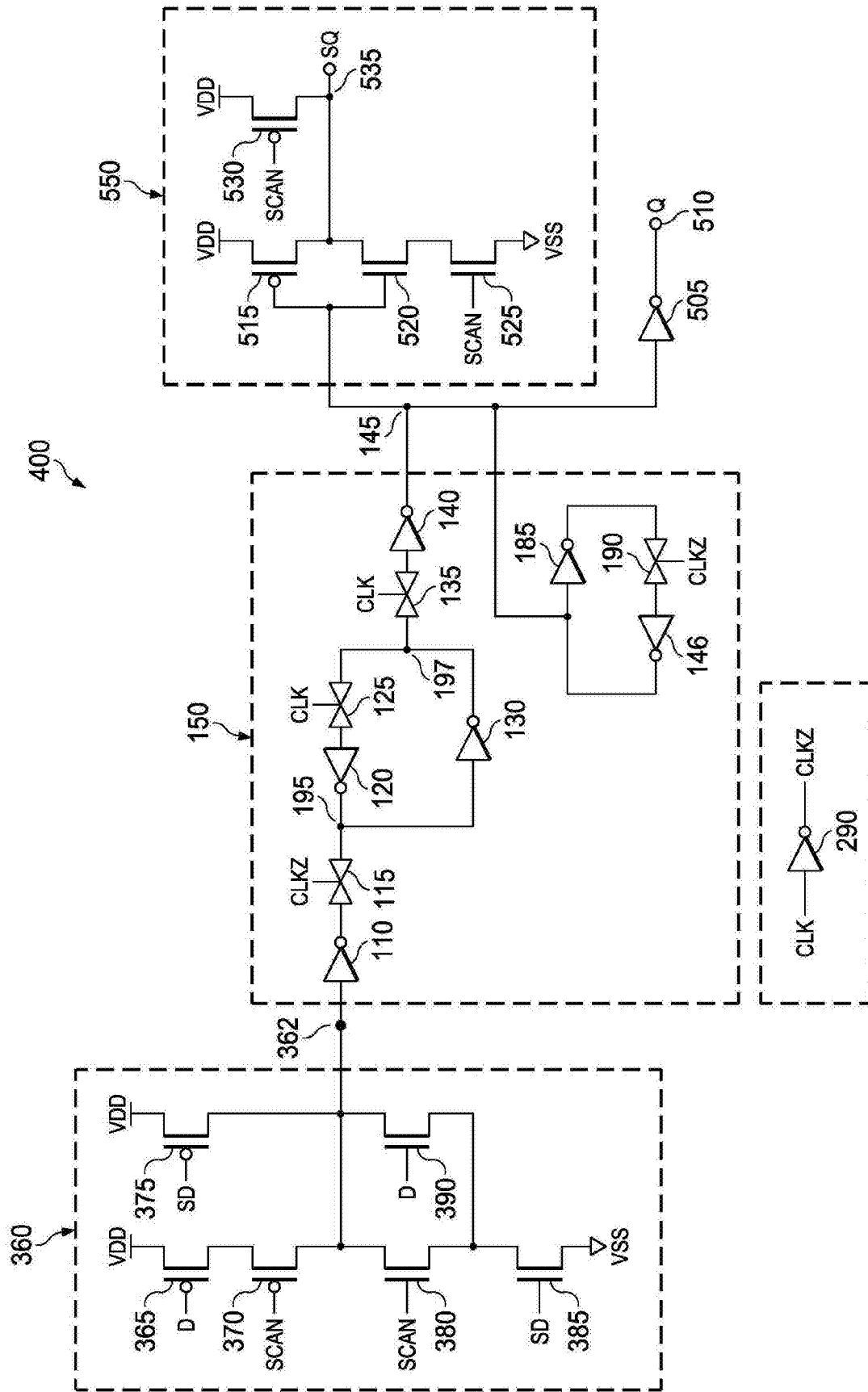


图4

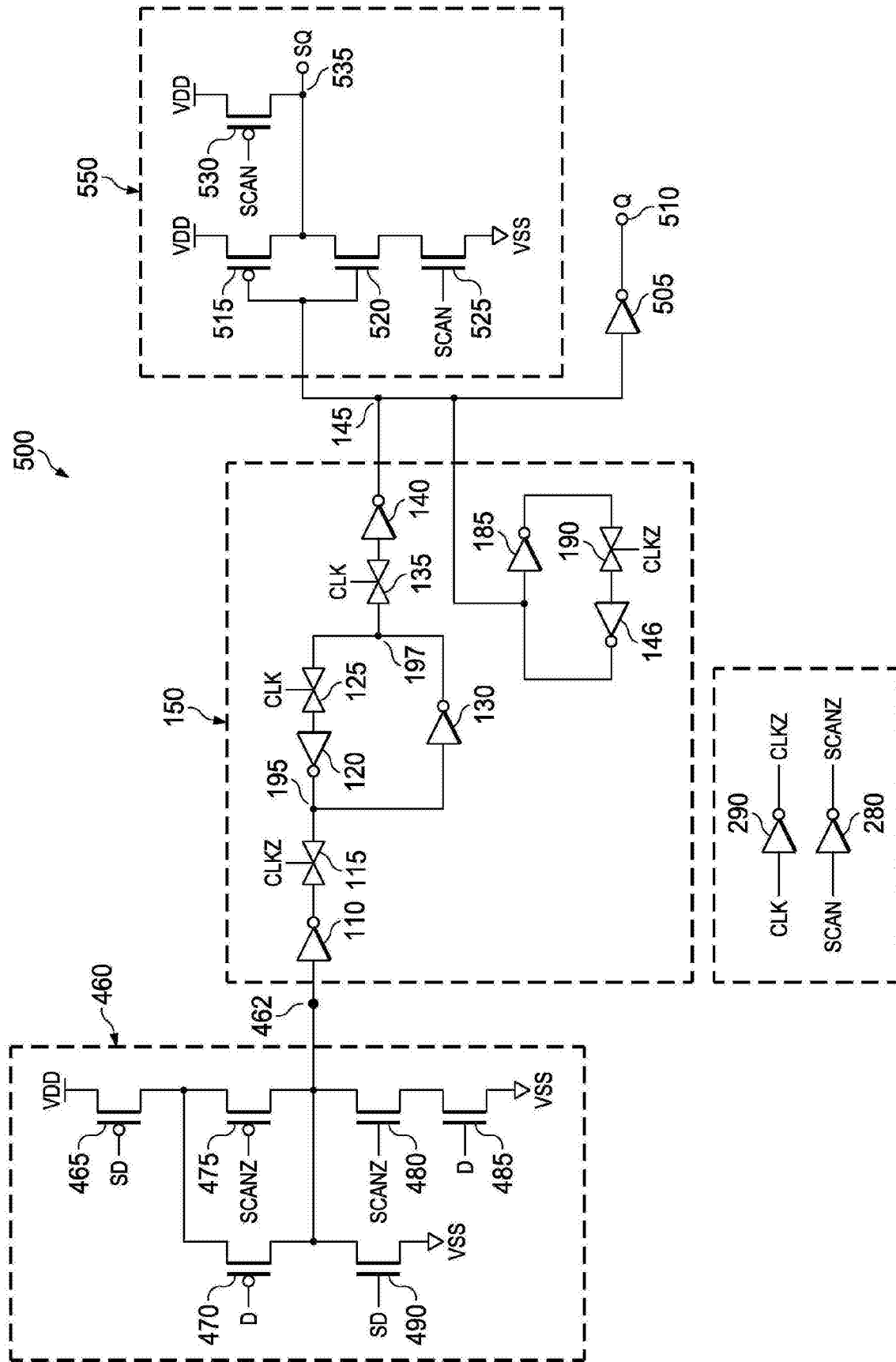


图5

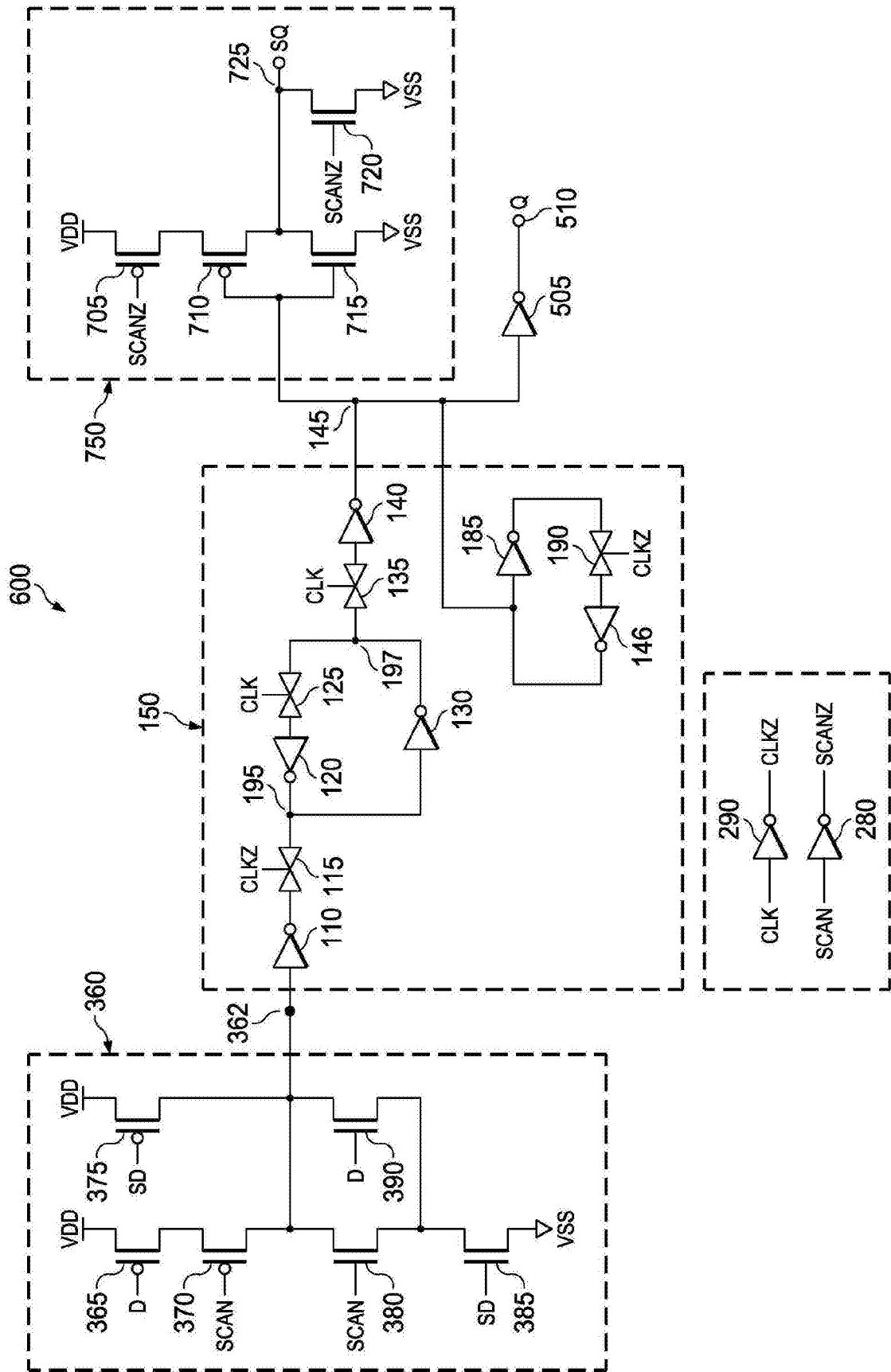


图6

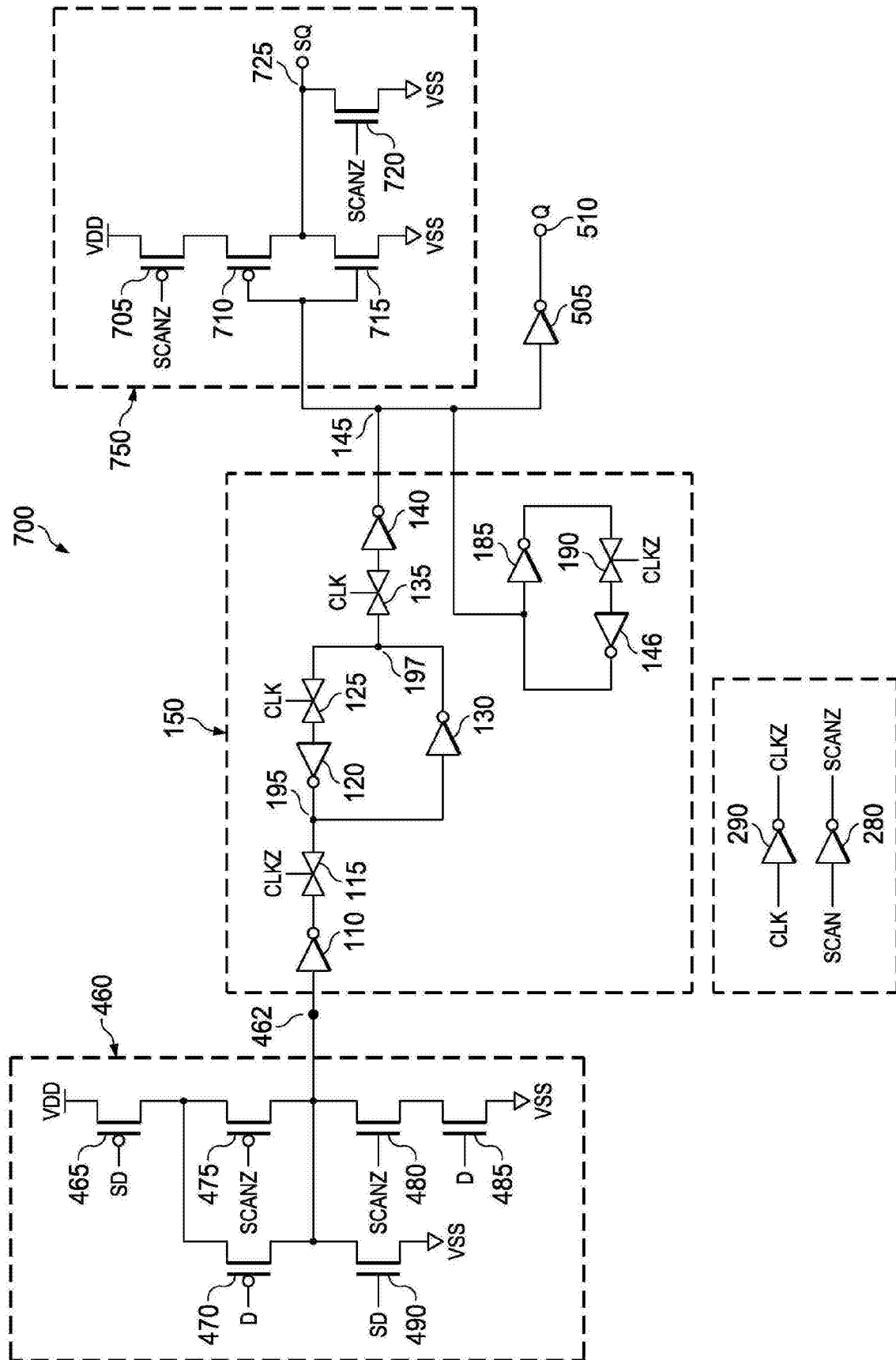


图7

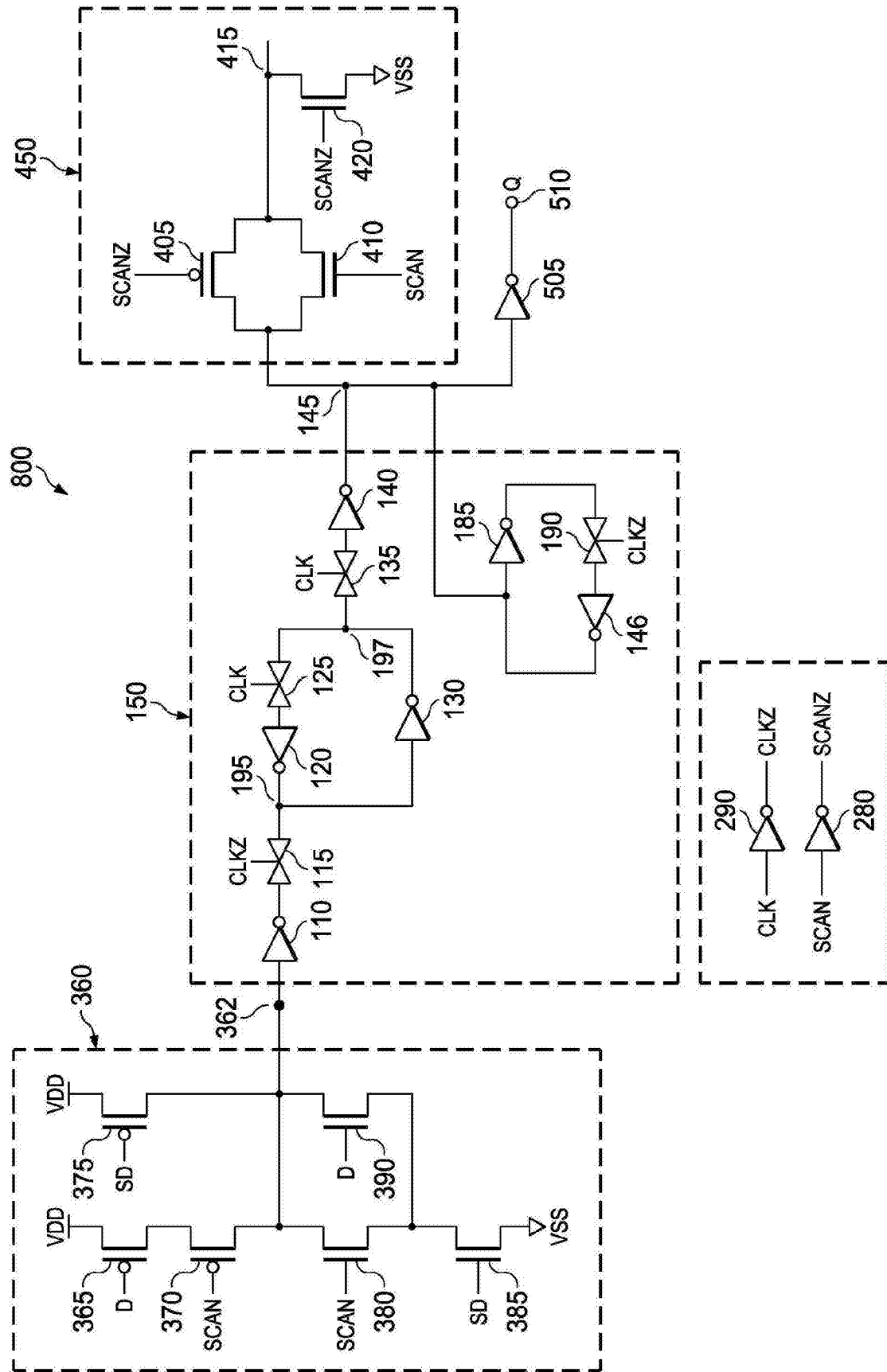


图8

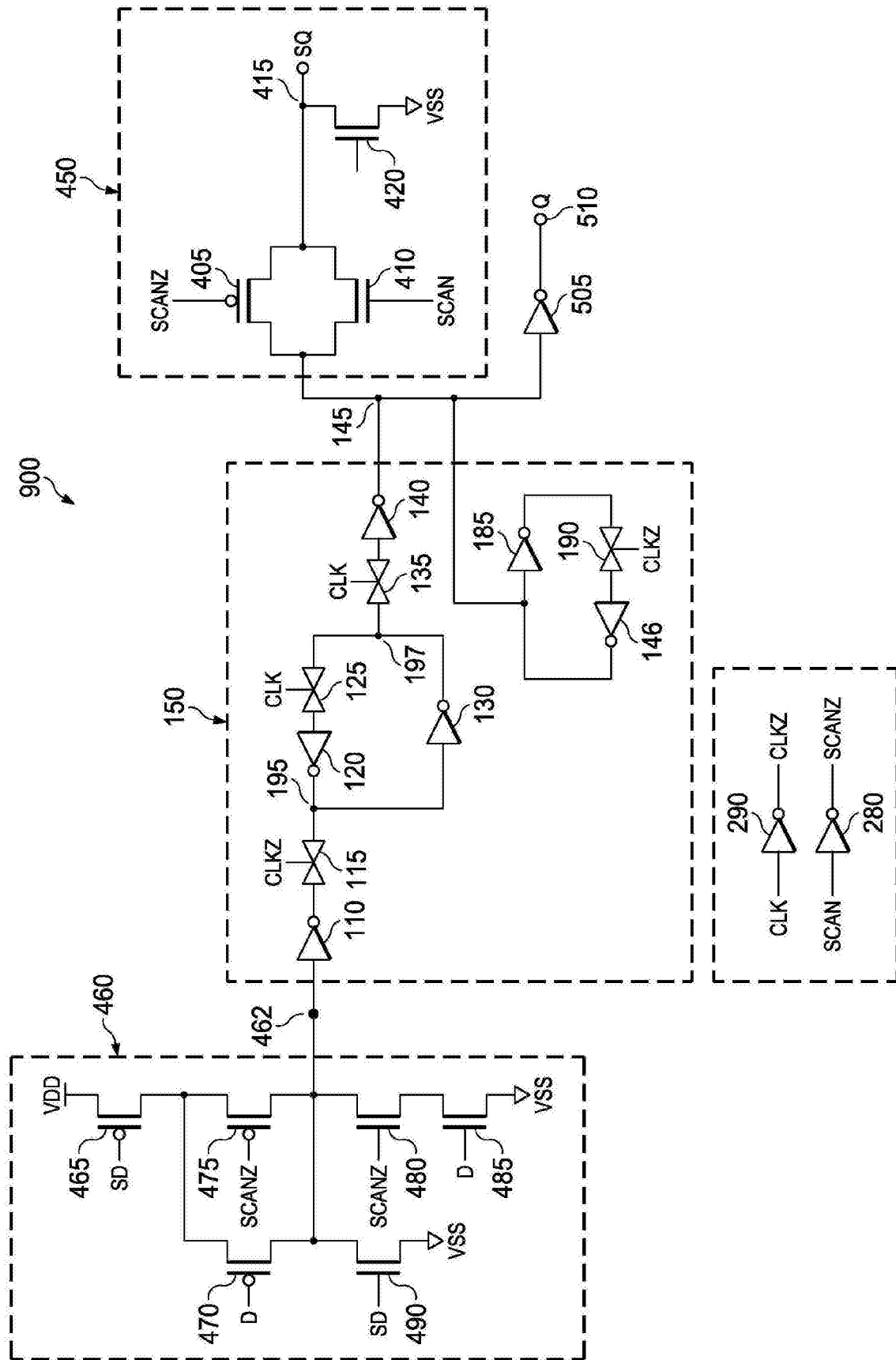


图9

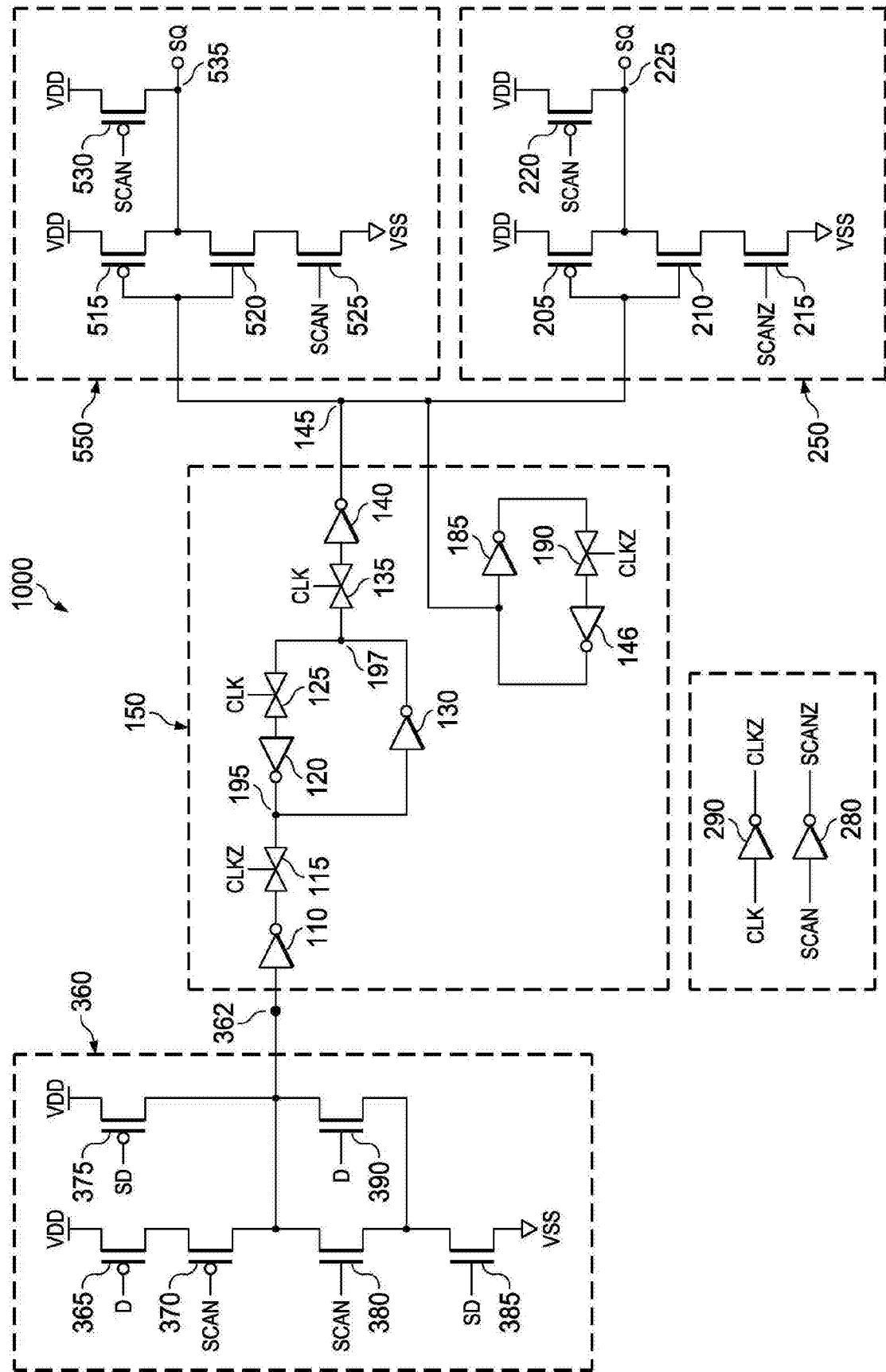


图10

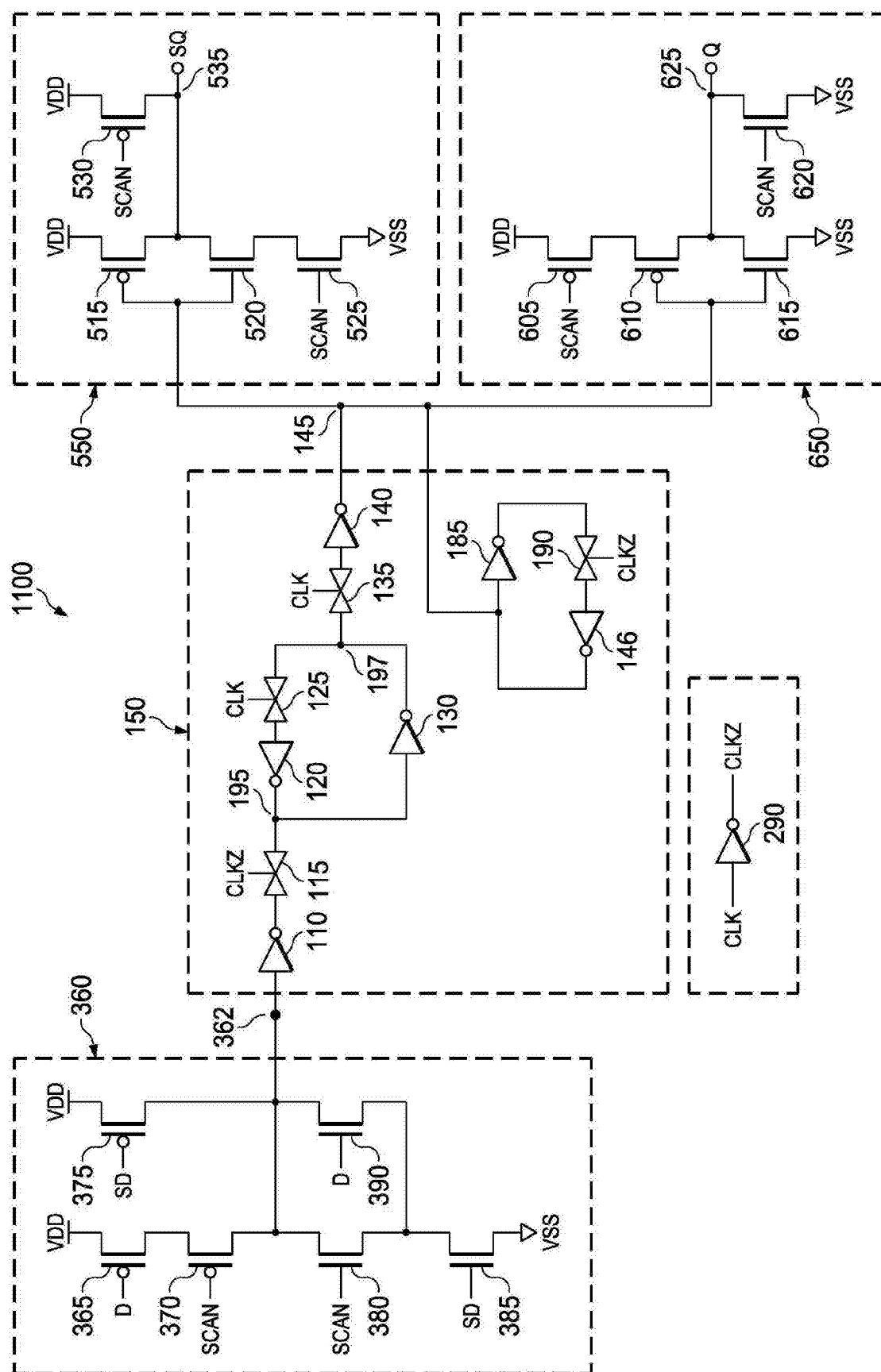


图 11

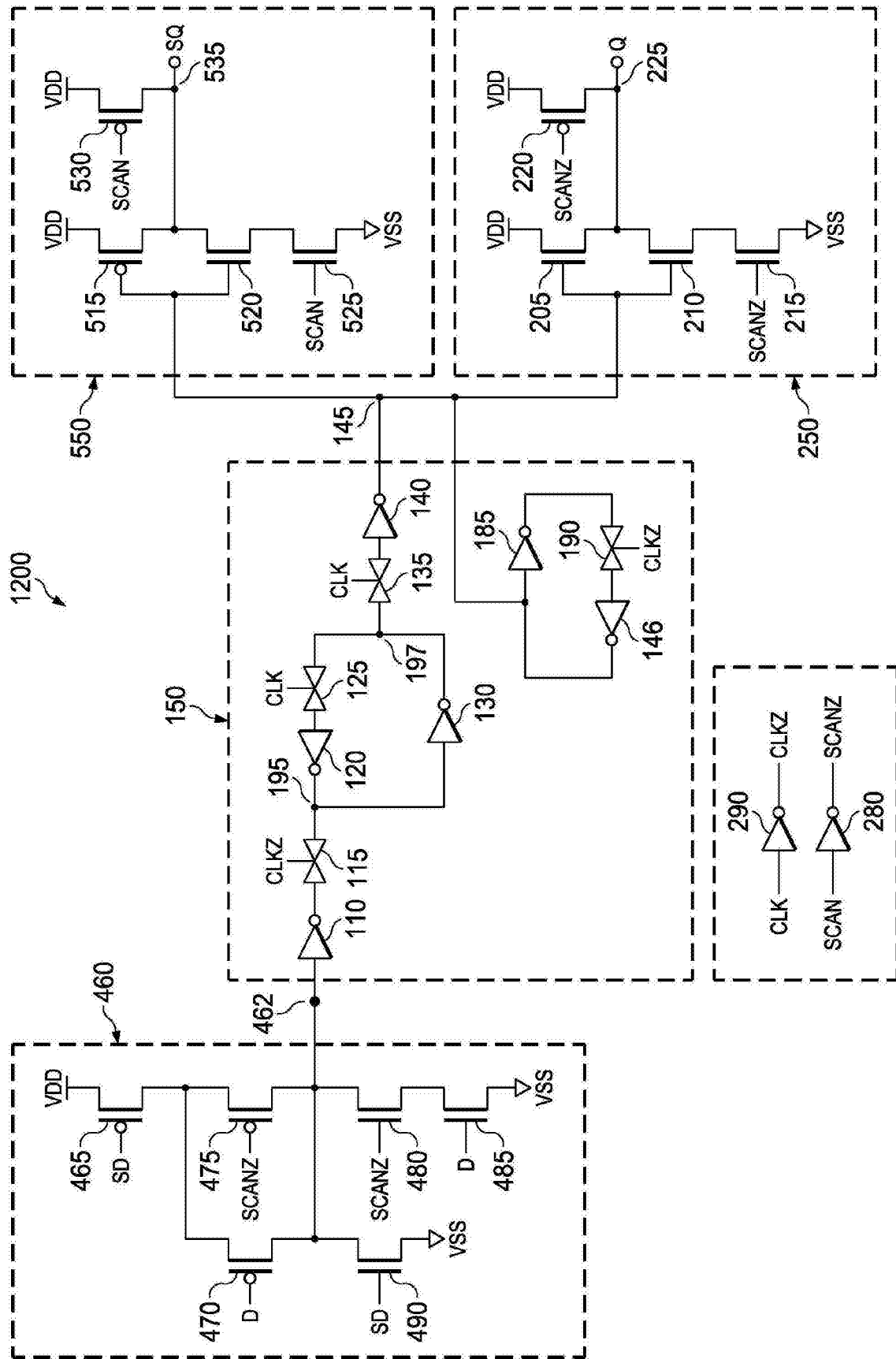


图12

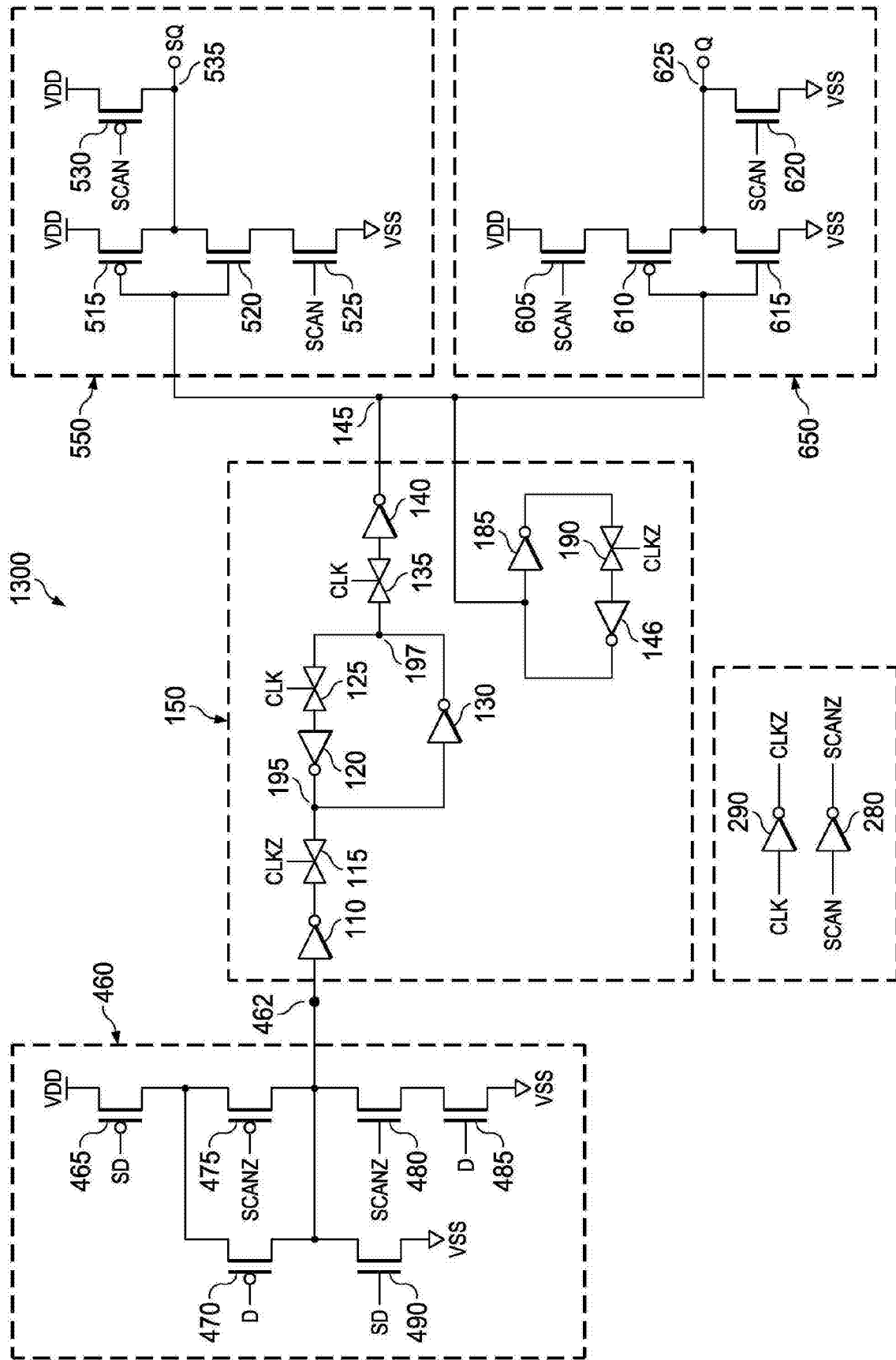


图13

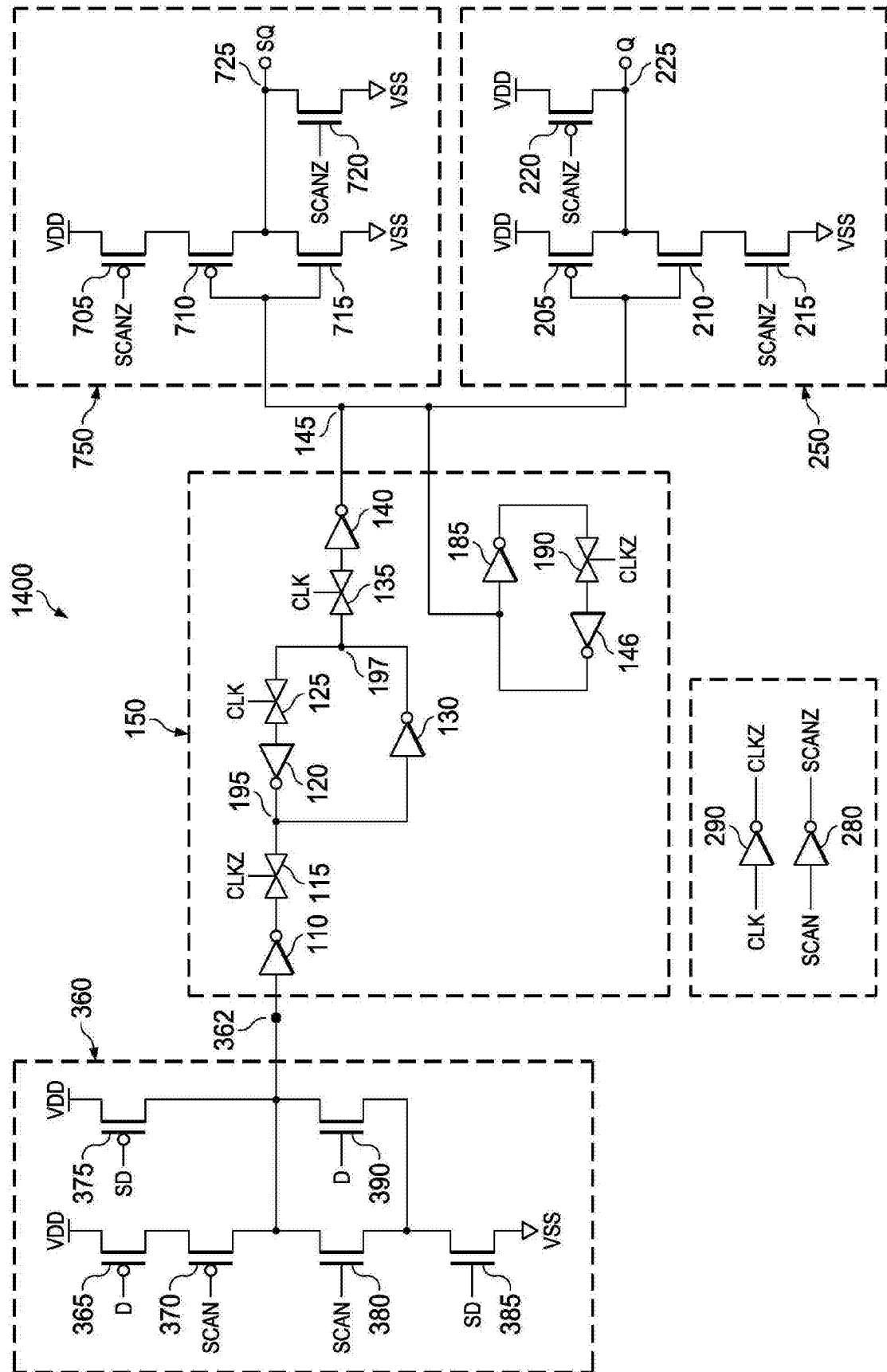


图14

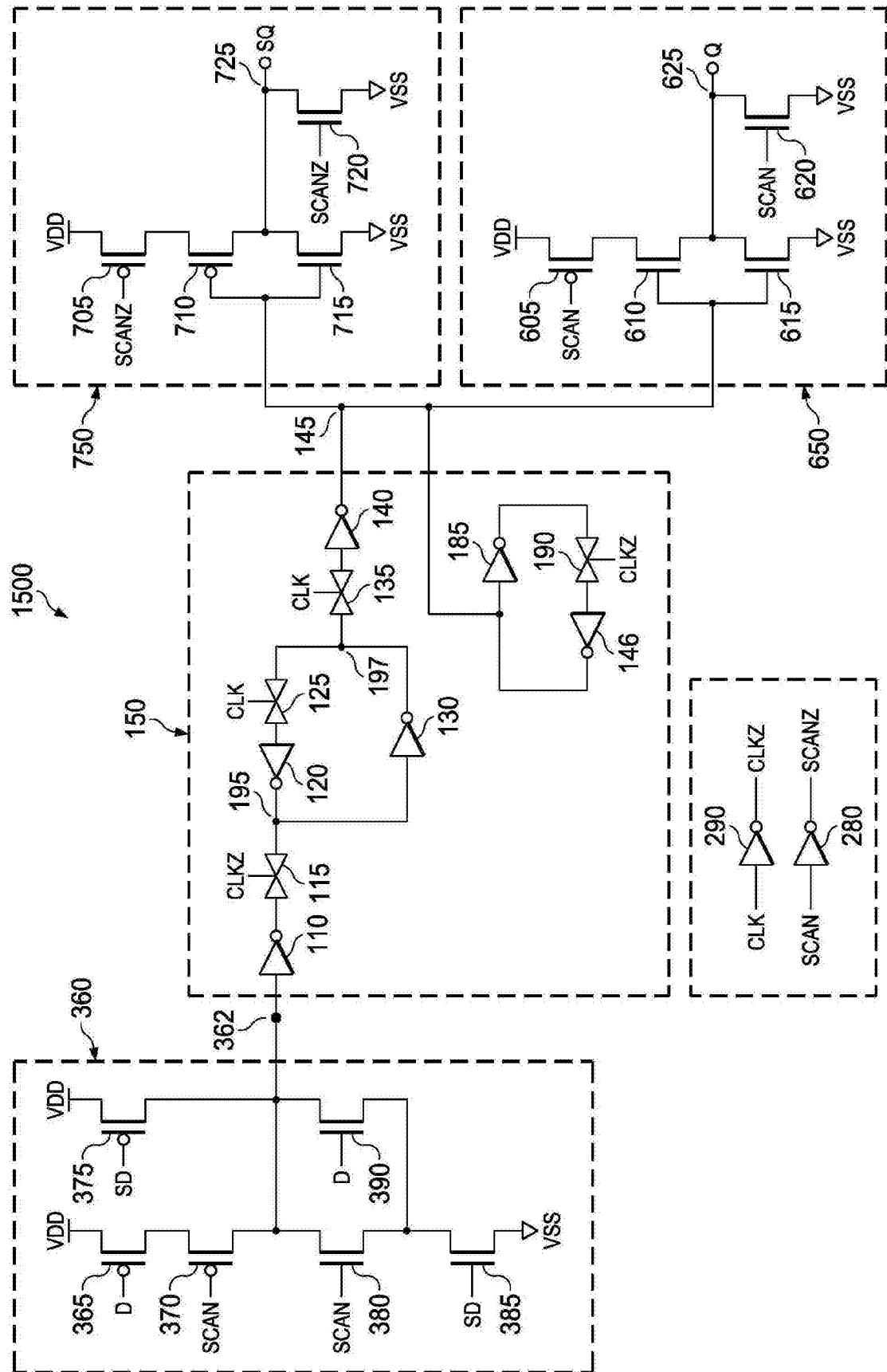


图15

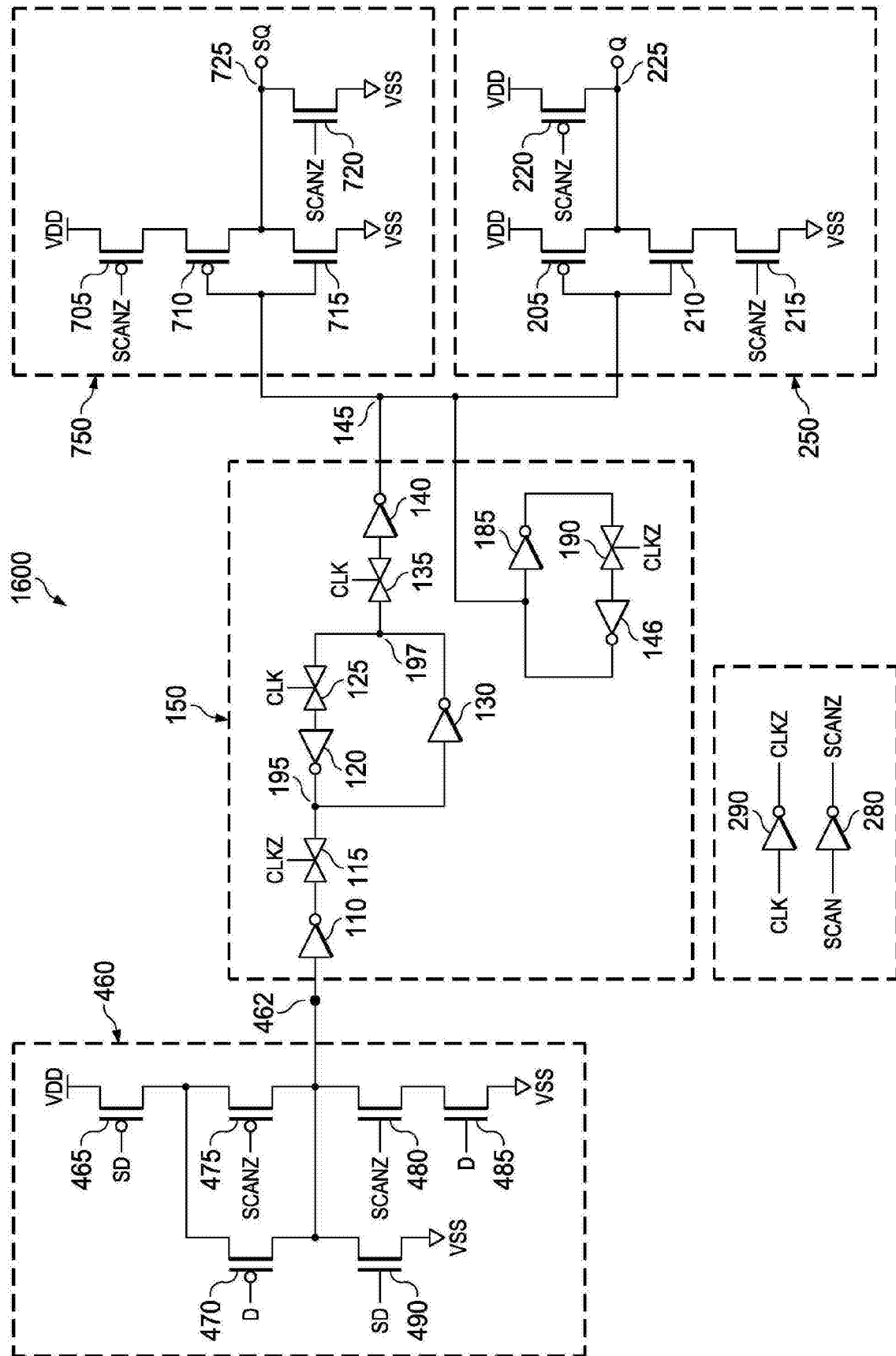


图16

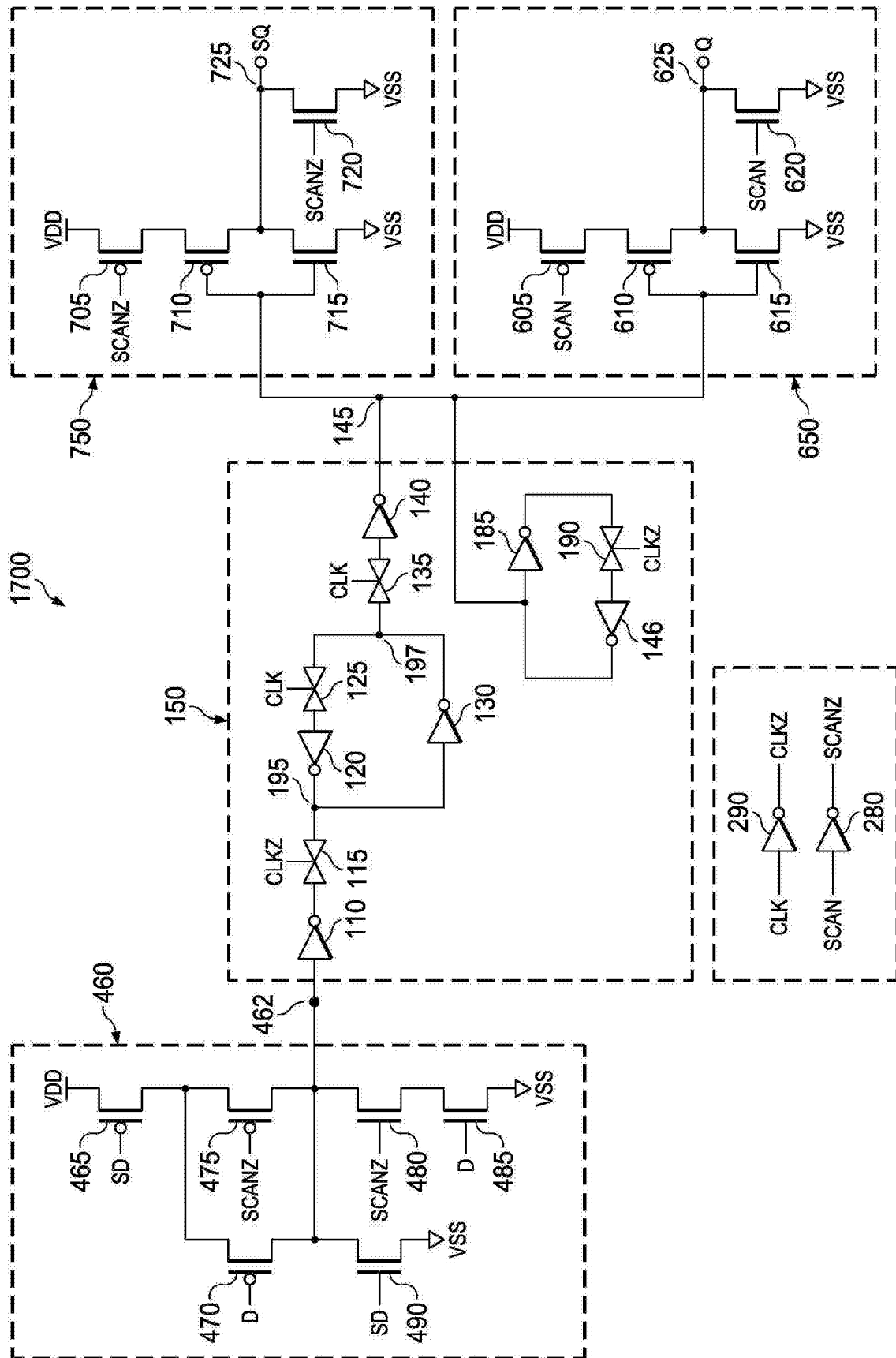


图17

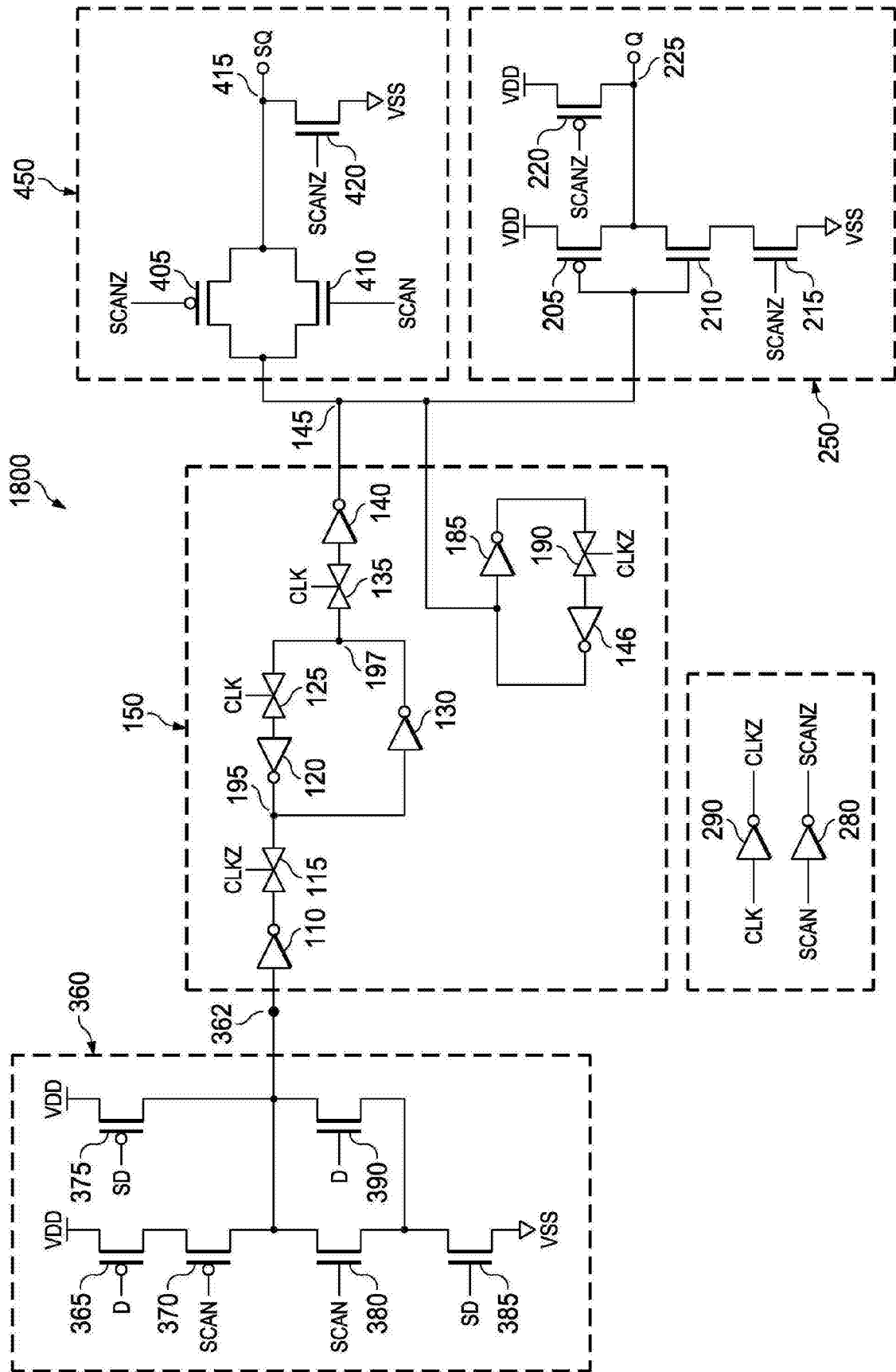


图18

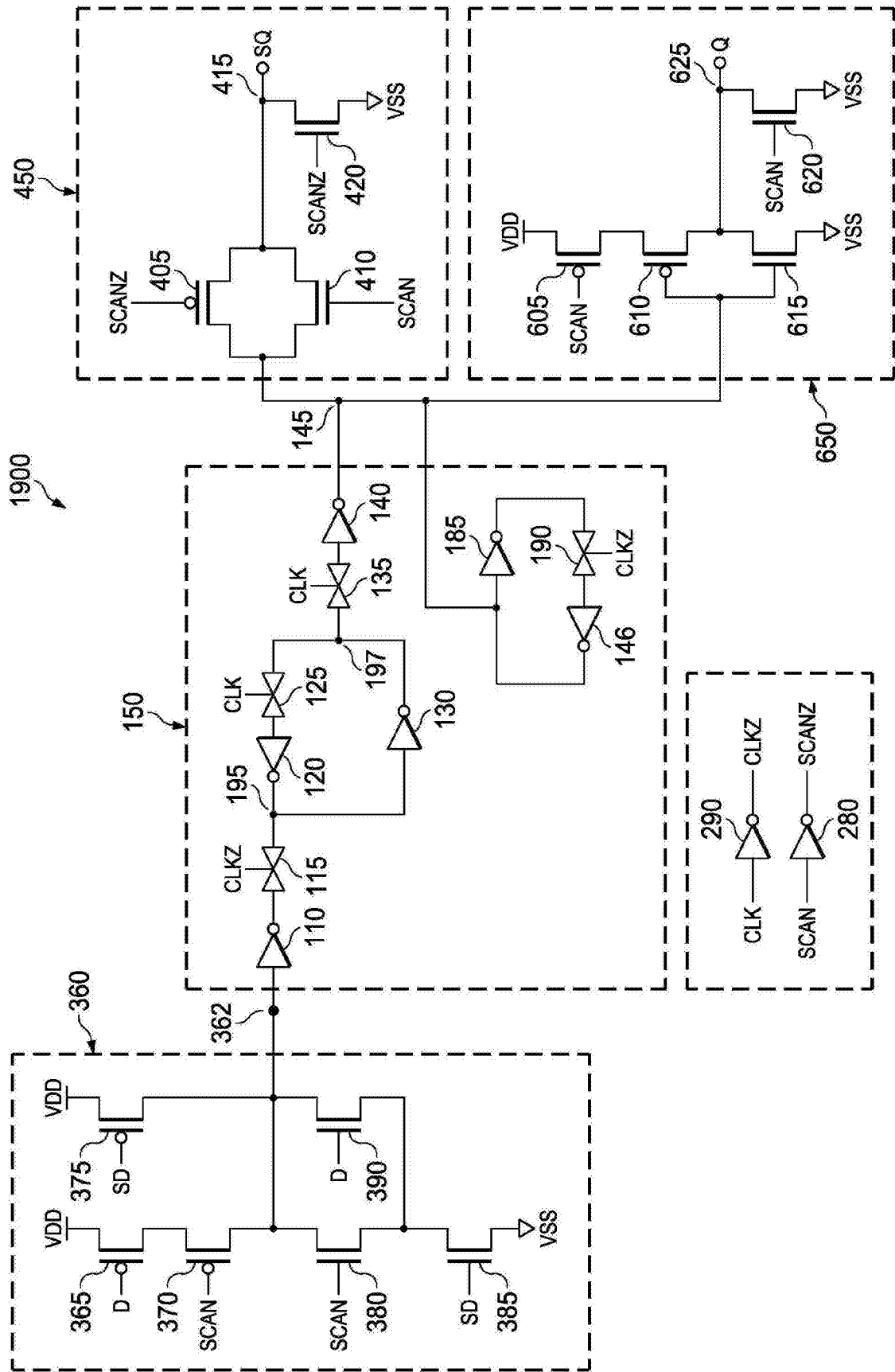


图19

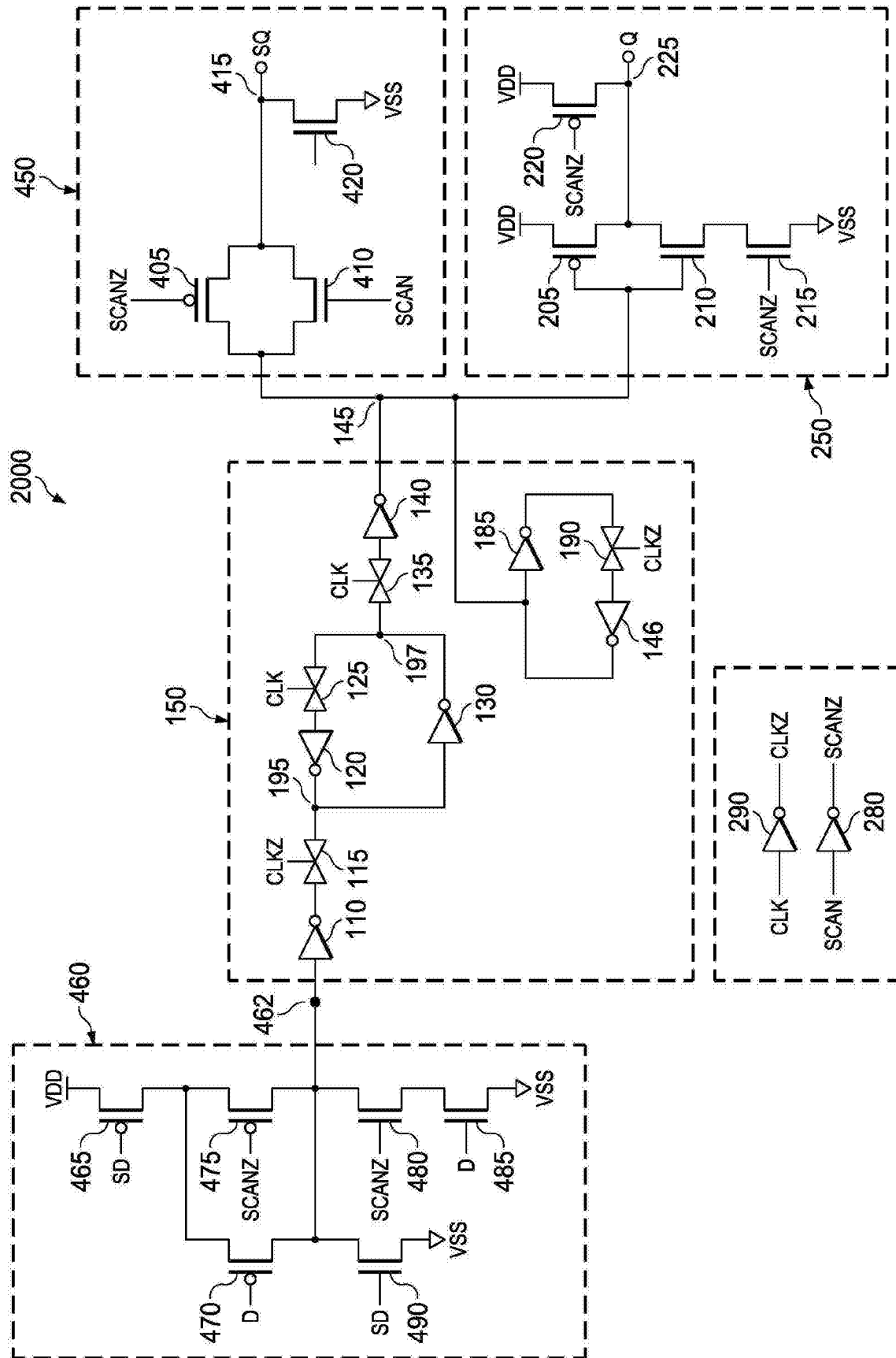


图20

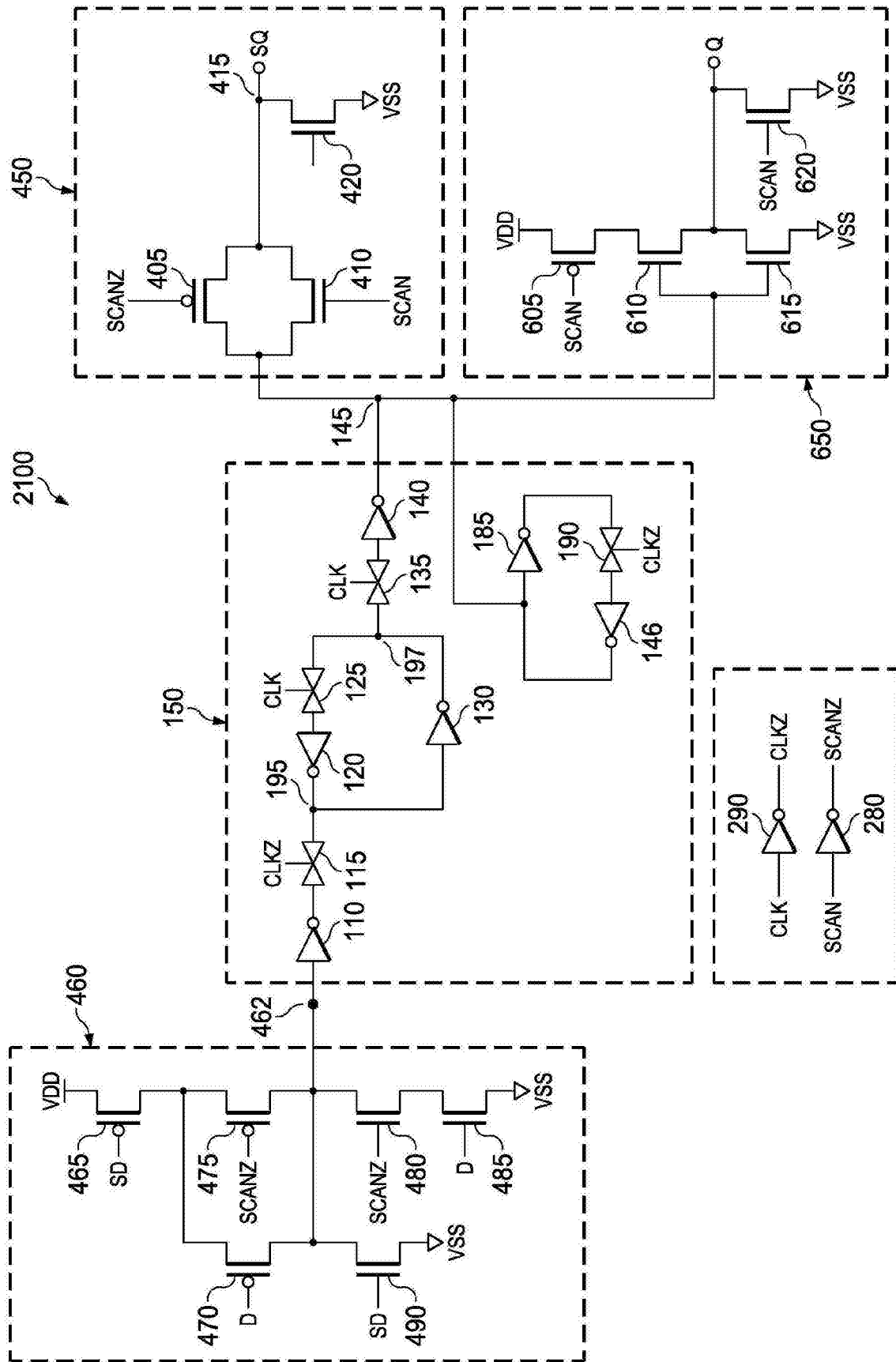


图21

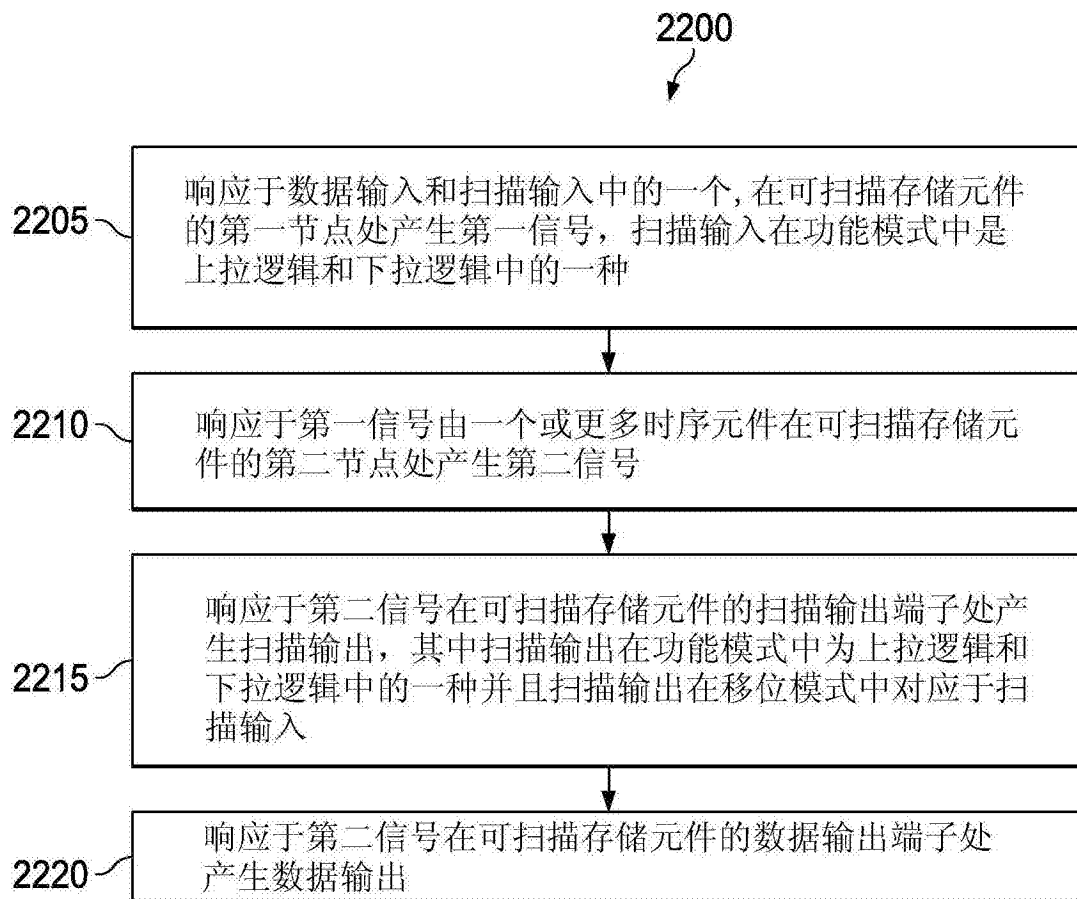


图22