

公告本

F1010272TW00

申請日期	90.6.4
案號	90113445
類別	H01L 29/18

A4
C4

501281

(以上各欄由本局填註)

發明 ~~新~~型 專利說明書

一、發明 新 型名稱	中文	半導體裝置之製造方法
	英文	METHOD FOR MAKING SEMICONDUCTOR DEVICES
二、發明 創 作人	姓名	1. 谷口敏光 TOSHIMITSU TANIGUCHI 2. 降矢滋行 SHIGEYUKI FURUYA
	國籍	日本國
三、申請人	住、居所	1. 日本國群馬縣邑樂郡大泉町吉田 986 之 5 吉田團地 H2 號棟 407 號 986-5-H2-407 Yoshida Oizumi-machi, Ora-gun, Gunma-ken, Japan 2. 日本國新潟縣長岡市西津町前島 2623-1 美尊 NEW-R 206 號 2623-1-R206 Maejima Nishizu-machi, Nagaoka-shi, Niigata-ken, Japan
	代表人姓名	桑野幸德 YUKINORI KUWANO

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

2000年7月21日 特願 2000-220697 (主張優先權)

2001年3月16日 特願 2001-076117 (主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明所屬技術領域]

本發明係有關一種半導體裝置之製造方法，詳言之，係關於具有不同膜厚之複數種閘極氧化膜的半導體裝置之製造方法。

[習知之技術]

以下，參照圖面說明以往半導體裝置之製造方法。

再者，以下的說明係介紹一種半導體裝置之製造方法，該半導體裝置係在半導體基板上具有由厚氧化膜和薄氧化膜所構成的兩種膜厚，於厚氧化膜上形成高耐壓 MOS 電晶體，於薄氧化膜上形成一般耐壓的 MOS 電晶體。

首先，用已知的 LOCOS 技術形成一導電型半導體基板，使用例如形成於 P 型矽基板 101 上的氧化膜和氮化矽膜作為遮罩，形成由 LOCOS 膜所構成的元件分離膜 102 (參照第 17 圖(a))。

其次，去除前述氧化膜和氮化矽膜之後，如第 17 圖(b)所示，將前述元件分離膜 102 熱氧化為遮罩，並在前述基板 101 上形成厚閘極氧化膜 103。

繼之，如第 17 圖(c)所示，在一側(高耐壓 MOS 電晶體形成區域)的厚閘極氧化膜 103 上形成光阻膜 104 之後，以該光阻膜 104 做遮罩，去除另一側(一般耐壓 MOS 電晶體形成區域)的厚閘極氧化膜 103。

去除前述光阻膜 104 之後，如第 18 圖(a)所示，加以熱氧化，在前述厚閘極氧化膜 103 已被去除的一般耐壓 MOS 電晶體形成區域上，形成薄閘極氧化膜 105。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

接著，如第 18 圖(b)所示，在厚閘極氧化膜 103 和薄閘極氧化膜 105 上形成閘極電極用的導電膜之後，將該導電膜圖案化，形成閘極電極 106A、107B。

然後，各自形成 N 型不純物區域(源極汲極區域 107、108、109、110)用以連接前述閘極電極 106A、106B。以下省略圖示說明，形成用以覆蓋前述源極汲極區域 107、108、109、110 之層間絕緣膜後，藉由接觸孔在前述源極汲極區域上形成接觸金屬配線，在厚閘極氧化膜 103 上形成高耐壓 MOS 電晶體，在薄閘極氧化膜 105 上形成一般耐壓 MOS 電晶體。

[發明所欲解決之問題]

然而，前述的製程在蝕刻(etching)厚閘極氧化膜 103 時，也會蝕刻元件分離膜 102(參照第 17 圖(c)的箭頭)，使該元件分離膜變薄，而有降低元件分離能力之問題。

此外，由於將光阻膜 104 作為遮罩，並蝕刻厚閘極氧化膜 103，所以前述光阻膜等有機物會污染，矽基板 101 使已污染的矽基板 101 上受到熱氧化所形成的薄閘極氧化膜 105 的膜質之可靠性會有降低的問題。

[解決問題之方案]

因此，以上述課題為鑑之本發明半導體裝置之製造方法係在半導體上形成具有不同膜厚之第 1 以及第 2 閘極氧化膜者，其具備之特徵有：在第 2 閘極氧化膜形成區域上形成耐氧化性膜之後，將該耐氧化性膜熱氧化為遮罩，在第 1 閘極氧化膜形成區域上形成第 1 閘極氧化膜之製程；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

及去除前述耐氧化性膜之後，加以熱氧化，並於前述第2閘極氧化膜形成區域上形成第2閘極氧化膜之製程。

此外，本發明半導體裝置之製造方法具備以下之特徵：將形成於半導體上之元件分離膜熱氧化為遮罩，並於第1以及第2電晶體形成區域上形成氧化膜之製程；全面地形成耐氧化性膜之後，以光阻膜作為遮罩，去除第1電晶體形成領域上的該耐氧化性膜之製程；以前述耐氧化性膜作為遮罩，去除前述第1電晶體形成領域上的氧化膜之後，將該耐氧化性膜熱氧化為遮罩，在前述第1電晶體形成領域上形成第1閘極氧化膜之製程；及去除前述第2電晶體形成區域上的前述耐氧化性膜和前述氧化膜之後，加以熱氧化，在前述第2電晶體形成區域上形成第2閘極氧化膜之製程。

此外，其特徵係：前述第1閘極氧化膜的膜厚比第2閘極氧化膜更厚，在該第1閘極氧化膜上形成高耐壓MOS電晶體，在該第2閘極氧化膜上形成一般耐壓的MOS電晶體。

再者，其特徵係：在以前述光阻膜作為遮罩且將形成於前述第1電晶體形成區域上的前述耐氧化膜去除之製程中，不會使前述半導體表層露出。

前述第1電晶體形成製程，其特徵具備有：將逆導電型不純物離子植入於一導電型半導體內而形成低濃度的逆導電型源極汲極層之製程；將逆導電型不純物離子植入於前述半導體內，並在前述低濃度的逆導電型源極汲極層內

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(4)

形成高濃度的逆導型電型源極汲極層之製程；將一導電型不純物離子植入於前述半導體內，並形成在前述逆導電型源極層和前述逆導電型汲極層間構成通道之一導電型半導體層之製程；及在前述半導體上經由第1閘極氧化膜而形成第1閘極電極之製程

此外，其特徵係：前述低濃度的逆導電型源極汲極層之形成製程係以離子植入法而形成，使之與前述閘極電極下方所形成之半導體層相連接。

詳言之，前述低濃度的逆導電型源極汲極層的形成製程，至少以離子注入法淺擴張形成於前述半導體表層上，使之與前述閘極電極下方所形成的前述半導體層相連接。

由上述可知，因為不會有如以往之將厚閘極氧化膜蝕刻去除之製程，所以可以減少因元件分離膜變薄所造成的元件分離能力的降低。

此外，由於使用有光阻膜蝕刻時，矽基板不會露出，所以可以防止因光阻膜所造成的矽基板污染。

[發明之實施型態]

以下，參照圖面說明關於本發明半導體裝置製造方法的第1實施型態。在以下的說明中介紹半導體裝置製造方法一例，其係在矽基板上具有由第1氧化膜(厚氧化膜)和第2氧化膜(薄氧化膜)所構成的兩種類膜厚，於厚氧化膜上形成高耐壓MOS電晶體，於薄氧化膜上形成一般耐壓的MOS電晶體。

首先，使用已知的LOCOS技術將與成於基板1上的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

氧化膜和氮化矽膜作為遮罩，使由 LOCOS 膜所構成的元件分離膜形成約有 450nm 膜厚。(參照第 1 圖(a))。在本實施型態中係使用的 P 型的矽基板，與以下所說明使用 N 型矽基板的情形相比，只有導電型不同，其他係一樣的。

如第 1 圖(b)所示，去除前述氧化膜和氮化矽膜之後，將前述元件分離膜 2 熱氧化為遮罩，在前述基板 1 上形成約 20nm 膜厚的氧化膜 3，在含有前述元件分離膜 2 以及前述氧化膜 3 的基板上，全面形成約 20nm 膜厚的氮化矽膜。

如第 1(c)圖所示，將形成於前述氧化膜 3 以及氮化矽膜 4 一側(一般耐壓的 MOS 光阻器形成區域)的光阻器膜 5 作為遮罩，並將形成於另一側氧化膜 3 上的前述氮化矽膜 4 去除。

另外，在使用有光阻膜 5 的蝕刻製程中，由於基板表層不會露出，所以基板表層不會受到光阻膜 5 等有機物的污染。而且，使基板表層露出時，如下述製程之說明，將前述光阻膜 5 去除之後的前述的氮化矽膜 4 作為遮罩來進行。

如第 2 圖(a)所示，去除前述光阻膜 5 之後，如第 2 圖(b)所示，以前述氮化矽膜 4 作為遮罩，去除另一側的氧化膜 3。而在蝕刻去除氧化膜 3 時，元件分離膜 2 也受到蝕刻，然而如上所述，因為該氧化膜 3 的膜厚約有 20nm 左右，所以與以往之用蝕刻去除厚閘極氧化膜 103 (例如：100nm)相比較，元件分離能力不會惡化。(參照第 2 圖(b)的箭頭 A)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

如第 2 圖(c)所示，將前述氮化矽膜 4 熱氧化為遮罩，在前述基板 1 上形成約 90nm 左右的第 1 氧化膜(厚閘極膜)6。

如第 3 圖(a)所示，將前述一般耐壓的 MOS 電晶體形成區域上的氮化矽膜 4 以及前述氧化膜 3 去除之後，如第 3 圖(b)所示，將前述基板 1 熱氧化，在該一般耐壓的 MOS 電晶體形成區域上形成約 7nm 左右的第 2 氧化膜(薄閘極膜)7。在蝕刻去除氧化膜 3 時，元件分離膜 2 也會受到蝕刻，然而由於此時該氧化膜 3 的膜厚約有 20nm 左右，故由蝕刻所去除的膜厚有 40nm 程度，與以往之將厚閘極氧化膜 103(例如：100nm)蝕刻去除的情況相比較，元件分離能力不會惡化。(參照第 3 圖(a)的箭頭 B)。

如第 3 圖(c)所示，在前述厚閘極氧化膜 6 以及薄閘極氧化膜 7 上形成閘極電極用的導電膜之後(例如，多晶矽膜或者多晶矽膜與矽化鎢膜的積層膜等)，將該導電膜圖案化，形成閘極電極 8A、8B。

然後，各自形成用以連接前述閘極電極 8A、8B 之 N 型不純物區域(源極汲極區域 9、10、11、12)。以下省略圖示說明，形成可覆蓋前述源極汲極區域的層間絕緣膜後，藉由經由接觸孔於前述源極汲極區域 9、10、11、12 上形成接觸金屬配線，於厚閘極氧化膜 6 上形成高耐壓 MOS 電晶體，於薄閘極氧化膜 7 上形成一般耐壓的 MOS 電晶體。在本實施型態中，由離子植入 N 型不純物的磷離子和鉀離子形成所謂 LDD 構造的源極汲極區域。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

根據此，因為不會有如以往之將厚閘極氧化膜蝕刻去除之製程，所以可以減少因元件分離膜變薄所造成的元件分離能力的降低。

在用光阻膜蝕刻之時，由於矽基板不會露出，所以矽基板不會受到該光阻膜等有機物的污染，使之後所形成閘極氧化膜之膜質的可靠性得以提昇。

以下，參照圖面說明本發明半導體裝置製造方法之第2實施型態。第2實施型態係關於各種MOS電晶體的製造方法，其構成表示顯示器(display)，例如構成EL顯示器(display)驅動用驅動器(driver)。

第16圖係本發明之半導體裝置，亦即EL顯示器(display)驅動用驅動器(driver)，從圖面(a)左側係邏輯(logic)系(例如，3V)N通道(channel)型MOS電晶體以及P通道型MOS電晶體、位準移相器(level shifter)用的(例如，30v)N通道型MOS電晶體、高耐壓系(例如，30v)N通道型MOS電晶體；從圖面(b)左側係高耐壓系(例如，30v)P通道型MOS電晶體，其係由可達成本發明低離子電阻化的高耐壓系(例如，30V)N通道型DMOS電晶體和P通道型DMOS電晶體所構成。

另外，在說明的方便上，為了使上述高耐壓系MOS電晶體以及可達成低離子電阻化的高耐壓系電晶體差別化，在以下的說明中，將可達成低離子電阻化的高耐壓系電晶體稱為SLED(Slit channel by counter doping with extended shallow drain)MOS電晶體。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

以下的說明係關於構成前述 EL 顯示器驅動用驅動器之各種 MOS 電晶體的製造方法。

首先，在第 4 圖中，為了劃定用以構成各種 MOS 電晶體的區域，形成一種導電型的基板，例如，在 P 型矽基板(P-Sub)21 內形成 P 型阱(PW)22 和 N 型阱(NW)23。

亦是，在經由鋅墊氧化膜 24 以未圖示之光阻膜覆蓋前述基板 21 的 N 型阱形成區域之狀態下，例如以約 80KeV 的加速電壓，在 $8 \times 10^{12}/\text{cm}^2$ 的植入條件下植入硼離子。之後，如第 4 圖所示，在用光阻膜 25 覆蓋前述 P 型阱 22 的狀態下，例如以 80KeV 的加速電壓，在 $9 \times 10^{12}/\text{cm}^2$ 的植入條件下植入磷離子。如前所述藉由實際地使，所植入的各種離子熱擴散，而形成 P 型阱 22 和 N 型阱 23。

在第 5 圖中，由於按各個 MOS 電晶體進行元件分離，故用 LOCOS 法形成約 500nm 左右的元件分離膜 26，並藉由熱氧化，在這個離子分離膜 26 以外的活性區域上形成約 20nm 左右的第 3 氧化膜 27(構成第 3 閘極氧化膜)。

然後，全面的形成 20nm 左右的氮化矽膜後，將該氮化矽膜和光阻膜 29 圖案化為遮罩，使氮化矽膜 28 殘留在前述邏輯系 N 通道型 MOS 電晶體和 P 通道型 MOS 電晶體、以及位準移相器用的 N 通道型 MOS 電晶體的各形成區域上。

在使用有光阻膜 29 的蝕刻製程中，由於基板表層不會露出，所以基板表層不會受到光阻膜 29 等有機物的污染。而且，露出基板表層時，如下述製程中之說明，將前述光

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

阻膜 29 去除後的前述的氮化矽膜 28 作為遮罩來進行。

去除前述光阻膜 29 之後，以氮化矽膜 28 作為遮罩，在前述高耐壓系之 N 通道型 MOS 電晶體和 P 通道型 MOS 電晶體，N 通道型 SLED MOS 電晶體和 P 通道型 SLED MOS 電晶體的各形成區域上將第 3 閘極氧化膜 27 去除。

在將氧化膜 27 蝕刻去除時，元件分離膜 26 也會受到蝕刻，然而，如上所述，因為該氧化膜 27 的膜厚約有 20nm 左右，所以與以往之將厚閘極氧化膜 103 之情況蝕刻去除(例如：100nm)相比較，元件分離能力不會惡化。

將前述氮化矽膜 28 熱氧化為遮罩，並藉由熱氧化在該高耐壓系之 N 通道型 MOS 電晶體以及 P 通道型 MOS 電晶體，N 通道型 SLED MOS 電晶體以及 P 通道 SLED MOS 電晶體的各形成區域上，形成厚度約 80nm 左右的高耐壓用第 1 氧化膜 30(構成第 1 閘極氧化膜)(參照第 6 圖)

在第 7 圖中，以光阻膜作為遮罩，形成第 1 低濃度的 N 型以及 P 型源極汲極層。(以下，稱為 LN 層 31，LP 層 32。)即是，首先在以未圖示之光阻膜覆蓋 LN 層形成區域上以外之區域的狀態下，例如在基板表層以約 120KeV 的加速電壓，在 $8 \times 10^{12}/\text{cm}^2$ 的植入條件下，植入磷離子並形成 LN 層 31。之後，在以光阻膜 33 覆蓋 LP 層形成區域上以外之區域的狀態下，例如在基板表層以約 120KeV 的加速電壓，在 $8.5 \times 10^{12}/\text{cm}^2$ 的植入條件下，植入硼離子並形成 LP 層 32。不過，實際上還要經過後階段之回火(anneal)製程(例如在 1100°C 的 N_2 空氣中 2 個小時)，使前述所注入

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (10)

的各種離子熱擴散，而形成 LN 層 31 和 LP 層 32。

在第 8 圖中，以光阻膜作為遮罩。於前述 P 通道型以及 N 通道型 SLED MOS 電晶體的各形成區域上的前述 LN 層 31 和 LP 層 32 之間各形成第 2 低濃度的 N 型和 P 型源極汲極層。(以下，稱為 LN 層 34 和 LP 層 35。)即是，首先在以未圖示之光阻膜覆蓋 SLN 層形成區域上以外的區域的狀態下，在基板表層上，例如以約 120KeV 的加速電壓，在 $1.5 \times 10^{12}/\text{cm}^2$ 的植入條件下，植入磷離子，形成與前述 LN 層 31 相連接的 SLN 層 34。之後，在以光阻膜 36 覆蓋 SLP 層形成區域上以外的區域的狀態下，在基板表層上，例如以約 140KeV 的加速電壓，在 $2.5 \times 10^2/\text{cm}^2$ 的植入條件下，植入二氟化硼離子，形成與前述 LP 層 32 相連接的 SLP 層 35。而，前述 LN 層 31 與前述 SLN 層 34 或前述 LP 層 32 與前述 SLP 層 35 的不純物濃度係大致相等，或設定成其中一方的濃度較高。

在第 9 圖中，以光阻膜作為遮罩，形成高濃度的 N 型和 P 型源極汲極層。(以下，稱為 N+層 37，P+層 38。)即是，首先在以未圖示之光阻膜覆蓋 N+層形成領域上以外之區域的狀態之下，在基板表層上，例如以約 80KeV 的加速電壓，在 $2 \times 10^{15}/\text{cm}^2$ 的植入條件下，植入磷離子並形成 N+層 37。之後，在以光阻膜 39 覆蓋在 P+層形成區域上以外之區域的狀態下，在基板表層上，例如以約 140KeV 的加速電壓，在 $2.5 \times 10^{15}/\text{cm}^2$ 的植入條件下，植入二氟化硼離子並形成 P+層 38。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(11)

在第 10 圖中，藉由將具有開口徑比前述 SLN 層 34 和 SLP 層 35 形成用的遮罩開口徑還小的光阻膜作為遮罩(參照第 8 圖)並在連接於前述 LN 層 31 之 SLN 層 34 的中央部以及連接於前述 LP 層 32 之 SLP 層 35 的中央部上各自離子植入逆導電型不純物，形成用以分斷該 SLN 層 34 及 SLP 層 35 的 P 型主體層 40 以及 N 型主體層 41。即是，首先在以未圖示之光阻膜覆蓋 P 型層形成區域上以外之區域的狀態下，在基板表層上，例如以約 120KeV 的加速電壓，在 $5 \times 10^{12}/\text{cm}^2$ 的植入條件下，植入二氟化硼離子並形成 P 型主體層 40。之後，在以光阻膜 42 覆蓋 N 型層形成區域上以外之區域的狀態下，在基板表層上，例如以約 190KeV 的加速電壓，在 $5 \times 10^{12}/\text{cm}^2$ 的植入條件下，植入磷離子並形成 N 型主體層 41。另外，上述之第 8 圖至第 10 圖所示之離子植入製程的作業程序係可適時變更者，在前述 P 型主體層 40 以及 N 型主體層 41 的表層部構成通道。

在第 11 圖中，將前述的光阻膜 42 和氮化矽膜 28 去除。

在第 12 圖中，在前述一般耐壓用的微細化 N 通道型以及 P 通道型 MOS 電晶體形成區域的基板(P 型阱 22)內，形成第 2P 型阱(SPW)44 和第 2N 型阱(SNW)45。

即是，在前述一般耐壓的 N 通道型 MOS 電晶體形成區域上，將有開口且未圖示之光阻膜作為遮罩，於前述 P 型阱 22 內，例如以約 190KeV 的加速電壓，在 $1.5 \times 10^{13}/\text{cm}^2$ 的第 1 植入條件下，植入硼離子後，同樣地以約 50KeV 的

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (12)

加速電壓，在 $2.6 \times 10^{12} / \text{cm}^2$ 的第 2 植入條件下，植入硼離子，並形成第 2 的 P 型阱 44。接著，在前述一般耐壓用 P 通道型 MOS 電晶體形成區域上，將有開口的光阻膜 46 作為遮罩，於前述 P 型阱 22 內，例如以約 380KeV 的加速電壓，在 $1.5 \times 10^{13} / \text{cm}^2$ 的植入條件下，植入磷離子，並形成第 2 的 N 型阱 45。另外，在沒有 380KeV 左右的高加速電壓發生裝置的情況下，也可以約 190KeV 的加速電壓，在 $1.5 \times 10^{13} / \text{cm}^2$ 的植入條件下，將 2 值的磷離子植入。接著，以約 100KeV 的加速電壓，在 $4.0 \times 10^{12} / \text{cm}^2$ 的植入條件下，植入磷離子。

在第 13 圖中，以光阻膜 47 作為遮罩，將在一般耐壓用的 N 通道型和 P 通道型 MOS 電晶體的形成區域上的前述第 3 氧化膜 27 去除後，在第 14 圖中，藉由熱氧化在該區域上形成所希望之模厚(約 7nm 左右)的新第 2 氧化膜 48(構成第 2 閘極氧化膜)。

將氧化膜 27 蝕刻去除時，前述元件分離膜 26 也會受到蝕刻。然而，因為該氧化膜 27 的膜厚約有 20nm 左右，與以往之將厚閘極氧化膜 103 蝕刻去除(例如：100nm)之情況相比較，元件分離能力不會惡化。即是，元件分離膜 26 所蝕刻去除的合計膜厚，不論是高耐壓區域或是一般耐壓區域都有 20nm 左右。由於與元件分離膜 26 的膜厚 450nm 相比較非常薄，所以不會有以往之在一般耐壓區域下使元件分離能力惡化之情事。

據此，可形成下列氧化膜：即與前述該高耐壓系 N 通

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (13)

道型 MOS 電晶體以及 P 通道型 MOS 電晶體，N 通道型 SLED MOS 電晶體以及 P 通道型 SLED MOS 電晶體的各電晶體相對應且具有膜厚的第 1 氧化膜 30；與邏輯系 N 通道型 MOS 電晶體以及 P 通道型 MOS 電晶體的各電晶體相對應且具有膜厚的第 2 氧化膜 48；及與位準移相器用 N 通道型 MOS 電晶體相對應且具有膜厚的第 3 氧化膜 27(參照第 14 圖)。而且，該第 1、第 2、第 3 氧化膜各自構成電晶體的第 1、第 2、第 3 閘極氧化膜。

在第 14 圖中，全面地形成約 100nm 左右的多晶矽膜，在多晶矽膜上將 POCl_3 當作熱擴散源，使其熱擴散導電化之後在多晶矽膜上先後積層約 100nm 左右的矽化鎢(WSix)膜，以及約 150nm 左右的 SiO_2 膜。用未圖示之光阻膜圖案化形成各個 MOS 電晶體用的閘極電極 49A、49B、49C、49D、49E、49F、49G。另外，前述 SiO_2 膜係作為圖案化時的硬體遮罩來運作。

在第 15 圖中，在前述一般耐壓用 N 通道型 MOS 電晶體以及 P 通道型 MOS 電晶體用上形成低濃度的源極汲極層 50、51。

即是，首先將用以覆蓋一般耐壓用 N 通道型 MOS 電晶體用的低濃度源極汲極層形成區域上以外的區域的未圖示之光阻膜作為遮罩，例如，以約 20KeV 的加速電壓，在 $6.2 \times 10^{13} / \text{cm}^2$ 的植入條件下，植入磷離子，並形成低濃度的 N-型源極汲極層 50。此外，將用以覆蓋一般耐壓用 P 通道型 MOS 電晶體用之源極汲極層形成區域上以外的區

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (14)

域的未圖示之光阻膜 52 作為遮罩，例如，以約 20KeV 的加速電壓，在 $2 \times 10^{13} / \text{cm}^2$ 的植入條件下，植入硼離子，並形成低濃度的 P-型源極汲極層 51。

在第 16 圖中，藉由 LPCVD 法形成約 250nm 左右的 TEOS 膜 53，使之可全面地覆蓋前述之閘極電極 49A、49B、49C、49D、49E、49F、49G。於前述一般耐壓用 N 通道型 MOS 電晶體以及 P 通道型 MOS 電晶體形成區域上，將有開口的光阻膜(省略圖示)作為遮罩，並異向性蝕刻前述 TEOS 膜 53。據此，如第 16 圖所示，於前述閘極電極 49A、49B 的兩側邊形成側牆隔膜，於前述光阻膜所覆蓋的區域上則原封不動地殘留 TEOS 膜。

接著，將前述閘極電極 49A 和側牆間隔膜 53A；以及前述閘極電極 49B 和測壁調距器膜 53A 作為遮罩，在前述一般耐壓用 N 通道型以及 P 通道型 MOS 電晶體用之上形成高濃度的源極汲極層 54，55。

即是，將用以覆蓋在一般耐壓用 N 通道型 MOS 電晶體用的高濃度源極汲極層形成區域上以外之區域的未圖示光阻膜作為遮罩，例如，以約 100KeV 的加速電壓，在 $5 \times 10^{15} / \text{cm}^2$ 的植入條件下，將砷離子植入，並形成高濃度的 N+型源極汲極層 54。此外，將用以覆蓋在一般耐壓用 P 通道型 MOS 電晶體用之高濃度源極汲極層形成區域上以外之區域的未圖示光阻膜 56 作為遮罩，例如，以約 40KeV 的加速電壓，在 $2 \times 10^{15} / \text{cm}^2$ 的植入條件下，植入二氟化硼離子，並形成高濃度的 P+型源極汲極層 55。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (15)

以下，省略圖示說明。全面地形成由 TEOS 膜和 BPSG 膜構成之約 600nm 左右的層間絕緣膜之後，藉由在前述各高濃度源極汲極層 37,38,54,55 上形成接觸金屬配線層，完成用以構成前述 EL 顯示器驅動用驅動器之一般耐壓用 N 通道型 MOS 電晶體以及 P 通道型 MOS 電晶體；位準移相器用 N 通道型 MOS 電晶體；高耐壓用 N 通道型 MOS 電晶體以及 P 通道型 MOS 電晶體；以及可達成低離子電阻化的高耐壓用 N 通道型 SLED MOS 電晶體和 P 通道型 SLED MOS 電晶體。

如上所述在第 2 實施型態中，使用各 MOS 電晶體構成 EL 顯示器驅動用驅動器時，對應於不同電晶體須形成不同膜厚的氧化膜(本實施型態中，構成有 7nm、20nm、80nm 之不同膜厚的電晶體)。與根據以往的製程而做成的不同膜厚之閘極氧化膜相比，可以減少因元件分離膜膜厚的損耗所造成的元件分離能力的降低。詳言之，本發明適用於使混裝有膜厚差較大之各種電晶體的半導體裝置形成之製程，而可以期待更佳的效果。

在前述 SLED MOS 電晶體中，因為 P 型主體層或 N 型主體層只有在閘極電極下形成，與以 P 型主體層或 N 型主體層所包覆的高濃度源極層之所謂的 DMOS 電晶體相比，可使接合電容降低。

在上述構造中，因為植入離子而形成有 P 型主體層或 N 型主體層，所以與以往 DMOS 製程之擴散形成者相比，可微細化。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (16)

根據上述之製造方法，由於不需如以往之 DMOS 製程在用以形成主體層之閘極電極形成後進行高溫熱處理，故可與微細化製程混合實施。

以往，在由以往之 DMOS 電晶體的不純物離子熱擴散之通道形成方法中，通道長度係設定在單一值。然而，在上述 SLED MOS 電晶體的製造方法中，如上所述，由於經離子植入製程而形成 P 型主體層或 N 型主體層，所以可以有各種設定，與以往的方法相比，閘極長度設計上的自由度增加。

雖然最好以離子植入法來形成主體層區域，然而關於其他製程，由氣態或固態等產生的擴散可以做適時的變更。

由於不需如以往之 DMOS 製程在用以形成主體層之閘極電極形成後進行高溫熱處理，故可和微細化製程混合實施，並使各種顯示元件的驅動器(例如 EL 顯示器顯示用驅動器)和控制器可以裝在一個晶片中。

根據本發明之製造方法，透過是否進行由高耐壓 MOS 電晶體與可達成低離子電阻化的高耐壓用 N 通道型 SLED MOS 電晶體構成通道之各導電型主體層形成用之離子植入製程，可進行分配，使作業性良好。

[發明之功效]

根據本發明，由於不需以往之將厚閘極氧化膜蝕刻去除的製程，所以可減少隨元件分離膜變薄而使元件分離能力的降低。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(17)

此外，在用有光阻膜之蝕刻時，因為矽基板的露出減少，所以可以減低矽基板的污染，並使形成於該矽基板上的閘極氧化膜之膜質得以提昇。

[圖面之簡單說明]

第 1 圖(a)至(c)為本發明第 1 實施型態之半導體裝置製造方法的剖視圖。

第 2 圖(a)至(c)為本發明第 1 實施型態之半導體裝置製造方法的剖視圖。

第 3 圖(a)至(c)為本發明第 1 實施型態之半導體裝置製造方法的剖視圖。

第 4 圖(a)、(b)為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 5 圖(a)、(b)為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 6 圖(a)、(b)為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 7 圖(a)、(b)為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 8 圖(a)、(b)為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 9 圖(a)、(b)為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 10 圖(a)、(b)為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

第 11 圖 (a)、(b) 為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 12 圖 (a)、(b) 為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 13 圖 (a)、(b) 為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 14 圖 (a)、(b) 為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 15 圖 (a)、(b) 為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 16 圖 (a)、(b) 為本發明第 2 實施型態之半導體裝置製造方法的剖視圖。

第 17 圖 (a) 至 (c) 為以往之半導體裝置製造方法的剖視圖。

第 18 圖 (a)、(b) 為以往之半導體裝置製造方法的剖視圖。

[元件符號說明]

1	矽基板	2、102	元件分離膜
3	氧化膜	4	氮化矽膜
5、33、39、42、46、47、52、56、104 光阻膜			
6、103	厚閘極氧化膜	7、105	薄閘極氧化膜
8A、8B、106A、106B	閘極電極		
9、10、11、12、107、108、109、110 源極・汲極區域			
21	矽基板	22	P 型阱

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (19)

- | | | | |
|-------------|---------|-----|---------------|
| 23 | N 型阱 | 24 | 鍍墊氧化膜 |
| 25 | 光阻膜 | 26 | 元件分離膜 |
| 27 | 第 3 氧化膜 | 28 | 氮化矽膜 |
| 30 | 第 1 氧化膜 | 31 | LN 層 |
| 32 | LP 層 | 34 | SLN 層 |
| 35 | SLP 層 | 36 | 光阻膜 |
| 37 | N+層 | 38 | P+層 |
| 40 | P 型主體層 | 41 | N 型主體層 |
| 44 | 第 2P 型阱 | 45 | 第 2N 型阱 |
| 48 | 第 2 氧化膜 | 49 | ABCDEFGF 閘極電極 |
| 50、51、54、55 | | | 源極・汲極層 |
| 53 | TEOS 膜 | 53A | 側牆隔膜 |
| 101 | P 型矽基板 | | |

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱:半導體裝置之製造方法)

本發明提供一種半導體裝置之製造方法，以形成不同膜厚的閘極氧化膜。

本發明係在矽基板 1 上形成具有不同膜厚的第 1 及第 2 氧化膜 6、7 之半導體裝置之製造方法中具備以下特徵：於第 2 氧化膜形成區域上形成氮化矽膜 4 之後，於第 1 氧化膜形成區域上形成第 1 氧化膜 6 之製程；及去除前述氮化矽膜 4 之後，於前述第 2 氧化膜形成區域上，形成第 2 氧化膜 7 之製程。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:)

訂

線

六、申請專利範圍

1. 一種半導體裝置之製造方法，係在半導體上形成有不同膜厚之第 1 以及第 2 氧化膜，其特徵具備有：

在第 2 氧化膜形成區域上形成耐氧化性膜之後，在第 1 氧化膜形成區域上形成第 1 氧化膜之製程；及

去除前述耐氧化性膜之後，於前述第 2 氧化膜形成區域上形成第 2 氧化膜之製程。

2. 如申請專利範圍第 1 項之半導體裝置的製造方法，其中，前述第 1 以及第 2 閘極氧化膜各自構成第 1 和第 2 電晶體閘極氧化膜。

3. 一種半導體裝置之製造方法，係在形成於半導體上且有不同的膜厚的第 1 以及第 2 閘極氧化膜上各自形成第 1 和第 2 電晶體，其特徵具備有：

在第 2 電晶體形成區域上形成耐氧化性膜之製程；

將前述耐氧化性膜熱氧化為遮罩，並於第 1 電晶體形成區域上形成第 1 閘極氧化膜之製程；及

去除前述第 2 電晶體形成領域上的前述耐氧化性膜之後，加以熱氧化，並於前述第 2 電晶體形成領域上形成第 2 閘極氧化膜之製程。

4. 一種半導體裝置之製造方法，係在形成於半導體上且有不同的膜厚的第 1 以及第 2 閘極氧化膜上各自形成第 1 以及第 2 電晶體，其特徵具備有：

將形成於前述半導體上的元件分離膜作為遮罩，加以熱氧化，並於第 1 以及第 2 電晶體形成區域上形成氧

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

化膜之製程；

全面地形成耐氧化性膜之後，以光阻膜作為遮罩，將第 1 電晶體形成領域上的該耐氧化性膜去除之製程；

以前述耐氧化性膜作為遮罩，去除前述第 1 電晶體形成領域上的氧化膜之後，以該耐氧化性膜作為遮罩，加以熱氧化，在前述第 1 電晶體形成區域上形成第 1 閘極氧化膜之製程；及

去除前述第 2 電晶體形成區域上的前述耐氧化性膜和前述氧化膜之後，加以熱氧化，並在前述第 2 電晶體形成區域上形成第 2 閘極氧化膜之製程。

5. 如申請專利範圍第 3 項或第 4 項之半導體裝置的製造方法，其中，前述第 1 閘極氧化膜的膜厚比第 2 閘極氧化膜厚，在該第 1 閘極氧化膜上形成高耐壓 MOS 電晶體，在該第 2 閘極氧化膜上形成一般耐壓的 MOS 電晶體。
6. 如申請專利範圍第 4 項之半導體裝置的製造方法，其中，在以前述光阻膜作為遮罩且將形成於前述第 1 電晶體形成區域上的前述耐氧化膜去除之製程中，不會使前述半導體表層露出。
7. 如申請專利範圍第 3 項或第 4 項之半導體裝置的製造方法，其中具備有：前述第 1 光阻膜形成製程係將逆導電型不純物離子植入於一導電型半導體內，並形成低濃度的逆導電型源極汲極層之製程；

將逆導電型不純物離子植入於前述半導體內，並在

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

六、申請專利範圍

前述低濃度的逆導電型的源極汲極層內形成高濃度的逆導型電型源極汲極層之製程；

將一導電型不純物離子植入於前述半導體內，並形成用以在前述逆導電型源極層和前述逆導電型汲極層間構成通道之一導電型半導體層之製程；及

在前述半導體上經由第1閘極氧化膜而形成第1閘極電極之製程。

8. 如申請專利範圍第7項之半導體裝置的製造方法，其中，前述低濃度逆導電型的源極汲極層之形成製程係以離子注入法形成，使之可連接於前述閘極電極下方所形成的半導體層。
9. 如申請專利範圍第7項之半導體裝置的製造方法，其中，前述低濃度逆導電型之源極汲極層的形成製程係至少以離子注入法在前述半導體表層上淺擴張形成，使之可連接於前述閘極電極下方所形成的前述半導體層。

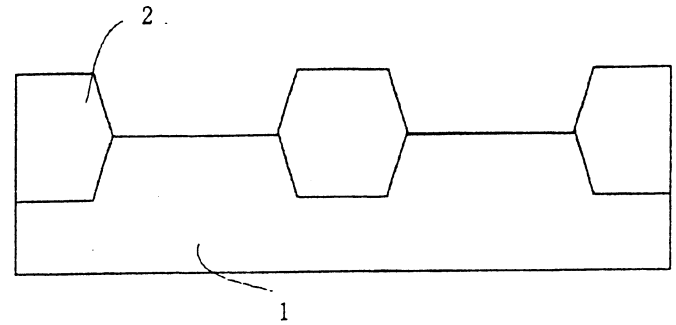
(請先閱讀背面之注意事項再填寫本頁)

裝

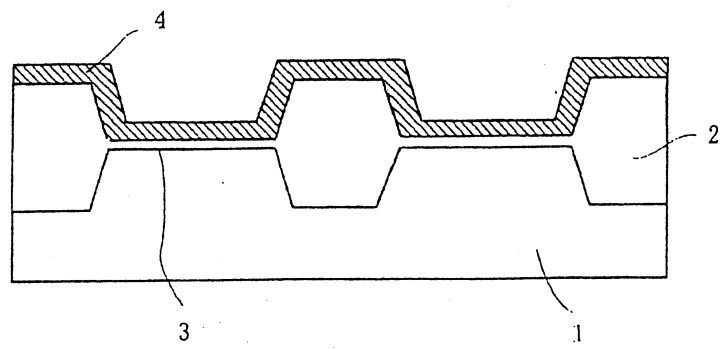
訂

線

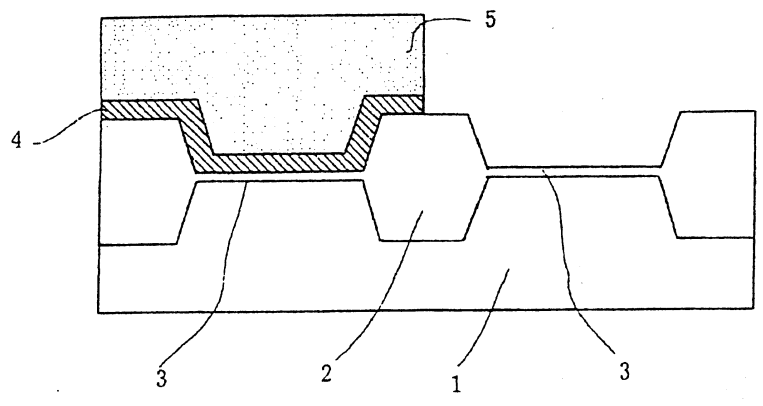
(a)



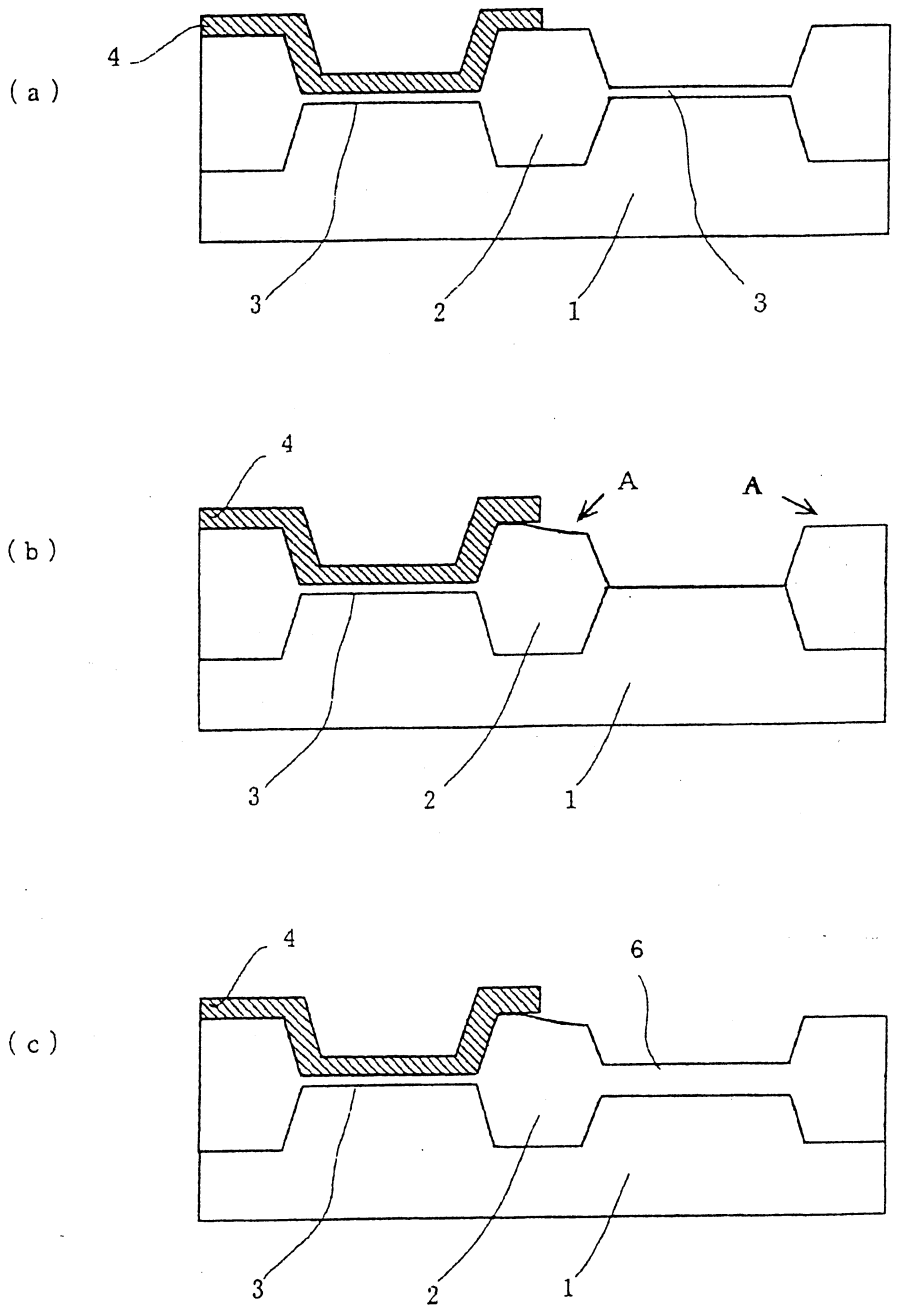
(b)



(c)

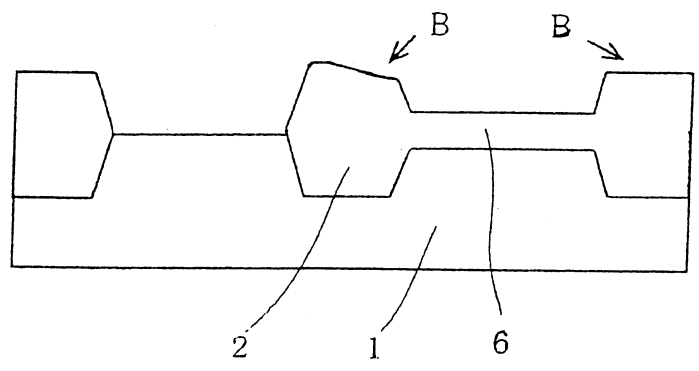


第 1 圖

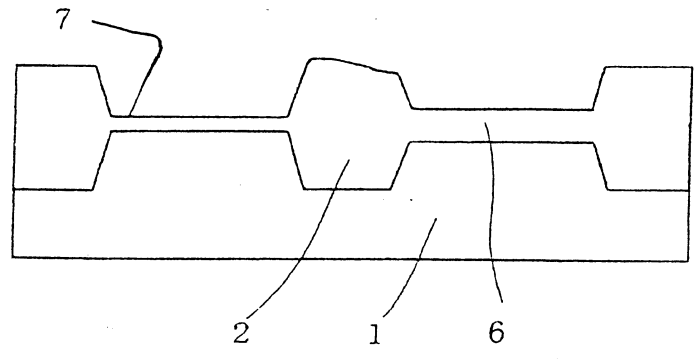


第 2 圖

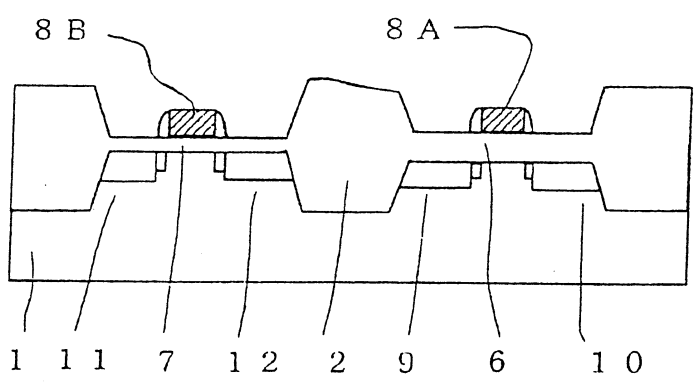
(a)



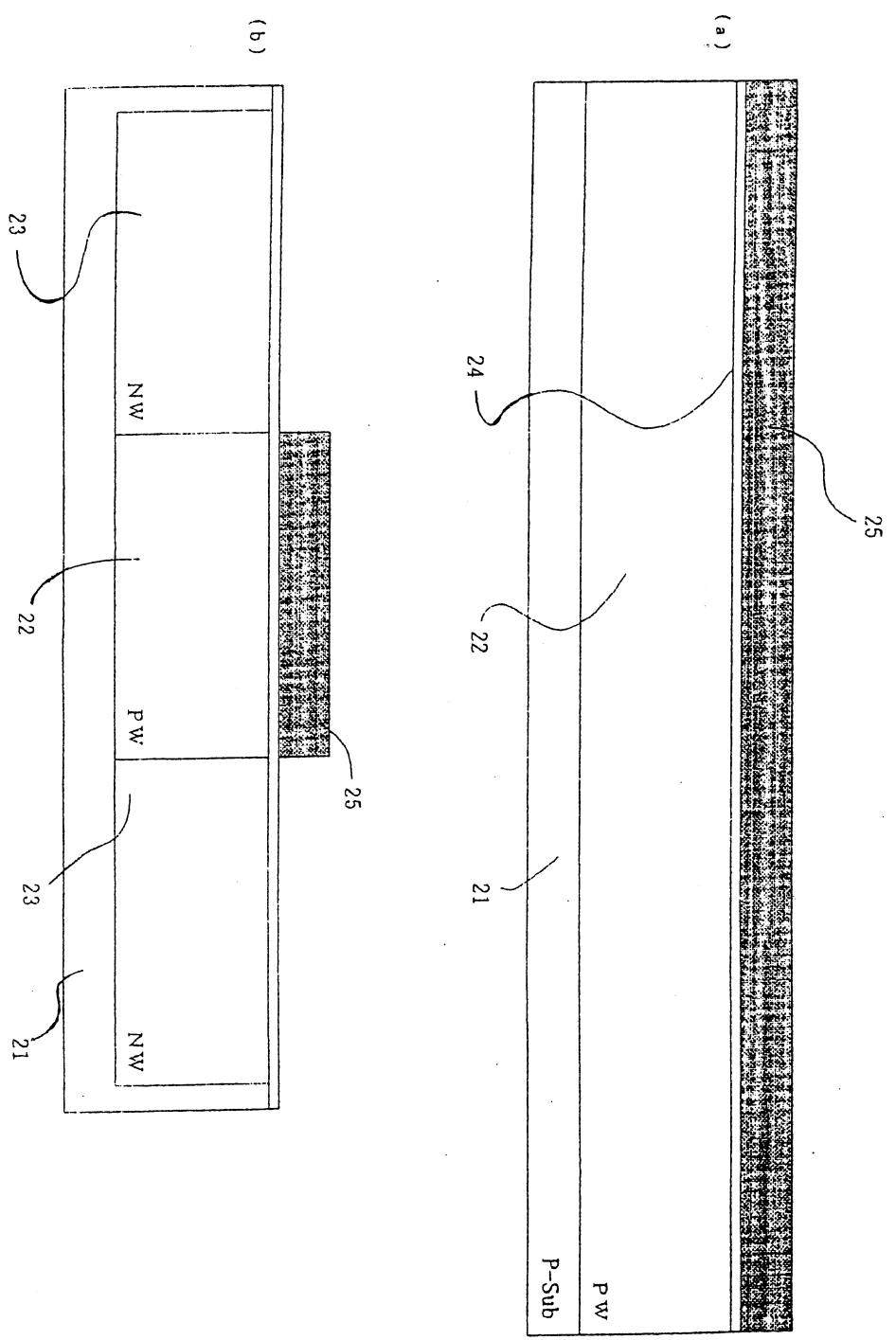
(b)



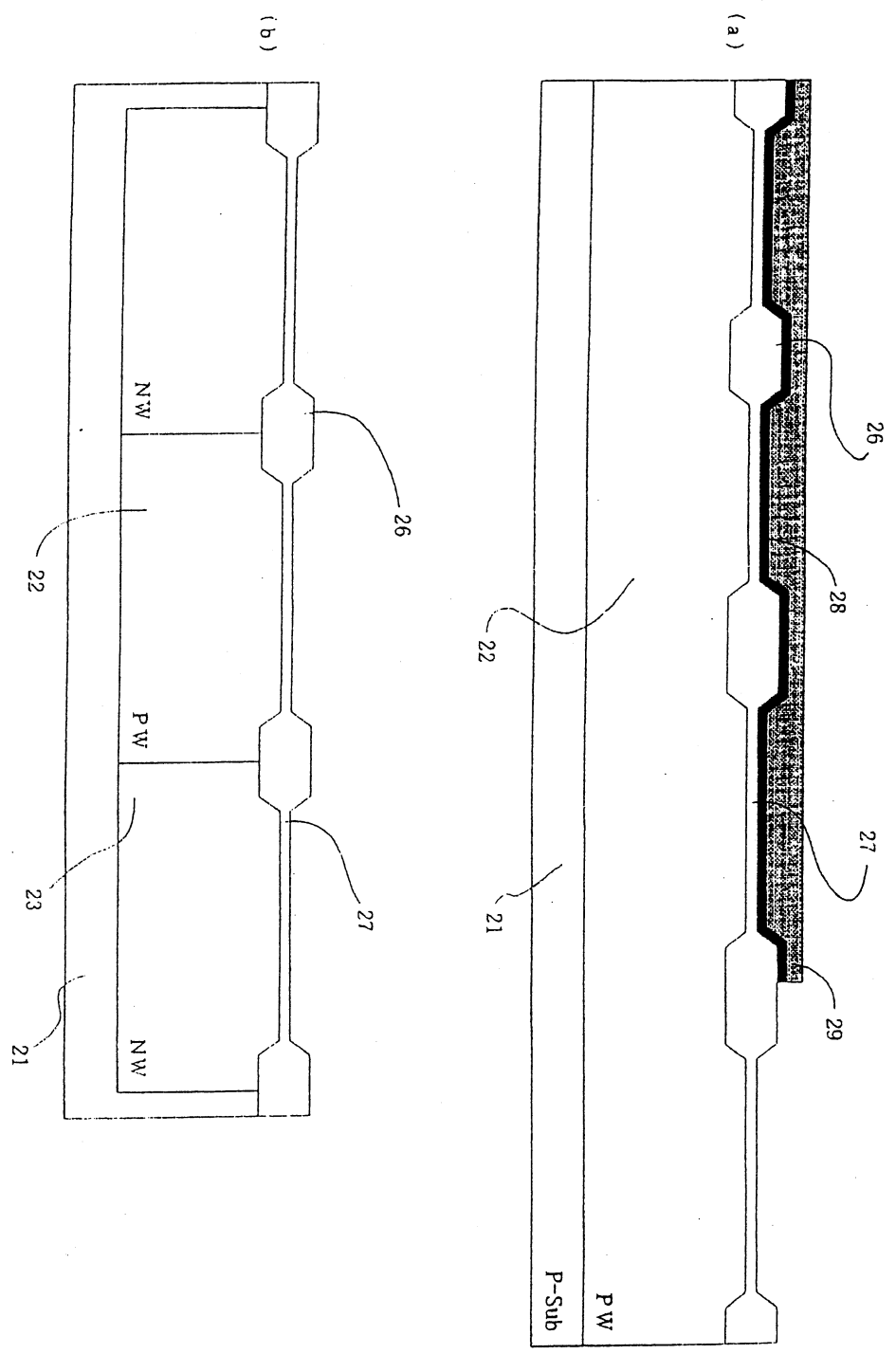
(c)



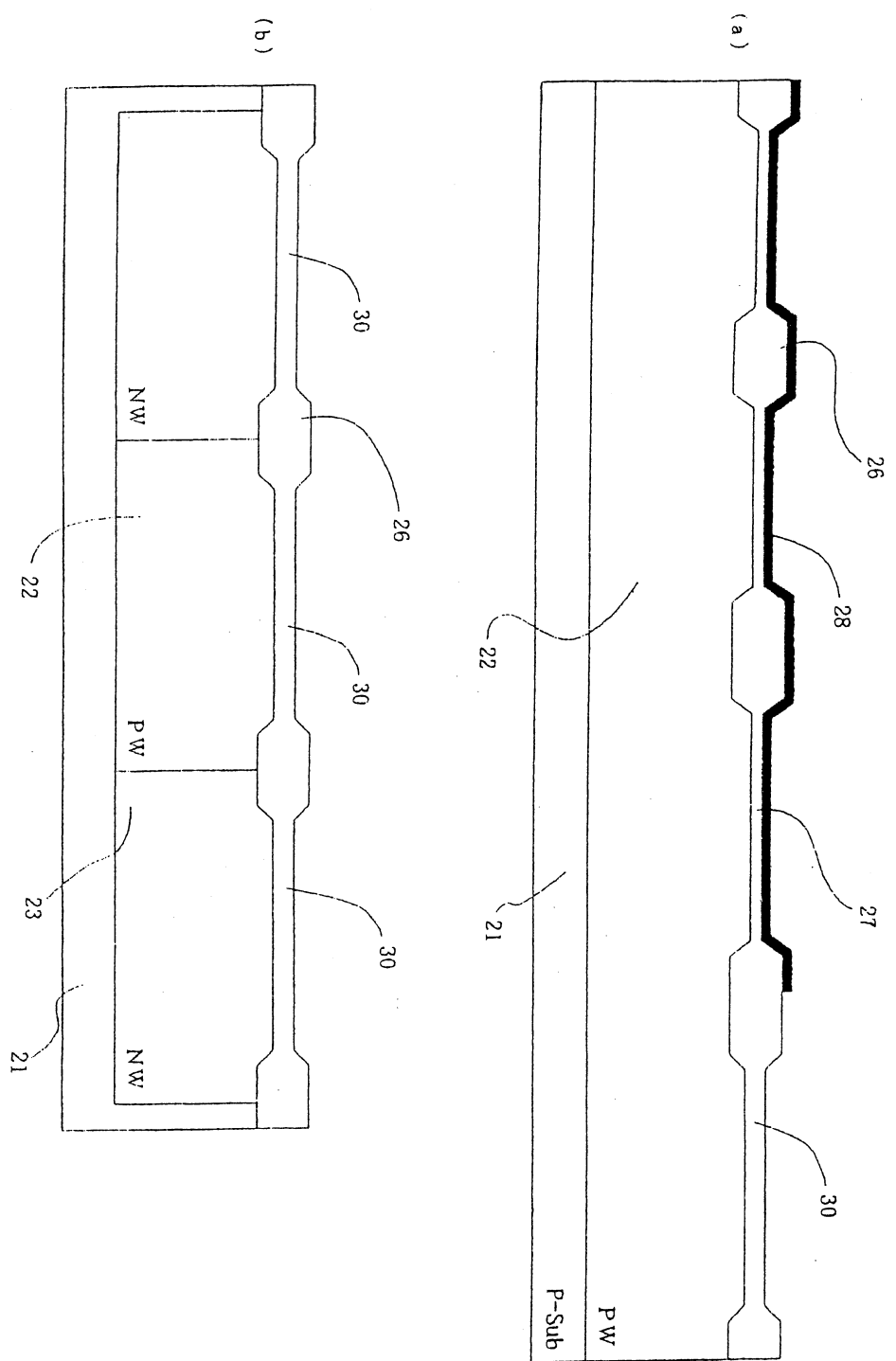
第 3 圖



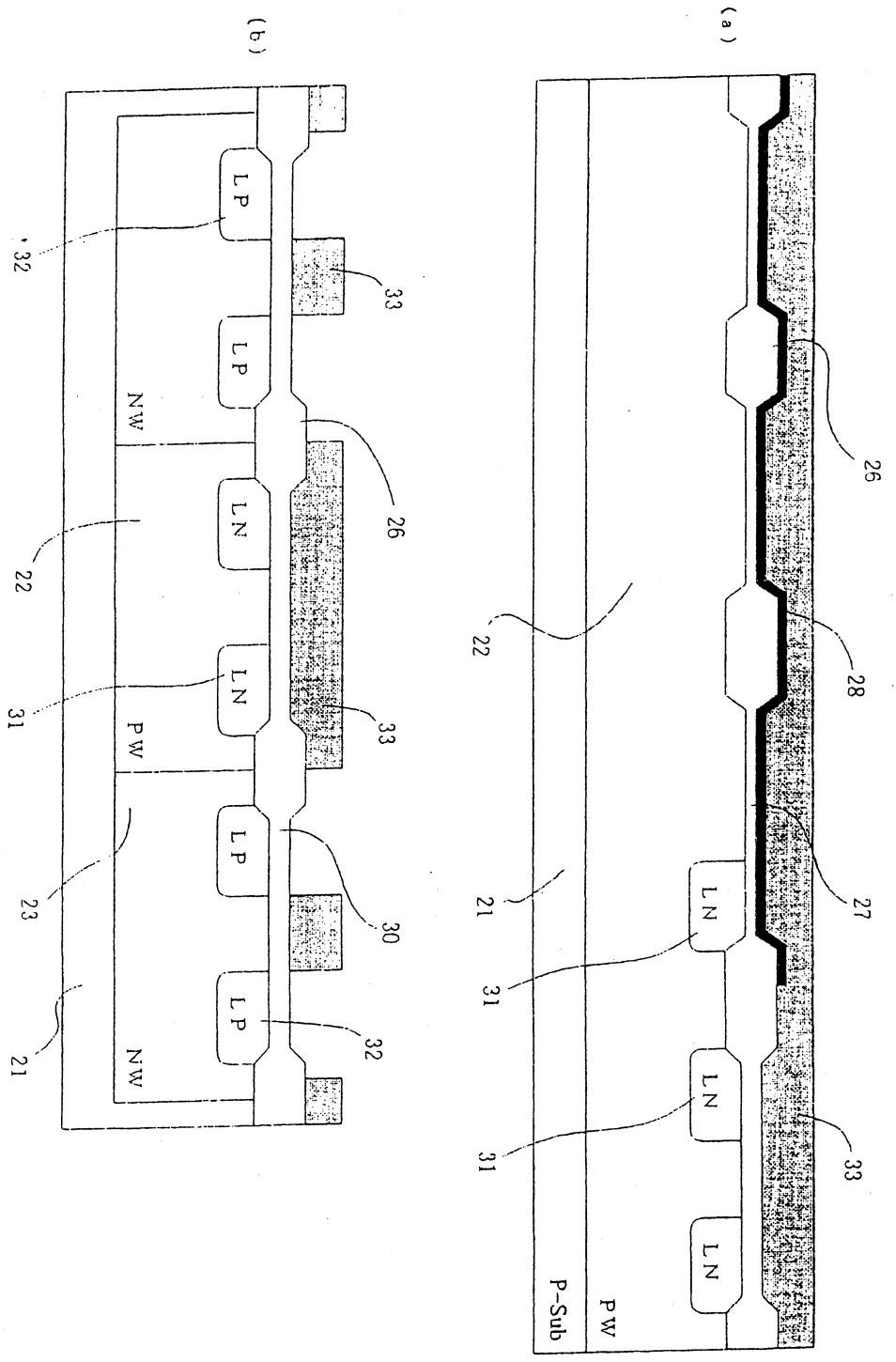
第 4 圖



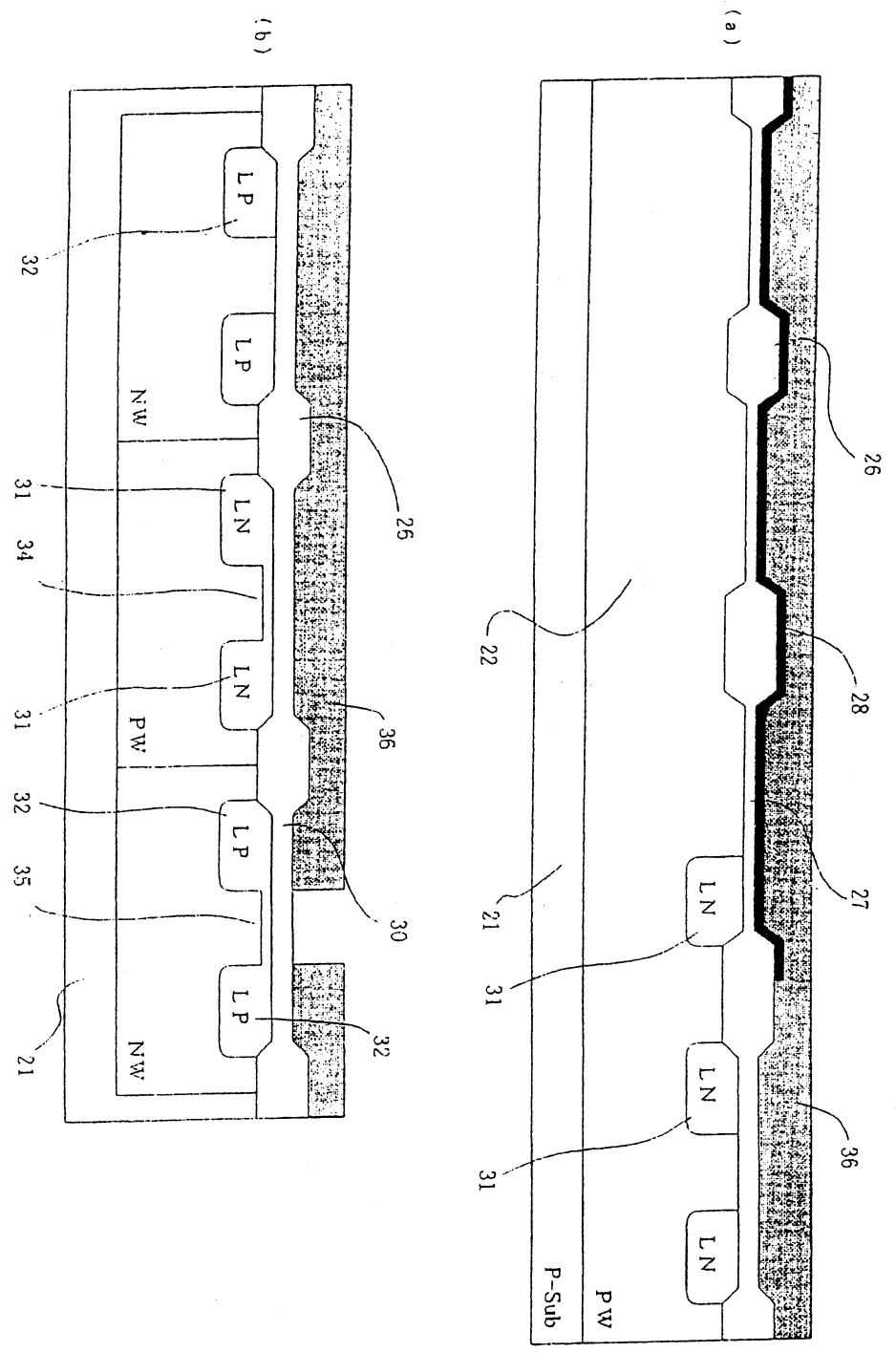
第 5 圖



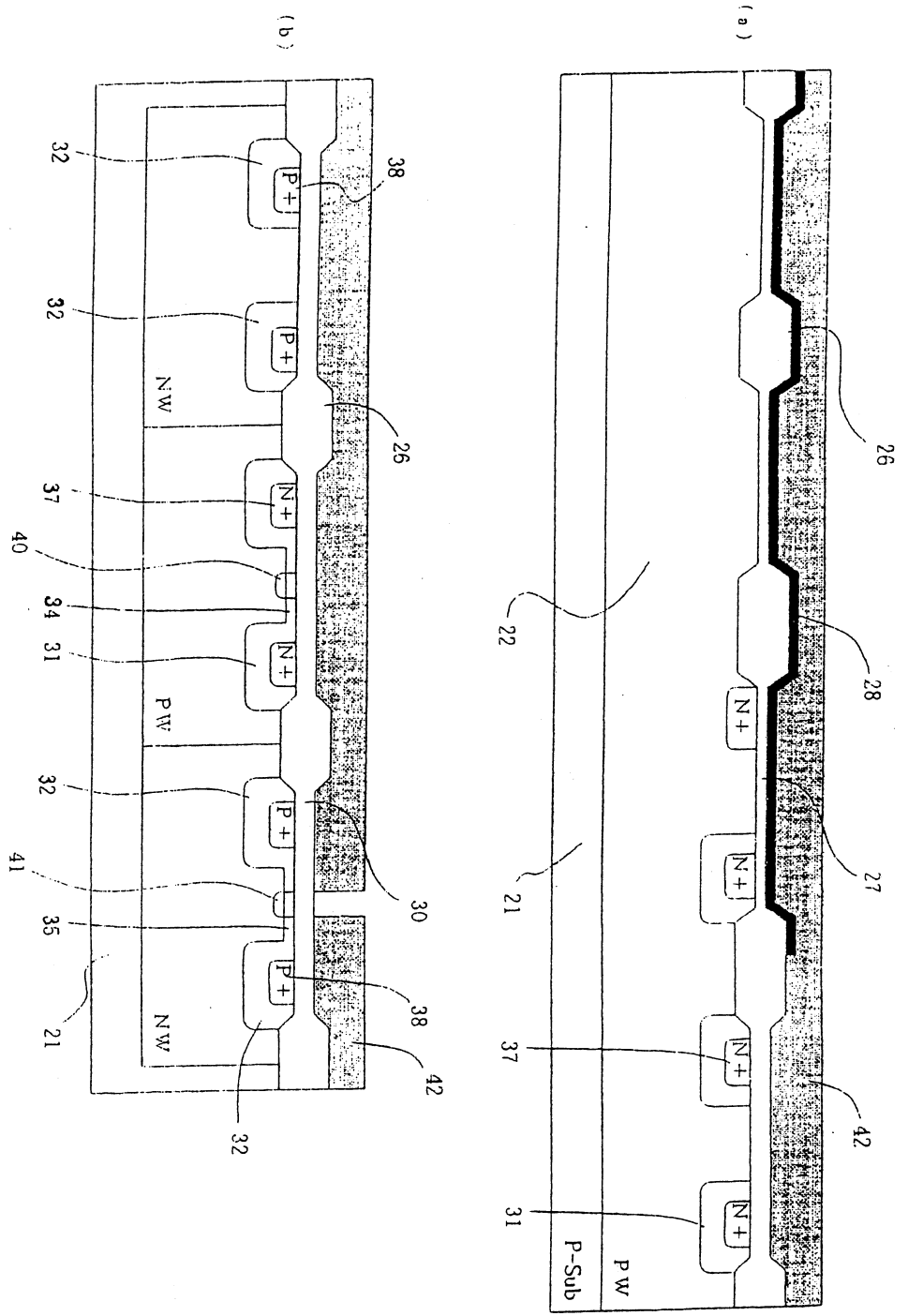
第 6 圖



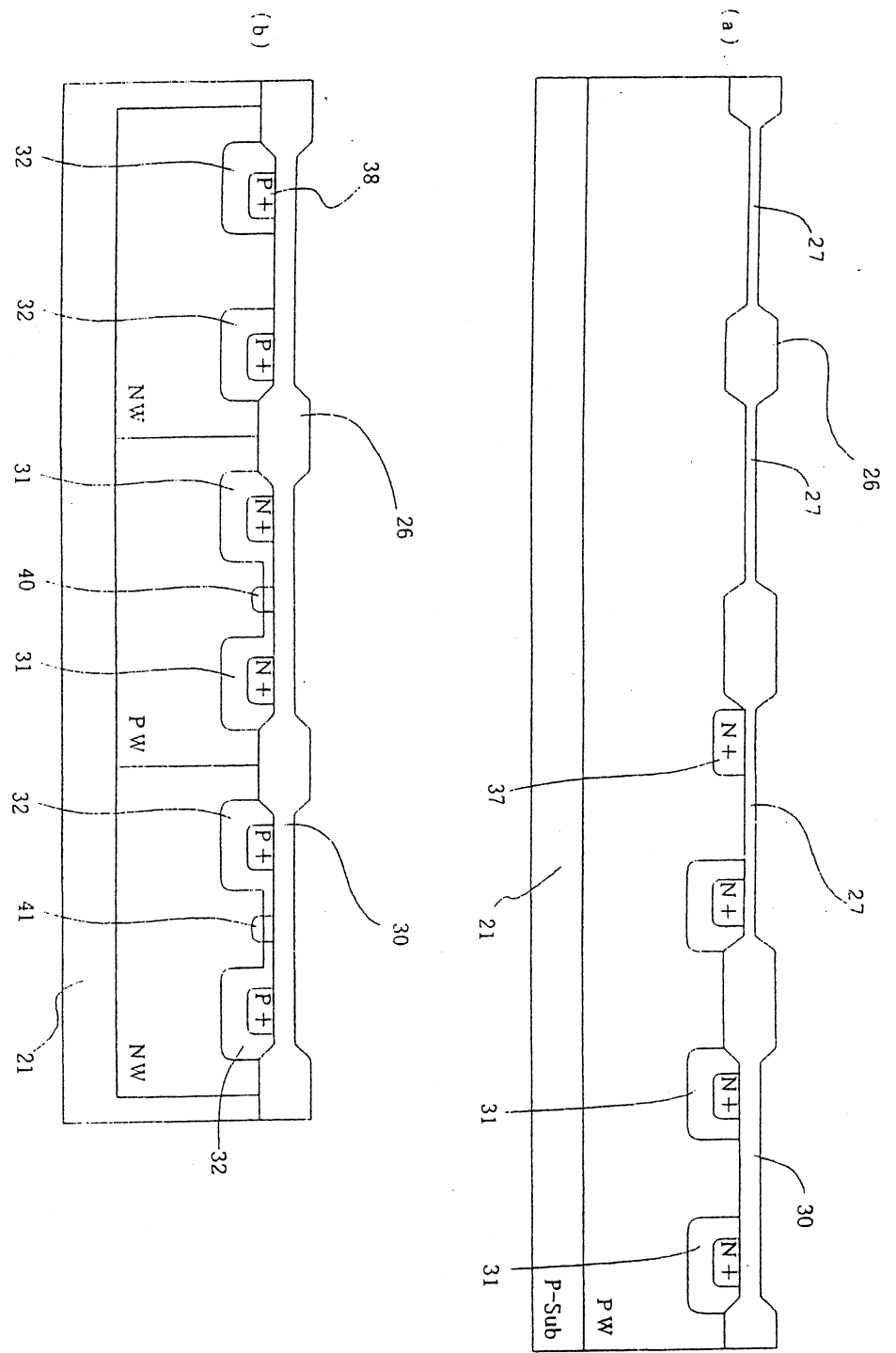
第 7 圖



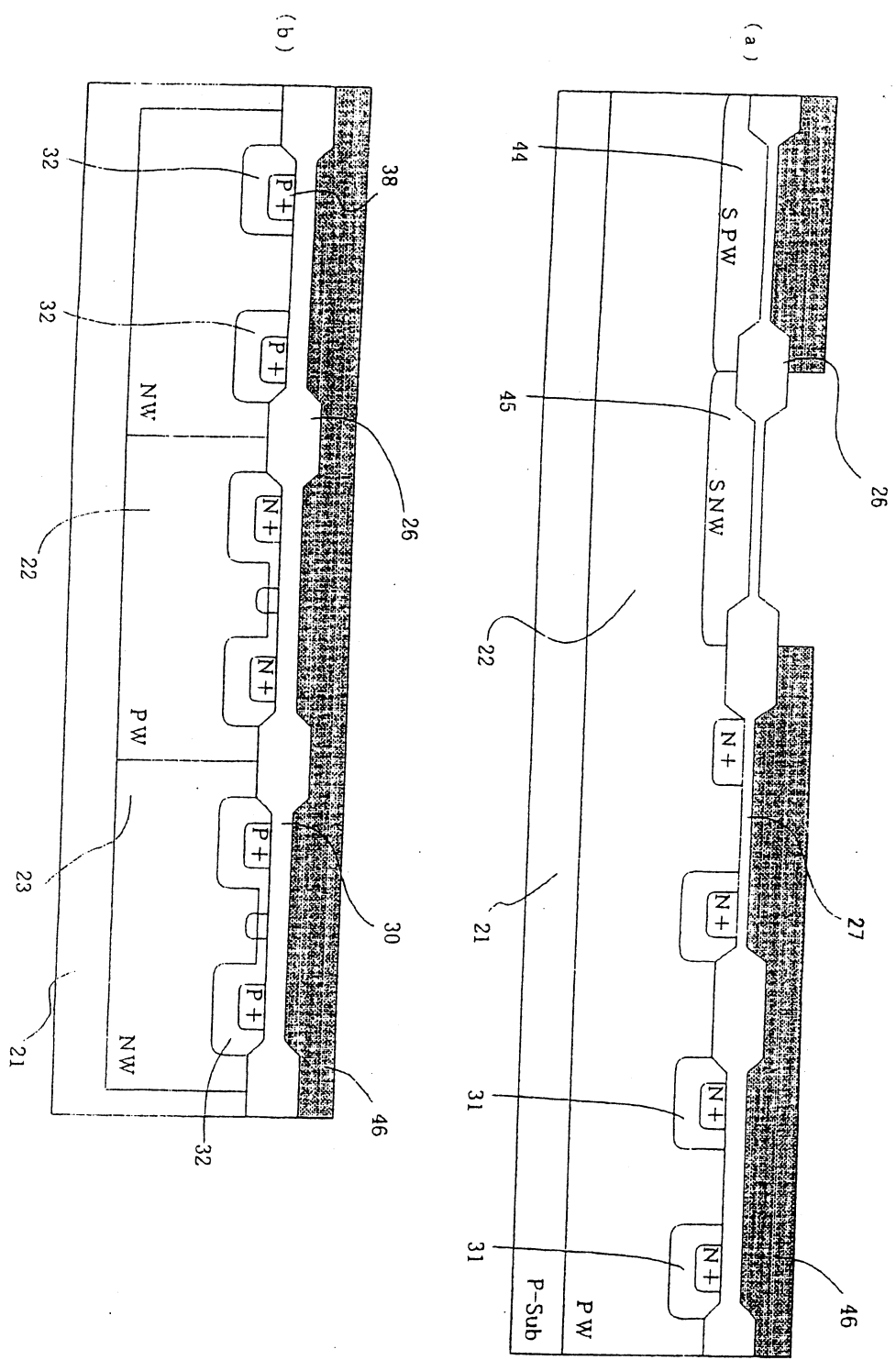
第 8 圖



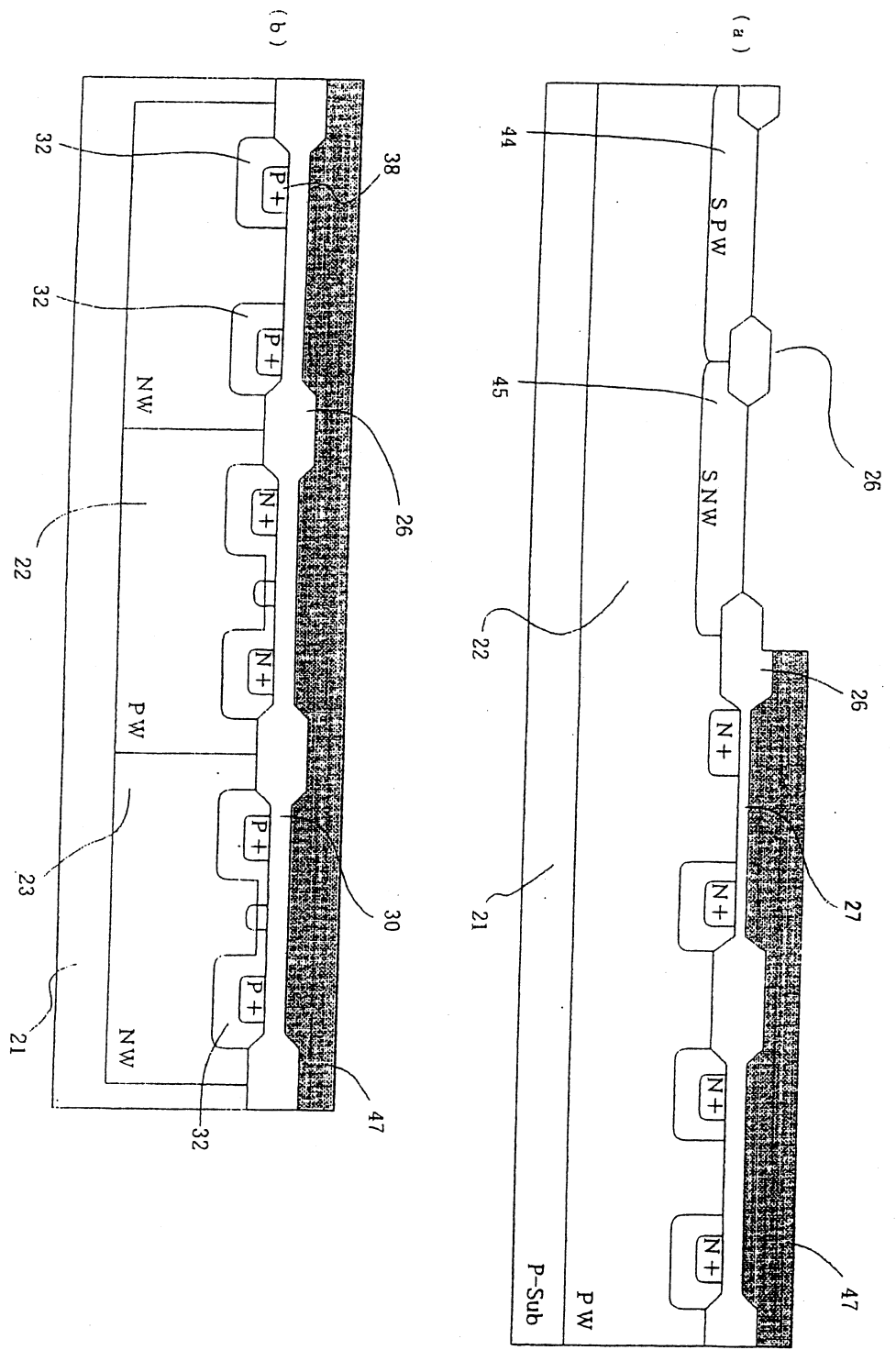
第10圖



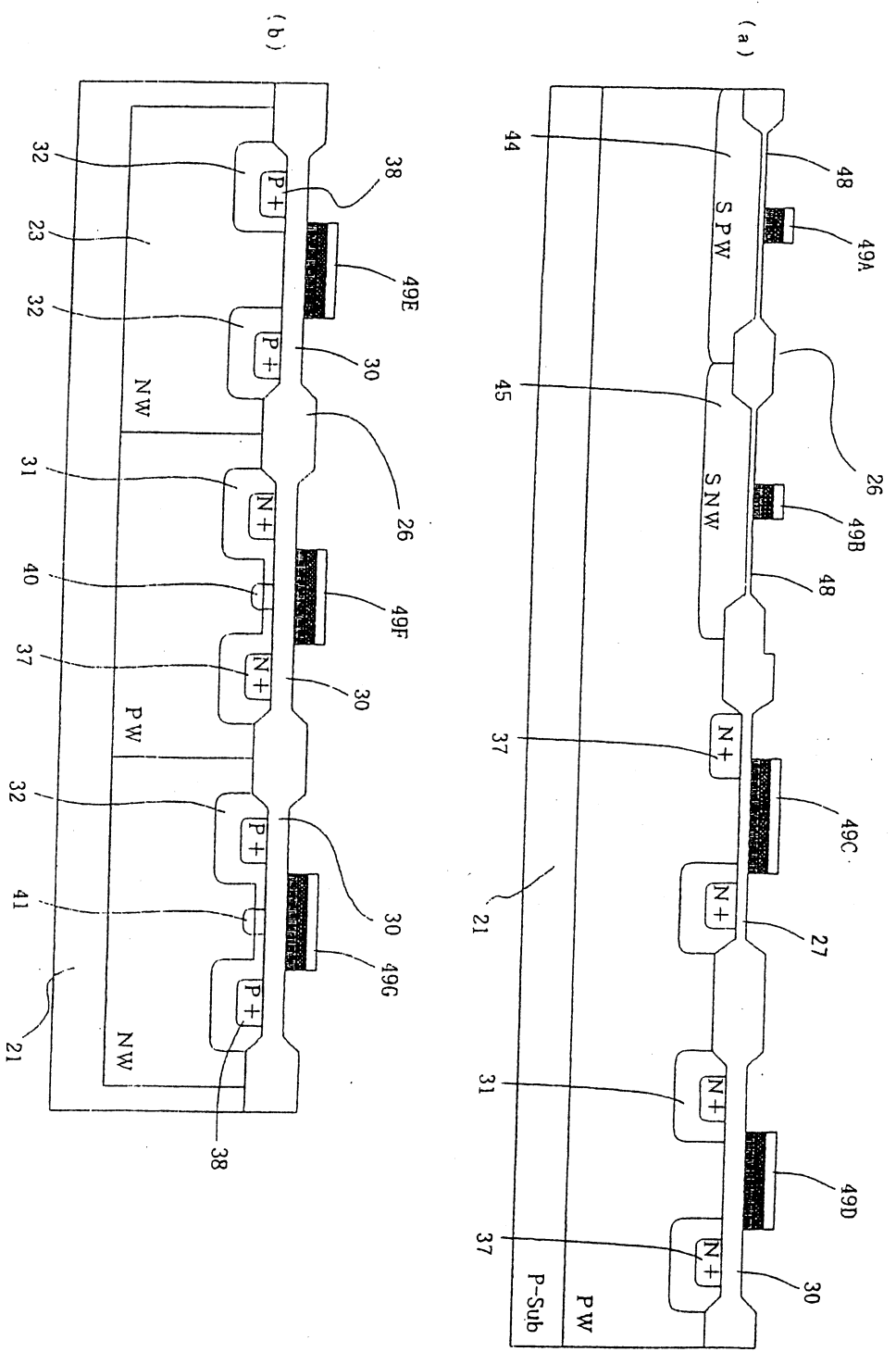
第11圖



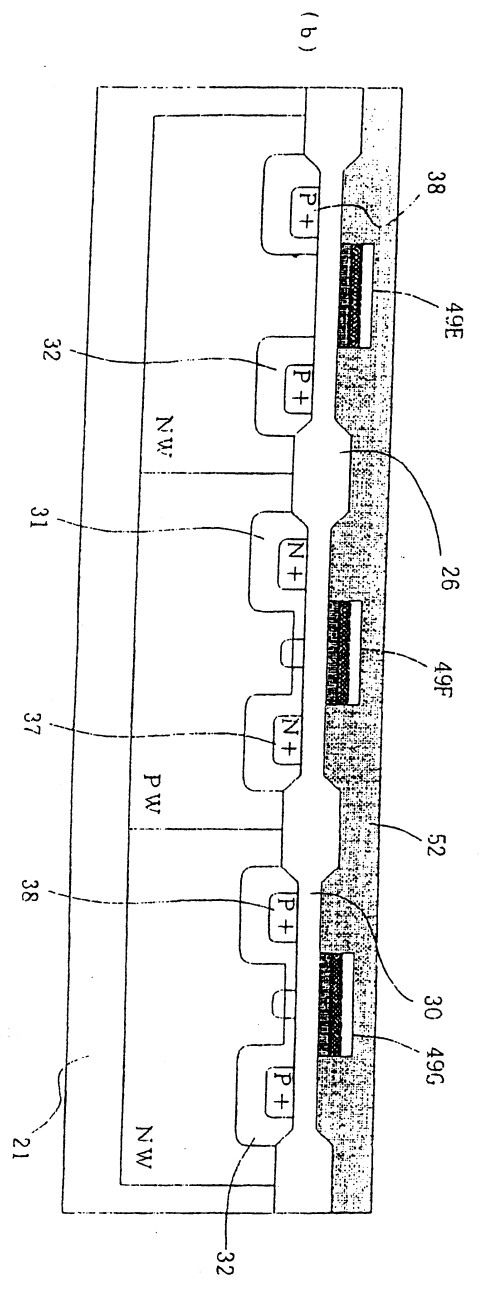
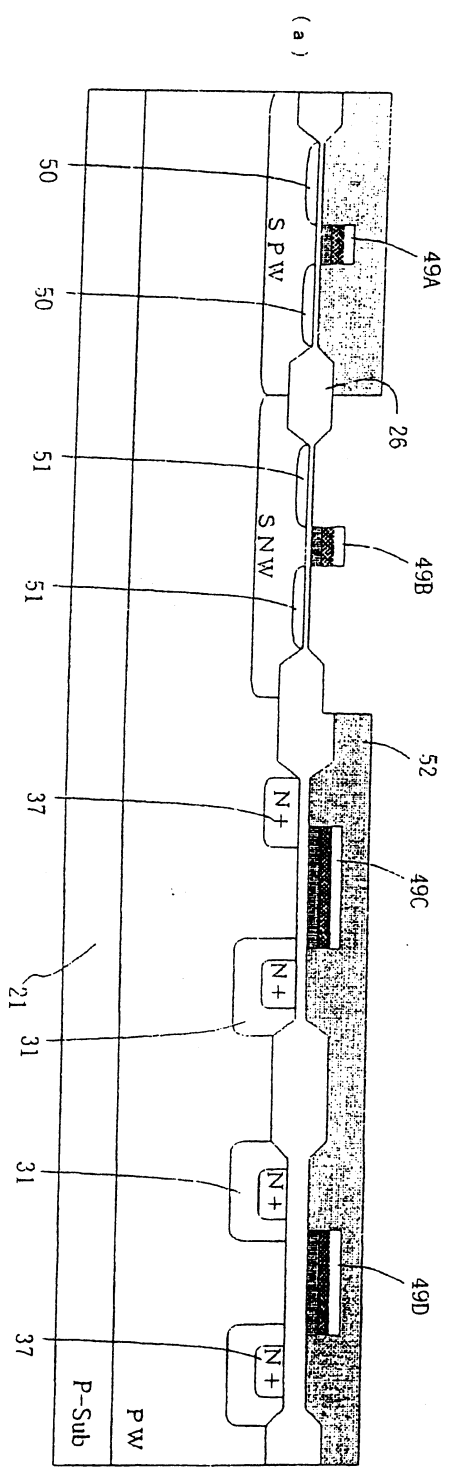
第12圖



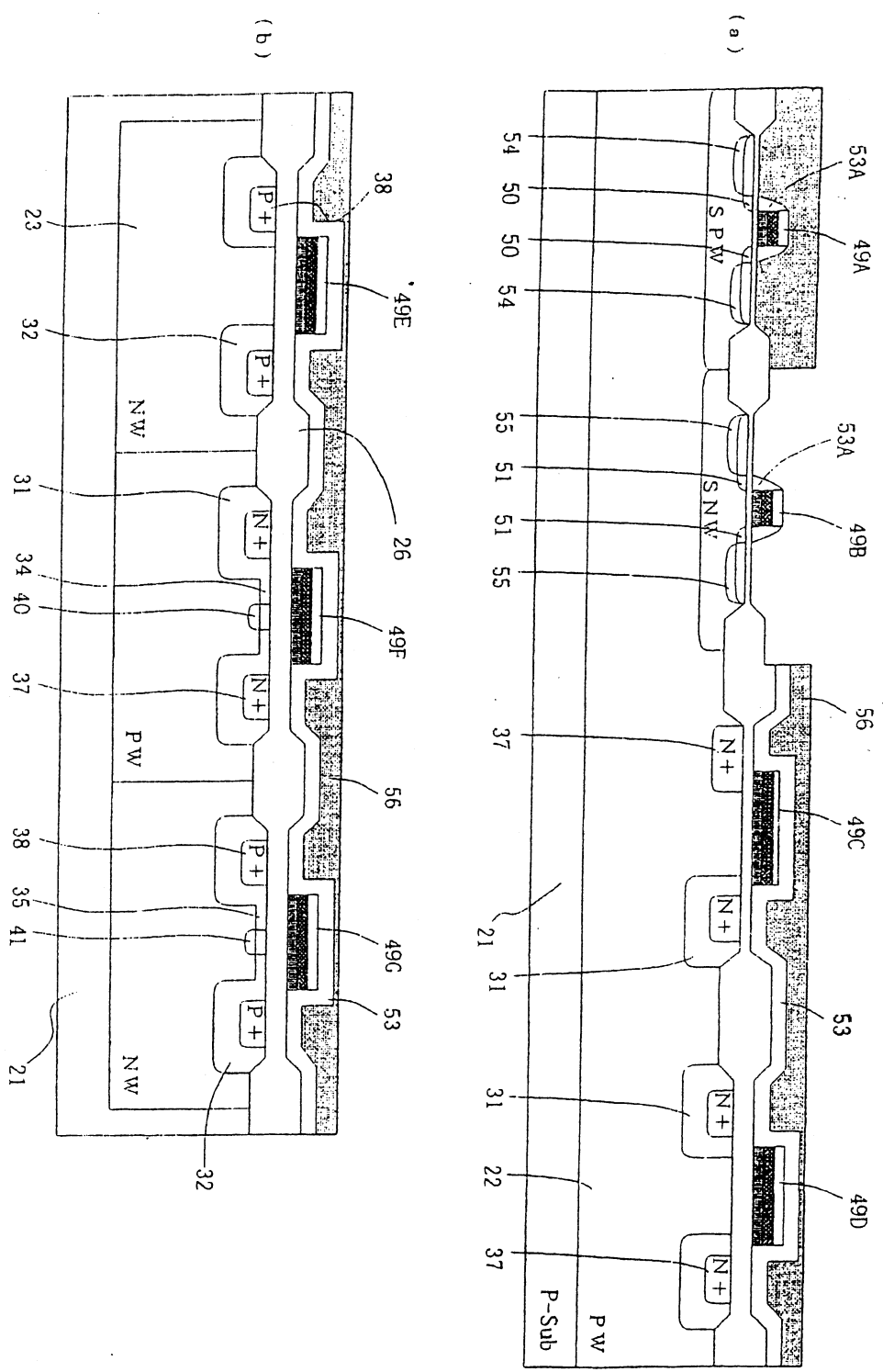
第13圖



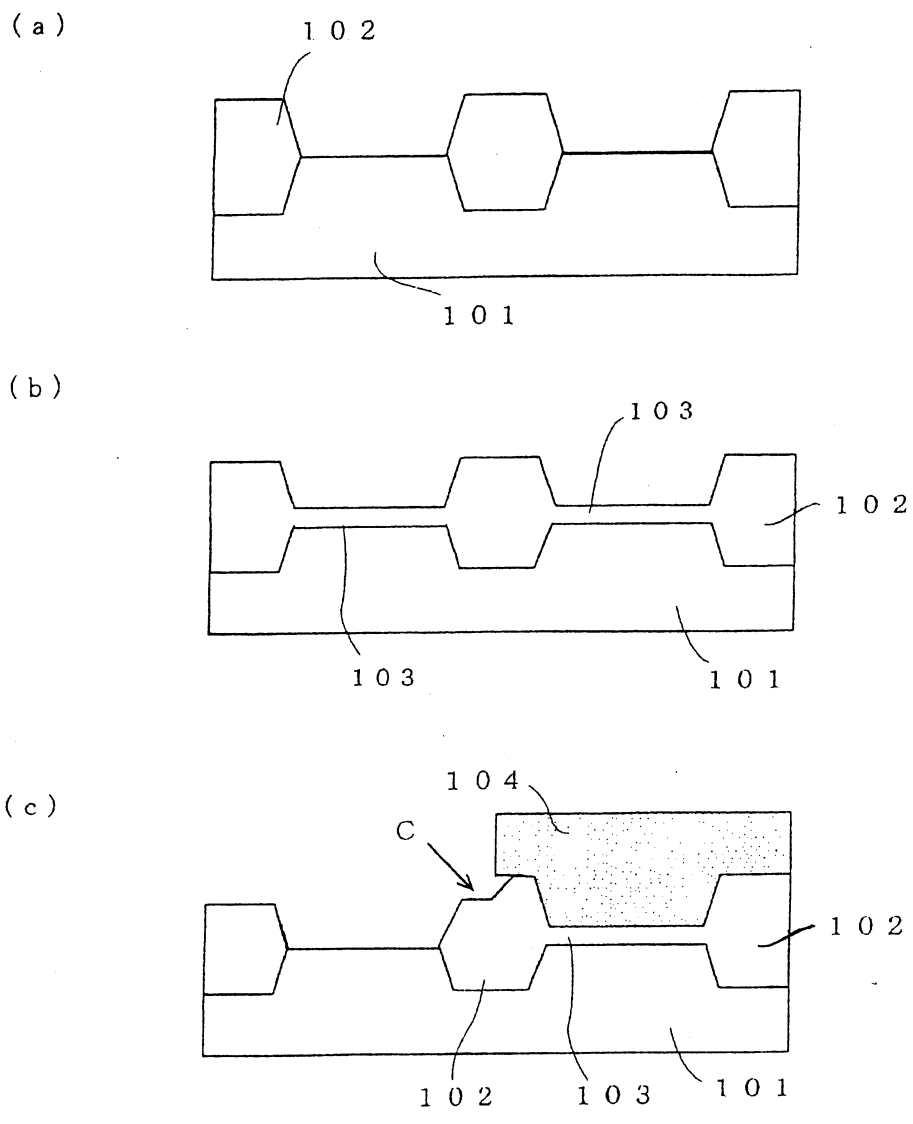
第14圖



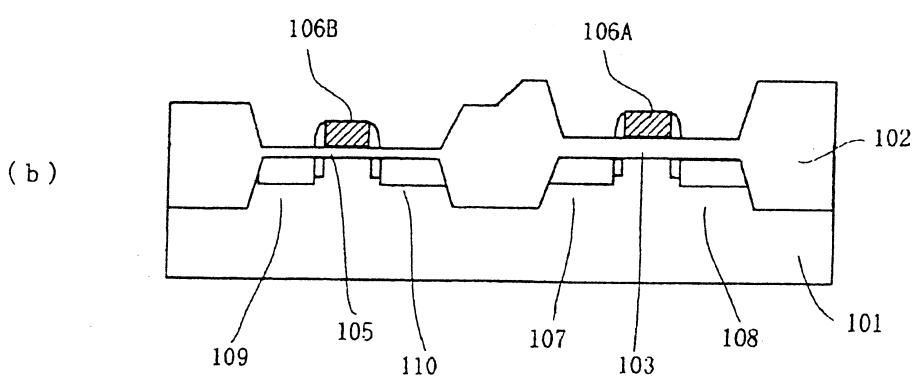
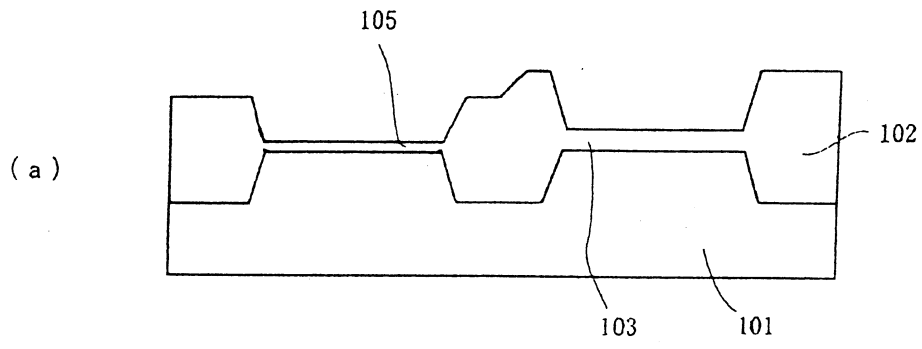
第15圖



第16圖



第17圖



第18圖