(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3542225号
(P3542225)
(45)発行日　平成16年7月14日(2004.7.14)　(24)登録日　平成16年4月9日(2004.4.9)

(51)Int.Cl.[7]　F I
G11C 11/419　G11C 11/34 311

請求項の数 4 (全 14 頁)

(21)出願番号　特願平8-62454
(22)出願日　平成8年3月19日(1996.3.19)
(65)公開番号　特開平9-259589
(43)公開日　平成9年10月3日(1997.10.3)
審査請求日　平成13年6月13日(2001.6.13)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地
(74)代理人　100081938
弁理士　徳若　光政
(74)代理人　100075096
弁理士　作田　康夫
(72)発明者　楠　武志
千葉県茂原市早野３６８１番地
日立デバイスエンジニアリング株式会社内
(72)発明者　南部　博昭
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
複数のワード線と、
一対の第１ビット線と、
一対の第２ビット線と、
前記複数のワード線と前記一対の第１ビット線の交点に配置される複数のメモリセルと、
前記複数のワード線と前記一対の第２ビット線の交点に配置される複数のダミーメモリセルと、
前記一対の第１ビット線に接続される第１センスアンプとを有し、
前記メモリセルと前記ダミーメモリセルとは、２つのインバータと、２つのトランスファーＭＯＳとにより構成され、
前記複数のワード線の一つが選択され、前記第２ビット線に接続されるダミーメモリセルの信号が前記第２ビット線に読み出されることにより前記第１センスアンプを活性化する信号が発生される半導体装置。
【請求項２】
請求項１において、
前記第２ビット線に接続される第２センスアンプとを有し、
前記一対の第２ビット線に接続される前記複数のダミーメモリセルの数は前記一対の第１ビット線に接続される前記複数のメモリセルの数と同じとされ、
前記第２センスアンプの出力により前記第１センスアンプを活性化する信号が発生される

半導体装置。
【請求項３】
請求項１において、
前記一対の第２ビット線に接続されるダミーメモリセルの数は、前記一対の第１ビット線に接続されるメモリセルの数よりも少なく、
前記一対の第２ビット線のいずれか一方からの出力により前記第１センスアンプを活性化する信号が発生される半導体装置。
【請求項４】
複数の第１ワード線と、
第２ワード線と、
第１及び第２ビット線対と、
前記複数の第１ワード線と前記第１ビット線対の交点に接続される複数のメモリセルと、
前記第２ビット線対に接続される複数のダミーメモリセルと、
前記第１ビット線対に接続される第１センスアンプとを有し、
前記メモリセルと前記ダミーメモリセルとは２つのインバータと、２つのトランスファーＭＯＳとにより構成され、
前記第１ビット線対に接続されるメモリセルの数は、前記第２ビット線対に接続されるダミーメモリセルの数と同じであり、
前記第２ワード線は前記複数のダミーメモリセルの一部に接続され、
前記複数の第１ワード線の一つ及び前記第２ワード線が選択され、前記第２ビット線対に接続される複数の前記ダミーメモリセルの信号が前記第２ビット線に読み出されることにより前記第１センスアンプを活性化する信号が発生される半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体メモリに関わるものであり、特にセンスアンプに必要なタイミングマージンを低減し、メモリを高速化するのに有効な回路技術に関する。
【０００２】
【従来の技術】
一般に、半導体メモリでは、メモリセルから読みだされたデータを増幅するセンスアンプを活性化させるタイミングは、メモリセルからデータが読みだされるタイミングの後に設定される。この理由は、メモリセルからデータが読み出される前にセンスアンプが活性化されると、センスアンプ自体のオフセット電圧などにより、出力端子に誤ったデータが出力されてしまうためである。メモリセルからデータが読みだされるタイミングは、温度、電源電圧、プロセス等のバラツキにより変動するため、センスアンプ活性化タイミングは、メモリセルのデータ読み出しタイミングから一定のマージンを持たせて設定されている。
【０００３】
このマージンの設定方法の従来例として、ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）では、例えば図２に示すような、ダミービット線ＤＢＬを設け、その信号に基づいてセンスアンプ活性化信号Ｓ（ＡＣＴ）を発生する構成が用いられている。なお、センスアンプ活性化信号Ｓ（ＡＣＴ）の（ＡＣＴ）は、図中ではＳの横に小さめの文字でＡＣＴと直接記載している。以下、明細書中のこの記載と図中の記号の関係はここで述べた関係があるものとする。このような構成は、例えば、特開平７－９３９７２号公報に記載されている。
【０００４】
また、図３は、この従来例の動作波形を示している。この回路は、ｎＭＯＳトランジスタＱ５のソースにキャパシタＣ１が、ｎＭＯＳトランジスタＱ６のソースにキャパシタＣ２が接続されて構成されているメモリセルが配置され、ｎＭＯＳトランジスタＱ５とＱ６のゲートにはそれぞれワード線ＷＬ１，ＷＬ３が、ドレインにはビット線ＢＬが接続されて

いる。また、ｎＭＯＳトランジスタＱ１～Ｑ３は、ドレインがＶＤＤに、ソースがダミービット線ＤＢＬに、ゲートがワード線ＷＬ１からＷＬ３にそれぞれ接続され、ｎＭＯＳトランジスタＱ４は、ソースがグランドに、ドレインがダミービット線ＤＢＬに、ゲートはチップ活性化信号Ｔ（ＡＣＴ）に接続されている構成になっている。コンパレータＣＭＰには、ダミービット線ＤＢＬと、基準電位Ｖ（ＢＳ）が入力され、センスアンプ活性化信号Ｓ（ＡＣＴ）を出力している。

【０００５】

この構成において、最初、チップが活性化されていないときは、チップ活性化信号Ｔ（ＡＣＴ）がＨレベルになっており、ＭＯＳトランジスタＱ４が導通し、ダミービット線ＤＢＬはＬレベルに保持されている。チップが活性化され、Ｔ（ＡＣＴ）がＬレベルになるとＭＯＳトランジスタＱ４がＯＦＦし、ダミービット線はＬレベルのままフローティング状態になる。

【０００６】

ここで、ワード線の内の１本、例えばＷＬ１が選択され、その電位がＨレベルになると、トランジスタＱ５が導通、つまり、メモリセルが選択され、ビット線ＢＬにはメモリセルのデータに応じた信号が出力され始める。この時、ＭＯＳトランジスタＱ１も導通し、ダミービット線はＱ１によりＨレベルに引き上げられる。このダミービット線の電位Ｖ（ＤＢＬ）が、基準電位であるＶ（ＢＳ）と同じになったときに、コンパレータＣＭＰは、センスアンプ活性化信号を選択状態に切り換える。以上の動作より、センスアンプ活性化信号のタイミングは、ビット線にデータが出力され始めるタイミングに補償される。

【０００７】

【発明が解決しようとする課題】

しかし、この方法をＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）に適用しようとすると、次のような問題が生じる。

【０００８】

従来例では、ＭＯＳトランジスタＱ１とＱ５のゲート長、ゲート幅の関係については述べられていない。従って、プロセスバラツキ等により、Ｑ１とＱ５の特性が独立にばらつく可能性がある。例えば、Ｑ１のゲート長がＱ５のゲート長よりも短い場合に、ゲート長が小さくなるようにばらつくと、Ｑ１のコンダクタンスの増加量は、Ｑ５のコンダクタンスの増加量より大きくなる。従って、ＤＢＬの放電時間が小さくなるのに対し、ＢＬの放電時間はそれほど小さくならない。すなわち、従来例では、ＢＬとＤＢＬの充放電時間の補償ができていなかった。

【０００９】

ところで、ＳＲＡＭでは、上記ビット線ＢＬ、ダミービット線ＤＢＬの充放電時間がアクセス時間に占める割合が大きいため（例えば、１９９５年電子情報通信学会ソサイエティ大会、Ｃ－５１４参照）、この充放電時間のバラツキがセンスアンプ活性化タイミングに与える影響が大きい。

【００１０】

本発明の第１の目的は、ダミービット線の充放電時間がビット線の充放電時間を補償するようなセンスアンプ活性化信号を発生させる回路構成を提供するものである。

【００１１】

本発明の第２の目的は、ダミービット線の充放電時間がビット線の充放電時間を補償するようにした上記回路の遅延時間のバラツキを低減するために、ダミービット線の信号振幅をビット線の信号振幅より大きくし、このダミービット線の信号から直接、センスアンプ活性化信号を発生させるようにした回路構成を提供するものである。

【００１２】

【課題を解決するための手段】

上記目的を達成する手段として、本発明が明示している代表的なものを以下に示す。

【００１３】

（１）メモリセルから読みだされたデータを増幅するセンスアンプを活性化する信号を、

ダミービット線の信号に基づいて発生させる構成の半導体メモリに於いて、上記ダミービット線にダミーメモリセルを接続する。

【００１４】

（２）メモリセルから読みだされたデータを増幅するセンスアンプを活性化する信号を、ダミービット線の信号に基づいて発生させる構成の半導体メモリに於いて、上記ダミービット線にダミーメモリセルを接続し、ダミービット線に接続されるダミーメモリセルの個数を、ビット線に接続されるメモリセルの個数よりも少なくする。

【００１５】

（３）メモリセルから読みだされたデータを増幅するセンスアンプを活性化する信号を、ダミービット線の信号に基づいて発生させる構成の半導体メモリに於いて、上記ダミービット線にダミーメモリセルを接続し、複数のダミーメモリセルを同時に駆動する。

【００１６】

上記手段（１）で、ダミービット線にダミーメモリセルを接続することにより、ダミービット線の寄生容量と、この充放電電流が、ビット線の寄生容量と、この充放電電流と同じになり、ダミービット線の充放電時間がビット線の充放電時間と同じ値になるように補償される。すなわち、センスアンプ活性化信号のタイミングをビット線の充放電時間の変動に追従させ、補償することができる。

【００１７】

また、上記手段（２）で、ダミービット線に接続するダミーメモリセルの個数を、ビット線に接続されたメモリセルの個数よりも小さくすることにより、ダミービット線の寄生容量はビット線の寄生容量よりも小さくなる。これより、ダミービット線の信号振幅をビット線の信号振幅よりも大きくすることができる。このため、ダミービット線の信号から直接、センスアンプ活性化信号を発生させることができ、上記手段（１）で必要となる比較的、遅延時間のバラツキの大きな回路を不要にすることができる。

【００１８】

また、上記手段（３）で、複数のダミーメモリセルを同時に駆動することにより、ダミービット線の充放電電流は、ビット線の充放電電流よりも大きくなる。これより、ダミービット線の信号振幅をビット線の信号振幅よりも大きくすることができる。このため、上記手段（２）と同様にダミービット線の信号から直接、センスアンプ活性化信号を発生させることができ、上記手段（１）で必要となる比較的、遅延時間のバラツキの大きな回路を不要にすることができる。

【００１９】

【発明の実施の形態】

図１は、本発明の第１の実施の形態であり、ビット線の充放電時間を補償したセンスアンプ活性化信号を発生させる回路構成を示している。また、図５には、この実施の形態１の動作波形を示している。この回路は、縦方向にビット線ＢＬ、ＢＲが配置され、横方向にはワード線（Ｗ１～Ｗｎ）が配置され、複数のメモリセル（ＭＣ１～ＭＣｎ）がそれぞれの交点に配置されている。また、さらに縦方向にダミービット線ＤＢＬ、ＤＢＲを配置し、ワード線（Ｗ１～Ｗｎ）とのそれぞれの交点にメモリセルＭＣ１と同じ構造とサイズのダミーメモリセル（ＭＤ１～ＭＤｎ）を配置している。

【００２０】

また、ダミーセンスアンプＤＳＡには、ダミービット線ＤＢＬ、ＤＢＲが入力されており、信号ＳＡＤを出力している。インバータＩＮＶは、この信号ＳＡＤを入力し、センスアンプ活性化信号ＳＣを出力する。ダミービット線にダミーメモリセルを接続する、つまり、ダミービット線の駆動にダミーメモリセルを使用することにより、ダミービット線の寄生容量に蓄えられている電荷を充放電する充放電電流は、ビット線の充放電電流と同じ値に補償される。

【００２１】

また、ダミービット線に接続されたダミーメモリセルの数が、ビット線に接続されたメモリセルの数と同じなので、ダミービット線の寄生容量とビット線の寄生容量は同じになる

。このため、ダミービット線の充放電時間、すなわち遅延時間はビット線の充放電時間と同じ値に補償される。

【００２２】

このダミービット線の信号に基づいてセンスアンプ活性化信号を発生させることにより、センスアンプ活性化信号はビット線の充放電時間の変動を補償できるようになる。

【００２３】

ところで、一般のＳＲＡＭではビット線の信号振幅は数１０ｍＶ～数１００ｍＶと電源電圧に比べ非常に小さいため、このダミービット線の信号からダミーセンスアンプＤＳＡを介さずに、直接センスアンプ活性化信号ＳＣを発生させることは非常に困難である。このため、この回路では、ダミービット線ＤＢＬ、ＤＢＲの信号をダミーセンスアンプＤＳＡにより増幅し、その出力信号ＳＡＤによりセンスアンプ活性化信号ＳＣを発生させている。しかし、ダミーセンスアンプはオフセット電圧のバラツキなどによる遅延時間のバラツキが大きく、センスアンプ活性化信号のバラツキを増加、つまり、必要なタイミングマージンを増加させてしまう。

【００２４】

図４は、本発明の第２の実施の形態であり、ダミービット線の信号振幅をビット線よりも大きくし、ダミービット線の信号により直接、センスアンプ活性化信号を発生させる回路構成を示している。また、図６には、この実施の形態２の動作波形を示している。この回路は、複数のメモリセル（ＭＣ１～ＭＣｎ）が配置され、縦方向にビット線ＢＬ、ＢＲが配置され、横方向にはワード線（Ｗ１～Ｗｎ）がそれぞれ配置されている。

【００２５】

また、メモリセルＭＣ１と同じ構造とサイズのダミーメモリセル（ＭＤ１～ＭＤｍ）を配置し、その縦方向にはダミービット線ＤＢＬ、ＤＢＲを配置し、横方向にはダミーワード線（ＤＷ１～ＤＷｍ）を配置している。インバータＩＮＶは、ダミービット線ＤＢＬを入力し、センスアンプ活性化信号ＳＣを出力する。また、ダミーワード線には、ワード線の寄生容量を補償するようにダミーメモリセル（ＤＤ１～ＤＤｍ）が接続されている。このダミーワード線は、ワード線の信号と同期して動作させる。

【００２６】

この回路では実施の形態１と同様にダミービット線をダミーメモリセルで駆動するため、ダミービット線の充放電電流Ｉ（ＢＬＤ）は、ビット線の充放電電流Ｉ（ＢＬ）と同じ値に補償される。

【００２７】

Ｉ（ＢＬＤ）＝Ｉ（ＢＬ）　　－－－（１）

また、ダミービット線の寄生容量Ｃ（ＤＢＬ）は、接続するダミーメモリセルの数をｍ、ビット線に接続されるメモリセルの数をｎ、ビット線の寄生容量Ｃ（ＢＬ）とすると、

Ｃ（ＤＢＬ）＝Ｃ（ＢＬ）×ｍ／ｎ　　－－－（２）

となる。また、メモリセルが選択されてから、ビット線の信号振幅Ｖ（ｓｉｇ）がＶ（ＢＬ）になるまでの遅延時間Ｔｐｄ（Ｖ（ＢＬ））は、寄生容量と充放電電流から、

Ｔｐｄ（Ｖ（ＢＬ））＝（Ｃ（ＢＬ）×Ｖ（ＢＬ））／Ｉ（ＢＬ）　　－－－（３）

の式で表される。同様に、ダミービット線の遅延時間ＴｐｄＤは、

ＴｐｄＤ（Ｖ（ＢＬＤ））＝（Ｃ（ＢＬＤ）×Ｖ（ＢＬＤ））／Ｉ（ＢＬＤ）　　－－－（４）

＝（Ｃ（ＢＬ）×Ｖ（ＢＬＤ）×ｍ／ｎ）／Ｉ（ＢＬ）　－－－（５）の式で表される。これらの式より、ビット線信号振幅Ｖ（ｓｉｇ）がＶ（ＢＬ）になる時の遅延時間が、ダミービット線の信号振幅Ｖ（ｓｉｇＤ）がＶ（ＢＬ）のｎ／ｍ倍になる時の遅延時間と等しくなる関係式（６）が導かれる。しかも、この関係は、温度、電源電圧、プロセス等のバラツキに影響されないことは明らかである。

【００２８】

ＴｐｄＤ（Ｖ（ＢＬ）×ｎ／ｍ）＝Ｔｐｄ（Ｖ（ＢＬ））　　－－－（６）

今、ダミービット線に接続するダミーメモリセルの数ｍを、ビット線に接続されるメモリ

セルの数ｎの数十分の１にすると、ビット線の信号振幅が数１０ｍＶの時に、ダミービット線の信号振幅は数１００ｍＶになる。このように、ビット線の充放電時間の変動を補償したまま、ダミービット線の信号振幅を大きくできる。これより、ダミービット線の信号により直接、センスアンプ活性化信号を発生させることが可能になり、遅延時間のバラツキの大きいダミーセンスアンプを省くことができ、センスアンプ活性化信号に必要なタイミングマージンを低減できる。

【００２９】

図７は、本発明の第３の実施の形態を示す図である。この回路は、実施の形態２に於いて、選択するダミーメモリセルを１つに限定し、他のダミーメモリセルは常に非選択にした構成になっている。この構成は、実施の形態２に比べ、ダミーワード線の数を１本にでき、レイアウト面積を縮小できる利点がある。

【００３０】

図８は、本発明の第４の実施の形態を示す図である。この回路は、第２の実施の形態に於いて、センスアンプ活性化信号ＳＣとして、クロック信号ＣＫを遅延段ＣＫＳによって遅らせた信号を用いている。また、ダミービット線の信号を入力するインバータの出力ＳＣＤと、センスアンプ活性化信号ＳＣを入力し、遅延段ＣＫＳの遅延時間をコントロールする信号ＳＣＣを出力する位相比較器ＰＦＤを新たに配置している。

【００３１】

ここで、位相比較器は、ＳＣＤと、ＣＳ信号の位相が同じになるように、遅延段ＣＫＳの遅延時間のコントロール信号ＳＣＣを変化させる。つまり、ダミービット線のデータ出力タイミングと、センスアンプ活性化タイミングの位相が一致するように補償される。この回路構成では、センスアンプＳＡを駆動する回路は遅延段ＣＫＳであり、ダミービット線と分離されている。つまり、ダミービット線の駆動能力が小さくてすむという利点がある。

【００３２】

図９は本発明の第５の実施の形態であり、本発明の実施の形態１，２，３，４のメモリセルＭＣ１を実現する回路例を示す図である。２つのインバータと２つのトランスファーＭＯＳで構成されたスタティック形のメモリセルである

図１０は本発明の第６の実施の形態であり、本発明の実施の形態１，２，３，４のダミーメモリセルＭＤ１を実現する回路例を示す図である。２つのインバータと２つのトランスファーＭＯＳで構成されたスタティック形のメモリセルにおいて、２つのインバータのゲート入力を１つはグランドに、もう一方はＶＤＤに接続し、メモリセルに記憶する情報を常に一定にしている。

【００３３】

図１１は本発明の第７の実施の形態であり、本発明の実施の形態２，３，４のダミーメモリセルＤＤ１を実現する回路例を示す図である。２つのインバータと２つのトランスファーＭＯＳで構成されたスタティック形のメモリセルにおいて、２つのインバータのゲート入力を１つはグランドに、もう一方はＶＤＤに接続して、メモリセルに記憶する情報を常に一定にし、インバータのゲート入力をグランドに接続した側のトランスファーＭＯＳのドレインをＶＤＤに、インバータのゲート入力をＶＤＤに接続した側のトランスファーＭＯＳのドレインをグランドに接続し、メモリセル電流が流れないようにしている。

【００３４】

図１２は、本発明の第８の実施の形態を示す図である。この回路は、縦方向にビット線ＢＬ、ＢＲが配置され、横方向にはワード線（Ｗ１～Ｗｎ）が配置され、複数のメモリセル（ＭＣ１～ＭＣｎ）がそれぞれの交点に配置されている。

【００３５】

また、さらに縦方向にダミービット線ＤＢＬ、ＤＢＲを配置し、メモリセルＭＣ１と同じ構造とサイズのダミーメモリセル（ＭＤ１～ＭＤｎ）を配置している。また、ダミーワード線ＤＷ１を、ワード線Ｗ１の隣に配置している。このダミーワード線ＤＷ１には、ワード線の寄生容量を補償するようにダミーメモリセルＤＤ１を接続する。

【００３６】
ダミーワード線ＤＷ１、及びワード線（Ｗ１～Ｗｎ）には、ダミーワードドライバＸＤＤ、及びワードドライバＸＤ１～ＸＤｎが接続され、これにより駆動される。ダミーワードドライバＸＤＤ、及びワードドライバＸＤ１～ＸＤｎには、デコーダＸＤＥＣの出力信号が入力される。この信号により、選択するワード線１本を駆動するようにワードドライバＸＤ１～ＸＤｎを制御し、ダミーワード線がワード線に同期して動作するようにダミーワードドライバを制御する。
【００３７】
ダミーメモリセルＭＤ１～ＭＤｉ（ｉは２以上、ｎ以下の整数）には、上記ダミーワード線が接続され、動作時には同時に駆動される。また、ダミーメモリセルＭＤｉ＋１～ＭＤｎには、グランドを接続して、常に非選択状態にする。インバータＩＮＶは、ダミービット線ＤＢＬを入力し、センスアンプ活性化信号ＳＣを出力する。
【００３８】
この回路では、複数のダミーメモリセルＭＤ１～ＭＤｉを同時に選択して、ダミービット線を駆動するため、ダミービット線の充放電電流Ｉ（ＢＬＤ）は、ビット線の充放電電流Ｉ（ＢＬ）のｉ倍と同じ値に補償される。また、ダミービット線に接続されるダミーメモリセル数が、ビット線に接続されるメモリセル数と同数であることから、ダミービット線の寄生容量は、ビット線の寄生容量と同じである。すなわち、
Ｉ（ＢＬＤ）＝ｉ×Ｉ（ＢＬ）　　－－－（８）
Ｃ（ＢＬＤ）＝Ｃ（ＢＬ）　　－－－（９）
が成立する。この式（８）、（９）と式（３）より、ダミービット線の遅延時間ＴｐｄＤは、
ＴｐｄＤ（Ｖ（ＢＬＤ））＝（Ｃ（ＢＬＤ））×Ｖ（ＢＬＤ））／Ｉ（ＢＬＤ）
＝（Ｃ（ＢＬ）×Ｖ（ＢＬＤ）×１／ｉ）／Ｉ（ＢＬ）　－－（１０）の式で表される。これらの式より、ビット線信号振幅Ｖ（ｓｉｇ）がＶ（ＢＬ）になる時の遅延時間が、ダミービット線の信号振幅Ｖ（ｓｉｇＤ）がＶ（ＢＬ）のｉ倍になる時の遅延時間と等しくなる関係式（１１）が導かれる。しかも、この関係は、温度、電源電圧、プロセス等のバラツキに影響されないことは明らかである。
【００３９】
ＴｐｄＤ（Ｖ（ＢＬ）×ｉ）＝Ｔｐｄ（Ｖ（ＢＬ））　　－－－（１１）
これより、実施の形態３と同様に、ダミービット線の信号により直接、センスアンプ活性化信号を発生させることが可能になる。
【００４０】
図１３は、本発明の第９の実施の形態である。この回路は、第８の実施の形態に、第４の実施の形態で用いた位相比較回路を適用した回路構成である。これより、第４の実施の形態と同様に、センスアンプＳＡを駆動する回路をダミービット線と分離することにより、ダミービット線の駆動能力が小さくてすむという利点がある。
【００４１】
図１４は、本発明の第１０の実施の形態であり、実施の形態４、９の遅延段ＣＫＳの回路構成例を示している。この回路は、ＶＤＤ側にｐＭＯＳトランジスタＭＰＩ１を挿入し、グランド側にＭＮＩ１を挿入した複数のインバータ（ＩＮＶ１～ＩＮＶｍ）を従属接続して配置し、その初段の入力にはクロック信号ＣＫが入力され、最終段からセンスアンプ活性化信号を出力している。
【００４２】
また、ソースにＶＤＤを接続し、ゲートをドレインに接続したｐＭＯＳトランジスタＭＰ１と、ソースにＶＤＤを接続し、ゲートをＭＰ１のゲートに接続したｐＭＯＳトランジスタＭＰ２を配置している。このＭＰ１、ＭＰ２のゲートが接続されたノードＶｐには、上記インバータＩＮＶ１～ＩＮＶｍ内のＭＰＩ１～ＭＰＩｍのゲートが接続されている。
【００４３】
また、ソースがグランドに接続され、ＭＰ２のドレインにゲートとドレインが接続された

ｎＭＯＳトランジスタＭＮ１を配置し、そのゲートのノードＶｎには、上記インバータＩＮＶ１～ＩＮＶm内のＭＮＩ１～ＭＮＩｍのゲートを接続する。また、ソースにグランドが、ゲートにＶＤＤが接続され、ドレインにＭＰ１のドレインが接続されたＭＮ２と、ソースにグランドが、ゲートにノードＶｃが接続され、ドレインにＭＰ１のドレインが接続されたＭＮ３を配置している。ノードＶｃには容量Ｃｃが接続されている。

【００４４】

また、ソースにＶＤＤを接続し、ゲートにグランドを接続したｐＭＯＳトランジスタＭＰ３を配置し、ゲートに入力ＳＣＣ１を接続したＭＮ４と、ゲートにＳＣＣ１の相補信号を接続したＭＰ４を、ＭＰ３のドレインとノードＶｃの間に挿入する。また、ソースにグランドを接続し、ゲートにＶＤＤを接続したｎＭＯＳトランジスタＭＮ６を配置し、ゲートに入力ＳＣＣ２を接続したＭＮ５と、ゲートにＳＣＣ２の相補信号を接続したＭＰ５を、ＭＮ６のドレインとノードＶｃの間に挿入する。

【００４５】

この回路で、ＭＰ１とＭＰ２、及びＭＰＩ１～ＭＰＩｍは、カレントミラー接続になっており、ＭＰ１に流れる電流とＭＰＩ１～ＭＰＩｍはほぼ同じである。つまり、インバータの遅延時間（センスアンプ活性化信号のタイミング）は、ＭＰ１に流れる電流値により変化する。同様の関係が、ＭＮ１と、ＭＮＩ１～ＭＮＩｍにも成り立っている。このＭＰ１に流れる電流は、ＭＮ２とＭＮ３によって決まる。このうち、ＭＮ３の電流値は、ノードＶｃの電位によって制御されている。また、ＭＮ２は常に電流が流れており、ＭＮ３の電流が０になってインバータが動作しなくなるのを防いでいる。

【００４６】

最初、ＳＣＣ１、ＳＣＣ２は供に低電位であり、ＭＰ４、ＭＮ４、ＭＰ５、ＭＮ５、が非導通であり、ノードＶｃはフローティング状態になっている。これより、ノードＶｃの電位は、容量Ｃｃに蓄えられた電荷により決まる。インバータの遅延時間を小さくする場合、ＳＣＣ１に高電位を入力する。この時、ＭＰ４、ＭＮ４が導通し、ＶＤＤからＭＰ３、ＭＰ４、ＭＮ４を介してノードＶｃに電流が流れ、ノードＶｃは高電位側に上昇する。これより、ＭＮ３に流れる電流が増加し、インバータの遅延時間が小さくなる。逆に、インバータの遅延時間を大きくする場合は、ＳＣＣ２に高電位を入力し、ノードＶｃからＭＰ５、ＭＮ５、ＭＮ６を介してグランドに電流を流し、ノードＶｃの電位を低電位側に移動させる。

【００４７】

図１５は、本発明の第１１の実施の形態であり、実施の形態４、９の遅延段ＣＫＳの他の回路構成例を示している。この回路は、第１０の実施の形態において、ｎＭＯＳトランジスタＭＮ３を複数（ＭＮ３～ＭＮｐ）配置し、そのゲートにシフトレジスタＳＬＵの出力Ｖｃ３～Ｖｃｐが接続されている。また、リセット回路ＲＣＵを配置し、その出力をＳＬＵに接続している。また、入力ＳＣＣ１とＤＩＳを入力し、ＵＰ１を出力するＮＡＮＤゲートＮＡＮＤ１と、入力ＳＣＣ２とＤＩＳを入力し、ＤＮ１を出力するＮＡＮＤゲートＮＡＮＤ２と、ＵＰ１とＩＵＰを入力し、ＵＰ２を出力するＮＡＮＤゲートＮＡＮＤ３と、ＤＮ１とＩＤＮを入力し、ＤＮ２を出力するＮＡＮＤゲートＮＡＮＤ４を配置する。このＵＰ２、ＤＮ２はシフトレジスタＳＬＵに入力される。

【００４８】

ここで、シフトレジスタは記憶部を有し、その記憶部の値により、Ｖｃ３～ＶＣｐのいくつかを高電位に駆動、つまり、ＭＮ３～ＭＮｐの内のいくつかを導通させる。この個数により、ＭＰ１に流れる電流、つまり、インバータの遅延時間が制御される。シフトレジスタは、ＵＰ２を高電位にすると、Ｖｃ３～ＶＣｐを高電位に駆動する個数を１個多くするように内部の記憶部を書き換える。逆に、ＤＮ２が高電位になると、Ｖｃ３～ＶＣｐを高電位に駆動する個数が１個少なくなる。この様にして、インバータの遅延時間をコントロールする。

【００４９】

また、リセット回路ＲＣＵは、シフトレジスタの記憶部を初期値に戻す作用をしている。

また、ＤＩＳは、ＵＰ２、ＤＮ２を常に低電位なるように制御する。つまり、位相比較器からの信号、ＳＣＣ１とＳＣＣ２を遮断する作用をする。この機能は、例えばメモリのテスト期間にＳＣＣ１、ＳＣＣ２を活性化し、シフトレジスタに情報を書き込んでおき、通常動作時には、ＳＣＣ１、ＳＣＣ２を遮断するために使用する。

【００５０】

このようにすると、通常動作時に、常にダミーワード線ＤＷ１を動作させる必要が無くなる。また、ＩＤＮ、ＩＵＰにより、外部からシフトレジスタの記憶部を書き換えられる様にしている。すなわち、ＩＤＮ、ＩＵＰを使用すると、センスアンプ活性化信号ＳＣのタイミングを外部から自由にコントロールできる。

【００５１】

【発明の効果】

本発明によれば、センスアンプ活性化信号がビット線の充放電時間の変動を補償するため、必要なタイミングマージンを減少することができ、アクセス時間を短縮できる。

【図面の簡単な説明】

【図１】本発明の第１の実施の形態であり、ビット線の充放電時間を補償したセンスアンプ活性化信号発生回路の構成図を示す図である。

【図２】従来のセンスアンプ活性化信号発生回路の構成図を示す図である。

【図３】図２の従来例の動作波形を模式的に示した図である。

【図４】本発明の第２の実施の形態であり、ダミービット線の信号振幅を、ビット線の信号振幅より大きくし、センスアンプ活性化信号の発生させる回路の構成図を示す図である。

【図５】本発明の第１の実施の形態の動作波形を模式的に示した図である。

【図６】本発明の第２の実施の形態の動作波形を模式的に示した図である。

【図７】本発明の第３の実施の形態であり、本発明の第２の実施の形態において、選択するダミーメモリセルを１つにした、センスアンプ活性化信号発生回路の構成図を示す図である。

【図８】本発明の第４の実施の形態であり、本発明の第２の実施の形態において、位相比較器により、センスアンプ活性化信号とダミービット線の位相を同じになるようにしたセンスアンプ活性化信号発生回路の構成図を示す図である。

【図９】本発明の第５の実施の形態であり、本発明の第１の実施の形態のＭＣ１を実現する回路構成を示す図である。

【図１０】本発明の第６の実施の形態であり、本発明の第１の実施の形態のＭＤ１を実現する回路構成を示す図である。

【図１１】本発明の第７の実施の形態であり、本発明の第２の実施の形態のＤＤ１を実現する回路構成を示す図である。

【図１２】本発明の第８の実施の形態であり、ダミービット線の信号振幅を、ビット線の信号振幅より大きくし、センスアンプ活性化信号の発生させる回路の他の構成を示す図である。

【図１３】本発明の第９の実施の形態であり、第８の実施の形態に、第４の実施の形態の位相補償の回路を適用した回路構成を示す図である。

【図１４】本発明の第１０の実施の形態であり、本発明の第４、９の実施の形態のＣＫＳを実現する回路構成を示す図である。

【図１５】本発明の第１１の実施の形態であり、本発明の第４、９の実施の形態のＣＫＳを実現する他の回路構成を示す図である。

【符号の説明】

ＢＬ、ＢＲ　ビット線

ＤＢＬ、ＤＢＲ　ダミービット線

ＳＣ　センスアンプ活性化信号

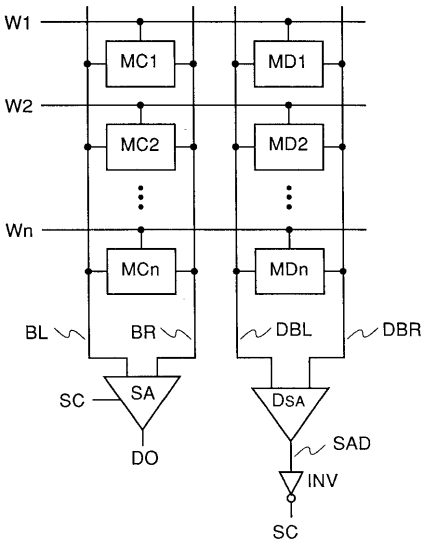
ＳＡ　センスアンプ

ＤＳＡ　ダミーセンスアンプ

ＭＣ０　メモリセル
ＭＤ０　ダミーメモリセル
ＤＤ０　ダミーメモリセル。

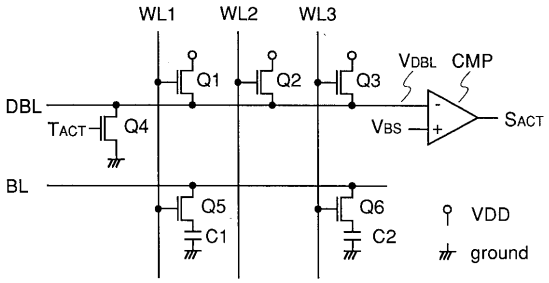
【図１】

図1



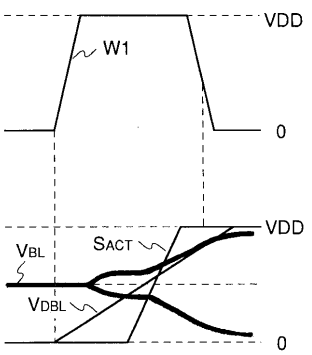
【図２】

図2



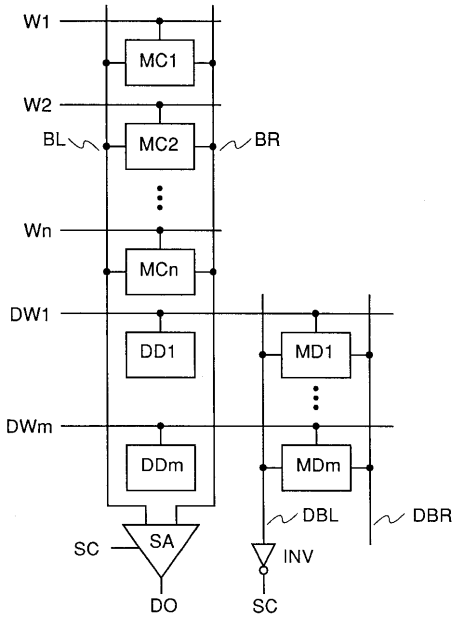
【図３】

図3



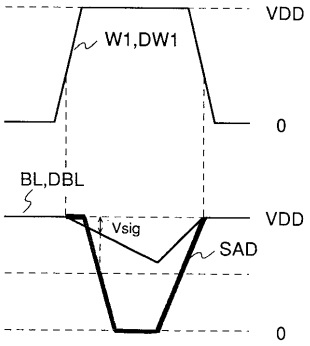
【図４】

図４



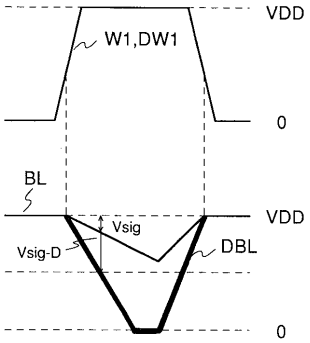
【図５】

図５



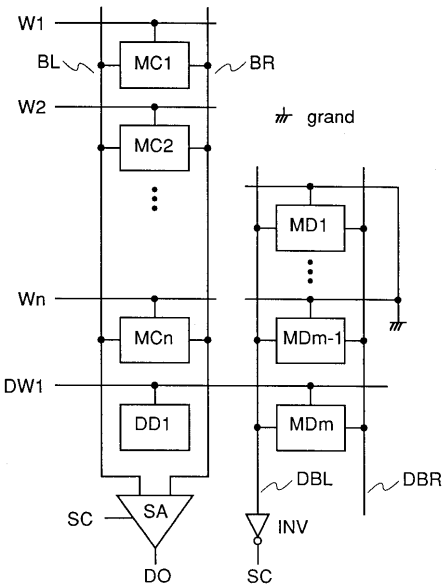
【図６】

図６



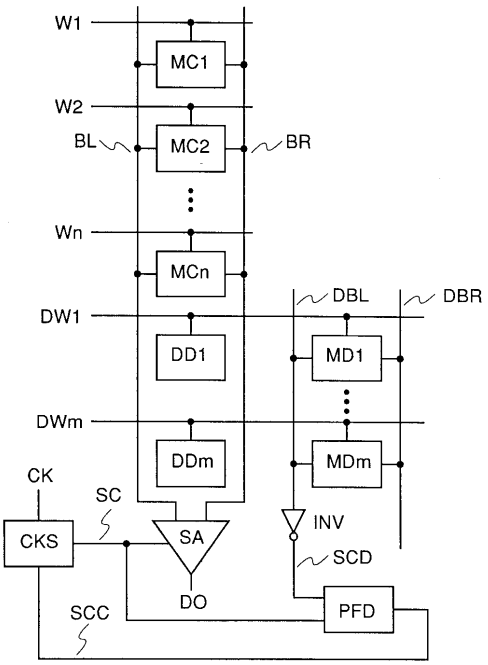
【図７】

図７



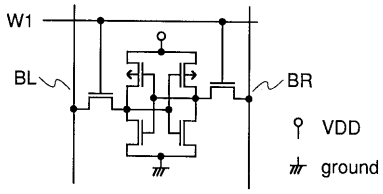
【図８】

図８



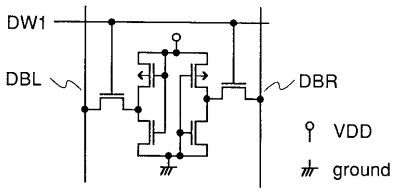
【図９】

図9



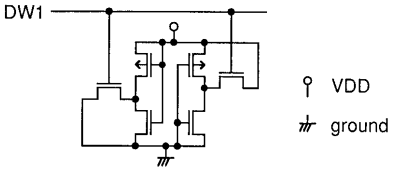
【図１０】

図10



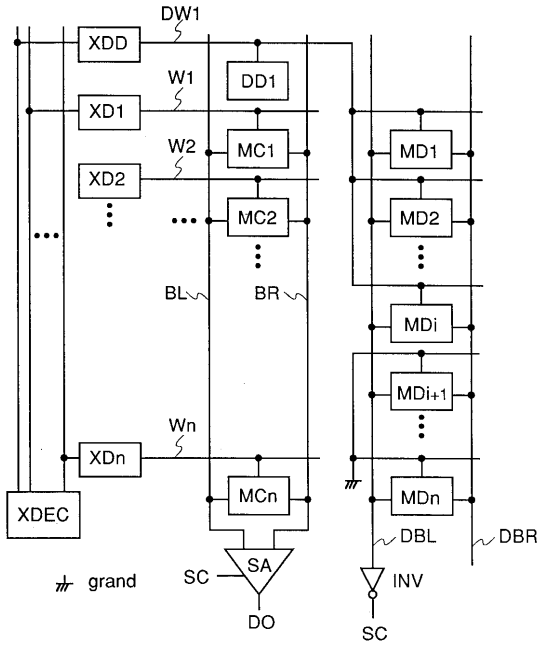
【図１１】

図11



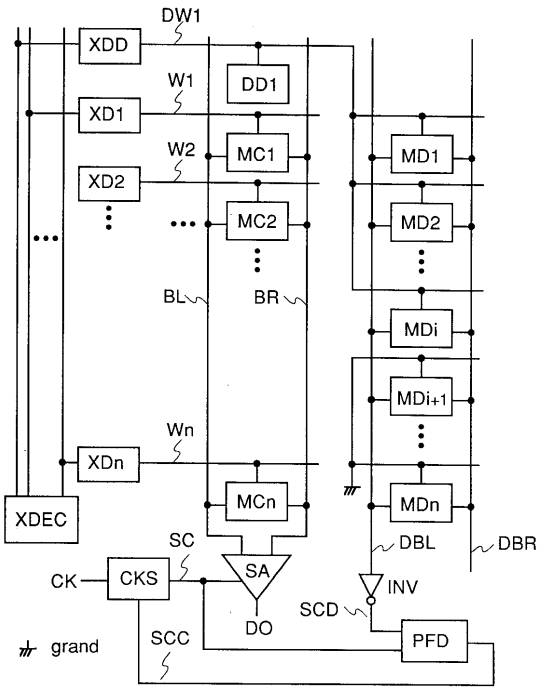
【図１２】

図12

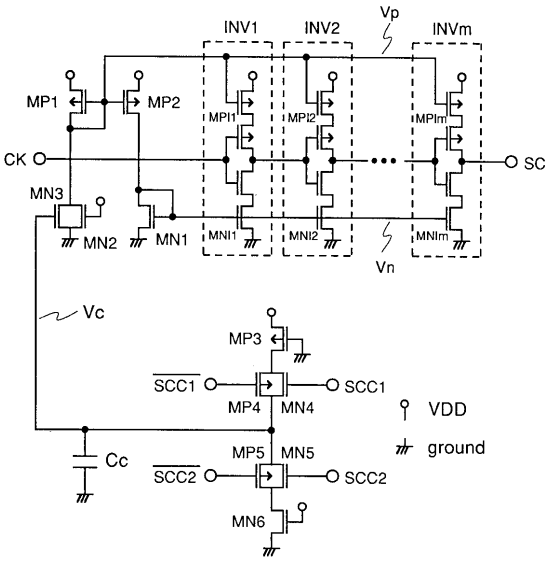


【図１３】

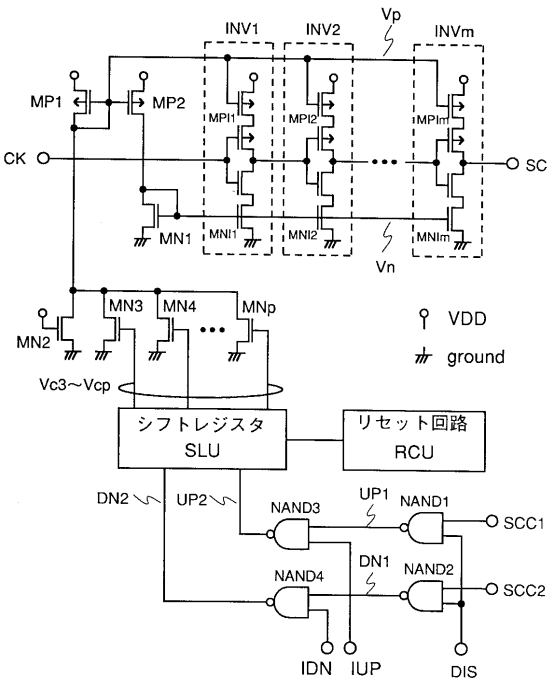
図13



【図１４】
図14



【図１５】
図15



フロントページの続き

(72)発明者 金谷 一男
東京都国分寺市東恋ケ窪１丁目２８０番地 株式会社日立製作所中央研究所内
(72)発明者 山崎 枢
東京都国分寺市東恋ケ窪１丁目２８０番地 株式会社日立製作所中央研究所内
(72)発明者 山口 邦彦
東京都青梅市今井２３２６番地 株式会社日立製作所デバイス開発センタ内
(72)発明者 日下田 恵一
東京都青梅市今井２３２６番地 株式会社日立製作所デバイス開発センタ内

審査官 長島 孝志

(56)参考文献 特開平０３－１２２８９８（ＪＰ，Ａ）
特開平０２－２０１７９７（ＪＰ，Ａ）
特開平０６－１７６５６８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/401-11/419