

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5871691号
(P5871691)

(45) 発行日 平成28年3月1日(2016.3.1)

(24) 登録日 平成28年1月22日(2016.1.22)

(51) Int.Cl.		F I			
H03F	1/32	(2006.01)	H03F	1/32	
H03F	3/70	(2006.01)	H03F	3/70	
H04N	5/3745	(2011.01)	H04N	5/335	745

請求項の数 12 (全 18 頁)

(21) 出願番号	特願2012-76771 (P2012-76771)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成24年3月29日(2012.3.29)	(74) 代理人	100126240 弁理士 阿部 琢磨
(65) 公開番号	特開2013-207676 (P2013-207676A)	(74) 代理人	100124442 弁理士 黒岩 創吾
(43) 公開日	平成25年10月7日(2013.10.7)	(72) 発明者	小林 秀央 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
審査請求日	平成27年3月30日(2015.3.30)	(72) 発明者	小倉 正徳 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		審査官	柳下 勝幸

最終頁に続く

(54) 【発明の名称】 増幅回路、光電変換装置、および撮像システム

(57) 【特許請求の範囲】

【請求項1】

反転入力端子と、非反転入力端子と、出力端子とを有する演算増幅器と、
第1の容量素子と、
 一方の端子が前記反転入力端子と接続され、他方の端子が前記出力端子と接続された第2の容量素子と、
 前記第1および第2の容量素子の容量値のバイアス依存特性の差を補正する補正部と、
第1の増幅部と、
第2の増幅部と、
第1の接続容量と、
第2の接続容量と、を有し、
前記第1の容量は、前記第1の増幅部および前記第1の接続容量を介して、前記演算増幅器の前記反転入力端子と接続され、
前記第2の増幅部の出力端子は、前記第2の接続容量を介して、前記演算増幅器の前記非反転入力端子と接続されたことを特徴とする増幅回路。

【請求項2】

前記補正部は、前記第1の容量素子と並列に設けられた第3の容量素子または前記第2の容量素子と並列に設けられた第4の容量素子の少なくとも一方であることを特徴とする請求項1に記載の増幅回路。

【請求項3】

前記補正部は、前記第 2 の容量素子の他方の端子の電位を調整する、電位調整部を有することを特徴とする請求項 1 に記載の増幅回路。

【請求項 4】

前記補正部は、一方の端子が前記演算増幅器の前記反転入力端子に接続され、他方の端子が電源と接続されたことを特徴とする請求項 1 に記載の増幅回路。

【請求項 5】

前記電位調整部はレベルシフト回路を有し、

前記第 2 の容量素子の他方の端子は、前記レベルシフト回路を介して前記演算増幅器の前記出力端子と接続されたことを特徴とする請求項 3 に記載の増幅回路。

【請求項 6】

前記電位調整部はスイッチ部を含み、

前記第 2 の容量の他方の端子は、前記スイッチ部を介して電源または前記演算増幅器の前記出力端子と接続されたことを特徴とする請求項 3 に記載の増幅回路。

【請求項 7】

第 5 の容量素子と、

前記第 5 の容量素子と並列に設けられた第 6 の容量素子と、をさらに有し、

前記演算増幅器の前記非反転入力端子は、さらに、前記第 5 および第 6 の容量素子を介して電源と接続されたことを特徴とする請求項 1 ~ 6 のいずれかに記載の増幅回路。

【請求項 8】

第 7 の容量素子をさらに有し、

前記第 7 の容量素子は、前記第 2 の増幅部の入力端子と接続されたことを特徴とする請求項 1 ~ 7 のいずれかに記載の増幅回路。

【請求項 9】

前記第 1 および第 2 の容量素子は、ポリシリコンを主とする上部電極とし、半導体を下部電極とする容量素子であり、

前記第 1 および第 2 の容量素子の上部電極が、前記一方の端子であることを特徴とする請求項 1 ~ 8 のいずれかに記載の増幅回路。

【請求項 10】

演算増幅器と、

第 1 の容量素子と、

一方の端子が前記演算増幅器の反転入力端子と接続され、他方の端子が前記演算増幅器の出力端子と接続された第 2 の容量素子と、

前記第 2 の容量素子と並列に設けられた第 4 の容量素子と、

第 5 の容量素子と、

前記第 5 の容量素子と並列に設けられた第 6 の容量素子と、

第 7 の容量素子と、

第 1 の増幅部と、

第 2 の増幅部と、

第 1 の接続容量と、

第 2 の接続容量と、を有し、

前記第 1 の容量素子は、前記第 1 の増幅部および前記第 1 の接続容量を介して、前記演算増幅器の反転入力端子と接続され、

前記演算増幅器の非反転入力端子は、前記第 2 の接続容量を介して前記第 2 の増幅部の出力端子と接続されるとともに、前記第 5 および第 6 の容量素子を介して電源と接続され、

前記第 7 の容量素子は、前記第 2 の増幅部の入力端子と接続され、

前記第 2 および第 4 の容量素子は、ポリシリコンを主とする上部電極とし、半導体を下部電極とする容量素子であり、

前記第 2 の容量素子の下部電極及び前記第 4 の容量素子の上部電極が、前記演算増幅器の反転入力端子もしくは出力端子のうちの一方の端子に接続され、前記第 2 の容量素子の

10

20

30

40

50

上部電極及び前記第4の容量素子の下部電極が、前記演算増幅器の反転入力端子もしくは出力端子のうちの他方の端子に接続されることを特徴とする増幅回路。

【請求項11】

請求項1～10のいずれかに記載の増幅回路と、
複数の画素と、を有し、
前記増幅回路は、前記画素に基づく信号を増幅すること
を特徴とする光電変換装置。

【請求項12】

請求項11に記載の光電変換装置と、
前記光電変換装置から出力された信号を処理する信号処理部と、を有することを特徴と
する撮像システム。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、増幅回路、光電変換装置、および撮像システムに関する。

【背景技術】

【0002】

増幅器の入出力端子を、容量素子を介して接続する、容量帰還型の増幅器が知られてい
る。特許文献1の図10には、上部電極および下部電極が実質的に同一である2つの容量
を、一方の上部電極が他方の下部電極と接続して、帰還経路に設けた増幅回路が記載され
ている。この構成により、増幅回路の出力の線形性を向上させることができるとしている 20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平2-210859号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載の増幅回路が、入力容量から信号を受けることを考えると、増幅回路 30
のゲインは入力容量の容量値と帰還容量の容量値との比で算出される。

ところが、入力容量は、印加されたバイアスの大きさによって容量値が変化する（容量
値のバイアス依存性）ため、入力容量が保持する信号の振幅によって、増幅回路のゲイン
が変化し、増幅回路の出力の線形性を低下させるおそれがある。

本発明は上述の課題を解決するためになされたものである。

【課題を解決するための手段】

【0005】

上記課題を解決する本発明の一の側面は、反転入力端子と、非反転入力端子と、出力端
子とを有する演算増幅器と、第1の容量素子と、一方の端子が前記反転入力端子と接続さ
れ、他方の端子が前記出力端子と接続された第2の容量素子と、前記第1および第2の容
量素子の容量値のバイアス依存特性の差を補正する補正部と、第1の増幅部と、第2の増
幅部と、第1の接続容量と、第2の接続容量と、を有し、前記第1の容量は、前記第1の
増幅部および前記第1の接続容量を介して、前記演算増幅器の前記反転入力端子と接続さ
れ、前記第2の増幅部の出力端子は、前記第2の接続容量を介して、前記演算増幅器の前
記非反転入力端子と接続されたことを特徴とする増幅回路である。 40

【発明の効果】

【0006】

本発明によれば、増幅回路の出力の線形性を向上させることができる。

【図面の簡単な説明】

【0007】

- 【図 1】実施例 1 に係る容量素子の断面図である。
- 【図 2】実施例 1 に係る容量素子の容量値のバイアス依存特性を示す図である。
- 【図 3】実施例 1 に係る増幅回路の等価回路図である。
- 【図 4】実施例 1 に係る増幅回路のゲインの信号振幅依存特性を示す図である。
- 【図 5】実施例 1 に係る別の増幅回路の等価回路図である。
- 【図 6】実施例 2 に係る増幅回路の等価回路図である。
- 【図 7】実施例 3 に係る増幅回路の等価回路図である。
- 【図 8】実施例 4 に係る増幅回路の等価回路図である。
- 【図 9】実施例 5 に係る増幅回路の等価回路図である。
- 【図 10】実施例 5 に係る増幅回路のゲインの信号振幅依存特性を示す図である。 10
- 【図 11】実施例 6 に係る光電変換装置の構成を示す図である。
- 【図 12】実施例 6 に係る光電変換装置の構成を示す図である。
- 【図 13】実施例 7 に係る撮像システムの構成を示す図である。
- 【発明を実施するための形態】
- 【0008】
- (実施例 1)
- 本発明に係る実施例を説明する。
- 【0009】
- 図 1 は、半導体基板に形成された容量素子 C の断面構成の一例を示す図である。
- 【0010】 20
- 第 1 の導電型である P 型の半導体領域 63 上に、第 2 の導電型である N 型の半導体領域 64 が形成される。さらに、半導体領域 63 上には、半導体領域 64 よりも不純物濃度が高い、N 型の半導体領域 67 が設けられる。半導体領域 64 上には、絶縁膜 65 およびポリシリコン層 66 が積層される。半導体領域 64 は容量素子 C の下部電極として機能し、コンタクトである半導体領域 67 を介して端子 69 に接続される。一方、ポリシリコンを主とするポリシリコン層 66 は容量素子 C の上部電極として機能し、端子 68 に接続される。
- 【0011】
- 容量素子 C の容量値のバイアス依存特性の例を図 2 に示す。横軸は、上部電極と下部電極との間の電圧（バイアス）を示し、上部電極の電位が高い場合を正としている。縦軸は 30 容量値を示し、バイアスが 2.0 V である時の容量値を 1.0 として規格化している。図 2 において、バイアスが低いほど、すなわち上部電極の電位が下部電極の電位に対して低いほど、容量値が低下する。これは、上部電極の電位が相対的に低くなるにつれて、下部電極である半導体領域 64 に形成される空乏層が、上部電極から見て深さ方向に伸びること、絶縁膜 65 の実効的な厚さが増大するためである。
- 【0012】
- 本実施例に係る増幅回路 1 の等価回路図を図 3 に示す。増幅回路 1 は、演算増幅器 10、容量素子 20、30、40、ならびにスイッチ 50、60 を含む。容量素子 20、30、40 において、直線で示した端子は、図 1 に示した容量素子 C の上部電極に対応し、曲線で示した端子は下部電極に対応する。つまり、容量素子 20 の上部電極および容量素子 40 の下部電極が、演算増幅器 10 の反転入力端子に接続され、容量素子 20 の下部電極および容量素子 30 の上部電極が、演算増幅器 10 の出力端子に接続された状態を示す。容量素子 40 の上部電極はスイッチ 60 を介して演算増幅器 10 の反転入力端子と接続され、下部電極は接地電位に設定される。スイッチ 50 は、演算増幅器 10 の反転入力端子と出力端子との間に設けられる。演算増幅器 10 の正転入力端子には、基準電位 V_{R1} が与えられる。
- 【0013】
- 図 3 に示す構成において、容量素子 40 に保持された信号を増幅することを考える。容量素子 40 には、 $V_{R1} + V_s$ の初期電位が与えられているとする。 V_s が信号振幅となる。 40 50

【 0 0 1 4 】

まず、スイッチ 6 0 をオフにした状態で、スイッチ 5 0 をオンする。これにより、容量素子 2 0 および 3 0 の両端の電位が $V R 1$ とほぼ等しくなる。

【 0 0 1 5 】

続いて、スイッチ 5 0 をオフしてからスイッチ 6 0 をオンする。演算増幅器 1 0 の仮想接地により、容量素子 4 0 の上部電極の電位は $V R 1$ と等しくなるので、容量素子 4 0 の容量値を $C 4 0$ とすると、スイッチ 6 0 をオンにしたことで、容量 2 0 および 3 0 には $V s \times C 4 0$ に相当する電荷が転送される。この結果、増幅回路 1 の出力端子の電位 $V o u t$ は、以下の式で表される。

【 0 0 1 6 】

$$V o u t = V R 1 - \{ C 4 0 / (C 2 0 + C 3 0) \} V s \quad \cdot \cdot \cdot (1)$$

ここで $C 2 0$ および $C 3 0$ は、それぞれ容量素子 2 0 および 3 0 の容量値である。

【 0 0 1 7 】

従って、容量素子 4 0 の初期値からの電位変化を $V s$ 、増幅回路 1 の出力の電位変化を $V o u t$ として、ゲイン G は、

$$G = V o u t / V s = - C 4 0 / (C 2 0 + C 3 0) \quad \cdot \cdot \cdot (2)$$

となる。

【 0 0 1 8 】

仮に $C 4 0 = (C 2 0 + C 3 0)$ とすると、増幅回路 1 のゲイン G は $- 1$ となり、式 (1) から、 $V o u t = V R 1 - V s$ となる。従って、 $V R 1$ が $1 V$ に設定し、信号振幅 $V s$ を $0 V$ から $0 . 8 V$ まで変化させると、 $V o u t$ は $1 V$ から $0 . 2 V$ になり、容量素子 2 0 および 3 0 の両端には最大で $0 . 8 V$ の電圧が印加される。一方、容量素子 4 0 の電位は $1 V$ から $1 . 8 V$ の範囲で変化する。容量素子 2 0、3 0、4 0 は、それぞれ先述の容量値のバイアス依存性を持つため、信号振幅 $V s$ の大きさによってゲインは $- 1$ から変化する。

【 0 0 1 9 】

同じ条件における容量素子 2 0 と 3 0 の容量値の比を、 $C 2 0 : C 3 0 = 1 0 : 0$ 、すなわち、 $C 3 0$ を設けない場合のゲインの変化を図 4 A に示す。横軸は信号振幅 $V s$ 、縦軸は増幅回路 1 0 のゲインの絶対値である。

【 0 0 2 0 】

信号振幅 $V s$ が増大すると、ゲインの絶対値が低下する。これは、図 2 にその特性を示したように、容量素子 4 0 は $1 V$ から $1 . 8 V$ の範囲で印加電圧が変化するのに対して、容量素子 2 0 は、 $0 V$ から $0 . 8 V$ の範囲で印加電圧が変化するためである。それぞれのバイアス範囲における容量値の変化が異なるため、ゲイン G の絶対値は一定とならない。この例では、容量素子 2 0 の容量値の増加量が、容量素子 4 0 の増加量よりも大きいため、信号振幅の増大に伴ってゲインの絶対値が低下することになる。

【 0 0 2 1 】

次に、同じ条件における容量素子 2 0 と 3 0 の容量値の比を $C 2 0 : C 3 0 = 7 . 5 : 2 . 5$ である場合の、ゲインの変化を図 4 B に示す。この例では、信号振幅が $0 V$ から $0 . 8 V$ の範囲において、ゲインの変動が少なくなり、増幅回路の出力の線形性が向上したことが理解できる。特に、 $0 V$ から $0 . 4 V$ の、信号振幅が小さい領域ではほぼ一定のゲインが得られる。

【 0 0 2 2 】

このように増幅回路の出力の線形性が向上する理由は、容量素子 3 0 を設けたことにある。容量素子 3 0 は、図 3 においてバイアスが $0 V$ から $- 0 . 8 V$ の範囲で変化するため、信号振幅 $V s$ の増大に伴って、容量素子 3 0 の容量値が減少する。これにより、容量素子 2 0 の容量値の増加量を相殺した結果、ゲインの信号振幅依存性が低下し、増幅回路の出力の線形性が向上する。

【 0 0 2 3 】

同じ条件における容量素子 2 0 と 3 0 の容量値の比を $C 2 0 : C 3 0 = 6 . 5 : 3 . 5$

10

20

30

40

50

である場合の、ゲインの変化を図 4 C に示す。この場合のゲインは、信号振幅が 0 V から 0 . 8 V の範囲で概ね一定のゲインを示す。図 4 B に示したゲイン特性と比べると、信号振幅が小さい範囲では信号振幅依存性が高いが、0 . 3 V から 0 . 8 V の範囲では信号振幅依存性が低いゲイン特性となっている。

【 0 0 2 4 】

たとえば光電変換装置のように、信号振幅が小さい用途においては小信号領域での出力の線形性が要求されるので、図 4 B に示したような特性となるように増幅回路のゲインを設計することが好ましい。一方、増幅器に与えられる信号振幅が大きい用途においては、図 4 C に示したような特性となるように増幅回路のゲインを設定することができる。つまり、どの信号領域での出力の線形性を重視するかに応じて、容量素子 2 0 と 3 0 の容量値の比率を設定すればよい。

10

【 0 0 2 5 】

一方で、容量素子 2 0 と 3 0 の容量値を不適当な比率に設定すると、増幅回路のゲイン特性は信号振幅依存性が増す。例えば、 $C 2 0 : C 3 0 = 3 : 7$ とした場合のゲイン特性を図 4 D に示す。

【 0 0 2 6 】

図 4 D では、信号振幅の増大とともにゲインの絶対値が増大する。このようなゲイン特性は、増幅回路の出力の線形性が低くなるため好ましくない。

【 0 0 2 7 】

図 4 E は、 $C 2 0 : C 3 0 = 5 : 5$ である場合の、増幅回路 2 0 5 のゲインの信号振幅依存特性を示す図である。信号振幅が増大するにつれて、増幅回路のゲインも増加する挙動を示すことが分かる。

20

【 0 0 2 8 】

以上を整理すると、第 3 の容量素子である容量素子 3 0 は、第 1 の容量素子である容量素子 1 0 と第 2 の容量素子である容量素子 2 0 の容量値のバイアス依存性の差を補正する補正部としての役割を担う。

【 0 0 2 9 】

また、図 1 に示した構成では、演算増幅器 1 0 のフィードバック容量である容量素子 2 0 に対して容量素子 3 0 を並列に、上部電極と下部電極との接続を逆にして設けることで、増幅回路の出力の線形性を向上させた。出力の線形性を向上させるには、このほか、入力容量に対して同様の構成を設けることでも実現できる。すなわち、一方の容量素子の上部電極と他方の容量素子の下部電極とが接続されて、並列に設けられた入力容量とする。

30

【 0 0 3 0 】

図 5 に、実施例 1 の別の構成例を示す。ここでも $V R 1 = 1 V$ として、容量素子 4 0 および 7 0 が保持する信号振幅 $V s$ が 1 V から 1 . 8 V までの範囲で変化することを考える。この場合、演算増幅器 1 0 の出力 $V o u t$ は 1 V から 0 . 2 V の範囲で変化する。同様に、各容量素子 3 0、4 0、および 7 0 の両端の電圧はそれぞれ 0 V から - 0 . 8 V、1 V から 1 . 8 V、および - 1 V から - 1 . 8 V の範囲で変化する。図 2 の容量値のバイアス依存特性を参照すると、上記範囲での容量値の減少は、容量素子 3 0 よりも容量素子 7 0 の方が大きい。これに対して、容量素子 4 0 は容量値が増大するので、図 4 B や 4 C で示したように、線形性が要求される領域でのゲインが一定になるように、容量素子 4 0 を設定することができる。

40

【 0 0 3 1 】

図 5 に示した構成では、容量素子 4 0 が第 1 の容量素子、容量素子 3 0 を第 2 の容量素子として、第 4 の容量素子である容量素子 7 0 が、増幅回路のゲイン特性を補正する補正部としての役割を担う。

【 0 0 3 2 】

(実施例 2)

本発明に係る別の実施例を説明する。

【 0 0 3 3 】

50

図6は、本実施例に係る増幅回路の構成を示す等価回路図である。以下では、図3に示した構成と同じ要素には同一の符号を付し、実施例1との相違点を中心に説明する。

【0034】

図3の増幅回路は演算増幅器10の帰還経路に、容量素子20と30とが並列に設けられていたのに対して、本実施例では、容量素子30に換えて、容量素子20と演算増幅器10の出力端子との間に直列に設けられたレベルシフト回路80を設けている。レベルシフト回路80は、演算増幅器10の出力を入力信号とする。

【0035】

図6の増幅回路において、容量素子40が保持する信号 $V_{R1} + V_s$ を増幅する場合の動作は、実施例1と同様である。実施例1と同様に、 V_{R1} が1Vで、信号振幅 V_s が0Vから0.8Vの範囲で変動する場合を考える。また、容量素子20と40の容量値は、同じバイアス条件下で等しいものとする。

10

【0036】

レベルシフト回路80がない場合には、図4Aで示したものと同様の特性を示す。つまり、信号振幅 V_s が1Vから1.8Vの範囲で変動する場合、容量素子20は0Vから0.8Vの範囲で変動する。これに対して、本実施例では、レベルシフト回路80を設けることで、信号振幅 V_s の増大にともなって、容量素子20の下部電極の電位が低下する。したがって、容量素子20に印加される電圧を容量40のそれに近づけることになり、ゲインの信号振幅依存性を一定に近づけることができる。

【0037】

20

レベルシフト回路80の具体的な構成としては、ソースフォロワ回路やボルテージフォロワ回路などが挙げられる。

【0038】

本実施例によれば、実施例1と同様に、増幅回路の出力の線形性を向上させるだけでなく、増幅回路が形成される基板に起因する基板ノイズの影響を低減できる。以下にその理由を説明する。

【0039】

容量素子20および40が、図1に示した構造を有する場合、下部電極であるN型の半導体領域64は、P型の半導体領域63との間に空乏層を形成するので、空乏層容量が存在する。P型の半導体領域63の電位がノイズにより変動すると、空乏層容量を介してN型の半導体領域64の電位も変動する。そのため、容量素子の下部電極が演算増幅器10の入力端子に接続されていると、P型の半導体領域で発生したノイズが演算増幅器10の入力に与えられ、演算増幅器10によって増幅される。本実施例に示した増幅回路では、容量素子20、40の上部電極が演算増幅器10の反転入力端子に接続されるように構成しているため、基板ノイズの影響を低減することができる。

30

【0040】

本実施例では、レベルシフト回路80が、増幅回路のゲイン特性を補正する補正部としての役割を担う。換言すると、レベルシフト回路80は、容量素子20の下部電極の電位を調整する電位調整部として機能することで、容量素子20および40の容量値のバイアス依存特性の差を補正する。

40

【0041】

(実施例3)

本発明に係る別の実施例を説明する。

【0042】

図7は、本実施例に係る増幅回路の構成を示す等価回路図である。以下では、図3に示した構成と同じ要素には同一の符号を付し、実施例2の増幅回路との相違点を中心に説明する。

【0043】

実施例2では、演算増幅器10の帰還経路にレベルシフト回路80を設けて、容量素子20の下部電極の電位を調整しているが、増幅回路のダイナミックレンジを広くすること

50

が難しい場合がある。本実施例では、増幅回路のダイナミックレンジを狭めることなく、かつ、出力の線形性を向上させる。

【0044】

例えば、図6におけるレベルシフト回路80が、MOSトランジスタと定電流源回路とを含むソースフォロワ回路であるとすると、ソースフォロワ回路に入力として与えられる信号の最低電位 V_{min} は、次式で与えられる。

【0045】

$$V_{min} = V_{th} + 2 \left(2 I_d / \right) \dots (3)$$

ここで、 V_{th} はMOSトランジスタの閾値電圧、 I_d はMOSトランジスタのドレイン電流であり、は次式で与えられる計数である。

【0046】

$$= \mu_0 \cdot C_{ox} \cdot (W/L) \dots (4)$$

μ_0 はキャリアの移動度、 C_{ox} はMOSトランジスタの単位面積当たりのゲート容量、 W はMOSトランジスタのゲート幅、 L はMOSトランジスタのゲート長である。

【0047】

(3)式の値は、典型的には0.7V程度となる。すなわち、そのようなソースフォロワ回路をレベルシフト回路80として用いると、レベルシフト回路80のために、信号振幅が V_{min} 以上であるということが求められ、ダイナミックレンジが狭まる。

【0048】

本実施例では、スイッチ110、120および容量素子130が補正部としての役割を担う。容量素子130の上部電極は、演算増幅器10の反転入力端子と接続され、下部電極はスイッチ110および120に接続される。スイッチ110と120とは排他的に動作し、容量素子130の下部電極の電位を V_{R2} またはGNDに設定する。なお、以下では容量素子40および130の容量値は容量素子20の容量値 C_{20} と、同一のバイアス条件では等しいものとする。

【0049】

容量素子40に保持された信号 $V_{R1} + V_s$ を増幅することを考える。まず、スイッチ110をオンに、スイッチ60をオフにした状態で、スイッチ50をオンにする。これにより、容量素子20の両端の電位は電位 V_{R1} にほぼ等しくなる。また、容量素子130は、上部電極が電位 V_{R1} とほぼ等しい電位となり、下部電極がGND電位に設定される。

【0050】

次に、スイッチ50およびスイッチ110をオフし、その後スイッチ120をオンにすることで、容量素子130の下部電極が電位 V_{R2} に設定される。これにより容量素子130から容量素子20に移動する電荷量は $V_{R2} \times C_{20}$ であって、演算増幅器10の出力は $-V_{R2}$ だけ変化する。つまり、演算増幅器10の反転入力端子の電位は V_{R1} になり、出力端子の電位は $V_{R1} - V_{R2}$ となる。したがって、容量素子20の下部電極の電位を下げることで、容量素子40との容量値のバイアス依存特性を近づけることができる。

【0051】

続いて、スイッチ60をオンにすると、信号振幅 V_s に応じて増幅回路の出力電位が変化する。

【0052】

以上で説明した本実施例によれば、レベルシフト回路によりダイナミックレンジが狭くなることを抑制しつつ、増幅回路の出力の線形性を向上させることができる。

【0053】

(実施例4)

本発明に係る別の実施例を説明する。

【0054】

図8は、本実施例に係る増幅回路の構成を示す等価回路図である。以下では、図7に示

10

20

30

40

50

した構成と同じ要素には同一の符号を付し、実施例 3 との相違点を中心に説明する。

【 0 0 5 5 】

本実施例に係る増幅回路は、実施例 3 に係る増幅回路とは異なり、容量素子 1 3 0、スイッチ 1 1 0 および 1 2 0 が設けられていない。代わりに、容量素子 2 0 の下部電極と演算増幅器 1 0 の出力端子との間にスイッチ 1 4 0 ならびに、容量素子 2 0 の下部電極と電位 $V R 2$ を供給する電源とを接続するスイッチ 1 4 5 が設けられている。

【 0 0 5 6 】

図 8 の増幅回路において、容量素子 4 0 が保持する信号 $V R 1 + V s$ を増幅する場合の動作を説明する。まず、スイッチ 6 0 および 1 4 0 をオフにした状態で、スイッチ 5 0 および 1 4 5 をオンにする。これにより、容量素子 2 0 の上部電極は電位 $V R 1$ とほぼ等しい電位となり、下部電極は $V R 2$ に設定される。

10

【 0 0 5 7 】

次に、スイッチ 5 0 および 1 4 5 をオフにした後、スイッチ 1 4 0 をオンすることにより、演算増幅器 1 0 の出力端子および容量素子 2 0 の下部電極の電位が $V R 2$ になる。

【 0 0 5 8 】

これに引き続いて、スイッチ 6 0 をオンすることで、信号振幅 $V s$ に応じて増幅回路の出力が変化する。

【 0 0 5 9 】

本実施例において、電位 $V R 1$ と電位 $V R 2$ とが、 $V R 1 > V R 2$ との関係を満たすように設定することで、容量素子 2 0 のバイアス依存特性を容量素子 4 0 のバイアス依存特性に近づけることができる。これにより、増幅回路の出力の線形性を向上させることができる。

20

【 0 0 6 0 】

本実施例においてはスイッチ 1 1 0 と 1 2 0 を含むスイッチ部と容量素子 1 3 0 を含む電位調整部が、容量素子 2 0 の下部電極の電位を調整することで、容量素子 2 0 と 4 0 の容量値のバイアス依存特性を補正する。

【 0 0 6 1 】

本実施例に係る増幅回路は、実施例 3 に係る増幅回路に対して、ランダムノイズの影響を低減することができる。以下にその理由を説明する。

【 0 0 6 2 】

実施例 3 に係る増幅回路では容量素子 1 3 0 の上部電極が演算増幅器 1 0 の反転入力端子と接続されていた。演算増幅器 1 0 の反転入力端子に付随する容量値の総和を $C i n$ とすると、実施例 3 に係る増幅回路では、本実施例に係る増幅回路に対して容量素子 1 3 0 の容量値分だけ $C i n$ が大きくなる。

30

【 0 0 6 3 】

一般に、スイッチをオンした状態からオフにすると、スイッチのオン抵抗に起因するランダムノイズが発生する。スイッチ 5 0 をオフすることでもランダムノイズが発生する。スイッチ 5 0 に起因するランダムノイズを $V r n$ とすると、スイッチ 5 0 をオフしたあとに演算増幅器 1 0 の出力に現れるランダムノイズは $(C i n \times V r n) / C 2 0$ となる。そのため、 $C i n$ が大きい図 7 の増幅回路よりも、本実施例に係る実施例の方がランダムノイズの影響を低減することができる。

40

【 0 0 6 4 】

(実施例 5)

本発明に係る別の実施例を説明する。

【 0 0 6 5 】

図 9 は、本実施例に係る増幅回路の構成を示す等価回路図である。図 3 に示した構成と同じ要素には同一の符号を付し、実施例 1 との相違点を中心に説明する。本実施例は、容量素子 4 0 に保持された信号を、2 段の演算増幅器 1 0 および 1 5 0 で増幅する構成である点で、実施例 1 と異なる。

【 0 0 6 6 】

50

本実施例に係る増幅回路205は、2つの増幅部200と201を含む。第1および第2の増幅部としての増幅部200および201は同等な構成を有し、それぞれ演算増幅器と、帰還容量としての容量素子を有する。帰還容量の上部電極は演算増幅器の反転入力端子に接続され、下部電極は演算増幅器の出力端子に接続されている。

【0067】

増幅回路205は入力端子IN+およびIN-を備え、それぞれがスイッチを介して入力容量としての容量素子の上部電極と接続される。

【0068】

増幅回路205は演算増幅器150をさらに含み、演算増幅器150の各入力端子は、それぞれ第1または第2の接続容量としての容量素子190、210を介して増幅部200および201の出力端子と接続される。演算増幅器150の帰還経路には、容量素子160、170およびスイッチ180が設けられている。容量素子160および170は、容量素子160の上部電極は容量素子170の下部電極と接続され、容量素子160の下部電極は容量素子170の上部電極と接続される、逆並列接続構成となっている。演算増幅器150の非反転入力端子は、第5および第6の容量素子としての容量素子220、240およびスイッチ230を介して電位VR1を供給する電源と接続される。容量素子220と240とは逆並列接続される。

【0069】

容量素子40に保持された信号VR1+Vsを増幅回路205で増幅することを考える。初期状態において、第7の容量素子としての容量素子41の上部電極の電位はVR1であるとする。なお、例えばC20表記した場合、容量素子20の容量値を示し、他の容量素子についても同様に表記する。

【0070】

まず、スイッチ60、61をオフにした状態で、スイッチ50、51、230、180をオンにする。これにより、容量20および21の両端が電位VR1にほぼ等しい電位にリセットされるとともに、演算増幅器150の非反転入力端子が電位VR1にリセットされ、反転入力端子および出力端子が電位VR1にほぼ等しい電位にリセットされる。

【0071】

次に、スイッチ50、51、180および230をオフした後、スイッチ60および61をオンにする。容量素子41の上部電極の電位は、あらかじめVR1に設定されていたので、スイッチ61をオンしても電位VR1が保たれる。したがって、演算増幅器150の非反転入力端子の電位もVR1に保たれる。一方、スイッチ60がオンすることで、電荷がVs×C40だけ容量素子20に移動する。これにより、演算増幅器150の出力、すなわち増幅部200の出力端子の電位Vout1は次式で表される電位に変化する。

【0072】

$$V_{out1} = VR1 - (C40 / C20) V_s \quad \dots (5)$$

この電位変化とともに、容量素子190から、容量素子160および170には(Vs×C40)/C20だけ電荷が移動するので、演算増幅器150の出力端子の電位Vout2は、次式で表される電位に変化する。

【0073】

$$V_{out2} = VR1 + (C40 / C20) \cdot \{ C190 / (C160 + C170) \} \quad \dots (6)$$

したがって、増幅回路205の入力端子IN+の電位変化 Vs に対する、出力端子の電位変化 Vout2であるゲインGは、次式で表される。

【0074】

$$G = V_{out2} / V_s = (C40 / C20) \cdot \{ C190 / (C160 + C170) \} \quad \dots (7)$$

仮に同じバイアス条件における容量値C20、C40、C190および(C160+C170)が等しいとすると、(7)式で表される増幅回路205のゲインGは1となる。ところが、各容量素子の容量値は、バイアス依存性を持つため、入力信号の信号振幅Vs

10

20

30

40

50

の大きさによって、容量値が変動する。C 1 6 0 および C 1 7 0 を変化させた場合の、演算増幅器 1 5 0 のゲインの信号振幅依存特性の変化を説明する。

【 0 0 7 5 】

C 1 6 0 : C 1 7 0 = 1 0 : 0、すなわち容量素子 1 7 0 を設けない場合の、増幅回路 2 0 5 のゲインの信号振幅依存性を、図 1 0 に示す。この条件にあっては、信号振幅が増大するにつれてゲインの絶対値が低下することが理解できる。

【 0 0 7 6 】

V R 1 が 1 V であるとき、信号振幅 V s が 0 ~ 1 V の範囲では容量素子 4 0 0 は 1 V ~ 1 . 8 V の範囲となる。一方、容量素子 2 0 は 0 V ~ 0 . 8 V の範囲となるため、信号振幅の増大に伴う C 2 0 の増大の方が、C 4 0 の増大よりも大きく、式 (7) における C 4 0 / C 2 0 の値が低下する。一方、C 1 9 0 と C 1 6 0 とは、同じ範囲で電位が変動するため、信号振幅 V s に対して一定の値となる。この結果、C 1 6 0 : C 1 7 0 = 1 0 : 0 の場合には、信号振幅の増加に対してゲインが低下する特性を示す。

【 0 0 7 7 】

次に、C 1 6 0 : C 1 7 0 = 7 . 5 : 2 . 5 の場合における、増幅回路 2 0 5 のゲインの信号振幅依存特性を、図 1 5 に示す。この場合、式 (7) における C 4 0 / C 2 0 の値が、信号振幅 V s の増大に伴って低下する一方で、容量 C 1 7 0 を設けたことにより C 1 9 0 / (C 1 6 0 + C 1 7 0) の項が増大する。そのため、増幅回路のゲインは図 1 0 に示した場合と比べて、ゲインがほぼ一定となる。つまり、容量 C 1 7 0 によって増幅回路 2 0 5 の出力の線形性が向上する。ここでは示さないが、信号振幅が大きい範囲での線形性を重視する場合には、C 1 6 0 に対する C 1 7 0 の比率を上げることで、図 4 C に示したようにもできる。

【 0 0 7 8 】

本実施例に係る増幅回路 2 0 5 において、容量素子 1 7 0 の下部電極が演算増幅器 1 5 0 の反転入力端子に接続されていることから、半導体基板に起因するノイズが演算増幅器 1 5 0 に入力される。このノイズの影響を低減するために、本実施例では容量素子 2 2 0 の下部電極を演算増幅器 1 5 0 の非反転入力端子と接続している。これにより、演算増幅器 1 5 0 の非反転入力端子にも半導体基板に起因するノイズが重畳されるので、演算増幅器 1 5 0 の同相ノイズ除去性能に応じて、当該ノイズを低減することができる。

【 0 0 7 9 】

また、本実施例では、増幅部 2 0 1 および容量素子 2 1 0 を設けたことにより、容量素子 4 0 および 4 1 上の信号に重畳する同相ノイズを、演算増幅器 1 5 0 により低減することができる。

【 0 0 8 0 】

ところで、増幅回路 2 0 5 において、スイッチ 6 1 は省略してもよいが、入力端子 I N + 側との構成を対称にするために、スイッチ 6 1 を設けることが望ましい。また、スイッチ 6 1 を常時オンに維持してもよいが、入力端子 I N + 側と動作を揃えることが望ましい。

【 0 0 8 1 】

(実施例 6)

本発明に係る別の実施例を説明する。ここでは、画素を 1 行 x 6 列の画素を持つ光電変換装置に、上述の実施例で説明した増幅回路を用いた例を図 1 1 に示す。

【 0 0 8 2 】

光電変換装置 2 4 5 は、複数の画素 2 6 0 が設けられた画素アレイ 2 5 0、メモリ 2 9 0、スイッチ 3 1 0、3 1 1、水平シフトレジスタ 3 0 0、水平信号線 3 4 0、3 7 0、および増幅回路 3 2 0 を含む。

【 0 0 8 3 】

画素から出力された信号は、スイッチ 3 1 0 を介してメモリ 2 9 0 に保持される。水平シフトレジスタ 3 0 0 によりスイッチ 3 1 1 がオンすると、メモリ 2 9 0 に保持された信号は、水平信号線 3 4 0、3 7 0 を介して増幅回路 3 2 0 に伝達される。

【 0 0 8 4 】

メモリ 2 9 0 は 2 つの保持容量 C_{tn} 、 C_{ts} を持つ。それぞれの保持容量は、画素 1 6 0 から出力されたノイズ成分と信号成分を保持する。したがって、増幅回路 3 2 0 で両者の差分を取ることで、信号成分からノイズ成分を低減することができる。なお、ノイズ成分とは例えば画素 2 6 0 がそれぞれ増幅器を持つ場合に、その入力をリセットすることで生じるノイズが挙げられる。

【 0 0 8 5 】

増幅回路 3 2 0 は、例えば実施例 5 で説明した増幅回路 2 0 5 を適用できる。この場合、容量素子 4 0 が保持容量 C_{ts} 、容量素子 4 1 が保持容量 C_{tn} に対応し、スイッチ 3 1 1 がスイッチ 6 0 および 6 1 に対応する。

10

【 0 0 8 6 】

画素アレイ 2 5 0 に設けられる画素は、複数行の画素 2 6 0 を含んでよい。4 行 × 6 列の画素を有する光電変換装置の構成例を、図 1 2 に示す。

【 0 0 8 7 】

光電変換装置 2 4 6 と光電変換装置 2 4 5 との相違点は、画素の行を選択するための垂直シフトレジスタ 2 7 0 と、画素アレイ 2 5 0 の列毎に増幅回路 2 8 0 を有することである。また、増幅回路 3 2 0 および 3 2 1 を設け、1 列おきのメモリ 2 9 0 とそれぞれ接続される点でも異なる。

【 0 0 8 8 】

本実施例において、メモリ 2 9 0 に保持される信号は、増幅回路 2 8 0 に起因するノイズ成分を含む。増幅回路 3 2 0 および 3 2 1 で、メモリ 2 9 0 に保持された信号の差分を取ることで、増幅回路 2 8 0 に起因するノイズを低減することができる。

20

【 0 0 8 9 】

本実施例の画素アレイ 2 5 0 に対して、例えばベイヤ配列のカラーフィルタを設けたとすると、増幅回路 3 2 0 と 3 2 1 とで、増幅する信号の色が異なる。一般に、異なる色同士ではカラーフィルタの光透過率が異なるため、増幅回路 3 2 0、3 2 1 に与えられる信号の信号振幅も異なる。増幅回路 3 2 0 と 3 2 1 として、実施例 5 に示した増幅回路 2 0 5 を用いるとすると、入力される信号の範囲に合わせて容量素子 1 6 0 と 1 7 0 の容量値の比を設定することで、それぞれの増幅回路の出力の線形性を最適化できる。例えば、入力される信号の信号振幅が小さい増幅回路は、 $C_{160} : C_{170} = 7.5 : 2.5$ として、図 1 5 のように設定し、入力される信号の信号振幅が大きい増幅回路は、 $C_{160} : C_{170} = 6.5 : 3.5$ として、図 4 C のような特性を持つように設定する。

30

【 0 0 9 0 】

また、増幅回路 2 8 0 に対しても、上述の各実施例で説明した増幅回路を適用することができる。

【 0 0 9 1 】

(実施例 7)

次に、本実施形態に係る撮像システムの概略を、図 1 3 を用いて説明する。

【 0 0 9 2 】

撮像システム 8 0 0 は、例えば、光学部 8 1 0、撮像装置 1 0 0 0、映像信号処理回路部 8 3 0、記録・通信部 8 4 0、タイミング制御回路部 8 5 0、システムコントロール回路部 8 6 0、および再生・表示部 8 7 0 を含む。撮像装置 1 0 0 0 は、実施例 6 で説明した光電変換装置が用いられる。

40

【 0 0 9 3 】

レンズなどの光学系である光学部は 8 1 0、被写体からの光を撮像装置 1 0 0 0 の、複数の画素が 2 次元状に配列された画素アレイに結像させ、被写体の像を形成する。撮像装置 1 0 0 0 は、タイミング制御回路部 8 5 0 からの信号に基づくタイミングで、画素部に結像された光に応じた信号を出力する。

【 0 0 9 4 】

撮像装置 1 0 0 0 から出力された信号は、映像信号処理部である映像信号処理回路部 8

50

30に入力され、映像信号処理回路部830が、プログラムなどによって定められた方法に従って、入力された電気信号に対してAD変換などの処理を行う。映像信号処理回路部での処理によって得られた信号は画像データとして記録・通信部840に送られる。記録・通信部840は、画像を形成するための信号を再生・表示部870に送り、再生・表示部870に動画や静止画像が再生・表示させる。記録通信部は、また、映像信号処理回路部830からの信号を受けて、システムコントロール回路部860とも通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

【0095】

システムコントロール回路部860は、撮像システムの動作を統括的に制御するものであり、光学部810、タイミング制御回路部850、記録・通信部840、および再生・表示部870の駆動を制御する。また、システムコントロール回路部860は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラムなどが記録される。また、システムコントロール回路部860は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内で供給する。具体的な例としては、読み出す行やリセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらしなどである。

10

【0096】

タイミング制御回路部850は、制御部であるシステムコントロール回路部860による制御に基づいて撮像装置1000および映像信号処理回路部830の駆動タイミングを制御する。

20

【0097】

映像信号処理回路部830は、先述の各実施例で説明した補正係数を保持し、撮像装置1000から出力された信号に対して補正処理を行う。

【0098】

以上で説明した各実施例は、本発明を説明するための例示的なものであって、本発明の技術的思想を逸脱しない範囲で様々に変更あるいは組み合わせることが可能である。

【0099】

(その他)

各実施例に係る増幅回路は、演算増幅器10を持つ構成を例にとって説明したが、演算増幅器に代えてソース接地回路を用いることができる。

30

【0100】

また、容量素子はポリシリコン層と半導体層とを用いて形成したものを説明したが、間に絶縁層を挟んで設けられた2つのポリシリコン層や、2つの金属層で形成した容量素子でもよいし、MOSFETを用いた容量素子でもよい。

【0101】

また、各実施例において、反転増幅回路を含む増幅回路を説明したが、非反転増幅回路であってもよい。

【0102】

各実施例は、本発明を実施するための形態を例示したに過ぎず、本発明の要旨を変えない範囲でさまざまに構成を変えたり、複数の実施例を組み合わせたりすることができる。

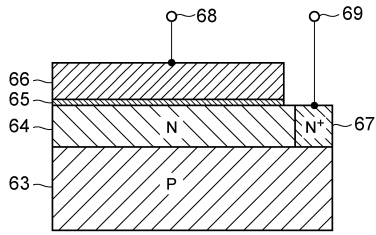
40

【符号の説明】

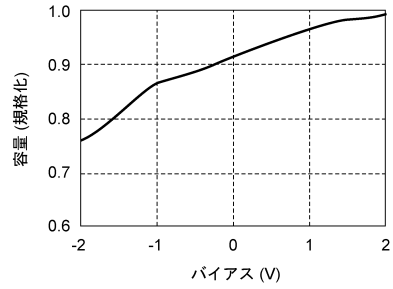
【0103】

- 10、11、150 演算増幅器
- 20、30、40、70 容量素子
- 80 レベルシフト回路
- 200、201 増幅部
- 250 画素

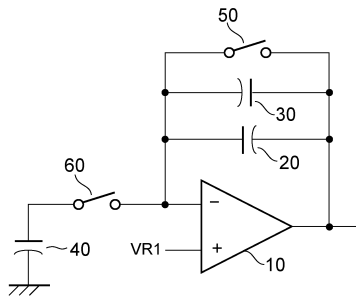
【図1】



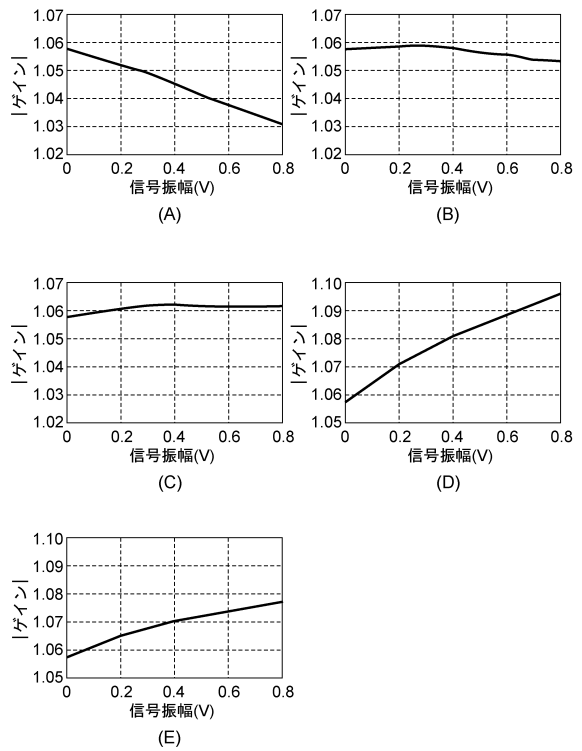
【図2】



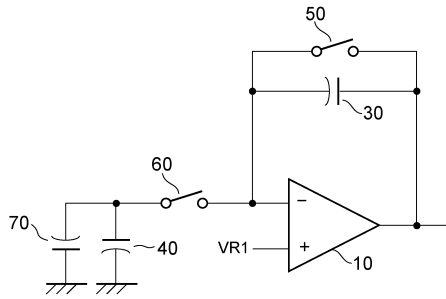
【図3】



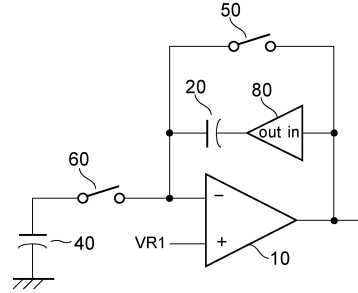
【図4】



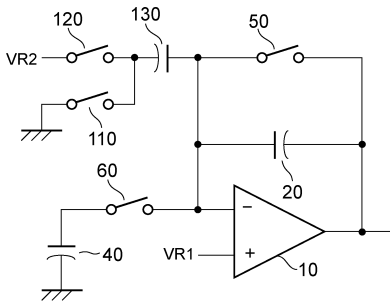
【 図 5 】



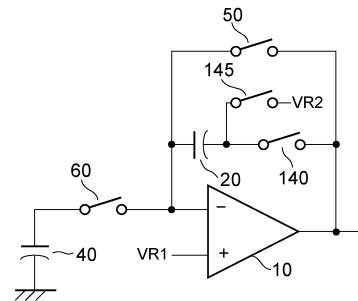
【 図 6 】



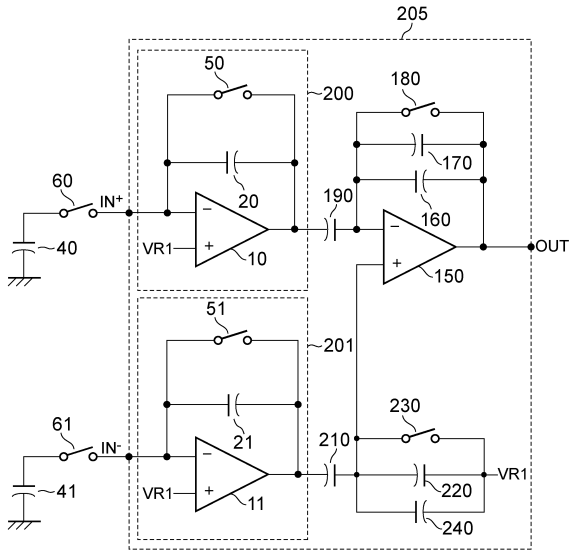
【 図 7 】



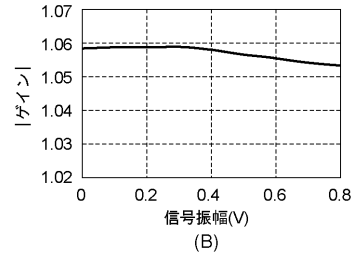
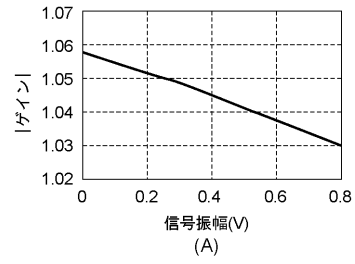
【 図 8 】



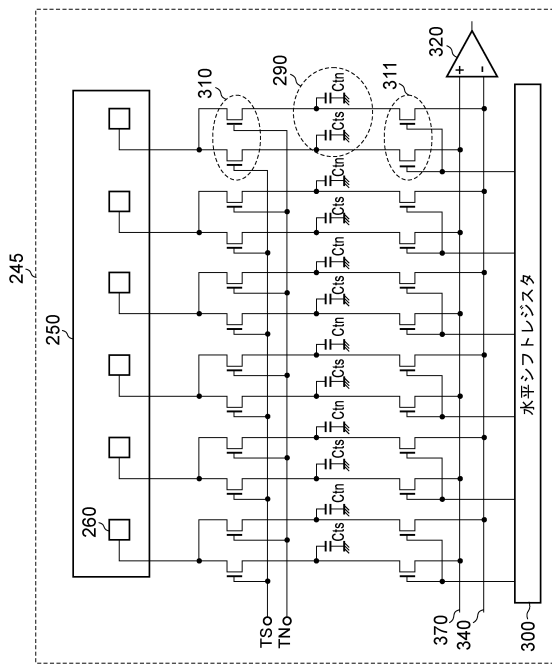
【図9】



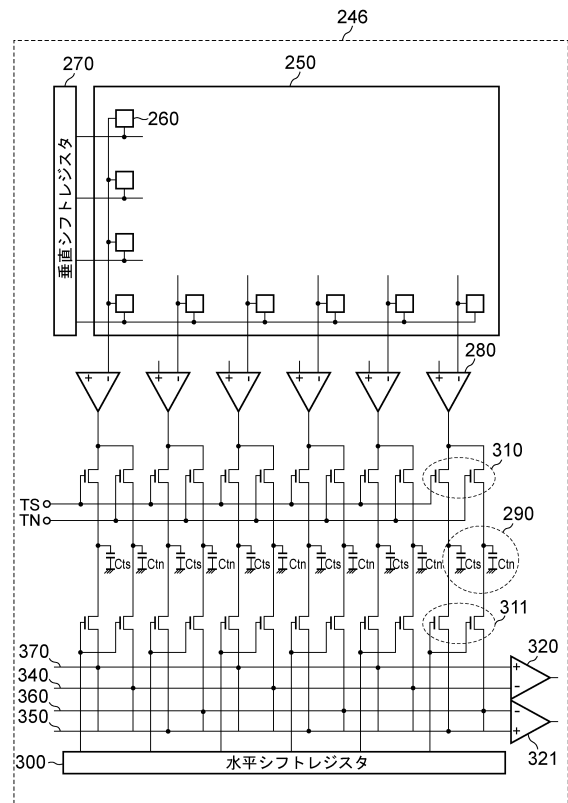
【図10】



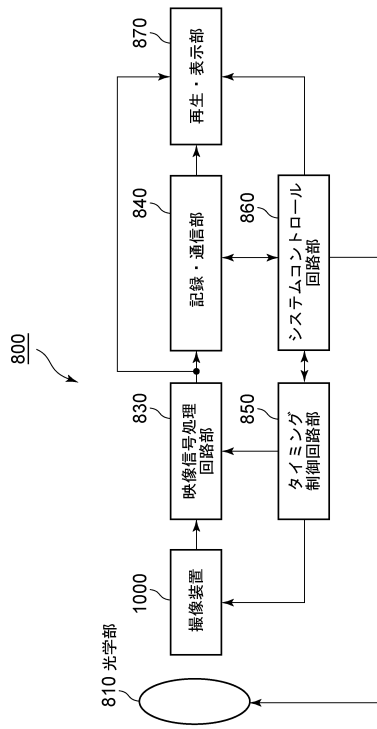
【図11】



【図12】



【図13】



フロントページの続き

- (56)参考文献 特開平02-210859(JP,A)
特開平07-221599(JP,A)
特開昭61-126814(JP,A)
特開平06-343013(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/32
H03F 3/70
H04N 5/3745