

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 23 年 7 月 7 日 (2011.7.7)

【公表番号】特表 2011-511604 (P2011-511604A)
 【公表日】平成 23 年 4 月 7 日 (2011.4.7)
 【年通号数】公開・登録公報 2011-014
 【出願番号】特願 2010-546069 (P2010-546069)
 【国際特許分類】

H 0 3 M 1/66 (2006.01)

【F I】

H 0 3 M 1/66 C

【手続補正書】

【提出日】平成 23 年 5 月 19 日 (2011.5.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

アナログ回路からのアナログ出力信号および第 1 のデジタル回路を受信し、第 2 のデジタル信号を供給するように構成されたフィードバック回路と、

前記フィードバック回路に結合され、前記第 2 のデジタル信号を受信し、1 次またはより高次のホールドでデジタル / アナログ変換を実行する前記アナログ回路、前記アナログ回路のためのアナログ入力信号を供給するように構成されたゼロ次のホールド (ZOH)回路と、

を備える装置。

【請求項 2】

前記フィードバック回路に結合され、デジタル入力信号を受信し、前記第 1 のデジタル信号を供給するように構成された逆モデル回路をさらに備え、前記逆モデル回路は、前記 ZOH 回路および前記アナログ回路の組み合わされた伝達回路の逆数に基づいて決定される伝達関数を有する、

請求項 1 に記載の装置。

【請求項 3】

前記フィードバック回路は、前記アナログ出力回路に基づいて低周波数ノイズ・フィルタリングを実行するように構成される、

請求項 1 に記載の装置。

【請求項 4】

前記フィードバック回路は、前記アナログ回路の伝達関数に基づいて決定される伝達関数を有するモデル回路を備える、

請求項 1 に記載の装置。

【請求項 5】

前記モデル回路の前記伝達関数は、前記 ZOH 回路の伝達関数にさらに基づいて決定される、

請求項 4 に記載の装置。

【請求項 6】

前記フィードバック回路は、前記アナログ回路の少なくとも 1 つのパラメータを推定するように構成された適応回路をさらに備え、前記モデル回路の前記伝達関数は、前記少な

くとも１つの推定されたパラメータに基づく、
請求項４に記載の装置。

【請求項７】

前記フィードバック回路は、前記アナログ回路のポール周波数および利得を推定するように構成された適応回路をさらに備え、前記モデル回路の前記伝達関数は、前記推定されたポール周波数および利得に基づく、

請求項４に記載の装置。

【請求項８】

前記フィードバック回路は、第１のデジタル信号を受信し、モデル出力信号を供給するように構成されたモデル回路と、

前記モデル出力信号とデジタル化された出力信号との差を取り、エラー信号を供給するように構成された第１の加算器と、

前記エラー信号をフィルタにかけ、フィルタにかけられた信号を供給するように構成されたループ・フィルタと、

前記フィルタにかけられた信号と前記第１のデジタル信号との和を取り、前記第２のデジタル信号を供給するように構成された第２の加算器と、

を備える請求項１に記載の装置。

【請求項９】

前記ループ・フィルタは、前記第１のデジタル信号の帯域幅より小さな帯域幅でノイズ・フィルタリングを実行するように構成される、

請求項８に記載の装置。

【請求項１０】

前記フィードバック回路は、前記アナログ出力信号をデジタル化し、前記デジタル化された出力信号を供給するように構成されたアナログ／デジタル変換器（ＡＤＣ）をさらに備える、

請求項８に記載の装置。

【請求項１１】

前記ＡＤＣは、ノイズ形成変調器を備える、

請求項１０に記載の装置。

【請求項１２】

前記フィードバック回路は、前記第１のデジタル信号のための広域変調パスと前記第１のデジタル信号のための低域変調パスを備える、

請求項１に記載の装置。

【請求項１３】

前記アナログ回路は、少なくとも１つのポールを備える、請求項１に記載の装置。

【請求項１４】

前記アナログ回路は、

【数１８】

$$G(s) = \frac{b}{s+a}$$

の s - ドメイン伝達関数 $G(s)$ を有し、

ここで、 a は、前記アナログ回路のポール周波数であり、 b は、前記アナログ回路の利得である、

請求項１に記載の装置。

【請求項１５】

前記ボールの周波数は、前記第 1 のデジタル信号のサンプリング周波数より少なくとも 10 倍小さい、

請求項 14 に記載の装置。

【請求項 16】

アナログ回路からのアナログ出力信号および第 1 のデジタル回路を受信し、第 2 のデジタル信号を供給するように構成されたフィードバック回路と

前記フィードバック回路に結合され、前記第 2 のデジタル信号を受信し、1 次またはより高次のホールドでデジタル / アナログ変換を実行する前記アナログ回路、前記アナログ回路のためのアナログ入力信号を供給するように構成されたゼロ次のホールド (ZOH)回路と、

を備える集積回路。

【請求項 17】

前記フィードバック回路に結合され、デジタル入力信号を受信し、前記第 1 のデジタル信号を供給するように構成された逆モデル回路をさらに備え、前記逆モデル回路は、前記 ZOH 回路および前記アナログ回路の組み合わされた伝達回路の逆数に基づいて決定される伝達関数を有する、

請求項 16 に記載の集積回路。

【請求項 18】

前記フィードバック回路は、前記第 1 のデジタル信号を受信し、モデル出力信号を供給するように構成されたモデル回路と、

前記モデル出力信号とデジタル化された出力信号との差をとり、エラー信号を供給するように構成された第 1 の加算器と、

前記エラー信号をフィルタにかけ、フィルタにかけられた信号を供給するように構成されたループ・フィルタと、

前記フィルタにかけられた信号と前記第 1 のデジタル信号との和を取り、前記第 2 のデジタル信号を供給するように構成された第 2 の加算器と、

を備える請求項 16 に記載の集積回路。

【請求項 19】

1 次またはより高次のホールドでデジタル / アナログ変換を実行するための方法であって、前記方法は、

第 2 のデジタル信号を取得するためにアナログ回路からのアナログ出力信号および第 1 のデジタル回路を処理することと、

前記アナログ回路のためのアナログ入力信号を取得するためにゼロ次のホールドでデジタルからアナログに前記第 2 のデジタル信号を変換することと、

前記アナログ出力信号を取得するために前記アナログ回路を前記アナログ入力信号が通過することと、

を備える方法。

【請求項 20】

前記第 1 のデジタル信号を得るために、前記ゼロ次のホールド及び前記アナログ回路の伝達関数の組み合わせの逆数に基づいて決定された伝達関数でデジタル入力信号を処理すること、

をさらに備える請求項 19 に記載の方法。

【請求項 21】

前記フィードバック回路で前記アナログ出力信号と前記第 1 のデジタル信号を前記処理することは、

モデル出力信号を取得するためにモデル回路で前記第 1 のデジタル信号を処理することと、

エラー信号を取得するために前記モデル出力信号とデジタル化された出力信号との差をとることと、

フィルタにかけられた信号を取得するためにループ・フィルタで前記エラー信号をフィ

ルタリングすることと、

前記第 2 のデジタル信号を取得するために前記第 1 のデジタル信号と前記フィルタにかけられた信号との和をとることと、

を備える請求項 19 に記載の方法。

【請求項 22】

アナログ回路の少なくとも 1 つのパラメータを推定することと、

前記少なくとも 1 つの推定されたパラメータに基づいて前記モデル回路の伝達関数を実施することと、

をさらに備える請求項 21 に記載の方法。

【請求項 23】

前記アナログ回路のポール周波数および利得を推定することと、

前記推定されたポール周波数および利得に基づいてモデル回路の伝達関数をインプリメントすることと、

をさらに備える請求項 21 に記載の方法。

【請求項 24】

1 次またはより高次のホールドでデジタル / アナログ変換を実行するための装置であって、前記装置は、

第 2 のデジタル信号を取得するためにアナログ回路からのアナログ出力信号および第 1 のデジタル回路を処理するための手段と、

前記アナログ回路のためのアナログ入力信号を取得するためにゼロ次のホールドでデジタルからアナログに前記第 2 のデジタル信号を変換するための手段と、

前記アナログ出力信号を取得するために前記アナログ回路を前記アナログ入力信号が通過するための手段と、

を備える装置。

【請求項 25】

前記第 1 のデジタル信号を得るために、前記ゼロ次のホールド及び前記アナログ回路の伝達関数の組み合わせの逆数に基づいて決定された伝達関数でデジタル入力信号を処理するための手段、

をさらに備える請求項 24 に記載の装置。

【請求項 26】

前記フィードバック回路で前記アナログ出力信号と前記第 1 のデジタル信号を前記処理するための手段は、

モデル出力信号を取得するためにモデル回路で前記第 1 のデジタル信号を処理するための手段と、

エラー信号を取得するために前記モデル出力信号とデジタル化された出力信号との差を取るための手段と、

フィルタにかけられた信号を取得するためにループ・フィルタで前記エラー信号をフィルタリングするための手段と、

前記第 2 のデジタル信号を取得するために前記第 1 のデジタル信号と前記フィルタにかけられた信号との和をとるための手段と、

備える請求項 24 に記載の装置。

【請求項 27】

アナログ回路の少なくとも 1 つのパラメータを推定するための手段と、

前記少なくとも 1 つの推定されたパラメータに基づいて前記モデル回路の伝達関数をインプリメントするための手段と、

をさらに備える請求項 26 に記載の装置。

【請求項 28】

前記アナログ回路のポール周波数および利得を推定するための手段と、

前記推定されたポール周波数および利得に基づいてモデル回路の伝達関数を実施するための手段と

をさらに備える請求項 26 に記載の装置。

【請求項 29】

コンピュータ可読媒体を備えるコンピュータ・プログラム製品であって、

前記コンピュータ可読媒体は、

少なくとも 1 つのコンピュータに、第 2 のデジタル信号を取得するために第 1 のデジタル信号を処理させることをもたらすためのコードと、

少なくとも 1 つのコンピュータに、エラー信号を取得するために前記モデル出力とデジタル化された出力信号との差をとらせることをもたらすためのコードと、

少なくとも 1 つのコンピュータに、フィルタにかけられた信号を取得するためにループ・フィルタで前記エラー信号をフィルタにかけさせることをもたらすためのコードと、

少なくとも 1 つのコンピュータに、ゼロ次ホールドでデジタルからアナログに変換するために適した第 2 のデジタル信号を取得するために前記フィルタにかけられた信号と前記第 1 のデジタル信号との和をとらせること、およびアナログ出力回路を取得するためにアナログ回路、をもたらすためのコードと、

を備えるコンピュータ・プログラム製品。

【請求項 30】

前記コンピュータ可読媒体は、

少なくとも 1 つのコンピュータに、アナログ回路の少なくとも 1 つのパラメータを推定させることをもたらすためのコードと、

前記少なくとも 1 つのコンピュータに、前記少なくとも 1 つの推定されたパラメータに基づいてモデル回路の伝達関数をインプリメントさせるためことをもたらすためのコードと、

をさらに備える請求項 29 に記載のコンピュータ・プログラム製品。