

# 公告本

申請日期	91.7.19
案 號	91116151
類 別	HOIL 2/48

A4  
C4

(以上各欄由本局填註)

558772

## 發明專利說明書

一、發明名稱	中 文	半導體晶圓、半導體裝置及其製造方法
	日 文	半導体ウェハーならびに半導体装置およびその製造方法
二、發明人	姓 名	1.長尾 浩一 KOICHI NAGAO 2.藤本 博昭 HIROAKI FUJIMOTO
	國 籍	1.2. 皆日本 JAPAN
三、申請人	住、居所	1.日本國京都府京都市伏見區東濱南町670-4-601 2.日本國大阪府枚方市茄子作4-16-9
	姓 名 (名稱)	日商松下電器產業股份有限公司 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
三、申請人	國 籍	日本 JAPAN
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
三、申請人	代 表 人 姓 名	中村 邦夫 KUNIO NAKAMURA

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權  
 日本 2001年08月08日 特願2001-240845 有 無 主張優先權

有關微生物已寄存於: 寄存日期: , 寄存號碼:

裝

訂

線

## 五、發明說明( )

### 發明之技術領域

本發明係有關於上面上分別形成有半導體積體電路之兩個半導體晶片藉由倒裝片接合而彼此接合之晶片上晶片(COC; Chip On Chip)型的半導體裝置。

### 先前技藝

近年來，為求設有積體電路之半導體裝置的低成本化、小型化及高性能化(高速化、低耗電化)，積極嘗試各種方式。例如，提出有具備具有彼此不同功能之LSI，或藉由彼此不同製程所形成之LSI的兩個半導體晶片，藉由倒裝片接合而彼此接合的COC型半導體裝置。

以下，說明兩個半導體晶片藉由倒裝片接合而彼此接合之先前半導體裝置及其製造方法。

圖11(a)係顯示分別具有構成搭載於先前半導體裝置之半導體晶片之數個半導體晶片區域的半導體晶圓模式圖。圖11(b)係放大顯示圖11(a)之半導體晶圓上面的平面圖。

如圖11(a)及(b)所示，在半導體晶圓1上形成有數個半導體晶片區域2。各半導體晶片區域2被分離線3分割，在各半導體晶片區域2上形成有數個電極墊4。各半導體晶片區域2藉由沿著分離線3被切斷，形成搭載於先前之半導體裝置上的半導體晶片。

此處，形成於半導體晶片區域2之電極墊4係用作執行與外部電性連接用之外部電極墊，及用作執行各個半導體晶片之電性檢查用的探針墊。亦即，一個電極墊兼用作外部電極墊與檢查電極墊。而各個半導體晶片區域2的表面上僅

## 五、發明說明(2)

顯示電極墊4，其他配線等的圖式省略。

圖12(a)係顯示自先前半導體裝置具備之半導體晶圓1分割之半導體晶片2a與另外之半導體晶片5的模式圖，圖12(b)係先前半導體裝置的剖面圖。

如圖12(a)及(b)所示，半導體晶片5的上面上形成有形成於電極墊8上的突起電極6及外部電極墊7。此外，在半導體晶片2a上面上之電極墊4上形成有突起電極9。先前之半導體裝置200藉由连接有突起電極6與突起電極9，半導體晶片5與半導體晶片2a藉由倒裝片接合而接合。此時，如圖12(a)所示，半導體晶片2a搭載於半導體晶片5上面上之以虛線顯示的區域上。

如圖12(b)所示，先前之半導體裝置200，在半導體晶片5與半導體晶片2a之間充填有絕緣性樹脂10。此外半導體晶片5固定於引導框架之晶片焊墊11上。再者半導體晶片5之外部電極墊7與引導框架之內部引線12係藉由金屬細線13電性連接。半導體晶片5、半導體晶片2a、晶片焊墊11、內部引線12及金屬細線13藉由封裝樹脂14封裝。

其次，說明先前之半導體裝置200的製造方法。

首先，在半導體晶片5上之中央部塗敷絕緣性樹脂。繼續，將半導體晶片2a擠壓在半導體晶片5上，連接半導體晶片5之突起電極6與半導體晶片2a之突起電極9。另外，亦可藉由倒裝片接合連接半導體晶片5與半導體晶片2a後，注入絕緣性樹脂。

其次，藉由金屬細線13連接半導體晶片5之外部電極墊7

## 五、發明說明(3)

與引導框架之內部引線12後，以封裝樹脂14封裝半導體晶片2a、半導體晶片5、晶片焊墊11、內部引線12及金屬細線13。繼續，藉由形成自封裝樹脂14突出之引導框架的外部引線，以獲得半導體裝置200。

發明所欲解決之問題

但是，先前之半導體裝置200，須在搭載半導體晶片2a之半導體晶片5的周圍設置連接金屬細線13用的外部電極墊7。且設有外部電極墊7之位置，如圖12(a)所示，須為搭載有半導體晶片2a之區域S的外側。因而，半導體晶片5之尺寸須大於半導體晶片2a的尺寸。

因此，考慮藉由縮小半導體晶片2a之尺寸，縮小半導體晶片5的尺寸，以縮小半導體裝置的尺寸。但是，從以下所述的情況，存在縮小半導體晶片2a尺寸困難的問題。

形成於半導體晶圓1之半導體晶片區域2，於探測之電性檢查後，僅拾取良品。其次，藉由分離所拾取之半導體晶片區域2所獲得之半導體晶片2a，藉由倒裝片接合而接合於半導體晶片5上。

為執行探測之電性檢查需要探針墊，半導體晶片區域2(半導體晶片2a)之電極墊4的一部分形成探針墊。探針於接觸探針墊之電極墊4後會滑動。因此，為使探針確實接觸於探針墊之電極墊4，探針墊之電極墊4需要形成大於一邊為70  $\mu\text{m}$ 以上之正方形的尺寸。因此，半導體晶片2a的尺寸必然變大。以致縮小半導體晶片2a的尺寸困難。

此外，隨半導體裝置之高性能化(高速化、低耗電化)，因

## 五、發明說明(4)

在半導體晶片區域2(半導體晶片2a)內形成探針墊，亦存在無法忽略探針墊、電極墊、電極墊之保護電路、突起電極及配線之各個靜電電容及電感等之影響的問題。

本發明之半導體裝置係在解決上述先前的問題，其目的在提供一種小型且高性能的半導體裝置。

解決問題之手段

本發明之半導體晶圓分別具備構成半導體晶片之數個半導體晶片區域，及將上述數個半導體晶片區域分離成各個半導體晶片用的切斷區域，上述數個半導體晶片區域內設有積體電路及連接於上述積體電路的電極墊，上述切斷區域上設有連接於上述電極墊的探針墊。

本發明之半導體晶圓藉由使探針接觸於探針墊，於檢查半導體晶圓後，藉由切斷除去形成有檢查後不需要之探針墊的切斷區域。因而構成半導體晶片之半導體晶片區域的尺寸變小。因此，採用本發明可獲得比先前之半導體晶圓所獲得之半導體晶片小型的半導體晶片。此外，由於所獲得之半導體晶片係藉由切斷除去探針墊，因此不需要考慮探針墊的靜電電容及電感。因此，本發明之半導體晶片之電極墊等配線的靜電電容及電感小於先前之半導體晶片之電極墊等之配線的靜電電容及電感。

亦可構成形成於上述各個半導體晶片區域上之上述電極墊的數量多於連接於上述電極墊之上述探針墊的數量。

宜構成形成於上述各個半導體晶片區域上之上述電極墊的間距小於連接於上述電極墊之上述探針墊的間距。

## 五、發明說明(5)

藉此，於檢查時可加長向探針滑動方向之探針墊的形狀。因而可更確實地實施檢查。

亦可構成形成於上述各個半導體晶片區域上之上述電極墊的尺寸小於連接於上述電極墊之上述探針墊的數量。

亦可構成連接於上述電極墊之上述探針墊沿著上述半導體晶片區域之一邊、兩邊、或三邊形成。

上述切斷區域內亦可設有上述探針墊的保護電路。

連接於上述各個半導體晶片區域上所形成之上述電極墊的配線，比連接於上述探針墊之配線，宜使用下層之配線層來形成。

藉此，可縮短自內部電路至電極墊的配線長度。因此可減少配線電容。

本發明之半導體裝置具備：第一半導體晶片，其係具有：第一積體電路；連接於上述第一積體電路之第一電極墊；及形成於上述第一電極墊上的第一突起電極；及第二半導體晶片，其係具有：第二積體電路；連接於上述第二積體電路之第二電極墊；及形成於上述第二電極墊上的第二突起電極；於上述第一半導體晶片的側端面，連接於上述第一電極墊之檢查用配線的剖面露出，上述第一突起電極與上述第二突起電極電性連接。

本發明之第一半導體晶片藉由切斷除去有檢查後不需要的檢查用配線，設有檢查用配線的區域亦被除去。因此，第一半導體晶片的尺寸小於先前的半導體晶片。因此，可獲得比先前之半導體裝置小型的半導體裝置。此外，由於

## 五、發明說明(6)

第一半導體晶片之檢查用配線藉由切斷除去，因此無須考慮檢查用配線之靜電電容及電感。因此，本發明之半導體裝置之電極墊等配線的靜電電容及電感小於先前半導體裝置之電極墊等配線的靜電電容及電感。

本發明可採用於上述第一半導體晶片不設置探針墊的構造。

亦可於上述第二半導體晶片的周邊部形成有與外部電路連接用的外部電極墊。

亦可採用於上述第一半導體晶片與上述第二半導體晶片之間介有絕緣性樹脂的構造。

上述第一半導體晶片及上述第二半導體晶片亦可藉由封裝樹脂封裝。

本發明之半導體裝置的製造方法具備：分別構成第一半導體晶片之數個第一半導體晶片區域；及將上述數個第一半導體晶片區域分別分離成第一半導體晶片用的切斷區域；並包含：第一半導體晶圓準備步驟(a)，其係上述數個第一半導體晶片區域上設有第一積體電路及連接於上述第一積體電路之第一電極墊，上述切斷區域上設有連接於上述第一電極墊的探針墊；上述數個第一半導體晶片的檢查步驟(b)，其係使探針接觸於上述探針墊來實施檢查；第一突起電極形成步驟(c)，其係形成於上述第一電極墊上；數個第一半導體晶片形成步驟(d)，其係藉由除去上述第一半導體晶圓之上述切斷區域，自上述數個第一半導體晶片區域形成；第二半導體晶圓準備步驟(e)，其係具有：第二積體



## 五、發明說明( )

電路；及連接於上述第二積體電路之第二電極墊；並具備分別構成第二半導體晶片的數個第二半導體晶片區域；第二突起電極形成步驟(f)，其係形成於上述數個第二半導體晶片區域上所形成的上述第二電極墊上；電性連接步驟(g)，其係藉由加熱及擠壓電性連接上述第一突起電極與上述第二突起電極；及切斷步驟(h)，其係將上述第二半導體晶圓切斷成上述數個第二半導體晶片區域。

本發明之第一半導體晶片係藉由切斷除去檢查後不需要的探針墊。因此，第一半導體晶片的尺寸小於先前半導體晶片。因此，可獲得比先前半導體裝置小型的半導體裝置。此外，由於第一半導體晶片係藉由切斷除去探針墊，因此於所獲得的半導體裝置不需要考慮探針墊的靜電電容及電感。因此，採用本發明可獲得電極墊等配線之靜電電容及電感小於先前半導體裝置之電極墊等配線之靜電電容及電感的半導體裝置。

上述步驟(g)亦可在上述第一半導體晶片與上述第二半導體晶片之間供給絕緣性樹脂。

上述步驟(c)及上述步驟(f)亦可藉由電解鍍法、無電解鍍法、印刷法、浸漬法或間柱凸塊(Stud Bump)法等任何一種方法形成上述第一突起電極及上述第二突起電極。

上述步驟(c)亦可採用含錫及銀之合金、含錫及鉛之合金、錫、鎳、銅、銻及金中之任何一種形成上述第一突起電極。

發明之實施形態

## 五、發明說明(8)

以下，參照圖式說明本發明實施形態之半導體晶圓及使用其之半導體裝置。

首先，說明本實施形態之半導體晶圓。圖1(a)係顯示形成有構成半導體晶片之數個半導體晶片區域之半導體晶圓模式圖，圖1(b)係放大顯示圖1(a)之半導體晶圓上面的平面圖。

如圖1(a)及(b)所示，本實施形態之半導體晶圓15形成有被第一分離線16分割的數個體型晶片(bulk chip)區域17。表體區域17上形成有積體電路(無圖式)、電極墊18、及探針墊19，第二分離線20通過積體電路及電極墊18與探針墊19之間。第二分離線20在體型晶片區域17的表面，位於第一分離線16的內側，將體型晶片區域17分離成構成半導體晶片之半導體晶片區域17a、及第一分離線16與第二分離線20間之切斷區域17b。亦即，體型晶片區域17位於第二分離線20之內側，並具有：構成半導體晶片之數個半導體晶片區域17a；及第一分離線16與第二分離線20間的切斷區域17b。

而此處之第二分離線20係便於說明所假設的線，實際上不應形成於半導體晶圓15上。此外，本實施形態之第二分離線20係直線，當然亦可為曲線。

數個探針墊19經由橫切第二分離線20之配線21與電極墊18連接。

電極墊18於構成半導體裝置時，係用於連接自半導體晶片區域17a獲得之半導體晶片與另外之半導體晶片的電極墊者，並為了在兩個半導體晶片間高速地傳送信號而設。另外，電極墊18宜設置成形成在半導體晶片區域17a內之配線

## 五、發明說明(9)

及擴散層等的正上方，以縮短至電極墊18的配線長。

圖2係顯示以旋轉刀片沿著第二分離線20切斷而分離之半導體晶片17c的平面圖。

如圖2所示，形成有探針墊19之切斷區域被除去，於半導體晶片17c上殘留積體電路(無圖式)、電極墊18、與配線21。此外，在半導體晶片17c的側端面，配線21的切斷面露出。

因而，本實施形態之半導體晶圓15，藉由使探針接觸於探針墊19檢查各體型晶片區域17後，藉由切斷除去形成有檢查後不需要之探針墊19的切斷區域17b。因此半導體晶片區域17a的尺寸小於先前半導體晶片區域2。亦即，可使自本實施形態之半導體晶圓15所獲得之半導體晶片17c的晶片尺寸小於先前的半導體晶片2a。

其次，參照圖式說明另外一種設於上述半導體晶圓上的體型晶片區域17。圖3(a)、圖3(b)、圖4(a)、圖4(b)、圖5(a)及圖5(b)係顯示構成搭載於半導體晶片22上之半導體晶片17c之另一種體型晶片區域17的平面圖。

圖3(a)所示之體型晶片區域17，在半導體晶片區域17a的內部設有BIST等用的檢查電路(無圖式)。藉此，可使切斷區域17b之探針墊19數量少於電極墊18的數量。如於本實施形態之半導體裝置100中，半導體晶片17c係DRAM，半導體晶片22包含邏輯電路時，圖3(a)所示之體型晶片區域17的電極墊18數量約需要140個，而資料線用墊、位址線用墊、控制用墊、電源用墊等所需的探針墊19數量約為50個。

因而藉由減少探針墊19的數量，可使探針墊19的間距32

## 五、發明說明(10)

大於電極墊18的間距33。如假設半導體晶片區域17a之面積為 $20\text{ mm}^2$ (邊之長度 $4\text{ mm}\times 5\text{ mm}$ )時，如電極墊18之間距33為 $80\text{ }\mu\text{ m}$ ，可在半導體晶片區域17a上配置約200個電極墊18。而探針墊19，假設半導體晶片區域17a之面積為 $20\text{ mm}^2$ 時，則可配置成間距32為 $300\text{ }\mu\text{ m}$ 。且如以上所述，由於可擴大探針墊19的間距32，因此對電極墊18之寬度34，可擴大探針墊19的寬度35。因此，如電極墊18之寬度34為 $50\text{ }\mu\text{ m}$ 時，亦可使探針墊19的寬度35為 $250\text{ }\mu\text{ m}$ 。

此外，如圖3(a)所示，可將探針墊19的形狀形成長方形，將各探針墊19之長邊平行於各探針墊19沿著體型晶片區域17之各邊的方式來配置。藉此，抑制體型晶片區域17的尺寸變大，且朝向探測時探針滑動(摩擦)方向(亦即平行於各探針墊19沿著體型晶片區域17之各邊的方向)之探針墊19的形狀變長。因此可使檢查更為確實。

再者，探針墊19的數量變少時，如圖3(b)、圖4(a)、圖4(b)及圖5(a)所示，即使不全部使用體型晶片區域17的四邊仍可配置必要的探針墊19。圖3(b)、圖4(a)、圖4(b)及圖5(a)所示之體型晶片區域17均具有與圖3(a)所示之體型晶片區域17大致相同的構造，僅探針墊19的數量及設有探針墊19之切斷區域17b的位置不同。具體而言，圖3(b)顯示設有探針墊19之切斷區域17b位於體型晶片區域17之三邊。此外，圖4(a)及圖4(b)顯示切斷區域17b位於體型晶片區域17的兩邊。圖5(a)顯示切斷區域17b位於體型晶片區域17的一邊。

如圖5(a)所示的例中，假設體型晶片區域17之尺寸為5

## 五、發明說明 ( 11 )

mm×4.15 mm，探針墊19的間距為90 μm時，可將寬度35為80 μm之約50個探針墊19全部配置於位於體型晶片區域17之一邊的切斷區域17b上。

因而，藉由減少探針墊19的數量，以第二分離線20切斷，自半導體晶片區域17a獲得半導體晶片17c時被除去之切斷區域17b的面積縮小。因此，可增加自一片半導體晶圓15獲得之半導體晶片17c的數量，亦可減少半導體晶片17c的製造成本。

此外，本實施形態如以上所述地可使探針墊19之尺寸遠大於電極墊18的尺寸。由於探針墊19被切斷除去，因此無須考慮探針墊19的靜電電容及電感。另外，先前之半導體晶片2a由於電極墊4兼探針墊使用，因此縮小電極墊4的尺寸困難。因此，本實施形態之因半導體晶片17c之電極墊18引起的靜電電容及電感格外小於先前半導體晶片2a因電極墊4引起之靜電電容及電感。如假設先前之半導體晶片2a之各電極墊4的尺寸為75 μm角，本實施形態之半導體晶片17c之各電極墊18的尺寸為15 μm角時，電極墊的面積縮小成1/25，整個半導體晶片區域因電極墊引起之靜電電容亦減少0.1pF以上。

此外，本實施形態在半導體晶片區域17a的內部設有BIST等用的檢查電路(無圖式)。因而數個電極墊18僅用於連接，不執行探測。可將此種僅用於連接之電極墊18配置於儘量縮短距積體電路之距離的位置上。藉此，可縮短連接電極墊與積體電路的配線，亦可減少該配線引起之靜電電容及

## 五、發明說明(12)

電感。先前之半導體晶片2a具備連接設於半導體晶片2a端部之電極墊4與積體電路的配線。具體而言，與先前之半導體晶片2a比較，本實施形態之半導體晶片17c的靜電電容，每1 mm配線長減少0.1pF以上。

因而，採用本實施形態可獲得靜電電容及電感之影響非常小的半導體晶片。

此外，本實施形態可在切斷區域17b內設置保護電路36，其係用於保護積體電路，避免探測時自體型晶片區域17之外部進入的電湧。如圖5(b)所示，在探針墊19的橫向配置保護電路36。藉此，可進一步縮小以第二分離線20分離半導體晶片區域17a時之半導體晶片17c的尺寸。此外，由於保護電路36亦被切斷除去，因此可忽略保護電路36之靜電電容及電感。

另外，倒裝片接合用之電極墊係使用突起電極(凸塊)連接，因此可使電極墊18小於一邊為70  $\mu$ m之正方形。此外，倒裝片接合向電極墊之正下方施加的機械性壓力亦小，因此亦可在電極墊18的正下方配置配線及擴散層。因而採用本實施形態，可力求縮小設計電極墊18、突起電極及配線之靜電電容及電感。

如以上所述，採用本實施形態，藉由將半導體晶圓15之體型晶片區域17的構造形成分別設置探針墊19與電極墊18，探針墊被切斷除去的構造，可消除許多對形成於體型晶片區域上之探針墊及電極墊之數量、尺寸、間距等之配線設計上的限制。此外，亦可消除許多對連接於各電極墊之

## 五、發明說明(13)

配線及電極墊之配置等配線設計上的限制。

其次，參照圖6說明使用自上述半導體晶圓獲得之半導體晶片所獲得之本實施形態之半導體裝置。圖6(a)係顯示製造本實施形態之半導體裝置時，將自半導體晶圓15分離之半導體晶片17c搭載於另一個半導體晶片22上的狀態圖，圖6(b)係本實施形態之半導體裝置的剖面圖。

如圖6(a)所示，本實施形態之半導體裝置100，被第二分離線20切斷而分離之半導體晶片17c以面朝下的狀態搭載於半導體晶片22上。

如圖6(a)及(b)所示，半導體晶片22具備：形成於其上面之內部電極墊26及外部電極墊24；及連接於內部電極墊26及外部電極墊24之內部電路(無圖式)。內部電極墊26上形成有突起電極23。此處，於半導體晶片17c之電極墊18上面上亦形成有突起電極25。本實施形態之半導體裝置100在突起電極23與突起電極25連接的狀態下，藉由倒裝片接合來接合半導體晶片22及半導體晶片17c。

本實施形態，形成於半導體晶片17c之電極墊18上面上之突起電極25係以錫-銀合金形成。錫-銀合金的組成，其銀對錫的含量為3.5%，錫-銀合金的厚度約為 $30\mu\text{m}$ 。錫-銀合金亦可進一步含銅、鈹。此外，亦可使用錫-鉛合金、錫、銦來取代錫-銀合金，以形成突起電極25。

此外，本實施形態基於提高半導體晶片17c之電極墊18與突起電極25之密合性及防止金屬擴散的目的，在電極墊18上形成有隔離不足金屬層(無圖式)。隔離不足金屬層係由自

## 五、發明說明(14)

電極墊18起依序按照鈦、銅、鎳、錫-銀合金的順序所堆疊的疊層膜而形成。

此外，本實施形態之突起電極23係以鎳膜形成，不過亦可以錫-銀合金、錫-鉛合金、錫、銻、金或銅之任何一種形成。本實施形態之鎳膜的厚度約為 $8\mu\text{m}$ ，不過基於防止氧化的目的，亦可在鎳膜的表面形成約 $0.05\mu\text{m}$ 的金箔。

如圖6(b)所示，在半導體晶片22與半導體晶片17c之間充填有絕緣性樹脂27。此處，絕緣性樹脂27的材料，本實施形態係採用環氧系熱硬化型樹脂，其室溫下之黏度為 $0.3\sim 10\text{Pa}\cdot\text{s}$ 。基於確保硬化後之絕緣性樹脂27特性的目的，亦可在絕緣性樹脂27的材料內添加球形填料。此外，絕緣性樹脂27的材料亦可採用如丙烯系、酚醛系樹脂。

半導體晶片22固定於引導框架的晶片焊墊28上。此外，半導體晶片22之外部電極墊24與引導框架之內部引線29藉由金屬細線30電性連接。半導體晶片22、半導體晶片17c、晶片焊墊28、內部引線29、及金屬細線30藉由封裝樹脂31封裝。

如以上所述，本實施形態之自半導體晶圓15獲得之半導體晶片17c的晶片尺寸小於先前之半導體晶片2a。因此，本實施形態之半導體裝置100可縮小半導體晶片22的尺寸。亦即採用本實施形態可獲得比先前之半導體裝置200小型的半導體裝置。

此外，本實施形態藉由使用圖3(a)至圖5(b)所示之任何一種半導體晶片17c可減少半導體裝置的製造成本。



## 五、發明說明 ( 15 )

再者，採用本實施形態可獲得半導體晶片17c之靜電電容及電感之影響非常小的半導體裝置。

其次，說明體型晶片區域17之探針墊19、電極墊18及各配線層的構造。圖7及圖8係顯示體型晶片區域17之探針墊19、電極墊18及各配線層之構造的部分剖面圖。

如圖7(a)所示，本實施形態之體型晶片區域17具備：具有形成於上面上之擴散層39的基板54；及形成於基板54上的絕緣膜51，52及53。連接設置成露出於絕緣膜53之開口部53a內之探針墊19與電極墊18(突起電極25)之配線21，通過形成於絕緣膜52上之通孔38，連接於配線44，該配線44連接於在基板54上所形成之擴散層39。

此外，如圖7(b)所示，亦可藉由絕緣膜52及53分離連接探針墊19與電極墊18(突起電極25)的配線21，以自位於第二分離線20正下方之多晶矽所形成的配線41連接。藉此，可抑制被刀片切斷後發生改變，可防止電性短路。

再者，如圖7(c)所示，亦可將連接電極墊18(突起電極25)與擴散層39之配線42形成於連接探針墊19與電極墊18之配線43更下層的配線層。藉此，與上述圖7(a)及圖7(b)比較，可縮短自積體電路至電極墊18的配線長。因此可減少配線電容。

此外，如圖8所示，亦可採用在探針墊19之正下方形成擴散層39'，經由插塞38'直接連接探針墊19與擴散層39'的配線構造。

其次，參照圖9及圖10說明本發明之半導體裝置的製造方

## 五、發明說明 ( 16 )

法。圖9及圖10係顯示本實施形態之半導體裝置之製造方法之各步驟的剖面圖。

首先，於圖9(a)所示的步驟中，準備具有被第一分離線16分割之數個體型晶片區域17的半導體晶圓15。在體型晶片區域17上形成有積體電路(無圖式)、電極墊18、與探針墊19。數個探針墊19經由橫切第二分離線20的配線21，與電極墊18連接。繼續，藉由使探針44接觸於半導體晶圓15上面的探針墊19，執行各體型晶片區域17的檢查。

其次，於圖9(b)所示的步驟中，在形成於半導體晶圓15之數個體型晶片區域17上面之電極墊18上形成突起電極25。此處係以熔融金屬材料之錫-銀合金形成突起電極25。錫-銀合金之組成為銀對錫的含量為3.5%，錫-銀合金的厚度約 $30\mu\text{m}$ 。包含錫-銀合金之突起電極25的形成方法如電解鍍法、無電解鍍法、印刷法、浸漬法及間柱凸塊法等。基於提高電極墊18與突起電極25之密合性及防止金屬擴散的目的，在電極墊18上形成按照鈦、銅、鎳、錫-銀合金的順序所堆疊的疊層膜，作為隔離不足金屬層(無圖式)。另外，錫-銀合金亦可進一步含銅、鈹。此外，亦可使用錫-鉛合金、錫、銮取代錫-銀合金，以形成突起電極25。

其次，於圖9(c)所示的步驟中，在半導體晶圓15的下面上貼附切割膠帶45後，藉由旋轉刀片沿著第二分離線20加以切斷，藉由分離形成有探針墊19之切斷區域17b；及形成有電極墊18及積體電路(無圖式)之半導體晶片區域17a，以形成半導體晶片17c。

## 五、發明說明 ( 17 )

其次，於圖9(d)所示的步驟中，拾取半導體晶片17c。

其次，於圖10(a)所示的步驟中，準備半導體晶圓(無圖式)，其係具有構成被分離線(無圖式)分割，而分離之半導體晶片22的數個體型晶片區域22a。此處，為求簡化代表性地顯示體型晶片區域22a。在各體型晶片區域22a上形成有形成於上面上之內部電極墊26及外部電極墊24；及連接於內部電極墊26及外部電極墊24之內部電路(無圖式)。繼續，在各體型晶片區域22a之上面上的內部電極墊26上形成突起電極23。本實施形態係使用鎳膜形成突起電極23。此時鎳膜之厚度約為 $8\mu\text{m}$ ，基於防止氧化的目的，亦可在鎳表面以 $0.05\mu\text{m}$ 的厚度形成金。包含鎳及金之突起電極25的形成方法，如使用電解鍍法、無電解鍍法、印刷法、浸漬法及間柱凸塊法等。此外，形成突起電極23之熔融金屬材料，除鎳之外，亦可使用錫-銀合金、錫-鉛合金、錫、銮、金或銅的任何一種。

其次，於圖10(b)所示的步驟中，在體型晶片區域22a的上面上塗敷絕緣性樹脂27。本實施形態之絕緣性樹脂27的材料係塗敷環氧系熱硬化型樹脂。絕緣性樹脂27的材料宜使用在室溫下黏度為 $0.3\sim 10\text{Pa}\cdot\text{s}$ 者。另外，基於確保硬化後之絕緣性樹脂27之特性的目的，亦可在絕緣性樹脂27的材料中添加球形填料。此外，絕緣性樹脂27的材料亦可為丙烯系、酚醛系樹脂，亦可使用熱硬化性樹脂、熱可塑性樹脂、兩液混合之常溫硬化性樹脂、UV硬化性樹脂與熱硬化性樹脂之併用的任何一種。本實施形態之絕緣性樹脂27的

## 五、發明說明( 18 )

供給方法係使用分配器裝置，自注射器46在體型晶片區域22a之突起電極23上滴下絕緣性樹脂27。亦可依據體型晶片區域22a之形狀及大小分成數次滴下。絕緣性樹脂27之其他供給方法，亦可採用轉印法及印刷法。

其次，在圖10(c)所示的步驟中，以體型晶片區域22a之突起電極23之熔點溫度與半導體晶片17c之突起電極25之熔點溫度中較低之熔點溫度以上的溫度加熱，將半導體晶片17c擠壓在體型晶片區域22a上。藉此，產生熔融之突起電極23或25的機械性變形，突起電極23或25之表面氧化膜破損，藉由金屬擴散容易接合突起電極25與突起電極23。

本實施形態係使用脈衝加熱工具47在221~300°C的溫度下加熱及擠壓1~3秒。體型晶片區域22a之突起電極23以錫-鉛合金形成時，宜藉由脈衝加熱工具47在183~250°C溫度下加熱及擠壓，將半導體晶片17c接合於體型晶片區域22a上。體型晶片區域22a之突起電極23以錫形成時，宜藉由脈衝加熱工具47在290~400°C溫度下加熱及擠壓，將半導體晶片17c接合於體型晶片區域22a上。體型晶片區域22a之突起電極23以銅形成時，宜藉由脈衝加熱工具47在190~250°C溫度下加熱及擠壓，將半導體晶片17c接合於體型晶片區域22a上。

繼續，解除脈衝加熱工具47之加熱及擠壓後，以熱硬化爐將絕緣性樹脂27予以熱硬化。之後，將切割膠帶貼附在半導體晶圓下面上後，藉由旋轉刀片沿著第二分離線20加以切斷，藉由分別分離體型晶片區域22a，形成接合有半導

## 五、發明說明 ( 19 )

體晶片17c的半導體晶片22。

其次，如圖10(d)所示，藉由金屬細線30連接半導體晶片22之外部電極墊24與引導框架之內部引線29後，以封裝樹脂31封裝半導體晶片17c、半導體晶片22、晶片焊墊28、內部引線29及金屬細線30。繼續，藉由形成自封裝樹脂31突出之引導框架的外部引線，獲得半導體裝置100。

另外，本實施形態於圖10(c)所示的步驟中，係分別分離體型晶片區域22a，不過並不限定於此。例如，亦可於圖10(a)所示的步驟中，藉由分別分離體型晶片區域22a，形成半導體晶片22後，同樣地執行圖10(b)以後的步驟。

藉由將本實施形態所獲得之半導體晶片17c與半導體晶片22之COC型之半導體裝置100搭載於引導框架、印刷電路板等上，亦可形成半導體封裝體。

另外，本實施形態之半導體晶片17c與半導體晶片22之組合，如包含DRAM等記憶體之半導體晶片與包含微電腦等邏輯電路之半導體晶片的組合，包含彼此不同之邏輯電路之各半導體晶片的組合，或是使用化合物半導體基板製成之半導體晶片與使用矽基板製成之半導體晶片的組合等。此外，亦可為藉由彼此不同製程所形成之各半導體晶片，或是分割藉由一個製程而製成之大面積的一個半導體晶片成兩個，作為兩個半導體晶片而組合者。

發明之功效

採用本發明可提供小型且高性能的半導體裝置。

圖式之簡單說明

## 五、發明說明 ( 20 )

圖 1(a)係顯示形成有數個半導體晶片之半導體晶圓的模式圖，圖 1(b)係放大顯示圖 1(a)之半導體晶圓上面的平面圖。

圖 2係顯示本發明之半導體晶片的平面圖。

圖 3(a)(b)係顯示本發明之半導體晶片另外例的平面圖。

圖 4(a)(b)係顯示本發明之半導體晶片另外例的平面圖。

圖 5(a)(b)係顯示本發明之半導體晶片另外例的平面圖。

圖 6(a)(b)係顯示本發明之半導體裝置的構造圖。

圖 7(a)~(c)係顯示半導體晶片之探針墊、電極墊及各配線層之構造的部分剖面圖。

圖 8係顯示半導體晶片之探針墊、電極墊及各配線層之構造的部分剖面圖。

圖 9(a)~(d)係顯示本發明之半導體裝置之製造方法之各步驟的剖面圖。

圖 10(a)~(d)係顯示本發明之半導體裝置之製造方法之各步驟的剖面圖。

圖 11(a)係顯示形成有數個半導體晶片之半導體晶圓的模式圖，圖 11(b)係放大顯示圖 11(a)之半導體晶圓上面的平面圖。

圖 12(a)(b)係顯示先前之半導體裝置的構造圖。

## 元件符號之說明

1, 15	半導體晶圓
2, 17a	半導體晶片區域
2a, 17c, 22	半導體晶片

## 五、發明說明 ( 21 )

- |         |        |
|---------|--------|
| 3       | 分離線    |
| 4, 18   | 電極墊    |
| 5       | 半導體晶片  |
| 6       | 突起電極   |
| 7       | 外部電極墊  |
| 9       | 突起電極   |
| 10      | 絕緣性樹脂  |
| 11      | 晶片焊墊   |
| 12      | 內部引線   |
| 13      | 金屬細線   |
| 14      | 封裝樹脂   |
| 16      | 第一分離線  |
| 17, 22a | 體型晶片區域 |
| 17b     | 切斷區域   |
| 19      | 探針墊    |
| 20      | 第二分離線  |
| 21      | 配線     |
| 23, 25  | 突起電極   |
| 24      | 外部電極墊  |
| 26      | 內部電極墊  |
| 27      | 絕緣性樹脂  |
| 28      | 晶片焊墊   |
| 29      | 內部引線   |
| 30      | 金屬細線   |

## 五、發明說明( 22 )

31	封裝樹脂
32, 33	間距
34, 35	寬度
36	保護電路
37	突起電極
38	通孔
38'	插塞
39, 39'	擴散層
41	配線
42	配線層
43	配線層
44	探針
45	切割膠帶
46	注射器
47	脈衝加熱工具
51, 52, 53	絕緣膜
53a	開口部
54	基板
100, 200	半導體裝置



## 四、中文發明摘要(發明之名稱：半導體晶圓、半導體裝置及其製造方法)

本發明提供一種小型且高性能之半導體裝置。如圖1(a)及(b)所示，本實施形態之半導體晶圓15形成有被第一分離線16分割的數個體型晶片區域17。體型晶片區域17上形成有積體電路(無圖式)、電極墊18、及探針墊19，第二分離線20通過積體電路及電極墊18與探針墊19之間。第二分離線20將體型晶片區域17分離成構成半導體晶片之半導體晶片區域17a、及第一分離線16與第二分離線20間之切斷區域17b。而第二分離線20係便於說明所假設的線，實際上不應形成於半導體晶圓15上。數個探針墊19經由橫切第二分離線20的配線21與電極墊18連接。

## 日文發明摘要(發明之名稱：半導体ウェハ—ならびに半導体装置およびその製造方法)

図1(a)および(b)に示すように、本実施形態の半導体ウェハ—15は、第1の分離ライン16で区切られる複数のバルクチップ領域17が形成されている。バルクチップ領域17には、集積回路(不図示)と、電極パッド18と、プローブパッド19とが形成されており、集積回路および電極パッド18と、プローブパッド19との間には第2の分離ライン20が通っている。第2の分離ライン20は、バルクチップ領域17を、半導体チップとなる半導体チップ領域17aと、第1の分離ライン16と第2の分離ライン20との間の切断領域17bとに分離している。なお、第2の分離ライン20は、説明を容易にするために想定したラインであり、実際に半導体ウェハ—15に形成されている訳ではない。いくつかのプローブパッド19は、第2の分離ライン20を横切る配線21を介して電極パッド18と接続されている。

## 六、申請專利範圍

1. 一種半導體晶圓，其具備：數個半導體晶片區域，其係分別構成半導體晶片；及切斷區域，其係將上述數個半導體晶片區域分離成各個半導體晶片；

上述數個半導體晶片區域上設有積體電路與連接於上述積體電路的電極墊，

上述切斷區域上設有連接於上述電極墊的探針墊。

2. 如申請專利範圍第1項之半導體晶圓，

其中形成於上述各個半導體晶片區域之上述電極墊的數量多於連接於上述電極墊之上述探針墊的數量。

3. 如申請專利範圍第1項之半導體晶圓，

其中形成於上述各個半導體晶片區域之上述電極墊的間距小於連接於上述電極墊之上述探針墊的間距。

4. 如申請專利範圍第1項之半導體晶圓，

其中形成於上述各個半導體晶片區域之上述電極墊的尺寸小於連接於上述電極墊之上述探針墊的尺寸。

5. 如申請專利範圍第1項之半導體晶圓，

其中連接於上述電極墊之上述探針墊係沿著上述半導體晶片區域的一邊、兩邊或三邊形成。

6. 如申請專利範圍第1項之半導體晶圓，

其中上述切斷區域上設有上述探針墊的保護電路。

7. 如申請專利範圍第1項之半導體晶圓，

其中連接於形成於上述各個半導體晶片區域之上述電極墊的配線，係使用連接於上述探針墊之配線更下層的配線層而形成。

## 六、申請專利範圍

8. 一種半導體裝置，其特徵係具備：第一半導體晶片，其係具有：第一積體電路；連接於上述第一積體電路之第一電極墊；及形成於上述第一電極墊上的第一突起電極；及第二半導體晶片，其係具有：第二積體電路；連接於上述第二積體電路之第二電極墊；及形成於上述第二電極墊上的第二突起電極；

於上述第一半導體晶片的側端面，連接於上述第一電極墊之檢查用配線的剖面露出，

上述第一突起電極與上述第二突起電極電性連接。

9. 如申請專利範圍第8項之半導體裝置，

其中上述第一半導體晶片上未設置探針墊。

10. 如申請專利範圍第8項之半導體裝置，

其中上述第二半導體晶片的周邊部上形成有與外部電路連接用的外部電極墊。

11. 如申請專利範圍第8項之半導體裝置，

其中在上述第一半導體晶片與上述第二半導體晶片之間介有絕緣性樹脂。

12. 如申請專利範圍第8項之半導體裝置，

其中上述第一半導體晶片與上述第二半導體晶片係藉由封裝樹脂封裝。

13. 一種半導體裝置之製造方法，其具備：分別構成第一半導體晶片之數個第一半導體晶片區域；及將上述數個第一半導體晶片區域分別分離成第一半導體晶片用的切斷區域；

## 六、申請專利範圍

並包含：第一半導體晶圓準備步驟(a)，其係上述數個第一半導體晶片區域上設有第一積體電路及連接於上述第一積體電路之第一電極墊，上述切斷區域上設有連接於上述第一電極墊的探針墊；

上述數個第一半導體晶片的檢查步驟(b)，其係使探針接觸於上述探針墊來實施檢查；

第一突起電極形成步驟(c)，其係形成於上述第一電極墊上；

數個第一半導體晶片形成步驟(d)，其係藉由除去上述第一半導體晶圓之上述切斷區域，自上述數個第一半導體晶片區域形成；

第二半導體晶圓準備步驟(e)，其係具有：第二積體電路；及連接於上述第二積體電路之第二電極墊；並具備分別構成第二半導體晶片的數個第二半導體晶片區域；

第二突起電極形成步驟(f)，其係形成於上述數個第二半導體晶片區域上所形成的上述第二電極墊上；

電性連接步驟(g)，其係藉由加熱及擠壓電性連接上述第一突起電極與上述第二突起電極；及

切斷步驟(h)，其係將上述第二半導體晶圓切斷成上述數個第二半導體晶片區域。

14. 如申請專利範圍第13項之半導體裝置之製造方法，

其中上述步驟(g)係在上述第一半導體晶片與上述第二半導體晶片之間供給絕緣性樹脂。

15. 如申請專利範圍第13項之半導體裝置之製造方法，

## 六、申請專利範圍

其中上述步驟(c)及上述步驟(f)係藉由電解鍍法、無電解鍍法、印刷法、浸漬法或間柱凸塊法等任何一種方法形成上述第一突起電極及上述第二突起電極。

16. 如申請專利範圍第13項之半導體裝置之製造方法，

其中上述步驟(c)係採用含錫及銀之合金、含錫及鉛之合金、錫、鎳、銅、銻及金中之任何一種形成上述第一突起電極。

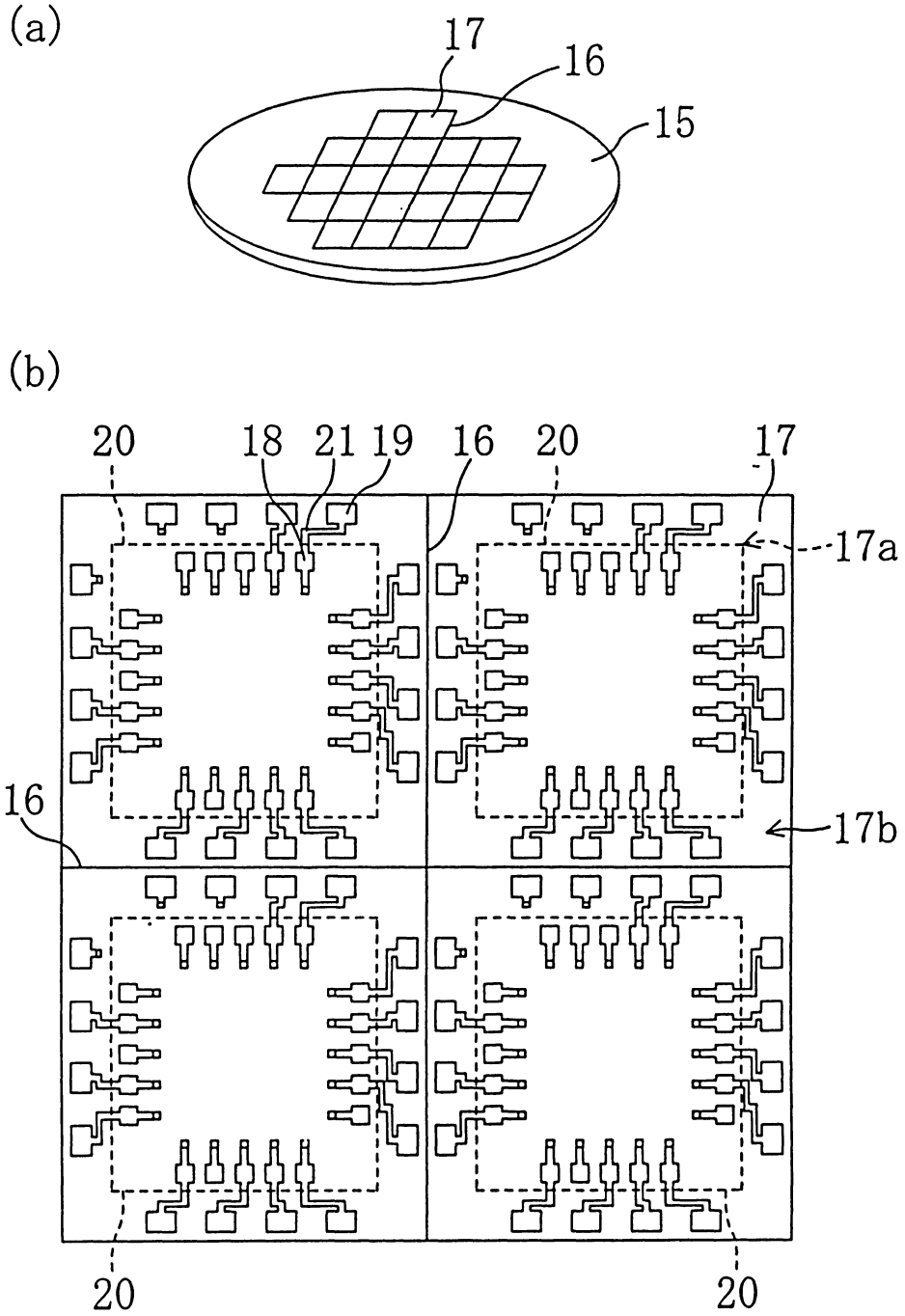


圖 1

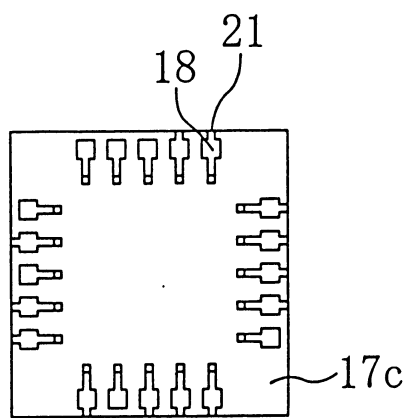


圖 2

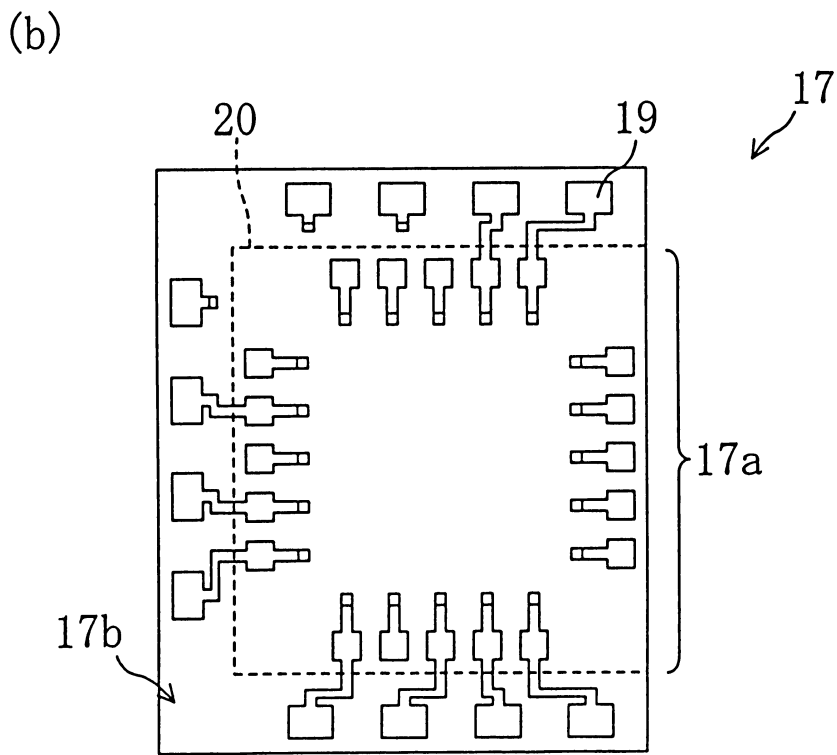
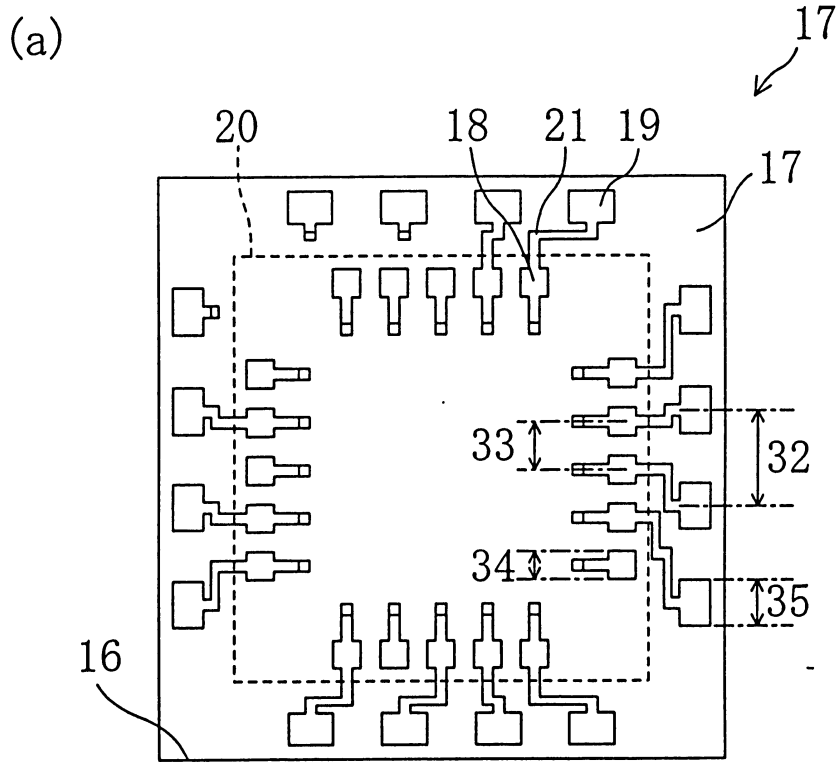


圖 3



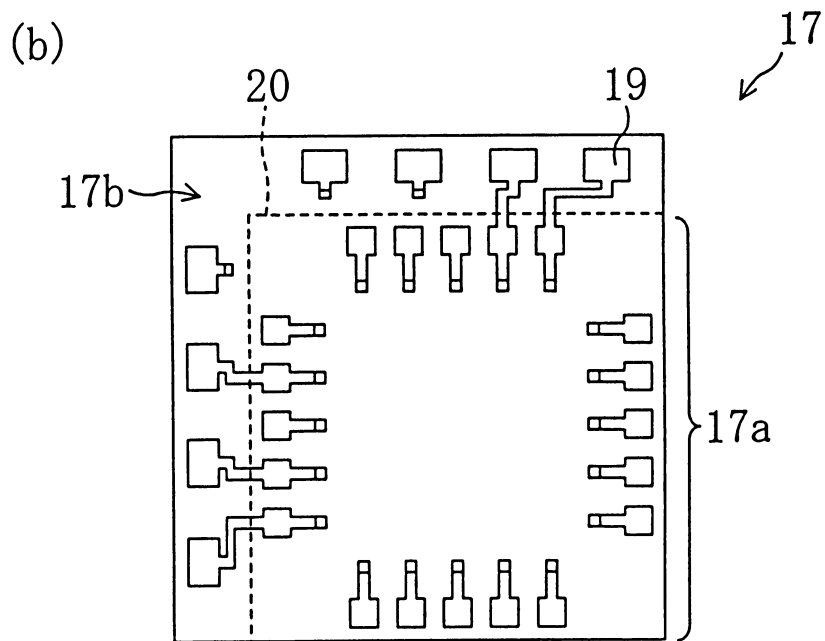
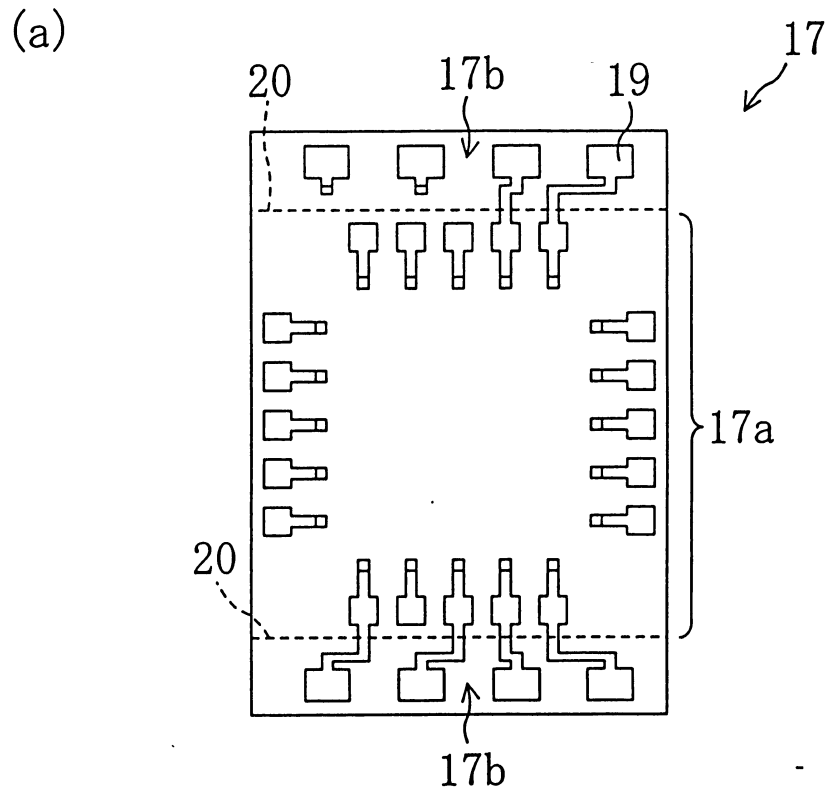


圖 4

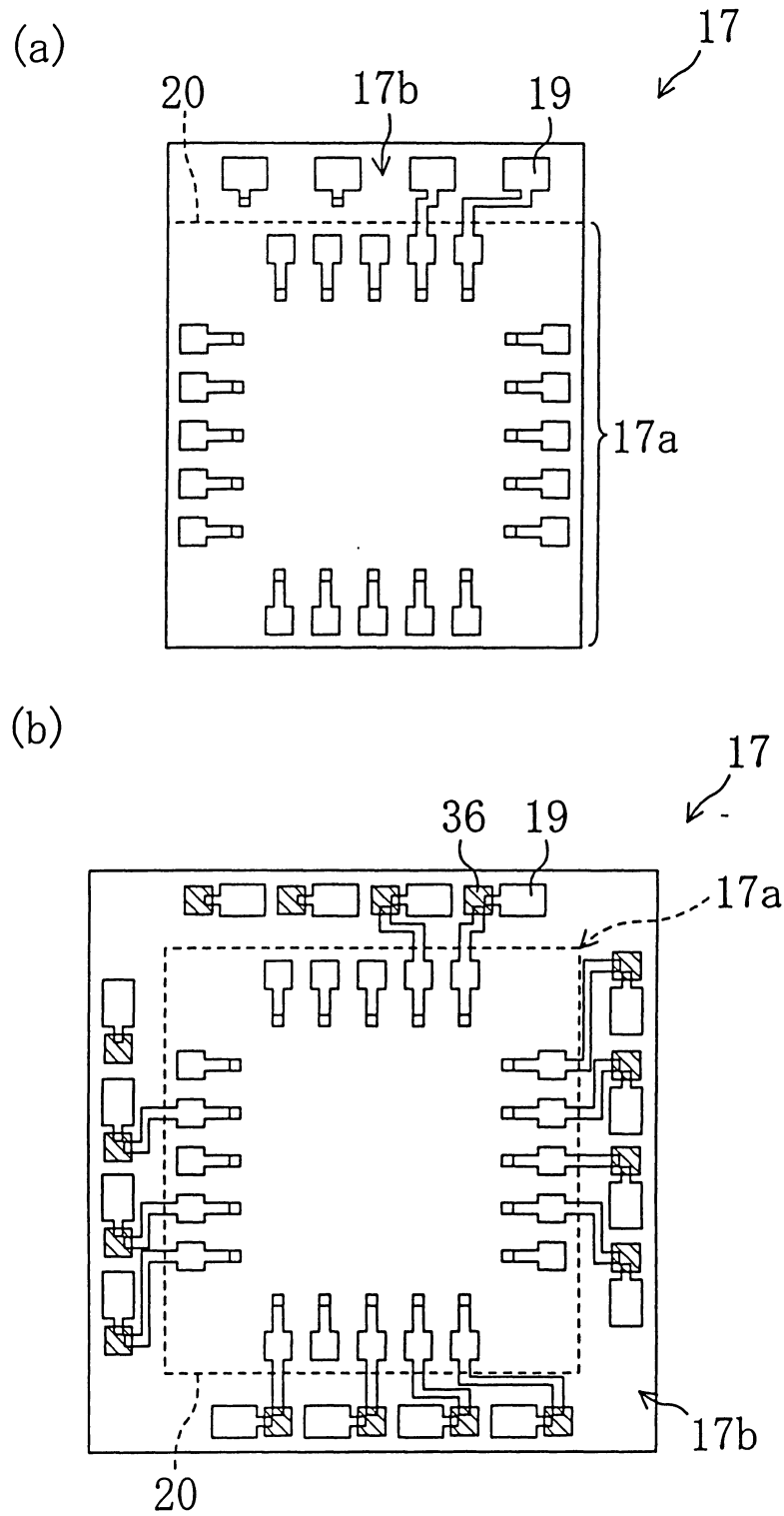


圖 5

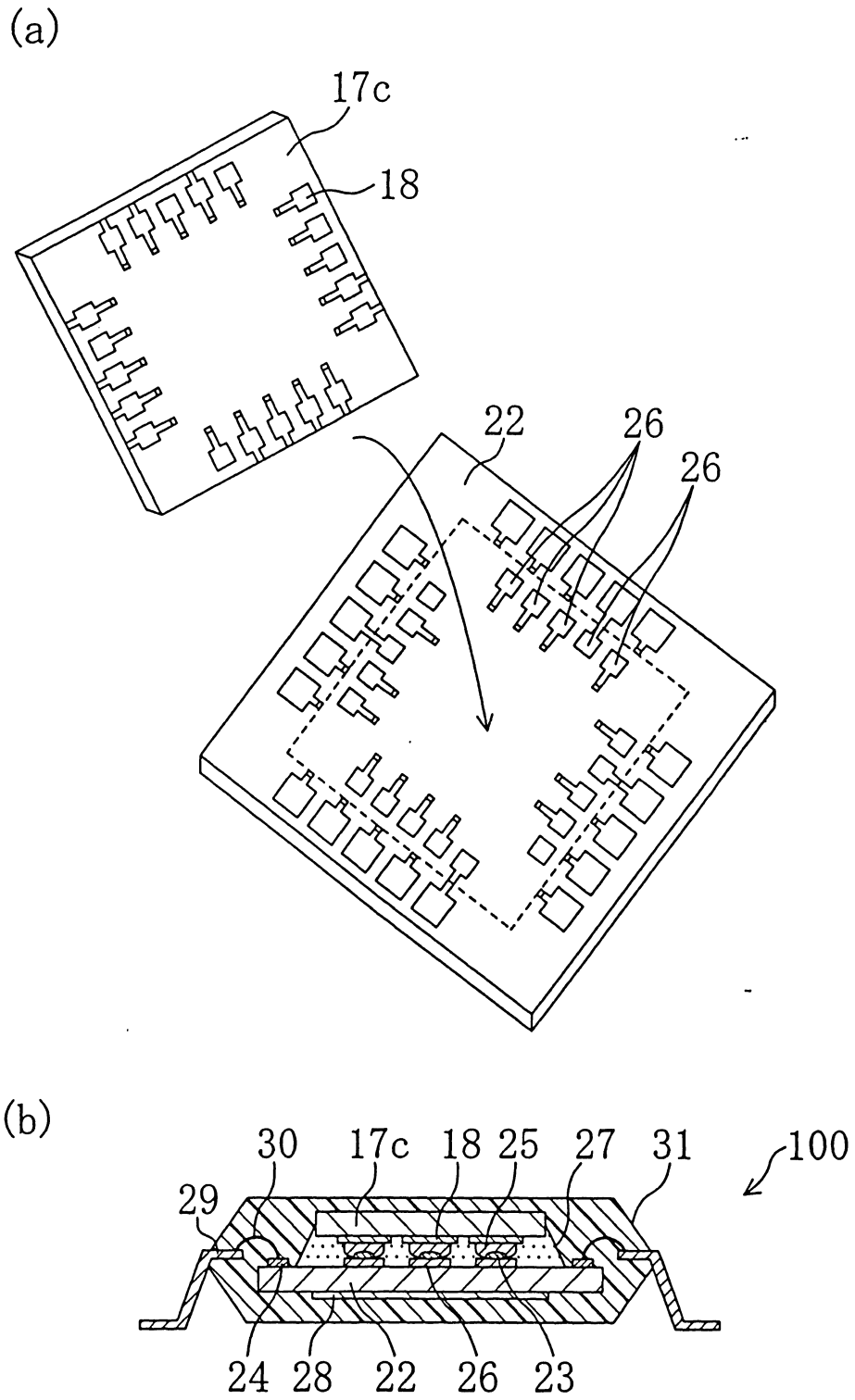


圖 6

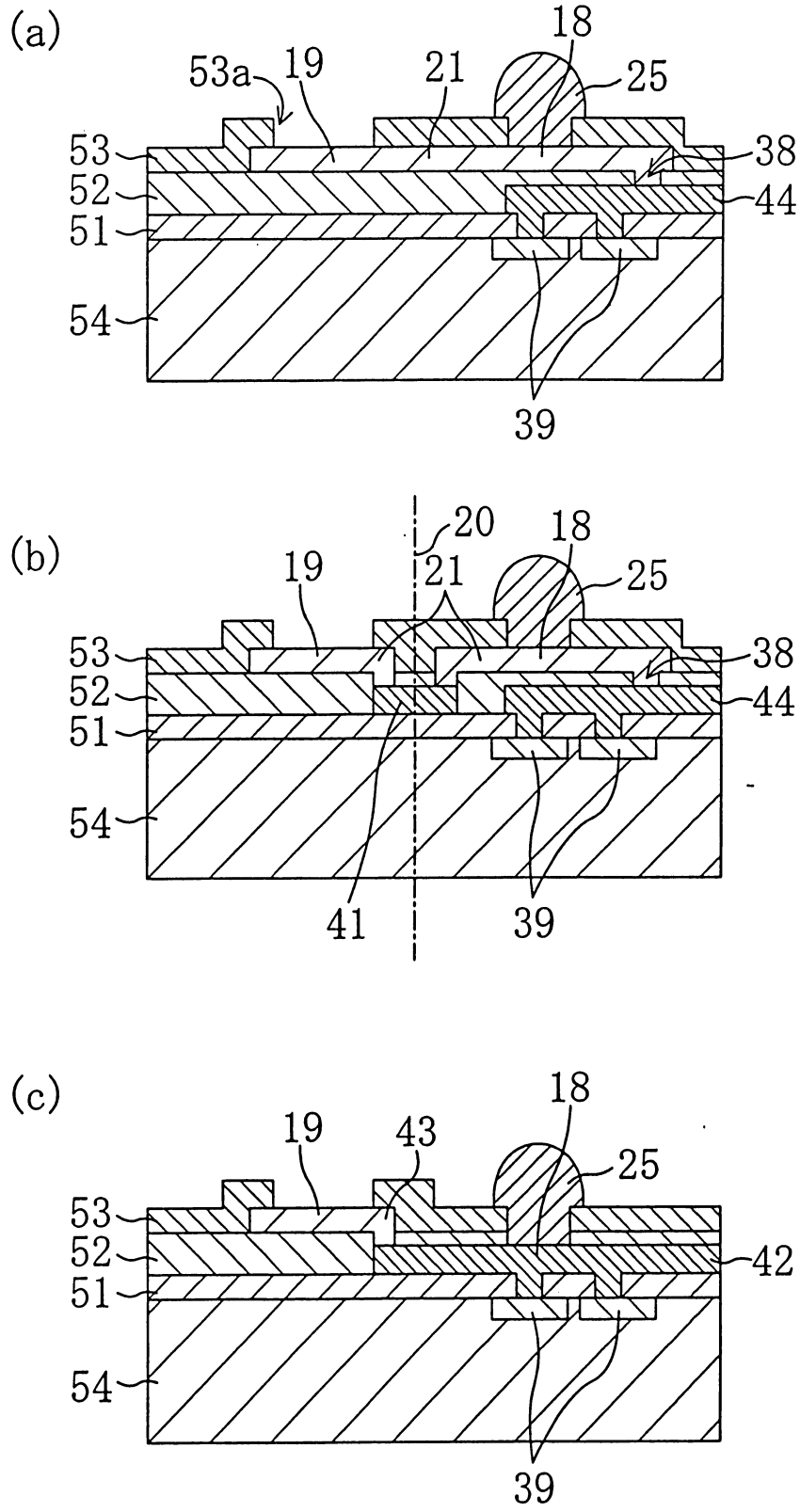


圖 7

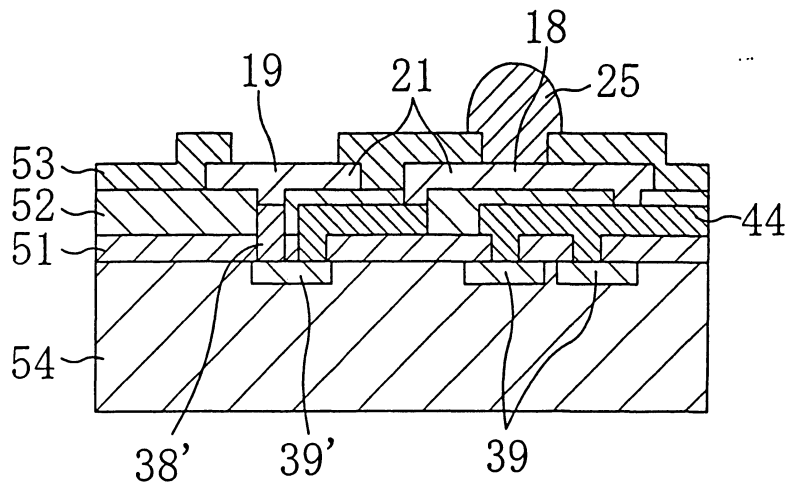


圖 8

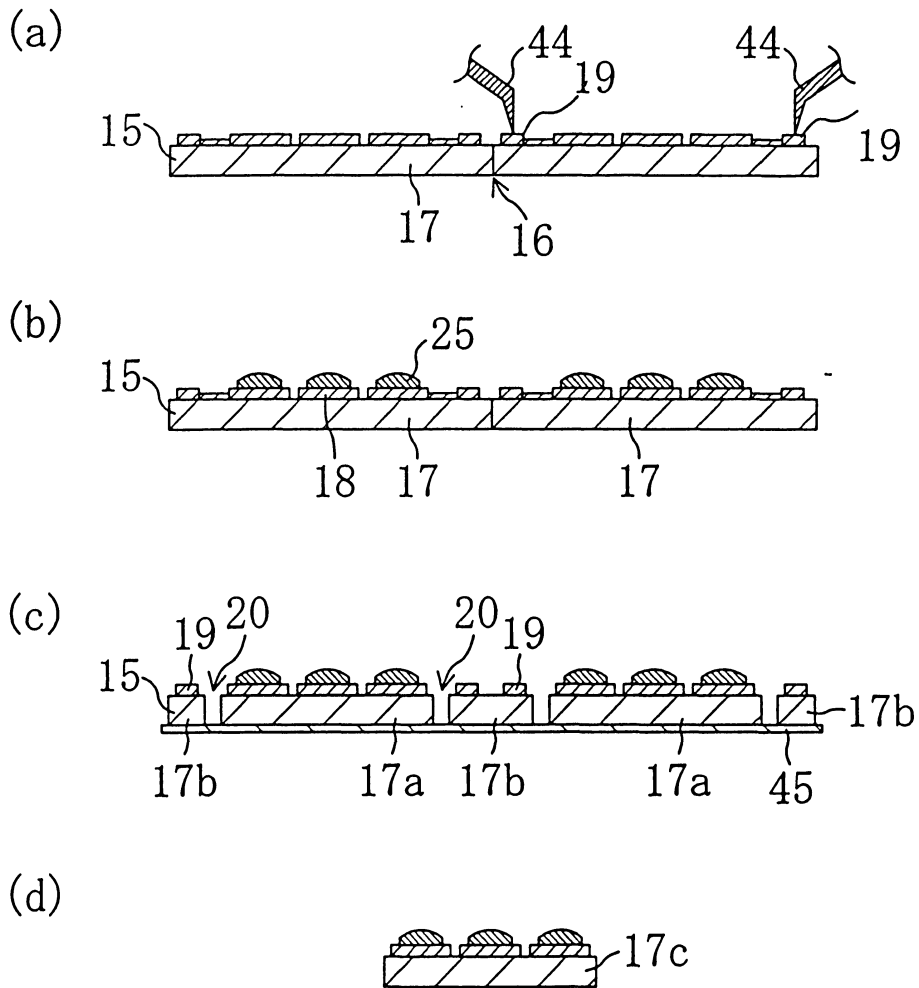


圖 9

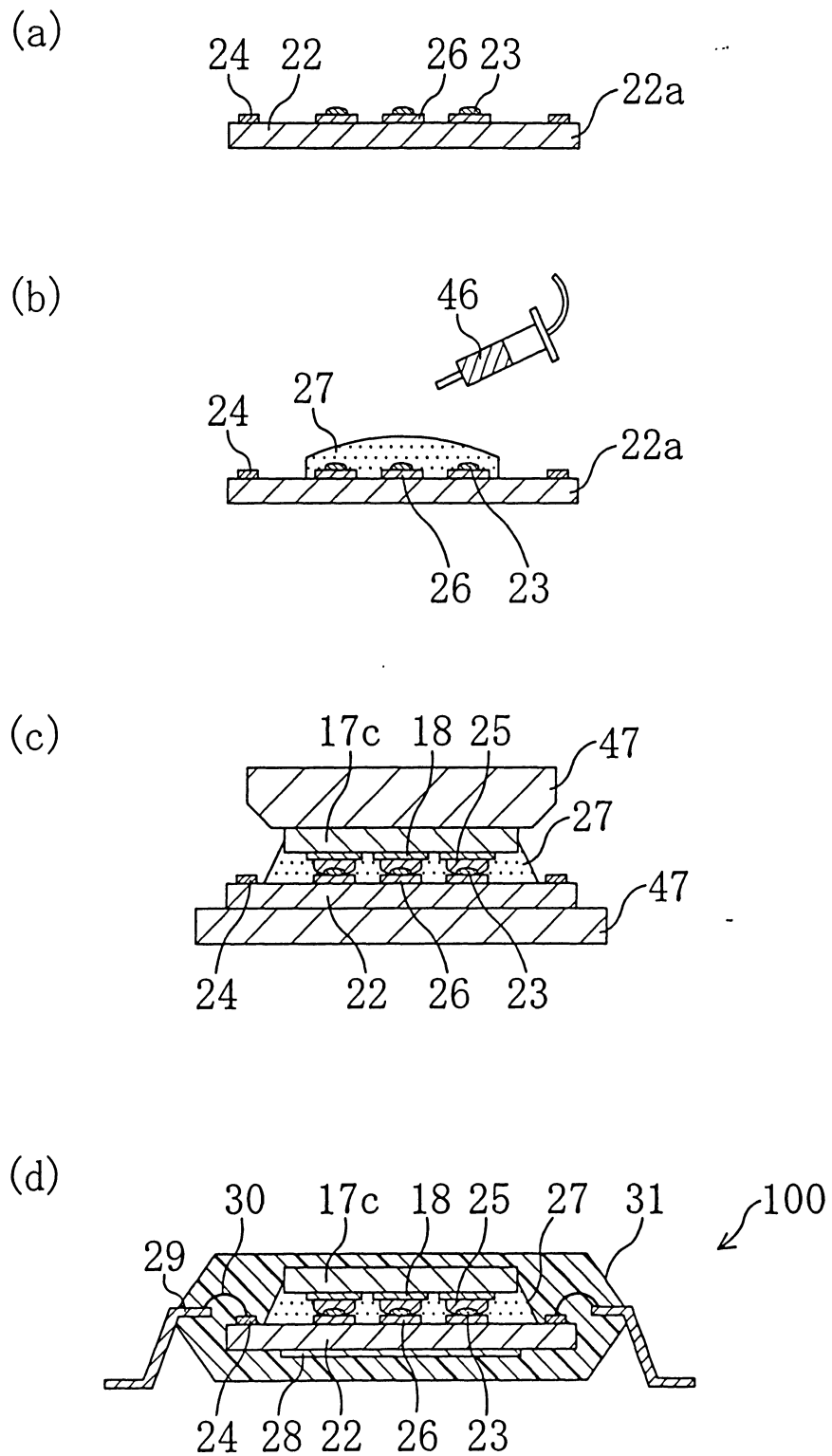


圖 10

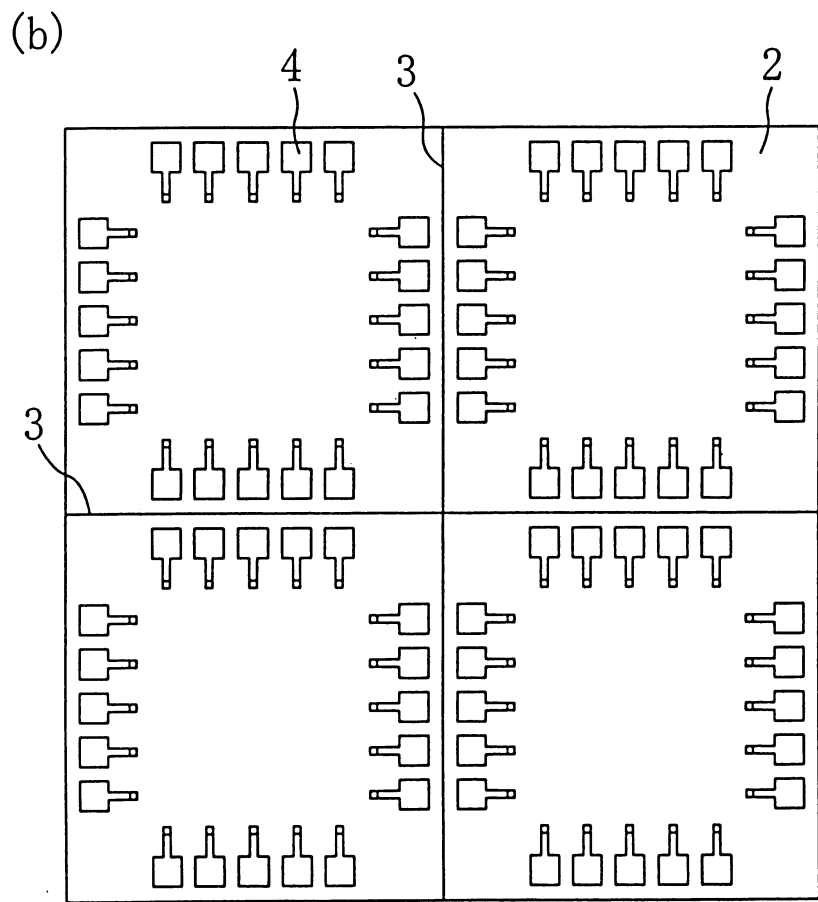
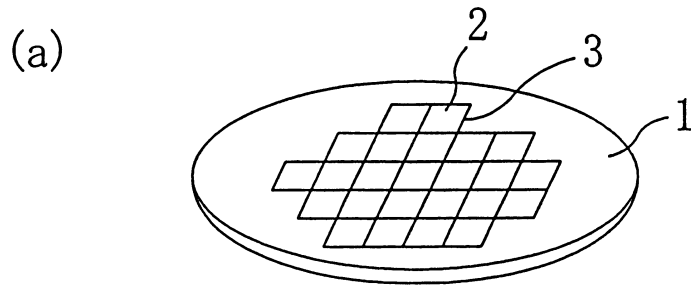
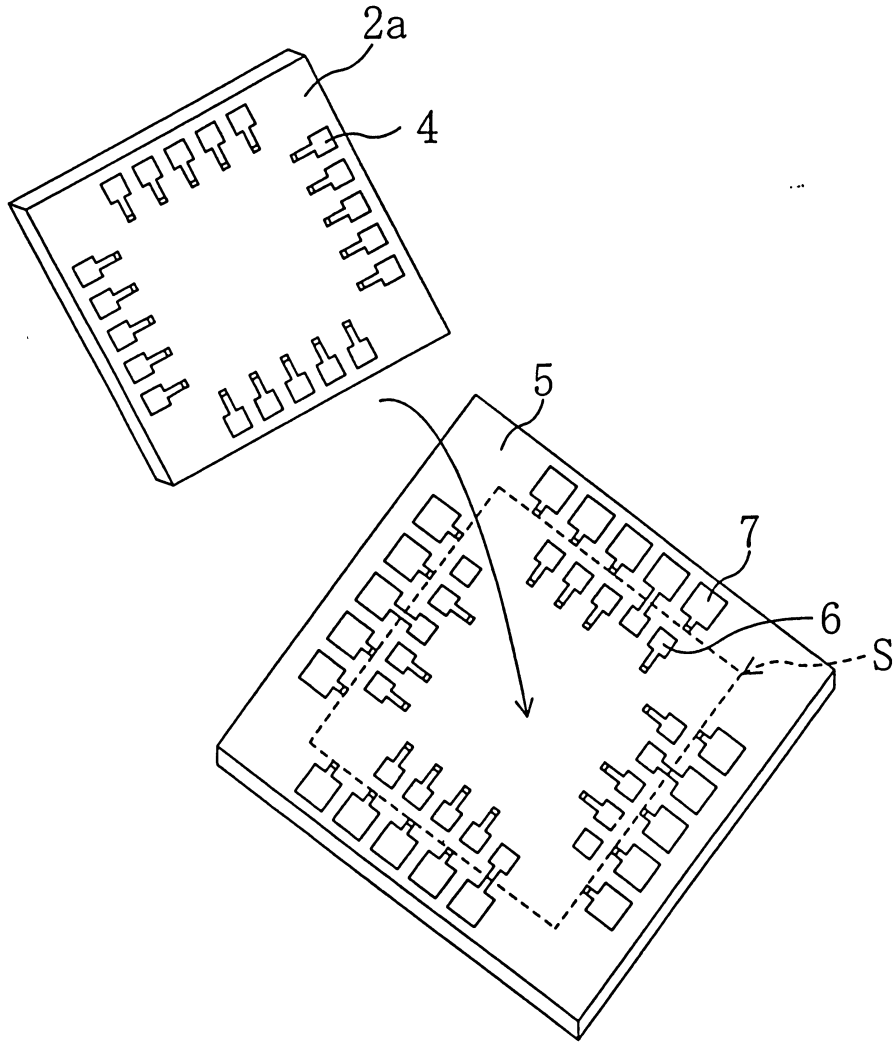


圖 11

(a)



(b)

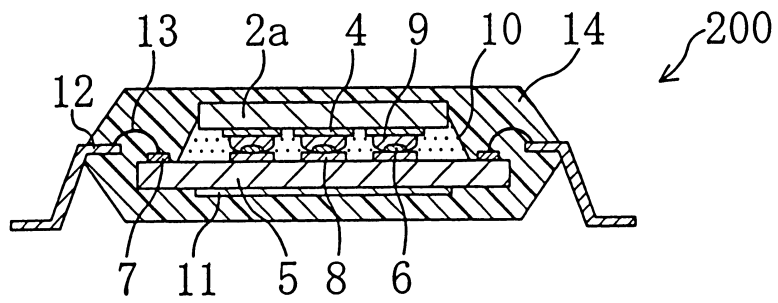


圖 12