

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6216030号  
(P6216030)

(45) 発行日 平成29年10月18日(2017.10.18)

(24) 登録日 平成29年9月29日(2017.9.29)

(51) Int.Cl. F I  
**G 1 1 C 15/04 (2006.01)** G 1 1 C 15/04 6 0 1 A

請求項の数 1 (全 39 頁)

<p>(21) 出願番号 特願2016-246950 (P2016-246950)                  (22) 出願日 平成28年12月20日(2016.12.20)                  (62) 分割の表示 特願2012-121954 (P2012-121954)                          の分割                          原出願日 平成24年5月29日(2012.5.29)                  (65) 公開番号 特開2017-84441 (P2017-84441A)                  (43) 公開日 平成29年5月18日(2017.5.18)                          審査請求日 平成28年12月21日(2016.12.21)                  (31) 優先権主張番号 特願2011-128974 (P2011-128974)                  (32) 優先日 平成23年6月9日(2011.6.9)                  (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000153878                          株式会社半導体エネルギー研究所                          神奈川県厚木市長谷398番地                  (72) 発明者 松林 大介                          神奈川県厚木市長谷398番地 株式会社                          半導体エネルギー研究所内                          審査官 後藤 彰</p>
---	--

最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【特許請求の範囲】

【請求項1】

記憶された第1のデータと検索データである第2のデータとを照合することにより、前記第1のデータを判別する機能を有するメモリセルを有し、

前記メモリセルは、第1乃至第7のトランジスタを有し、

前記第1のトランジスタのソース又はドレインの一方は、第1のデータ信号線に電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲート及び前記第3のトランジスタのゲートに電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第1のデータ信号線に電氣的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第3のトランジスタのソース又はドレインの一方に電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、第2のデータ信号線に電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのソース又はドレインの他方に電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第5のトランジスタのゲート及び前記第6のトランジスタのゲートに電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第1のデータ信号線に電

10

20

氣的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、前記第6のトランジスタのソース又はドレインの一方に電氣的に接続され、

前記第7のトランジスタのゲートは、前記第5のトランジスタのソース又はドレインの他方に電氣的に接続され、

前記第1のトランジスタは、半導体層として酸化物半導体を有し、

前記第2のトランジスタは、前記第3のトランジスタとは逆の導電型であり、

前記第5のトランジスタは、前記第6のトランジスタとは逆の導電型であり、

前記第2のデータ信号線の電位は、前記第1のデータ信号線の電位の反転電位であることを特徴とする記憶装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、記憶装置に関する。

【背景技術】

【0002】

近年、データの書き換えが可能な記憶装置の開発が進められている。

【0003】

上記記憶装置としては、例えば連想メモリなどが挙げられる。

【0004】

20

連想メモリとは、データの書き換えが可能なだけでなく、メモリセルに記憶されているデータと検索データを比較することが可能な記憶装置である。

【0005】

連想メモリは、例えばセットアソシアティブ方式のキャッシュメモリなどに用いられる。セットアソシアティブ方式とは、複数のタグにより構成されるデータ格納構造であり、該タグとして連想メモリが用いられる。上記キャッシュメモリに連想メモリを用いることにより、CPUとキャッシュメモリとのデータ通信を速くすることができる。

【0006】

また、連想メモリにおけるメモリセルは、例えばデータを保持する記憶回路、該記憶回路に記憶されたデータ（記憶データ又はデータDmともいう）と検索データ（データDsc

30

hともいう）を比較する複数の比較回路を用いて構成される（例えば特許文献1）。

【0007】

特許文献1では、SRAM（Static Random Access Memory）を用いて記憶回路が構成されている。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2004-295967号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0009】

従来の連想メモリでは、各メモリセルにおける回路面積が大きいといった問題があった。例えば、特許文献1に示す連想メモリでは、記憶回路を構成するトランジスタの数が6個と多く、回路面積が大きい。

【0010】

また、従来の連想メモリでは、オフ状態におけるトランジスタのリーク電流により、メモリセルにおける記憶データの保持時間が短いといった問題があった。例えば、特許文献1に示す連想メモリでは、電源の供給を停止すると、トランジスタのリーク電流などによりデータが消失してしまう。そのため、電源を供給しつづける又は別途不揮発メモリにデータを待避させる必要があり、いずれの場合であっても電力を消費してしまう。

50

## 【0011】

本発明の一態様では、回路面積を小さくすること、及び消費電力を低減することの一つ又は複数を課題の一つとする。

## 【課題を解決するための手段】

## 【0012】

本発明の一態様では、メモリセルにおけるデータの書き込み及び保持を制御するトランジスタと、記憶データの値と検索データの値に応じてオン状態又はオフ状態が制御されるトランジスタを用いて、データを記憶する機能、及び記憶データと検索データを照合して記憶データの内容を判別する機能を有するメモリセルを構成し、メモリセルにおけるトランジスタの数を減らし、回路面積の縮小を図る。

10

## 【0013】

また、本発明の一態様では、上記データの書き込み及び保持を制御するトランジスタとして、オフ電流の低いトランジスタを用いることにより、オフ状態におけるトランジスタのリーク電流を低減し、メモリセルにおけるデータ保持期間を長くすることを図る。

## 【0014】

本発明の一態様は、メモリセルに記憶された第1のデータと検索データである第2のデータを照合することにより、第1のデータの内容を判別する機能を有するメモリセルを具備し、メモリセルは、チャンネル幅1 $\mu$ mあたりのオフ電流が10 $\mu$ A以下であり、オン状態になることにより第1のデータの書き込み、オフ状態になることにより前記第1のデータの保持を制御する第1のトランジスタと、ソース及びドレインの一方の電位が第2のデータの電位であり、ゲートの電位が第1のデータの電位である第2のトランジスタと、第2のトランジスタと逆の導電型であり、ソース及びドレインの一方が第2のトランジスタのソース及びドレインの他方に電気的に接続され、ゲートの電位が第1のデータの電位である第3のトランジスタと、を備える記憶装置である。

20

## 【0015】

上記本発明の一態様の記憶装置において、第1のトランジスタを、チャンネルが形成される酸化半導体層を含む構成にしてもよい。

## 【発明の効果】

## 【0016】

本発明の一態様により、メモリセルにおけるトランジスタの数を少なくし、回路面積を小さくすることができる。また、本発明の一態様により、メモリセルにおけるデータの保持期間を長くすることができるため、消費電力を低減することができる。

30

## 【図面の簡単な説明】

## 【0017】

【図1】実施の形態1における記憶装置の例を説明するための図。

【図2】実施の形態2における記憶装置の例を説明するための図。

【図3】実施の形態2における記憶装置の例を説明するための図。

【図4】実施の形態3における記憶装置の例を説明するための図。

【図5】実施の形態3における記憶装置の例を説明するための図。

【図6】実施の形態4における記憶装置の例を説明するための図。

40

【図7】実施の形態4における記憶装置の例を説明するための図。

【図8】実施の形態5におけるトランジスタの構造例を示す断面模式図。

【図9】酸化物材料の結晶構造を説明する図。

【図10】酸化物材料の結晶構造を説明する図。

【図11】酸化物材料の結晶構造を説明する図。

【図12】酸化物材料の結晶構造を説明する図。

【図13】実施の形態5におけるトランジスタの作製方法例を説明するための断面模式図。

【図14】実施の形態6における演算処理装置の例を説明するための図。

【図15】実施の形態7における電子機器の例を説明するための図。

50

## 【発明を実施するための形態】

## 【0018】

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。なお、本発明の趣旨及びその範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、本発明は、以下に示す実施の形態の記載内容に限定されない。

## 【0019】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに置き換えることができる。

## 【0020】

また、第1、第2などの序数は、構成要素の混同を避けるために付しており、各構成要素の数は、序数の数に限定されない。

## 【0021】

(実施の形態1)

本実施の形態では、検索データと記憶されたデータの照合が可能な記憶装置の例について説明する。

## 【0022】

本実施の形態における記憶装置の例について図1を用いて説明する。

## 【0023】

図1に示す記憶装置は、メモリセル100を具備する。

## 【0024】

メモリセル100は、メモリセル100に記憶されたデータであるデータ $D_m$ と、検索データであるデータ $D_{sch}$ を照合して、データ $D_m$ の内容を判別する機能を有する。

## 【0025】

また、メモリセル100は、トランジスタ111と、トランジスタ112と、トランジスタ113と、を備える。

## 【0026】

トランジスタ111は、データ $D_m$ の書き込み及び保持を制御する機能を有する。

## 【0027】

トランジスタ111としては、例えばオフ電流の低いトランジスタを用いることができる。このとき、トランジスタ111のオフ電流は、チャンネル幅 $1\mu\text{m}$ あたり $10\text{aA}$  ( $1 \times 10^{-17}\text{A}$ )以下、好ましくはチャンネル幅 $1\mu\text{m}$ あたり $1\text{aA}$  ( $1 \times 10^{-18}\text{A}$ )以下、さらに好ましくはチャンネル幅 $1\mu\text{m}$ あたり $10\text{zA}$  ( $1 \times 10^{-20}\text{A}$ )以下、さらに好ましくはチャンネル幅 $1\mu\text{m}$ あたり $1\text{zA}$  ( $1 \times 10^{-21}\text{A}$ )以下、さらに好ましくはチャンネル幅 $1\mu\text{m}$ あたり $100\text{yA}$  ( $1 \times 10^{-22}\text{A}$ )以下である。

## 【0028】

上記オフ電流の低いトランジスタとしては、例えばシリコンよりバンドギャップが広く、例えば $2\text{eV}$ 以上、好ましくは $2.5\text{eV}$ 以上、より好ましくは $3\text{eV}$ 以上であり、チャンネルが形成される半導体層を含むトランジスタを用いることができる。上記バンドギャップの広いトランジスタとしては、例えばチャンネルが形成される酸化物半導体層を含む電界効果トランジスタなどを用いることができる。

## 【0029】

トランジスタ112は、データ $D_m$ 及びデータ $D_{sch}$ の値に応じてオン状態(状態ONともいう)又はオフ状態(状態OFFともいう)が制御される機能を有する。

## 【0030】

トランジスタ112のソース及びドレインの一方の電位は、データ $D_{sch}$ となり、トランジスタ112のゲートの電位は、データ $D_m$ となる。例えば、トランジスタ112のゲートは、トランジスタ111のソース又はドレインに電氣的に接続される。

## 【0031】

トランジスタ113は、データ $D_m$ 及びデータ $D_{sch}$ の値に応じてオン状態又はオフ状

10

20

30

40

50

態が制御される機能を有する。

【0032】

トランジスタ113のソース及びドレインの一方の電位は、データDschの反転データとなり、トランジスタ113のゲートの電位は、データDmとなる。

【0033】

また、例えばトランジスタ113のソース及びドレインの他方は、トランジスタ112のソース及びドレインの他方に電氣的に接続され、トランジスタ113のゲートは、トランジスタ111のソース又はドレインに電氣的に接続される。

【0034】

トランジスタ112及びトランジスタ113としては、例えばチャンネルが形成され、元素周期表における第14族の半導体（シリコンなど）を含有する半導体層を含むトランジスタなどを用いることができる。

【0035】

図1に示す記憶装置では、トランジスタ112のソース及びドレインの他方と、トランジスタ113のソース及びドレインの他方との接続箇所（ノードともいう）の電位に応じてメモリセル100における照合結果を示すデータの値が設定される。

【0036】

なお、一般的に電圧とは、ある二点間における電位の差（電位差ともいう）のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト（V）で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位（基準電位ともいう）との電位差を、該一点の電圧として用いる場合がある。

【0037】

次に、本実施の形態における記憶装置の駆動方法例として、図1に示す記憶装置の駆動方法例について説明する。

【0038】

まず、データの書き込み動作について説明する。図1に示す記憶装置の駆動方法例では、メモリセル100において、トランジスタ111をオン状態にする。

【0039】

このとき、データ信号により、トランジスタ112及びトランジスタ113のゲートの電位、つまりデータDmの値が設定される。これにより、メモリセル100に新たにデータが書き込まれる。その後、トランジスタ111をオフ状態にすることにより、データDmの値が保持される。ここでは、一例としてデータ信号を、ハイレベル（電位Hともいう）及びローレベル（電位Lともいう）となる2値のデジタル信号とし、また、ハイレベルのときのデータ信号の電位がデータ1を表し、ローレベルのときのデータ信号の電位がデータ0を表すとする。なお、これに限定されず、ハイレベルのときのデータ信号の電位がデータ0を表し、ローレベルのときのデータ信号の電位がデータ1を表してもよい。

【0040】

また、データ信号によりトランジスタ112のソース及びドレインの一方の電位、つまり、データDschの値を設定する。

【0041】

次に、データの照合動作について説明する。また、データDmとデータDschの照合を行う。このとき、データDmの値とデータDschの値によって、トランジスタ112及びトランジスタ113のそれぞれの状態が変化する。よって、上記変化からデータDmの値を判別することができる。なお、データDschの値を設定する前にトランジスタ112のソース及びドレインの他方と、トランジスタ113のソース及びドレインの他方との接続箇所の電位をローレベルのデータ信号と同等の値に設定しておく。

【0042】

例えば、トランジスタ112がNチャンネル型トランジスタであり、トランジスタ113がPチャンネル型トランジスタであり、トランジスタ113のソース及びドレインの他方の電

10

20

30

40

50

位がデータD s c hの反転データとなる場合、データD mの値がデータD s c hの値と一致する場合にトランジスタ1 1 2のソース及びドレインの他方とトランジスタ1 1 3のソース及びドレインの他方との接続箇所の電位をハイレベルのデータ信号の電位と同等の値にすることができる。よって、トランジスタ1 1 2のソース及びドレインの他方とトランジスタ1 1 3のソース及びドレインの他方との接続箇所の電位の値が変化するか否かにより、データD mの値がデータD s c hの値と一致するか否かを判別することができる。

【0043】

以上が図1に示す記憶装置の駆動方法例の説明である。

【0044】

図1を用いて説明したように、本実施の形態における記憶装置の一例では、第1乃至第3のトランジスタ（例えばトランジスタ1 1 1乃至トランジスタ1 1 3）により、メモリセルに記憶されたデータと検索データを照合して記憶されたデータを判別できるメモリセルを構成することができる。

10

【0045】

また、本実施の形態における記憶装置の一例では、例えばS R A Mなどの記憶装置の代わりに、第1のトランジスタを用いてメモリセルにデータの記憶を行うことにより、従来の記憶装置よりメモリセルの素子の数を少なくすることができ、回路面積を小さくすることができる。

【0046】

また、本実施の形態における記憶装置の一例では、第1のトランジスタとして、オフ電流の低いトランジスタを用いることにより、別途容量素子を設けなくてもデータの保持期間を長くすることができる。よって、メモリセルの素子の数を少なくすることができ、回路面積を小さくすることができる。また、消費電力を低くすることができる。

20

【0047】

（実施の形態2）

本実施の形態では、記憶されたデータが検索データと一致するか否かを判別できる記憶装置の例について説明する。

【0048】

図2（A）に示す記憶装置は、メモリセル2 0 0と、データ信号線S I G 1と、データ信号線S I G 2と、選択信号線S E L 1と、を具備する。

30

【0049】

メモリセル2 0 0は、メモリセル2 0 0に記憶されたデータであるデータD mと、検索データであるデータD s c hを照合して、データD mの内容を判別する機能を有する。

【0050】

さらに、メモリセル2 0 0は、トランジスタ2 1 1と、トランジスタ2 1 2と、トランジスタ2 1 3と、トランジスタ2 1 4と、を備える。

【0051】

トランジスタ2 1 1は、メモリセル2 0 0へのデータの書き込み及び保持を制御する機能を有する。

【0052】

40

トランジスタ2 1 1のソース及びドレインの一方は、データ信号線S I G 1に電氣的に接続され、トランジスタ2 1 1のゲートは、選択信号線S E L 1に電氣的に接続される。

【0053】

トランジスタ2 1 1としては、例えば上記実施の形態1に示すトランジスタ1 1 1に適用可能なオフ電流の低いトランジスタを用いることができる。

【0054】

トランジスタ2 1 2は、データD m及びデータD s c hの値に応じてオン状態又はオフ状態が制御される機能を有する。

【0055】

トランジスタ2 1 2のソース及びドレインの一方は、データ信号線S I G 1に電氣的に接

50

続され、トランジスタ212のゲートは、トランジスタ211のソース及びドレインの他方に電氣的に接続される。また、トランジスタ212のソース及びドレインの一方の電位は、データDschとなり、トランジスタ212のゲートの電位は、データDmとなる。なお、必ずしもトランジスタ212のソース及びドレインの一方をデータ信号線SIG1に電氣的に接続しなくてよく、トランジスタ212を、データ信号線SIG1とは別のデータ信号線に電氣的に接続してもよい。

【0056】

トランジスタ213は、データDm及びデータDschの値に応じてオン状態又はオフ状態が制御される機能を有する。

【0057】

トランジスタ213のソース及びドレインの一方は、データ信号線SIG2に電氣的に接続され、トランジスタ213のソース及びドレインの他方は、トランジスタ212のソース及びドレインの他方に電氣的に接続され、トランジスタ213のゲートは、トランジスタ211のソース及びドレインの他方に電氣的に接続される。また、トランジスタ213のソース及びドレインの一方の電位は、データDschの反転データとなり、トランジスタ213のゲートの電位はデータDmとなる。なお、必ずしもトランジスタ213のソース及びドレインの一方をデータ信号線SIG2に電氣的に接続しなくてもよく、例えばトランジスタ213のソース及びドレインの一方を、所定の電位が与えられる配線に電氣的に接続してもよい。

【0058】

トランジスタ214は、データDmとデータDschの照合結果に応じてオン状態又はオフ状態が制御される機能を有する。

【0059】

トランジスタ214のゲートは、トランジスタ212のソース及びドレインの他方、並びにトランジスタ213のソース及びドレインの他方に電氣的に接続される。

【0060】

トランジスタ212乃至トランジスタ214としては、例えばトランジスタ112及びトランジスタ113に適用可能なトランジスタを用いることができる。

【0061】

次に、本実施の形態における記憶装置の駆動方法例として、図2(A)に示す記憶装置の駆動方法例について説明する。ここでは、一例としてトランジスタ211、トランジスタ212、及びトランジスタ214をNチャンネル型トランジスタとし、トランジスタ213をPチャンネル型トランジスタとする。

【0062】

まず、データの書き込み動作について説明する。図2(A)に示す記憶装置の駆動方法例では、メモリセル200において、選択信号線SEL1を介して入力される選択信号によりトランジスタ211をオン状態にする。

【0063】

このとき、データ信号線SIG1を介してメモリセル200に入力されるデータ信号により、トランジスタ212及びトランジスタ213のゲートの電位、つまりデータDmの値が設定される。これにより、メモリセル200に新たにデータが書き込まれる。その後、トランジスタ211をオフ状態にすることにより、データDmの値が保持される。なお、ここでは一例としてデータ信号を、ハイレベル及びローレベルとなる2値のデジタル信号とし、また、ハイレベルのときのデータ信号の電位がデータ1を表し、ローレベルのときのデータ信号の電位がデータ0を表すとする。

【0064】

また、データ信号により、データ信号線SIG1の電位を設定することでデータDschの値を設定する。このとき、データ信号線SIG2の電位もデータ信号線SIG2を介して入力されるデータ信号によりデータDschの反転データに設定される。

【0065】

10

20

30

40

50

次に、データの照合動作について説明する。また、データD<sub>m</sub>とデータD<sub>s c h</sub>の照合を行う。このとき、データD<sub>m</sub>の値及びデータD<sub>s c h</sub>の値によって、トランジスタ212及びトランジスタ213のそれぞれの状態が変化する。よって、上記変化からデータD<sub>m</sub>の内容を判別することができる。なお、データD<sub>s c h</sub>の値を設定する前にトランジスタ214のゲートの電位(電位V<sub>x</sub>)をローレベルのときのデータ信号と同等の値に設定しておく。

【0066】

例えば、図2(B)に示すように、データD<sub>m</sub>の値が0でデータD<sub>s c h</sub>の値が0のとき、トランジスタ212がオフ状態になり、トランジスタ213がオン状態になる。このとき、トランジスタ214のゲートの電位(電位V<sub>x</sub>)がハイレベルのときのデータ信号と同等の値になるため、トランジスタ214はオン状態になる。

10

【0067】

また、データD<sub>m</sub>が1でデータD<sub>s c h</sub>が0のとき、トランジスタ212がオン状態になり、トランジスタ213がオフ状態になる。このとき、トランジスタ214のゲートの電位(電位V<sub>x</sub>)がローレベルのときのデータ信号と同等の値になり、トランジスタ214はオフ状態になる。

【0068】

また、データD<sub>m</sub>が0でデータD<sub>s c h</sub>が1のとき、トランジスタ212及びトランジスタ213がオフ状態になる。このとき、トランジスタ214のゲートの電位がローレベルのときのデータ信号と同等の値になるため、トランジスタ214はオフ状態になる。

20

【0069】

また、データD<sub>m</sub>が1でデータD<sub>s c h</sub>が1のとき、トランジスタ212がオン状態になり、トランジスタ213がオフ状態になる。このとき、トランジスタ214のゲートの電位(電位V<sub>x</sub>)は、ハイレベルのときのデータ信号と同等の値になり、トランジスタ214は、オン状態になる。

【0070】

図2(B)に示すように、メモリセル200は、データD<sub>m</sub>の値とデータD<sub>s c h</sub>の値が一致する場合にトランジスタ214がオン状態になる。よって、トランジスタ214のゲートの電位の値が変化するか否かにより、データD<sub>m</sub>の値がデータD<sub>s c h</sub>の値と一致するか否かを判別することができる。

30

【0071】

以上が図2(A)に示す記憶装置の駆動方法例の説明である。

【0072】

また、複数ビットのデータの内容の判別を行う場合、例えば図3に示すように、複数のメモリセル200におけるトランジスタ214のそれぞれのソース又はドレインを直列接続で電氣的に接続させることにより、複数ビットのデータの判別を行うことができる。このとき、1段目のメモリセル200におけるトランジスタ214のソース及びドレインの一方の電位を高電源電位及び低電源電位の一方に設定する。また、トランジスタ203を設け、トランジスタ203をオン状態にすることにより、照合結果を示すデータ信号Sの電位を高電源電位及び低電源電位の他方に設定し、その後トランジスタ203をオフ状態にする。なお、高電源電位の値を、ハイレベルのときのデータ信号の値と同等の値にすることができ、低電源電位の値をローレベルのときのデータ信号の値と同等の値にすることができる。

40

【0073】

図3に示す記憶装置では、選択信号線SEL1を介して入力される選択信号により各メモリセル200におけるトランジスタ211をオン状態にし、データ信号線SIG1\_\_1乃至データ信号線SIG1\_\_j(jは2以上の自然数)、及びデータ信号線SIG2\_\_1乃至データ信号線SIG2\_\_jを介して入力される複数ビットのデータ信号により各メモリセル200にデータを書き込み、各メモリセル200においてデータD<sub>m</sub>とデータD<sub>s c h</sub>を照合して、トランジスタ214のゲートの電位(電位V<sub>x</sub>)の値が設定される。この

50

とき、同じ行の全てのメモリセル200において、トランジスタ214がオン状態、すなわち、全てのメモリセル200において、データDmの値とデータDschの値が一致したときにデータ信号Sの電位の値が変化する。よって、複数ビットのデータであってもデータの内容を判別することができる。

【0074】

図2及び図3を用いて説明したように、本実施の形態における記憶装置の一例では、第1乃至第4のトランジスタ(例えばトランジスタ211乃至トランジスタ214)により、メモリセルに記憶されたデータと検索データを照合して一致するか否かを判別できるメモリセルを構成することができる。

【0075】

また、本実施の形態における記憶装置の一例では、例えばSRAMなどの記憶装置の代わりに、第1のトランジスタ(例えばトランジスタ211)を用いてメモリセルにデータの記憶を行うことにより、従来の記憶装置よりメモリセルの素子の数を少なくすることができ、回路面積を小さくすることができる。

【0076】

また、本実施の形態における記憶装置の一例では、第1のトランジスタとして、オフ電流の低いトランジスタを用いることにより、別途容量素子を設けなくてもデータの保持期間を長くすることができる。よって、メモリセルの素子の数を少なくことができ、回路面積を小さくすることができる。また、消費電力を低くすることができる。

【0077】

(実施の形態3)

本実施の形態では、記憶されたデータが検索データと一致するか否かを判別でき、且つデータの読み出しが可能な記憶装置の例について説明する。

【0078】

図4(A)に示す記憶装置は、メモリセル300と、データ信号線SIG1と、データ信号線SIG2と、選択信号線SEL1と、選択信号線SEL2と、データ信号線SIG3と、を具備する。

【0079】

メモリセル300は、メモリセル300に記憶されたデータであるデータDmと、検索データであるデータDschを照合して、データDmの内容を判別する機能を有する。

【0080】

さらに、メモリセル300は、トランジスタ311と、トランジスタ312と、トランジスタ313と、トランジスタ314と、を備える。

【0081】

トランジスタ311は、メモリセル300へのデータの書き込み及び保持を制御する機能を有する。

【0082】

トランジスタ311のソース及びドレインの一方は、データ信号線SIG1に電氣的に接続され、トランジスタ311のゲートは、選択信号線SEL1に電氣的に接続される。

【0083】

トランジスタ311としては、例えば上記実施の形態1に示すトランジスタ111に適用可能なオフ電流の低いトランジスタを用いることができる。

【0084】

トランジスタ312は、データDm及びデータDschの値に応じてオン状態又はオフ状態が制御される機能を有する。

【0085】

トランジスタ312のソース及びドレインの一方は、データ信号線SIG1に電氣的に接続され、トランジスタ312のゲートは、トランジスタ311のソース及びドレインの他方に電氣的に接続される。また、トランジスタ312のソース及びドレインの一方の電位は、データDschとなり、トランジスタ312のゲートの電位は、データDmとなる。

10

20

30

40

50

なお、必ずしもトランジスタ312のソース及びドレインの一方をデータ信号線SIG1に電氣的に接続しなくてよく、トランジスタ312を、データ信号線SIG1とは別のデータ信号線に電氣的に接続してもよい。

【0086】

トランジスタ312としては、例えば電界効果トランジスタなどを用いることができる。

【0087】

トランジスタ313は、データDm及びデータDschの値に応じてオン状態又はオフ状態が制御される機能を有する。

【0088】

トランジスタ313は、トランジスタ312と逆の導電型であり、トランジスタ313のソース及びドレインの一方は、データ信号線SIG2に電氣的に接続され、トランジスタ313のソース及びドレインの他方は、トランジスタ312のソース及びドレインの他方に電氣的に接続され、トランジスタ313のゲートは、トランジスタ311のソース及びドレインの他方に電氣的に接続される。また、トランジスタ313のソース及びドレインの一方の電位は、データDschの反転データとなり、トランジスタ313のゲートの電位はデータDmとなる。なお、必ずしもトランジスタ313のソース及びドレインの一方をデータ信号線SIG2に電氣的に接続しなくてもよく、例えばトランジスタ313のソース及びドレインの一方を、所定の電位が与えられる配線に電氣的に接続してもよい。

10

【0089】

トランジスタ314は、照合結果のデータを読み出すか否かを選択する機能を有する。

20

【0090】

トランジスタ314のソース及びドレインの一方は、データ信号線SIG3に電氣的に接続され、トランジスタ314のソース及びドレインの他方は、トランジスタ312のソース及びドレインの他方、並びにトランジスタ313のソース及びドレインの他方に電氣的に接続され、トランジスタ314のゲートは、選択信号線SEL2に電氣的に接続される。

【0091】

トランジスタ312乃至トランジスタ314としては、例えば実施の形態1におけるトランジスタ112及びトランジスタ113に適用可能なトランジスタなどを用いることができる。

30

【0092】

次に、本実施の形態における記憶装置の駆動方法例として、図4(A)に示す記憶装置の駆動方法例について説明する。ここでは、一例としてトランジスタ311、トランジスタ312、及びトランジスタ314をNチャンネル型トランジスタとし、トランジスタ313をPチャンネル型トランジスタとする。

【0093】

まず、データの書き込み動作について説明する。図4(A)に示す記憶装置の駆動方法例では、メモリセル300において、トランジスタ311をオン状態にする。

【0094】

このとき、データ信号線SIG1を介して入力されるデータ信号により、トランジスタ312及びトランジスタ313のゲートの電位、つまりデータDmの値が設定される。これにより、メモリセル300に新たにデータが書き込まれる。その後、トランジスタ311をオフ状態にすることにより、データDmの値が保持される。なお、ここでは一例としてデータ信号を、ハイレベル及びローレベルとなる2値のデジタル信号とし、また、ハイレベルのときのデータ信号の電位がデータ1を表し、ローレベルのときのデータ信号の電位がデータ0を表すとす。

40

【0095】

また、データ信号により、データ信号線SIG1の電位を設定することでデータDschの値を設定する。このとき、データ信号線SIG2の電位もデータ信号線SIG2を介して入力されるデータ信号によりデータDschの反転データの値に設定される。

50

## 【 0 0 9 6 】

次に、データDmとデータDschの照合を行う。このとき、データDmの値及びデータDschの値によって、トランジスタ312及びトランジスタ313のそれぞれの状態が変化する。よって、上記変化からデータDmの内容を判別することができる。なお、データDschの値を設定する前にトランジスタ314のソース及びドレインの他方の電位(電位Vx)をローレベルのときのデータ信号と同等の値にリセットしておく。

## 【 0 0 9 7 】

例えば、図4(B)に示すように、データDmの値が0でデータDschの値が0のとき、トランジスタ312がオフ状態になり、トランジスタ313がオン状態になる。このとき、トランジスタ314のソース及びドレインの他方の電位(電位Vx)は、

10

【 0 0 9 8 】  
また、データDmの値が1でデータDschの値が0のとき、トランジスタ312がオン状態になり、トランジスタ313がオフ状態になる。このとき、トランジスタ314のソース及びドレインの他方の電位(電位Vx)は、ローレベルのときのデータ信号と同等の値になる。

## 【 0 0 9 9 】

また、データDmの値が0でデータDschの値が1のとき、トランジスタ312及びトランジスタ313がオフ状態になる。このとき、トランジスタ314のソース及びドレインの他方の電位(電位Vx)は、ローレベルのときのデータ信号と同等の値になる。

20

## 【 0 1 0 0 】

また、データDmの値が1でデータDschの値が1のとき、トランジスタ312がオン状態になり、トランジスタ313がオフ状態になる。このとき、トランジスタ314のソース及びドレインの他方の電位(電位Vx)は、

## 【 0 1 0 1 】

図4(B)に示すように、メモリセル300は、データDmの値とデータDschの値が一致する場合に、トランジスタ314のソース及びドレインの他方の電位(電位Vx)が

30

【 0 1 0 2 】  
さらに、メモリセル300から照合結果を示すデータを読み出すこともできる。

## 【 0 1 0 3 】

次に、データの読み出し動作について説明する。メモリセル300から照合結果を示すデータを読み出す場合、データ信号線SIG3を高電源電位に設定する。また、選択信号線SEL2を介して入力される選択信号によりトランジスタ314をオン状態にする。

## 【 0 1 0 4 】

このとき、データ信号線SIG3の電位が、トランジスタ314のソース及びドレインの他方の電位と同等の値になるため、データ信号線SIG3を介してメモリセル300におけるデータDmとデータDschの照合結果を示すデータが読み出される。

40

## 【 0 1 0 5 】

以上が図4(A)に示す記憶装置の駆動方法例の説明である。

## 【 0 1 0 6 】

また、複数ビットのデータの内容の判別を行う場合、例えば図5に示すように、複数のメモリセル300におけるトランジスタ314のそれぞれのソース又はドレインを並列接続で電氣的に接続させることにより、複数ビットのデータの判別を行うことができる。このとき、トランジスタ303を設け、トランジスタ303をオン状態にすることにより、照合結果を示すデータ信号Sの電位を高電源電位又は低電源電位に設定し、その後トランジスタ303をオフ状態にする。

50

## 【0107】

図5に示す記憶装置では、選択信号線SEL1を介して入力される選択信号により各メモリセル300におけるトランジスタ311をオン状態にし、データ信号線SIG1\_\_1乃至データ信号線SIG1\_\_j(jは2以上の自然数)、及びデータ信号線SIG2\_\_1乃至データ信号線SIG2\_\_jを介して入力される複数ビットのデータ信号により各メモリセル300にデータを書き込む。さらに、各メモリセル300においてデータDmとデータDschを照合して、トランジスタ314のソース及びドレインの他方の電位(電位Vx)の値が設定される。さらに、データ信号線SIG3の電位を高電源電位又は低電源電位に設定し、選択信号線SEL\_\_2を介して入力される選択信号により、各メモリセル300におけるトランジスタ314がオン状態になることにより、トランジスタ314のソ

10

## 【0108】

図4及び図5を用いて説明したように、本実施の形態における記憶装置の一例では、第1乃至第4のトランジスタ(例えばトランジスタ311乃至トランジスタ314)により、メモリセルに記憶されたデータが検索データを照合して一致するか否かを判別できるメモリセルを構成することができる。

## 【0109】

また、本実施の形態における記憶装置の一例では、例えばSRAMなどの記憶装置の代わりに、第1のトランジスタ(例えばトランジスタ311)を用いてメモリセルにデータの記憶を行うことにより、従来の記憶装置よりメモリセルの素子の数を少なくすることができ、回路面積を小さくすることができる。

## 【0110】

また、本実施の形態における記憶装置の一例では、第1のトランジスタとして、オフ電流の低いトランジスタを用いることにより、別途容量素子を設けなくてもデータの保持期間を長くすることができる。よって、メモリセルの素子の数を少なくすることができ、回路面積を小さくすることができる。また、消費電力を低くすることができる。

## 【0111】

また、本実施の形態における記憶装置の一例では、第4のトランジスタ(例えばトランジスタ314)を用いてメモリセルに記憶されたデータを選択的に読み出すことができる。よって、例えば上記メモリセルがマトリクス状に複数配置されている場合であっても、指定した行のメモリセルのデータを選択的に読み出すこともできるため、全てのメモリセルのデータを常に一括で読み出す場合と比較して消費電力を低減することができる。

## 【0112】

(実施の形態4)

本実施の形態では、記憶されたデータが検索データと一致するか否かを判別でき、且つ記憶されたデータが検索データより大きい小さいかを判別することができる記憶装置の例について説明する。

## 【0113】

図6(A)に示す記憶装置は、メモリセル400と、データ信号線SIG1と、データ信号線SIG2と、選択信号線SEL1と、を具備する。

## 【0114】

メモリセル400は、メモリセル400内に記憶されたデータであるデータDmと、検索データであるデータDschを照合して、データDmの内容を判別する機能を有する。

## 【0115】

さらに、メモリセル400は、トランジスタ411と、トランジスタ412と、トランジスタ413と、トランジスタ414と、トランジスタ415と、トランジスタ416と、トランジスタ417と、を備える。

10

20

30

40

50

## 【 0 1 1 6 】

トランジスタ 4 1 1 は、メモリセル 4 0 0 へのデータの書き込み及び保持を制御する機能を有する。

## 【 0 1 1 7 】

トランジスタ 4 1 1 のソース及びドレインの一方は、データ信号線 S I G 1 に電氣的に接続され、トランジスタ 4 1 1 のゲートは、選択信号線 S E L 1 に電氣的に接続される。

## 【 0 1 1 8 】

トランジスタ 4 1 1 としては、例えば上記実施の形態 1 に示すトランジスタ 1 1 1 に適用可能なオフ電流の低いトランジスタを用いることができる。

## 【 0 1 1 9 】

トランジスタ 4 1 2 は、データ D m 及びデータ D s c h の値に応じてオン状態又はオフ状態が制御される機能を有する。

## 【 0 1 2 0 】

トランジスタ 4 1 2 のソース及びドレインの一方は、データ信号線 S I G 1 に電氣的に接続され、トランジスタ 4 1 2 のゲートは、トランジスタ 4 1 1 のソース及びドレインの他方に電氣的に接続される。また、トランジスタ 4 1 2 のソース及びドレインの一方の電位は、データ D s c h となり、トランジスタ 4 1 2 のゲートの電位は、データ D m となる。

## 【 0 1 2 1 】

トランジスタ 4 1 3 は、データ D m 及びデータ D s c h の値に応じてオン状態又はオフ状態が制御される機能を有する。

## 【 0 1 2 2 】

トランジスタ 4 1 3 のソース及びドレインの一方は、データ信号線 S I G 2 に電氣的に接続され、トランジスタ 4 1 3 のソース及びドレインの他方は、トランジスタ 4 1 2 のソース及びドレインの他方に電氣的に接続され、トランジスタ 4 1 3 のゲートは、トランジスタ 4 1 1 のソース及びドレインの他方に電氣的に接続される。また、トランジスタ 4 1 3 のソース及びドレインの一方の電位は、データ D s c h の反転データとなり、トランジスタ 4 1 3 のゲートの電位はデータ D m となる。なお、必ずしもトランジスタ 4 1 3 のソース及びドレインの一方をデータ信号線 S I G 2 に電氣的に接続しなくてもよく、例えばトランジスタ 4 1 3 のソース及びドレインの一方を、所定の電位が与えられる配線に電氣的に接続してもよい。

## 【 0 1 2 3 】

トランジスタ 4 1 4 は、データ D m とデータ D s c h の照合結果に応じてオン状態又はオフ状態が制御される機能を有する。

## 【 0 1 2 4 】

トランジスタ 4 1 4 のゲートは、トランジスタ 4 1 2 のソース及びドレインの他方、並びにトランジスタ 4 1 3 のソース及びドレインの他方に電氣的に接続される。

## 【 0 1 2 5 】

トランジスタ 4 1 4 としては、例えば電界効果トランジスタなどを用いることができる。

## 【 0 1 2 6 】

トランジスタ 4 1 5 は、データ D m とデータ D s c h の照合結果に応じてオン状態又はオフ状態が制御される機能を有する。

## 【 0 1 2 7 】

トランジスタ 4 1 5 のソース及びドレインの一方は、データ信号線 S I G 1 に電氣的に接続され、トランジスタ 4 1 5 のゲートは、トランジスタ 4 1 1 のソース及びドレインの他方に電氣的に接続される。また、トランジスタ 4 1 5 のソース及びドレインの一方の電位は、データ D s c h となり、トランジスタ 4 1 5 のゲートの電位はデータ D m となる。

## 【 0 1 2 8 】

トランジスタ 4 1 6 は、データ D m とデータ D s c h の照合結果に応じてオン状態又はオフ状態が制御される機能を有する。

## 【 0 1 2 9 】

10

20

30

40

50

トランジスタ416のソース及びドレインの一方は、トランジスタ415のソース及びドレインの他方に電氣的に接続され、トランジスタ416のソース及びドレインの他方には、所定の値の電位が与えられ、トランジスタ416のゲートは、トランジスタ411のソース及びドレインの他方に電氣的に接続される。また、トランジスタ416のゲートの電位はデータDmとなる。

【0130】

トランジスタ417は、データDmとデータDschの照合結果に応じてオン状態又はオフ状態が制御される機能を有する。

【0131】

トランジスタ417のゲートは、トランジスタ415のソース及びドレインの他方、並びにトランジスタ416のソース及びドレインの一方に電氣的に接続される。

10

【0132】

トランジスタ412乃至トランジスタ417としては、例えば上記実施の形態1に示すトランジスタ112及びトランジスタ113に適用可能なトランジスタを用いることができる。

【0133】

次に、本実施の形態における記憶装置の駆動方法例として、図6(A)に示す記憶装置の駆動方法例について説明する。ここでは、一例としてトランジスタ411、トランジスタ412、トランジスタ414、トランジスタ416、及びトランジスタ417をNチャンネル型トランジスタとし、トランジスタ413及びトランジスタ415をPチャンネル型トランジスタとする。また、トランジスタ416のソース及びドレインの一方の電位を低電源電位とする。

20

【0134】

まず、データの書き込み動作について説明する。図6(A)に示す記憶装置の駆動方法例では、メモリセル400において、選択信号線SEL1を介して入力される選択信号によりトランジスタ411をオン状態にする。

【0135】

このとき、データ信号線SIG1を介して入力されるデータ信号により、トランジスタ412、トランジスタ413、トランジスタ415、及びトランジスタ416のゲートの電位、つまりデータDmの値が設定される。これにより、メモリセル400に新たにデータが書き込まれる。その後、トランジスタ411をオフ状態にすることにより、データDmの値が保持される。ここでは、一例としてデータ信号を、ハイレベル及びローレベルとなる2値のデジタル信号とし、また、ハイレベルのときのデータ信号の電位がデータ1を表し、ローレベルのときのデータ信号の電位がデータ0を表すとする。

30

【0136】

また、データ信号により、データ信号線SIG1の電位を設定することでデータDschの値を設定する。このとき、データ信号線SIG2の電位もデータ信号線SIG2を介して入力されるデータ信号によりデータDschの反転データの値に設定される。

【0137】

次に、データDmとデータDschの照合を行う。このとき、データDmの値及びデータDschの値によって、トランジスタ412、トランジスタ413、トランジスタ415、及びトランジスタ416のそれぞれの状態が変化する。よって、上記変化からデータDmの内容を判別することができる。なお、データDschの値を設定する前にトランジスタ414のゲートの電位(電位Vx1ともいう)とトランジスタ417のゲートの電位(電位Vx2ともいう)をローレベルのときのデータ信号と同等の値に設定しておく。

40

【0138】

例えば、図6(B)に示すように、データDmの値が0でデータDschの値が0のとき、トランジスタ413がオン状態になり、トランジスタ412、トランジスタ415、及びトランジスタ416がオフ状態になる。このとき、トランジスタ414のゲートの電位(電位Vx1)がハイレベルのときのデータ信号と同等の値になるため、トランジスタ4

50

14はオン状態になる。また、トランジスタ417のゲートの電位(電位 $V \times 2$ )がローレベルのときのデータ信号と同等の値になるため、トランジスタ417はオフ状態になる。

【0139】

また、データ $D_m$ の値が1でデータ $D_{sch}$ の値が0のとき、トランジスタ412及びトランジスタ416がオン状態になり、トランジスタ413及びトランジスタ415がオフ状態になる。このとき、トランジスタ414のゲートの電位(電位 $V \times 1$ )がローレベルのときのデータ信号と同等の値になるため、トランジスタ414はオフ状態になる。また、トランジスタ417のゲートの電位(電位 $V \times 2$ )がローレベルのときのデータ信号と同等の値になるため、トランジスタ417はオフ状態になる。

10

【0140】

また、データ $D_m$ の値が0でデータ $D_{sch}$ の値が1のとき、トランジスタ415がオン状態になり、トランジスタ412、トランジスタ413、及びトランジスタ416がオフ状態になる。このとき、トランジスタ414のゲートの電位(電位 $V \times 1$ )がローレベルのときのデータ信号と同等の値になり、トランジスタ414はオフ状態になる。また、トランジスタ417のゲートの電位(電位 $V \times 2$ )がハイレベルのときのデータ信号と同等の値になり、トランジスタ417はオン状態になる。

【0141】

また、データ $D_m$ の値が1でデータ $D_{sch}$ の値が1のとき、トランジスタ412及びトランジスタ416がオン状態になり、トランジスタ413及びトランジスタ415がオフ状態になる。このとき、トランジスタ414のゲートの電位(電位 $V \times 1$ )がハイレベルのときのデータ信号と同等の値になるため、トランジスタ414はオン状態になる。また、トランジスタ417のゲートの電位(電位 $V \times 2$ )がローレベルのときのデータ信号と同等の値になるため、トランジスタ417はオフ状態になる。

20

【0142】

図6(B)に示すように、メモリセル400は、データ $D_m$ の値とデータ $D_{sch}$ の値が一致する場合に、トランジスタ414がオン状態になる。よって、トランジスタ414のソース又はドレインの電位の値が変化するか否かにより、データ $D_m$ の値がデータ $D_{sch}$ の値と一致するか否かを判別することができる。さらに、データ $D_m$ の値とデータ $D_{sch}$ の値が一致しない場合、データ $D_m$ の値がデータ $D_{sch}$ の値より小さい場合には、トランジスタ417がオン状態になり、データ $D_m$ の値がデータ $D_{sch}$ の値より大きい場合には、トランジスタ417がオフ状態になる。よって、トランジスタ417のソース又はドレインの電位の値が変化するか否かにより、データ $D_m$ の値がデータ $D_{sch}$ の値より大きいか小さいかの判別を行うこともできる。

30

【0143】

以上が図6(A)に示す記憶装置の駆動方法例の説明である。

【0144】

また、複数ビットのデータの内容の判別を行う場合、例えば図7に示すように、同じ行の複数のメモリセル400におけるトランジスタ414のそれぞれのソース又はドレインを直列接続で電氣的に接続させ、同じ行の複数のメモリセル400におけるトランジスタ417のそれぞれのソース又はドレインを並列接続で電氣的に接続させることにより、複数ビットのデータの判別を行うことができる。このとき、1段目のメモリセル400におけるトランジスタ414のソース及びドレインの一方の電位、並びにトランジスタ417のソース及びドレインの他方の電位を高電源電位及び低電源電位の一方に設定し、トランジスタ402を設け、トランジスタ402をオン状態にすることにより、照合結果を示すデータ信号 $S_1$ の電位を高電源電位及び低電源電位の他方に設定し、その後、トランジスタ402をオフ状態にする。また、トランジスタ403を設け、トランジスタ403をオン状態にすることにより、照合結果を示すデータ信号 $S_2$ の電位を高電源電位及び低電源電位の他方に設定し、その後トランジスタ403をオフ状態にする。

40

【0145】

50

図7に示す記憶装置では、選択信号線SEL1を介して入力される選択信号により各メモリセル400におけるトランジスタ411をオン状態にし、データ信号線SIG1\_1乃至データ信号線SIG1\_j(jは2以上の自然数)、及びデータ信号線SIG2\_1乃至データ信号線SIG2\_jを介して入力される複数ビットのデータ信号により各メモリセル400にデータを書き込み、各メモリセル400においてデータDmとデータDschを照合して、トランジスタ414のゲートの電位(電位Vx1)及びトランジスタ417のゲートの電位(電位Vx2)の値が設定される。よって、複数ビットのデータであってもデータの内容を判別することができる。

【0146】

図6及び図7を用いて説明したように、本実施の形態における記憶装置の一例では、第1乃至第7のトランジスタ(例えばトランジスタ411乃至トランジスタ417)により、メモリセルに記憶されたデータが検索データを照合して一致するか否かを判別でき、且つ記憶されたデータの値が検索データより大きい小さいかを判別できるメモリセルを構成することができる。よって、データの内容をより詳細に判別することができるため、検索精度を向上させることができる。

【0147】

また、本実施の形態における記憶装置の一例では、例えばSRAM、DRAM、フラッシュメモリなどのメモリの代わりに、第1のトランジスタ(例えばトランジスタ411)を用いてメモリセルにデータの記憶を行うことにより、従来の記憶装置よりメモリセルの素子の数を少なくすることができ、回路面積を小さくすることができる。

【0148】

また、本実施の形態における記憶装置の一例では、第1のトランジスタとして、オフ電流の低いトランジスタを用いることにより、別途容量素子を設けなくてもデータの保持期間を長くすることができる。よって、メモリセルの素子の数を少なくすることができ、回路面積を小さくすることができる。また、消費電力を低くすることができる。

【0149】

(実施の形態5)

本実施の形態では、上記実施の形態に示す記憶装置のトランジスタに適用可能な酸化物半導体層を含む電界効果トランジスタの例について説明する。

【0150】

本実施の形態におけるトランジスタの構造例について、図8を用いて説明する。

【0151】

図8(A)に示すトランジスタは、導電層601\_aと、絶縁層602\_aと、半導体層603\_aと、導電層605\_a\_aと、導電層605\_b\_aと、を含む。

【0152】

半導体層603\_aは、領域604\_a\_a及び領域604\_b\_aを含む。領域604\_a\_a及び領域604\_b\_aは、互いに離間し、それぞれドーパントが添加された領域である。なお、領域604\_a\_a及び領域604\_b\_aの間の領域がチャンネル形成領域になる。半導体層603\_aは、被素子形成層600\_aの上に設けられる。なお、必ずしも領域604\_a\_a及び領域604\_b\_aを設けなくてもよい。

【0153】

導電層605\_a\_a及び導電層605\_b\_aは、半導体層603\_aの上に設けられ、半導体層603\_aに電気的に接続される。また、導電層605\_a\_a及び導電層605\_b\_aの側面は、テーパ状であるが、これに限定されない。

【0154】

また、導電層605\_a\_aは、領域604\_a\_aの一部に重畳するが、必ずしもこれに限定されない。導電層605\_a\_aを領域604\_a\_aの一部に重畳させることにより、導電層605\_a\_a及び領域604\_a\_aの間の抵抗値を小さくすることができる。また、導電層605\_a\_aに重畳する半導体層603\_aの領域の全てが領域604\_a\_aである構造にしてもよい。

10

20

30

40

50

## 【 0 1 5 5 】

また、導電層 6 0 5 b \_\_ a は、領域 6 0 4 b \_\_ a の一部に重畳するが、必ずしもこれに限定されない。導電層 6 0 5 b \_\_ a を領域 6 0 4 b \_\_ a の一部に重畳させることにより、導電層 6 0 5 b \_\_ a 及び領域 6 0 4 b \_\_ a の間の抵抗を小さくすることができる。また、導電層 6 0 5 b \_\_ a に重畳する半導体層 6 0 3 \_\_ a の領域の全てが領域 6 0 4 b \_\_ a である構造にしてもよい。

## 【 0 1 5 6 】

絶縁層 6 0 2 \_\_ a は、半導体層 6 0 3 \_\_ a、導電層 6 0 5 a \_\_ a、及び導電層 6 0 5 b \_\_ a の上に設けられる。

## 【 0 1 5 7 】

導電層 6 0 1 \_\_ a は、絶縁層 6 0 2 \_\_ a の一部の上に設けられ、絶縁層 6 0 2 \_\_ a を介して半導体層 6 0 3 \_\_ a に重畳する。絶縁層 6 0 2 \_\_ a を介して導電層 6 0 1 \_\_ a と重畳する半導体層 6 0 3 \_\_ a の領域がチャネル形成領域になる。

## 【 0 1 5 8 】

また、図 8 ( B ) に示すトランジスタは、導電層 6 0 1 \_\_ b と、絶縁層 6 0 2 \_\_ b と、半導体層 6 0 3 \_\_ b と、導電層 6 0 5 a \_\_ b と、導電層 6 0 5 b \_\_ b と、絶縁層 6 0 6 a と、絶縁層 6 0 6 b と、絶縁層 6 0 7 と、を含む。

## 【 0 1 5 9 】

半導体層 6 0 3 \_\_ b は、領域 6 0 4 a \_\_ b 及び領域 6 0 4 b \_\_ b を含む。領域 6 0 4 a \_\_ b 及び領域 6 0 4 b \_\_ b は、互いに離間し、それぞれドーパントが添加された領域である。半導体層 6 0 3 \_\_ b は、導電層 6 0 5 a \_\_ b 及び導電層 6 0 5 b \_\_ b に電氣的に接続される。なお、必ずしも領域 6 0 4 a \_\_ b 及び領域 6 0 4 b \_\_ b を設けなくてもよい。また、被素子形成層 6 0 0 \_\_ b に埋め込み絶縁領域を設け、該埋め込み絶縁領域に接するように領域 6 0 4 a \_\_ b 及び領域 6 0 4 b \_\_ b を設けてもよい。埋め込み絶縁領域を設けることにより、半導体層 6 0 3 \_\_ b に酸素を供給しやすくすることができる。

## 【 0 1 6 0 】

絶縁層 6 0 2 \_\_ b は、半導体層 6 0 3 \_\_ b の一部の上に設けられる。

## 【 0 1 6 1 】

導電層 6 0 1 \_\_ b は、絶縁層 6 0 2 \_\_ b の一部の上に設けられ、絶縁層 6 0 2 \_\_ b を介して半導体層 6 0 3 \_\_ b に重畳する。なお、絶縁層 6 0 2 \_\_ b を介して導電層 6 0 1 \_\_ b と重畳する半導体層 6 0 3 \_\_ b の領域がトランジスタのチャネル形成領域になる。なお、導電層 6 0 1 \_\_ b の上に絶縁層が設けられていてもよい。

## 【 0 1 6 2 】

絶縁層 6 0 6 a は、絶縁層 6 0 2 \_\_ b の上に設けられ、導電層 6 0 1 \_\_ b における一對の側面の一方に接する。

## 【 0 1 6 3 】

絶縁層 6 0 6 b は、絶縁層 6 0 2 \_\_ b の上に設けられ、導電層 6 0 1 \_\_ b における一對の側面の他方に接する。

## 【 0 1 6 4 】

なお、絶縁層 6 0 2 \_\_ b を介して絶縁層 6 0 6 a 及び絶縁層 6 0 6 b に重畳する領域 6 0 4 a \_\_ b 及び領域 6 0 4 b \_\_ b の部分のドーパントの濃度は、絶縁層 6 0 6 a 及び絶縁層 6 0 6 b に重畳しない領域 6 0 4 a \_\_ b 及び領域 6 0 4 b \_\_ b の部分のドーパントの濃度より低くてもよい。

## 【 0 1 6 5 】

導電層 6 0 5 a \_\_ b 及び導電層 6 0 5 b \_\_ b は、半導体層 6 0 3 \_\_ b の上に設けられる。

## 【 0 1 6 6 】

導電層 6 0 5 a \_\_ b は、領域 6 0 4 a \_\_ b に電氣的に接続される。また、導電層 6 0 5 a \_\_ b は、絶縁層 6 0 6 a に接する。

## 【 0 1 6 7 】

導電層 6 0 5 b \_\_ b は、領域 6 0 4 b \_\_ b に電氣的に接続される。また、導電層 6 0 5 b

10

20

30

40

50

\_\_ b は、絶縁層 6 0 6 b に接する。

【 0 1 6 8 】

絶縁層 6 0 7 は、導電層 6 0 1 \_\_ b、導電層 6 0 5 a \_\_ b、導電層 6 0 5 b \_\_ b、絶縁層 6 0 6 a、及び絶縁層 6 0 6 b の上に設けられる。

【 0 1 6 9 】

さらに、図 8 ( A ) 及び図 8 ( B ) に示す各構成要素について説明する。

【 0 1 7 0 】

被素子形成層 6 0 0 \_\_ a 及び被素子形成層 6 0 0 \_\_ b としては、例えば絶縁層、又は絶縁表面を有する基板などを用いることができる。また、予め素子が形成された層を被素子形成層 6 0 0 \_\_ a 及び被素子形成層 6 0 0 \_\_ b として用いることもできる。

10

【 0 1 7 1 】

導電層 6 0 1 \_\_ a 及び導電層 6 0 1 \_\_ b のそれぞれは、トランジスタのゲートとしての機能を有する。なお、トランジスタのゲートとしての機能を有する層をゲート電極又はゲート配線ともいう。

【 0 1 7 2 】

導電層 6 0 1 \_\_ a 及び導電層 6 0 1 \_\_ b としては、例えばモリブデン、マグネシウム、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層 6 0 1 \_\_ a 及び導電層 6 0 1 \_\_ b に適用可能な材料の積層により、導電層 6 0 1 \_\_ a 及び導電層 6 0 1 \_\_ b を構成することもできる。

20

【 0 1 7 3 】

絶縁層 6 0 2 \_\_ a 及び絶縁層 6 0 2 \_\_ b のそれぞれは、トランジスタのゲート絶縁層としての機能を有する。

【 0 1 7 4 】

絶縁層 6 0 2 \_\_ a 及び絶縁層 6 0 2 \_\_ b としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、酸化ハフニウム層、又は酸化ランタン層を用いることができる。また、絶縁層 6 0 2 \_\_ a 及び絶縁層 6 0 2 \_\_ b に適用可能な材料の積層により絶縁層 6 0 2 \_\_ a 及び絶縁層 6 0 2 \_\_ b を構成することもできる。

30

【 0 1 7 5 】

また、絶縁層 6 0 2 \_\_ a 及び絶縁層 6 0 2 \_\_ b としては、例えば元素周期表における第 1 3 族元素及び酸素元素を含む材料の絶縁層を用いることもできる。例えば、半導体層 6 0 3 \_\_ a 及び半導体層 6 0 3 \_\_ b が第 1 3 族元素を含む場合に、半導体層 6 0 3 \_\_ a 及び半導体層 6 0 3 \_\_ b に接する絶縁層として第 1 3 族元素を含む絶縁層を用いることにより、該絶縁層と酸化半導体層との界面の状態を良好にすることができる。

【 0 1 7 6 】

第 1 3 族元素及び酸素元素を含む材料としては、例えば酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどが挙げられる。なお、酸化アルミニウムガリウムとは、ガリウムの含有量（原子％）よりアルミニウムの含有量（原子％）が多い物質のことをいい、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子％）がアルミニウムの含有量（原子％）以上の物質のことをいう。例えば、 $Al_2O_x$ （ $x = 3 +$ 、 $\quad$ は 0 より大きく 1 より小さい値）、 $Ga_2O_x$ （ $x = 3 +$ 、 $\quad$ は 0 より大きく 1 より小さい値）、又は  $Ga_x Al_{2-x} O_{3+}$ （ $x$  は 0 より大きく 2 より小さい値、 $\quad$ は 0 より大きく 1 より小さい値）で表記される材料を用いることもできる。

40

【 0 1 7 7 】

また、絶縁層 6 0 2 \_\_ a 及び絶縁層 6 0 2 \_\_ b に適用可能な材料の層の積層により絶縁層 6 0 2 \_\_ a 及び絶縁層 6 0 2 \_\_ b を構成することもできる。例えば、複数の  $Ga_2O_x$  で表記される酸化ガリウムを含む層の積層により絶縁層 6 0 2 \_\_ a 及び絶縁層 6 0 2 \_\_ b を構成してもよい。また、 $Ga_2O_x$  で表記される酸化ガリウムを含む絶縁層及び  $Al_2O_x$  で表記される酸化アルミニウムを含む絶縁層の積層により絶縁層 6 0 2 \_\_ a 及び絶縁層

50

602\_\_bを構成してもよい。

【0178】

半導体層603\_\_a及び半導体層603\_\_bのそれぞれは、トランジスタのチャネルが形成される層としての機能を有する。半導体層603\_\_a及び半導体層603\_\_bに適用可能な酸化物半導体としては、例えばIn系酸化物（例えば酸化インジウムなど）、Sn系酸化物（例えば酸化スズなど）、又はZn系酸化物（例えば酸化亜鉛など）などを用いることができる。

【0179】

また、上記金属酸化物としては、例えば、四元系金属酸化物、三元系金属酸化物、二元系金属酸化物などの金属酸化物を用いることもできる。なお、上記酸化物半導体として適用可能な金属酸化物は、特性のばらつきを減らすためのスタビライザーとしてガリウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてスズを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてハフニウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてアルミニウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとして、ランタノイドである、ランタン、セリウム、プラセオジウム、ネオジウム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、及びルテチウムの一つ又は複数を含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、酸化シリコンを含んでいてもよい。

【0180】

例えば、四元系金属酸化物としては、例えばIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物などを用いることができる。

【0181】

また、三元系金属酸化物としては、例えばIn-Ga-Zn系酸化物、In-Sn-Zn系酸化物、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、又はIn-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、又はIn-Lu-Zn系酸化物などを用いることができる。

【0182】

また、二元系金属酸化物としては、例えばIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Sn系酸化物、又はIn-Ga系酸化物などを用いることができる。

【0183】

なお、例えばIn-Ga-Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0184】

また、酸化物半導体としては、 $InL_3(ZnO)_m$ （mは0より大きい数）で表記される材料を用いることもできる。 $InL_3(ZnO)_m$ のLは、Ga、Al、Mn、及びCoから選ばれた一つ又は複数の金属元素を示す。

【0185】

例えば、酸化物半導体としては、 $In:Ga:Zn=1:1:1$ （ $=1/3:1/3:1/3$ ）又は $In:Ga:Zn=2:2:1$ （ $=2/5:2/5:1/5$ ）の原子比のIn

10

20

30

40

50

- Ga - Zn系酸化物やその組成の近傍の酸化物を用いることができる。また、酸化物半導体としては、 $In : Sn : Zn = 1 : 1 : 1$  ( $= 1/3 : 1/3 : 1/3$ )、 $In : Sn : Zn = 2 : 1 : 3$  ( $= 1/3 : 1/6 : 1/2$ ) 又は  $In : Sn : Zn = 2 : 1 : 5$  ( $= 1/4 : 1/8 : 5/8$ ) の原子比の In - Sn - Zn系酸化物やその組成の近傍の酸化物を用いることができる。

【0186】

しかし、これらに限られず、必要とする半導体特性（移動度、閾値電圧、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0187】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0188】

また、半導体層 603\_\_a 及び半導体層 603\_\_b としては、c 軸に配向し、かつ ab 面、表面又は界面の方向から見て三角形又は六角形の原子配列を有し、c 軸において金属原子が層状又は金属原子と酸素原子とが層状に配列しており、ab 面において a 軸又は b 軸の向きが異なる（c 軸を中心に回転した）結晶（CAAC : C Axis Aligned Crystal ともいう）の層を用いることができる。

【0189】

CAAC は、単結晶ではないが、非晶質のみから形成されている材料でもない。また、CAAC は結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0190】

CAAC に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAAC を構成する個々の結晶部分の c 軸は、一定の方向（例えば、CAAC が形成される基板面、CAAC の表面などに垂直な方向）に揃っていてもよい。又は、CAAC を構成する個々の結晶部分の ab 面の法線は一定の方向（例えば、CAAC が形成される基板面、CAAC の表面などに垂直な方向）を向いていてもよい。

【0191】

CAAC は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0192】

このような CAAC の例としては、例えば膜状に形成され、膜表面又は形成される基板面に垂直な方向から観察すると三角形又は六角形の原子配列が認められ、かつその膜断面を観察すると金属原子又は金属原子及び酸素原子（又は窒素原子）の層状配列が認められる結晶を挙げることもできる。

【0193】

また、酸化物半導体としては、c 軸方向に配向する結晶領域の組成が  $In_{1+} Ga_{1-} O_3 (ZnO)_M$ （ただし、 $0 < < 1$ 、 $M = 1$  以上 3 以下の数）で表され、c 軸方向に配向する結晶領域を含む全体の半導体層の組成が  $In_P Ga_Q O_R (ZnO)_M$ （ただし、 $0 < P < 2$ 、 $0 < Q < 2$ 、 $M = 1$  以上 3 以下の数）で表される材料を用いることもできる。

【0194】

また、例えば、半導体層 603\_\_a 及び半導体層 603\_\_b が CAAC の酸化物半導体層の場合において、トランジスタのチャネル長を 30 nm とするとき、半導体層 603\_\_a 及び半導体層 603\_\_b の厚さを例えば 5 nm 程度にしてもトランジスタにおける短チャネル効果を抑制することができる。

10

20

30

40

50

## 【 0 1 9 5 】

ここで、C A A Cに含まれる結晶構造例について図 9 乃至図 1 2 を用いてさらに説明する。なお、特に断りがない限り、図 9 乃至図 1 2 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 9 において、丸で囲まれた O は 4 配位の酸素原子（4 配位の O ともいう）を示し、二重丸で囲まれた O は 3 配位の O を示す。

## 【 0 1 9 6 】

図 9 ( A ) では、1 個の 6 配位のインジウム原子（6 配位の I n ともいう）と 6 配位の I n に近接する 6 個の 4 配位の酸素原子（4 配位の O ともいう）と、を有する構造を示す。なお、I n などの 1 個の金属原子と該金属原子に近接する酸素原子により構成される部分を小グループという。また、図 9 ( A ) では、便宜のため、八面体構造を平面構造で示している。また、図 9 ( A ) の上半分及び下半分には、それぞれ 3 個ずつ 4 配位の O がある。また、図 9 ( A ) に示す小グループの電荷は 0 である。

10

## 【 0 1 9 7 】

図 9 ( B ) では、1 個の 5 配位の G a と、5 配位の G a に近接する 3 個の 3 配位の酸素原子（3 配位の O ともいう）と、5 配位の G a に近接する 2 個の 4 配位の O と、を有する構造を示す。3 個の 3 配位の O のそれぞれは、いずれも a b 面に存在する。また、図 9 ( B ) の上半分及び下半分のそれぞれには、1 個ずつ 4 配位の O がある。また、インジウム原子には、6 配位だけではなく、5 配位のインジウム原子（5 配位の I n ）も存在するため、5 配位の I n と、3 個の 3 配位の O と、2 個の 4 配位の O により、図 9 ( B ) に示す構造を構成することもできる。また、図 9 ( B ) に示す小グループの電荷は 0 である。

20

## 【 0 1 9 8 】

図 9 ( C ) では、1 個の 4 配位の亜鉛原子（4 配位の Z n ともいう）と、4 配位の Z n に近接する 4 個の 4 配位の O と、を有する構造を示す。図 9 ( C ) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 9 ( C ) の上半分に 3 個の 4 配位の O があり、下半分に 1 個の 4 配位の O があってもよい。なお、図 9 ( C ) に示す小グループの電荷は 0 である。

## 【 0 1 9 9 】

図 9 ( D ) では、1 個の 6 配位のスズ原子（6 配位の S n ともいう）と、6 配位の S n に近接する 6 個の 4 配位の O と、を有する構造を示す。図 9 ( D ) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。なお、図 9 ( D ) に示す小グループの電荷は + 1 となる。

30

## 【 0 2 0 0 】

図 9 ( E ) では、2 個の亜鉛原子を含む小グループを示す。図 9 ( E ) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 9 ( E ) に示す小グループの電荷は - 1 となる。

## 【 0 2 0 1 】

なお、複数の小グループの集合体を中グループといい、複数の中グループの集合体を大グループ（ユニットセルともいう）という。

## 【 0 2 0 2 】

ここで、上記小グループ同士が結合する規則について説明する。例えば、図 9 ( A ) に示す 6 配位の I n の上半分における 3 個の 4 配位の O は、下方向にそれぞれ近接する 3 個の 6 配位の I n に結合し、下半分における 3 個の 4 配位の O は、上方向にそれぞれ近接する 3 個の 6 配位の I n に結合する。また、図 9 ( B ) に示す 5 配位の G a の上半分における 1 個の 3 配位の O は、下方向に近接する 1 個の 5 配位の G a に結合し、下半分における 1 個の 3 配位の O は、上方向に近接する 1 個の 5 配位の G a に結合する。また、図 9 ( C ) に示す 4 配位の Z n の上半分における 1 個の 4 配位の O は、下方向に近接する 1 個の 4 配位の Z n に結合し、下半分における 3 個の O は、上方向にそれぞれ近接する 3 個の 4 配位の Z n に結合する。このように、金属原子の上方向における 4 配位の O の数と、その O の下方向に近接する金属原子の数は等しく、同様に金属原子の下方向における 4 配位の O の

40

50

数と、そのOの上方向に近接する金属原子の数は等しい。このとき、Oは4配位なので、下方向に近接する金属原子の数と、上方向に近接する金属原子の数の和は4になる。従って、金属原子の上方向における4配位のOの数と、別の金属原子の下方向における4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は、結合することができる。例えば、6配位の金属原子( $I_n$ 又は $S_n$ )が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子又は4配位の金属原子と結合することになる。

【0203】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、この他にも、層構造の合計の電荷が0となるように、複数の小グループが結合して中グループを構成する。

10

【0204】

さらに、図10(A)では、 $I_n - S_n - Z_n$ 系の層構造を構成する中グループのモデル図を示す。また、図10(B)では、3つの中グループで構成される大グループを示す。また、図10(C)では、図10(B)に示す層構造をc軸方向から観察した場合の原子配列を示す。

【0205】

なお、図10(A)では、便宜のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、 $S_n$ の上半分及び下半分のそれぞれに3個ずつ4配位のOがあることを、丸枠の3として示している。同様に、図10(A)において、 $I_n$ の上半分及び下半分のそれぞれには、1個ずつ4配位のOがあることを、丸枠の1として示している。また、同様に、図10(A)では、下半分に1個の4配位のOがあり、上半分に3個の4配位のOがある $Z_n$ と、上半分に1個の4配位のOがあり、下半分に3個の4配位のOがある $Z_n$ と、を示している。

20

【0206】

図10(A)において、 $I_n - S_n - Z_n$ 系の層構造を構成する中グループでは、上から順に、4配位のOが3個ずつ上半分及び下半分にある $S_n$ が、4配位のOが1個ずつ上半分及び下半分にある $I_n$ に結合し、該 $I_n$ が、上半分に3個の4配位のOがある $Z_n$ に結合し、且つ下半分の1個の4配位のO及び上記 $Z_n$ を介して、4配位のOが3個ずつ上半分及び下半分にある $I_n$ と結合し、該 $I_n$ 原子が、上半分に1個の4配位のOがある $Z_n$ 原子2個からなる小グループと結合し、且つ該小グループの下半分における1個の4配位のOを介して4配位のOが3個ずつ上半分及び下半分にある $S_n$ 原子と結合している。複数の上記中グループが結合することにより、大グループが構成される。

30

【0207】

ここで、3配位のO及び4配位のOの場合、結合1本当たりの電荷は、それぞれ-0.667、-0.5と考えることができる。例えば、 $I_n$ (6配位又は5配位)、 $Z_n$ (4配位)、 $S_n$ (5配位又は6配位)の電荷は、それぞれ+3、+2、+4である。従って、 $S_n$ を含む小グループの電荷は+1となる。そのため、 $S_n$ を含む層構造を形成するためには、+1である電荷を打ち消す-1の電荷が必要となる。電荷が-1となる構造として、図9(E)に示すように、2個の $Z_n$ を含む小グループが挙げられる。例えば、 $S_n$ を含む小グループが1個に対し、2個の $Z_n$ を含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

40

【0208】

さらに、図10(B)に示す大グループが繰り返された構造にすることにより、 $I_n - S_n - Z_n$ 系の結晶( $I_n{}_2 S_n Z_n{}_3 O_8$ )を得ることができる。なお、得られる $I_n - S_n - Z_n$ 系の層構造は、 $I_n{}_2 S_n Z_n{}_2 O_7 (Z_n O)_m$ ( $m$ は0又は自然数)とする組成式で表すことができる。

【0209】

また、本実施の形態に示す他の四元系金属酸化物、三元系金属酸化物、二元系金属酸化物、その他の金属酸化物などを用いた場合も同様である。

50

## 【0210】

例えば、 $In-Ga-Zn$ 系の層構造を構成する中グループのモデル図を図11(A)に示す。

## 【0211】

図11(A)において、 $In-Ga-Zn$ 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分及び下半分にあるInが、4配位のOが1個上半分にあるZnに結合し、且つ該Znの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分及び下半分にあるGaに結合し、且つ該Gaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分及び下半分にあるInに結合している構成である。複数の上記中グループが結合することにより、大グループが構成される。

10

## 【0212】

図11(B)では、3つの中グループで構成される大グループを示す。また、図11(B)に示す層構造をc軸方向から観察した場合の原子配列を図11(C)に示す。

## 【0213】

ここで、In(6配位又は5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、Zn及びGaのいずれかを含む小グループの電荷は0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

## 【0214】

なお、 $In-Ga-Zn$ 系の層構造を構成する中グループは、図11(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせることもできる。

20

## 【0215】

具体的には、図11(B)に示した大グループが繰り返されることで、 $In-Ga-Zn$ 系の結晶を得ることができる。得られる $In-Ga-Zn$ 系の層構造は、 $InGaO_3(ZnO)_n$ (nは自然数。)とする組成式で表される。

## 【0216】

$n=1$ ( $InGaZnO_4$ )の場合、例えば結晶構造を図12(A)に示す構造にすることができる。また、Ga及びInは5配位をとるため、図9(B)を用いて説明したように、結晶構造を図12(A)に示す結晶構造におけるGaがInに置き換わった構造にすることもできる。

30

## 【0217】

また、 $n=2$ ( $InGaZn_2O_5$ )の場合、例えば結晶構造を図12(B)に示す結晶構造にすることができる。なお、Ga及びInは5配位をとるため、図9(B)を用いて説明したように、結晶構造を図12(B)に示す結晶構造におけるGaがInに置き換わった構造にすることもできる。

## 【0218】

以上がCAACの構造例の説明である。CAACのように結晶性を有する酸化物半導体は、バルク内の欠陥が低い。

## 【0219】

さらに、図8(A)及び図8(B)に示す領域604a\_\_a、領域604b\_\_a、領域604a\_\_b、及び領域604b\_\_bは、ドーパントが添加され、トランジスタのソース又はドレインとしての機能を有する。ドーパントとしては、例えば元素周期表における13族の元素(例えば硼素など)、元素周期表における15族の元素(例えば窒素、リン、及び砒素の一つ又は複数)、及び希ガス元素(例えばヘリウム、アルゴン、及びキセノンの一つ又は複数)の一つ又は複数を用いることができる。なお、トランジスタのソースとしての機能を有する領域をソース領域ともいい、トランジスタのドレインとしての機能を有する領域をドレイン領域ともいう。領域604a\_\_a、領域604b\_\_a、領域604a\_\_b、及び領域604b\_\_bにドーパントを添加することにより導電層との間の抵抗を小さくすることができるため、トランジスタを微細化することができる。

40

50

## 【0220】

導電層605a\_\_a、導電層605b\_\_a、導電層605a\_\_b、及び導電層605b\_\_bのそれぞれは、トランジスタのソース又はドレインとしての機能を有する。なお、トランジスタのソースとしての機能を有する層をソース電極又はソース配線ともいい、トランジスタのドレインとしての機能を有する層をドレイン電極又はドレイン配線ともいう。

## 【0221】

導電層605a\_\_a、導電層605b\_\_a、導電層605a\_\_b、及び導電層605b\_\_bとしては、例えばアルミニウム、マグネシウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。例えば、銅、マグネシウム、及びアルミニウムを含む合金材料の層により、導電層605a\_\_a、導電層605b\_\_a、導電層605a\_\_b、及び導電層605b\_\_bを構成することができる。また、導電層605a\_\_a、導電層605b\_\_a、導電層605a\_\_b、及び導電層605b\_\_bに適用可能な材料の積層により、導電層605a\_\_a、導電層605b\_\_a、導電層605a\_\_b、及び導電層605b\_\_bを構成することもできる。例えば、銅、マグネシウム、及びアルミニウムを含む合金材料の層と銅を含む層の積層により、導電層605a\_\_a、導電層605b\_\_a、導電層605a\_\_b、及び導電層605b\_\_bを構成することができる。

10

## 【0222】

また、導電層605a\_\_a、導電層605b\_\_a、導電層605a\_\_b、及び導電層605b\_\_bとしては、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ、又は酸化インジウム酸化亜鉛を用いることができる。なお、導電層605a\_\_a、導電層605b\_\_a、導電層605a\_\_b、及び導電層605b\_\_bに適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。

20

## 【0223】

絶縁層606a及び絶縁層606bとしては、例えば絶縁層602\_\_a及び絶縁層602\_\_bに適用可能な材料の層を用いることができる。また、絶縁層606a及び絶縁層606bに適用可能な材料の積層により、絶縁層606a及び絶縁層606bを構成してもよい。

## 【0224】

絶縁層607は、トランジスタへの不純物の侵入を抑制する保護絶縁層としての機能を有する。

30

## 【0225】

絶縁層607としては、例えば絶縁層602\_\_a及び絶縁層602\_\_bに適用可能な材料の層を用いることができる。また、絶縁層607に適用可能な材料の積層により、絶縁層607を構成してもよい。例えば、酸化シリコン層、酸化アルミニウム層などにより、絶縁層607を構成してもよい。例えば、酸化アルミニウム層を用いることにより、半導体層603\_\_bへの不純物の侵入抑制効果をより高めることができ、また、半導体層603\_\_b中の酸素の脱離抑制効果を高めることができる。

## 【0226】

なお、本実施の形態のトランジスタを、チャンネル形成層としての機能を有する酸化物半導体層の一部の上に絶縁層を含み、該絶縁層を介して酸化物半導体層に重畳するように、ソース又はドレインとしての機能を有する導電層を含む構造としてもよい。上記構造である場合、絶縁層は、トランジスタのチャンネル形成層を保護する層（チャンネル保護層ともいう）としての機能を有する。チャンネル保護層としての機能を有する絶縁層としては、例えば絶縁層602\_\_a及び絶縁層602\_\_bに適用可能な材料の層を用いることができる。また、絶縁層602\_\_a及び絶縁層602\_\_bに適用可能な材料の積層によりチャンネル保護層としての機能を有する絶縁層を構成してもよい。

40

## 【0227】

また、被素子形成層600\_\_a及び被素子形成層600\_\_bの上に下地層を形成し、該下

50

地層の上にトランジスタを形成してもよい。このとき、下地層としては、例えば絶縁層 602\_\_a 及び絶縁層 602\_\_b に適用可能な材料の層を用いることができる。また、絶縁層 602\_\_a 及び絶縁層 602\_\_b に適用可能な材料の積層により下地層を構成してもよい。例えば、酸化アルミニウム層及び酸化シリコン層の積層により下地層を構成することにより、下地層に含まれる酸素が半導体層 603\_\_a 及び半導体層 603\_\_b を介して脱離するのを抑制することができる。

#### 【0228】

さらに、本実施の形態におけるトランジスタの作製方法例として、図 8 (A) に示すトランジスタの作製方法例について、図 13 を用いて説明する。図 13 は、トランジスタの作製方法例を説明するための断面模式図である。

10

#### 【0229】

まず、図 13 (A) に示すように、被素子形成層 600\_\_a を準備し、被素子形成層 600\_\_a の上に半導体層 603\_\_a を形成する。

#### 【0230】

例えば、スパッタリング法を用いて半導体層 603\_\_a に適用可能な酸化物半導体材料の膜（酸化物半導体膜ともいう）を成膜することにより、半導体層 603\_\_a を形成することができる。なお、上記酸化物半導体膜を成膜した後に、該酸化物半導体膜の一部をエッチングしてもよい。また、希ガス雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で酸化物半導体膜を成膜してもよい。

20

#### 【0231】

また、スパッタリングターゲットとして、 $In : Ga : Zn = 1 : 1 : 1$  [原子数比]、 $4 : 2 : 3$  [原子数比]、 $3 : 1 : 2$  [原子数比]、 $1 : 1 : 2$  [原子数比]、 $2 : 1 : 3$  [原子数比]、又は  $3 : 1 : 4$  [原子数比] の組成比である酸化物ターゲットを用いて酸化物半導体膜を成膜してもよい。上記組成比である酸化物ターゲットを用いることにより、結晶性の高い酸化物半導体膜を成膜することができ、多結晶又は C A A C が形成されやすくなる。

#### 【0232】

また、スパッタリングターゲットとして、 $In : Sn : Zn = 1 : 2 : 2$  [原子数比]、 $2 : 1 : 3$  [原子数比]、 $1 : 1 : 1$  [原子数比]、又は  $20 : 45 : 35$  [原子数比] の組成比である酸化物ターゲットを用いて酸化物半導体膜を成膜してもよい。上記組成比である酸化物ターゲットを用いることにより、結晶性の高い酸化物半導体膜を成膜することができ、多結晶又は C A A C が形成されやすくなる。

30

#### 【0233】

また、スパッタリングターゲットとして、 $In : Zn = 50 : 1$  乃至  $In : Zn = 1 : 2$  (モル数比に換算すると  $In_2O_3 : ZnO = 25 : 1$  乃至  $In_2O_3 : ZnO = 1 : 4$ )、好ましくは  $In : Zn = 20 : 1$  乃至  $In : Zn = 1 : 1$  (モル数比に換算すると  $In_2O_3 : ZnO = 10 : 1$  乃至  $In_2O_3 : ZnO = 1 : 2$ )、さらに好ましくは  $In : Zn = 15 : 1$  乃至  $In : Zn = 1.5 : 1$  (モル数比に換算すると  $In_2O_3 : ZnO = 15 : 2$  乃至  $In_2O_3 : ZnO = 3 : 4$ ) の組成比である酸化物ターゲットを用いて  $In - Zn$  系酸化物の膜を成膜してもよい。例えば、 $In - Zn$  系酸化物半導体膜の成膜に用いるターゲットは、原子数比が  $In : Zn : O = S : U : R$  のとき、 $R > 1.5S + U$  とする。 $In$  の量を多くすることにより、トランジスタの電界効果移動度（単に移動度ともいう）を向上させることができる。

40

#### 【0234】

また、スパッタリング法を用いる場合、例えば、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で半導体層 603\_\_a を形成する。このとき、希ガスと酸素の混合雰囲気下で半導体層 603\_\_a を形成する場合には、希ガスの量に対して酸素の量が多い方が好ましい。

#### 【0235】

また、スパッタリング法を用いた成膜を行う場合、堆積される膜中に水素、水、水酸基、

50

又は水素化物（水素化合物ともいう）などの不純物が含まれないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑えることが好ましい。

【0236】

例えば、スパッタリング法を用いて膜を成膜する前に、スパッタリング装置の予備加熱室において予備加熱処理を行ってもよい。上記予備加熱処理を行うことにより、上記不純物を脱離することができる。

【0237】

また、スパッタリング法を用いて成膜する前に、例えばアルゴン、窒素、ヘリウム、又は酸素雰囲気下で、ターゲット側に電圧を印加せずに、基板側にRF電源を用いて電圧を印加し、プラズマを形成して被形成面を改質する処理（逆スパッタともいう）を行ってもよい。逆スパッタを行うことにより、被形成面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

10

【0238】

また、スパッタリング法を用いて成膜する場合、吸着型の真空ポンプなどを用いて、膜を成膜する成膜室内の残留水分を除去することができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリーメーションポンプなどを用いることができる。また、コールドトラップを設けたターボ分子ポンプを用いて成膜室内の残留水分を除去することもできる。上記真空ポンプを用いることにより、上記不純物を含む排気の逆流を低減することができる。

【0239】

20

また、スパッタリングガスとして、例えば上記不純物が除去された高純度ガスを用いることにより、形成される膜の上記不純物の濃度を低減することができる。例えば、スパッタリングガスとして、露点-70以下であるガスを用いることが好ましい。

【0240】

また、スパッタリング法の代わりに蒸着法、PECVD（Plasma-Enhanced Chemical Vapor Deposition）法、PLD（Pulsed Laser Deposition）法、ALD（Atomic Layer Deposition）法、又はMBE（Molecular Beam Epitaxy）法などを用いて酸化物半導体膜を成膜してもよい。

【0241】

30

また、本実施の形態におけるトランジスタの作製方法例において、膜の一部をエッチングして層を形成する場合、例えば、フォトリソグラフィ工程により膜の一部の上にレジストマスクを形成し、レジストマスクを用いて膜をエッチングすることにより、層を形成することができる。なお、この場合、層の形成後にレジストマスクを除去する。

【0242】

また、半導体層603\_aとしてCAACである酸化物半導体層を形成する場合、スパッタリング法を用い、酸化物半導体膜が形成される被素子形成層の温度を100以上600以下、好ましくは150以上550以下、さらに好ましくは200以上500以下にして酸化物半導体膜を成膜する。被素子形成層の温度を高くして酸化物半導体膜を成膜することにより、膜中の不純物濃度が低減し、作製されるトランジスタの電界効果移動度を向上させ、ゲートバイアス・ストレスに対する安定性を高めることができる。また、酸化物半導体膜中の原子配列が整い、高密度化され、多結晶またはCAACが形成されやすくなる。さらに、酸素ガス雰囲気中で成膜することでも、希ガスなどの余分な原子が含まれないため、多結晶またはCAACが形成されやすくなる。ただし、酸素ガスと希ガスの混合雰囲気としてもよく、その場合は酸素ガスの割合は30体積%以上、好ましくは50体積%以上、さらに好ましくは80体積%以上とする。また、酸化物半導体膜を薄くするほど、トランジスタの短チャネル効果が低減される。

40

【0243】

また、このとき、酸化物半導体層の厚さを、1nm以上40nm以下、好ましくは3nm以上20nm以下にすることが好ましい。

50

## 【 0 2 4 4 】

また、このとき、被素子形成層 6 0 0 \_\_ a は平坦であることが好ましい。例えば、被素子形成層 6 0 0 \_\_ a の平均面粗さは、1 nm 以下、さらには 0 . 3 nm 以下であることが好ましい。被素子形成層 6 0 0 \_\_ a の平坦性を向上させることにより、アモルファス状態の酸化物半導体以上に移動度を向上させることができる。例えば、化学的機械研磨 ( C M P ) 処理及びプラズマ処理の一つ又は複数により、被素子形成層 6 0 0 \_\_ a を平坦化することができる。このとき、プラズマ処理には、希ガスイオンで表面をスパッタリングする処理やエッチングガスを用いて表面をエッチングする処理も含まれる。

## 【 0 2 4 5 】

次に、図 1 3 ( B ) に示すように、半導体層 6 0 3 \_\_ a の上に導電層 6 0 5 a \_\_ a 及び導電層 6 0 5 b \_\_ a を形成する。

10

## 【 0 2 4 6 】

例えば、スパッタリング法などを用いて導電層 6 0 5 a \_\_ a 及び導電層 6 0 5 b \_\_ a に適用可能な材料の膜を第 1 の導電膜として成膜し、該第 1 の導電膜の一部をエッチングすることにより導電層 6 0 5 a \_\_ a 及び導電層 6 0 5 b \_\_ a を形成することができる。

## 【 0 2 4 7 】

次に、図 1 3 ( C ) に示すように、半導体層 6 0 3 \_\_ a に接するように絶縁層 6 0 2 \_\_ a を形成する。

## 【 0 2 4 8 】

例えば、希ガス ( 代表的にはアルゴン ) 雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で、スパッタリング法を用いて絶縁層 6 0 2 \_\_ a に適用可能な膜を成膜することにより、絶縁層 6 0 2 \_\_ a を形成することができる。スパッタリング法を用いて絶縁層 6 0 2 \_\_ a を形成することにより、トランジスタのバックチャネルとしての機能を有する半導体層 6 0 3 \_\_ a の部分における抵抗の低下を抑制することができる。また、絶縁層 6 0 2 \_\_ a を形成する際の被素子形成層 6 0 0 \_\_ a の温度は、室温以上 3 0 0 以下であることが好ましい。

20

## 【 0 2 4 9 】

また、絶縁層 6 0 2 \_\_ a を形成する前に N<sub>2</sub>O、N<sub>2</sub>、又は Ar などのガスを用いたプラズマ処理を行い、露出している半導体層 6 0 3 \_\_ a の表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、その後、大気に触れることなく、絶縁層 6 0 2 \_\_ a を形成することが好ましい。

30

## 【 0 2 5 0 】

次に、図 1 3 ( D ) に示すように、絶縁層 6 0 2 \_\_ a の上に導電層 6 0 1 \_\_ a を形成する。

## 【 0 2 5 1 】

例えば、スパッタリング法などを用いて導電層 6 0 1 \_\_ a に適用可能な材料の膜を第 2 の導電膜として成膜し、該第 2 の導電膜の一部をエッチングすることにより導電層 6 0 1 \_\_ a を形成することができる。

## 【 0 2 5 2 】

また、図 8 ( A ) に示すトランジスタの作製方法の一例では、例えば 6 0 0 以上 7 5 0 以下、又は 6 0 0 以上基板の歪み点未満の温度で加熱処理を行う。例えば、酸化物半導体膜を成膜した後、酸化物半導体膜の一部をエッチングした後、第 1 の導電膜を成膜した後、第 1 の導電膜の一部をエッチングした後、絶縁層 6 0 2 \_\_ a を形成した後、第 2 の導電膜を成膜した後、又は第 2 の導電膜の一部をエッチングした後上記加熱処理を行う。上記加熱処理を行うことにより、水素、水、水酸基、又は水素化物などの不純物が半導体層 6 0 3 \_\_ a から排除される。

40

## 【 0 2 5 3 】

なお、上記加熱処理を行う加熱処理装置としては、電気炉、又は抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を用いることができ、例えば G R T A ( G a s R a p i d T h e r m a l A n n e a l ) 装置又は L R T A ( L a m

50

p Rapid Thermal Anneal)装置などのRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えば希ガス、又は加熱処理によって被処理物と反応しない不活性気体(例えば窒素)を用いることができる。

【0254】

また、上記加熱処理を行った後、その加熱温度を維持しながら又はその加熱温度から降温する過程で該加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度の $N_2O$ ガス、又は超乾燥エア(露点が $-40$ 以下、好ましくは $-60$ 以下の雰囲気)を導入してもよい。このとき、酸素ガス又は $N_2O$ ガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又は $N_2O$ ガスの純度を、 $6N$ 以上、好ましくは $7N$ 以上、すなわち、酸素ガス又は $N_2O$ ガス中の不純物濃度を $1ppm$ 以下、好ましくは $0.1ppm$ 以下とすることが好ましい。酸素ガス又は $N_2O$ ガスの作用により、半導体層603\_\_aに酸素が供給され、半導体層603\_\_a中の酸素欠乏に起因する欠陥を低減することができる。なお、上記高純度の酸素ガス、高純度の $N_2O$ ガス、又は超乾燥エアの導入は、上記加熱処理時に行ってもよい。

10

【0255】

また、図8(A)に示すトランジスタの作製方法の一例では、半導体層603\_\_a形成後、導電層605a\_\_a及び導電層605b\_\_a形成後、絶縁層602\_\_a形成後、導電層601\_\_a形成後、又は上記加熱処理後に酸素プラズマによる酸素ドーピング処理など、酸素イオンを電界で加速させる方法を用いて酸化物半導体膜に酸素を注入してもよい。例えば $2.45GHz$ の高密度プラズマにより酸素ドーピング処理を行ってもよい。また、イオン注入法を用いて酸素ドーピング処理を行ってもよい。酸素ドーピング処理を行うことにより、作製されるトランジスタの電気特性のばらつきを低減することができる。例えば、酸素ドーピング処理を行い、絶縁層602\_\_aを、化学量論的組成比より酸素が多い状態にする。

20

【0256】

半導体層603\_\_aに接する絶縁層中の酸素を過剰にすることにより、半導体層603\_\_aに酸素が供給されやすくなる。よって、半導体層603\_\_a中、又は絶縁層602\_\_aと、半導体層603\_\_aとの界面における酸素欠陥を低減することができるため、半導体層603\_\_aのキャリア濃度をより低減することができる。また、これに限定されず、製造過程により半導体層603\_\_aに含まれる酸素を過剰にした場合であっても、半導体層603\_\_aに接する上記絶縁層により、半導体層603\_\_aからの酸素の脱離を抑制することができる。

30

【0257】

例えば、絶縁層602\_\_aとして、酸化ガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムの組成を $Ga_2O_x$ にすることができる。

【0258】

また、絶縁層602\_\_aとして、酸化アルミニウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化アルミニウムの組成を $Al_2O_x$ にすることができる。

40

【0259】

また、絶縁層602\_\_aとして、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムの組成を $Ga_xAl_{2-x}O_3+$ とすることができる。

【0260】

以上の工程によって、半導体層603\_\_aから、水素、水、水酸基、又は水素化物(水素化合物ともいう)などの不純物を排除し、且つ半導体層603\_\_aに酸素を供給することにより、酸化物半導体層を高純度化させることができる。

50

## 【0261】

さらに、上記加熱処理とは別に、絶縁層602\_\_aを形成した後に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で加熱処理（好ましくは200以上600以下、例えば250以上350以下）を行ってもよい。

## 【0262】

上記に示す被素子形成層600\_\_aの意図的な加熱温度又は成膜後の加熱処理の温度は、150以上、好ましくは200以上、より好ましくは400以上である。酸化物半導体膜の成膜後の加熱処理では、300以上であれば膜中に含まれる水素等の不純物を放出させ、該不純物を除去すること（脱水化、脱水素化）ができる。

## 【0263】

上記加熱処理は酸素中で行うことができるが、上記のように脱水化・脱水素化を窒素雰囲気又は減圧下で行ってから、酸素雰囲気中で熱処理をするように2段階で行うようにしてもよい。脱水化・脱水素化後に酸素を含む雰囲気中で熱処理することにより、酸化物半導体中に酸素を加えることも可能となり、上記加熱処理の効果をより高めることができる。また、上記加酸化処理を、酸化物半導体層に接するように絶縁層を設けた状態で熱処理を行ってもよい。例えば酸化物半導体層中及び酸化物半導体層に積層する層との界面には、酸素欠損による欠陥が生成されやすいが、上記加熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することができる。上記過剰な酸素は、主に格子間に存在する酸素であり、その酸素濃度を $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下にすることにより、例えば結晶化した場合であっても結晶に歪みなどを与えることなく酸化物半導体層中に酸素を含ませることができる。

## 【0264】

また、酸化物半導体膜の成膜後に加熱処理を行うことにより、作製されるトランジスタのゲートバイアス・ストレスに対する安定性を高めることができる。また、トランジスタの電界効果移動度を向上させることもできる。

## 【0265】

さらに、図13(E)に示すように、導電層601\_\_aが形成される側から半導体層603\_\_aにドーパントを添加することにより、絶縁層602\_\_aを介して自己整合で領域604a\_\_a及び領域604b\_\_aを形成する。

## 【0266】

例えば、イオンドーピング装置又はイオン注入装置を用いてドーパントを添加することができる。

## 【0267】

なお、図8(A)に示すトランジスタの作製方法例を示したが、これに限定されず、例えば図8(B)に示す各構成要素において、名称が図8(A)に示す各構成要素と同じであり且つ機能の少なくとも一部が図8(A)に示す各構成要素と同じであれば、図8(A)に示すトランジスタの作製方法例の説明を適宜援用することができる。

## 【0268】

図8乃至図13を用いて説明したように、本実施の形態におけるトランジスタの一例では、ゲートとしての機能を有する導電層と、ゲート絶縁層としての機能を有する絶縁層と、ゲート絶縁層としての機能を有する絶縁層を介してゲートとしての機能を有する導電層に重畳し、チャンネルが形成される酸化物半導体層と、酸化物半導体層に電氣的に接続され、ソース及びドレインの一方としての機能を有する導電層と、酸化物半導体層に電氣的に接続され、ソース及びドレインの他方としての機能を有する導電層と、を含む構成にすることにより、トランジスタを構成することができる。

## 【0269】

また、本実施の形態におけるトランジスタの一例では、酸化物半導体層のキャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にすることができる。

10

20

30

40

50

## 【0270】

酸化物半導体をトランジスタに適用するにはキャリア密度を  $10^{18} / \text{cm}^3$  以下にすることが好ましい。InあるいはZnを含む酸化物半導体は、GaやSnを酸化物半導体を構成する一元素として含ませることのみならず、上記のように酸化物半導体膜の高純度化（水素等の除去）を図ることや、成膜後の熱処理をすることによってキャリア密度を  $10^{18} / \text{cm}^3$  以下にすることができる。

## 【0271】

また、酸化物半導体膜を成膜する際の加熱処理及び成膜後の加熱処理の一つ又は複数を行うことにより、トランジスタの閾値電圧をプラスシフトさせ、ノーマリ・オフ化させることができ、また、チャネル幅  $1 \mu\text{m}$  あたりのオフ電流を、 $10 \text{ aA}$  ( $1 \times 10^{-17} \text{ A}$ ) 以下、さらには  $1 \text{ aA}$  ( $1 \times 10^{-18} \text{ A}$ ) 以下、さらには  $10 \text{ zA}$  ( $1 \times 10^{-20} \text{ A}$ ) 以下、さらには  $1 \text{ zA}$  ( $1 \times 10^{-21} \text{ A}$ ) 以下、さらには  $100 \text{ yA}$  ( $1 \times 10^{-22} \text{ A}$ ) 以下にすることができる。トランジスタのオフ電流は、低ければ低いほどよいが、本実施の形態におけるトランジスタのオフ電流の下限値は、約  $10^{-30} \text{ A} / \mu\text{m}$  であると見積もられる。

10

## 【0272】

本実施の形態の酸化物半導体層を含むトランジスタを、例えば上記実施の形態における記憶装置におけるデータの書き込み及び保持を制御するトランジスタに用いることにより、記憶装置におけるデータの保持時間を長くすることができる。

20

## 【0273】

また、本実施の形態におけるトランジスタの一例は、他のトランジスタ（例えば、元素周期表における第14族の半導体（シリコンなど）を含有する半導体層を含むトランジスタ）と積層させることができる。よって、同一基板上に上記酸化物半導体層を含むトランジスタ及び上記他のトランジスタを形成しつつ、回路面積を縮小することができる。

## 【0274】

また、上記酸化物半導体を用いたトランジスタは、非晶質又は結晶のいずれの場合であっても比較的高い電界効果移動度を得ることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。例えば、In-Sn-Zn系酸化物半導体を用いる場合、電界効果移動度を  $31 \text{ cm}^2 / \text{Vsec}$ 、好ましくは  $39 \text{ cm}^2 / \text{Vsec}$ 、より好ましくは  $60 \text{ cm}^2 / \text{Vsec}$  にすることもできる。さらに、理想的には、高純度化された酸化物半導体を用いた場合の電界効果移動度を、 $100 \text{ cm}^2 / \text{Vsec}$  より大きくすることもできると示唆される。また、本実施の形態におけるトランジスタの一例では、酸化物半導体層の欠陥密度が少ないほどトランジスタの電界効果移動度が高くなると示唆される。

30

## 【0275】

（実施の形態6）

本実施の形態では、CPUなどの演算処理装置の例について説明する。

## 【0276】

本実施の形態における演算処理装置の例について、図14を用いて説明する。

40

## 【0277】

図14に示す演算処理装置は、バスインターフェース（IFともいう）801と、制御装置（CTLともいう）802と、キャッシュメモリ（CACHともいう）803と、M個（Mは3以上の自然数）のレジスタ（Regiともいう）804（レジスタ804\_1乃至レジスタ804\_M）と、命令デコーダ（IDecoderともいう）805と、演算論理ユニット（ALUともいう）806と、を具備する。

## 【0278】

バスインターフェース801は、外部との信号のやりとり、及び演算処理装置内の各回路との信号のやりとりなどを行う機能を有する。

## 【0279】

50

制御装置 802 は、演算処理装置内の各回路の動作を制御する機能を有する。

【0280】

例えば、上記実施の形態における集積回路を用いて制御装置 802 を構成することができる。

【0281】

キャッシュメモリ 803 は、制御装置 802 により制御され、演算処理装置における動作時のデータを一時的に保持する機能を有する。なお、例えば、1次キャッシュ及び2次キャッシュとして、演算処理装置にキャッシュメモリ 803 を複数設けてもよい。

【0282】

例えば、上記実施の形態における記憶装置を連想メモリとしてキャッシュメモリ 803 に用いることができる。

10

【0283】

M個のレジスタ 804 は、制御装置 802 により制御され、演算処理に用いられるデータを記憶する機能を有する。例えばあるレジスタ 804 を演算論理ユニット 806 用のレジスタとし、別のレジスタ 804 を命令デコーダ 805 用のレジスタとしてもよい。

【0284】

命令デコーダ 805 は、読み込んだ命令信号を翻訳する機能を有する。翻訳された命令信号は、制御装置 802 に入力され、制御装置 802 は命令信号に応じた制御信号を演算論理ユニット 806 に出力する。

【0285】

演算論理ユニット 806 は、制御装置 802 により制御され、入力された命令信号に応じて論理演算処理を行う機能を有する。

20

【0286】

図 14 を用いて説明したように、本実施の形態における演算処理装置の一例では、キャッシュメモリに上記実施の形態の記憶装置を用いることにより、検索データに応じてキャッシュメモリに記憶されたデータを出力するか否かを選択する機能を該キャッシュメモリに付加させることができる。

【0287】

また、本実施の形態における演算処理装置では、電源電圧の供給を停止した場合であっても、キャッシュメモリにおいて、電源電圧の供給を停止する直前の内部データの一部を保持することができ、電源電圧の供給を再開したときに演算処理装置の状態を電源電圧の供給を停止する直前の状態に戻すことができる。よって、電源電圧の供給を選択的に停止して消費電力を低減させた場合であっても、電源電圧の供給を再開してから通常動作を開始するまでの時間を短くすることができる。

30

【0288】

(実施の形態 7)

本実施の形態では、上記実施の形態における演算処理装置を備えた電子機器の例について説明する。

【0289】

本実施の形態における電子機器の構成例について、図 15 (A) 乃至図 15 (D) を用いて説明する。

40

【0290】

図 15 (A) に示す電子機器は、携帯型情報端末の例である。図 15 (A) に示す携帯型情報端末は、筐体 1001a と、筐体 1001a に設けられた表示部 1002a と、を具備する。

【0291】

なお、筐体 1001a の側面 1003a に外部機器に接続させるための接続端子、図 15 (A) に示す携帯型情報端末を操作するためのボタンのうち、一つ又は複数も設けてもよい。

【0292】

50

図15(A)に示す携帯型情報端末は、筐体1001aの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、外部機器との信号の送受信を行うアンテナと、を備える。

【0293】

図15(A)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0294】

図15(B)に示す電子機器は、折り畳み式の携帯型情報端末の例である。図15(B)に示す携帯型情報端末は、筐体1001bと、筐体1001bに設けられた表示部1002bと、筐体1004と、筐体1004に設けられた表示部1005と、筐体1001b及び筐体1004を接続する軸部1006と、を具備する。

10

【0295】

また、図15(B)に示す携帯型情報端末では、軸部1006により筐体1001b又は筐体1004を動かすことにより、筐体1001bを筐体1004に重畳させることができる。

【0296】

なお、筐体1001bの側面1003b又は筐体1004の側面1007に外部機器に接続させるための接続端子、図15(B)に示す携帯型情報端末を操作するためのボタンのうち、一つ又は複数設けてもよい。

【0297】

また、表示部1002b及び表示部1005に、互いに異なる画像又は一続きの画像を表示させてもよい。なお、表示部1005を必ずしも設けなくてもよく、表示部1005の代わりに、入力装置であるキーボードを設けてもよい。

20

【0298】

図15(B)に示す携帯型情報端末は、筐体1001b又は筐体1004の中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、を備える。なお、図15(B)に示す携帯型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

【0299】

図15(B)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

30

【0300】

図15(C)に示す電子機器は、設置型情報端末の例である。図15(C)に示す設置型情報端末は、筐体1001cと、筐体1001cに設けられた表示部1002cと、を具備する。

【0301】

なお、表示部1002cを、筐体1001cにおける甲板部1008に設けることもできる。

【0302】

また、図15(C)に示す設置型情報端末は、筐体1001cの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、を備える。なお、図15(C)に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

40

【0303】

さらに、図15(C)に示す設置型情報端末における筐体1001cの側面1003cに券などを出力する券出力部、硬貨投入部、及び紙幣挿入部の一つ又は複数設けてもよい。

【0304】

図15(C)に示す設置型情報端末は、例えば現金自動預け払い機、券などの注文をするための情報通信端末(マルチメディアステーションともいう)、又は遊技機としての機能

50

を有する。

【0305】

図15(D)は、設置型情報端末の例である。図15(D)に示す設置型情報端末は、筐体1001dと、筐体1001dに設けられた表示部1002dと、を具備する。なお、筐体1001dを支持する支持台を設けてもよい。

【0306】

なお、筐体1001dの側面1003dに外部機器に接続させるための接続端子、図15(D)に示す設置型情報端末を操作するためのボタンのうち、一つ又は複数も設けてもよい。

【0307】

また、図15(D)に示す設置型情報端末は、筐体1001dの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、を備えてもよい。なお、図15(D)に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

【0308】

図15(D)に示す設置型情報端末は、例えばデジタルフォトフレーム、モニタ、又はテレビジョン装置としての機能を有する。

【0309】

上記実施の形態の演算処理装置は、図15(A)乃至図15(D)に示す電子機器のCPUとして用いられる。

【0310】

図15を用いて説明したように、本実施の形態における電子機器の一例は、CPUとして上記実施の形態における演算処理装置を具備する構成である。

【0311】

また、本実施の形態における電子機器の一例では、上記実施の形態における演算処理装置を用いることにより、消費電力を抑制しつつ、長時間データの保持を行うことができる。よって、演算処理装置の消費電力を低減することができる。

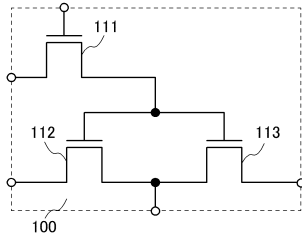
【符号の説明】

【0312】

100	メモリセル	30
111	トランジスタ	
112	トランジスタ	
113	トランジスタ	
200	メモリセル	
203	トランジスタ	
211	トランジスタ	
212	トランジスタ	
213	トランジスタ	
214	トランジスタ	
300	メモリセル	40
303	トランジスタ	
311	トランジスタ	
312	トランジスタ	
313	トランジスタ	
314	トランジスタ	
400	メモリセル	
402	トランジスタ	
403	トランジスタ	
411	トランジスタ	
412	トランジスタ	50

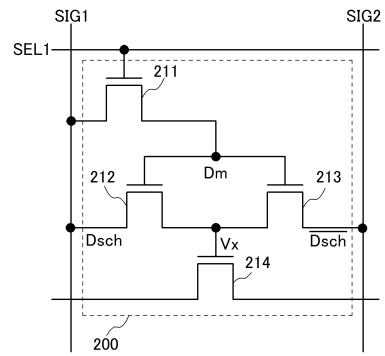
4 1 3	トランジスタ	
4 1 4	トランジスタ	
4 1 5	トランジスタ	
4 1 6	トランジスタ	
4 1 7	トランジスタ	
6 0 0	被素子形成層	
6 0 1	導電層	
6 0 2	絶縁層	
6 0 3	半導体層	
6 0 4 a	領域	10
6 0 4 b	領域	
6 0 5 a	導電層	
6 0 5 b	導電層	
6 0 6 a	絶縁層	
6 0 6 b	絶縁層	
6 0 7	絶縁層	
8 0 1	バスインターフェース	
8 0 2	制御装置	
8 0 3	キャッシュメモリ	
8 0 4	レジスタ	20
8 0 5	命令デコーダ	
8 0 6	演算論理ユニット	
1 0 0 1 a	筐体	
1 0 0 1 b	筐体	
1 0 0 1 c	筐体	
1 0 0 1 d	筐体	
1 0 0 2 a	表示部	
1 0 0 2 b	表示部	
1 0 0 2 c	表示部	
1 0 0 2 d	表示部	30
1 0 0 3 a	側面	
1 0 0 3 b	側面	
1 0 0 3 c	側面	
1 0 0 3 d	側面	
1 0 0 4	筐体	
1 0 0 5	表示部	
1 0 0 6	軸部	
1 0 0 7	側面	
1 0 0 8	甲板部	

【図 1】



【図 2】

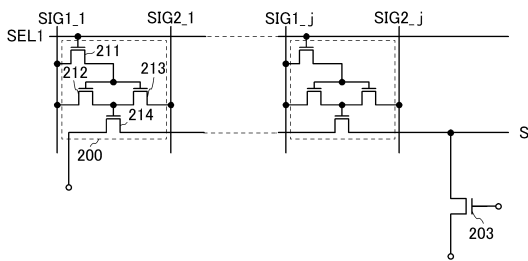
(A)



(B)

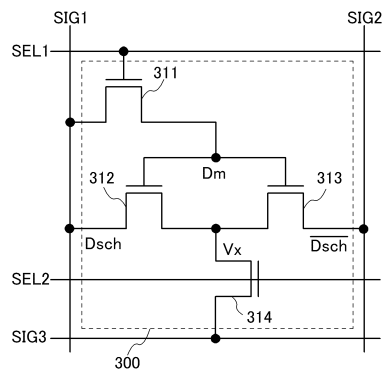
Dm	Dsch	212	213	Vx	214
0	0	OFF	ON	H	ON
1	0	ON	OFF	L	OFF
0	1	OFF	OFF	L	OFF
1	1	ON	OFF	H	ON

【図 3】



【図 4】

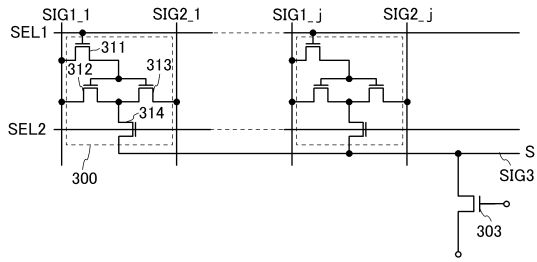
(A)



(B)

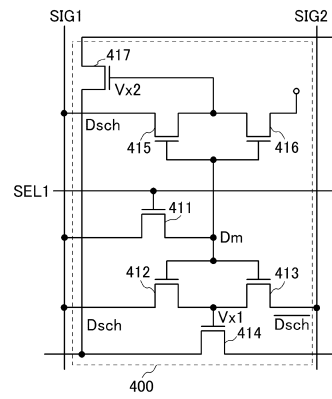
Dm	Dsch	312	313	Vx
0	0	OFF	ON	H
1	0	ON	OFF	L
0	1	OFF	OFF	L
1	1	ON	OFF	H

【図5】



【図6】

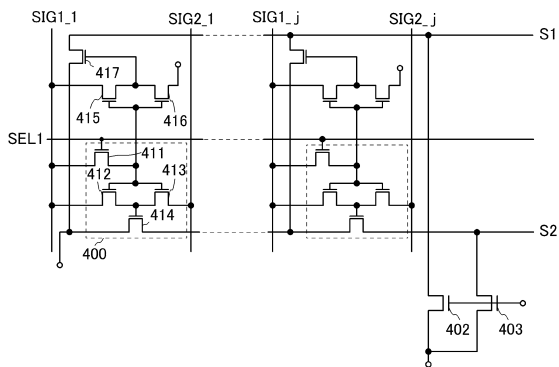
(A)



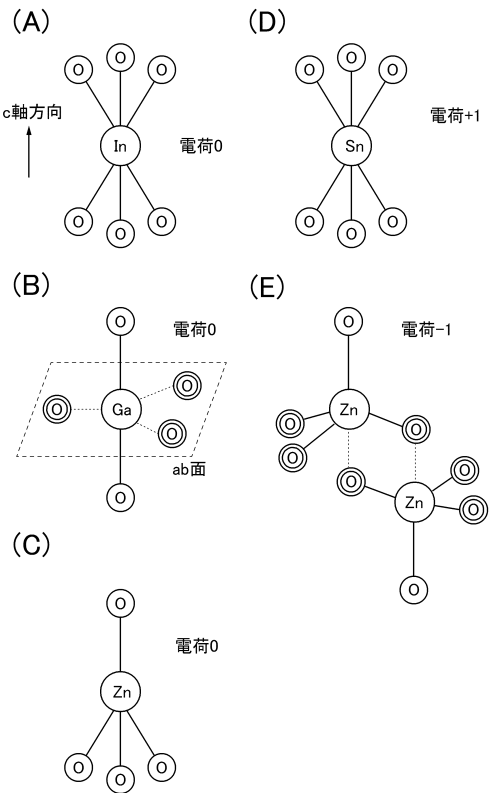
(B)

Dm	Dsch	412	413	Vx1	414	415	416	Vx2	417
0	0	OFF	ON	H	ON	OFF	OFF	L	OFF
1	0	ON	OFF	L	OFF	OFF	ON	L	OFF
0	1	OFF	OFF	L	OFF	ON	OFF	H	ON
1	1	ON	OFF	H	ON	OFF	ON	L	OFF

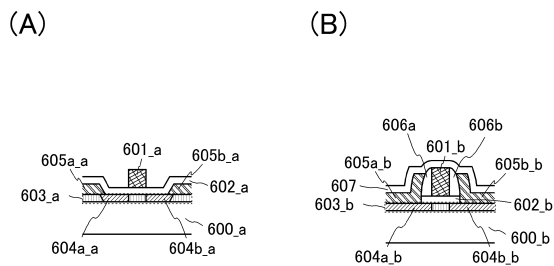
【図7】



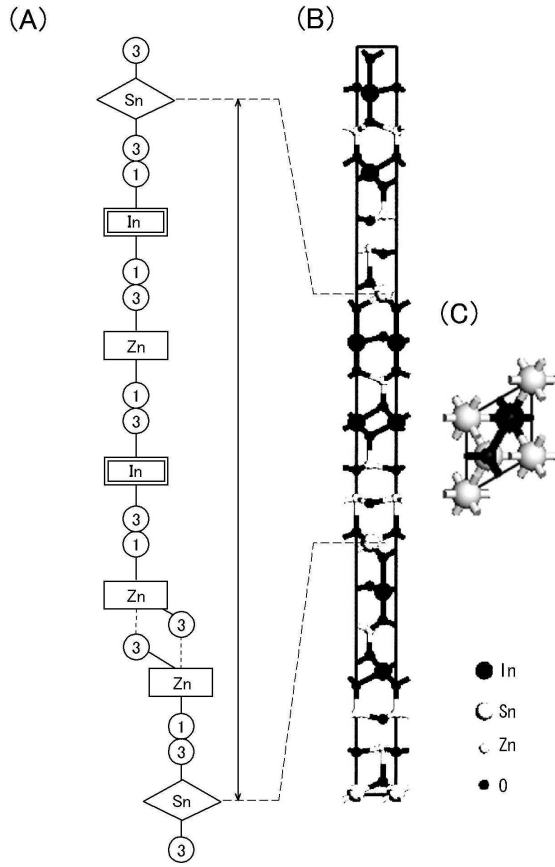
【図9】



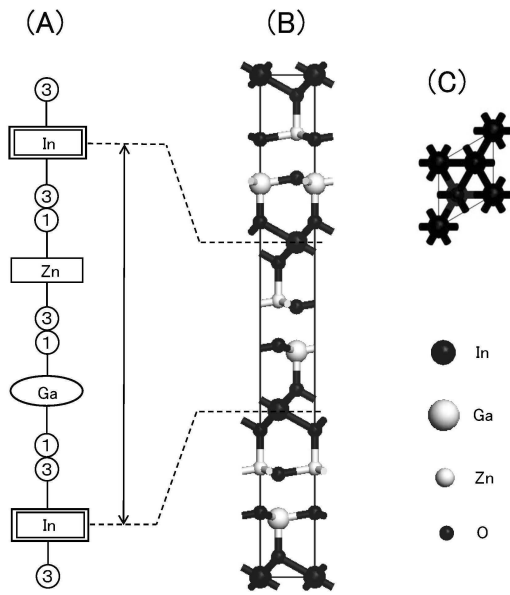
【図8】



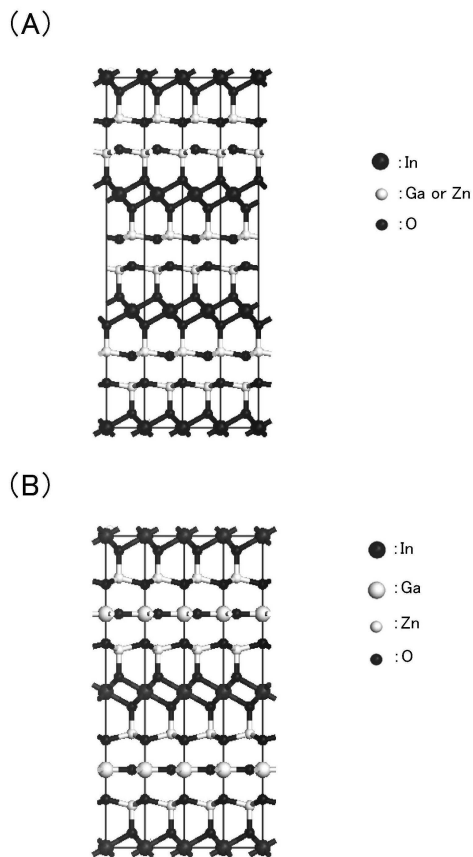
【 1 0 】



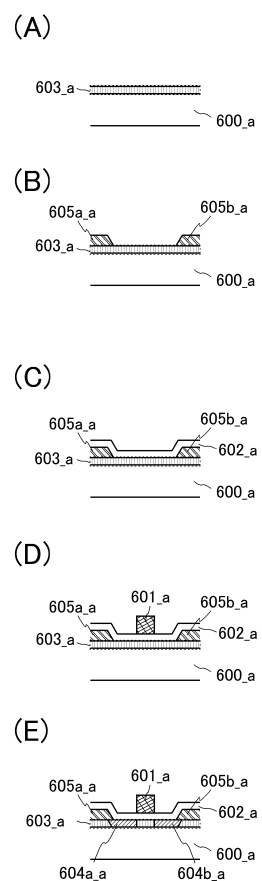
【 1 1 】



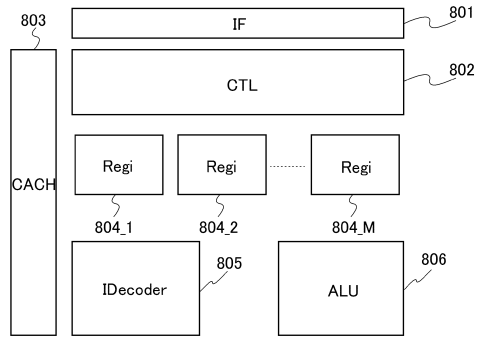
【 1 2 】



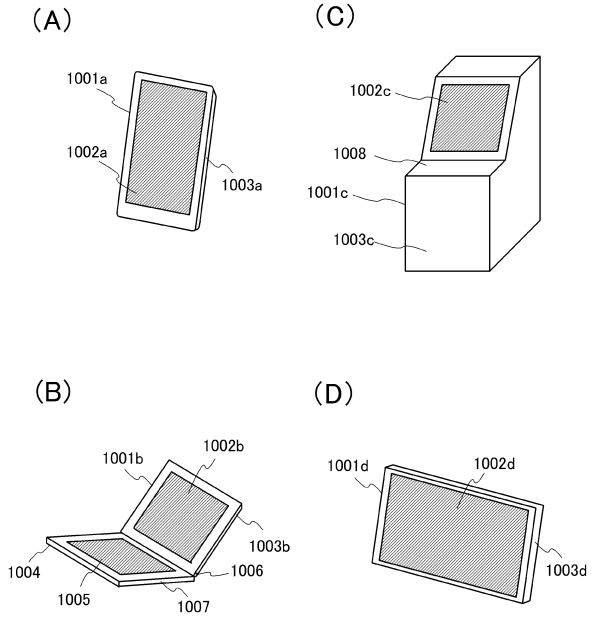
【 1 3 】



【 図 14 】



【 図 15 】



---

フロントページの続き

(56)参考文献 特開2003-123482(JP,A)  
特開平 4-85795(JP,A)  
特開昭63-25889(JP,A)  
特開昭60-224189(JP,A)  
特開2011-109084(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 15/04